

UNIVERSIDADE FEDERAL DA PARAÍBA
Centro de Ciências e Tecnologia
Departamento de Engenharia Elétrica
Coordenação de Pós-Graduação em
Engenharia Elétrica

PROJETO E IMPLEMENTAÇÃO DE UM CIRCUITO
INTEGRADO TRANSDUTOR DE PARÂMETROS
DE POTÊNCIA

Eg Pôrto Bezerra

Campina Grande - PB
Maio 1998

EG PÔRTO BEZERRA

**PROJETO E IMPLEMENTAÇÃO DE UM CIRCUITO
INTEGRADO TRANSDUTOR DE PARÂMETROS
DE POTÊNCIA**

Dissertação apresentada à
Coordenação de Pós-Graduação em
Engenharia Elétrica da Universidade
Federal da Paraíba, em cumprimento
às exigências necessárias para a
conclusão do curso de mestrado.

**Área de Concentração:
PROCESSAMENTO DIGITAL DE SINAIS**

**ELMAR U. K. MELCHER
Orientador**

Campina Grande - PB
Maio 1998



B574p Bezerra, Eg Pôrto.
Projeto e implementação de um circuito integrado transdutor de parâmetros de potência / Eg Pôrto Bezerra. - Campina Grande, 1998.
103 f.

Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal da Paraíba, Centro de Ciências e Tecnologia, 1998.
Referências.
"Orientação : Prof. Dr. Elmar Uwe Kurt Melcher".

1. Processamento de Sinais. 2. Sinais de Rádio - Transmissão. 3. Transmissão de Energia. 4. Dissertação - Engenharia Elétrica. I. Melcher, Elmar Uwe Kurt. II. Universidade Federal da Paraíba - Campina Grande (PB). III. Título

CDU 621.391(043)

PROJETO E IMPLEMENTAÇÃO DE UM CIRCUITO INTEGRADO
TRANSDUTOR DE PARÂMETROS DE POTÊNCIA

EG PORTO BEZERRA

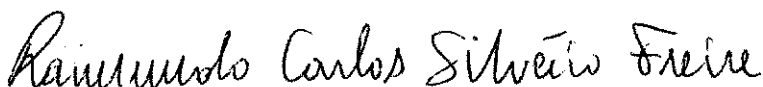
Dissertação Aprovada em 03.06.1998



PROF. ELMAR UWE KURT MELCHER, Dr., UFPB
Orientador



PROF. JOÃO MARQUES DE CARVALHO, Ph.D., UFPB
Componente da Banca



PROF. RAIMUNDO CARLOS SILVÉRIO FREIRE, Dr., UFPB
Componente da Banca

CAMPINA GRANDE - PB
Junho - 1998

AGRADECIMENTOS

A Deus.

Aos meus pais, avós e irmãos, pela confiança, amor e incentivos transmitidos a mim.

Aos secretários e coordenadores da COPELE pelo constante auxílio durante todo o período do curso.

Aos professores William Ferreira Giozza (DI/UFPB - Campus I); Antônio Carlos Cavalcanti (DI/UFPB - Campus I) e João Marques de Carvalho (DEE/UFPB - Campus II), dentre outros, pela iniciação e orientação na área de processamento de sinais digitais.

Agradeço à minha esposa (Sayonara), e filhos (Éric e Laryssa), pela ajuda, renúncia e incentivo, atitudes imprescindíveis para a realização deste trabalho.

Em especial, agradeço ao meu orientador, prof. Elmar Melcher (DEE/UFPB - Campus II), que colaborou imensamente em todas as fases deste trabalho, foi sempre paciente e compreensivo, e sempre soube "estender a mão" nas fases mais complicadas do desenvolvimento deste trabalho.

O desenvolvimento de circuitos transdutores de parâmetros de potência tem aplicação fundamentalmente na detecção de distúrbios ocorridos nas redes de distribuição de energia elétrica. Objetivando reduzir problemas relacionados à área de ocupação, melhorar o desempenho e integrar todo o circuito digital transdutor de parâmetros de potência, para a utilização em um sistema no qual a transmissão dos valores calculados seja feita via sinais de rádio, foram projetados e implementados os circuitos de extração de raiz quadrada, de controle individual de cada operação aritmética, de controle geral e de conversão, os registradores de acumulação e de interface e o circuito contador de amostras, além de reprojeta e reimplementada a Unidade Aritmética Básica do circuito. Esse novo circuito calcula os parâmetros de potência a partir das 1.024 amostras de tensão e corrente da rede de distribuição de energia elétrica e fornece os resultados representados em 20 bits. O circuito integrado transdutor digital de parâmetros de potência projetado foi implementado utilizando-se a ferramenta profissional de "software" para projeto, implementação e validação de circuitos integrados, "CADENCE".

The development of power parameter measurement circuits has its main application in the detection of power surges and failures in the power distribution network. In order to reduce system size, improve performance and enable the integration of the circuits in a remote sensing system, the following functional blocs were designed and implemented: square root, individual control of the arithmetic functions, conversion control, accumulator and interface registers, sample counter and the basic arithmetic unit was redesigned. The new circuit computes power parameters from up to 1.024 voltage and current samples measures on the power line. The extraction circuit was implemented using the professional framework for integrated circuit projects, "CADENCE".

1		
INTRODUÇÃO	_____	10
2		
HISTÓRICO DO CIRCUITO TRANSDUTOR DIGITAL	_____	14
2.1 - O Circuito Transdutor Digital	_____	14
2.1.1 - A Função das EPROM's	_____	18
2.1.2 - O Funcionamento do Circuito	_____	20
2.2 - Integração da Unidade Aritmética Básica	_____	20
2.2.1 - Funcionamento da UAB	_____	23
3		
SISTEMA ELÉTRICO DE TRANSDUÇÃO DIGITAL	_____	25
3.1 - Unidade Local Autônoma	_____	25
3.2 - Unidade Central Receptora	_____	26
3.3 - Especificações de Projeto do Circuito TDPP	_____	27
4		
METODOLOGIAS DE PROJETO E IMPLEMENTAÇÃO	_____	29
4.1 - Análise dos Algoritmos	_____	29
4.2 - Metodologias de Projeto	_____	32
4.2.1 - Metodologia "Full-custom"	_____	32
4.2.2 - Metodologia "Semi-custom"	_____	34
4.2.2.1 - Metodologia "Standard-cells"	_____	34
4.2.2.2 - Metodologia "Gate-array"	_____	36
4.2.2.3 - Metodologia usando Circuitos Lógicos Programáveis	_____	37
4.3 - Metodologia de Implementação "Top-Down / Botton-Up"	_____	38
5		
PROJETO DO CIRCUITO INTEGRADO TDPP	_____	39
5.1 - Análise de Precisão do Circuito	_____	43
5.2 - Dimensão e Funcionamento dos Blocos do Circuito TDPP	_____	44
5.2.1 - Registradores de Entrada	_____	44

5.2.2 - O Circuito Multiplicador	46
5.2.2.1 - Dimensionamento do Circuito Multiplicador	46
5.2.2.2 - Arquitetura do Circuito Multiplicador	47
5.2.2.3 - Circuito Multiplicador Simples	53
5.2.2.4 - Circuito Somador Sem Sinal	56
5.2.2.5 - Circuito Subtrator	56
5.2.2.6 - Controlador Local do Circuito Multiplicador	57
5.2.2.7 - Funcionamento do Circuito Multiplicador	58
5.2.2.8 - Características Gerais do Circuito Multiplicador	59
5.2.3 - O Circuito Somador	61
5.2.3.1 - Dimensionamento do Circuito Somador	61
5.2.3.2 - Arquitetura do Circuito Somador	62
5.2.3.3 - Controlador Local do Circuito Somador	64
5.2.3.4 - Funcionamento do Circuito Somador	65
5.2.4 - O Circuito Divisor	66
5.2.4.1 - Algoritmo de Divisão Binária sem Restauração	66
5.2.4.2 - Dimensionamento do Circuito Divisor	70
5.2.4.3 - Arquitetura do Circuito Divisor	71
5.2.4.4 - Controlador Local do Circuito Divisor	74
5.2.4.5 - Funcionamento do Circuito Divisor	76
5.2.5 - O Circuito de Raiz Quadrada	78
5.2.5.1 - Algoritmo de Extração de Raiz Quadrada Sem Restauração	78
5.2.5.2 - Dimensionamento do Circuito de Raiz Quadrada	80
5.2.5.3 - Arquitetura do Circuito de Raiz Quadrada	81
5.2.5.4 - Controlador Local do Circuito de Raiz Quadrada	85
5.2.5.5 - Funcionamento do Circuito de Raiz Quadrada	86
5.2.6 - O Circuito de Controle de Conversão	89
5.2.7 - O Controlador Geral do Circuito TDPP	91
5.2.7.1 - Arquitetura e Funcionamento do Controlador Geral	92

6

CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS	98
REFERÊNCIAS BIBLIOGRÁFICAS	101
BIBLIOGRAFIA	102
APÊNDICE	

CAPÍTULO 2

2.1 - Interface do Circuito Transdutor Digital de Parâmetros de Potência. _____ 15

2.1 - Sinal de Passagem por Zero. _____ 17

2.1 - Diagrama de Blocos do Circuito Transdutor Digital de Parâmetros de Potência Discreto. _____ 18

2.1.1 - Técnica do Uso de EPROM. _____ 19

2.2 - Interface da UAB. _____ 21

2.2 - Diagrama da Unidade Aritmética Básica. _____ 22

CAPÍTULO 3

3.1 - Unidade Local Autônoma. _____ 26

3.2 - Unidade Central Receptora. _____ 26

CAPÍTULO 4

4.1 - Arquitetura de um Circuito Somador Série. _____ 30

4.1 - Arquitetura de um Circuito Somador Paralelo. _____ 31

4.2.1 - Etapas de Projeto de um Inversor em Metodologia "Full-custom". _____ 33

4.2.2 - Utilidade da Padronização das Células. _____ 35

4.2.2 - Etapas de Projeto de uma Porta XOR em Metodologia "Standard-cells". _____ 35

4.2.2.2 - Matriz de Portas Lógicas. _____ 36

CAPÍTULO 5

5 - Instantes de Amostragem e Processamento Aritmético do Circuito TDPP. _____ 40

5 - Diagrama de Blocos do Circuito TDPP Completo. _____ 42

5.2.1 - Diagrama Estrutural dos Registradores. de Entrada. _____ 45

5.2.2.2 - Diagrama Simplificado de um Circuito Multiplicador. _____ 50

5.2.2.2 - Diagrama do Circuito de Multiplicação Binária em Complemento a 2. _____ 52

5.2.2.3 - Diagrama do Circuito Multiplicador Simples. _____	54
5.2.2.6 - Diagrama do Controlador do Circuito Multiplicador. _____	57
5.2.3.2 - Diagrama do Circuito Somador em Complemento a 2. _____	63
5.2.3.3 - Diagrama do Controlador do Circuito Somador. _____	64
5.2.4.1 - Exemplo de Processamento da Divisão Binária Sem Restauração com Dividendo Positivo. _____	68
5.2.4.1 - Exemplo de Processamento da Divisão Binária Sem Restauração com Dividendo Negativo. _____	69
5.2.4.3 - Diagrama do Circuito de Divisão Binária em Complemento a 2. _____	72
5.2.4.3 - Diagrama Detalhado do Circuito Divisor. _____	74
5.2.4.4 - Diagrama do Controlador Local do Circuito Divisor. _____	75
5.2.5.3 - Arquitetura do Circuito de Extração de Raiz Quadrada de um Número Binário. _____	82
5.2.5.3 - Estrutura Interna do Bloco de Multiplexadores. _____	83
5.2.5.3 - Diagrama do Registrador Aritmético "Raiz Q". _____	84
5.2.5.4 - Diagrama do Circuito Controlador do Circuito de Raiz Quadrada. _____	86
5.2.6 - Interface do Circuito de Controle de Conversão. _____	89
5.2.6 - Diagrama dos Tempos de Conversão, Amostragem e Cálculos. _____	90
5.2.7.1 - Diagrama de Estados do Controlador Geral. _____	93
5.2.7.1 - Diagrama de Estados do Produto $v^2[n]$ com Acumulação. _____	95

CAPÍTULO 2

2.1.1 - Relação entre Endereços e Conteúdos. _____ 19

CAPÍTULO 5

5.2.5.5 - Operação da Extração da Raiz Quadrada Genérica de um Número Binário. 88

LISTA DE ABREVIATURAS

- ASIC - Application Specific Integrated Circuits - Circuito de Aplicação Específica.
- CHESF - Companhia Hidroelétrica do Vale do São Francisco.
- DEE - Departamento de Engenharia Elétrica.
- DSP - Digital Signal Processor.
- EPROM - Erasable Programmable Ready Only Memory - Memória Permanente Programável e Apagável.
- FPGA - Field Programmable Gate Array - Conjunto de Células Lógicas Programáveis.
- I_{RMS} - Corrente Média Quadrática.
- LSB - Less Significant Bit - Bit Menos Significativo.
- MSB - More Significant Bit - Bit Mais Significativo.
- P - Potência Ativa.
- Q - Potência Reativa.
- RAM - Random Access Memory - Memória de Acesso Aleatório.
- RMS - Root Medium Square - Valor Médio Quadrático.
- S - Potência Aparente.
- S_p - Soma Parcial.
- TDPP - Transdutor Digital de Parâmetros de Potência.
- UA - Unidade Aritmética.
- UAB - Unidade Aritmética Básica.
- UCR - Unidade Central Receptora.
- ULA - Unidade Local Autônoma.
- UFPB - Universidade Federal da Paraíba.
- V_{RMS} - Tensão Média Quadrática.

1

INTRODUÇÃO

Sistemas de distribuição de energia elétrica de alta tensão requerem constante monitoramento de seus parâmetros elétricos. É a avaliação desses parâmetros que torna possível o acompanhamento da taxa de crescimento do consumo de energia elétrica em determinada região, a descoberta de furtos de energia (gatos), evidenciados pelo aumento desordenado do consumo, a detecção da queda de cabos da rede elétrica, como também de diversas outras anormalidades ocorridas no sistema de distribuição de energia elétrica. Além disso, torna possível o melhor planejamento da expansão do sistema e o controle ativo na distribuição de energia e no acionamento de dispositivos de proteção e/ou alarme.

Os parâmetros elétricos de potência são obtidos por circuitos conhecidos como transdutores de parâmetros de potência a partir da medição das tensões e correntes presentes na rede elétrica. Esses circuitos podem ser analógicos ou digitais. Entretanto, as constantes necessidades de minimização das perdas de energia ocorridas nas linhas de transmissão/distribuição, de automatização dos sistemas de controle das subestações por computador e de detecção e avaliação de distúrbios ocorridos em tempos muito pequenos, forçaram a utilização dos circuitos transdutores digitais em detrimento dos analógicos. Um dos aspectos que levaram à substituição dos circuitos analógicos foi a alta constante de tempo apresentada pelos galvanômetros, instrumentos estes que eram utilizados para apresentação dos resultados nos painéis de controle das subestações e que, pela própria constituição física, não respondem às rápidas variações dos parâmetros elétricos.

Existe no mercado diversos circuitos transdutores digitais com constantes de tempo bastante pequenas como, por exemplo, de 200 ms. Devido à necessidade de se detectar e avaliar distúrbios ocorridos em tempos inferiores a 100 ms, a Companhia Hidroelétrica do São Francisco (CHESF) e o Departamento de Engenharia Elétrica (DEE) da Universidade Federal da Paraíba (UFPB) firmaram um convênio a fim de desenvolver um *circuito transdutor digital de parâmetros de potência* que respeitasse essa nova especificação.

O *circuito Transdutor Digital de Parâmetros de Potência (TDPP)*, desenvolvido a partir desse convênio [MOR90], processa os valores de 10 bits convertidos das tensões e correntes alternadas de uma fase da rede elétrica e fornece os resultados finais das potências ativa (P) e reativa (Q), também em 10 bits, para um computador hospedeiro. Para isso, realiza um total de 160 amostras de um ciclo de sinal da rede, apresentando um tempo de resposta da ordem de 16 ms.

Em virtude da distribuição de energia elétrica ser tri-fásica e de o circuito transdutor digital desenvolvido ser monofásico, havia a necessidade de três circuitos transdutores digitais por rede (por transformador), o que acarretava um aumento do número de conexões com o computador hospedeiro, uma maior complexidade do circuito e a possibilidade de falhas ou erros de comunicação. Objetivando encontrar soluções para tais problemas, considerou-se o desenvolvimento do circuito TDPP a partir do microcontrolador 68HC11, assim como a partir do uso de processadores digital de sinais.

Embora o microcontrolador 68HC11 permita interrupções sem prejuízo do processamento, ele trabalha com apenas 16 bits, necessita de periféricos e realiza operações aritméticas por "software"; esses fatores são indesejáveis para o circuito TDPP.

Muitas aplicações de processamento de sinais são implementadas em processadores digital de sinais (DSP, Digital Signal Processors). Os processadores digital de sinais TMS320 [LIN87, OPP78, JAC81, KAT81] são dispositivos caros e de consumo de energia elevado para essa aplicação, sendo assim, não são opção para o desenvolvimento do circuito TDPP.

A criação de um *Circuito Integrado de Aplicação Específica (ASIC)* que substituísse a parte do circuito responsável pelos cálculos matemáticos e controles individuais de cada operação aritmética, foi a solução encontrada para minimizar os problemas de conexões e de comunicação. Com isto, ao invés de uma placa de circuito para cada fase da rede, bastaria apenas uma placa de circuito para as três fases da rede elétrica, o que diminuiria o número de conexões com o computador hospedeiro e conseqüentemente, os problemas de comunicação. Além dessas conquistas, o ASIC projetado melhora a performance do circuito transdutor, pois realiza 660 amostras por ciclo de sinal da rede elétrica e apresenta uma precisão de 16 bits de

saida. O projeto e validação lógica deste ASIC foram conseguidos a partir da cadeia de ferramentas de projeto de circuitos integrados "ALLIANCE".

Embora o circuito TDPP apresentasse uma boa performance, era preciso ainda obter um circuito que se auto-controlasse, ou seja, que não necessitasse trocar informações, interrupções ou qualquer dado para realizar suas tarefas. Isso possibilitaria a realização de conectividade com o computador hospedeiro via sinais de rádio, o que eliminaria a comunicação por cabos. Dessa forma, para que o circuito TDPP fosse "auto-suficiente" e operasse separado do computador hospedeiro, dever-se-ia reprojeta-lo levando-se em consideração o baixo consumo de energia elétrica. A melhor forma de se conseguir isso era buscando integrar a maior parte possível do circuito; assim, além da diminuição do volume e do consumo, haveria um aumento da confiabilidade do circuito em virtude da existência de um menor número de componentes eletrônicos (interconecções, soldas) presentes em uma placa de circuito impresso.

O circuito TDPP monofásico foi reprojetoado, levando-se em conta as especificações de 10 bits de entrada, a precisão que não permitisse a inclusão de erros durante o processamento, a realização de pelo menos 660 amostras por ciclo de sinal elétrico e o projeto individualizado de cada bloco funcional do circuito, dos controles individuais e do controle geral do circuito. Para isso utilizou-se a ferramenta de projeto de circuitos integrados profissional "CADENCE[†]".

O presente trabalho apresenta em seu capítulo 2, um histórico da evolução do circuito TDPP, desde sua primeira proposta (placa de circuito impresso), passando por sua primeira integração, até se chegar às propostas de integração de todo o circuito.

O capítulo 3 apresenta tanto a idéia genérica do sistema no qual o circuito transdutor está inserido, como também estabelece as especificações que nortearam o projeto do circuito. Já o capítulo 4 trata de algumas das metodologias de projeto de circuitos integrados existentes.

O estudo da precisão, do projeto e do funcionamento de cada bloco componente do circuito TDPP é apresentado no capítulo 5. É nesse capítulo que se tem uma idéia aprofundada da composição, funcionamento, algoritmos e controle de cada bloco operacional, assim como dos circuitos de controle geral e de conversão.

[†] ALLIANCE - Cadeia de ferramentas acadêmicas de projeto e validação lógica e elétrica de circuitos integrados.

O capítulo 6 apresenta as conclusões de todo o desenvolvimento do circuito TDPP e sugere futuros trabalhos que permitirão melhorar ainda mais o seu desempenho e a realização de novas tarefas.

[†] CADENCE - Ferramenta de "software" profissional utilizada no projeto, implementação e validação lógica e elétrica de circuitos integrados.

2

HISTÓRICO DO CIRCUITO TRANSDUTOR DIGITAL

O constante crescimento das redes de transmissão / distribuição de energia elétrica de alta tensão levou a um aumento significativo na complexidade dos sistemas elétricos e conseqüentemente, à necessidade de melhor monitorá-los. As perdas de energia precisaram ser melhor quantizadas, dado que a expansão das redes de transmissão / distribuição provoca um aumento considerável nas perdas gerais, o que pode inviabilizar determinados sistemas. Além disso, a necessidade de se detectar e avaliar distúrbios ocorridos nas redes de distribuição de energia elétrica em tempos inferiores a 100 ms, fez com que a CHESF firmasse convênio com o DEE da UFPB a fim de desenvolverem uma placa de circuito impresso que calculasse as potências ativa (P) e reativa (Q) da rede num tempo inferior àquele.

Este capítulo apresenta o histórico do circuito TDPP, iniciando pelo circuito desenvolvido a partir do convênio CHESF / DEE, passando pelo melhoramento com o projeto do ASIC conhecido como UAB, e terminando com a apresentação das propostas de alteração para uma maior integração do circuito, com o uso da ferramenta "CADENCE".

2.1 - O Circuito Transdutor Digital.

O circuito TDPP tem como funções calcular e fornecer as potências ativa e reativa da rede de distribuição de energia elétrica, a partir da leitura das tensões (v) e correntes (i) da mesma e fornecer o valor da frequência (f) da rede. O processo se inicia com a passagem por zero (Z₀) do sinal de tensão ou corrente da rede e é coordenado pelo sinal de relógio (Ck).

A figura 2.1 apresenta a Interface do circuito TDPP.



Figura 2.1 - Interface do Circuito Transdutor Digital de Parâmetros de Potência.

Note que “v” e “i” são tensões e correntes analógicas, “Z₀” é o sinal de passagem por zero, obtido a partir de um circuito comparador que detecta a passagem do sinal de tensão ou corrente do semi-ciclo negativo para o positivo e “Ck” é o marcador de sincronismo de circuito.

Para obtenção das potências P e Q de uma rede de distribuição de energia elétrica é necessário que o circuito transdutor realize diversas operações como, por exemplo, integrações, produtos, divisões, etc. As equações apresentadas abaixo mostram claramente todas as operações aritméticas realizadas por um circuito transdutor de parâmetros de potência analógico. Sendo assim:

$$P = \frac{1}{T} \int_0^T v(t) \cdot i(t) \cdot dt \quad (2.1)$$

$$Q = \sqrt{S^2 - P^2}, \quad (2.2)$$

A potência aparente (S) é representada por:

$$S = V_{RMS} \cdot I_{RMS} \quad (2.3)$$

onde,

$$V_{RMS} = \sqrt{\frac{1}{T} \int_0^T v^2(t) \cdot dt} \quad (2.4)$$

$$I_{RMS} = \sqrt{\frac{1}{T} \int_0^T i^2(t) \cdot dt} \quad (2.5)$$

e:

P, **Q** e **S** são as potências ativa, reativa e aparente, respectivamente;

I_{RMS} e V_{RMS} são a corrente e tensão médias quadráticas (RMS);

T é o período do sinal senoidal da rede;

$i(t)$ e $v(t)$ são as correntes e tensões senoidais da rede elétrica.

O circuito TDPP, porém, necessita de valores de tensão e corrente digitalizados. Sendo assim, as equações 2.1, 2.4 e 2.5 discretizadas realizam somas sucessivas, ao invés de integrais, e assumem a seguinte forma:

$$P = \frac{1}{N} \cdot \sum_{n=1}^N v[n] \cdot i[n] \quad (2.6)$$

$$V_{RMS} = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N v^2[n]} \quad (2.7)$$

$$I_{RMS} = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N i^2[n]} \quad (2.8)$$

A potência **S** passa a apresentar a forma:

$$S = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N v^2[n]} \cdot \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N i^2[n]} \quad (2.9)$$

onde **N** é o número total de amostras do sinal da rede de energia elétrica.

A avaliação da potência **Q** indica quanto de carga capacitiva ou indutiva (motores) está presente na rede elétrica.

A partir da Interface do circuito TDPP (Figura 2.1) é possível perceber o sinal de entrada " Z_0 ". Este sinal é fornecido por um circuito comparador que tem como função detectar a passagem por zero do ciclo de tensão/corrente da rede elétrica. Isso é feito considerando a passagem por zero apenas do ciclo negativo para o positivo, determinando, assim, o início do ciclo e conseqüentemente, o início de todo o processamento do circuito.

A figura 2.2 apresenta um sinal senoidal da rede elétrica, que pode ser tanto de tensão quanto de corrente, e também o sinal de passagem por zero (Z_0) obtido a partir do circuito comparador.

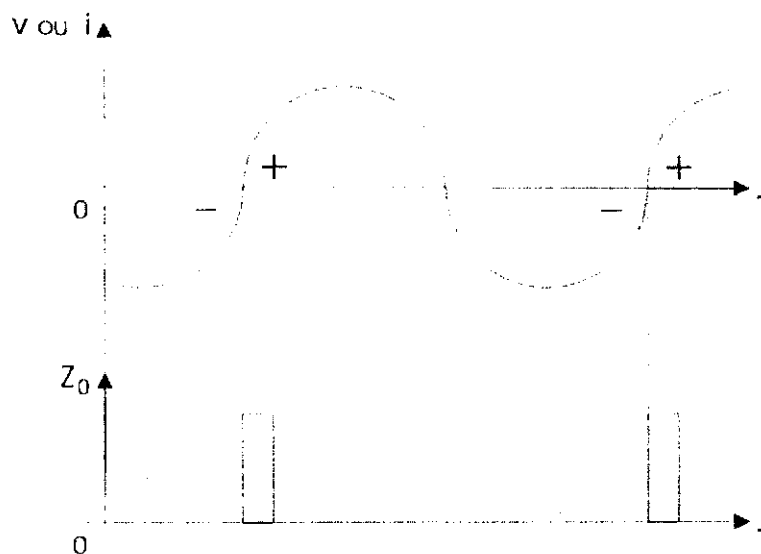


Figura 2.2 - Sinal de Passagem por Zero.

O circuito TDPP (Figura 2.3) foi projetado para obter os resultados desejados a partir da técnica do uso de EPROM's[†] ficando o controle do circuito e a comunicação com o computador hospedeiro a cargo de um microprocessador Z-80. Nesse circuito:

- dois conversores analógico/digital (A/D) realizam as conversões das correntes e tensões analógicas para digitais;
- quatro bancos de EPROM's armazenam valores da raiz quadrada (\sqrt{x}), dos quadrados das tensões (v^2) e correntes (i^2), bem como dos produtos das tensões pelas correntes ($v.i$);
- um microprocessador Z-80 controla todas as operações;

[†] EPROM - Memória de leitura programável e apagável.

- uma RAM[§] auxilia o microprocessador no processamento de operações aritméticas mais simples.

Alguns cálculos são ainda realizados por “software” instalado no computador hospedeiro.

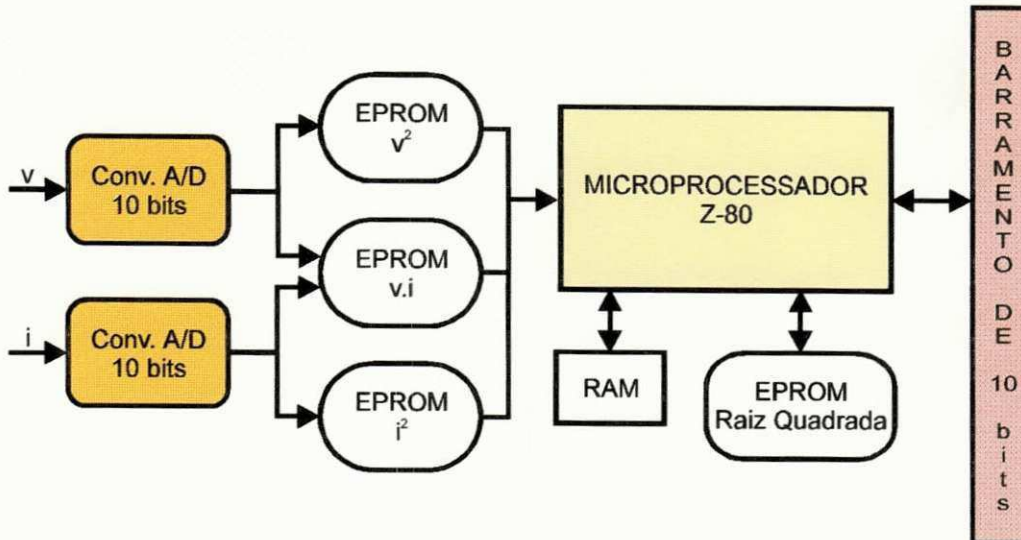


Figura 2.3 - Diagrama de Blocos do Circuito Transdutor Digital de Parâmetros de Potência Discreto.

2.1.1 - A Função das EPROM's.

A utilização de EPROM's no circuito TDPP objetivou liberar o microprocessador para a realização do controle das diversas tarefas do circuito, assim como para a realização da comunicação com o computador hospedeiro e operações aritméticas mais simples, como soma e subtração.

A técnica do uso de EPROM's consiste em armazenar valores nas locações de memória que tenham relação aritmética com seus endereços.

Suponha, por exemplo, que haja necessidade de se emular a operação “quadrado” dos possíveis operandos, formados por três bits, utilizando a técnica de uso de EPROM's. Seriam, então, necessárias oito locações de memória de seis bits cada (Tabela 2.1), as quais armazenariam os valores dos quadrados de seus endereços

[§] RAM - Memória de acesso aleatório.

(operandos). O quadrado de 100_2 (4_{10}) seria obtido a partir do endereçamento da localização de memória 100_2 , a qual apresentaria o conteúdo 10000_2 (16_{10}) (Figura 2.4).

Endereços (Operandos)			Conteúdo Operação Quadrado de E (E^2)					
E_2	E_1	E_0	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	1	0	0
0	1	1	0	0	1	0	0	1
1	0	0	0	1	0	0	0	0
1	0	1	0	1	1	0	0	1
1	1	0	1	0	0	1	0	0
1	1	1	1	1	0	0	0	1

Tabela 2.1 - Relação entre Endereços e Conteúdos

(Operação Aritmética de Quadrado)

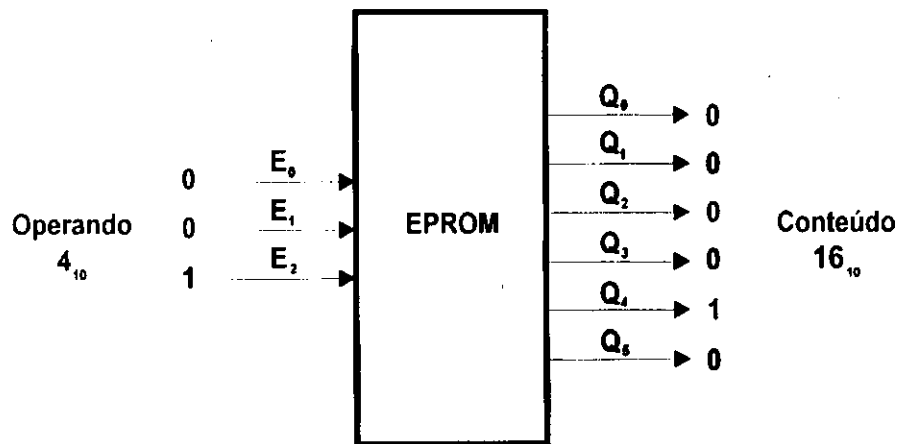


Figura 2.4 - Técnica do Uso de EPROM

No caso do circuito TDPP, as tensões e correntes da rede elétrica convertidas pelos conversores A/D's endereçam as localções de memória das EPROM's e estas, por sua vez, apresentam como conteúdo os resultados das operações aritméticas dos produtos v^2 , i^2 e $v.i$ e raiz quadrada (\sqrt{x} ; $x = v$ ou i).

2.1.2 - O Funcionamento do Circuito.

O circuito TDPP, já apresentado na figura 2.3, dá início ao processo de conversão das amostras das tensões e correntes da rede de distribuição de energia elétrica logo após receber um sinal de passagem por zero (Z_0). Os valores de 10 bits convertidos das tensões e correntes compõem juntamente com bits enviados do microprocessador, os endereços das locações de memória onde estão armazenados os resultados das operações aritméticas específicas. O microprocessador Z-80 controla a execução de todas as operações do circuito utilizando-se de uma RAM para realização dos cálculos de acumulação dos resultados parciais e da EPROM de raiz quadrada. Durante um ciclo de sinal da rede, 160 amostras são convertidas, até que os resultados finais das potências **P** e **Q**, e da frequência da rede (**f**) estejam disponíveis no barramento de saída de 10 bits do circuito.

2.2 - Integração da Unidade Aritmética Básica.

O circuito TDPP, desenvolvido pelo DEE da UFPB e implementado em uma placa de circuito impresso, só permitia a avaliação de uma fase da rede de distribuição de energia (trifásica). Com o crescimento da rede de distribuição de energia, o número de circuitos TDPP's por rede (por transformador) aumentava numa proporção de três para um. Tal fato provocava o aumento do número de "slots" necessários para interconectar as placas no computador hospedeiro, o que inviabilizava a comunicação com os circuitos, mesmo considerando a possível expansão de alguns "slots".

A integração seria a saída para a viabilização do circuito TDPP. A redução das dimensões do circuito TDPP possibilitaria a montagem de três circuitos monofásicos em uma só placa de circuito impresso, o que culminaria na redução do número de "slots" a serem utilizados no computador hospedeiro.

A integração de um circuito possibilita não só ganho com a redução significativa da área ocupada, mas também com a diminuição do consumo de energia e com o aumento da confiabilidade, devido à diminuição do número de interconexões (soldas, conexões mecânicas, etc.) existentes. Além dessas características a integração do circuito TDPP possibilitaria melhorar seu desempenho e precisão.

A substituição das EPROM's de produtos (v^2 , i^2 e $v.i$), da RAM e do microprocessador Z-80 por um ASIC batizado por Unidade Aritmética Básica (UAB) [FER93] foi a primeira parte do circuito definida para integração.

A UAB foi projetada para executar as operações de soma/subtração e divisão, com operandos de 32 bits e multiplicação com operandos de 16 bits. A figura 2.5 abaixo apresenta a interface projetada para a UAB.

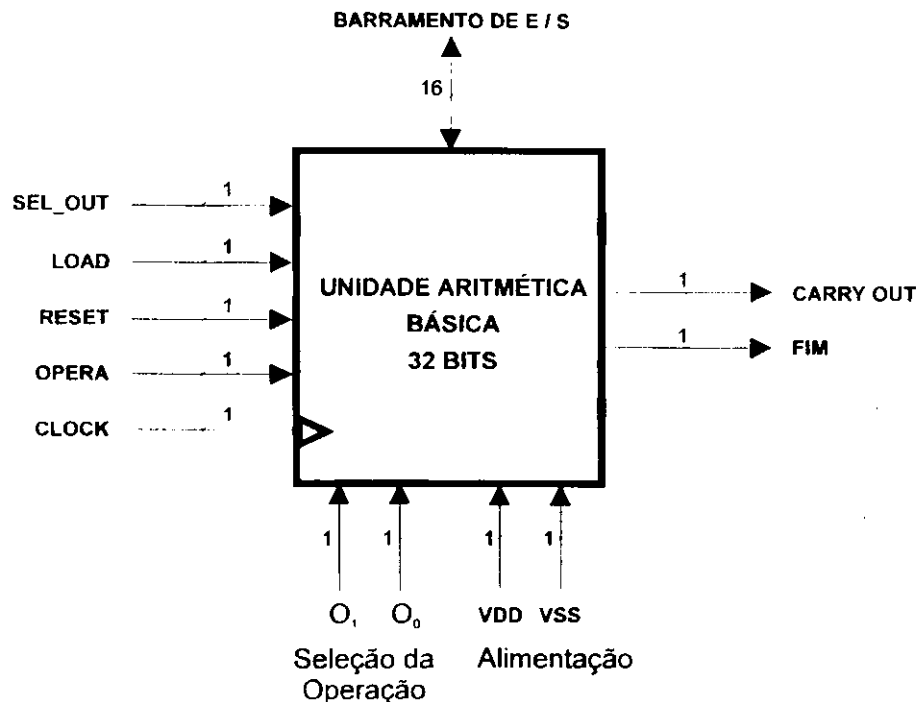


Figura 2.5 - Interface da UAB.

Observe, a partir da figura 2.5, que a UAB apresenta um barramento único de entrada e saída de apenas 16 bits. Desta forma, o carregamento dos operandos que são processados e o fornecimento dos resultados obtidos são realizados em duas etapas. Isso explica o uso do pino de carregamento "LOAD" para carregamento dos operandos e "SEL_OUT" para fornecimento das duas partes de 16 bits do resultado. Dois pinos de seleção de operação (O_0 e O_1) servem para selecionar a operação a ser executada pela UAB, ou seja, adição, subtração, multiplicação ou divisão. Logo que selecionada a operação, um sinal de início de operação é ativado no pino "OPERA" e tão logo termine a operação, o pino "FIM" é ativado. Note, ainda, na interface da UAB, a existência dos pinos de "RESET", "CLOCK", "CARRY OUT" e de alimentação "VDD e VSS".

As principais características da UAB são:

- * utilização de barramento de entrada/saída de 16 bits;
- * realização de 660 amostras por período de sinal;
- * frequência de "clock" de 33 MHz.

A unidade de controle geral do circuito TDPP e a operação de raiz quadrada, a qual se utilizaria das operações já implementadas na UAB, seriam desenvolvidas numa segunda fase de projeto.

O projeto da UAB iniciou-se a partir de sua célula básica: o circuito somador/subtrator de 32 bits [BEZ92]. O desenvolvimento das demais estruturas operacionais foi feito buscando-se eliminar ao máximo as similaridades existentes entre as mesmas; ou seja, projetando-se registradores de uso múltiplo.

A figura 2.6, abaixo, apresenta a estrutura da UAB projetada.

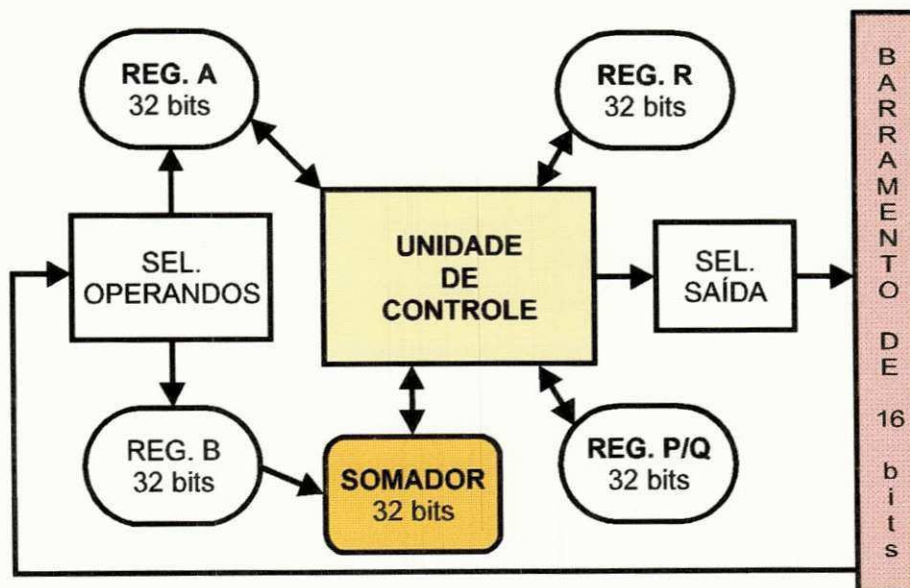


Figura 2.6 - Diagrama da Unidade Aritmética Básica.

Note, a partir da figura 2.6 acima, que a UAB é composta por:

- um somador / subtrator de 32 bits;
- quatro registradores, utilizados para armazenamento dos operandos, resto e resultados;
- uma unidade de controle que controla a execução de cada operação individualmente.

A implementação deste circuito foi realizada utilizando-se a ferramenta de "software" acadêmica "ALLIANCE". Essa ferramenta foi desenvolvida pela *Université Pierre et Marie Curie, Paris VI* e cedida ao DEE da UFPB a partir de um convênio de cooperação firmado.

2.2.1 - Funcionamento da UAB.

O diagrama da UAB (Figura 2.6) apresenta não só os blocos funcionais projetados para o circuito, mas também apresenta o fluxo de dados, o que torna mais fácil o acompanhamento e compreensão do seu funcionamento.

A composição dos operandos de 32 bits dos registradores A e B é efetuada a partir de quatro pulsos de carregamento, um para cada 16 bits presentes no barramento. O registrador A é utilizado para armazenar os valores do "dividendo", ou "multiplicador", ou "minuendo", ou ainda da primeira parcela da adição; enquanto que o registrador B armazena o "divisor", ou "multiplicando", ou "subtraendo", ou a segunda parcela da adição, dependendo da operação a ser executada. Todo o processamento é comandado pela unidade de controle local, a qual utiliza o somador e os registradores R e P/Q para a execução dos algoritmos das operações aritméticas básicas necessárias.

Os registradores R e P/Q armazenam, respectivamente, os restos parciais das divisões e os resultados dos produtos e quocientes.

É importante lembrar que a UAB é apenas uma parte projetada e integrada do circuito TDPP; daí a existência de sinais de controle e arquitetura não compatíveis com a definição do circuito TDPP, conforme apresentado na seção 2.1.

Concluído o projeto e implementação da UAB, faltava, então, projetar e implementar as partes do circuito transdutor responsáveis pela operação de raiz quadrada, pela contagem de amostras, e pelo controle de todas as funções do circuito.

Esta foi a etapa proposta como tema de dissertação de mestrado. Entretanto, durante a implementação da operação de raiz quadrada, a qual havia sido projetada segundo a técnica de aproximações sucessivas, submeteu-se o projeto à avaliação e

sugestões do pesquisador visitante prof. HABIB MEHREZ, *Docteur d'Etat pour la Université Pierre et Marie Curie, Paris VI*, o qual sugeriu mudanças importantes, como:

- a) a utilização da ferramenta profissional de projeto e validação "CADENCE", ao invés da acadêmica "ALLIANCE";
- b) a reestruturação de todo o circuito até então projetado e implementado.

A nova estrutura proposta para o circuito previa o desenvolvimento de blocos operacionais individualizados, levando-se em consideração a arquitetura paralelo-serial e a realização das operações em complemento de 2. Sendo assim, a UAB passaria a integrar os blocos operacionais de soma/subtração, multiplicação, divisão e raiz quadrada, sem que se buscasse eliminar as similaridades existentes entre eles. No caso, a operação de raiz quadrada teria uma arquitetura própria, não devendo mais ser implementada a partir do uso dos blocos operacionais já existentes.

As mudanças propostas objetivavam ao melhoramento do desempenho do circuito, do aproveitamento da superfície de silício, bem como da facilidade de implementação e rapidez de projeto. Entretanto, implicavam em modificações profundas em tudo o que havia sido desenvolvido até o momento e conseqüentemente, na ampliação da proposta inicial de dissertação, a qual passou a englobar o *projeto e implementação de todo o circuito TDPP*. Ou seja, implementação dos blocos operacionais (incluindo a raiz quadrada), do contador de amostras, dos controles individuais e do controle geral do circuito; tudo isso levando-se em consideração, agora, o baixo consumo de energia, já que o objetivo é eliminar o uso de placas de circuito impresso em "slots" do computador hospedeiro.

A idéia da concepção deste circuito é utilizá-lo como Unidade Local (UL) instalada em postes da rede de distribuição de energia elétrica, que enviem através de sinais de rádio os resultados dos cálculos das potências ativa **P** e aparente **S**, dentre outros, para uma Unidade Central Receptora (UCR), a qual apresenta os resultados para os técnicos responsáveis pela manutenção do sistema.

O capítulo a seguir apresenta de forma mais detalhada o sistema no qual o circuito TDPP monofásico está inserido e para o qual será desenvolvido.

3

SISTEMA ELÉTRICO DE TRANSDUÇÃO DIGITAL

O circuito TDPP é parte integrante de um sistema elétrico complexo, o qual apresenta as informações obtidas da rede elétrica na forma desejada pelos técnicos da empresa concessionária dos serviços.

O sistema elétrico de transdução digital é formado por duas partes: uma composta pelos circuitos rebaixadores de tensão e corrente, os conversores A/D's, os comparadores, o circuito TDPP e os dispositivos transmissores de sinais de rádio, chamada de *unidade de processamento local* (UPL); outra formada pelos dispositivos receptores de sinais de rádio e um microcomputador, chamada de *unidade central receptora* (UCR), ambas descritas nas seções a seguir.

3.1 - Unidade de Processamento Local

A UPL é, na realidade, a parte mais importante de todo o sistema pois é responsável pela conversão das tensões e correntes analógicas da rede elétrica em digitais e por todos os cálculos realizados com estes valores a fim de se obter os parâmetros desejados. Como o próprio nome diz, a UPL realiza suas tarefas sem interferências de controle da UCR.

Após afixadas nos postes da rede elétrica e ligadas nas linhas de transmissão / distribuição, as UPL's farão a leitura das tensões e correntes e transmitirão para a UCR, através de sinais de rádio, todos os parâmetros calculados pelo circuito TDPP em tempo real.

A figura 3.1 apresenta a UPL ligada à rede elétrica tri-fásica.

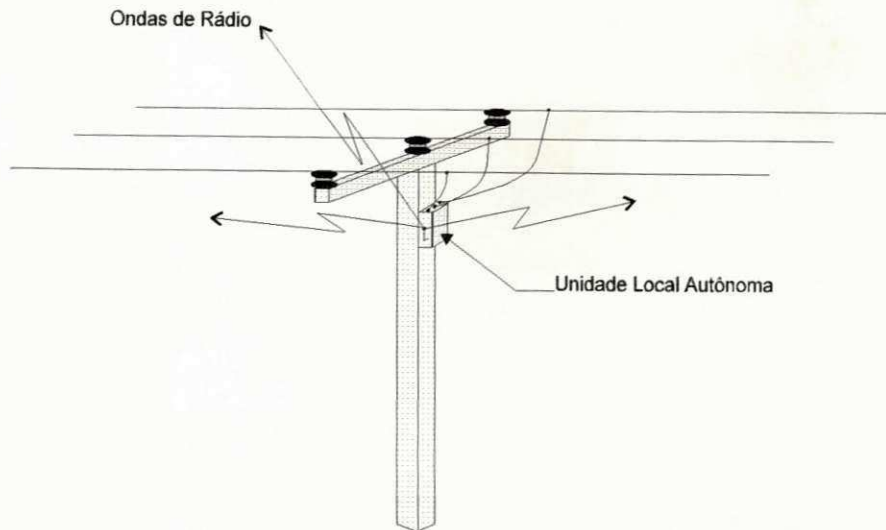


Figura 3.1 - Unidade de Processamento Local.

3.2 - Unidade Central Receptora

A UCR é composta por um receptor de sinais de rádio e um microcomputador, ou "desktop". Ela tem como função receber os parâmetros enviados pelas UPL's e avaliar e apresentar relatórios dos resultados e conclusões para os técnicos responsáveis pela rede elétrica. Dependendo da necessidade, o microcomputador poderá acionar dispositivos de alarme quando vier a identificar a queda de alguma das linhas da rede elétrica ou outro problema significativo; ou ainda desligar automaticamente circuitos de alta tensão quando estes estiverem operando em situações de risco.

A figura 3.2 abaixo dá uma idéia de como é a unidade central receptora.

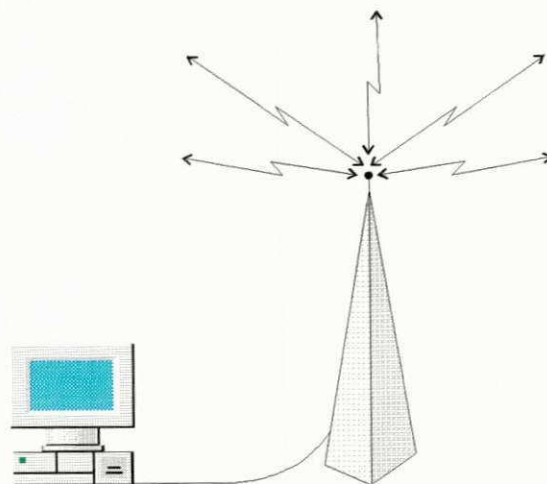


Figura 3.2 - Unidade Central Receptora.

Tanto as UPL's quanto as UCR's podem ser fixas ou portáteis. No caso de haver necessidade de um constante monitoramento da rede elétrica em determinada localidade, a UPL será afixada em postes da rede elétrica e ligada às três linhas desta rede, sendo o envio dos parâmetros calculados feito através do sistema de transmissão de sinais de rádio para a UCR. De outra forma, técnicos poderão avaliar a rede elétrica, em determinada localidade, periodicamente. Para isso poderão utilizar-se de UPL's e microcomputadores com UCR's portáteis ou até ligadas por cabos.

Para que fosse possível projetar um circuito integrado TDPP que substituísse diversos circuitos discretos de uma placa de circuito impresso e ainda operasse afixadas em postes da rede elétrica, necessitando, assim, de alimentação elétrica local, era necessário buscar, além da integração do circuito, técnicas de redução do consumo de energia elétrica, respeitando as especificações do mesmo.

Integrar um circuito elétrico significa utilizar-se de técnicas e ferramentas de "software" para obter um novo circuito que realize as mesmas tarefas com menor consumo de energia e que seja menos susceptível à falhas de ordem mecânica. Para se conseguir isso, novas especificações foram definidas.

3.3 - Especificações de Projeto do Circuito TDPP

No caso do circuito TDPP monofásico, apenas os conversores de tensão e corrente e os comparadores não participaram da definição para integração. Essa proposta de integração provocou uma avaliação e redefinição completa do circuito TDPP. Novas especificações foram definidas na intenção de desenvolvê-lo considerando os ganhos propiciados pela integração, a possibilidade de alterações estruturais, a facilidade de localização de falhas e o tempo de projeto e implementação de tais mudanças.

As especificações são, para o projetista, os parâmetros (regras) iniciais para o desenvolvimento do circuito. No caso da integração do circuito TDPP, consideraram-se as seguintes especificações:

- a) cálculo e fornecimento ao computador hospedeiro das potências P e S ; das tensões e correntes médias quadráticas (V_{RMS} e I_{RMS}), e

- do número de amostras (N) da rede de distribuição de energia elétrica;
- b) requisição de sinais de entrada de pulso de relógio, passagem por zero (Z_0) e "reset";
 - c) geração de sinais de fim de cálculos e solicitação de conversão;
 - d) apresentação de barramento de entrada único de 10 bits;
 - e) apresentação de barramento de saída com dimensão que não permita o acréscimo de erros de processamento;
 - f) apresentação da taxa de amostragem nominal de, no mínimo, 600 e, no máximo, 1024 amostras por ciclo de sinal da rede elétrica;
 - g) apresentação de controle autônomo do circuito, ou seja, independente de sinais do computador hospedeiro;
 - h) recepção do computador hospedeiro sinais de seleção / solicitação dos resultados obtidos pelo circuito, sem interferência no processamento;
 - i) apresentação de um baixo consumo de energia elétrica para possibilitar o uso de pequenas baterias e aumentar o tempo de operação com as mesmas;
 - j) desenvolvimento de blocos operacionais independentes para facilitar a identificação e localização de possíveis problemas, e facilitar a análise e alteração do circuito.

O capítulo seguinte descreve em detalhes toda a metodologia de projeto utilizada no desenvolvimento e definição de todas as partes do circuito integrado TDPP. Uma abordagem matemática é feita acerca do dimensionamento dos registradores internos, de forma a mostrar que nenhum erro de processamento será inserido nos resultados obtidos.

4

METODOLOGIAS DE PROJETO E IMPLEMENTAÇÃO

Este capítulo apresenta os algoritmos e metodologias de projeto e as metodologias de implementação avaliadas durante a definição de todas as partes do circuito integrado TDPP.

Buscar a máxima integração do circuito não é objetivo deste trabalho. Entretanto, conciliar integração com baixo consumo de energia, curto tempo de desenvolvimento e facilidade para possíveis alterações nas especificações do circuito, estas sim são as metas a serem alcançadas. Para isso, realizou-se um estudo dos algoritmos de projeto e das metodologias de implementação a serem adotados na definição e execução dos diversos blocos funcionais do circuito.

4.1 - Análise dos Algoritmos

Implementar circuitos como somador, multiplicador, divisor, etc., requer estudo e definição do algoritmo a ser seguido. Para isso duas características devem ser consideradas: a velocidade de realização das operações e a quantidade de circuitos lógicos combinacionais (tamanho de superfície de silício) necessária para a implementação.

Os algoritmos seqüenciais são bastante econômicos do ponto de vista de "hardware", pois requerem pouca lógica combinacional para sua implementação. Entretanto, do ponto de vista de desempenho, tais algoritmos são considerados lentos. Isso se deve ao fato de grande parte do circuito ser implementada com dispositivos de armazenamento, como "flip-flop's", registradores e memórias, o que requer um sistema síncrono para controlar seu funcionamento.

Um exemplo clássico da implementação de um circuito seqüencial é o circuito somador série, o qual está apresentado na figura 4.1 abaixo.

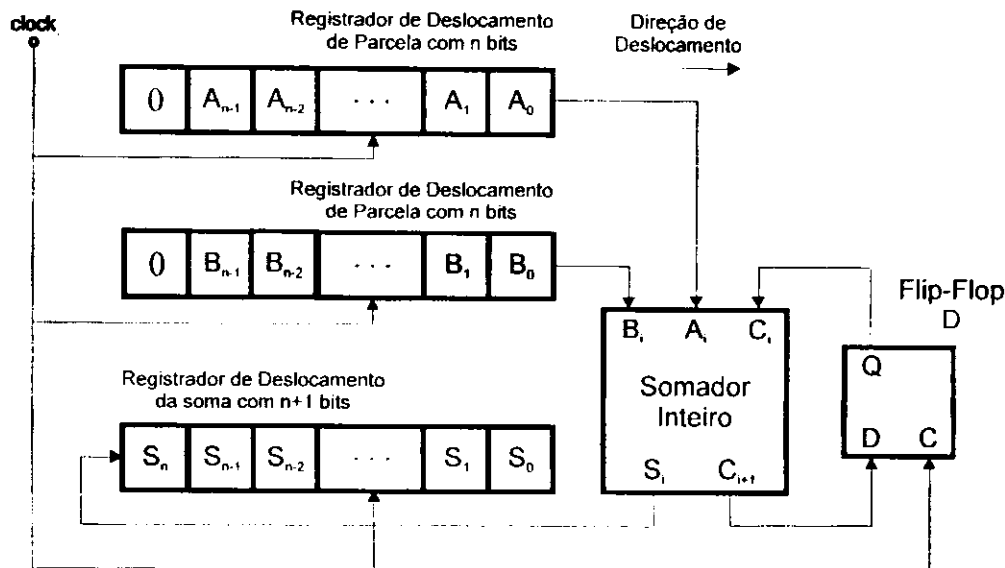


Figura 4.1 - Arquitetura de um Circuito Somador Série.

Note que a parte seqüencial do circuito é formada por três registradores de deslocamento e um "flip-flop" tipo D, enquanto que a parte combinacional é composta unicamente por um somador inteiro. As parcelas de A e B são carregadas nos respectivos registradores de deslocamento para a direita de "n+1" bits, enquanto que o resultado da soma será armazenado no registrador de deslocamento para à direita, a partir do "flip-flop" mais à esquerda.

Após o carregamento das parcelas A e B em seus respectivos registradores de deslocamento, dá-se início ao processamento do circuito. Antes mesmo que a primeira borda de gatilho do sinal de "clock" ocorra, os bits A_0 e B_0 já estarão presentes nas entradas do somador inteiro, sendo a entrada $C_n = 0$ ("flip-flop" D inicialmente "resetado"). Desta forma, o bit de soma S_0 e o bit de "carry" C_1 , gerado estarão presentes nas entradas S_n do registrador de deslocamento à direita de "n+1" bits e na entrada D do "flip-flop", respectivamente.

Após a primeira borda do sinal de "clock", o bit S_0 será registrado no "flip-flop" mais à esquerda do registrador de soma; as parcelas A e B serão deslocadas para a direita em uma posição, e o bit de "carry" C_1 será armazenado no "flip-flop" D, de forma que A_1, B_1 e C_1 estarão presentes nas entradas do somador inteiro e nas saídas S_1 e C_2 . O processo se repete n+1 vezes até que os registradores A e B tenham se

esgotado e o bit C_{n+1} gerado no n -ésimo sinal de "clock" seja registrado no registrador de soma.

Os algoritmos paralelos, ao contrário dos seqüenciais, requerem uma implementação com mais circuitos lógicos combinacionais e menos dispositivos de armazenamento. Assim sendo, os circuitos implementados com métodos de paralelismo de cálculo apresentam mais lógica combinacional e conseqüentemente, maior velocidade, pois independem dos sistemas síncronos. No entanto, são mais caros e de maior complexidade que os seqüenciais.

A figura 4.2 abaixo apresenta um circuito somador implementado a partir do método de paralelismo de cálculos.

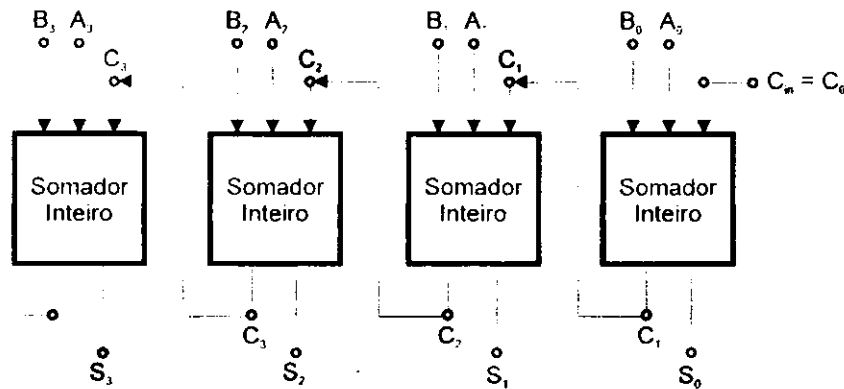


Figura 4.2 - Arquitetura de um Circuito Somador Paralelo.

Ao invés de apenas um somador inteiro, este circuito apresenta tantos somadores inteiros quantos forem os bits a serem somados, daí o aumento de "hardware". A velocidade de processamento do circuito é aumentada, em virtude de o resultado não ser mais dependente de apenas um somador e do sincronismo determinado pelo sinal de "clock".

Note, a partir da figura 4.2, que quando os bits A_0, B_0 e $C_n = C_0 = 0$ são somados no primeiro somador, o bit C_1 é combinado com os bits A_1 e B_1 do segundo somador. Então, para que os bits de soma S_1, S_2, S_3, \dots sejam válidos, é necessário aguardar a propagação dos "carries" C_1, C_2, C_3, \dots através das portas lógicas dos somadores inteiros.

É importante que se entenda que as parcelas A e B da soma estarão disponíveis nas entradas dos somadores inteiros todas ao mesmo tempo. Isso é

conseguido através do processo de carregamento paralelo dessas parcelas em registradores, os quais apresentam cada registro ligado diretamente à respectiva entrada do somador inteiro.

No projeto dos diversos blocos funcionais do circuito integrado TDPP buscou-se combinar a redução da complexidade de desenvolvimento e do tamanho do "hardware" com o bom desempenho em termos de velocidade de processamento, características estas conseguidas a partir da utilização do algoritmo paralelo-serial.

4.2 - Metodologias de Projeto

A decisão de qual das metodologias adotar para o projeto e implementação de um circuito integrado depende de variáveis como consumo de energia, dimensões desejadas para o produto final, qualificação dos projetistas disponíveis, tempo previsto para a conclusão do projeto com vistas ao controle de custos (custo hora Homem / Máquina), demanda do mercado, e probabilidade de ocorrerem alterações nas especificações do circuito.

Existem duas metodologias tradicionais de projeto de circuitos integrados. São elas:

- a) projeto com personalização completa ("full-custom");
- b) projeto semi-personalizado ("semi-custom");
 - projeto com células padronizadas (metodologia "standard-cells");
 - projeto com matriz de portas (metodologia "gate-arrays");
 - projeto com circuitos programáveis (metodologia usando circuitos lógicos programáveis).

4.2.1 - Metodologia "*Full-custom*"

A metodologia de projeto "full-custom", também chamada de projeto feito sob medida ou projeto personalizado, caracteriza-se como a metodologia na qual o projetista cria um circuito integrado a partir dos materiais físicos básicos (polissilício, difusões p e n, contato, metal, etc.) que compõem os dispositivos eletrônicos. O

projetista é quem define as dimensões, os posicionamentos e as interligações de todos os dispositivos elementares presentes no circuito. Pode fazer uso de um dispositivo básico padrão, pré-definido, para a construção do circuito, mas isso não conduziria a uma boa otimização, visto que os dispositivos pré-definidos não estão otimizados de acordo com as especificações do circuito.

Para que se alcance a otimização do circuito no que se refere à área ocupada, à velocidade de propagação e à energia consumida, a atuação de projetistas com alto grau de qualificação é fundamental. Eles devem conhecer todas as nuances da tecnologia para que possam explorar ao máximo as vantagens oferecidas por ela.

Por ser uma metodologia onde o projetista participa da construção e montagem de todos os componentes eletrônicos (dispositivos, blocos, etc.) do circuito, o tempo de desenvolvimento de um projeto desta natureza é bastante longo. Isto, aliado à necessidade de um projetista com alto grau de qualificação, implica em um alto custo de projeto. Portanto, esta metodologia é mais adequada a circuitos para os quais são previstos níveis de produção em escala muito grande, onde se pode diluir o custo de projeto, e onde o custo unitário de produção é mais baixo devido a redução da área do circuito; e/ou quando o custo total da aplicação é bem superior ao custo de projeto. É o caso das aplicações em satélites, cabeças de mísseis, super computadores, etc.

A figura 4.3 apresenta um dos caminhos possíveis de desenvolvimento de um circuito inversor seguindo-se a metodologia de projeto "full-custom".

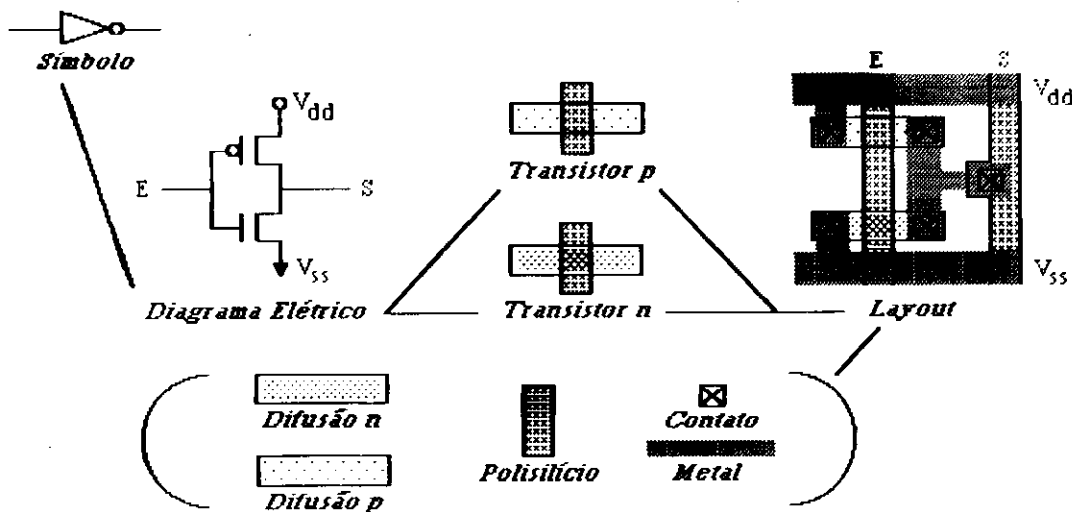


Figura 4.3 - Etapas de Projeto de um Inversor em Metodologia "Full-custom".

4.2.2 - Metodologia "Semi-custom"

Três metodologias de projeto de circuitos integrados caracterizam a metodologia "semi-custom", ou semi-personalizadas, as quais serão apresentadas nas seções a seguir.

4.2.2.1 - Metodologia "Standard-cells"

A metodologia de projeto "standard-cells", também conhecida como metodologia de projeto usando células padronizadas, caracteriza-se como a metodologia na qual o projetista se utiliza de um conjunto limitado de células pré-projetadas para a implementação do circuito em projeto. Essas células pré-projetadas têm em comum a altura e o posicionamento e dimensões das trilhas de alimentação, daí serem chamadas de células *padrão*. Tais fatos garantem a continuidade das trilhas de alimentação quando as células forem posicionadas lado a lado. Além desta, outra característica é a do número de "*pitches*" (menor tamanho possível de uma célula) ser sempre inteiro.

A figura 4.4, abaixo, apresenta graficamente a utilidade da padronização da altura e do posicionamento e dimensões das trilhas de alimentação das células utilizadas nesta metodologia de projeto.

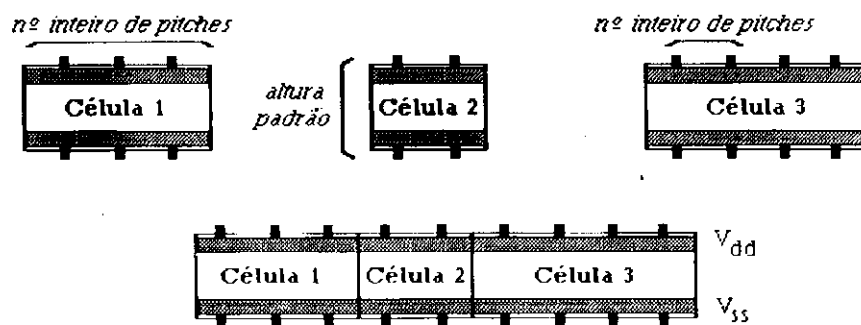


Figura 4.4 - Utilidade da Padronização das Células.

As características lógicas, elétricas, funcionais e estruturais de cada célula básica padrão, estão bem definidas em uma biblioteca de células e devem ser utilizadas pelos projetistas para a construção do seu circuito.

A figura 4.5 apresenta as etapas de desenvolvimento de uma porta lógica XOR em metodologia "standard-cells".

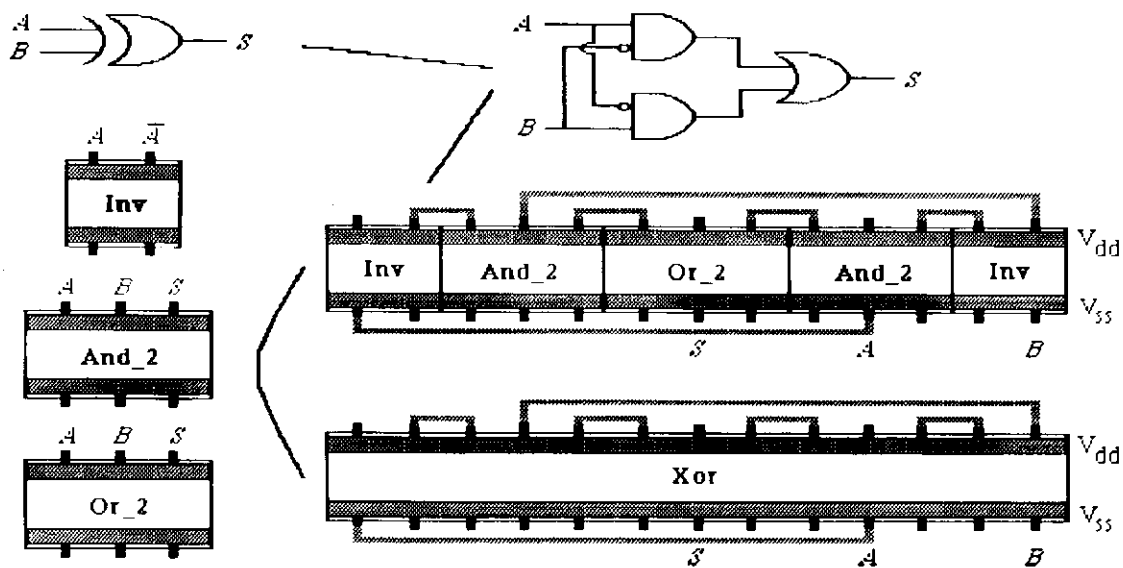


Figura 4.5 - Etapas de Projeto de uma Porta XOR em Metodologia "Standard-cells".

É importante que se perceba que, devido ao fato de as células já estarem pré-definidas e também devido a criação de canais de roteamento mais ou menos complexos entre as fatias ("slices") de células, os circuitos desenvolvidos através desta metodologia de projeto acabam perdendo um pouco em densidade de integração, em velocidade de propagação e em consumo de energia, quando comparados com os circuitos desenvolvidos em metodologia de projeto "full-custom". Em contrapartida, projetos desenvolvidos em metodologia "standard-cells" exigem menos habilidade do projetista e são muito mais rapidamente concluídos. A escolha de uma ou outra metodologia dependerá das exigências do circuito em projeto.

A metodologia de projeto "standard-cells" é atualmente muito empregada na construção de ASIC's, onde se consegue reduzir bastante o tempo e o custo de projeto e onde o mercado seja da ordem de poucos milhares de unidades (2.000 unidades, por exemplo), ou mesmo algumas dezenas (protótipos). Levando-se em consideração todas estas características, aliadas às especificações do circuito integrado TDPP, esta foi a metodologia que melhor se adequou ao projeto e implementação deste circuito.

4.2.2.2 - Metodologia "Gate-array"

A metodologia de projeto "gate-array", também chamada de matriz de portas, tem como característica principal o fato de o circuito se apresentar sob a forma estrutural de uma matriz de células, onde os dispositivos já estão pré-difundidos.

Nesta metodologia, cabe ao projetista apenas a função de definir o sistema a nível de portas lógicas, e implementar o circuito desejado a partir da interconexão das células da matriz, que podem ser transistores, portas elementares, por exemplo "nand" e "nor", ou até mesmo circuitos simples como somadores inteiros.

Desvantagens como a perda de parte da matriz (no mínimo de 30%), por não haver espaço (canais de roteamento) suficiente para efetuar todas as interconexões entre as portas existentes ou por ter concluído o projeto antes de esgotar as portas; e a perda de desempenho são características apresentadas por circuitos desenvolvidos com esta metodologia. No entanto, vantagens como rapidez, baixo custo e reduzido número de erros de projeto e fabricação, já que o único processo realizado na fabricação é a produção das máscaras de metal e conseqüente metalização, são os atrativos principais desta metodologia de projeto.

A figura 4.6 apresenta, simbolicamente, uma matriz de portas lógicas.

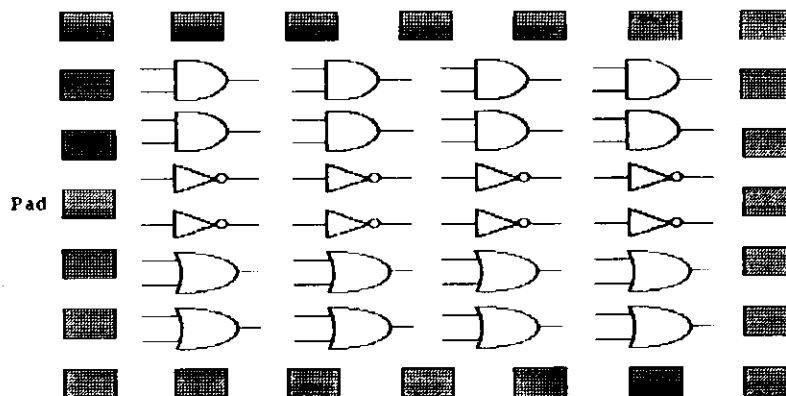


Figura 4.6 - Matriz de Portas Lógicas.

O uso de ferramentas de "software" para o projeto, implementação e validação de circuitos integrados, em quaisquer das metodologias de projeto, é básico para o desenvolvimento de qualquer projeto, devendo fazer parte do "Know How" necessário a todo projetista.

A seção a seguir aborda superficialmente o uso de circuitos lógicos programáveis nos atuais projetos de circuitos integrados.

4.2.3 - Metodologia usando Circuitos Lógicos Programáveis

A metodologia usando circuitos lógicos programáveis possibilita o desenvolvimento de circuitos integrados complexos, tornando possível a reprogramação dos mesmos ainda nas fases preliminares de projeto. Isso proporciona uma grande economia de tempo e dinheiro, já que não há necessidade de nova fundição do circuito, apenas de reprogramação feita por "software".

Os circuitos lógicos programáveis são de importância estratégica crucial para projetistas de sistemas eletrônicos, pois permitem rapidez de desenvolvimento de circuitos e possibilidade de modificações, pelo usuário, a partir do uso de "softwares". Eles têm se mostrado os substitutos naturais dos ASIC's em virtude da possibilidade de se implementar circuitos cada vez mais complexos em lógica programável.

Dentre as várias arquiteturas de circuitos lógicos programáveis existentes, uma merece destaque: a FPGA ("Field Programmable Gate Arrays").

FPGA são circuitos programáveis formados por um conjunto de células lógicas ou blocos lógicos alocados em forma de matriz, onde a funcionalidade desses blocos e seu roteamento são configuráveis por "software", sem a necessidade de utilização de recursos do fabricante.

Vários fatos impediram a opção pelo uso de FPGA para o desenvolvimento e implementação do circuito TDPP; dentre eles:

- o avanço do projeto e implementação do circuito em "standard cells";
- o pouco conhecimento acerca dessa nova metodologia;
- o pouco tempo disponível para uso da ferramenta "CADENCE", já que a licença que se tinha era provisória e extremamente curta.

A seção a seguir trata do uso da metodologia top-down / botton-up no projeto de circuitos integrados.

4.3 - Metodologia Top-Down / Botton-Up

A metodologia “top-down” caracteriza-se por ser uma metodologia na qual o comportamento e estrutura de um circuito, em seu nível mais alto, são implementados a partir das especificações do circuito. Ou seja, a partir das especificações iniciais do circuito, faz-se uma descrição de seu comportamento e, então, definem seus blocos componentes. Para cada bloco novo definido, o passo anterior se repete até que os blocos de mais baixo nível sejam os da biblioteca de células básicas.

Com o circuito inteiramente definido e estruturado, passa-se à etapa de validação lógica de cada bloco desenvolvido a partir das células básicas. A cada nível de blocos de circuitos validados, segue-se para a validação do nível imediatamente superior, até que se chegue ao nível mais alto; ou seja, o circuito completo. Esta metodologia é conhecida como “botton-up”.

O próximo capítulo apresenta todo o projeto do circuito “integrado” transdutor de parâmetros de potência, o qual foi projetado a partir da metodologia “standard-cells” e implementado segundo a metodologia “top-down / botton-up”.

5

PROJETO DO CIRCUITO INTEGRADO TDPP

O projeto do circuito “integrado” TDPP iniciou-se com o conhecimento das especificações e das equações discretizadas de P , S , V_{RMS} e I_{RMS} , apresentadas no capítulo 02 e repetidas abaixo para facilidade de acompanhamento e consulta.

$$P = \frac{1}{N} \cdot \sum_{n=1}^N v[n] \cdot i[n] \quad (5.1)$$

$$V_{RMS} = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N v^2[n]} \quad (5.2)$$

$$I_{RMS} = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N i^2[n]} \quad (5.3)$$

$$S = \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N v^2[n]} \cdot \sqrt{\frac{1}{N} \cdot \sum_{n=1}^N i^2[n]} \quad (5.4)$$

Os valores digitais das tensões $v[n]$ e correntes $i[n]$ serão obtidos a partir do processo de conversão das amostras colhidas da rede de distribuição de energia elétrica.

É importante notar que, para cada amostra, as operações aritméticas de produto e soma, nesta ordem, serão realizadas durante toda a fase de amostragem e de forma acumulativa, tão logo se tenha os valores convertidos (digitais).

Os valores convertidos das amostras serão armazenados em registradores de entrada do circuito TDPP e utilizados na realização dos produtos $v[n] \cdot i[n]$, $v^2[n]$ e $i^2[n]$, conforme apresentado nas equações 5.1, 5.2 e 5.3. Já os resultados obtidos dos

produtos realizados com cada amostra serão armazenados cumulativamente em registradores acumuladores.

As demais operações somente serão realizadas ao final do processo de amostragem, ou seja, logo após o início de um novo ciclo de tensão ou corrente. É neste instante que se dispõe do número total de amostras N para a realização da operação de divisão.

A figura 5.1 apresenta os instantes de cálculos das diversas operações aritméticas.

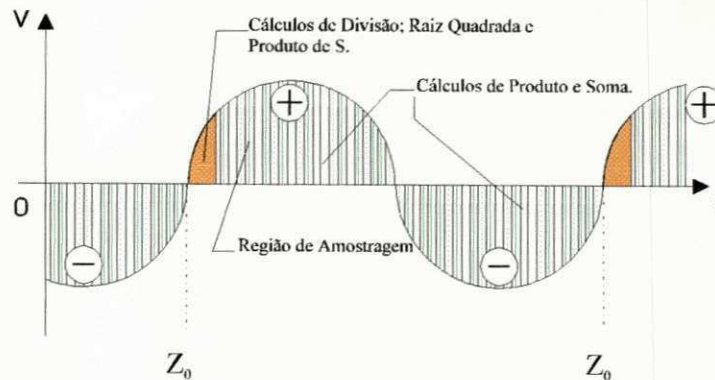


Figura 5.1 - Instantes de Amostragem e Processamento Aritmético do Circuito TDPP.

Após o processo de divisão dos valores armazenados nos registradores acumuladores, os resultados obtidos serão novamente armazenados nos respectivos acumuladores; entretanto, a equação 5.1 já estará concluída, tendo sido calculada a potência P .

A operação de raiz quadrada é necessária para que se obtenha os valores da corrente e tensão média quadrática (equações 5.2 e 5.3), valores estes que servirão para o cálculo da potência S a partir da operação de produto (equação 5.4).

Os resultados obtidos para P , V_{RMS} , I_{RMS} e S , juntamente com o número total de amostras realizadas, serão armazenados em um conjunto de registradores de interface para leitura do computador hospedeiro.

A análise das equações permite a determinação dos circuitos que realizam as operações aritméticas envolvidas no processamento das amostras das tensões e correntes da rede elétrica, assim como permite a compreensão do funcionamento do circuito. A partir dessa análise pôde-se estruturar o circuito TDPP conforme apresentado a seguir:

- os *registradores de entrada* recebem os valores digitais amostrados da corrente e tensão da rede elétrica, deixando-os disponíveis para a realização das operações aritméticas;
- a *unidade aritmética (UA)*, coração do circuito, é composta por blocos funcionais de soma/subtração, multiplicação, divisão e raiz quadrada, além de dois multiplexadores (um de 08 entradas e 01 saída e o outro de 04 entradas e 01 saída). É auxiliada em seu processamento por *registradores acumuladores*, os quais armazenam os resultados parciais obtidos durante o processamento das amostras obtidas;
- os resultados finais obtidos ao final de um ciclo de tensão são armazenados nos *registradores de interface*, e permanecem lá durante um ciclo de tensão, tempo que o computador hospedeiro terá para efetuar a leitura;
- todo o processo de solicitação de amostras é controlado a partir de um circuito *controle de conversão* e cada amostra solicitada é contada pelo circuito *contador de amostras*;
- um circuito de *controle geral* gera sinais de controle para todos os demais blocos do circuito TDPP, dispensando a necessidade de recepção de sinais de controle vindos do computador hospedeiro.

A conversão dos sinais analógicos em digitais e a detecção da passagem por zero do sinal de tensão ou corrente, feitas pelo circuito comparador, são tarefas realizadas externamente ao circuito integrado TDPP. O circuito comparador envia o sinal de passagem por zero " Z_0 " quando detectar a passagem da tensão ou corrente do ciclo negativo para o positivo. Entretanto, assumiu-se que o sinal de operação do circuito comparador é o de tensão.

O conversor analógico/digital, utilizado para a conversão das tensões e correntes da rede de energia elétrica, é o AD-537. Ele recebe o sinal analógico a ser convertido e, após o processo de conversão por aproximação sucessivas, fornece o valor digital em 10 bits.

A figura 5.2, a seguir, apresenta um diagrama genérico da estrutura do circuito integrado TDPP, além de alguns outros circuitos que compõem a ULA.

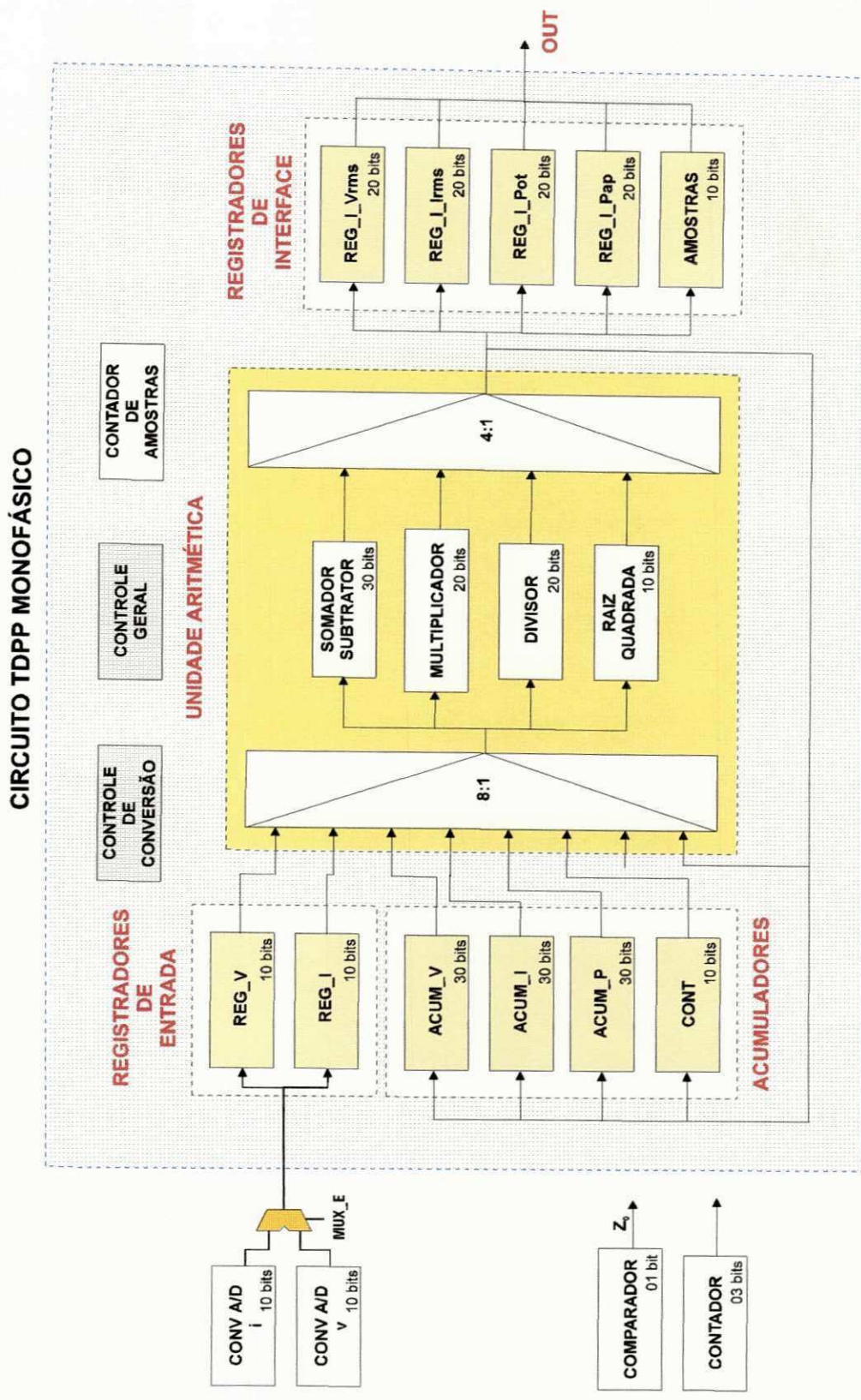


Figura 5.2 - Diagrama de Blocos do Circuito TDPP Completo.

As seções que seguem apresentam uma análise da precisão, dimensionamento, funcionamento e formação estrutural de cada bloco componente do circuito TDPP.

Os diagramas esquemáticos de todo o circuito TDPP e seus componentes, implementados com o uso da ferramenta de projeto de circuitos integrados "CADENCE", estão apresentados no apêndice deste trabalho.

5.1 - Análise de Precisão do Circuito

A precisão de sinais digitalizados determina o número de bits significativos necessários para que o sinal seja representado com erro igual ou menor que o especificado para a aplicação. Sendo assim, faz-se necessário o estudo da precisão do circuito integrado TDPP, respeitando suas especificações e considerando a seguinte premissa:

- as operações aritméticas desenvolvidas pelo circuito TDPP não devem contribuir com erro de processamento no resultado. Todo o erro existente nos resultados decorrerá apenas do processo de aproximação sucessivas ocorrido no conversor A/D.

Admitindo a ocorrência de erro apenas no processo de conversão, tem-se que o valor digital real (X_r) de determinada amostra será igual ao valor quantificado da amostra (X_q) mais o erro (e) devido ao truncamento do valor real ocorrido no processo de aproximação sucessivas, ou seja:

$$X_r[n] = X_q[n] + e[n] \quad (5.5)$$

Para que se tenha uma melhor compreensão da propagação ou até da inserção de erro de processamento, considere a equação do cálculo da potência P (equação 5.1).

Como os valores das tensões e correntes digitais assumem a forma da equação 5.5, então:

$$\begin{aligned} P &= \frac{1}{N} \cdot \sum_{n=1}^N (v_q[n] + e_v[n]) \cdot (i_q[n] + e_i[n]) \\ &= \frac{1}{N} \cdot \sum_{n=1}^N v_q[n] \cdot i_q[n] + \frac{1}{N} \cdot \sum_{n=1}^N (v_q[n] \cdot e_i[n] + i_q[n] \cdot e_v[n] + e_v[n] \cdot e_i[n]) \end{aligned} \quad (5.6)$$

Note, da equação 5.6 acima, que a segunda parcela do resultado representa o erro total existente para o cálculo da potência P . Esse erro é decorrente apenas do processo de conversão dos valores analógicos em digitais dos sinais de tensão e corrente da rede elétrica; isso significa que os cálculos realizados para a obtenção da potência ativa não inserem erro no processamento.

A abordagem feita para a potência ativa serve também para as tensões e correntes RMS, assim como para a potência S .

A seção seguir apresentada o dimensionamento dos blocos operacionais do circuito TDPP.

5.2 - Dimensão e Funcionamento dos Blocos do Circuito TDPP

A análise do dimensionamento dos diversos blocos operacionais e seus registradores tem como pilares de sustentação a dimensão dos valores convertidos das tensões e correntes da rede elétrica (10 bits) e a especificação de projeto de não inserção de erro durante o processamento das amostras para obtenção das potências ativa P e aparente S .

As seções subseqüentes apresentam um estudo completo de cada bloco operacional do circuito TDPP projetado.

5.2.1 - Registradores de Entrada

Ao término das conversões dos valores amostrados da corrente e tensão da rede elétrica, os valores convertidos serão utilizados para a realização dos cálculos dos produtos $v[n].i[n]$, $v^2[n]$ e $i^2[n]$. Entretanto, faz-se necessário o armazenamento e manutenção destes valores em registradores, visto que a realização dos três produtos demanda tempo, tempo este no qual os conversores estariam parados para a manutenção dos valores convertidos, não fosse a utilização destes registradores.

Os registradores utilizados para o armazenamento da tensão e corrente digital são chamados de registradores de entrada (REG_V e REG_I). Eles têm suas dimensões determinadas pelos valores convertidos pelos conversores A/D's.

Cada registrador que compõe o bloco registradores de entrada, REG_V e REG_I, é formado por “flip-flops” e multiplexadores de duas entradas e uma saída, os quais servem para manter, através da realimentação, o valor armazenado, conforme apresenta a figura 5.3 abaixo.

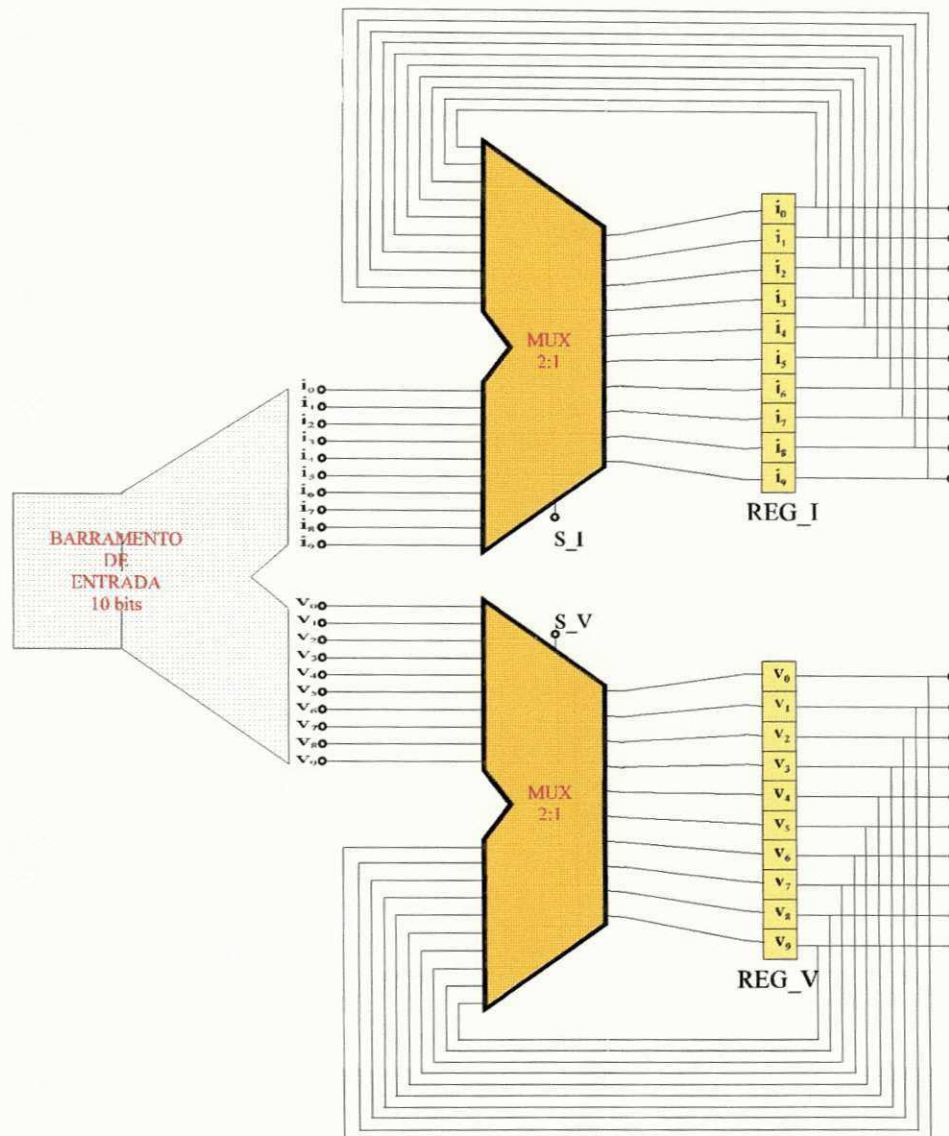


Figura 5.3 - Diagrama Estrutural dos Registradores de Entrada.

Note que as entradas de seleção S_I e S_V dos multiplexadores permitem o carregamento paralelo do valor presente na entrada ou a manutenção do valor já armazenado, através da realimentação existente. Isto permitirá a estabilidade dos dados armazenados da tensão e corrente, de cada par de amostra, pelo período de tempo necessário à execução das operações de multiplicação e soma (acumulação) dos resultados relacionados com cada par de amostra.

As saídas dos registradores de entrada estão ligadas às entradas de tensão e corrente da unidade aritmética, conforme pode se ver na figura 5.2.

A seção seguinte apresenta o circuito multiplicador, o qual fará uso das amostras convertidas de tensão e corrente para a realização dos produtos $v[n].i[n]$, $v^2[n]$ e $i^2[n]$.

5.2.2 - O Circuito Multiplicador

Estando disponíveis os valores digitais da tensão e corrente da primeira amostra válida do ciclo de tensão da rede, dar-se-á início às operações de multiplicação de $v[n].i[n]$, $v^2[n]$ e $i^2[n]$.

É sabido que os valores disponíveis nos registradores de entrada possuem 10 bits, o que implica em dizer que tanto o “multiplicador” quanto o “multiplicando” possuem 10 bits de dimensão. *Qual será, então, a dimensão do resultado desta operação?* A resposta a esta questão é, tão somente, parte do projeto deste circuito multiplicador. Entretanto, vale lembrar que uma das especificações do circuito integrado TDPP é a de não inserir erro durante o processamento dos valores convertidos; ou seja, todo o erro existente no resultado final do processamento será devido ao truncamento feito durante o processo de conversão das amostras, e não a truncamentos ocorridos no processamento dos valores digitais. Isso implica em dizer que o tamanho do resultado da multiplicação de duas palavras de 10 bits cada será o mais representativo possível.

A análise matemática apresentada a seguir auxilia na compreensão do dimensionamento do resultado da operação de multiplicação, e, portanto, na estruturação do circuito multiplicador.

5.2.2.1 - Dimensionamento do Circuito Multiplicador

Os produtos $v[n].i[n]$, $v^2[n]$ e $i^2[n]$, necessários aos cálculos da potência ativa e dos valores RMS das tensões e correntes, apresentam “multiplicando” e “multiplicador” de 10 bits cada. Isso implica dizer que:

$$\log_2 \max\{v[n]\} = \log_2 \max\{i[n]\} = 10 \text{ bits} \quad (5.7)$$

Sendo assim, se:

$$A = v[n].i[n]; \quad (5.8)$$

então,

$$\log_2 \max\{A\} = \log_2 \max\{v[n].i[n]\}. \quad (5.9)$$

Logo:

$$D_A = \log_2 \max\{v[n]\} + \log_2 \max\{i[n]\} = 20 \text{ bits}; \quad (5.10)$$

ou seja, a operação de produto de dois números de 10 bits cada apresenta um resultado de dimensão igual a 20 bits. Onde D_A representa a dimensão do resultado do produto.

A análise feita acima serve também para os produtos $i^2[n]$ e $v^2[n]$; ou seja, eles também terão resultados representados em 20 bits.

A seção seguinte apresenta o estudo da definição estrutural do circuito multiplicador, considerando as dimensões dos operandos e do resultado.

5.2.2.2 - Arquitetura do Circuito Multiplicador

A arquitetura do circuito multiplicador foi obtida a partir da avaliação da representação dos números binários e suas aplicações à multiplicação.

Considere a representação em números binários abaixo:

$$A = a_n \ a_{n-1} \ \dots \ a_0 \ a_{-1} \ a_{-2} \ \dots \ a_{-m}; \quad (5.11)$$

onde:

- a_n representa o bit de sinal;
- $a_{n-1} \ a_{n-2} \ \dots \ a_0$ representam os n bits da parte inteira; e
- $a_{-1} \ a_{-2} \ \dots \ a_{-m}$ representam a parte fracionária do número binário.

A representação sintética e formal dos números binários com sinal pode ser feita de três maneiras, dependendo da manipulação que se deseja efetuar com eles. São elas:

a) Representação em Sinal-Magnitude

$$A = (-1)^{a_n} \cdot \sum_{i=-m}^{i=n-1} a_i 2^i \quad (5.12)$$

b) Representação em Complemento a 1

$$A = -a_n \cdot \sum_{i=-m}^{i=n-1} (1-a_i) 2^i + (1-a_n) \cdot \sum_{i=-m}^{i=n-1} a_i 2^i \quad (5.13)$$

c) Representação em Complemento a 2

$$A = -a_n \cdot 2^n + \sum_{i=-m}^{i=n-1} a_i 2^i \quad (5.14)$$

A representação de números binários em complemento a 2 é de extrema importância quando da utilização em processamento aritmético. O tratamento de sinal e magnitude dos números, nesta representação, torna-se abstrato para o projetista, pois as operações são processadas sem manipulações de sinais, o que facilita bastante o projeto em desenvolvimento.

A multiplicação binária com operandos representados em complemento a 2 é possível quando se consideram os operandos representados no intervalo $-1 < x < -1$ [MER92]. Ou seja, na equação 5.14, fazendo-se $n = 0$, o número binário "A" será representado em sua parte fracionária, conforme descrito a seguir:

$$\begin{aligned} A &= -a_n \cdot 2^n + \sum_{i=-m}^{i=n-1} a_i 2^i \\ &= -a_0 + \sum_{i=-m}^{i=-1} a_i 2^i \end{aligned} \quad (5.15)$$

Considerando o segundo operando como sendo "B", então:

$$B = -b_0 + \sum_{j=-m}^{j=-1} b_j 2^j \quad (5.16)$$

O produto de A por B, ambos fracionários, é o seguinte:

$$\begin{aligned} A \times B &= (-a_0 + \sum_{i=-m}^{i=-1} a_i 2^i) \cdot (-b_0 + \sum_{j=-m}^{j=-1} b_j 2^j) \\ &= a_0 \cdot b_0 - a_0 \cdot \sum_{j=-m}^{j=-1} b_j 2^j - b_0 \cdot \sum_{i=-m}^{i=-1} a_i 2^i + [(\sum_{i=-m}^{i=-1} a_i 2^i) \cdot (\sum_{j=-m}^{j=-1} b_j 2^j)] \\ &= \{a_0 \cdot b_0 + [(\sum_{i=-m}^{i=-1} a_i 2^i) \cdot (\sum_{j=-m}^{j=-1} b_j 2^j)]\} - \\ &\quad - (a_0 \cdot \sum_{j=-m}^{j=-1} b_j 2^j + b_0 \cdot \sum_{i=-m}^{i=-1} a_i 2^i) \quad (5.17) \end{aligned}$$

Analisando-se o resultado apresentado pela equação acima é possível definir precisamente a estrutura do circuito multiplicador.

Note, da equação 5.17 acima, que na parcela contida entre as chaves há dois produtos, um de "a₀.b₀" e outro de somatórios. O primeiro produto pode ser implementado a partir de uma porta lógica AND, enquanto que para o segundo será necessário um multiplicador simples de magnitude (sem sinal). Nesta parcela é importante notar que esses dois produtos serão somados. Vale salientar que esta soma na realidade é uma composição, visto que "a₀.b₀" encontra-se à direita do ponto (valor inteiro) e os somatórios à esquerda (valor fracionário), sendo pois desnecessário o uso de um somador para tal fim.

Na segunda parcela da equação 5.17 tem-se o produto de "a₀" pela parte fracionária de "B", somado ao produto de "b₀" pela parte fracionária de "A". Ambos os produtos são implementados a partir de portas lógicas AND, sendo os resultados obtidos pela soma de ambas as parcelas.

Por fim, para concluir a operação aritmética representada pela equação 5.17, utiliza-se um circuito subtrator, o qual efetuará a subtração da segunda parcela, da primeira parcela da equação.

Considere o seguinte produto a título de exemplo:

$$A \times B;$$

onde: $A = 5_{10}^{**}$ e $B = -3_{10}$.

** X₁₀: indicação de que o número "X" encontra-se representado no sistema decimal.

Uma observação importante é que para representar um número binário em complemento a 2 é necessário que se defina o módulo do número, ou seja, a quantidade de casas binárias em que o número será representado.

Neste exemplo será definido o módulo 16 (04 casas binárias) para a representação dos números binários **A** e **B**.

A representação de $A = 5_{10}$ e $B = -3_{10}$ em complemento a 2, com módulo 16, é:

$$A = 5_{10} = 0101_{(2)}^{\dagger\dagger}$$

$$B = -3_{10} = 1101_{(2)}$$

Para representar **A** e **B** na forma fracionária, ou seja, contidos no intervalo $-1 < x < 1$, basta deslocar todos os bits de forma que somente o mais significativo fique do lado esquerdo do ponto; ou seja:

$$A = 5_{10} = 0.101_{(2)}$$

$$B = -3_{10} = 1.101_{(2)}$$

Aplicando-se, então, a equação 5.17 e seguindo a abordagem apresentada anteriormente, chega-se ao diagrama apresentado na figura 5.4 abaixo.

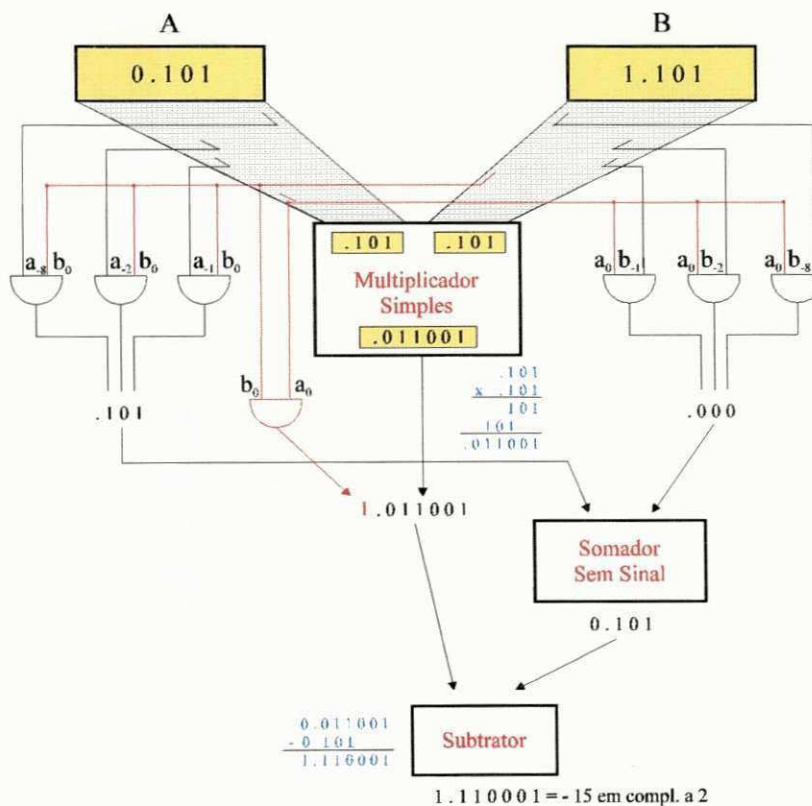


Figura 5.4 - Diagrama Simplificado de um Circuito Multiplicador.

^{††} $X_{(2)}$: representação alternativa para indicar que o número "X" está representado em complemento a 2.

Observando-se a figura 5.4, percebe-se que dois registradores recebem os valores do “multiplicando” e do “multiplicador”, os quais serão utilizados no processamento. A parcela apresentada entre chaves na equação 5.17 é obtida a partir da composição da porta AND com o resultado obtido do multiplicador simples.

A multiplicação simples ocorre de modo semelhante ao processo de multiplicação “lápiz e papel”, conforme apresentado na figura 5.4. O produto se dá entre o bit mais à direita do “multiplicador” e todos os bits do “multiplicando”, sendo o resultado colocado abaixo para ser somado aos resultados dos produtos dos próximos bits à esquerda do “multiplicador” pelo “multiplicando”, deslocados de um bit à esquerda. O processo se repetirá até que todos os bits do “multiplicador” tenham sido utilizados. Em seções posteriores este circuito será estudado mais detalhadamente.

As portas lógicas AND representam os produtos presentes na segunda parcela da equação 5.17, os quais são somados e o resultado é subtraído daquele obtido para a primeira parcela da equação, obtendo-se, finalmente, o resultado do produto binário de números representados em complemento a 2.

A partir do exemplo anterior foi possível estruturar todo o circuito de multiplicação binária em complemento a 2.

A figura 5.5, a seguir, apresenta o diagrama do circuito de multiplicação binária em complemento a 2 projetado.

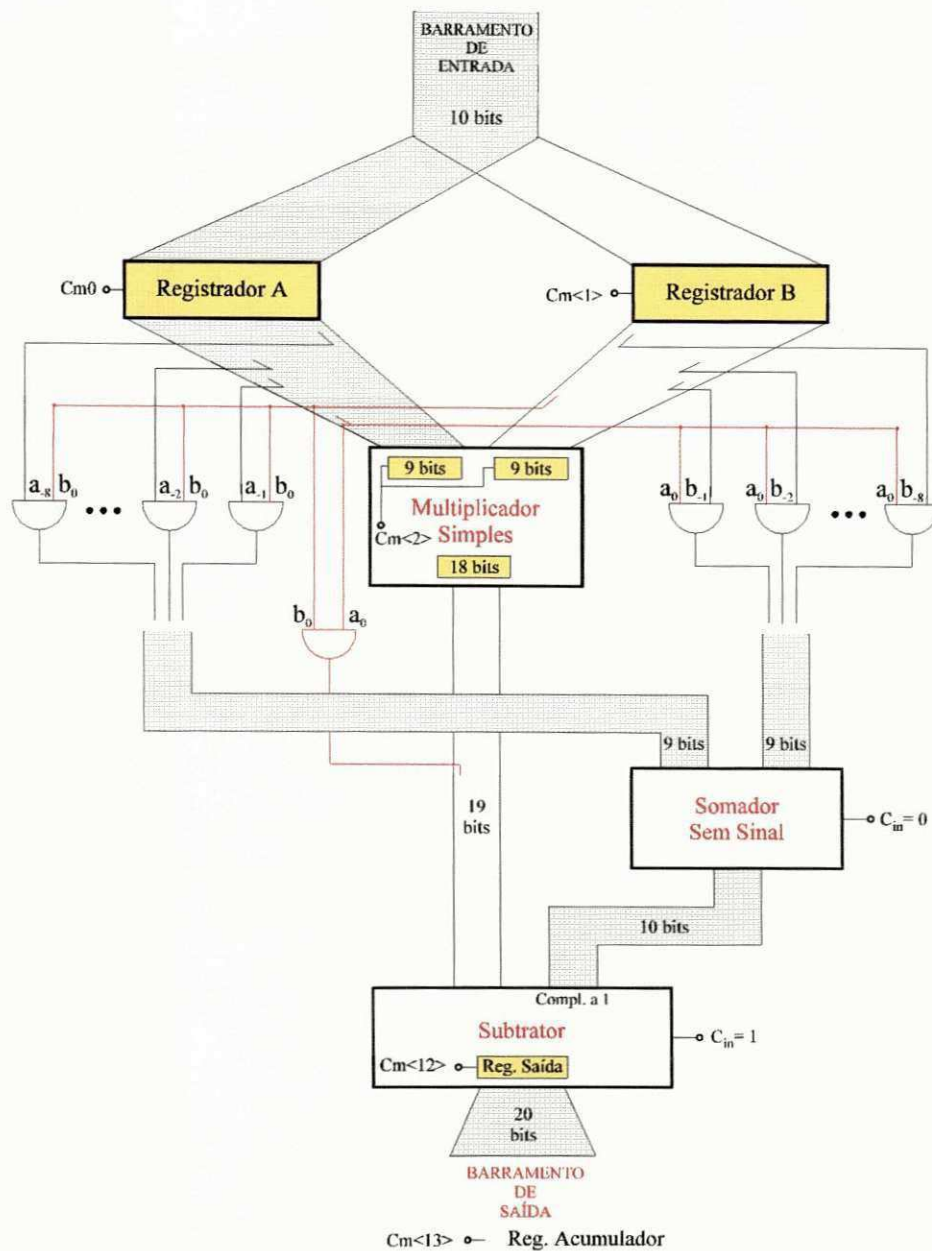


Figura 5.5 - Diagrama do Circuito de Multiplicação Binária em Complemento a 2.

Note, a partir da figura acima, a existência de um barramento de entrada único de 10 bits; sinais de controle advindos do circuito de controle local; barramento de saída de 20 bits e registradores de entrada e saída, características estas não evidenciadas no exemplo anterior.

Como os valores processados no circuito multiplicador vêm diretamente dos registradores de entrada do circuito TDPP, as dimensões tanto do barramento de entrada quanto dos registradores de entrada são as mesmas, ou seja, 10 bits.

A existência de registradores de saída nos blocos operacionais da UA tem a função de evitar que as variações de tensão e corrente, intermediárias ao resultado final da operação, passem para o barramento, o que provocaria desperdício de energia. Esse fato ocorre porque, em circuitos CMOS, o consumo de energia se dá em virtude das variações entre valores lógicos. A decisão de sempre colocar um registrador de saída satisfaz à especificação de redução do consumo de energia pelo circuito TDPP.

O circuito multiplicador simples processa os 09 bits fracionários, advindos dos registradores de entrada A e B, e fornece como resultado um número fracionário 18 bits. A parte inteira desse resultado é obtida a partir da composição com o bit obtido do produto " $a_0.b_0$ ", conforme visto anteriormente.

Note, a partir da figura 5.5, que o banco de AND's apresentado do lado esquerdo, executa o produto de " b_0 " (parte inteira de B) pela parte fracionária de A; enquanto que , do lado direito, o banco de AND's executa o produto de " a_0 " (parte inteira de A) pela parte fracionária de B. Os resultados obtidos por ambos os bancos de AND's são somados pelo circuito somador sem sinal e, então, subtraídos do resultado obtido no multiplicador simples.

Como se pode perceber, o resultado final do processo de multiplicação apresenta 20 bits, o que concorda com o estudo de dimensionamento feito anteriormente.

As seções que seguem apresentam de forma detalhada a estrutura e funcionamento dos blocos de circuito que compõem o circuito multiplicador, ou seja, apresenta os blocos multiplicador simples, somador sem sinal e subtrator.

5.2.2.3 - Circuito Multiplicador Simples

O circuito multiplicador simples, como apresentado anteriormente, simula a multiplicação lápis e papel. Sua arquitetura, apresentada na figura 5.6 a seguir, é formada por:

- um *registrador de deslocamento para a esquerda* de 17 bits, sendo que os nove primeiros registros, além do deslocamento, recebem o valor do "multiplicando" A de forma paralela;

- um *registrador de carregamento paralelo e deslocamento para a direita* de 9 bits, onde é carregado o “multiplicador” B;
- um *banco de portas lógicas AND*, as quais efetuam o produto do “multiplicador” pelo “multiplicando”;
- um *circuito somador paralelo* de 17 bits, o qual soma todos os resultados parciais da multiplicação;
- um *registrador R de carregamento paralelo*, o qual armazena os resultados das somas parciais e os realimenta para o circuito somador.

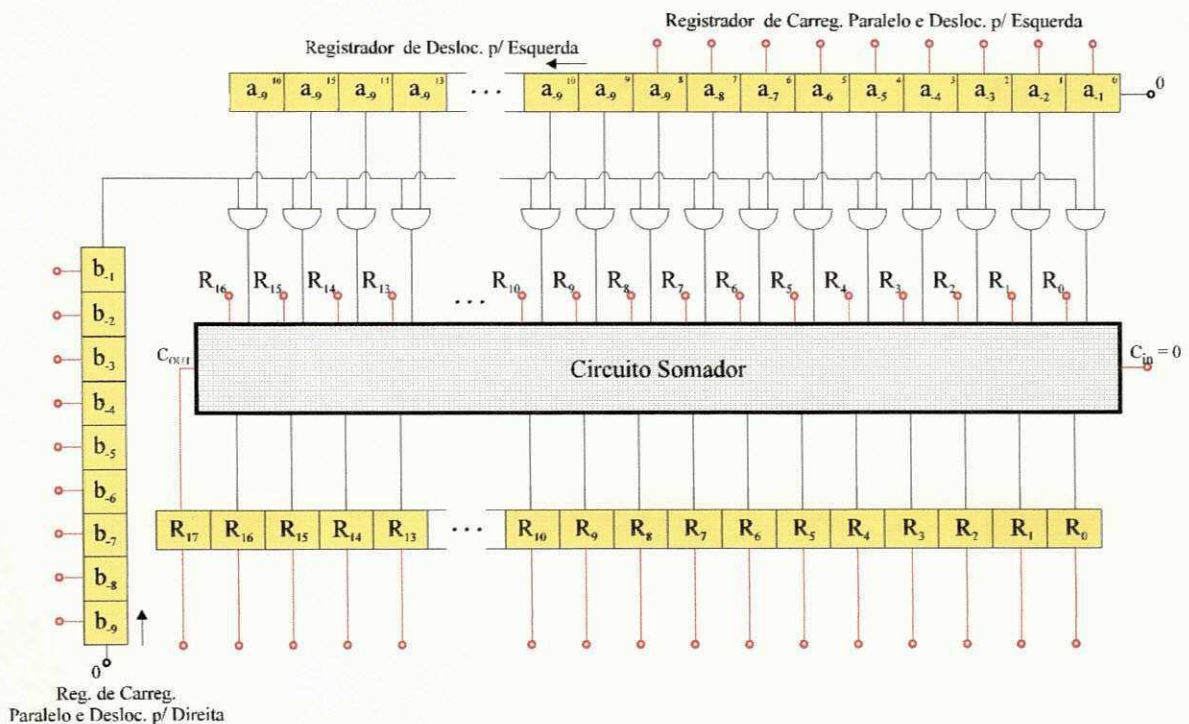


Figura 5.6 - Diagrama do Circuito Multiplicador Simples.

Admitido-se que inicialmente todos os registradores estejam zerados, um pulso de relógio carrega os valores nos registradores A e B simultaneamente, tendo-se, de imediato, a realização do produto de b_1 por A, o qual é somado ao conteúdo do registrador R, que inicialmente é zero. Um novo pulso de relógio efetua, simultaneamente, o carregamento do resultado da soma em R e o deslocamento de A e B. Note que agora b_2 multiplicará A; entretanto, a locação “0” receberá no deslocamento o valor zero; o que garantirá R_0 como resultado definitivo até o final do processamento, pois o conteúdo de R_0 será sempre somado a zero.

Com a ocorrência de um novo pulso de relógio, um novo carregamento da soma parcial em R e deslocamento de A e B ocorrerão. Mais uma vez o resultado parcial armazenado em R será somado ao produto de b_3 por A . Note que o deslocamento do zero de a_1 para a_2 permite que R_1 seja agora mantido como resultado até o final do processamento. Note ainda que, em virtude de os registradores de A que vão de 09 a 16 estarem inicialmente zerados, os produtos de B por A , para estas locações, são levados a zero e, conseqüentemente, são somados aos conteúdos também zerados de R . Entretanto, com o deslocamento A esses conteúdos vão sendo alterados.

O processo continua até que b_9 seja deslocado para fora do registrador, o que totaliza 10 pulsos de relógio. Neste momento, a soma do resultado parcial com o último produto será armazenada em R , caracterizando o fim da operação de multiplicação simples, e o resultado estará, portanto, disponível para o término do processamento da multiplicação binária.

Algumas características desse circuito merecem destaque. Uma delas é a arquitetura paralelo-serial, evidenciada pelo processamento paralelo no caso da multiplicação de, por exemplo, b_1 por todo o conteúdo de A , e também da soma; e pela obtenção do resultado de forma serial, ou seja, a cada pulso um bit do resultado é definido. Outra característica importante é a utilização de apenas um registrador e um circuito somador para efetuar a realimentação dos resultados das somas parciais para o mesmo circuito somador, evitando com isso a repetição de circuitos somadores idênticos e, conseqüentemente, economizando área de silício.

O circuito somador paralelo de 17 bits, pertencente ao circuito multiplicador simples, apresenta sua estrutura semelhante a mostrada na figura 4.2, sendo pois desnecessário repeti-la aqui.

A seção seguinte apresenta o circuito somador sem sinal, o qual compõe o circuito multiplicador.

5.2.2.4 - Circuito Somador Sem Sinal

O circuito somador sem sinal, inserido na figura 5.5, é assim conhecido porque suas parcelas são, na realidade, as partes fracionárias de A e B .

Esse circuito é composto por um conjunto de 09 células de somadores paralelo, totalizando 09 bits de entrada. Sua estrutura é idêntica a todos os outros

circuitos somadores pertencentes ao circuito TDPP, visto que todos são implementados a partir da mesma célula de biblioteca da ferramenta de projeto de circuito integrado "CADENCE".

O fato de a entrada C_{in} ser igual a zero é, unicamente, para garantir a realização de soma.

Após o processo de soma das partes fracionárias das parcelas A e B, os 10 bits fornecidos como resultado serão subtraídos do resultado obtido no multiplicador simples, a partir do circuito subtrator apresentado na seção seguinte.

5.2.2.5 - Circuito Subtrator

O circuito subtrator, componente da figura 5.5, é formado por:

- um bloco de portas lógicas inversoras, as quais invertem o valor da parcela a ser subtraída e o somam a $1_2^{\#}$ ("carry-in");
- um bloco de circuito somador de 19 bits;
- um registrador de saída de 20 bits.

É importante notar que o processo de complementação a 1, mais a soma com o bit "carry-in" = 1, é que caracteriza a subtração propriamente dita. Se a parcela B da subtração for positiva, ela será feita negativa e, então somada à parcela A; entretanto, se ela for negativa, será feita positiva e também somada à parcela A.

Como foi dito na seção anterior, o circuito somador de 19 bits é implementado a partir da justaposição e interconecção de células da biblioteca da ferramenta de projeto "CADENCE".

O registrador de saída do circuito subtrator é, na realidade, o registrador de saída do circuito multiplicador. Assim, tem a função de evitar que transições intermediárias ao resultado final sejam transferidas para o barramento do circuito TDPP, o que caracterizaria perda de energia.

Note que no circuito subtrator há um bit de sinal de controle gerado pelo controlador local do circuito multiplicador. É sobre esse controlador que trata a seção seguinte.

[#] X_2 : indicação de que o número "X" está representado no sistema binário.

5.2.2.6 - Controlador Local do Circuito Multiplicador

O circuito de controle do bloco operacional de multiplicação binária em complemento a 2 é constituído por um registrador de deslocamento para a direita com 13 locações, o qual determinará, de forma seqüencial, todos os passos de funcionamento do circuito.

A figura 5.7 apresenta a estrutura do controlador e as tarefas realizadas nos instantes pré-definidos.

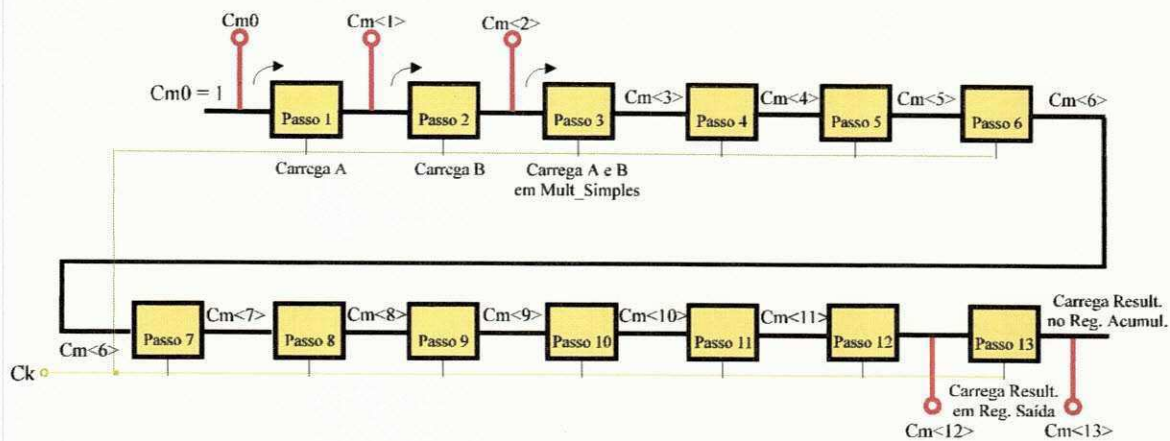


Figura 5.7 - Diagrama do Controlador do Circuito Multiplicador.

O processo de controle do circuito multiplicador tem início a partir da geração do bit de controle $Cm0$ pelo controlador geral do circuito TDPP, o qual será apresentado na seção 5.2.7.

Admitindo-se que o controlador geral tenha enviado o sinal de controle $Cm0$ e que este já esteja presente e estável no circuito multiplicador, então, com a ocorrência do primeiro pulso de relógio (passo 1), o valor presente no barramento de entrada será carregado no registrador A (ver figura 5.5). O mesmo pulso também permite o deslocamento para a direita do bit de controle; sendo assim, a saída $Cm<1>$ permitirá o carregamento do valor presente no barramento no registrador B, no próximo pulso de relógio (passo 2). Ocorrido o pulso do passo 2, o bit de controle $Cm<2>$ é gerado, e selecionará o carregamento paralelo dos registradores de entrada do circuito multiplicador simples, o qual ocorrerá com o pulso de relógio seguinte (passo 3).

A partir deste ponto, o controlador passa apenas a deslocar o bit de controle até que o circuito multiplicador simples tenha concluído seu processamento. Como foi visto na seção anterior, o processo de multiplicação simples requer 10 pulsos para

estar complementemente concluído. O passo 3, representa o momento em que se dá início ao processo de multiplicação simples, com o carregamento de seus operandos; então, após mais nove deslocamentos do bit de controle, quando $Cm<11>$ (passo 12) estiver estável na entrada de seleção de carregamento do registrador de saída do circuito multiplicador simples, e tiver ocorrido um pulso de relógio, o carregamento do resultado da multiplicação estará, então, disponível na entrada do circuito subtrator.

Com a ocorrência do próximo pulso de relógio, o bit de controle $Cm<12>$ (passo 13) permitirá o carregamento do resultado da subtração no registrador de saída do circuito multiplicador e, finalmente, o bit de controle $Cm<13>$ selecionará o carregamento paralelo no registrador acumulador, o qual ocorrerá no pulso de relógio seguinte (passo 14).

Note que todo o processo de multiplicação de números binários representados em complemento a 2 é concluído em 14 passos e que, no instante de carregamento do resultado da multiplicação binária no registrador acumulador, o bit de controle $Cm<13>$ também estará selecionando o "zeramento" ("reset") do registrador de saída do circuito subtrator, o qual servirá para evitar desperdício de energia por parte do circuito.

5.2.2.7 - Funcionamento do Circuito Multiplicador

O circuito multiplicador binário, projetado e apresentado na figura 5.5, inicia seu funcionamento a partir do carregamento, nos registradores de entrada A e B, dos valores presentes no barramento de entrada. O valor binário presente no barramento poderá ser:

- só de tensão (produto $v^2[n]$), o qual será carregado tanto no registrador A quanto no registrador B;
- só de corrente (produto $i^2[n]$); ou
- de tensão e corrente (produto $v[n].i[n]$), carregados em momentos imediatamente subseqüentes.

A parte analógica do circuito processa, de imediato, o produto das partes inteiras dos operandos A e B, ou seja, " $a_0.b_0$ "; da parte fracionária do operando A ($a_{-1}, a_{-2}, a_{-3}, \dots, a_{-8}, a_{-9}$) pela parte inteira do operando B (b_0); bem como da parte fracionária do operando B ($b_{-1}, b_{-2}, b_{-3}, \dots, b_{-8}, b_{-9}$) pela parte inteira do operando A (a_0). O processamento combinacional continua através do circuito somador, ficando o

resultado disponível e a espera da conclusão do processamento do produto no circuito multiplicador simples.

No pulso de relógio imediatamente seguinte ao carregamento dos operandos A e B do circuito multiplicador, ocorre o carregamento das partes fracionárias de ambos os operandos nos registradores de entrada do circuito multiplicador simples. Este fato, como foi visto na seção 5.2.2.3, dá início ao processo de multiplicação, o qual só terminará após mais 09 pulsos de relógio.

Com o término do processo de multiplicação simples, o resultado obtido (fracionário) comporá com a parte inteira, obtida pelo produto de a_0 por b_0 , a parcela da qual se subtrairá o resultado obtido da parte combinacional do circuito (banco de AND's), chegando-se finalmente ao resultado da multiplicação binária em complemento a 2. Entretanto dois passos ainda são requeridos para que o processo de multiplicação seja concluído: um é o carregamento do resultado no registrador de saída e o outro é o carregamento do resultado no registrador acumulador, o qual disponibilizará o resultado para a realização da acumulação (soma) com os produtos realizados com os pares subseqüentes das amostras de tensão e corrente da rede elétrica.

Na seção a seguir, todas as características do circuito de multiplicação binária em complemento a 2 são relacionadas para melhor compreensão.

5.2.2.8 - Características Gerais do Circuito Multiplicador

As características gerais do circuito de multiplicação binária em complemento a 2 desenvolvido são as seguintes:

- 1) barramento de entrada único de 10 bits;
- 2) barramento de saída de 20 bits;
- 3) dois registradores de entrada de 10 bits, um para cada operando.
- 4) circuito multiplicador simples é composto por três registradores, sendo um de deslocamento para a esquerda (17 bits), um de deslocamento para a direita (9 bits), e outro de carregamento paralelo (18 bits); e um circuito somador, composto por 17 somadores paralelos, onde a entrada C_{in} é igual a zero.

- 5) a multiplicação simples ocorre em 10 passos. A cada armazenamento do resultado parcial é executado deslocamento nos registradores de entrada;
- 6) para que a operação de multiplicação se concretize, além do banco de portas lógicas AND são necessários um somador com operandos de 9 bits e saída de 10 bits e um subtrator;
- 7) o subtrator projetado apresenta operandos de 10 e 19 bits de entrada, ambos representados no intervalo $1 < x < -1$; e 20 bits de saída;
- 8) a operação de multiplicação se completa após 14 passos, sendo: 02 passos utilizados para armazenamento dos operandos nos registradores de entrada, 10 passos para a multiplicação simples, 01 passo para armazenamento do resultado no registrador de saída do circuito subtrator e 01 passo para armazenamento do resultado no registrador acumulador ou de interface, quando for o caso;
- 9) o circuito de controle do circuito multiplicador é formado por um registrador de deslocamento para a direita, com 13 locações, sendo que só 05 linhas de controle são necessárias: 02 para carregar os operandos A e B; 01 para carregar os operandos no multiplicador simples; 01 para carregar o resultado no registrador de saída do subtrator; e 01 para carregar no registrador acumulador;
- 10) o registrador de saída do circuito subtrator tem como objetivo evitar que as transições ocorridas durante o processamento sejam transferidas para o barramento, evitando assim, o consumo desnecessário de energia.

Dando continuidade à apresentação dos blocos de circuito que compõem o circuito TDPP, a seção a seguir aborda o projeto do circuito somador.

5.2.3 - O Circuito Somador

O circuito somador é o mais simples dos circuitos componentes da UA. Entretanto, por participar intensamente de todo o processamento do circuito, visto que está presente em todas as equações de cálculo das potências ativa e aparente e das correntes e tensões RMS (equações 5.1 a 5.4), sua simplicidade se transforma em importância.

A partir da observação das equações citadas, percebe-se que após o produto de cada par de amostras e convertidas da tensão e corrente da rede de distribuição de energia elétrica, por si próprio ($v^2[n]$ e $i^2[n]$) e pelo outro ($v[n].i[n]$), os resultados são armazenados em acumuladores (Figura 5.2), para, então, serem somados aos resultados dos produtos do novo par de amostras convertidas. Esse processo se repete até que os resultados dos produtos dos últimos valores amostrados de tensão e corrente de um ciclo da rede sejam também acumulados aos resultados de todas as amostras processadas no ciclo de tensão da rede elétrica.

O fato da acumulação ocorrer para todos os resultados dos produtos dos pares das tensões e correntes amostrados em um ciclo de tensão da rede (até 1.024 amostras), determina a dimensão dos componentes eletrônicos do circuito somador; é esse dimensionamento que será estudado na seção que se segue.

5.2.3.1 - Dimensionamento do Circuito Somador

O dimensionamento dos componentes eletrônicos do circuito somador é determinado pelo número de somas sucessivas (acumulação) que se faz com os resultados dos produtos das amostras de tensão e corrente em um ciclo de tensão da rede elétrica. No caso do circuito TDPP, podem ocorrer até 1.024 amostras de tensão e corrente por ciclo de tensão da rede, conseqüentemente, até 1.024 resultados de produto entre amostras podem ser acumulados.

Na seção 5.2.2.1, determinou-se o tamanho dos registradores de entrada e saída necessários para a realização dos produtos entre as amostras sem que a operação acarretasse inserção de erro no resultado. Dessa análise chegou-se à conclusão de que o resultado das multiplicações das amostras teria dimensão de 20 bits (equações 5.9 e 5.10). Logo, se:

$$A = v[n].i[n] = v^2[n] = i^2[n]$$

e

$$\log_2 \max\{A\} = 20 \text{ bits};$$

então, para o processo de acumulação dos resultados dos produtos, ter-se-á:

$$\begin{aligned} S &= \log_2 \max\left\{\sum_1^{1024} A\right\} = \\ &= \log_2 \max\{1024 \cdot A\} = \log_2 \max\{1024\} + \log_2 \max\{A\} = \\ &= 10 + 20 = 30 \text{ bits}; \end{aligned} \quad (5.18)$$

ou seja, a operação de somas sucessivas (acumulação) dos resultados dos produtos dos valores amostrados com o resultado acumulado dos produtos das amostras anteriores, apresentará resultado máximo de *dimensão "S" igual a 30 bits* ao final de cada ciclo de tensão da rede de distribuição de energia elétrica. Em virtude disso, tanto os registradores de entrada do circuito somador quanto o registrador de saída terão dimensão de 30 bits.

A arquitetura do circuito somador de 30 bits é apresentada, em detalhes, na seção seguinte.

5.2.3.2 - Arquitetura do Circuito Somador

O circuito somador projetado apresenta um arquitetura muito simples, a qual é composta por:

- dois registradores de entrada de 30 bits cada;
- um somador de 30 bits;
- um flip-flop;
- um registrador de saída de 30 bits;
- um circuito de controle local.

A figura 5.8, a seguir, apresenta o diagrama de blocos do circuito somador.

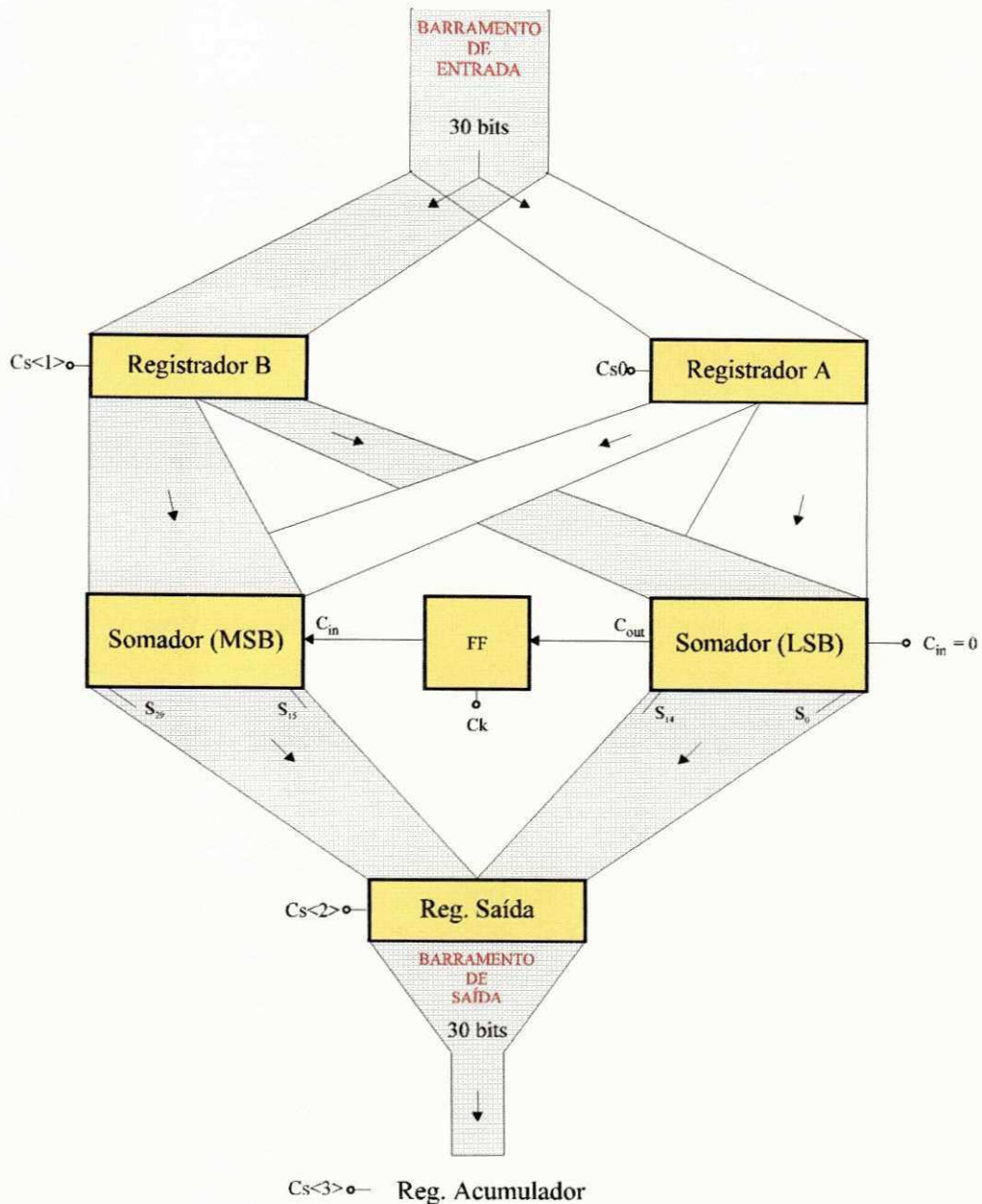


Figura 5.8 - Diagrama do Circuito Somador em Complemento a 2.

Note, a partir da figura acima, que o circuito somador apresenta um barramento único de entrada, o qual permite o armazenamento dos operandos nos registradores A e B; dois blocos de somadores separados por um “flip-flop”; um registrador de saída de 30 bits e um barramento de saída também de 30 bits.

O somador, propriamente dito, é composto pelos blocos somadores “LSB”^{§§}, “MSB”^{***} e por um “flip-flop”, conforme visto na figura anterior. Esta técnica, conhecida

^{§§} LSB: Abreviação de Less Significant Bit ou bit menos significativo.

^{***} MSB: Abreviação More Significant Bit ou bit mais significativo.

por “pipe-line”, consiste em atrasar o processamento combinacional normal de um circuito com o uso de “flip-flops”. No caso do circuito somador, esta técnica foi utilizada em virtude do tempo de propagação do bit de “carry” ser maior que o tempo existente entre dois pulsos consecutivos de relógio; sendo assim, com esta técnica é possível garantir o processamento normal do circuito, sem que ocorra qualquer erro de processamento.

5.2.3.3 - Controlador Local do Circuito Somador

A operação de soma também requer sinais de controle para ordenar a transferência de dados de um ponto a outro, garantindo com isso a correção do processamento.

O circuito somador é ativado a partir do recebimento do sinal $Cs0$, o qual é enviado pelo controlador geral do circuito TDPP. A partir daí, três outros sinais de controle são gerados no controlador local do circuito somador; são eles: $Cs<1>$, $Cs<3>$ e $Cs<4>$.

A figura 5.9, abaixo, apresenta a estrutura do circuito de controle local do circuito somador.

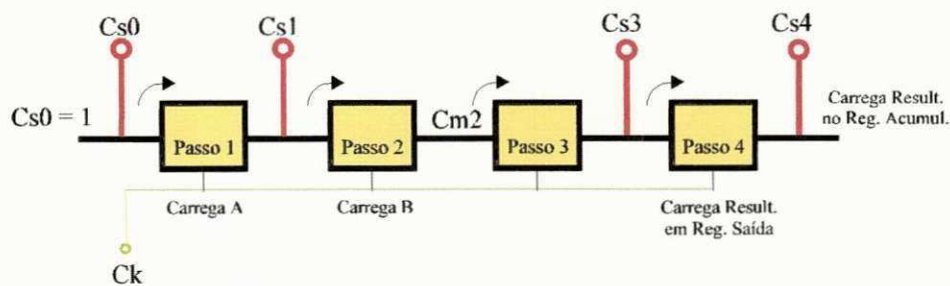


Figura 5.9 - Diagrama do Controlador do Circuito Somador.

A ocorrência de um pulso de relógio após o sinal $Cs0$ encontrar-se estabilizado garantirá o carregamento da parcela A; após o sinal $Cs<1>$, garantirá o carregamento da parcela B; após o sinal $Cs<3>$, garantirá o carregamento do resultado da soma no registrador de saída e, finalmente, ocorrido um pulso após gerado o sinal $Cs<4>$, garantirá o carregamento do resultado da soma no registrador acumulador.

Note que após a chegada do sinal $Cs0$, apenas cinco pulsos são requeridos para que o resultado da operação esteja armazenado no registrador acumulador específico.

5.2.3.4 - Funcionamento do Circuito Somador

A partir da observação das figuras 5.8 e 5.9, e do acompanhamento dos passos definidos pelo circuito controlador local, é possível compreender o funcionamento do circuito somador de 30 bits.

Tendo sido gerado pelo circuito controlador geral o sinal $Cs0$ e estando um dos operandos presentes no barramento de entrada do circuito a ocorrência do próximo pulso de relógio dará início às seguintes tarefas:

- o valor presente no barramento será carregado no *registrador A*;
- o segundo operando será colocado no barramento;
- o bit $Cs0$ será deslocado no controlador, gerando o sinal de controle $Cs<1>$.

Ocorrendo o segundo pulso de relógio:

- o valor presente no barramento será carregado no *registrador B*;
- o processo de soma será realizado no somador "LSB", gerando para a entrada do "flip-flop" o bit "carry-out";
- a soma também ocorrerá no somador "MSB", entretanto, devido ao valor do bit "carry-out" não estar presente na entrada "carry-in", o resultado ainda não será confiável.

Com o terceiro pulso de relógio o bit "carry-out" será armazenado no "flip-flop", o que possibilitará o término confiável da operação de soma no somador "MSB".

O quarto e o quinto pulsos de relógio provocarão o armazenamento do resultado no *registrador de saída* e, em seguida, no *registrador acumulador*.

Assim, com apenas quatro sinais de controle e cinco pulsos de relógio a operação de soma de 30 bits estará concluída.

A seção a seguir apresenta detalhadamente o projeto do bloco de circuito divisor.

5.2.4 - O Circuito Divisor

Assim como a operação de multiplicação, o processamento da operação de divisão de números binários se dá a partir das operações básicas de soma e subtração. Essa característica permitiu que se projetasse o circuito divisor usando a arquitetura paralelo-serial.

Vários algoritmos de divisão binária foram estudados e comparados, tudo com o intuito de se obter a configuração que melhor conciliasse tempo de desenvolvimento, desempenho e área ocupada (tamanho da área de silício). Dentre os algoritmos considerados destacaram-se os de *divisão com restauração e sem restauração*, tendo-se optado, finalmente, pelo segundo, o qual será apresentado a seguir.

5.2.4.1 - Algoritmo de Divisão Binária sem Restauração

A operação de divisão apresenta os seguintes operandos "dividendo" (D), "divisor" (d), "quociente" (q) e "resto" (r), representados e posicionados como abaixo:

$$\begin{array}{r} D \text{ (Dividendo)} \\ r \text{ (resto)} \end{array} \left| \begin{array}{l} d \text{ (divisor)} \\ q \text{ (quociente)} \end{array} \right.$$

Lembrando-se que:

$$D = q \cdot d + r; \quad (5.19)$$

e admitindo-se, para efeito de análise, a representação do quociente "q" em binário, na equação 5.19, tem-se:

$$\begin{aligned} D &= [(2^{n-1}q_{n-1} + 2^{n-2}q_{n-2} + \dots + 2^1q_1 + 2^0q_0) \cdot d] + r \\ D - [(2^{n-1}q_{n-1} \cdot d) + (2^{n-2}q_{n-2} \cdot d) + \dots + (2^1q_1 \cdot d) + (2^0q_0 \cdot d)] &= r \end{aligned} \quad (5.20)$$

Se, por exemplo:

$$\begin{array}{l} q_{n-1} = 1 \\ \mathbf{e} \end{array} \quad (5.21)$$

$$D - (2^{n-1} \cdot q_{n-1} \cdot d) > 0;$$

então, implica que $q_{n-1} = 1$, ou seja, o primeiro dígito do quociente terá sido encontrado.

Entretanto, se:

$$q_{n-1} = 1 \quad \text{e} \quad (5.22)$$

$$D - (2^{n-1} \cdot q_{n-1} \cdot d) < 0;$$

então, a divisão não será realizável, o que implica que $q_{n-1} = 0$ e não "1", como assumido.

Das equações 5.20, 5.21 e 5.22, percebe-se que o processo de divisão binária consiste em se efetuar operações sucessivas de soma/subtração do dividendo "D" e divisor "d", com o objetivo de se encontrar o resultado do quociente "q". Durante esse processo, algumas tarefas merecem destaque:

- o divisor "d" é deslocado para a direita antes de cada soma/subtração;
- a operação seguinte e o bit de resultado " q_{n-1} " são determinados a partir do bit mais significativo de cada soma parcial "Sp".

Representando de outra forma, após cada soma / subtração, tem-se:

- Se MSB de "Sp" = 0, então: $q_{n-1} = 1$ e próxima operação = subtração (-).
- Se MSB de "Sp" = 1, então: $q_{n-1} = 0$ e próxima operação = soma (+).

Em ambos os casos acima ocorrerá deslocamento para a direita do divisor "d" antes da operação seguinte.

Considere, a título de exemplo, a operação de divisão binária em complemento a 2 a seguir, a qual é realizada a partir de somas/subtrações sucessivas, sendo o quociente obtido a partir da regra apresentada anteriormente. Considere ainda, o dividendo $D = 7$ e o divisor $d = 3$ positivos, ambos representados em complemento a 2 (módulo 16): $D = 0111_{(2)}$ e $d = 0011_{(2)}$.

A figura 5.10 representa o processamento da divisão binária sem restauração e com dividendo positivo.

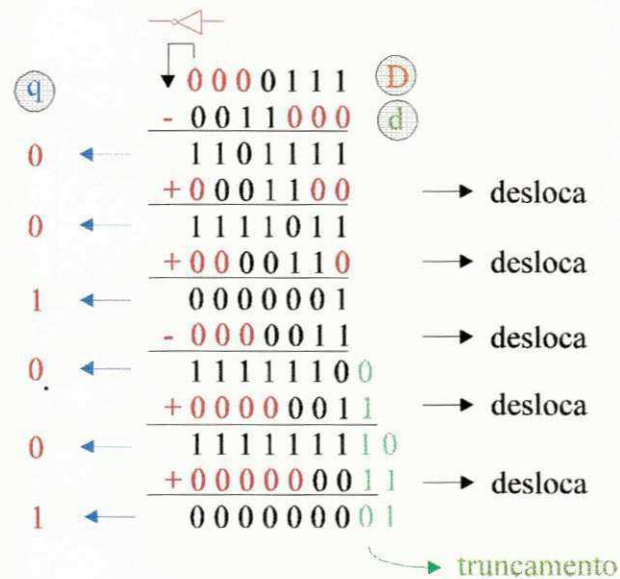


Figura 5.10 - Exemplo de Processamento da Divisão Binária Sem Restauração com Dividendo Positivo.

Da figura 5.10 acima, três características merecem destaque. A primeira delas determina o início da operação, ou seja, é a coincidência entre o MSB de "D" e o LSB de "d". A segunda é a repetição do MSB de "D" até o ponto de coincidência com o MSB de "d". E a terceira é o preenchimento das locações coincidentes com os LSB's de "D". Note que o bit mais significativo de "D" é quem determina a primeira operação a ser realizada, no caso, subtração.

A cada soma parcial obtida, um bit do quociente "q" é encontrado. Isso ocorre conforme o algoritmo definido anteriormente, ou seja, a partir do MSB de cada soma parcial.

Note que após encontrado o último bit inteiro de "q", no caso, "q₀", o deslocamento para a direita no divisor "d" provoca a perda de um bit, em virtude do dimensionamento do circuito. Este fato impede que a parte fracionária do resultado seja considerada como válida. Entretanto, tal truncamento não acarreta problema algum para o processamento normal da divisão, e, conseqüentemente, do circuito TDPP, visto que, para o circuito TDPP, só a parte inteira interessa.

Note, a partir da figura 5.10, que o resultado encontrado para a divisão de $D = 7$ por $d = 3$, foi:

$$q = 0010_{(2)} = 2_{10};$$

ou seja, com o truncamento ocorrido, o resultado obtido é o valor inteiro imediatamente menor, no caso, "q = 2₁₀".

A análise da divisão binária com dividendo "D" negativo, representado em complemento a 2, segue os mesmos passos já apresentados anteriormente. Sendo assim, considere então, o dividendo D = -7 e o divisor d = 3, ambos representados em complemento a 2 (módulo 16): D = 1001₍₂₎ e d = 0011₍₂₎.

A operação de divisão binária sem restauração e com dividendo negativo é representada conforme figura 5.11 abaixo:

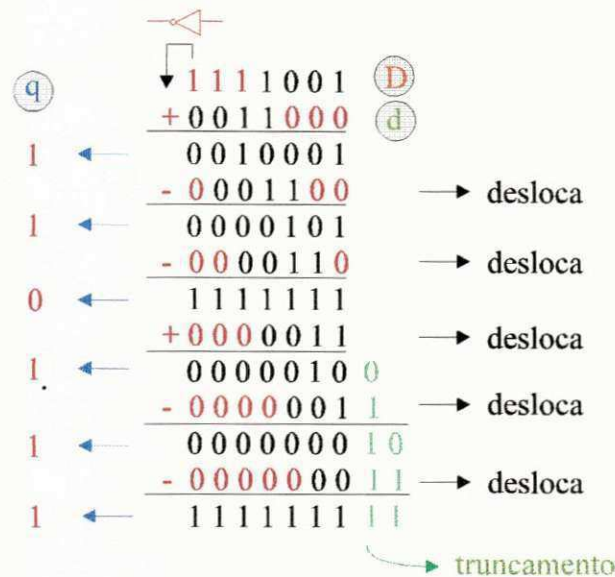


Figura 5.11 - Exemplo de Processamento da Divisão Binária Sem Restauração com Dividendo Negativo.

Note, a partir da figura acima, que, assim como no caso em que o dividendo era positivo, neste caso também ocorrerá a extensão do MSB de "D"; ou seja, o bit mais significativo de "D" será repetido até coincidir com o MSB de "d". Além desta, as demais observações feitas para o caso do dividendo positivo também são válidas para este caso.

A partir da figura 5.11, percebe-se que a parte válida do resultado (a parte inteira de "q") representa o valor inteiro imediatamente inferior ao resultado que se chegaria caso não ocorresse truncamento; ou seja, o resultado é "q = 1101₍₂₎ = -3₁₀".

A hipótese de o divisor ser negativo não foi considerada nesta apresentação simplesmente porque, para este circuito, o valor do divisor é resultado de um circuito contador de amostras; portanto, sem possibilidade de apresentar valores negativos.

Definido o algoritmo de operação da divisão de números binários em complemento a 2, passou-se ao estudo do dimensionamento dos diversos componentes do circuito divisor, o qual está apresentado na seção seguinte.

5.2.4.2 - Dimensionamento do Circuito Divisor

A análise das equações 5.1, 5.2, 5.3 e 5.4 deixa evidente a participação da operação de divisão binária. Seja para o cálculo da potência P ou das tensões e correntes RMS, a operação aritmética de divisão binária ocorrerá sempre após terminado todo o processo de acumulação dos produtos das tensões e correntes amostrados; ou seja, sempre após iniciado um novo ciclo de tensão da rede elétrica. É neste momento que estarão disponíveis tanto os dividendos (resultado do processo de acumulação dos produtos das tensões e correntes), quanto o divisor (número total de amostras "N" ocorridas no último ciclo de tensão).

Na seção 5.2.3.1 (dimensionamento do circuito somador, equação 5.18), estudou-se o processo de acumulação dos produtos das 1.024 possíveis amostras das tensões e correntes da rede elétrica, onde se chegou a conclusão de que, ao término do processo, seria necessário dimensionar o circuito em 30 bits para que o processamento ocorresse sem truncamento de seu resultado. Esse dimensionamento implica em dizer que o registrador acumulador, que participa desse processamento, também deverá ter dimensão de 30 bits. Assim sendo, no circuito divisor, os dividendos (resultado do processo de acumulação) serão representados por 30 bits, e o divisor por 10 bits, conforme representação do número total de amostras (1.024) por ciclo de tensão.

Definidas as dimensões dos valores de entrada do circuito de divisão binária, é possível determinar o número de bits necessários à representação do resultado na saída do circuito.

Considere, então, o dividendo "D" representado por 30 bits e o divisor "d" por 10 bits. A dimensão do quociente (D_q) será dada por:

$$\begin{aligned} D_q &= \log_2 \left\{ \frac{D}{d} \right\} = \log_2 D - \log_2 d = \\ &= 30 - 10 = 20 \text{ bits}; \end{aligned} \quad (5.23)$$

Sendo assim, o circuito divisor terá em sua interface um barramento de entrada de 30 bits e um de saída de 20 bits, conforme equação 5.23.

5.2.4.3 - Arquitetura do Circuito Divisor

O circuito divisor, projetado com base no algoritmo visto na seção 5.2.4.1 e dimensionado de acordo com a análise feita na seção anterior, apresenta a seguinte arquitetura:

- Barramento único de entrada de 30 bits;
- Registrador divisor de 10 bits (carregamento paralelo), para armazenamento do número total de amostras (N);
- 32 multiplexadores de 2:1;
- Registrador dividendo "D" de 32 bits (carregamento paralelo);
- Somador de 11 bits;
- Registrador quociente "q" de 20 bits (deslocamento para a esquerda);
- Registrador de saída de 20 bits (carregamento paralelo);
- Barramento de saída de 20 bits.

A figura 5.12 apresenta a arquitetura projetada para o bloco de circuito de divisão binária, o qual é parte integrante do circuito TDPP.

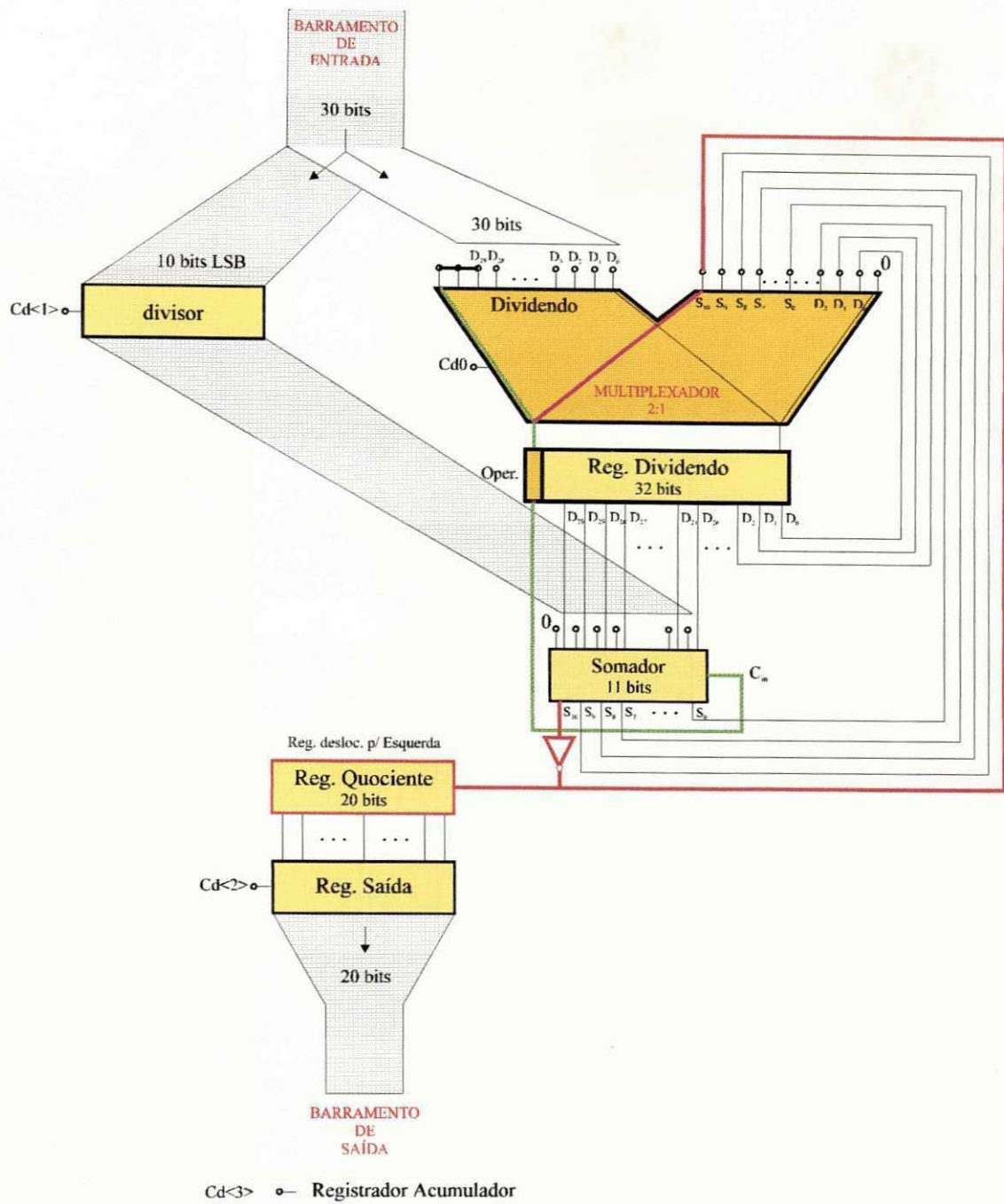


Figura 5.12 - Diagrama do Circuito de Divisão Binária em Complemento a 2.

A arquitetura do circuito divisor, apresentada na figura 5.12, evidencia alguns aspectos de projeto que merecem atenção; são eles:

- 1) o registrador divisor recebe os 10 bits menos significativos (LSB) do barramento de entrada;

- 2) o trigésimo ($30^{\text{º}}$) bit do dividendo "D", D_{29} , é estendido para os MSB's D_{30} e D_{31} , sendo este último o responsável pela determinação da operação inicial do somador;
- 3) o deslocamento do divisor para a direita, conforme apresentado na seção 5.2.4.1, não foi implementado, sendo substituído pelo deslocamento equivalente do dividendo para a esquerda, o qual produz o mesmo efeito e é efetuado com o auxílio dos multiplexadores 2:1;
- 4) o conjunto, formado pelo registrador "D" e pelos multiplexadores, representa um registrador aritmético de deslocamento para a esquerda, enquanto que o registrador "q" é um registrador de deslocamento para a esquerda;
- 5) o posicionamento do divisor com relação ao dividendo ficou de forma coincidente com os 10 bits mais significativos de D, ou seja, de D_{20} a D_{29} , reduzindo o tempo de processamento (número de passos) quando comparado ao algoritmo apresentado anteriormente;
- 6) durante o processamento, os 20 bits LSB de "D" são realimentados e deslocados para o multiplexador, enquanto que os bits restantes participam do processo de soma/subtração no somador de 11 bits;
- 7) a operação de divisão é realizada em 24 passos, sendo 20 deles devido a obtenção dos bits do quociente, 02 para o carregamento do "divisor" e "dividendo", 01 para transferência do resultado para o registrador de saída, e, finalmente, 01 para armazenamento do resultado no registrador acumulador;
- 8) todo o circuito de divisão binária apresenta apenas quatro sinais de controle, quais sejam, o que seleciona as entradas dos multiplexadores, o de carregamento do divisor, o de carregamento do resultado no registrador de saída; e o de carregamento do resultado no registrador acumulador;
- 9) a saída S_{10} , invertida, do somador, tanto determina a próxima operação a ser executada pelo somador, quanto representa o resultado bit do quociente encontrado;

- 10) o registrador de saída evita que as transições ocorridas no registrador quociente sejam transferidas para o barramento, evitando, assim, o consumo desnecessário de energia.

O diagrama da figura 5.13 apresenta o circuito divisor com um pouco mais de detalhes.

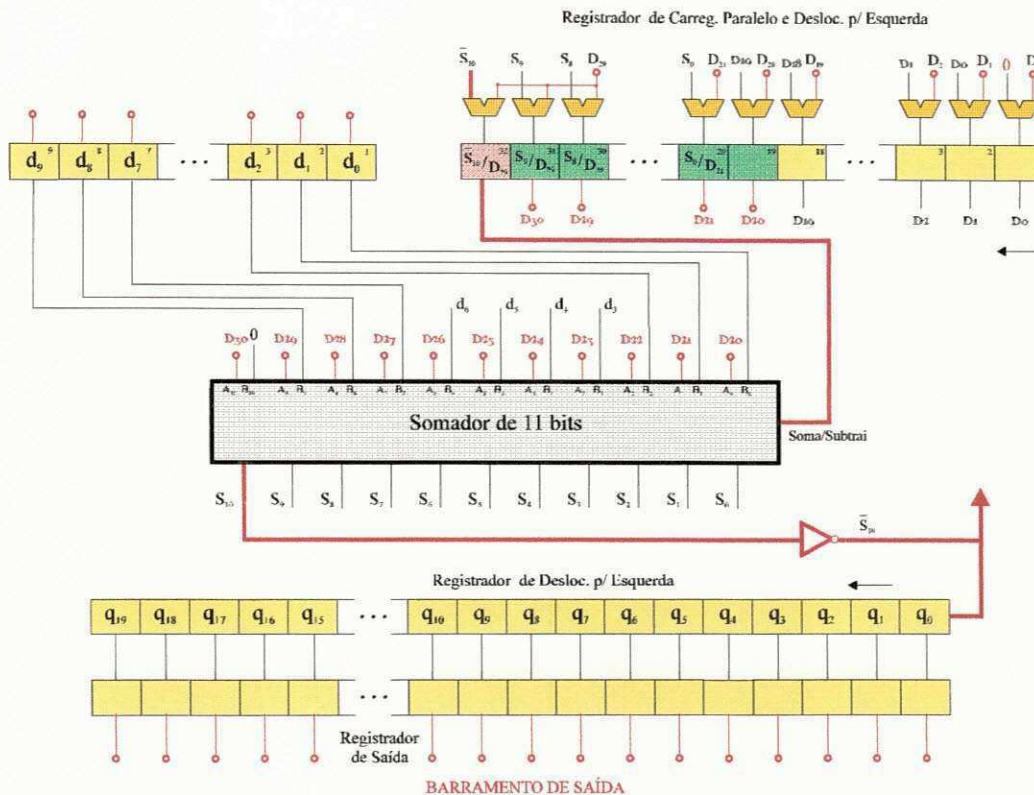


Figura 5.13 - Diagrama Detalhado do Circuito Divisor.

Note, na figura 5.13, como fica a representação do multiplexador visto na figura 5.5, e também como ocorre o deslocamento de "D" e somas parciais.

5.2.4.4 - Controlador Local do Circuito Divisor

O circuito de divisão binária em complemento a 2 tem todos os seus passos estabelecidos por um controlador local, o qual é gatilhado a partir do recebimento do sinal de controle $Cd0$ gerado pelo controlador geral do circuito TDPP. O controlador local é, na realidade, um registrador de deslocamento para a direita, com 23 posições, o qual determinará, de forma seqüencial, o funcionamento do circuito divisor.

A figura 5.14 mostra o diagrama do controlador local do circuito divisor, explicitando os momentos da geração de seus sinais de controle.

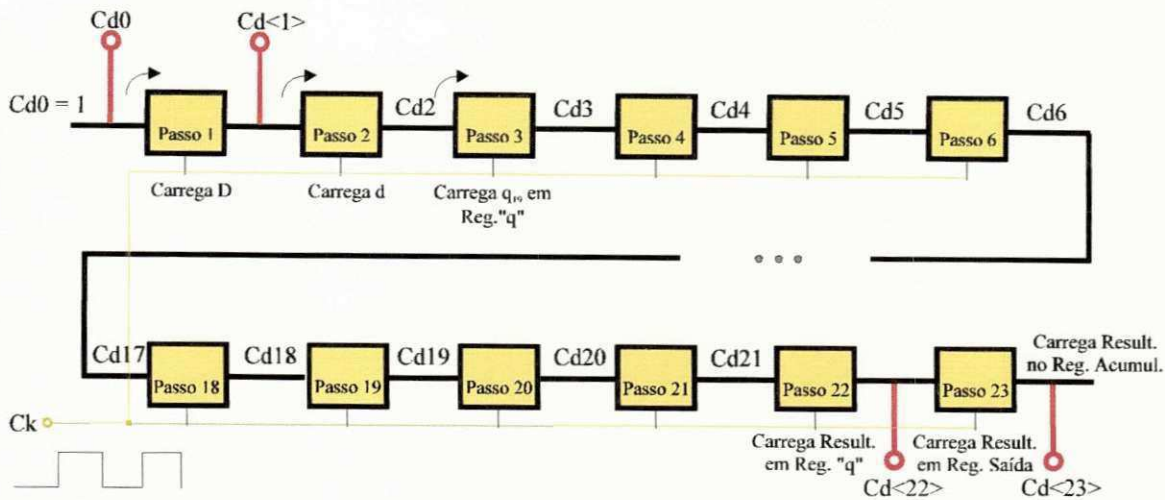


Figura 5.14 - Diagrama do Controlador Local do Circuito Divisor.

A partir do recebimento do sinal $Cd0$, gerado pelo controlador geral do circuito TDPP, dá-se início ao funcionamento do circuito divisor, o qual carregará o dividendo "D" no registrador respectivo com a ocorrência do pulso de relógio. Nesse mesmo instante, o bit $Cd0$ será carregado na primeira locação do controlador, gerando, assim, o sinal de controle $Cd<1>$, conforme pode ser visto na figura 5.14.

Ocorrendo um novo pulso de relógio, haverá o carregamento do divisor "d"; o bit $Cd<1>$ será carregado na segunda locação do controlador e o bit $Cd0$ será feito igual a zero. A partir desse ponto, cada novo pulso de relógio garantirá o armazenamento / deslocamento do resultado da operação de soma parcial no registrador quociente. Somente após a ocorrência do vigésimo segundo (22^o) pulso de relógio é que será gerado o sinal de controle $Cd<22>$, indicando que o resultado da divisão encontra-se armazenado no registrador "q". Os dois pulsos de relógio subsequentes carregarão, num primeiro momento, o resultado no registrador de saída do circuito, gerando simultaneamente o sinal $Cd<23>$, e, num segundo momento, transferirão o resultado para o registrador acumulador ou de interface, conforme seja o caso.

A seção a seguir apresenta o funcionamento completo do circuito de divisão binária em complemento a 2.

5.2.4.5 - Funcionamento do Circuito Divisor

O circuito de divisão de números binários representados em complemento a 2 é ativado no momento em que o controlador geral do circuito TDPP gera o sinal de controle $Cd0$. É esse sinal de controle que, juntamente com o pulso de relógio, dá início a todo o processamento do circuito divisor.

A consideração de que os valores de "D" e "d" estarão disponíveis e estáveis no barramento de entrada do circuito divisor, em momentos distintos, antes da ocorrência de cada um dos dois primeiros pulsos de relógio que sucedem à geração do sinal $Cd0$, é de extrema relevância, visto que a obtenção de resultados confiáveis depende também da garantia de valores estáveis no barramento de entrada.

A partir das explanações feitas anteriormente, que caracterizam condições iniciais de funcionamento, e observando-se a figura 5.13, perceber-se que $Cd0 = 1$ seleciona a entrada "dividendo" do multiplexador.

A presença do valor do "dividendo" estável, no barramento de entrada, o leva através do multiplexador, já selecionado, e o deixa aguardando a ocorrência de um pulso de relógio para adentrar no registrador "dividendo". Ocorrido o pulso, o valor "D" é armazenado no registrador e, de imediato, já se apresenta na entrada do circuito somador de 11 bits.

O circuito somador é um circuito combinacional e, portanto, a presença de qualquer dado em sua entrada o leva ao processamento automaticamente. Entretanto, um fato merece bastante atenção. Durante o processo de implementação do circuito TDPP projetado, está prevista a implantação de mecanismos que permitam zerar todas as unidades armazenadoras de dados sempre que não estejam mais em uso; ou seja, o fato de "D" estar presente na entrada do somador não conduzirá a erro, visto que "D" será somado a zero. Tal fato garantirá a correção do valor de soma / subtração parcial carregado no registrador "dividendo", além do que, no momento do pulso, o valor do bit "q₁₉" do quociente será armazenado no registrador "quociente".

Observando-se a figura 5.14, percebe-se que os três primeiros passos relatados acima correspondem, respectivamente, a:

- carregamento de "D" no registrador "dividendo";
- carregamento de "d" no registrador "divisor";
- carregamento do bit "q₁₉" obtido, no registrador "quociente".

A partir do terceiro pulso (passo), em cada pulso subsequente obtém-se um bit de resultado do quociente "q" ($q_{19}, q_{18}, q_{17}, \dots, q_1, q_0$), os quais vão sendo deslocados para a esquerda no registrador "quociente". Quando o vigésimo segundo (22^o) pulso ocorrer, as seguintes tarefas serão realizadas:

- haverá o carregamento do último bit de resultado no registrador "q";
- o bit de controle local $Cd<22>$ será gerado, indicando que, no próximo pulso de relógio, o resultado será também armazenado no registrador de saída do circuito divisor (ver figura 5.12).

No momento do armazenamento do resultado da divisão binária no registrador de saída do circuito, mais um sinal de controle local é gerado; ou seja, o quarto e último sinal de controle local da divisão binária. O sinal $Cd<23>$ permitirá que, na ocorrência do próximo pulso de relógio, o resultado obtido seja armazenado no registrador acumulador específico para que seja utilizado na próxima operação aritmética a raiz quadrada. O circuito de raiz quadrada será apresentado na seção seguinte.

5.2.5 - O Circuito de Raiz Quadrada

O projeto de um circuito ("hardware") que realize cálculos de extração da raiz quadrada de um número binário é bem mais complexo que os já apresentados até o momento. Em virtude dessa complexidade é que, geralmente, esta tarefa é realizada por "softwares".

Alguns algoritmos de extração da raiz quadrada foram estudados antes da escolha do que melhor se adequava às especificações do circuito TDPP. Dentre eles estavam o algoritmo de aproximação sucessivas para um dado valor inicial aleatório e o algoritmo de extração da raiz quadrada sem restauração.

A opção pelo algoritmo de extração da raiz quadrada sem restauração baseou-se em sua simplicidade de projeto e implementação, assim como na possibilidade de estruturar o circuito baseado na arquitetura paralelo-serial.

Na seção a seguir é feita a apresentação do algoritmo escolhido para o projeto e implementação da parte de extração da raiz quadrada do circuito TDPP.

5.2.5.1 - Algoritmo de Extração de Raiz Quadrada Sem Restauração

O algoritmo de extração da raiz quadrada de números binários sem restauração exige que esse número possua um número par de bits.

No caso do circuito TDPP, foi visto que após todo o processo de multiplicação, acumulação das amostras e divisão, pelo número de amostras "N", o número binário final é representado por 20 bits; ou seja, por um número par de bits. É desse número binário de 20 bits que se pretende extrair a raiz quadrada.

O algoritmo de extração de raiz quadrada sem restauração consiste em efetuar-se operações de soma / subtração em número igual ao de pares de bits formado pelo número do qual se deseja extrair a raiz, de acordo com a regra apresentada abaixo; ou seja:

- a primeira operação será sempre a subtração de "01₂" do par de bits MSB do número do qual se quer extrair a raiz quadrada;
- as demais operações de soma ou subtração serão definidas a partir do bit de "carry-out" do passo anterior, devendo ser subtração se for "1₂", e soma se for "0₂";

- o valor a ser somado ou subtraído da soma parcial obtida é conseguido a partir dos bits de “carry-out”, segundo a formação:

$$"0 q_0 q_1 q_3 \cdots q_n \bar{q}_n 1",$$

onde “ $q_0 q_1 \dots q_n$ ” são os “carry-outs” obtidos durante o processamento;

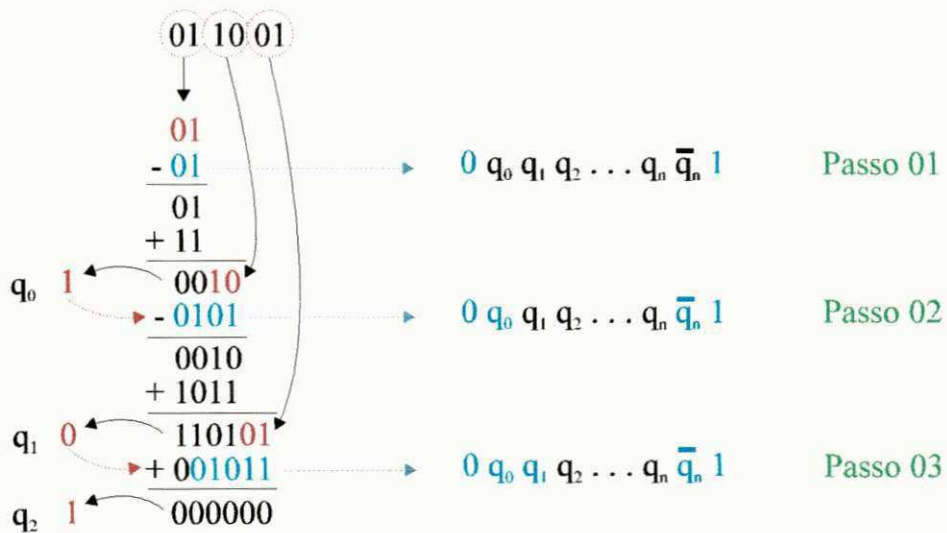
- a cada passo desenvolvido, os bits de “carry-out” vão sendo obtidos e armazenados, e o resultado da operação vai se definindo serialmente;
- a ordem de obtenção do resultado da operação de raiz quadrada é do bit mais significativo ao menos significativo.

Os exemplos a seguir permitem uma melhor compreensão do algoritmo apresentado.

Considere o exemplo de extração da raiz quadrada de “ 25_{10} ”.

$$\sqrt{25_{10}}$$

$$25_{10} = 011001_2$$



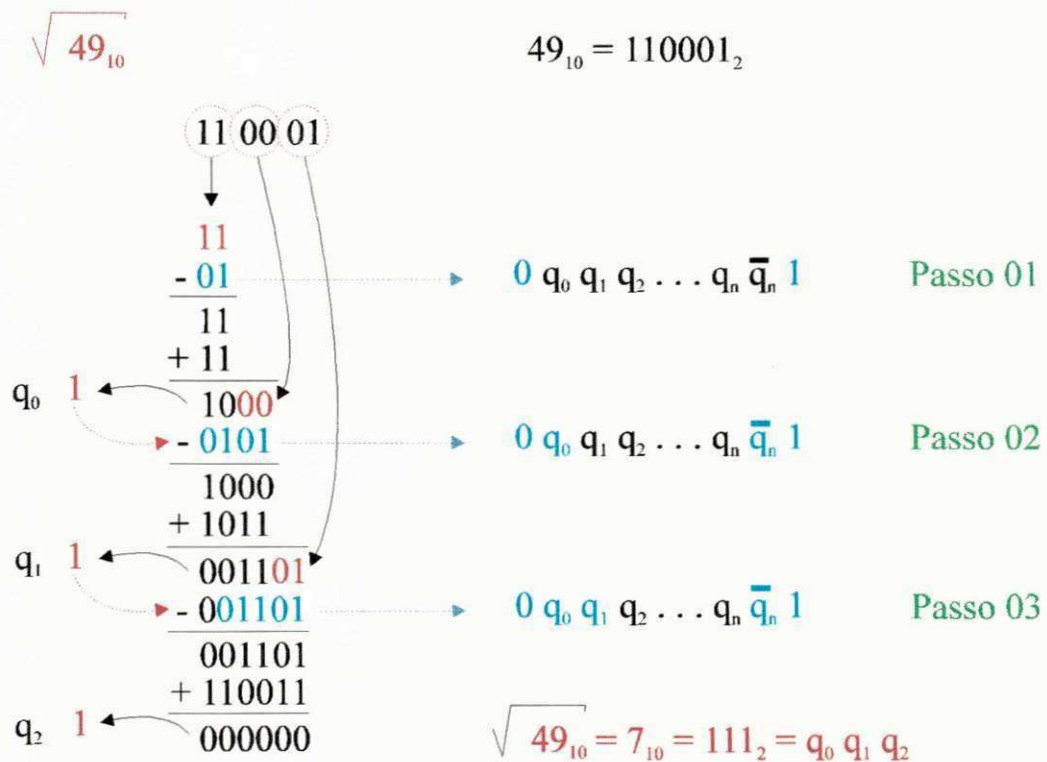
$$\sqrt{25_{10}} = 5_{10} = 101_2 = q_0 q_1 q_2$$

Do exemplo anterior, três fatos merecem destaque:

- para a realização da operação de subtração, faz-se o complemento a 2 do “subtraendo” para então proceder-se a soma. Esse fato foi explicitado apenas para facilitar a compreensão quando da implementação do circuito de extração de raiz quadrada;

- no passo 03, a composição do “subtraendo” é feita seguida de um deslocamento no conjunto de bits;
- a ordem de leitura do resultado dá-se segundo a ordem serial de obtenção; ou seja, do bit mais significativo (q_0 , primeiro a ocorrer) ao bit menos significativo (q_n , último a ocorrer).

Um segundo exemplo torna ainda mais claro o entendimento do algoritmo de extração da raiz quadrada de um número; no caso, de “49₁₀”.



Definido e apresentado o algoritmo de extração de raiz quadrada de um número, passou-se ao estudo das dimensões do circuito baseado na dimensão do “radicando”, conforme é apresentado na seção seguinte.

5.2.5.2 - Dimensionamento do Circuito de Raiz Quadrada

O circuito de extração de raiz quadrada projetado para compor o circuito TDPP, apresenta “radicando” de dimensão igual a 20 bits. Essa dimensão decorre do processamento das amostras realizadas das tensões e correntes da rede elétrica, de acordo com as equações 5.1, 5.2, 5.3 e 5.4; conforme visto nas seções anteriores.

A determinação da dimensão do resultado da raiz quadrada de um número é feita considerando a dimensão do radicando. Assim, sendo:

- “ D_R ” a dimensão do resultado da raiz quadrada;
- $\text{Log}_2(r) = 20$ bits, a dimensão do radicando;

Então:

$$\begin{aligned} D_R &= \log_2\{\sqrt{r}\} = \log_2\{r^{1/2}\} = \frac{1}{2} \cdot \log_2 r = \\ &= \frac{1}{2} \cdot 20 = 10 \text{ bits}; \end{aligned} \quad (5.24)$$

Ou seja, o circuito de extração de raiz quadrada será projetado de forma a efetuar a raiz quadrada de radicandos com até 20 bits e fornecer resultados de dimensão igual a 10 bits.

A seção a seguir apresenta a arquitetura projetada para esse circuito, levando em consideração todas as suas especificações.

5.2.5.3 - Arquitetura do Circuito de Raiz Quadrada

O circuito de extração de raiz quadrada foi projetado considerando-se as especificações do circuito TDPP, bem como o algoritmo e o dimensionamento apresentados nas seções anteriores.

A figura 5.15, abaixo, apresenta a arquitetura final do circuito de raiz quadrada, onde o processamento em cada passo ocorre de forma paralela (soma / subtração) e o resultado vai se compondo bit a bit a cada passo, ou seja, serialmente.

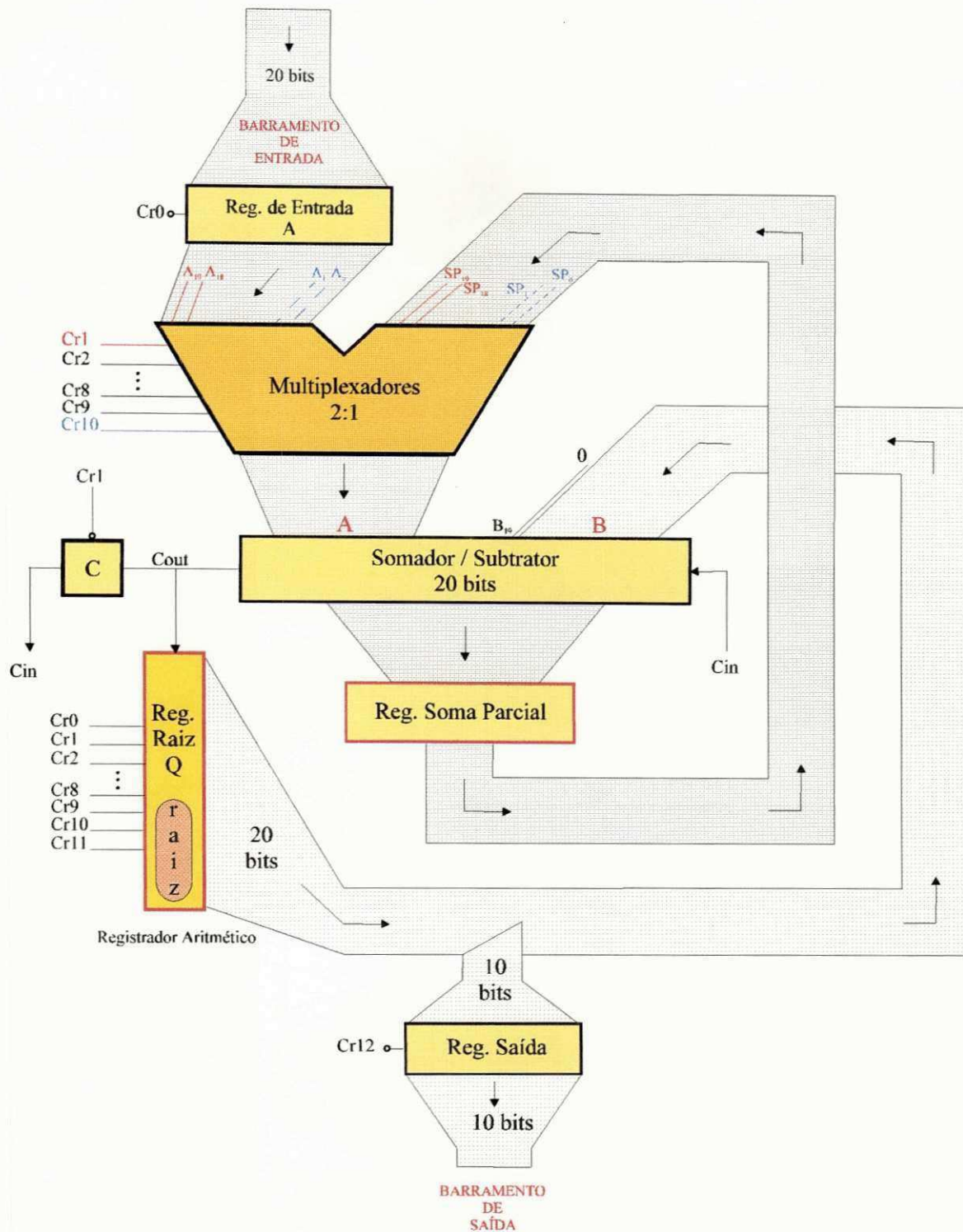


Figura 5.15 - Arquitetura do Circuito de Extração de Raiz Quadrada de um Número binário.

A opção pela arquitetura apresentada na figura 5.15 acima, baseou-se principalmente no pequeno número de linha de controle necessárias para o desenvolvimento da operação (12 linhas de controle). Esse fato implica numa maior simplicidade do sistema de controle, bem como em menores tempos de projeto, implementação e validação.

Note que os registradores de entrada, de soma parcial e de saída são unicamente registradores de carregamento paralelo, enquanto que o registrador de raiz quadrada é um registrador aritmético de 19 bits, sendo que só os 10 bits menos significativos é que conterão o resultado da operação ao final do processamento.

O circuito somador / subtrator de 20 bits atua no processamento paralelo do circuito de forma a obter, em cada passo, um bit componente do resultado ("carry-out"). Nesse processo, os bits do "radicando" que participarão do processo de soma / subtração, serão definidos de acordo com a ocorrência dos sinais de controle, os quais selecionam as entradas dos multiplexadores.

Duas características merecem destaque: a primeira delas é a realimentação dos resultados parciais das somas / subtrações para compor, juntamente com o "radicando A", o operando "A" do próximo passo; a segunda característica é a do bit "B₁₉" ser sempre zero.

A figura 5.16, abaixo, mostra de que forma está organizado o bloco de multiplexadores e suas linhas de controle.

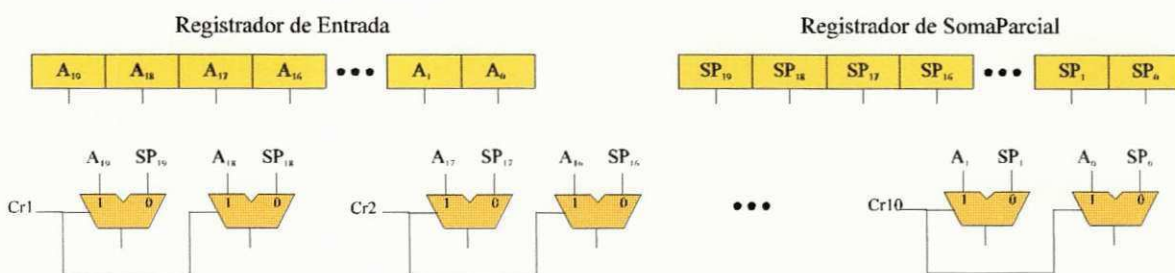


Figura 5.16 - Estrutura Interna do Bloco de Multiplexadores.

A medida em que as somas / subtrações vão acontecendo, o registrador aritmético "Raiz Q" (Figura 5.15) recebe cada bit de "carry-out" obtido desse processo e compõe, de acordo com o algoritmo estudado, o resultado da operação após 12 passos. É importante que se perceba que todo o processo de composição do resultado é controlado pelos sinais de controle gerados no circuito controlador local.

A estrutura do registrador aritmético "Raiz Q" é composta por um conjunto de multiplexadores 2:1, agrupados de forma a permitir o deslocamento dos valores armazenados nos registros e/ou o carregamento do bit "carry-out" gerado, quando este for o caso.

A figura 5.15 apresenta as entradas de controle dos multiplexadores diferenciadas por cores, indicando que o bit de controle permite a passagem daquele par de bits. Isso fica mais evidente na figura 5.16, a qual apresenta os multiplexadores individualizados.

A figura 5.17, abaixo, apresenta o diagrama estrutural do registrador aritmético "Raiz Q".



Figura 5.17 - Diagrama do Registrador Aritmético "Raiz Q".

Note que a estrutura do circuito da figura 5.17 está montada de forma a se obter o resultado estabelecido pelo algoritmo estudado.

A título de exemplo, observe o funcionamento do conjunto do registro "Q₁₈". Quando $Cr0$ for igual a 1, todos os demais sinais serão iguais a zero. Assim, o conteúdo de "Q₁₈" e dos outros registros serão iguais a zero. Ou seja, no passo 1, ocorre um "reset" do registrador "Raiz Q". Entretanto, quando $Cr<1>$ for igual a 1, o registrado "Q₁₈" terá armazenado zero, mas sua saída conterà "um"; esse fato determina a primeira formação do operando "B" (passo 2).

O circuito controlador do circuito de extração de raiz quadrada está apresentado em detalhes na seção seguinte.

5.2.5.4 - Controlador Local do Circuito de Raiz Quadrada

O circuito controlador local do circuito de extração de raiz quadrada é semelhante aos demais controladores já apresentados até o momento; ou seja, é formado por um registrador de deslocamento, o qual é ativado a partir da geração do sinal de controle " $Cr0$ ", gerado pelo circuito de controle geral.

O número de sinais gerados determina o número de células registradoras do controlador local; sendo assim, observando a figura 5.15, percebe-se que 12 sinais de controle ($Cr0, Cr<1>, \dots, Cr<11>$) são necessários para controlar o circuito de raiz quadrada. Entretanto, mais dois sinais devem ser considerados; o que permite a transferência do resultado armazenado no registrador aritmético "Raiz Q" para o registrador de saída ($Cr<12>$) e o que permite a transferência do registrador de saída para o registrador acumulador ($Cr<13>$).

A figura 5.18 apresenta a estrutura do circuito controlador local do circuito de raiz quadrada.

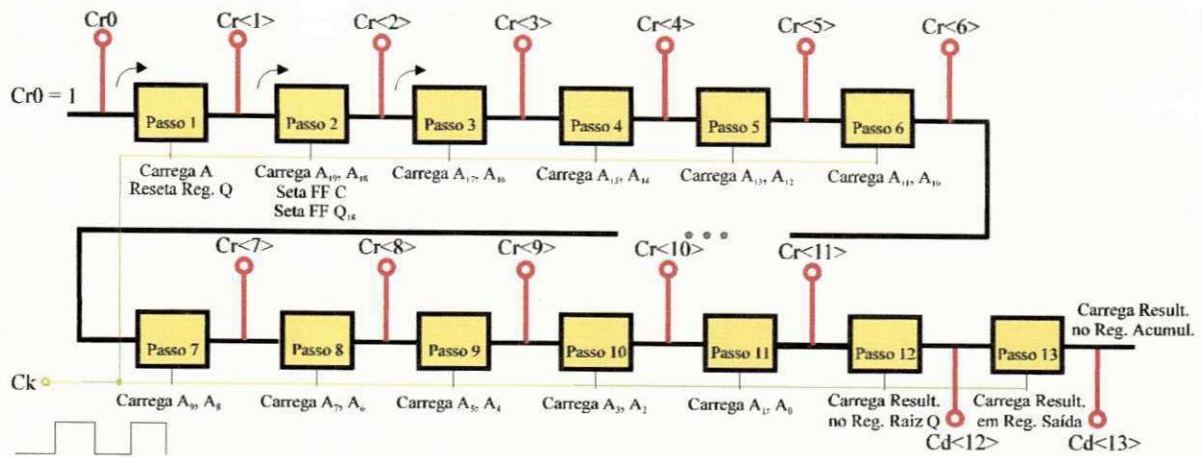


Figura 5.18 - Diagrama do Circuito Controlador do Circuito de Raiz Quadrada.

Note que, após a geração do sinal "Cr0", a ocorrência de cada pulso de relógio caracteriza a geração de um sinal de controle local, e com isso, a realização de uma tarefa específica.

5.2.5.5 - Funcionamento do Circuito de Raiz Quadrada

O funcionamento do circuito de extração de raiz quadrada de um número binário representado em complemento a 2 tem início a partir da geração do bit de controle "Cr0" pelo circuito controlador geral. A cada pulso de relógio ocorrido após a geração desse bit de controle, uma tarefa será executada no circuito de raiz quadrada.

A observação das figuras 5.15, 5.16, 5.17 e 5.18, permite um melhor acompanhamento da explicação acerca do funcionamento do circuito em questão.

A geração do bit de controle "Cr0" garante o início de funcionamento do circuito de raiz quadrada. O pulso de relógio ocorrido imediatamente após a geração do bit "Cr0" permitirá o carregamento do "radicando A" no registrador de entrada do circuito, e resetará os registros do registrador aritmético "Raiz Q" (figura 5.17). Esses fatos evidenciam o início do processamento do circuito de raiz quadrada (passo 1, figura 5.18).

A geração dos próximos bits de controle (Cr<1>, Cr<2>, ..., Cr<10>) possibilitará a seleção dos pares de bits mais significativos do "radicando" (figura 5.16), de acordo com o algoritmo estudado na seção 5.2.5.1, os quais serão

somados ou subtraídos no circuito somador. Esses bits de controle atuam também no registrador "Raiz Q", controlando o deslocamento do valor armazenado e/ou o armazenamento do bit de "carry-out" (figura 5.17).

Um fato importante observado, é a determinação da primeira operação a ser executada pelo circuito somador; isto, ocorrerá a partir do bit de controle $Cr<1>$, o qual carregará 1 no "flip-flop C" (figura 5.15).

O acompanhamento de cada passo da realização da operação de raiz quadrada genérica pode ser feito a partir da tabela 5.1, apresentada a seguir. Nela estão apresentados todos os operandos presentes nas entradas "A" e "B" do circuito somador, a partir do passo 2, para cada sinal de controle gerado.

Note que no passo 2 ($Cr<1>$ ativo), o par de bits "A₁₉ e A₁₈" estará presente na entrada "A" do circuito somador, enquanto que na entrada "B", estarão presentes os bits "0 e 1", visto que esta é a primeira operação de soma / subtração e, portanto, ainda não foi obtido qualquer bit de "carry-out". No passo 3, o processo é similar; o bit de controle $Cr<2>$ seleciona o par de bits "A₁₇ e A₁₆", enquanto que os demais bits de controle zerados garantem a presença dos valores armazenados no registrador de soma parcial (SP₁₉, SP₁₈ e zeros nas outras locações) na entrada "A" do circuito somador. Por outro lado, na entrada "B", o valor presente será "0 q₀ q₀ 1 0 0 ...", devido ao fato de já se ter um bit de "carry-out" (q₀).

Os demais passos seguem o mesmo raciocínio apresentado anteriormente, até que, com a ocorrência do pulso de relógio imediatamente seguinte à geração do bit de controle $Cr<11>$, o resultado da operação de extração da raiz quadrada seja armazenado no registrador aritmético "Raiz Q". Isto acontecendo, os dois pulsos de relógio seguintes armazenarão o resultado no registrador de saída e no registrador acumulador, respectivamente, controlados pelos bits de controle $Cr<12>$ e $Cr<13>$.

Note que o circuito de extração de raiz quadrada desenvolvido apresenta apenas 14 sinais de controle e, a operação completa até a disponibilização do resultado para outros circuitos, é concluída em apenas 14 passos.

A seção seguinte apresentará o circuito de controle de conversão das amostras de tensão e corrente da rede elétrica.

RAIZ QUADRADA GENÉRICA																				
		$A = A_{19} A_{18} A_{17} \dots A_2 A_1 A_0$ $B = 0 q_0 q_1 q_2 q_3 \dots q_n q_n 1$																		
Passo 2: Cr<1>	A	A_{19}	A_{18}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	B	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Passo 3: Cr<2>	A	SP_{19}	SP_{18}	A_{17}	A_{16}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	B	0	q_0	q_0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Passo 4: Cr<3>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	A_{15}	A_{14}	0	0	0	0	0	0	0	0	0	0	0	0	0
	B	0	0	q_0	q_1	q_1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
Passo 5: Cr<4>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	A_{13}	A_{12}	0	0	0	0	0	0	0	0	0	0	0
	B	0	0	0	q_0	q_1	q_2	q_2	1	0	0	0	0	0	0	0	0	0	0	0
Passo 6: Cr<5>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	A_{11}	A_{10}	0	0	0	0	0	0	0	0	0
	B	0	0	0	0	q_0	q_1	q_2	q_3	q_3	1	0	0	0	0	0	0	0	0	0
Passo 7: Cr<6>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	A_9	A_8	0	0	0	0	0	0	0
	B	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_4	1	0	0	0	0	0	0	0
Passo 8: Cr<7>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	SP_9	SP_8	A_7	A_6	0	0	0	0	0
	B	0	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_5	q_5	1	0	0	0	0	0
Passo 9: Cr<8>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	SP_9	SP_8	SP_7	SP_6	A_5	A_4	0	0	0
	B	0	0	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_5	q_5	q_6	1	0	0	0
Passo 10: Cr<9>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	SP_9	SP_8	SP_7	SP_6	SP_5	SP_4	A_3	A_2	0
	B	0	0	0	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_7	1	0
Passo 11: Cr<10>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	SP_9	SP_8	SP_7	SP_6	SP_5	SP_4	SP_3	SP_2	A_1
	B	0	0	0	0	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_8	q_8
Passo 12: Cr<11>	A	SP_{19}	SP_{18}	SP_{17}	SP_{16}	SP_{15}	SP_{14}	SP_{13}	SP_{12}	SP_{11}	SP_{10}	SP_9	SP_8	SP_7	SP_6	SP_5	SP_4	SP_3	SP_2	SP_1
	B	0	0	0	0	0	0	0	0	0	0	q_0	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_8

Tabela 5.1 - Operação da Extração da Raiz Quadrada Genérica de um Número Binário.

5.2.6 - O Circuito de Controle de Conversão

O circuito de controle de conversão é, na realidade, o responsável por todo o gatilhamento do sistema que controla os blocos do circuito TDPP. A figura 5.19 apresenta a interface desse circuito, onde se destacam os seguintes sinais:

- sinal de passagem por zero (Z_0) recebido do circuito comparador de tensões (externo ao circuito TDPP);
- sinal de solicitação de novo processo de amostragem / conversão (AMOSTRA) feito ao circuito conversor (também externo ao circuito TDPP);
- sinal de seleção do multiplexador de entrada do circuito TDPP (SEL_0), o qual seleciona entre a corrente ou tensão digital;
- sinais de seleção do registrador de entrada (WE_V e WE_I);
- sinal de “faça cálculos finais” (FCF).

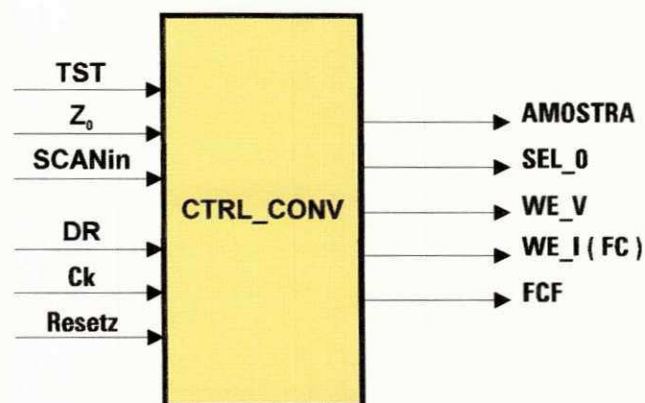


Figura 5.19 - Interface do Circuito de Controle de Conversão.

O início de funcionamento do circuito TDPP se dará exatamente quando o sinal de tensão da rede elétrica passar por zero fazendo com que o circuito comparador gere o sinal Z_0 , responsável pelo acionamento do controlador de conversão, já discutido em seções anteriores.

O circuito de controle de conversão, recebendo o sinal Z_0 , gerará o sinal de solicitação de conversão de amostra (AMOSTRA), selecionará o multiplexador externo (SEL_0) de forma a receber os valores da tensão e corrente convertidos, selecionará os registradores de entrada do circuito (WE_V e WE_I), onde tais valores ficarão

armazenados; e, por fim, após terminado o processo de amostragem, gerará o sinal (FCF) que dará início aos cálculos finais com as amostras processadas.

Note, a partir da figura 5.19, que o sinal WE_I é o mesmo sinal FC ("Faça Cálculos"); sendo assim, ele é responsável pelo início do processamento das amostras a partir do circuito controlador geral, o qual será apresentado na seção seguinte.

Uma questão decisiva em todo o processamento do circuito TDPP é a forma que são definidos os instantes de amostragem e processamento.

O tempo decorrente entre uma solicitação de amostra e outra foi estabelecido como sendo um tempo maior que o tempo máximo necessário para converter uma amostra realizada e torná-la disponível pelo circuito. Assim, consultando o "data sheet" do circuito conversor AD-537, verificou-se que o tempo máximo de conversão ($t_{Cmáx}$) de uma amostra era de $21,5 \mu s$; e, portanto, o tempo de amostragem (t_a) será sempre superior ao tempo de conversão.

O término de uma conversão será sinalizado, ao circuito de controle de conversão, pelo sinal indicador "DR". Assim, após o recebimento deste sinal pelo circuito de controle de conversão, uma nova solicitação de amostra será providenciada.

A figura 5.20, abaixo, apresenta graficamente os instantes de ocorrência de conversão e amostragem.

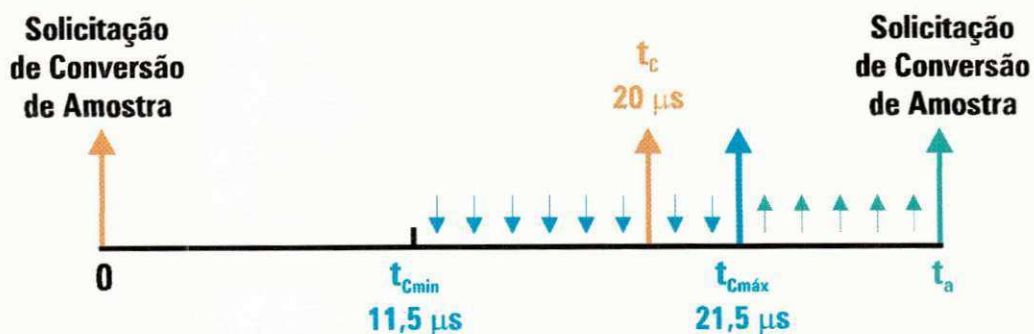


Figura 5.20 - Diagrama dos Tempos de Conversão, Amostragem e Cálculos.

Note, a partir da figura 5.20 anterior, a existência de um terceiro tempo, batizado como tempo máximo de cálculos (t_c). Esse tempo foi estabelecido como sendo o tempo máximo que o circuito deve usar para efetuar todos os cálculos finais. É a partir desse tempo que se tem noção da frequência de operação do circuito TDPP.

Considere, então, o número total de pulsos de relógio utilizados para a realização dos cálculos finais, sabendo que, durante esta etapa, três operações de divisão são realizadas, duas de raiz quadrada e uma de produto.

Três Divisões	→	3 . 24 pulsos = 72 pulsos
Duas Raiz Quadrada	→	2 . 14 pulsos = 28 pulsos
Um Produto	→	<u>1 . 14 pulsos = 14 pulsos</u>
		114 pulsos

Como o tempo máximo para cálculos é de 20 μs ; então, a frequência de operação (f_{op}) do circuito TDPP será, no mínimo, de:

$$f_{op} = \frac{1}{t_{op}} = \frac{114 \text{ pulsos}}{20 \mu\text{s}} = 5,7 \text{ MHz}$$

onde t_{op} é o tempo de operação de cada passo do circuito TDPP.

A arquitetura completa do circuito de controle de conversão projetado está apresentada no apêndice (pág. 30).

5.2.7 - O Controlador Geral do Circuito TDPP

Os sinais de controle, necessários ao funcionamento dos diversos blocos do circuito TDPP, são gerados em instantes pré-definidos a partir de dois circuitos controladores: o circuito de controle de conversão de amostras e o circuito de controle geral.

Esses circuitos controladores foram projetados, a partir da montagem de “tabelas da verdade”, para todos os sinais gerados e recebidos, em todos os estados presentes e seguintes das entradas e saídas; e também a partir da montagem de mapas de “Karnaugh” para a obtenção da lógica combinacional necessária ao desenvolvimento dos circuitos.

A metodologia utilizada para o projeto dos circuitos controladores, na época em que foram desenvolvidos, já estava se tornando ultrapassada em virtude do desenvolvimento de diversas ferramentas de projeto de circuitos integrados que permitiam a automatização do projeto e implementação dos circuitos. Entretanto, essa foi a opção

adotada, dadas a dificuldade de aquisição dessas ferramentas e o tempo necessário ao aprendizado das mesmas.

A apresentação do circuito de controle geral, a seguir, será feita a partir do seu diagrama de estados, sem tecer detalhes acerca dos blocos internos, visto que o procedimento de projeto é similar e suas interfaces e arquiteturas implementadas poderão ser consultadas a partir da página 30 do apêndice.

5.2.7.1 - Arquitetura e Funcionamento do Controlador Geral

O circuito controlador geral é composto por blocos de controle que geram os sinais necessários à realização de cada operação do circuito, seja ela aritmética ou não. Cada caminho a ser seguido é definido a partir do estado dos sinais FCF ("Faça Cálculos Finais") e FC ("Faça Cálculos"), os quais são gerados pelo circuito de controle de conversão

A figura 5.21, abaixo, apresenta o diagrama de estados do circuito controlador geral do circuito TDPP.

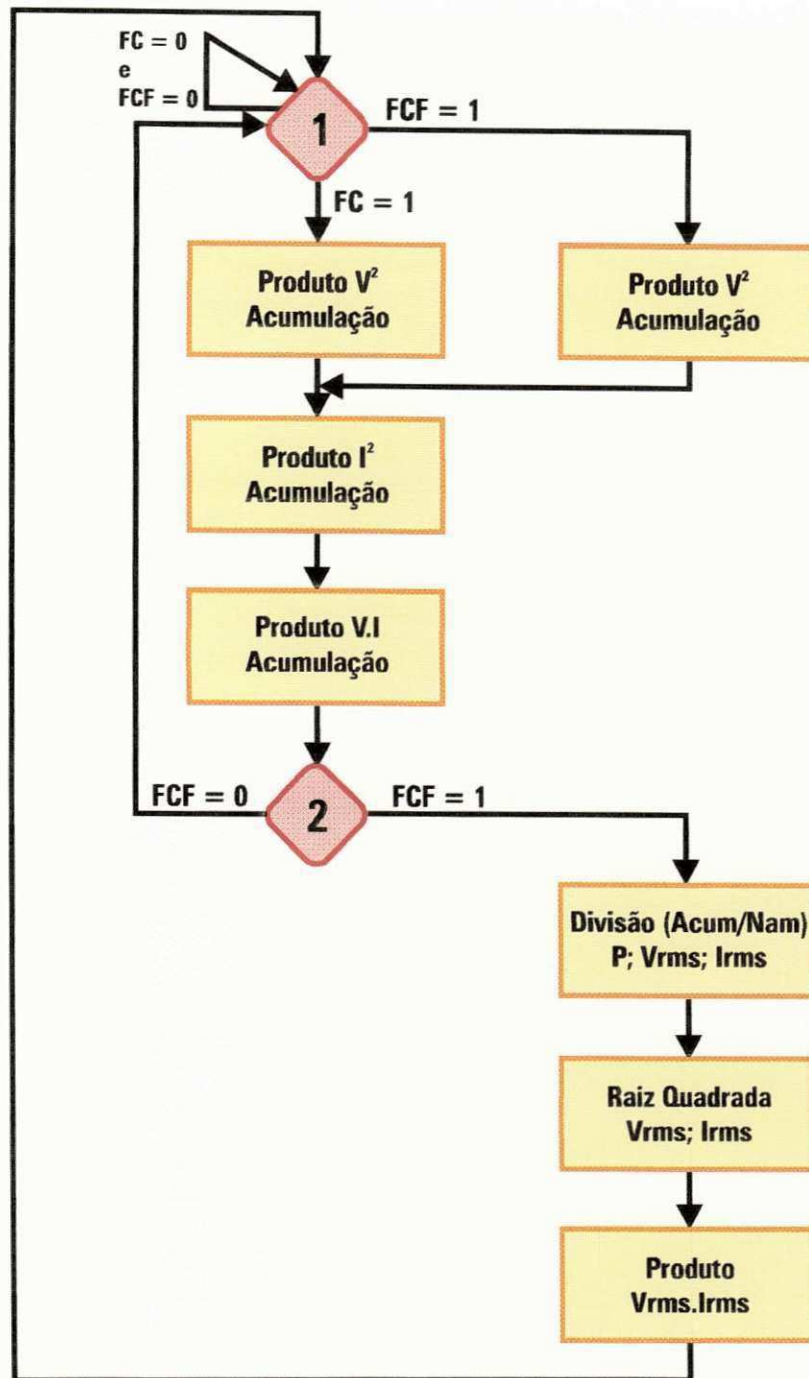


Figura 5.21 - Diagrama de Estados do Controlador Geral.

Note, a partir da figura 5.21 acima, que o circuito controlador geral apresenta apenas dois estados. O primeiro é caracterizado pelos cálculos realizados durante todo o processo de amostragem (produto / acumulação $v^2[n]$, $i^2[n]$ e $v[n].i[n]$); enquanto que o segundo caracteriza os cálculos finais, realizados com os valores processados das amostras do ciclo de tensão concluído (divisão, raiz quadrada e produto).

O circuito controlador geral é facilmente compreendido quando se analisam suas tarefas a partir dos estados em que os sinais FC e FCF se encontram. Sendo assim, estando o circuito no estado 1, se:

- FC e FCF forem iguais a zero, então o circuito controlador geral permanece inativo aguardando a ocorrência de qualquer um dos dois sinais;
- FC = 1, então o circuito controlador geral dá início à geração dos sinais que controlam o produto da tensão $v[n]$, por ela mesma, acumulando o resultado; do produto da corrente $i[n]$ por ela mesma, acumulando o resultado; e do produto da tensão pela corrente, também acumulando o resultado obtido;
- FCF = 1, então o circuito controlador geral executa as mesmas tarefas do caso anterior, só que com três acréscimos:
 - 1) o sinal "INÍCIO" é gerado, fazendo com que o contador de amostras seja reinicializado;
 - 2) o sinal "WE_Nam" é gerado, garantindo o armazenamento do número de amostras contadas no ciclo anterior;
 - 3) o sinal FIM_V2B é gerado, permitindo que a continuidade da geração de sinais siga para o produto da corrente por ela mesma.

Se, no entanto, o circuito controlador geral estiver no *estado 2*, e:

- FCF = 0, então o circuito volta ao *estado 1*;
- FCF = 1, então o processamento continua, só que agora gerando os sinais de controle que controlam os cálculos finais com os valores processados; ou seja, as divisões, as raízes quadradas e o produto da tensão RMS pela corrente RMS (potência aparente S), retomando, no final, ao *estado 1*.

Apenas para se ter uma idéia do funcionamento do circuito controlador geral, considere a geração dos sinais de controle, estando o circuito de controle geral no *estado 1* e tendo o sinal FC sido ativado (FC = 1). Assim, o circuito é levado à geração dos sinais de controle do produto $v^2[n]$ seguido da acumulação do resultado; ou seja, o circuito controlador geral passa a atuar segundo os estados apresentados na figura 5.22, abaixo.

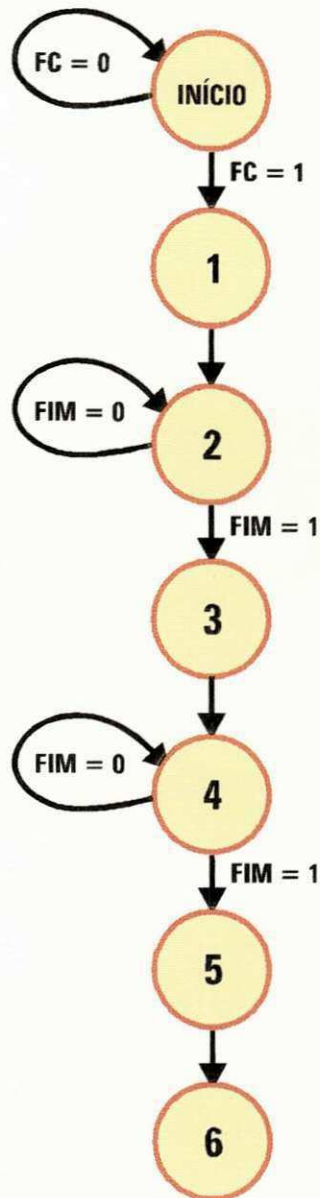


Figura 5.22 - Diagrama de Estados do Produto $v^2[n]$ com Acumulação.

Da figura 5.22, acima, percebem-se dois sinais de entrada (FC e FIM) e sete estados, os quais são implementados a partir de três “flip-flops”, representados por “ Q_2 Q_1 Q_0 ”. Esses sinais e estados presentes (Q_2 Q_1 Q_0) são as variáveis dos mapas de “Karnaugh” que auxiliam na determinação do circuito lógico combinacional que compõe a máquina de estados responsável pela geração dos sinais de saída desejados. Esta etapa, como já foi esclarecido anteriormente, é atualmente desenvolvida automaticamente pelas ferramentas de projeto de circuitos integrados, portanto, torna-se desnecessária sua apresentação.

Os sinais de saída desejados em cada estado, determinam o funcionamento do circuito de controle do produto $v^2[n]$, e, conseqüentemente do circuito controlador geral.

Sendo assim, considere a geração dos sinais de controle apresentado em cada estado do diagrama da figura 5.22.

INÍCIO

- * Caracteriza o estado inicial do circuito controlador geral, o qual depende apenas do sinal FC;
- * $FC = 0$, permanece no mesmo estado;
- * $FC = 1$, segue para o estado 1.

ESTADO 1

- * Seleciona tensão no multiplexador da unidade aritmética (sinais $S2_E = 0$, $S1_E = 0$ e $S0_E = 0$);
- * Carrega o operando "A" da operação de produto (sinal $Cm0 = 1$);
- * Aguarda o sinal de fim de operação para seguir para o próximo estado ($FIM = 1$).

ESTADO 2

- * Mantém a tensão selecionada (sinais $S2_E = 0$, $S1_E = 0$ e $S0_E = 0$);
- * Carrega o operando "B" da operação de produto (sinal $Cm0 = 0$).

ESTADO 3

- * Seleciona o resultado do produto no multiplexador de saída da unidade aritmética (sinais $S1_s = 0$ e $S0_s = 0$);
- * Seleciona o resultado do produto no multiplexador de entrada da unidade aritmética (sinais $S2_E = 1$, $S1_E = 1$ e $S0_E = 1$);
- * Carrega o operando "A" da operação de soma (sinal $Cs0 = 1$).

ESTADO 4

- * Seleciona o acumulador de tensão no multiplexador de entrada da unidade aritmética (sinais $S2_E = 0$, $S1_E = 1$ e $S0_E = 0$);
- * Carrega o operando "B" da operação de soma (sinal $Cs0 = 0$);
- * Aguarda o sinal de fim de operação para seguir para o próximo estado ($FIM = 1$).

ESTADO 5

- * Seleciona o resultado da soma no multiplexador de saída da unidade aritmética (sinais $S1_s = 0$ e $S0_s = 1$);
- * Desativa o sinal do multiplexador de entrada da unidade aritmética (sinais $S2_E = 0$, $S1_E = 0$ e $S0_E = 0$);
- * Armazena o resultado no acumulador de tensão ($WE_{RAV} = 1$).

ESTADO 6

- * Ativa o sinal de fim de produto ($FIM_{V2A} = 1$);
- * Desativa sinal de carregamento do acumulador de tensão ($WE_{RAV} = 0$).

O sinal $FIM_{V2A} = 1$ permite a passagem para a geração dos sinais de controle do processamento do produto $i^2[n]$, garantindo a continuidade do funcionamento do circuito controlador geral.

A arquitetura implementada de cada bloco de geração de sinais de controle do circuito TDPP encontra-se no apêndice (a partir da página 32).

6

CONCLUSÕES E SUGESTÕES PARA TRABALHOS FUTUROS

O projeto e implementação do circuito integrado transdutor digital de parâmetros de potência permitiram uma série de avanços com relação aos circuitos desenvolvidos anteriormente.

Antes, apenas a unidade aritmética básica havia sido projetada e integrada com o uso da ferramenta acadêmica "ALLIANCE". Todo o restante do circuito TDPP continuava composto por circuitos eletrônicos discretos. Agora, não só a UAB foi reprojetaada, segundo novas especificações, e implementada com a ferramenta profissional "CADENCE", como também o bloco operacional de extração de raiz quadrada, os registradores acumuladores e de interface, o contador de amostras, os controladores individuais de cada bloco operacional, o controlador de conversão e o controlador geral do circuito TDPP; ou seja, todo o circuito TDPP monofásico foi reprojetaado e implementado.

O circuito integrado TDPP foi projetado para calcular os parâmetros de potência ativa, tensão e corrente "RMS" (V_{RMS} e I_{RMS}), potência aparente e o número total de amostras "N" realizadas, processando até 1.024 amostras da tensão e corrente da rede de distribuição de energia elétrica, sem inserir erros de processamento. A partir dos valores das potências ativa e aparente será possível, por "software", calcular a potência reativa (Q), enquanto que o número total de amostras realizadas possibilitará o cálculo da frequência da rede elétrica.

A redução do número de bits dos parâmetros calculados, de 32 bits para 30 bits, com relação ao projeto da UAB, deveu-se exclusivamente ao estudo de precisão, já que o número de bits fornecido pelo circuito conversor não seria alterado, e portanto qualquer bit além dos 20 não representaria ganho de precisão.

A precisão do circuito TDPP foi melhorada passando a fornecer os resultados dos parâmetros calculados em 20 bits, e não em 16 bits como no caso da UAB.

O projeto e implementação dos diversos blocos componentes do circuito TDPP foram feitos de forma bastante individualizada, sem que se buscasse reduzir a área

total a partir da fusão de partes similares do circuito. Este fato permite uma melhor e mais rápida localização falhas e modificação do circuito.

A opção pela arquitetura paralelo-serial baseou-se no fato de ser uma arquitetura de fácil compreensão, localização e alteração de falhas e bastante rápida para as exigências de cálculo do circuito TDPP.

O desenvolvimento do circuito integrado TDPP foi, desde o início, voltado ao baixo consumo de energia, onde, para se conseguir isto, duas técnicas foram utilizadas:

- 1) o uso de registradores de saída em cada bloco operacional do circuito, o que possibilitou a redução das transições lógicas ocorridas no barramento - causa principal do consumo de energia em circuitos CMOS;
- 2) o "reset" dos registradores do bloco operacional utilizado ao final da operação.

Com o baixo consumo de energia, torna-se possível a instalação dos circuitos TDPP afixados em postes da rede de distribuição de energia elétrica, alimentados por pequenas baterias, e onde a transmissão dos parâmetros calculados é feita via sinais de rádio, o que proporciona a redução do número de interconexões com o computador hospedeiro e conseqüentemente, dos problemas advindos das conexões físicas.

O circuito TDPP foi implementado a partir do uso da ferramenta de projeto de circuitos integrados "CADENCE". Entretanto, fatores relacionados ao curto tempo de licença de uso de tal "software" fizeram com que a implementação fosse feita a partir da criação de esquemáticos, conforme diagramas apresentados no apêndice. Esta técnica é extremamente trabalhosa, pois, cada componente do circuito, formado a partir das células da biblioteca, deve ter sua interface e conexões definidas.

Durante a realização desta dissertação um erro no projeto do registrador "Raiz Q" do circuito de extração de raiz quadrada foi detectado. Embora tal registrador tenha sido reprojetoado (figura 5.17), sem que isso tenha forçado o acréscimo de qualquer sinal de controle ou mesmo número de passos, este componente do circuito TDPP não foi reimplementado.

Percebe-se, então, que os objetivos propostos no início dos trabalhos foram todos alcançados satisfatoriamente. Ou seja, a UAB foi reprojetoada e implementada

segundo estudo de precisão do "ASIC" proposto, o circuito de extração de raiz quadrada foi projetado juntamente com toda a estrutura que possibilita a passagem de dados para os demais blocos operacionais, e o principal, o contador de amostras e os circuitos controladores de conversão e geral do circuito TDPP foram completamente projetados e implementados. Entretanto, por se tratar de um circuito de medição em redes tri-fásicas, ainda não validado, muito ainda há por fazer.

A seguir estão listadas algumas sugestões para desenvolvimento em trabalhos futuros, são elas:

- validação lógica e elétrica do circuito monofásico projetado;
- redução de dois passos de carregamento dos dividendos e divisores durante a realização das três divisões finais, ou seja, o divisor (número total de amostras, igual para as três divisões) só seria carregado na primeira divisão;
- realização dos cálculos dos parâmetros de potência reativa (Q), do fator de potência (Φ) e da frequência da rede de energia elétrica pelo circuito TDPP;
- projeto e integração um circuito que faça a transdução dos parâmetros de potência para as três fases da rede de energia, utilizando para isso uma única "unidade aritmética", projetada a partir de técnicas de paralelismo de processamento, como, por exemplo, a distribuição dos cálculos finais ao longo do ciclo seguinte de tensão da rede elétrica; duas RAM's e três circuitos contadores;
- integração, ao circuito TDPP, dos circuitos conversor de amostras e comparador;
- utilização da metodologia de circuitos lógicos programáveis (FPGA) para concepção do circuito integrado TDPP.

Tais incrementos possibilitarão não só ganho em redução de área e consumo de energia, mas também em desempenho, tempo de projeto e rapidez e facilidade de modificações / correções.

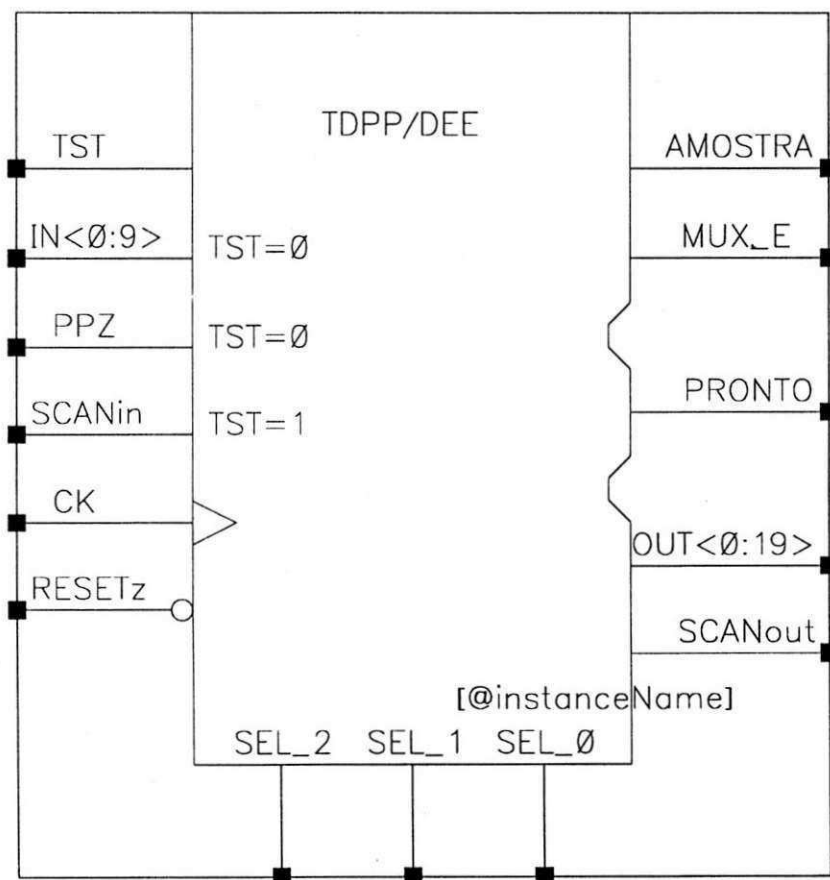
REFERÊNCIAS BIBLIOGRÁFICAS

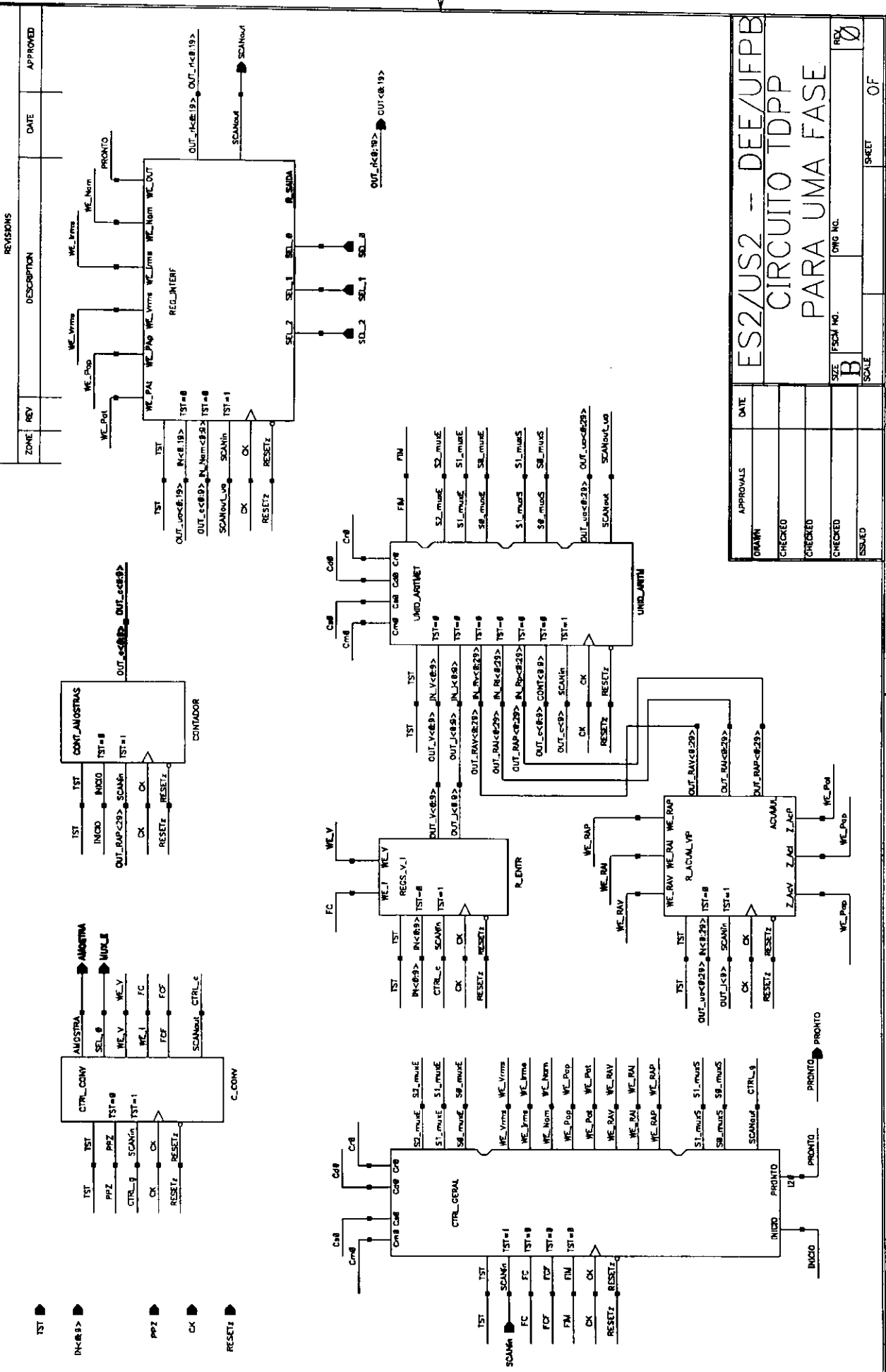
- [BEZ92] BEZERRA, Eg Pôrto - Projeto, Validação e Implementação de um Circuito Somador de 32 Bits, Relatório de Estágio, Departamento de Engenharia Elétrica, UFPB, 1992.
- [FER93] FERREIRA, Rômulo Pires Coelho - Unidade Aritmética Básica para Transdução de Parâmetros de Potência - Dissertação de Mestrado, Departamento de Engenharia Elétrica, UFPB, 1993.
- [JAC81] JACQUOT, R. - Modern Digital Control Systems - New York, NY: Marcel Dekker, Inc., 1981.
- [KAT81] KATZ, P. - Digital Control Using Microprocessors - Englewood Cliffs, NJ: Prentice-Hall, Inc., 1981.
- [LIN87] LIN, K., G. FRANTZ, and R. SIMAR, Jr. - The TMS320 Family of Digital Signal Processors - Proceedings of IEEE, USA, Volume 75, Number 9, pages 1143-1159, September 1987.
- [MEH92] MEHREZ, Habib - Algorithmes et Architectures VLSI pour le Traitement Numerique, Apostila da Disciplina *Doctorat d'Etudes Aprofondies da Institute MASI da Université Pierre et Marie Curie*, 1992.
- [MOR90] MORAES, Misael Elias - Microprocessor-based Three Phase Transducer, IEEE Instrumentation and Measurement - p. 98-132, 1990.
- [OPP78] OPPENHEIM, Alan V. - Applications of Digital Signal Processing - Englewood Cliffs, NJ: Prentice-Hall, Inc., 1978.

1. BEZERRA, Eg Pôrto - Projeto, Validação e Implementação de um Circuito Somador de 32 Bits, Relatório de Estágio, Departamento de Engenharia Elétrica, UFPB, 1992.
2. FERREIRA, Rômulo Pires Coelho - Unidade Aritmética Básica para Transdução de Parâmetros de Potência - Dissertação de Mestrado, Departamento de Engenharia Elétrica, UFPB, 1993.
3. JACQUOT, R. - Modern Digital Control Systems - New York, NY: Marcel Dekker, Inc., 1981.
4. KATZ, P. - Digital Control Using Microprocessors - Englewood Cliffs, NJ: Prentice-Hall, Inc., 1981.
5. LIN, K., G. FRANTZ, and R. SIMAR, Jr. - The TMS320 Family of Digital Signal Processors - Proceedings of IEEE, USA, Volume 75, Number 9, pages 1143-1159, September 1987.
6. MALVINO, Albert Paul - Microcomputadores e Microprocessadores - Ed. McGraw Hill do Brasil, 1982
7. MEHREZ, Habib - Algorithmes et Architectures VLSI pour le Traitement Numerique, Apostila da Disciplina *Doctorat d'Etudes Aprofondies da Institute MASI da Université Pierre et Marie Curie*, 1992.
8. MORAES, Misael Elias - Microprocessor-based Three Phase Transducer, IEEE Instrumentation and Measurement - p. 98-132, 1990.
9. OPPENHEIM, Alan V. - Applications of Digital Signal Processing - Englewood Cliffs, NJ: Prentice-Hall, Inc., 1978.
10. TAUB, Herbert - Circuitos Digitais e Microprocessadores - Ed. McGraw Hill, 1984.

11. TAUB, Herbert & SHILLING, Donald - Eletrônica Digital - Ed. McGraw Hill, 1982.
12. WESTE, Neil H. E. & ESHRAGHIAN, Camran - Principles of CMOS VLSI Design: System Perspective - Ed. Addison Wesley, 1992.

Apêndice

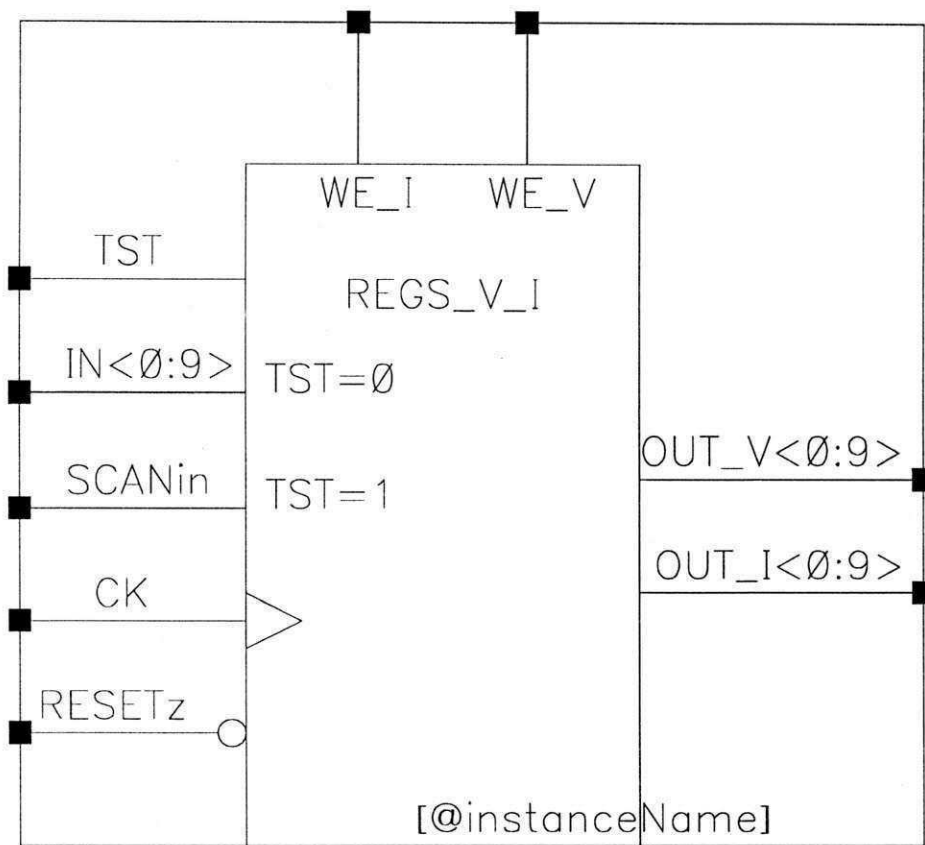




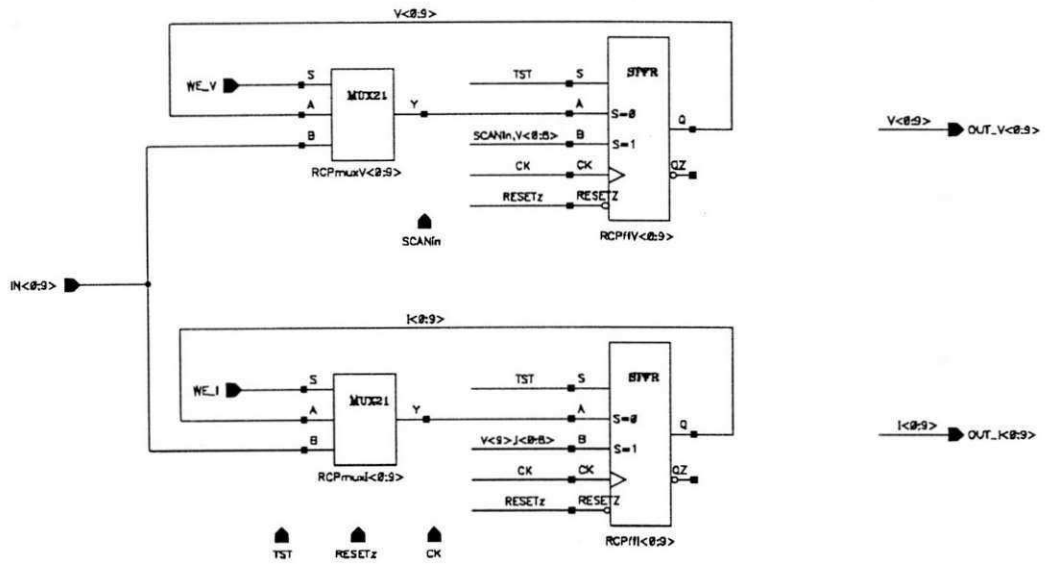
ZONE	REV	DESCRIPTION	DATE	APPROVED

APPROVALS		DATE
DRAWN		
CHECKED		
CHECKED		
CHECKED		
ISSUED		

ES2/US2 -- DEE/UFPB	
CIRCUITO TDRPP	
PARA UMA FASE	
SIZE	ENG NO.
B	
SCALE	SHEET
	OF

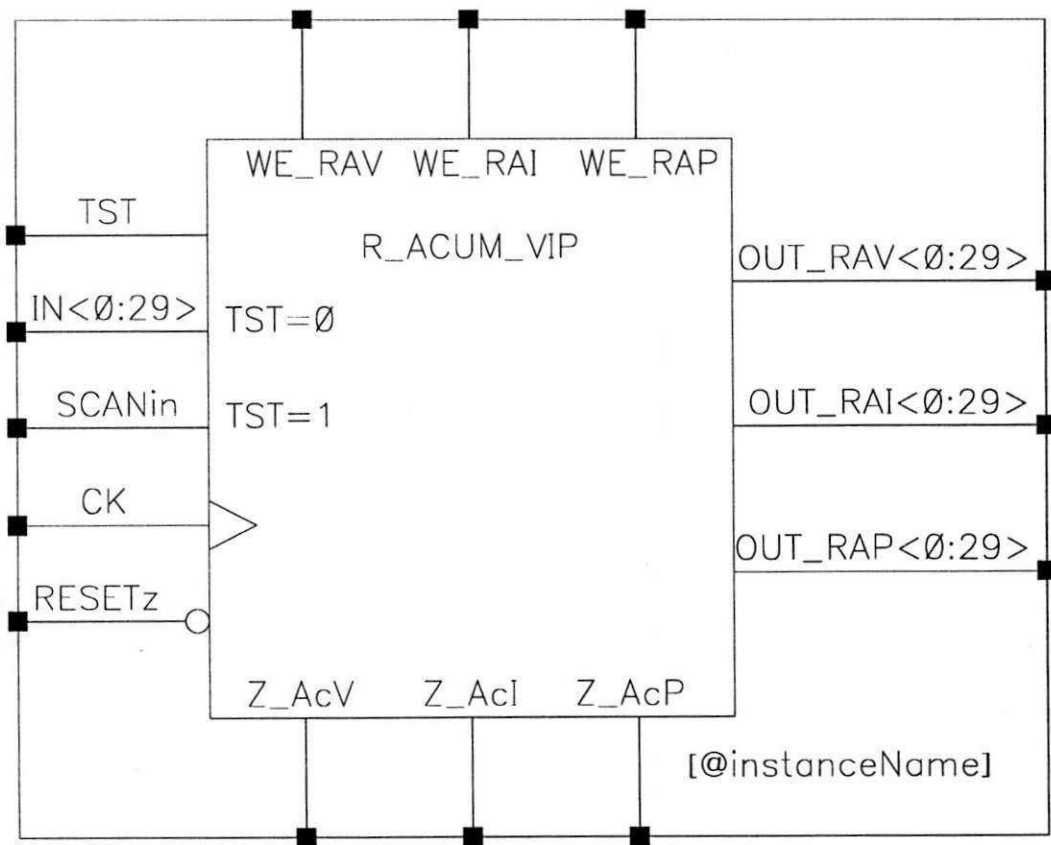


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

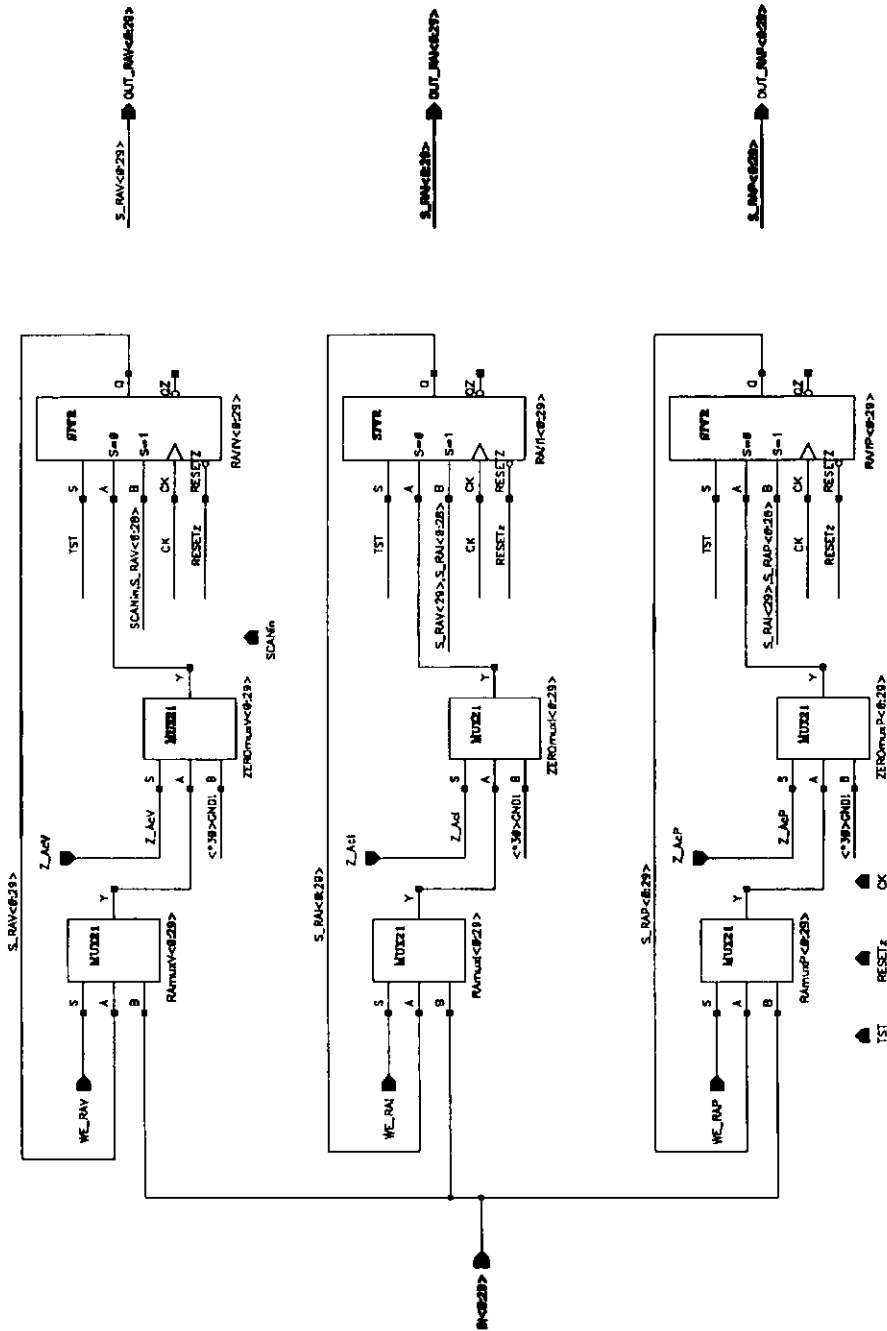


Apêndice - 5

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		REGS. DE ENTRADA		
CHECKED		V e I		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
ISSUED				SHEET OF

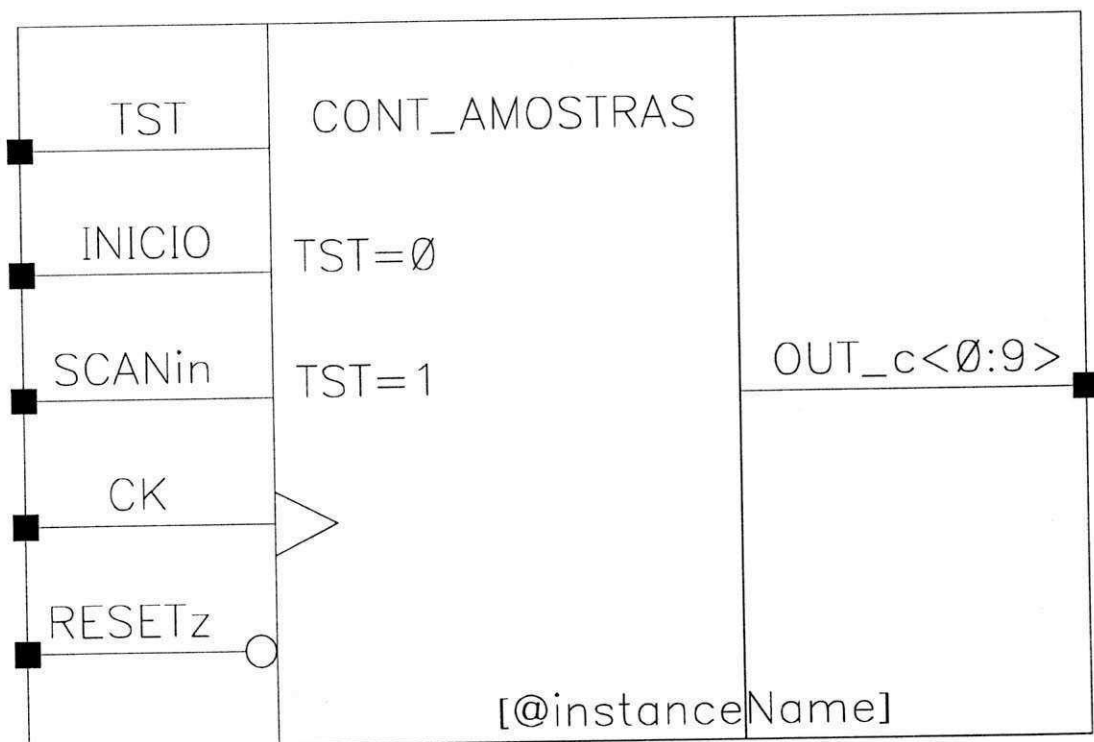


REVISIONS		
ZONE	REV	DATE
	0	



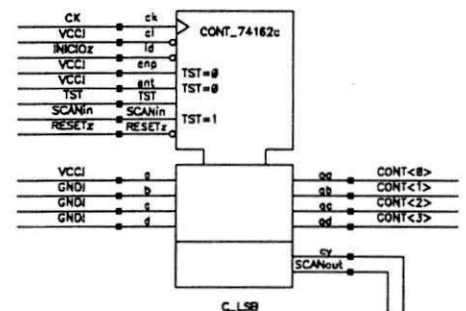
APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

ES2/US2 - DEE/UFPB	
REGS. ACUMUL. DE	
V, I e P	
SIZE	DWG NO.
B	10
SCALE	SHEET
	OF

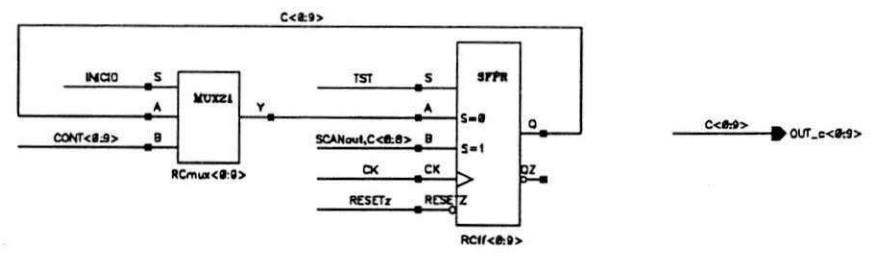
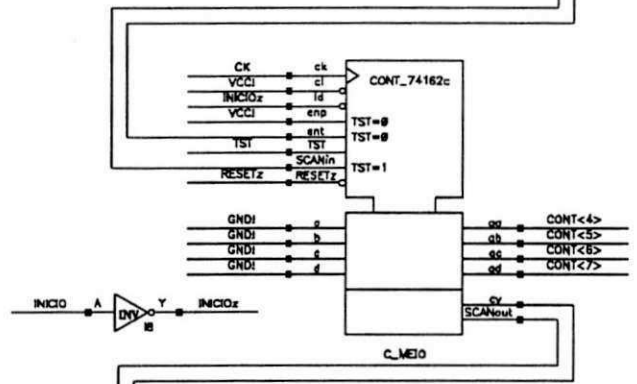


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

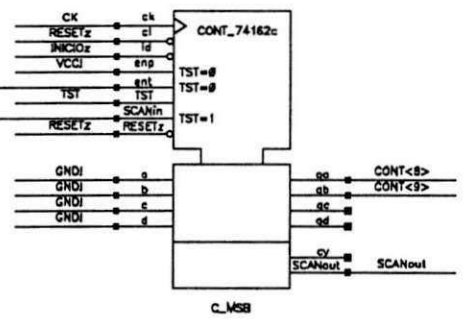
VCCI



SCANin
TST
CK
RESETz
INICIO

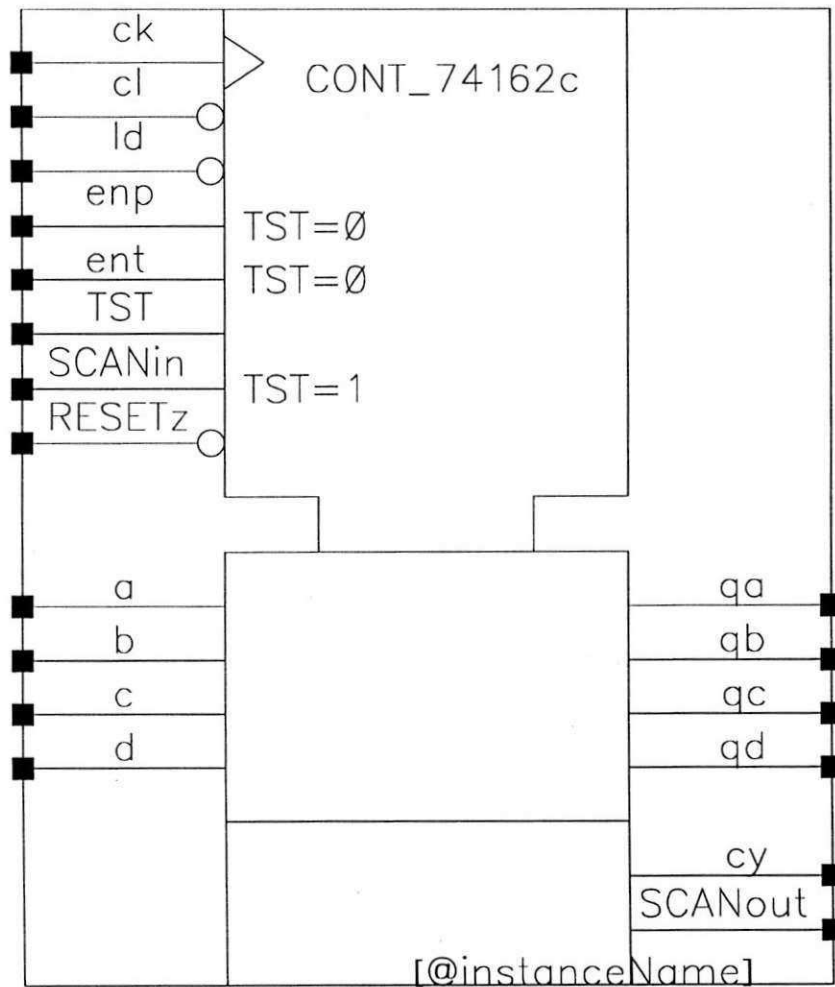


GNDI

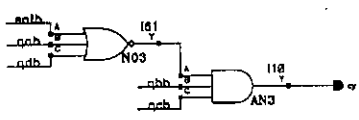
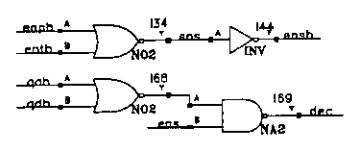
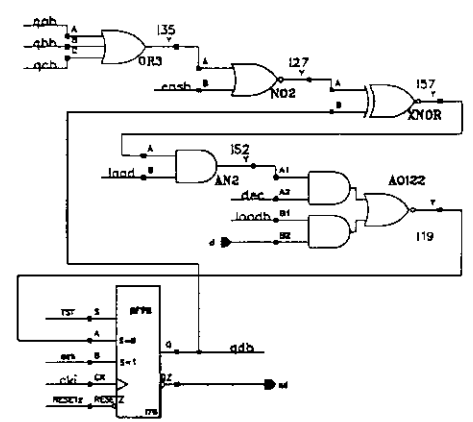
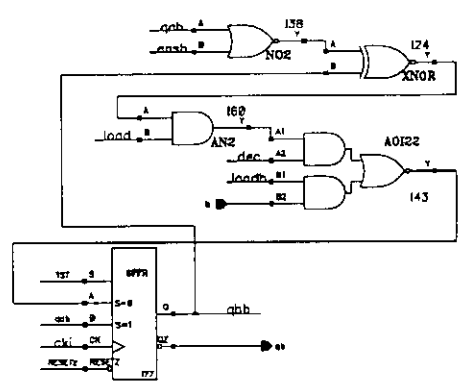
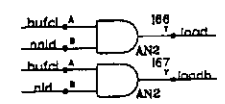
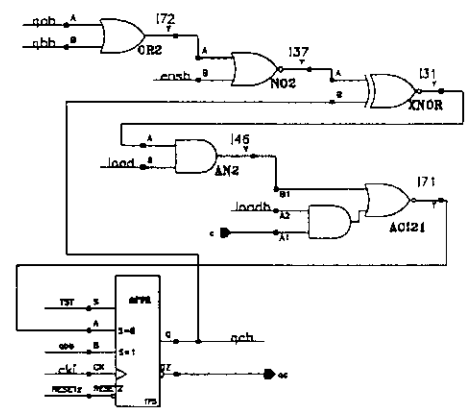
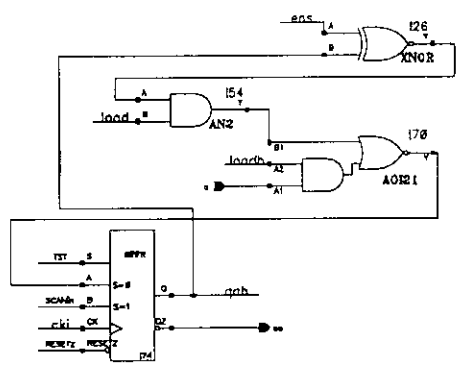
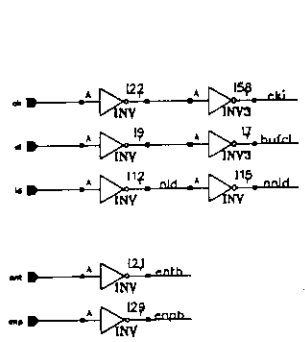


Apêndice - 9

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CIRCUITO		
CHECKED		CONTADOR 720am		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF
				0



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



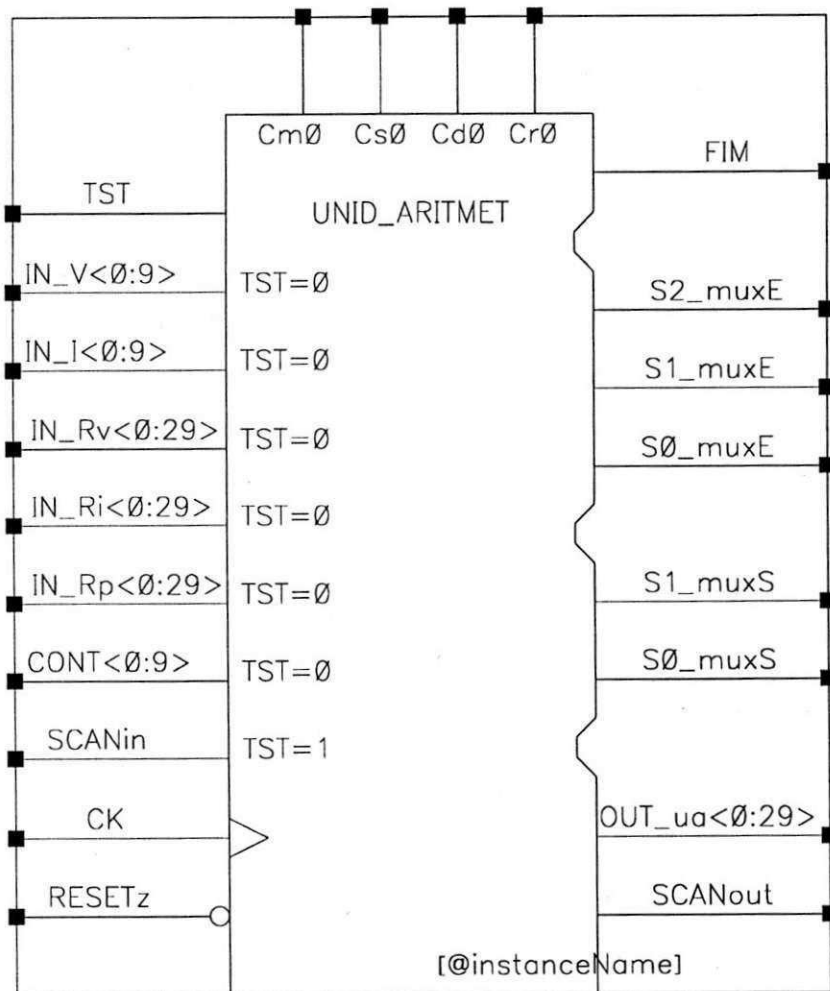
- 127
- SCANh
- RESET

APPROVALS	DATE	ES2/US2 - DEE/UFB	
DRAWN	D.COL	JUL90	
CHECKED		CONTADOR	
CHECKED		74LIB/soft162c	
CHECKED		SIZE	NO. NO.
ISSUED		C	

Apêndice - 11

74174
74174
74174
74174

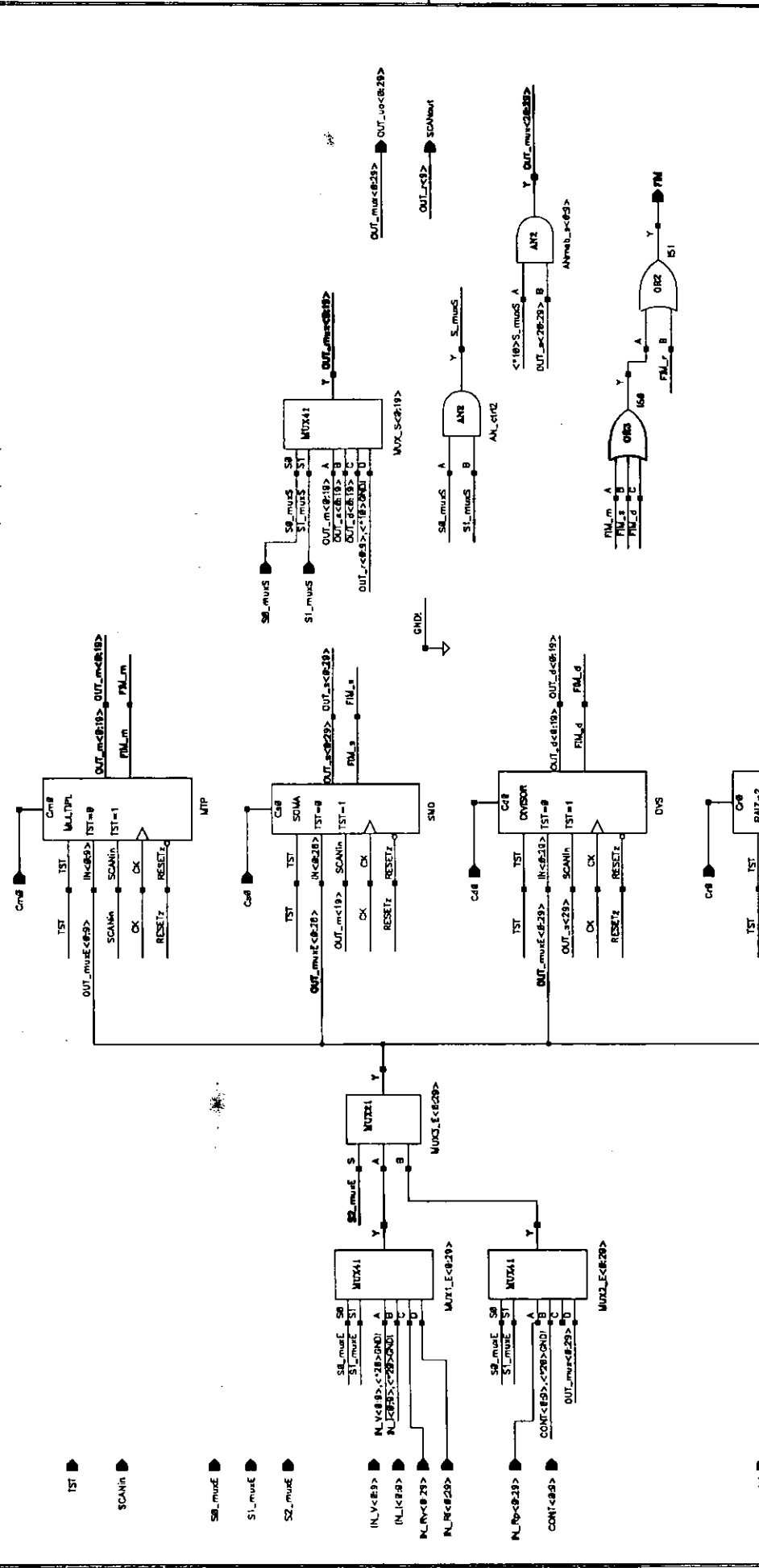
A
B



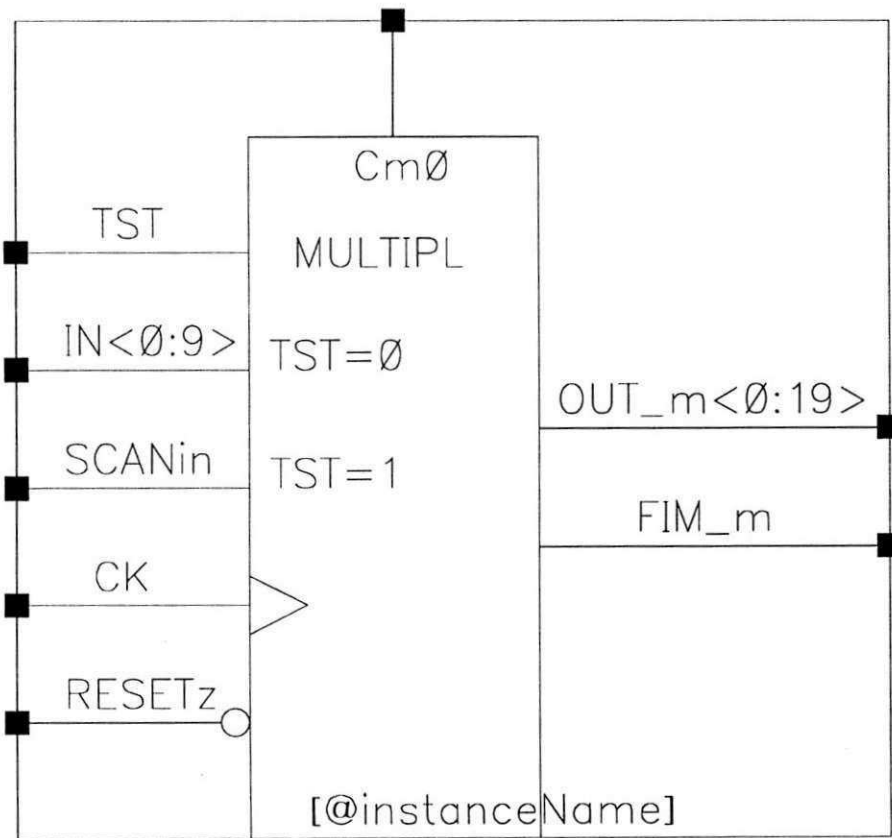
REVISIONS		DATE	APPROVED
ZONE	REV		

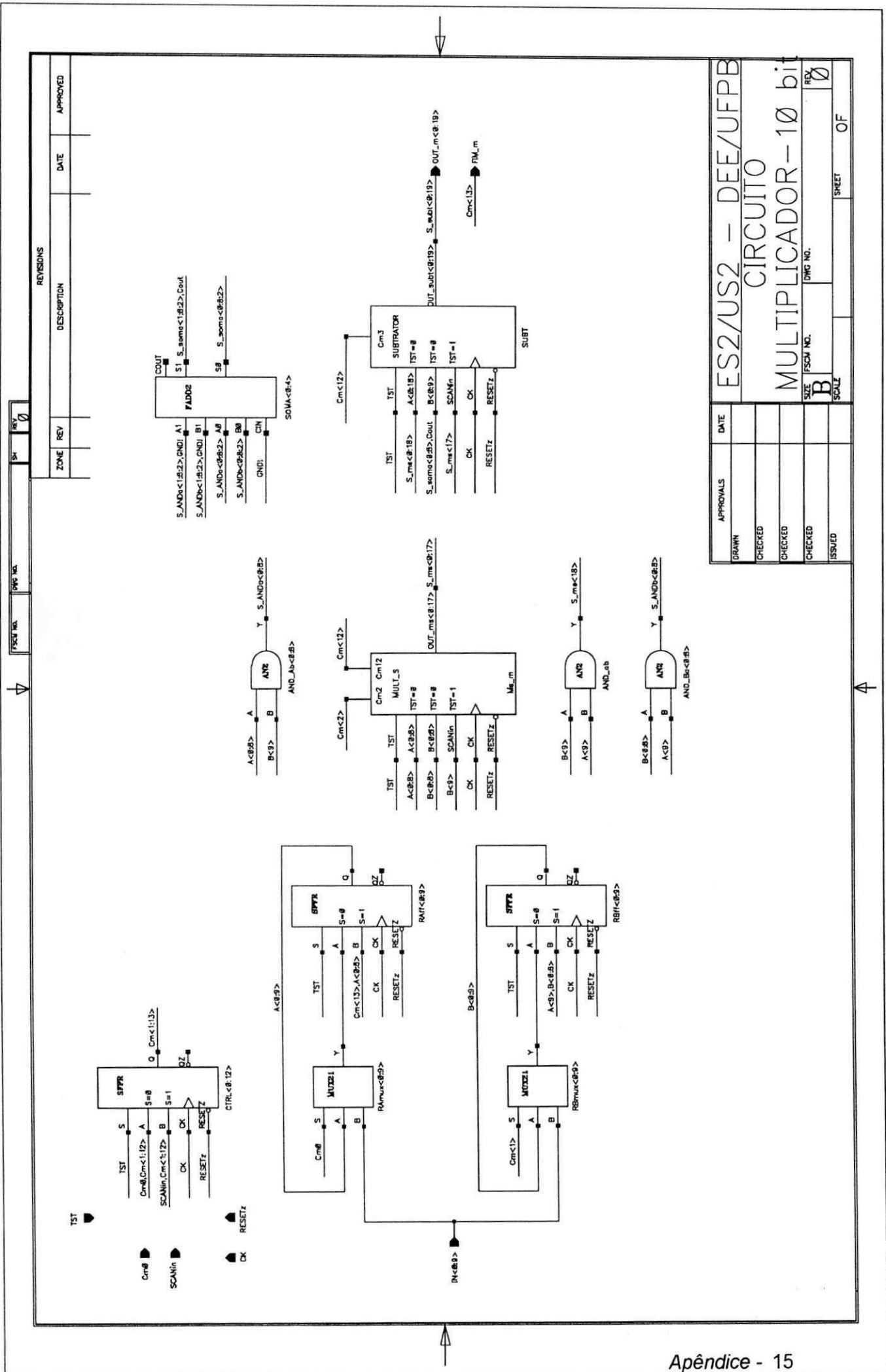
APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

SIZE	FSCM NO.	DWG NO.	REV
B			



ES2/US2 - DEE/UFPB		DATE	
UNIDADE ARITM.			
DO CIRC. TDPD			
APPROVALS	DATE		
DRAWN			
CHECKED			
CHECKED			
CHECKED			
ISSUED			
SIZE	FSCM NO.	DWG NO.	REV
B			
SHEET			OF

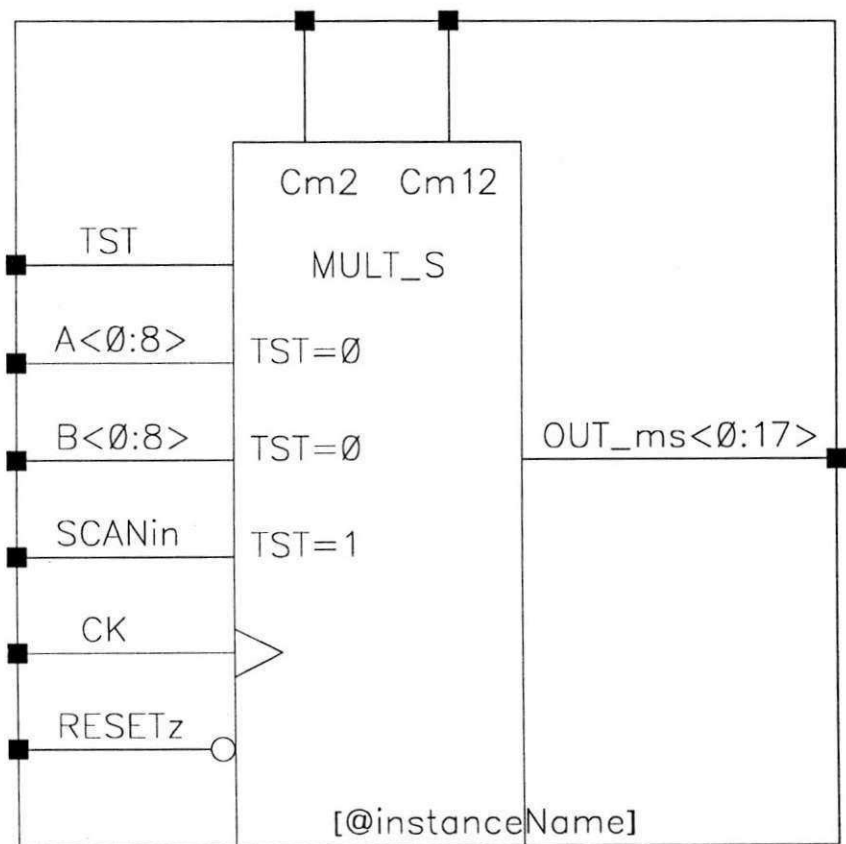




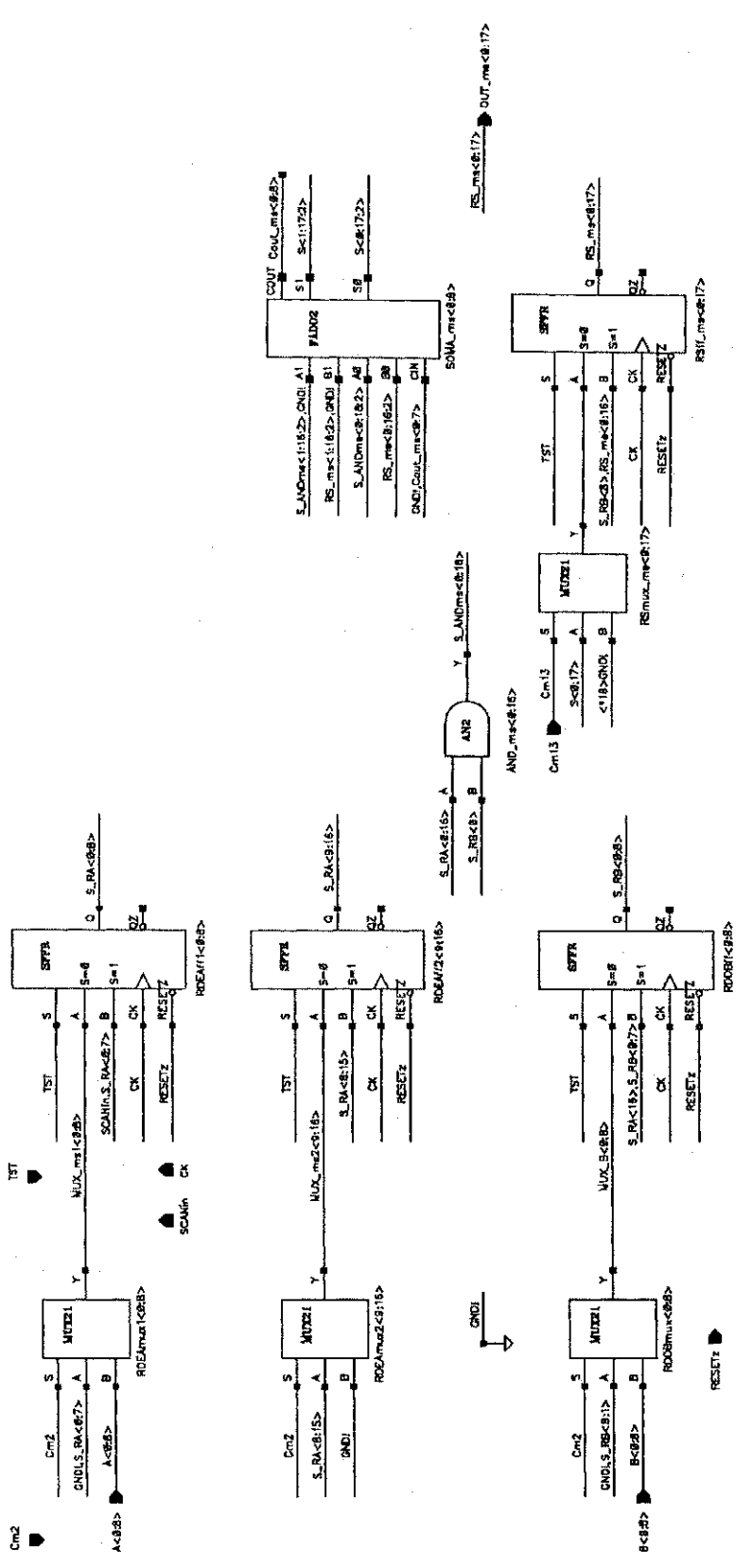
REVISIONS		DATE	APPROVED
ZONE	REV		

APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

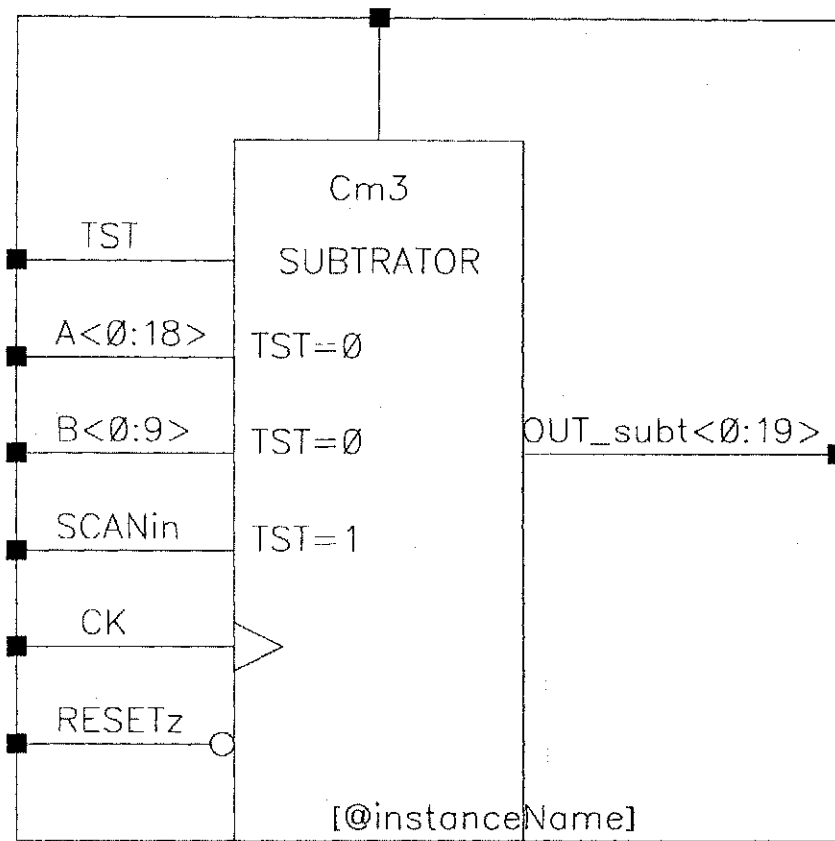
ES2/US2 - DEE/UFPB	
CIRCUITO	
MULTIPLICADOR - 10 bit	
SIZE	DWG NO.
B	
SCALE	SHEET
	OF



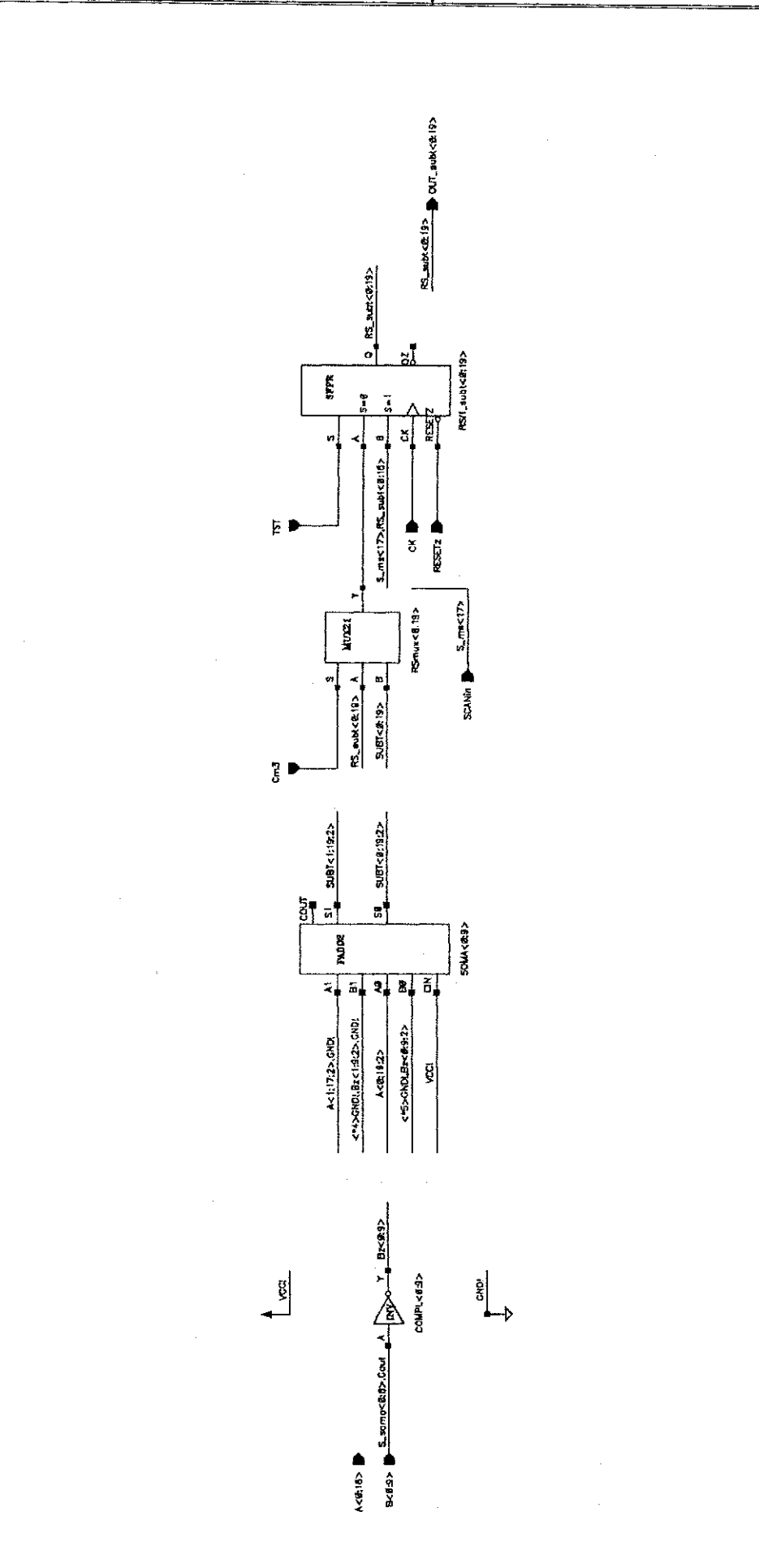
REV. NO.		REV. NO.		REV. NO.	
1	0	1	0	1	0
ZONE		REV		APPROVED	
DESCRIPTION		DATE		APPROVED	
REVISIONS		DATE		APPROVED	



APPROVALS		DATE	
DRAWN			
CHECKED			
CHECKED			
CHECKED			
ISSUED			
ES2/US2 - DEE/UFPB			
CIRCUITO			
MULTIPLIC SIMPLES			
SIZE	PERSON NO.	DWG NO.	REV.
B			0
SHEET	OF		

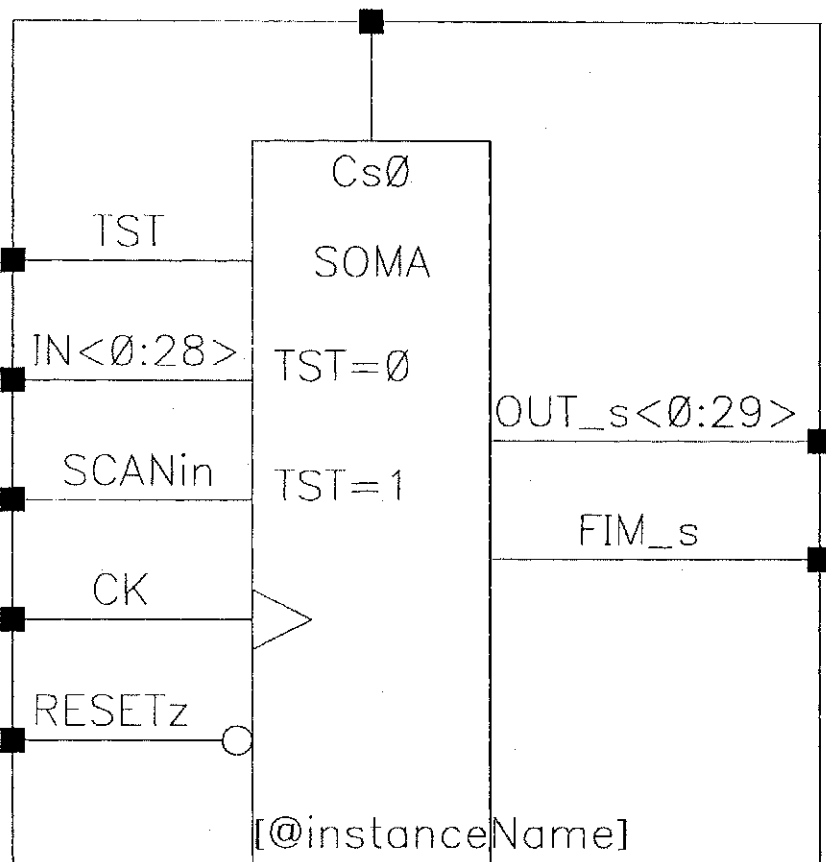


REVISIONS			
ZONE	REV	DATE	APPROVED

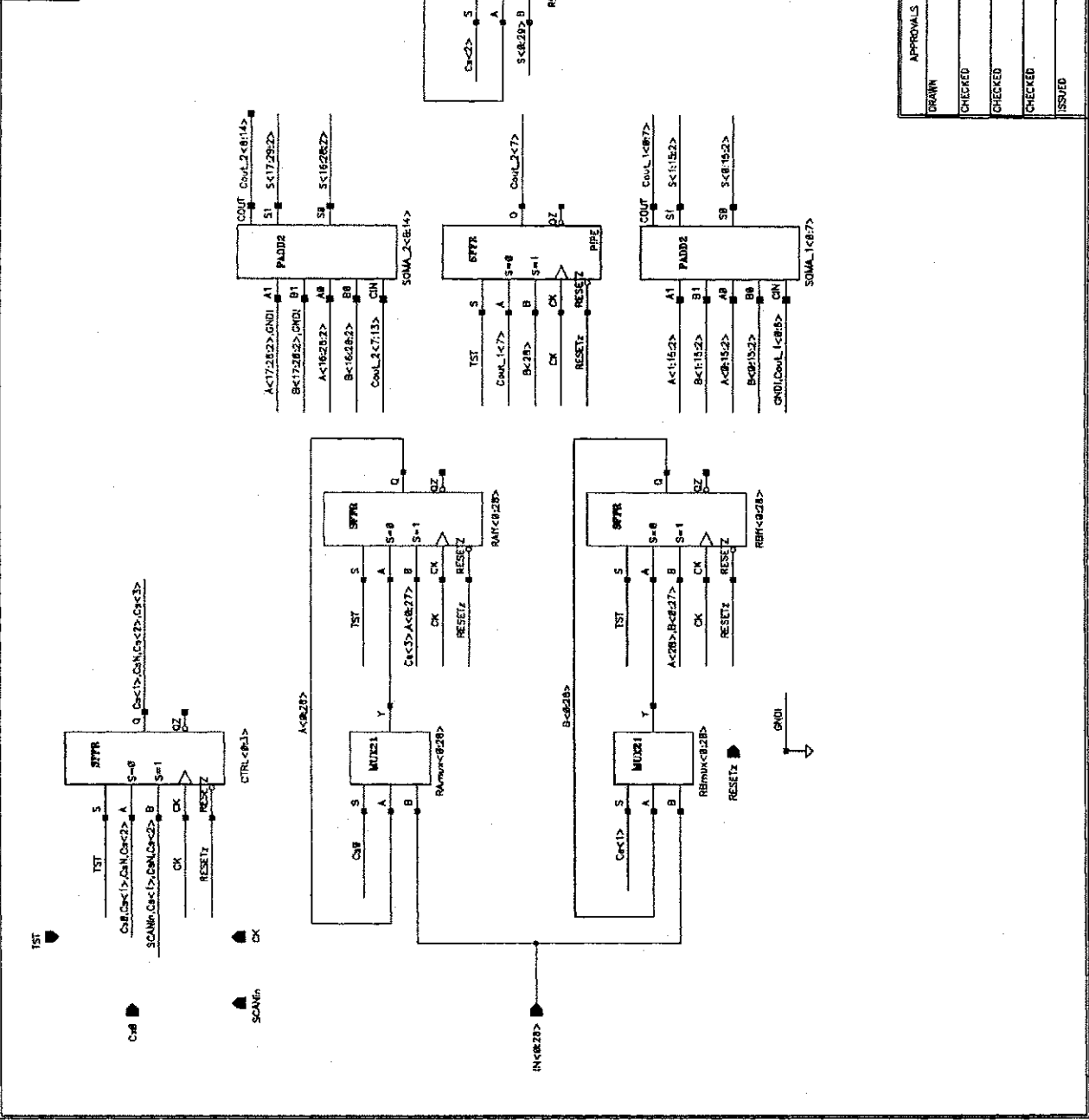


APPROVALS		DATE	
DRAMA			
CHECKED			
CHECKED			
CHECKED			
ISSUED			

ES2/US2 - DEE/UFPB		REV	0
CIRCUITO		DWG NO.	
SUBTRATOR		SIZE	B
		SCALE	
		SHEET	OF

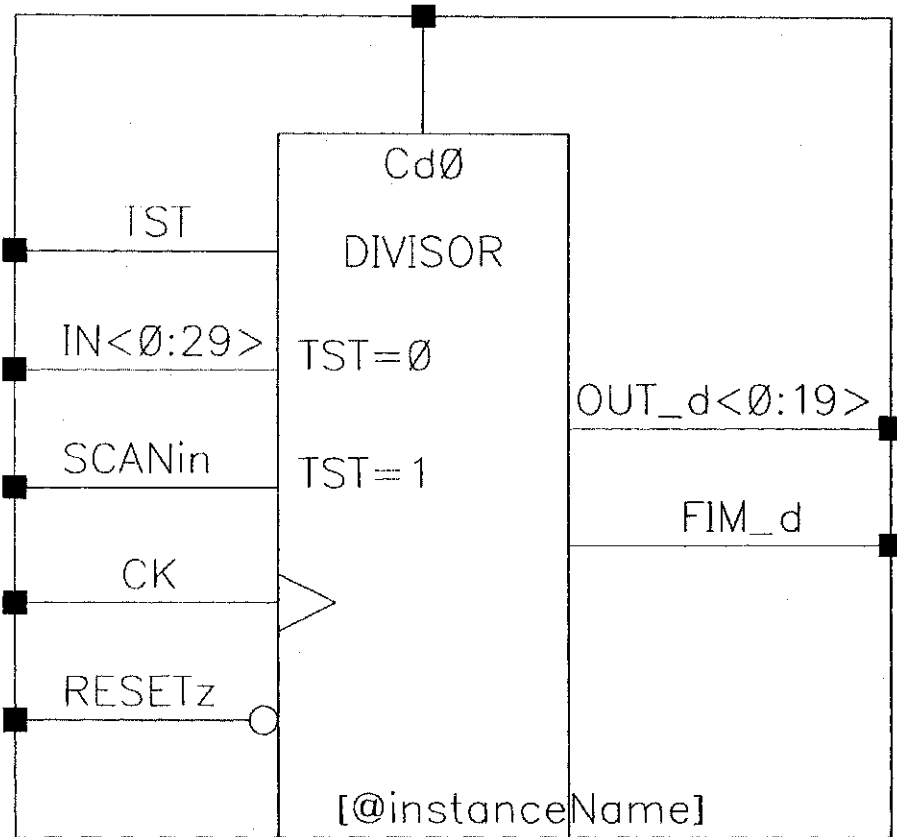


REVISES		DESCRIPTION	DATE	APPROVED
ZONE	REV			

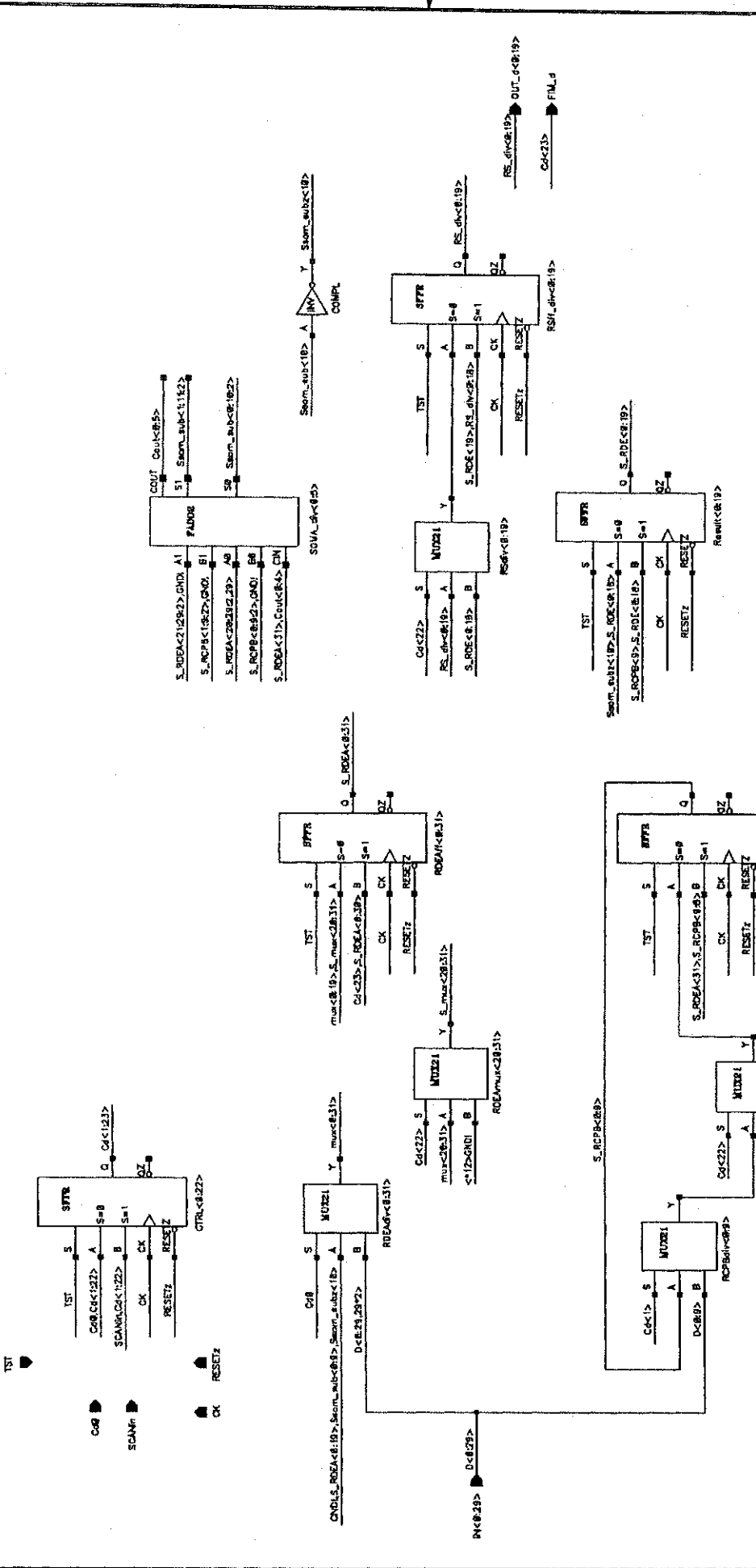


APPROVALS		DATE	
DESIGN			
CHECKED			
CHECKED			
CHECKED			
ISSUED			

ES2/US2 - DEE/UFPB		CIRCUITO SOMADOR	
SIZE	FORM NO.	DWG NO.	REV.
B			0
SHEET			OF



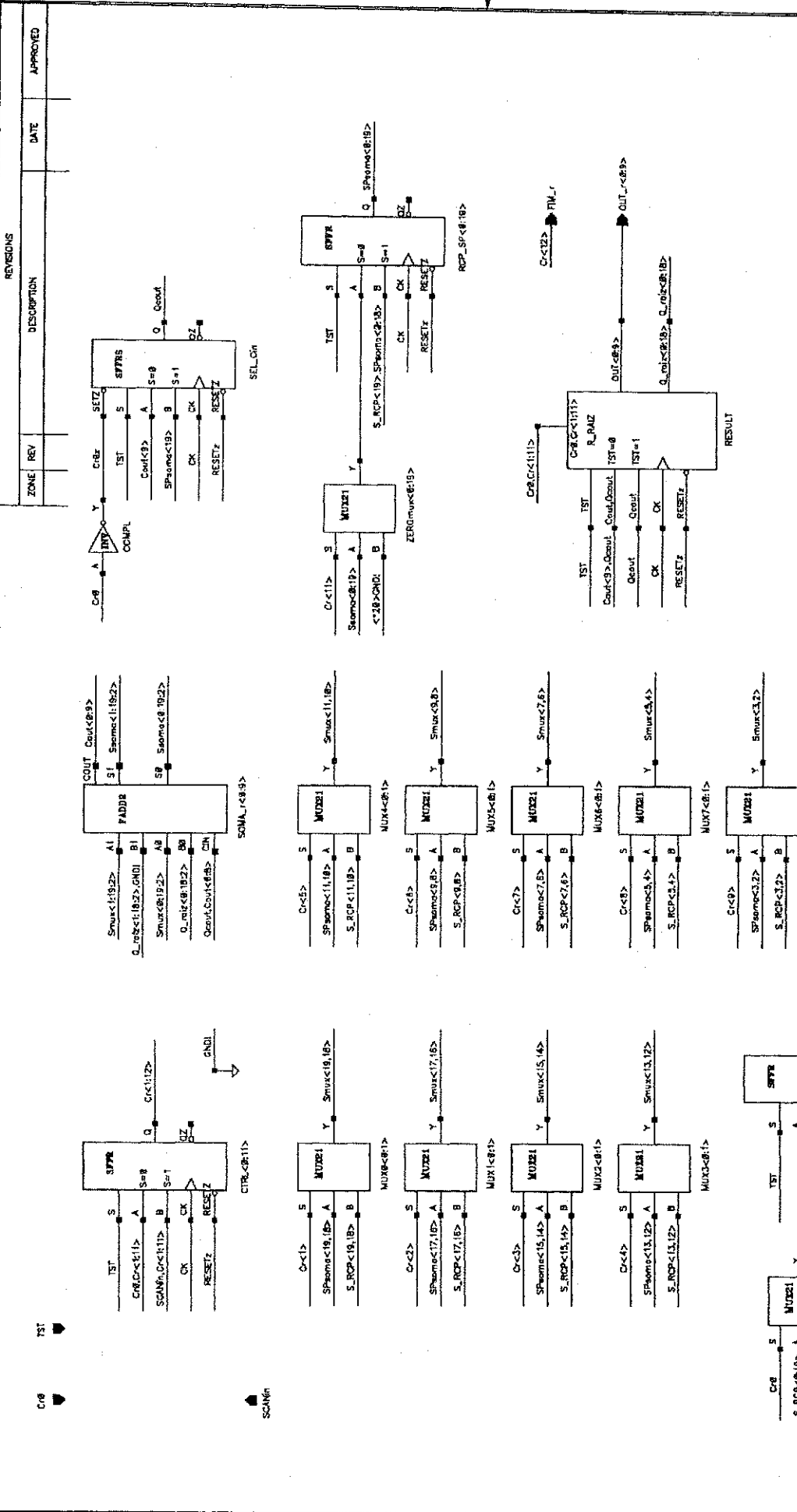
REVISIONS		DATE	APPROVED
ZONE	REV		



APPROVALS		DATE
DRAWN		
CHECKED		
CHECKED		
CHECKED		
ISSUED		

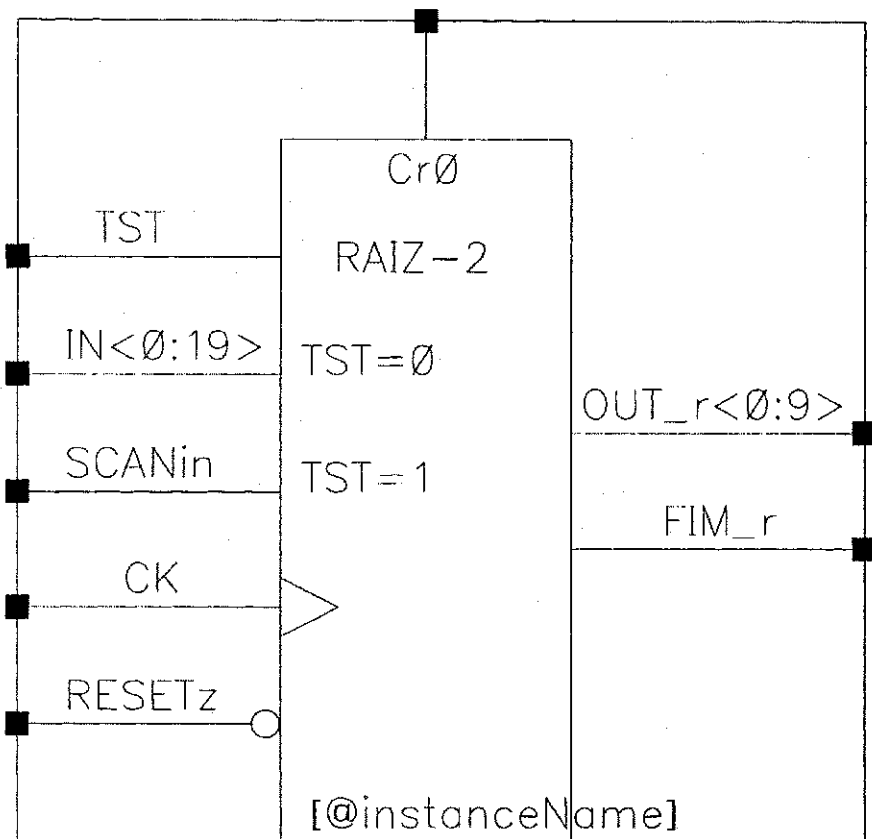
ES2/US2 - DEE/UFPB
CIRCUITO
DIVISOR

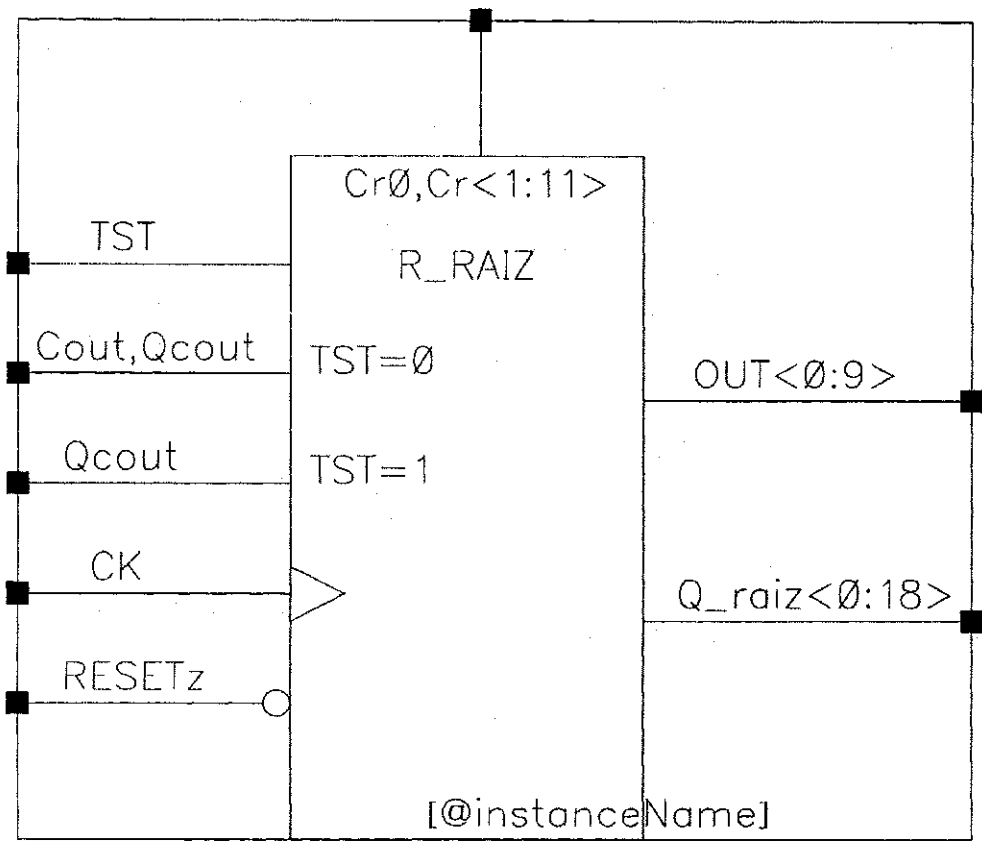
SIZE FROM INCL. B DWG. NO. REV.
 SCALE SHEET OF



APPROVALS		DATE
DESIGN		
CHECKED		
CHECKED		
CHECKED		
ISSUED		

ES2/US2 - DEE/UFPB	
CIRCUITO RAIZ QUADRADA	
SIZE	B
FORM. NO.	
DWG. NO.	
REV.	0
SHEET	OF





REVISIONS		DATE	APPROVED
ZONE	REV		

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

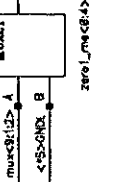
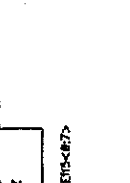
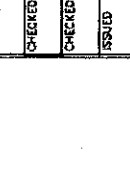
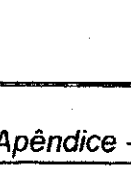
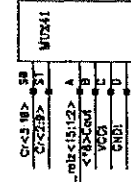
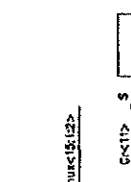
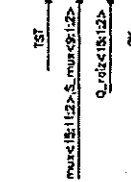
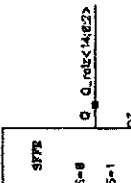
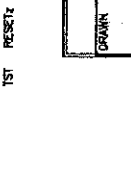
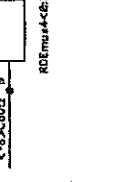
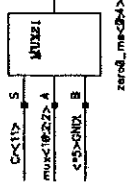
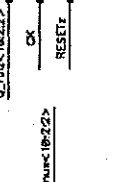
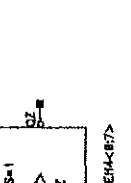
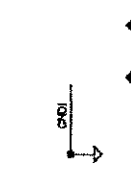
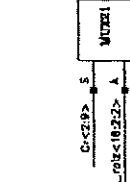
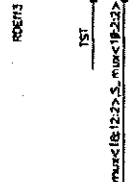
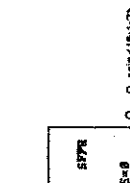
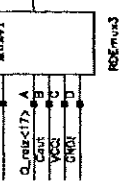
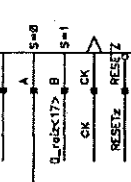
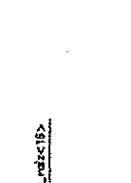
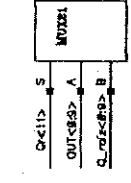
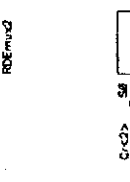
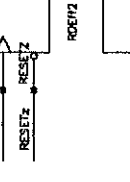
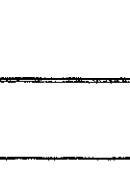
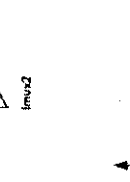
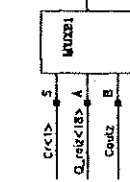
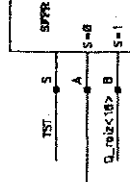
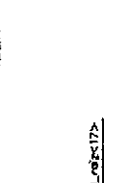
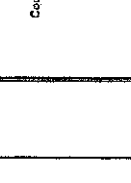
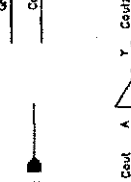
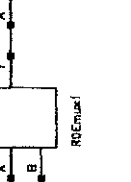
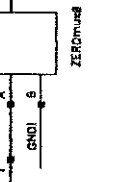
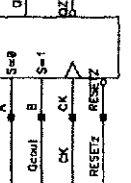
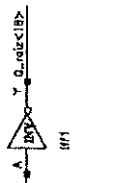
PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

PCN	MA	7	REV	0
-----	----	---	-----	---

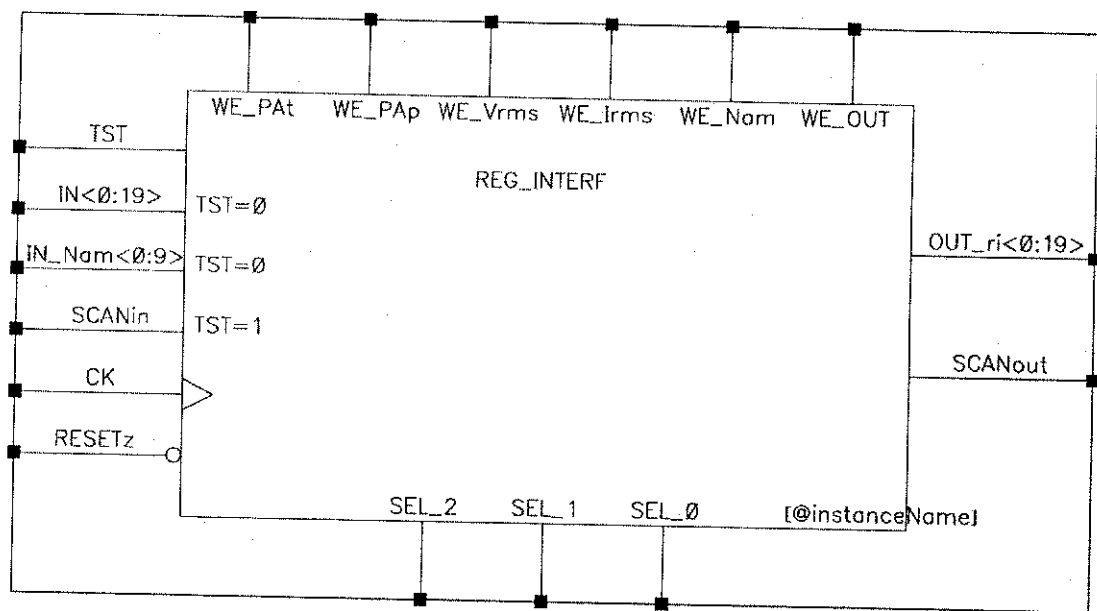


APPROVALS		DATE	
DRAWN			
CHECKED			
CHECKED			
CHECKED			
ISSUED			

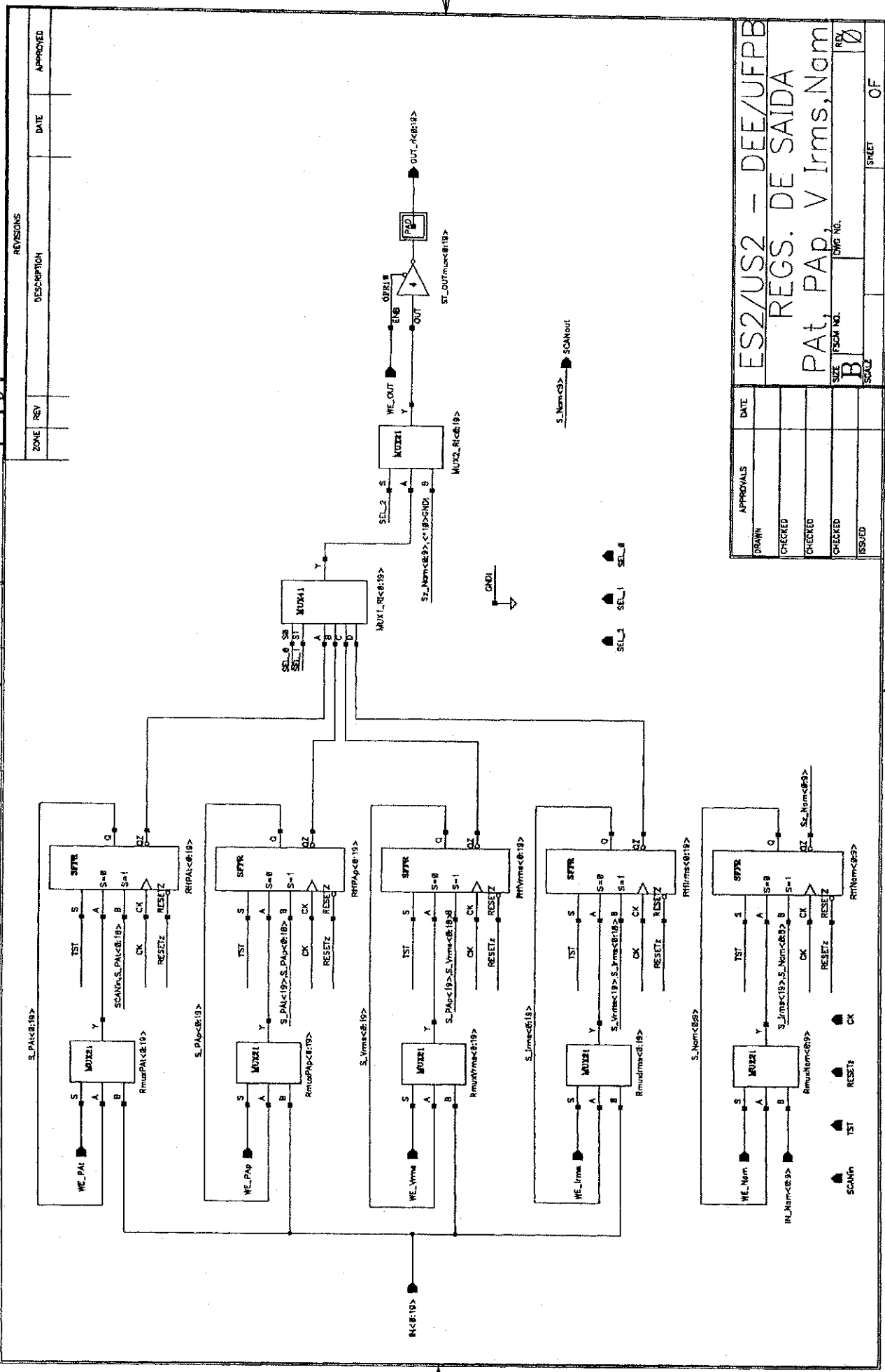
ES2/US2 - DEE/UFPB
Reg. de Resultado da Raiz

SIZE	PCN NO.	DWG NO.	REV
B		7	0

SCALE	SHEET	OF
	7	0

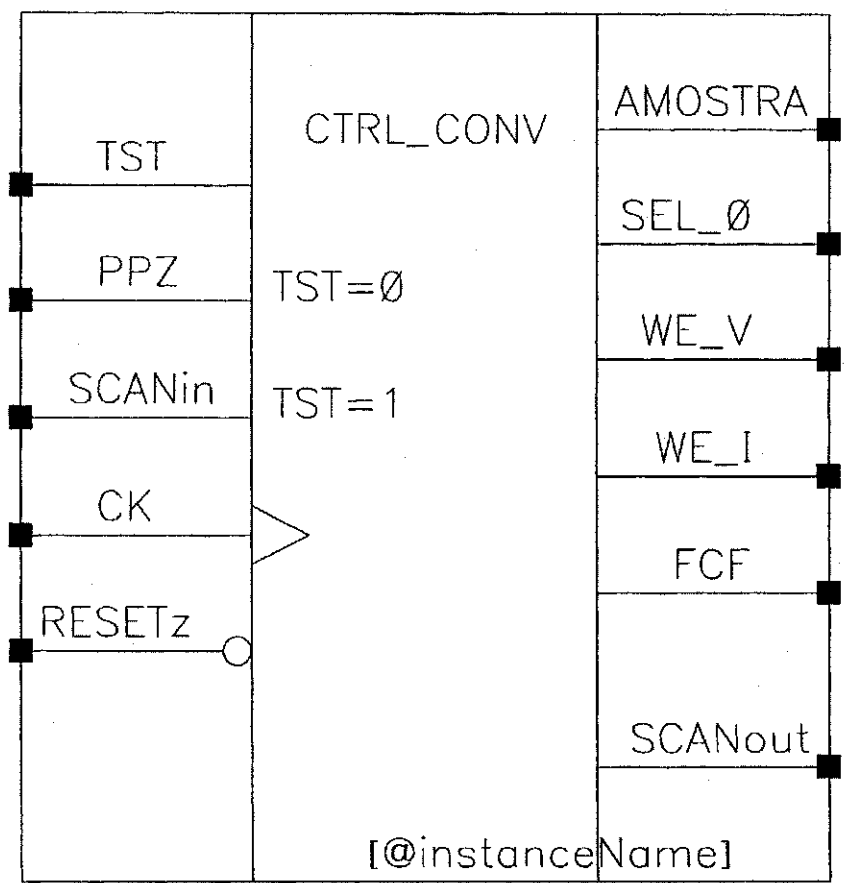


REVISIONS		DATE	APPROVED
ZONE	REV		
DESCRIPTION			

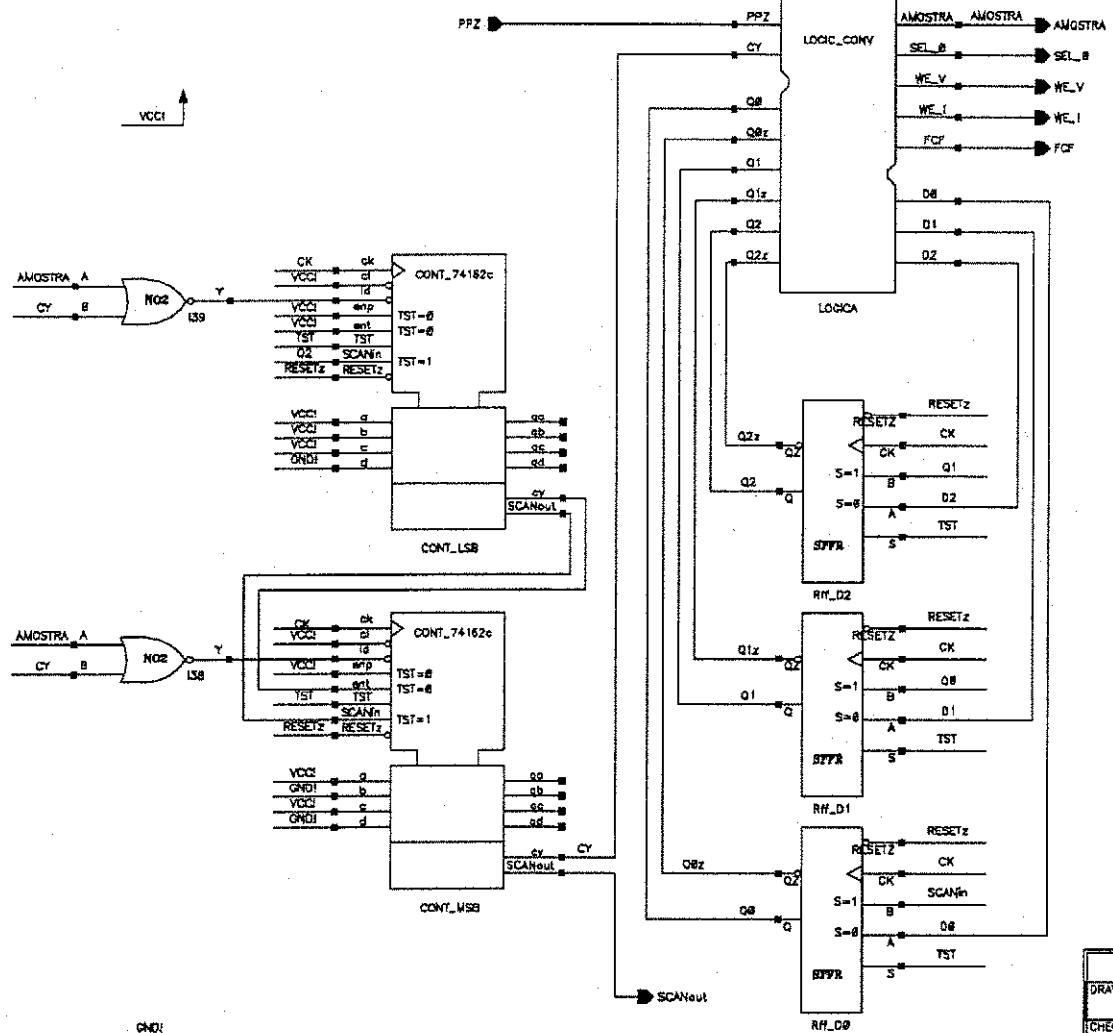


APPROVALS		DATE
DRAWN		
CHECKED		
CHECKED		
CHECKED		
ISSUED		

ES2/US2 - DEE/UFPB	
REGS. DE SAIDA	
PAT, PAP, V Irms, Nom	
SIZE	DWG. NO.
B	
SCALE	REV
	0
SHEET	OF
	08

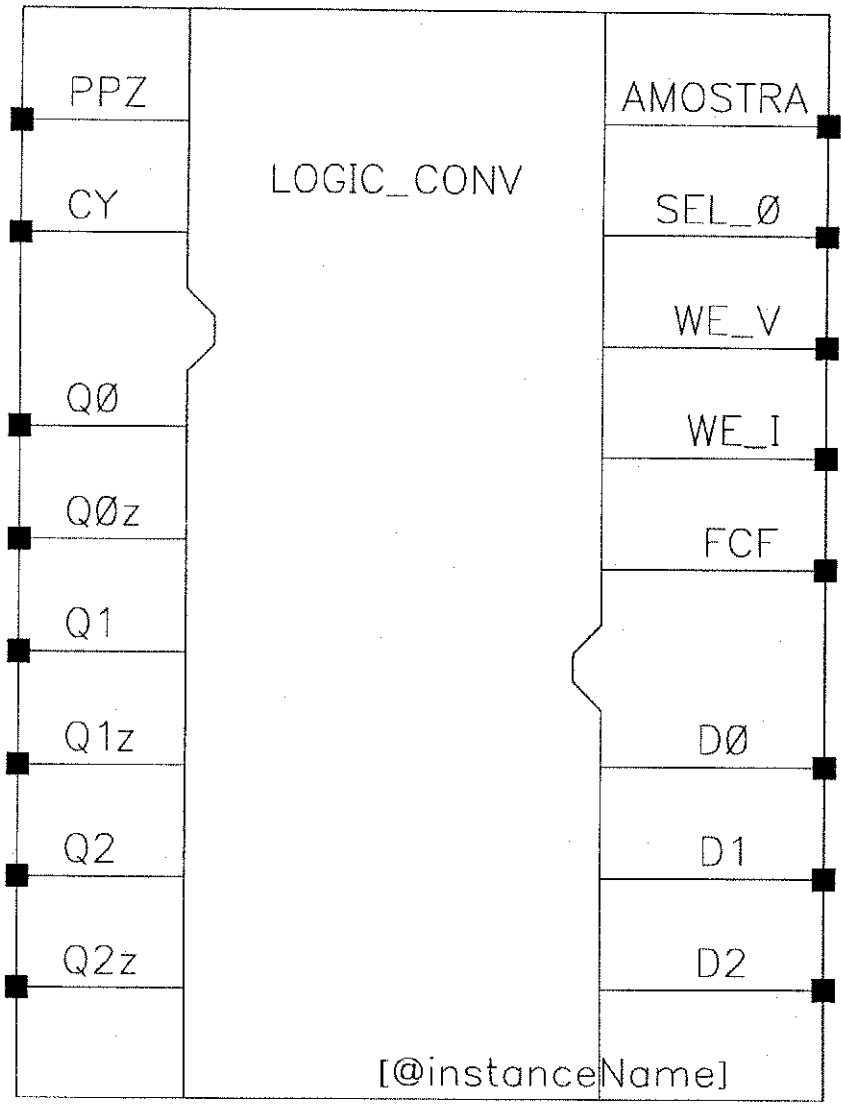


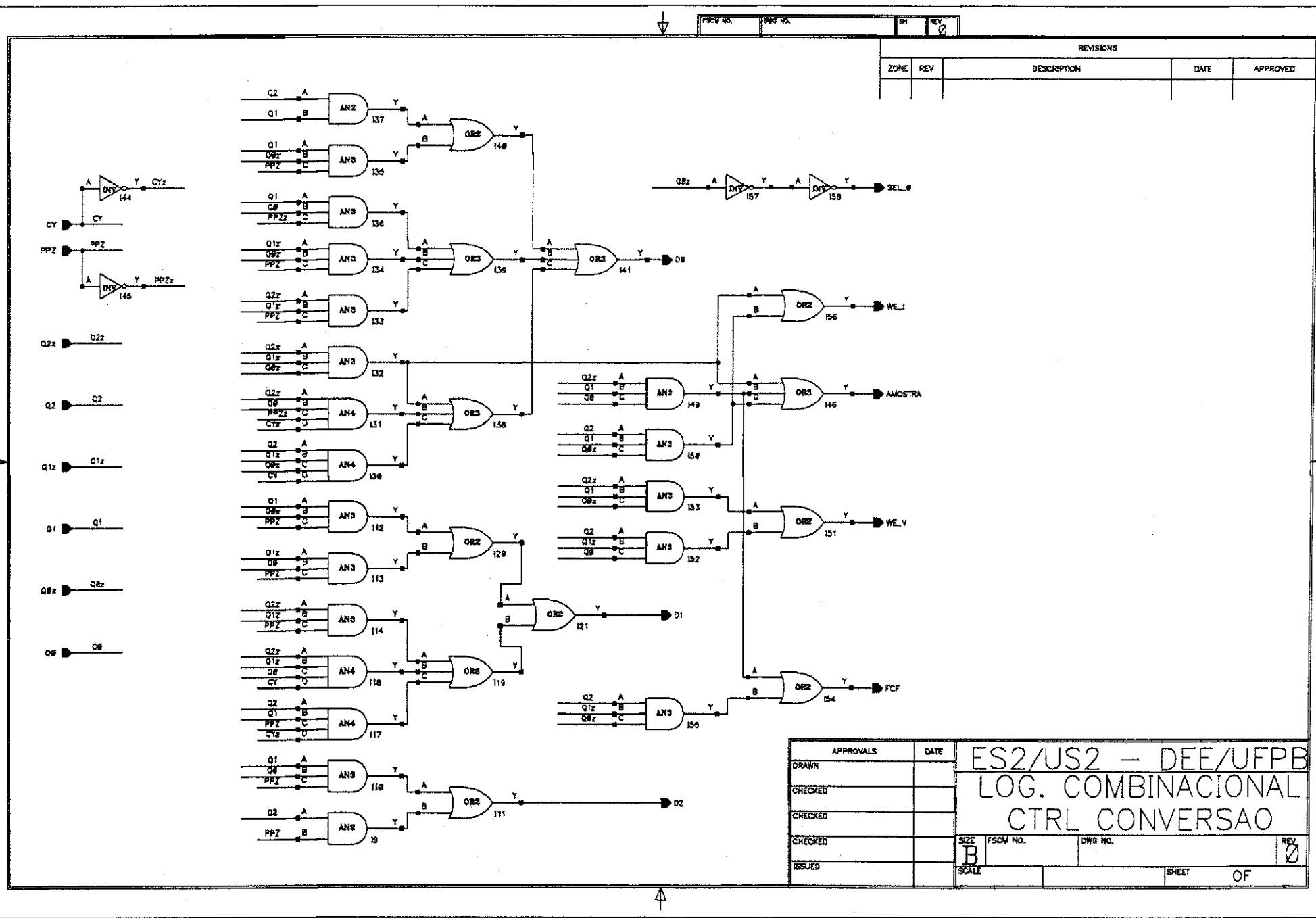
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



Apêndice - 31

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DE CONVERSAO		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
CHECKED				SHEET OF
ISSUED				

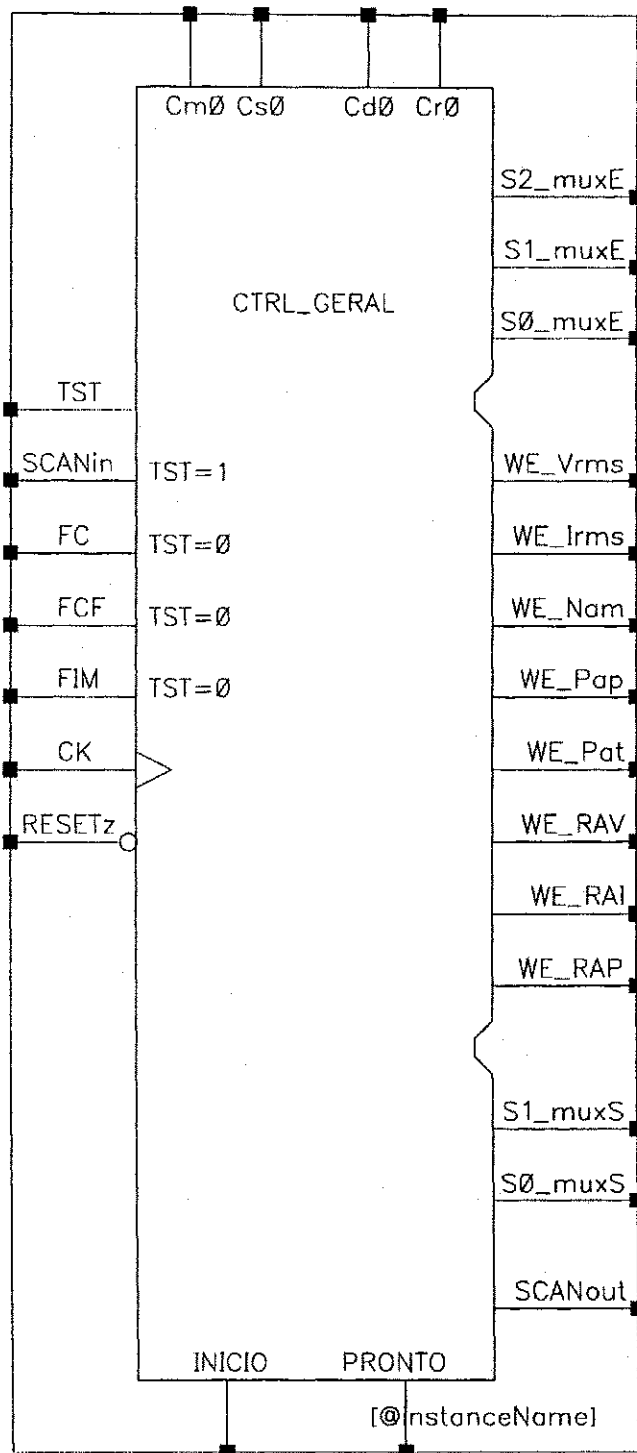




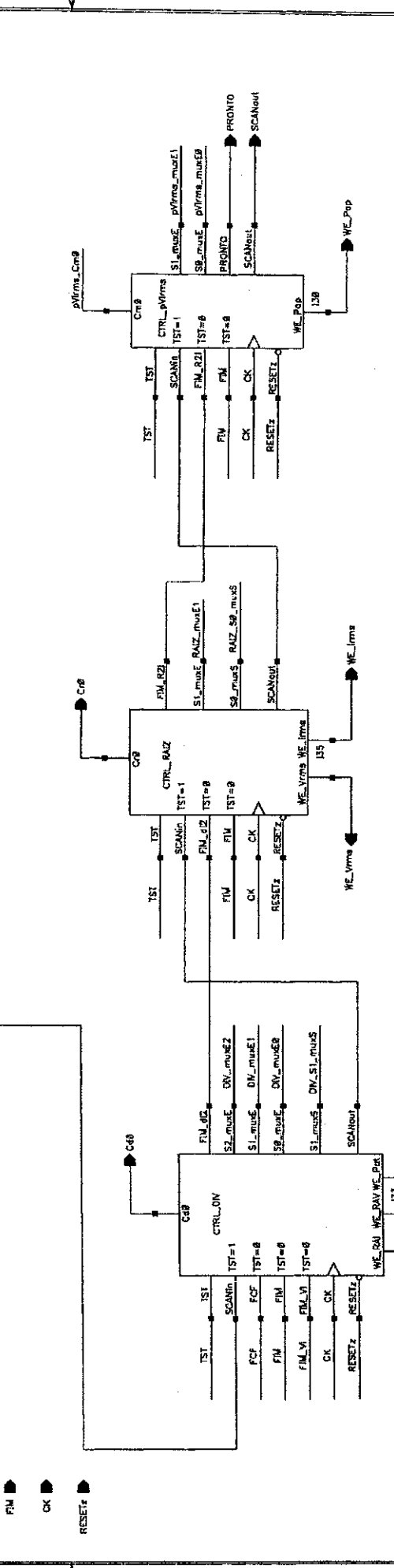
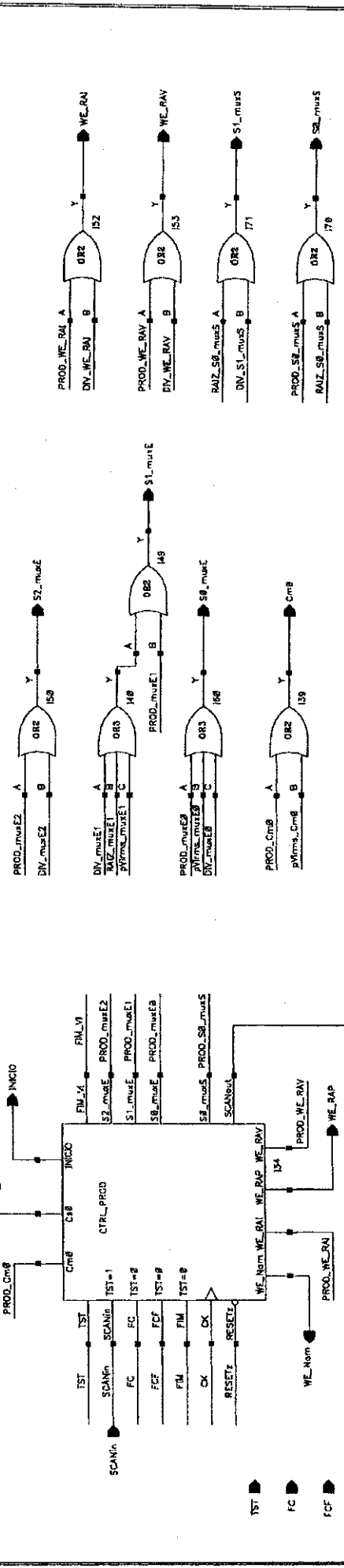
FCV NO.	INC NO.	SF	REV
			2

REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

APPROVALS		DATE	ES2/US2 - DEE/UEPB		
DRAWN			LOG. COMBINACIONAL		
CHECKED			CTRL CONVERSAO		
CHECKED			SIZE B	FSCM NO.	DWG NO.
CHECKED			SCALE		REV 2
ISSUED				SHEET	OF



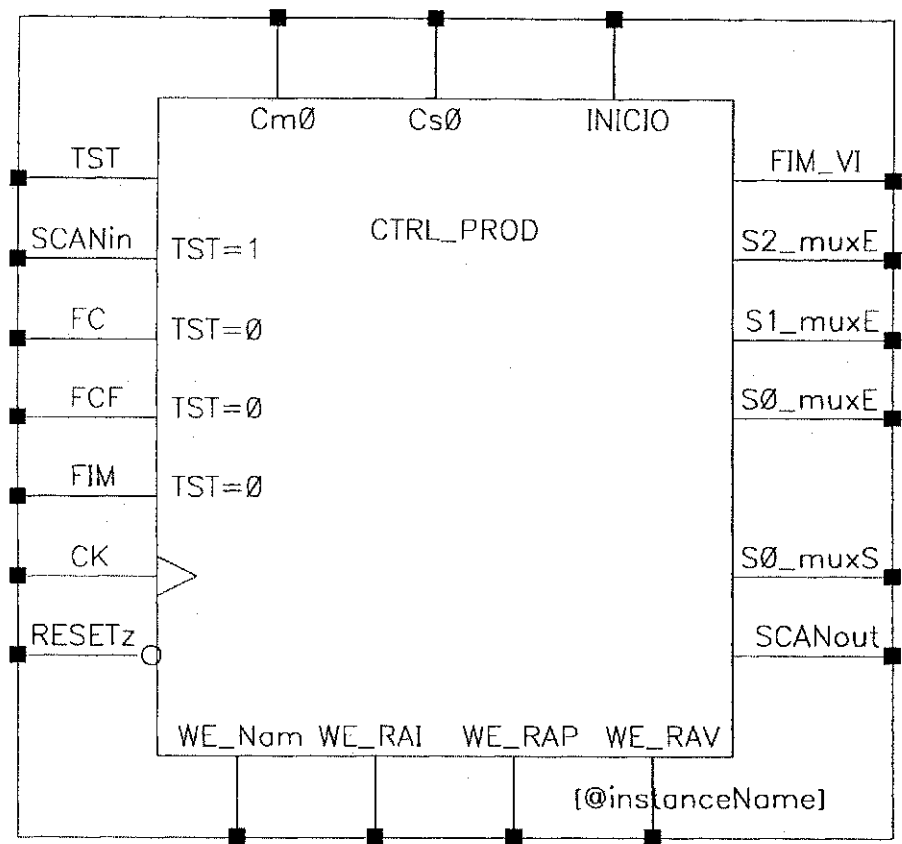
FICHO NO.		DMS N.º	
REV	REV	DATE	APPROVED
DESCRIPTION			



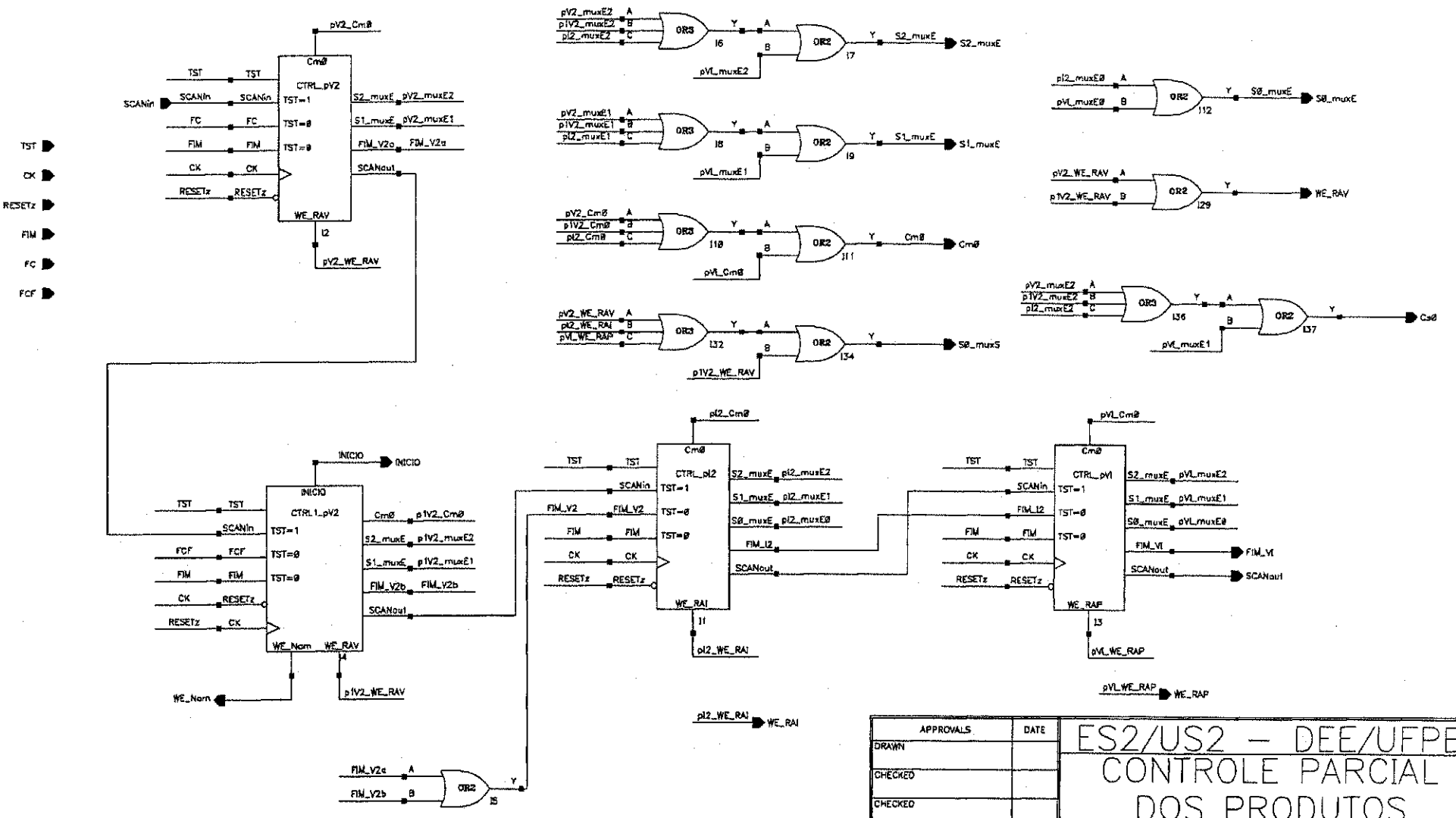
APPROVALS		DATE
DRAWN		
CHECKED		
CHECKED		
CHECKED		
ISSUED		

ES2/US2 -- DEE/UFPB
 CONTROLADOR GERAL
 DO CIRC. TDPP

SIZE	FICHO NO.	DWG NO.	REV
B			
SCALE			
		SHEET	OF

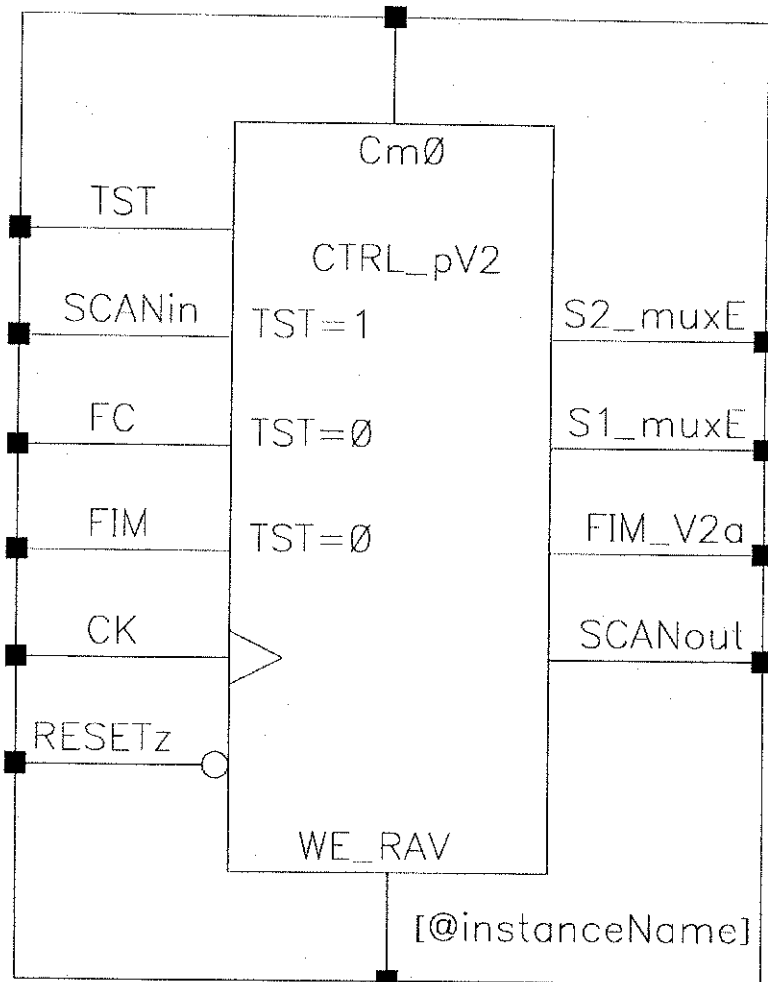


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

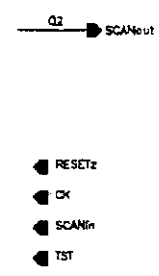
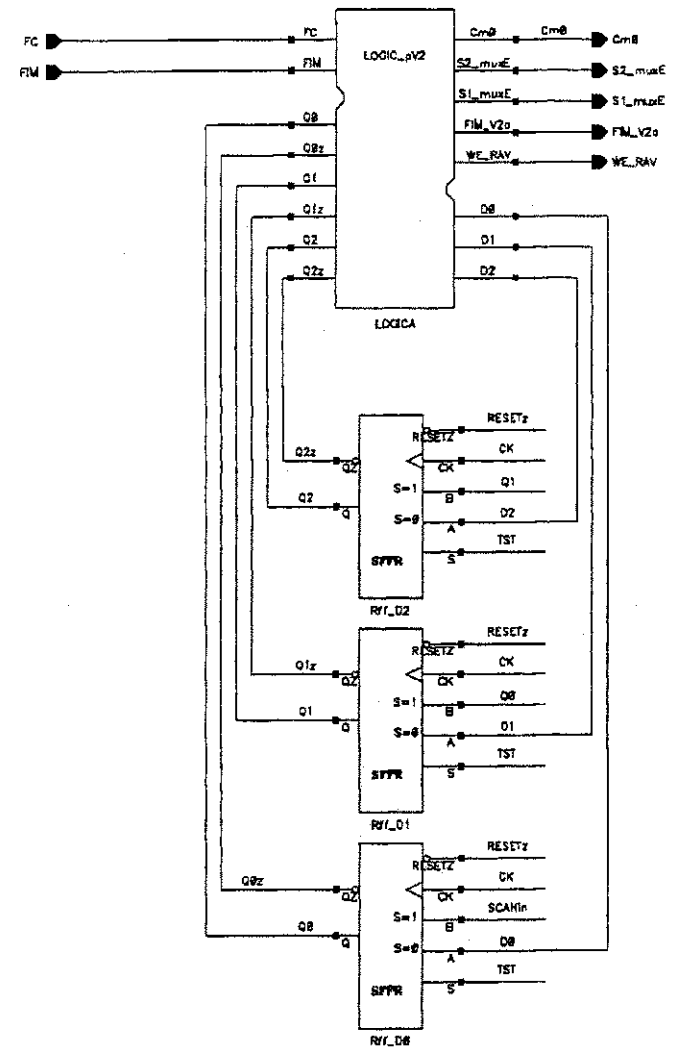


Apêndice - 37

APPROVALS		DATE	ES2/US2 - DEE/UFPB		
DRAWN			CONTROL PARCIAL		
CHECKED			DOS PRODUTOS		
CHECKED					
CHECKED			SIZE B	FSCM NO.	DWG NO.
ISSUED			SCALE		REV
					SHEET OF



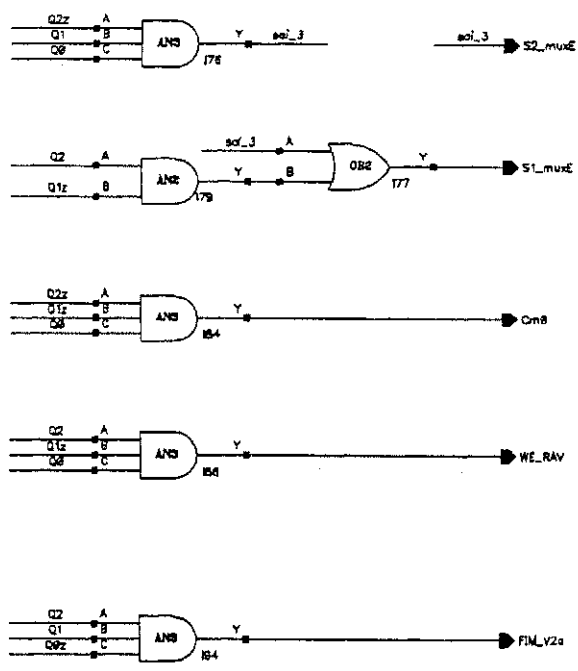
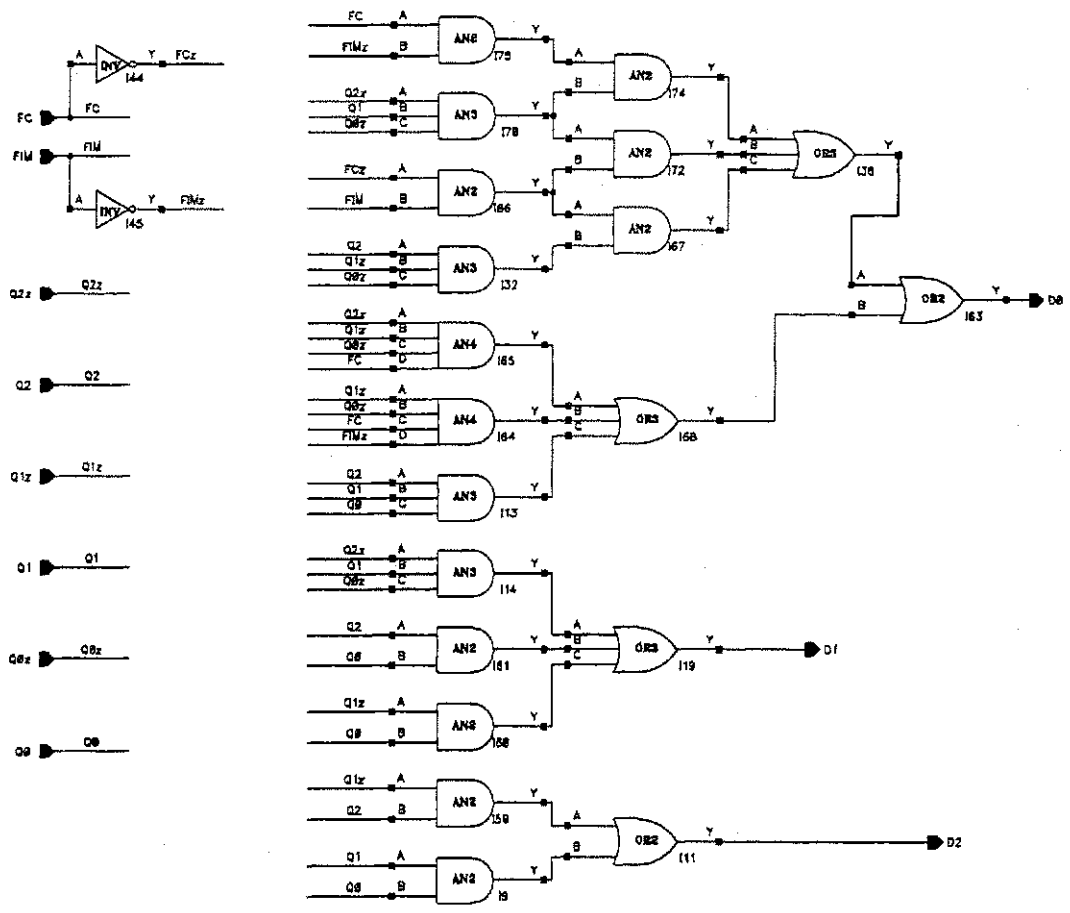
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



Apêndice - 39

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DO		
CHECKED		PRODUTO V2		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
ISSUED				SHEET OF

REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

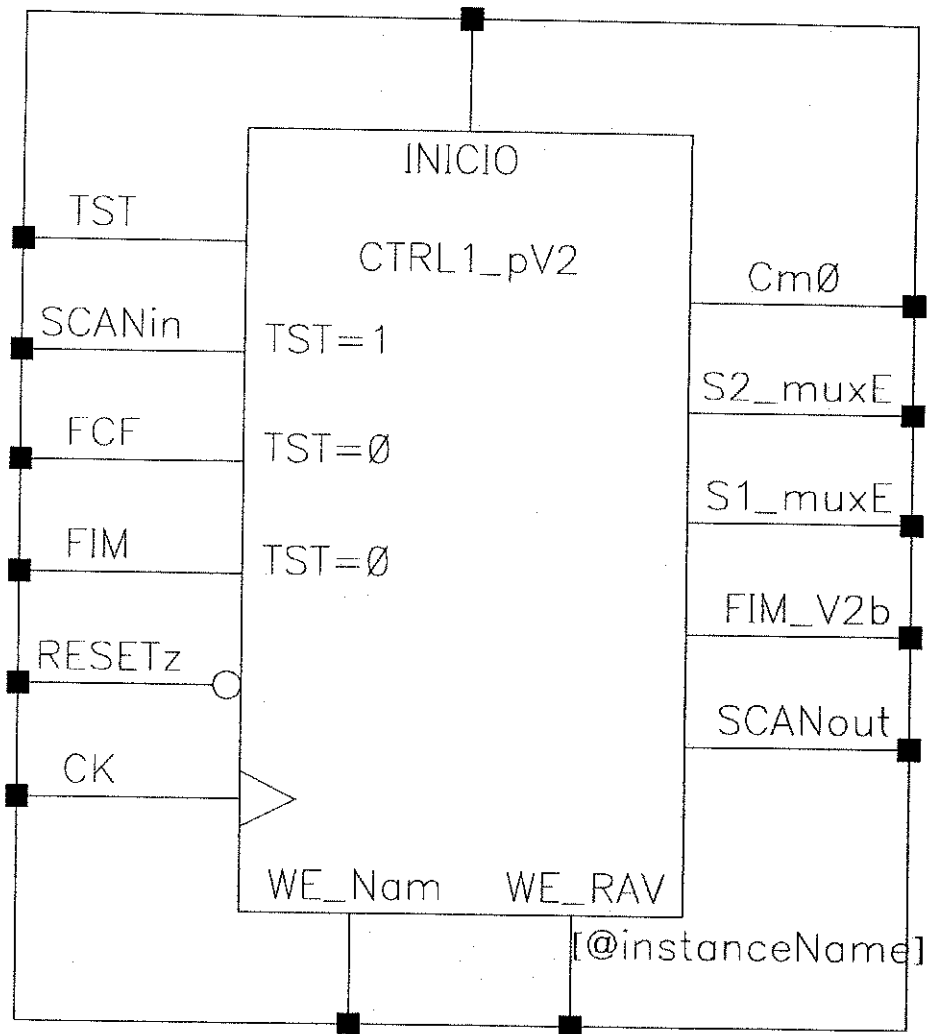


Apêndice - 41

APPROVALS	DATE

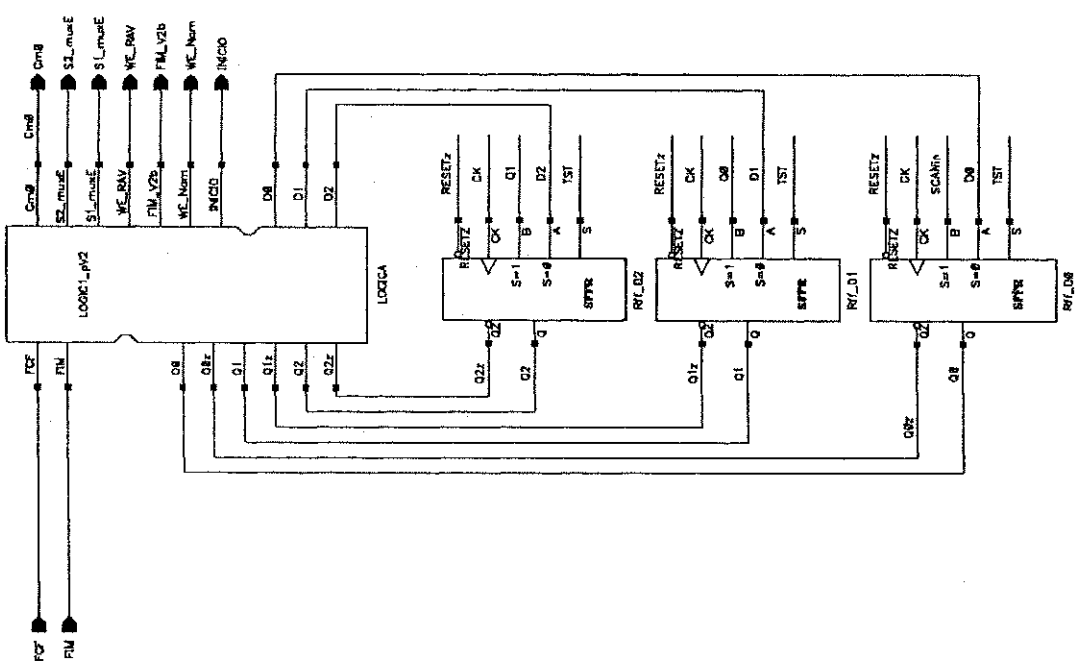
ES2/US2 - DEE/UFPB
 LOG. COMBINACIONAL
 CTRL GERAL pV2

SIZE B	FSCM NO.	DWG NO.	REV 0
SCALE	SHEET		OF



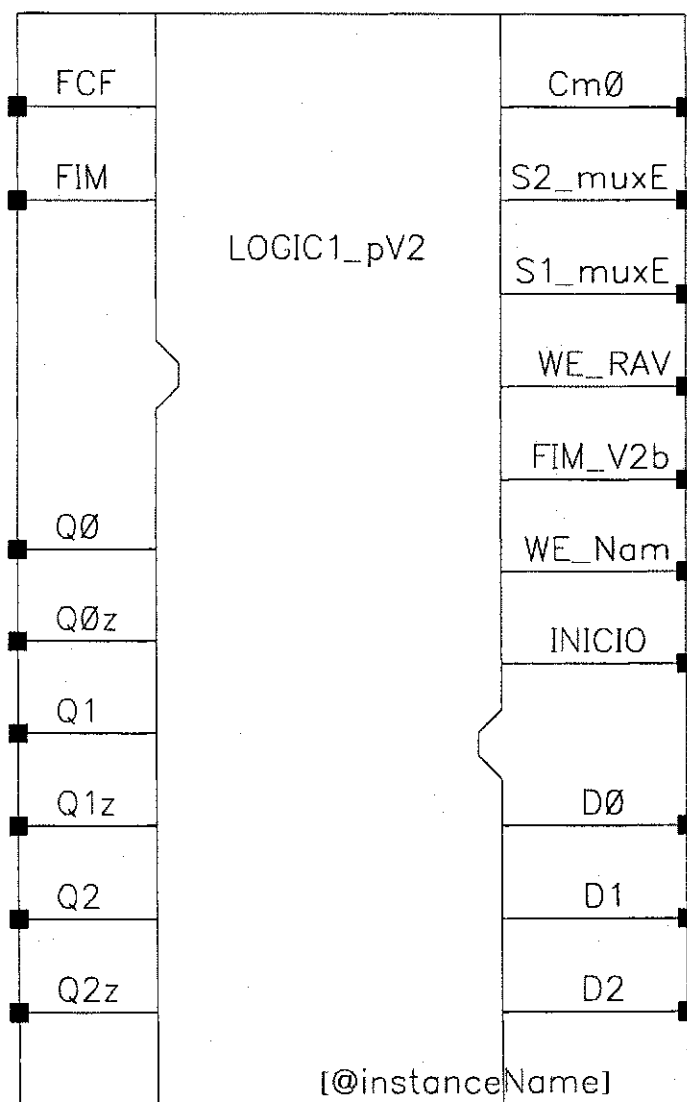
ESU NA PFP NA REV 0

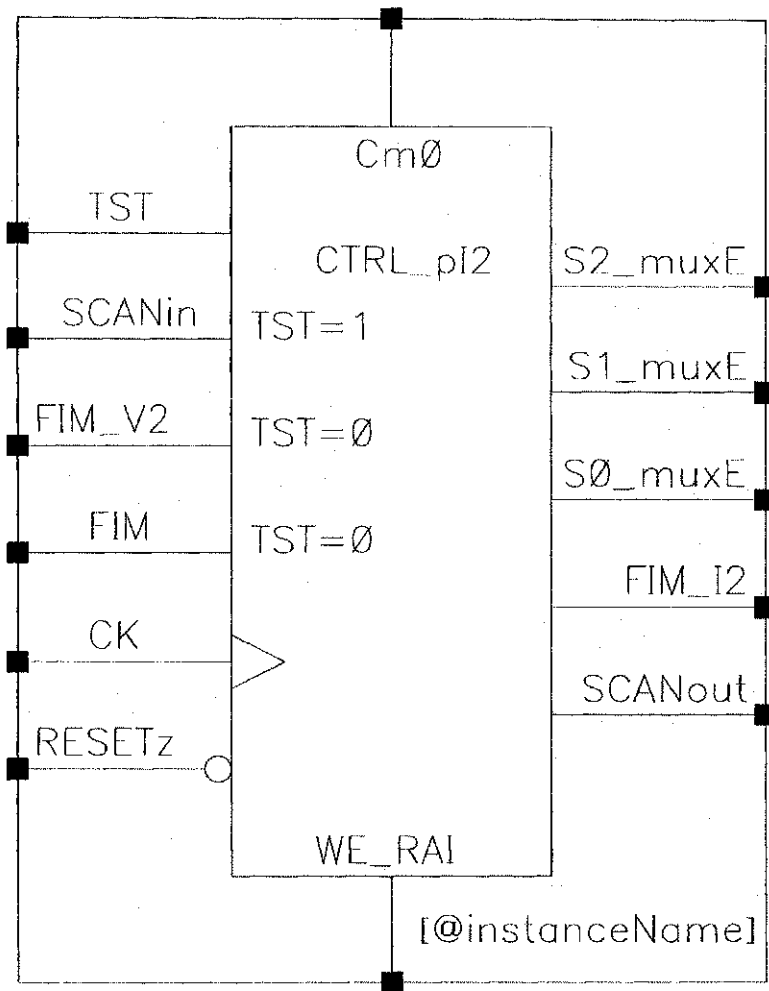
REVISIONS		DATE	APPROVED
ZONE	REV		



APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

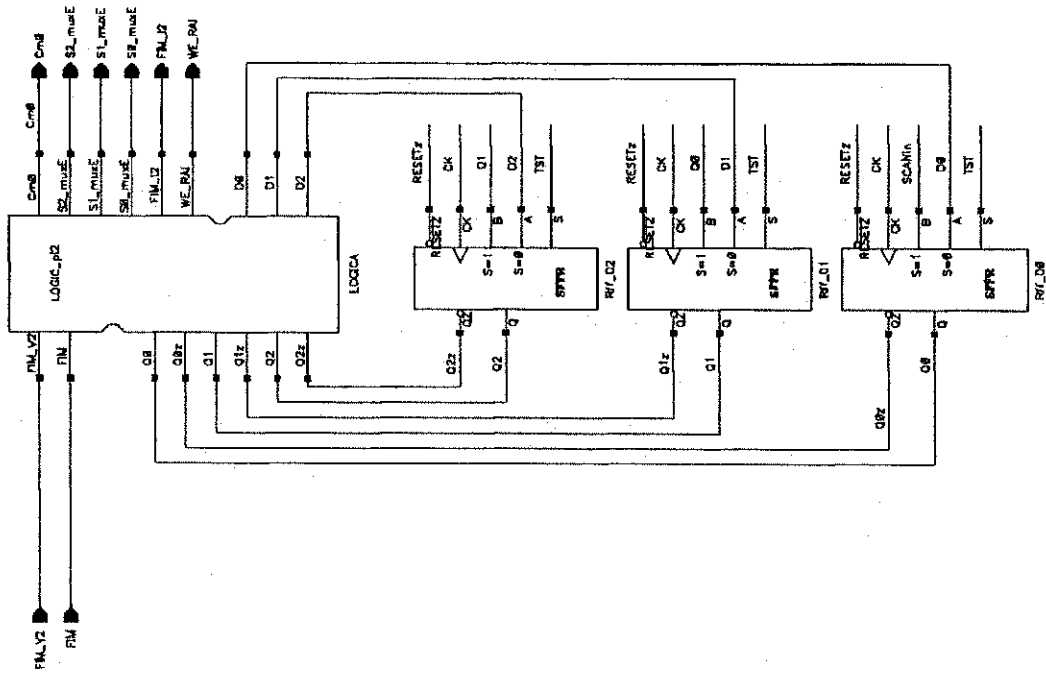
ES2/US2 - DEE/UFPB	
CONTROLE DO	
PRODUTO V2 FCF	
SIZE	DWG NO.
B	
SCALE	REV
	0
SHEET	OF
	01







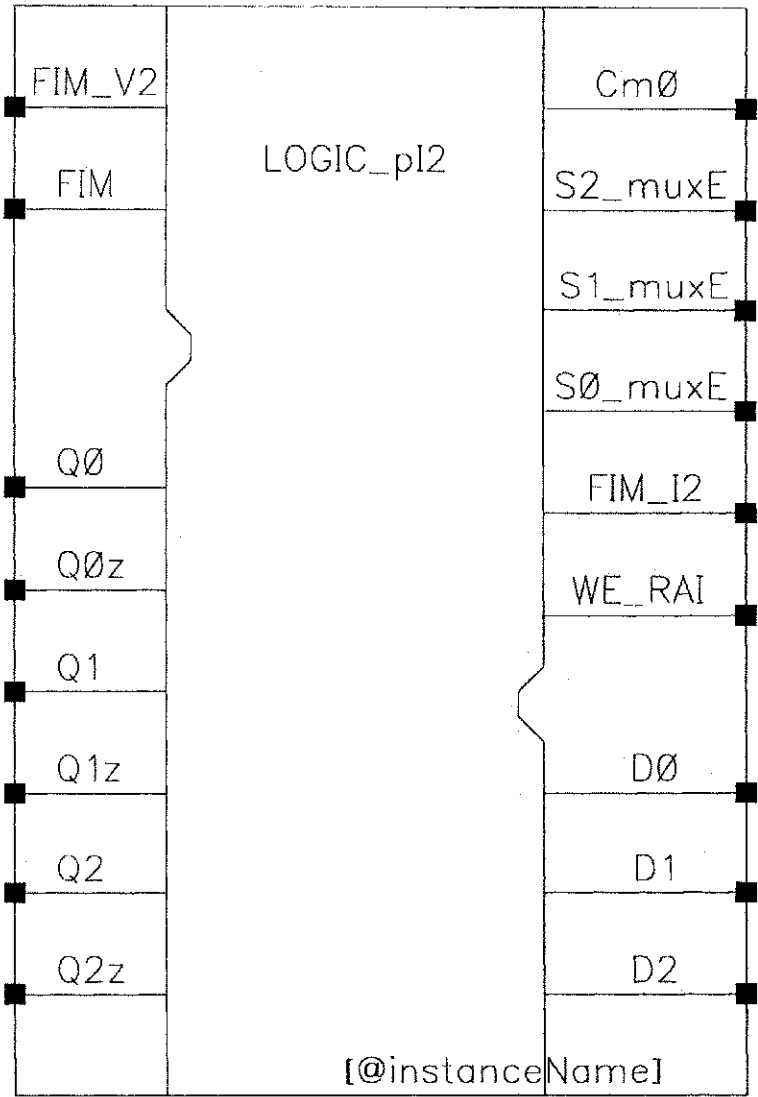
REVISIONS		DATE	APPROVED
ZONE	REV		



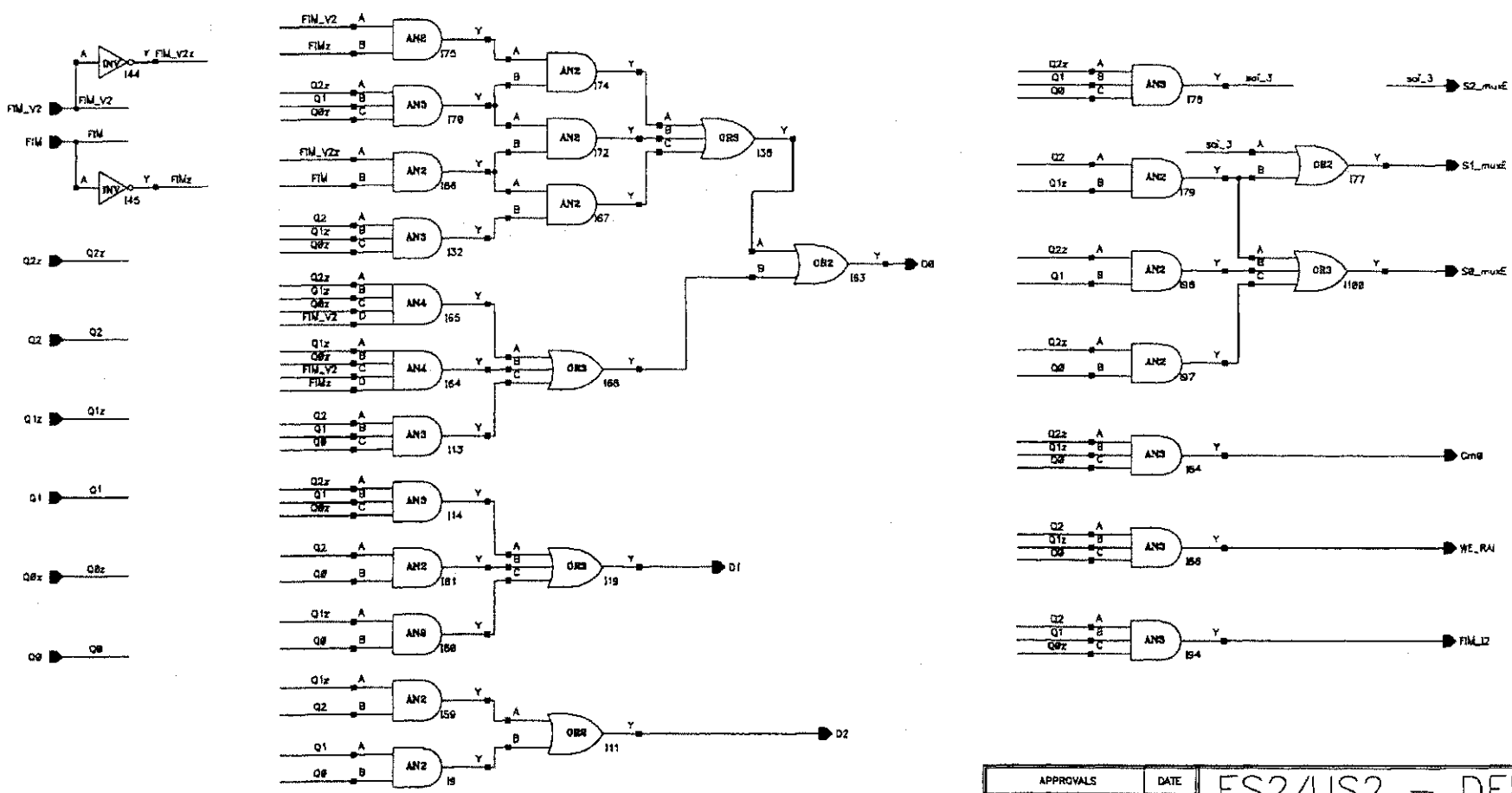
Q2 → SCANout
 RESETz
 DK
 SCANin
 TST

APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

ES2/US2 - DEE/UFPB	
CONTROLE DO	
PRODUTO I2	
SIZE	DWG NO.
B	
SCALE	REV
	0
SHEET	OF
	01

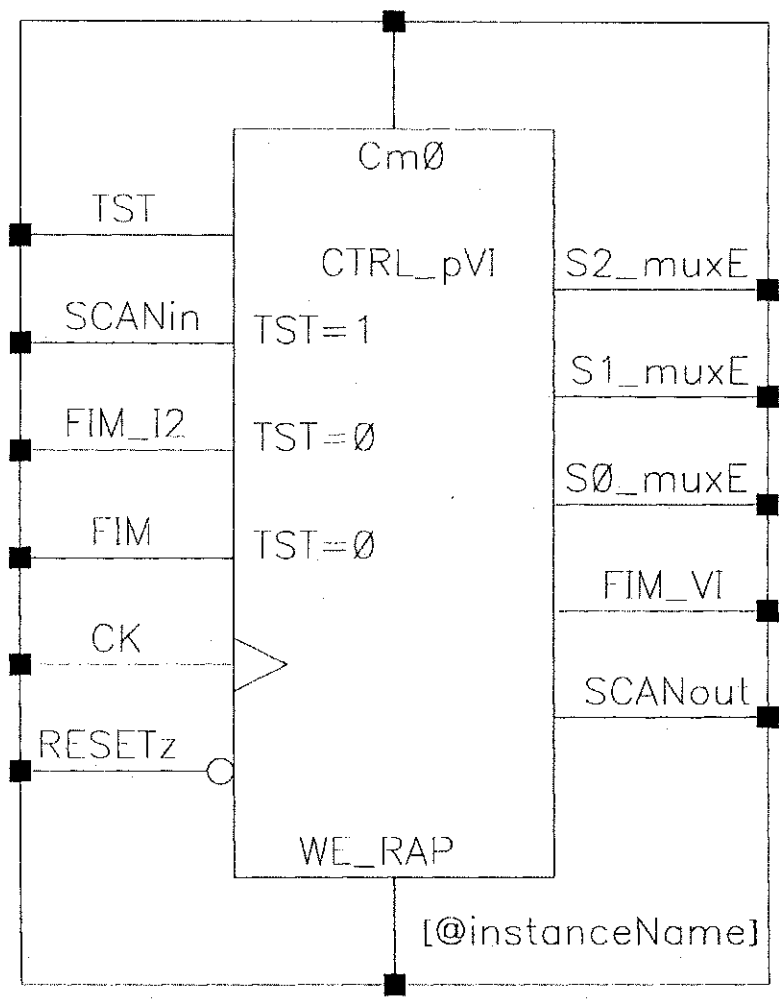


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

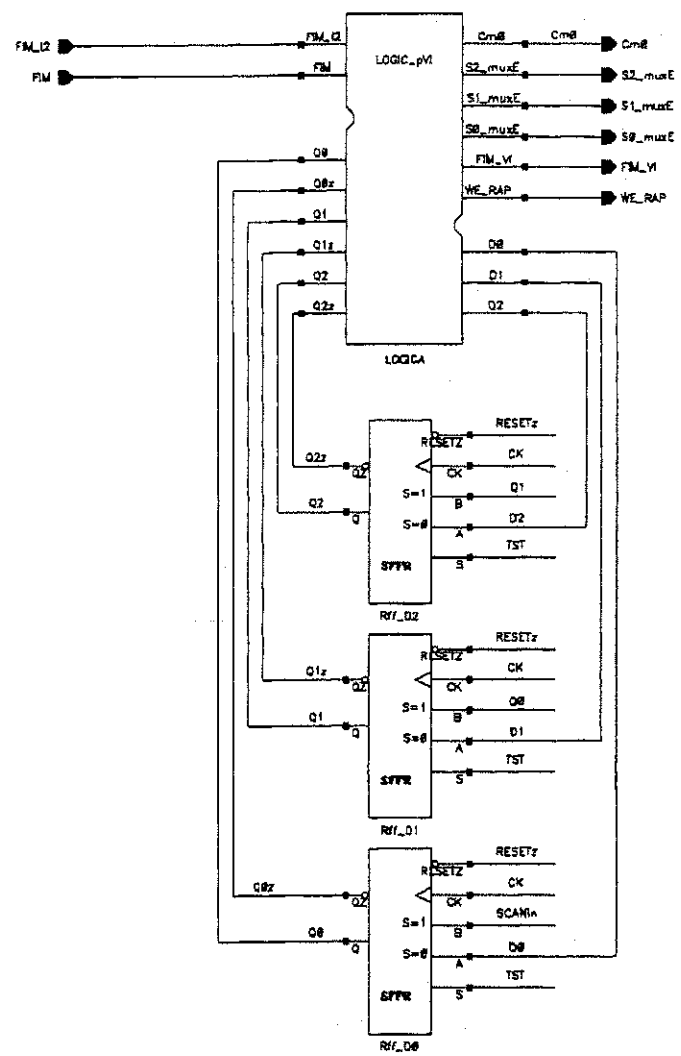


Apêndice - 49

APPROVALS		DATE	ES2/US2 - DEE/UFPB	
DRAWN			LOG. COMBINACIONAL	
CHECKED			CTRL GERAL pI2.	
CHECKED			SIZE B	REV 0
CHECKED			FSCM NO.	DWG NO.
ISSUED			SCALE	SHEET OF



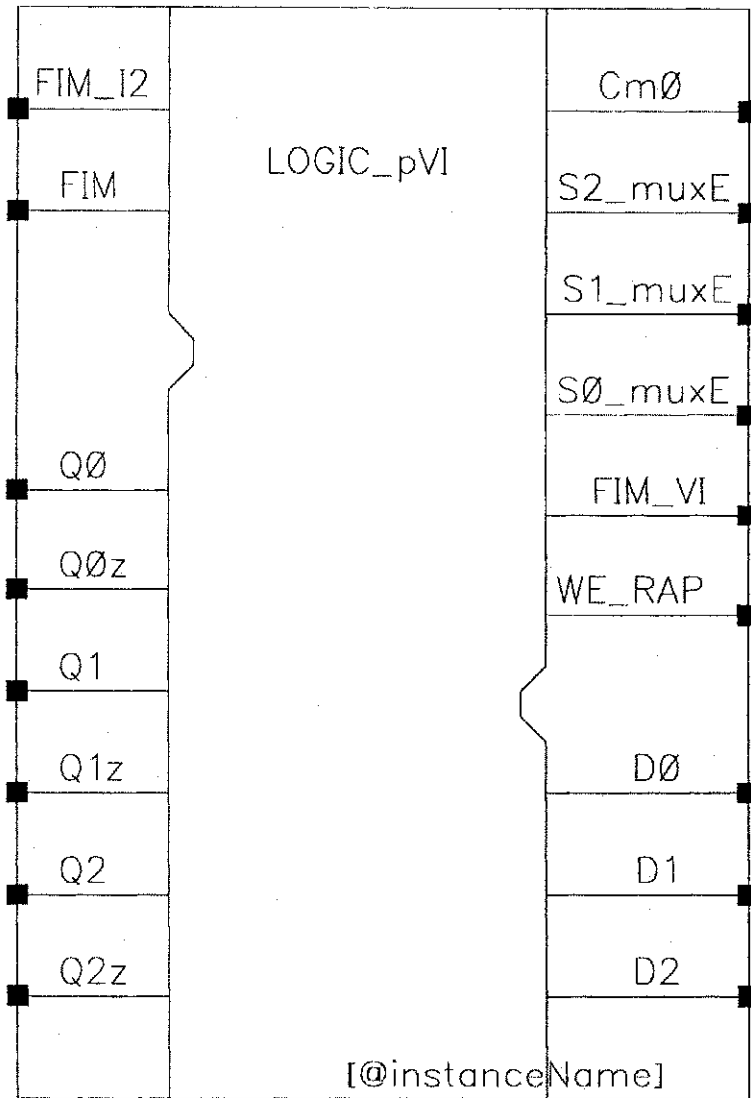
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



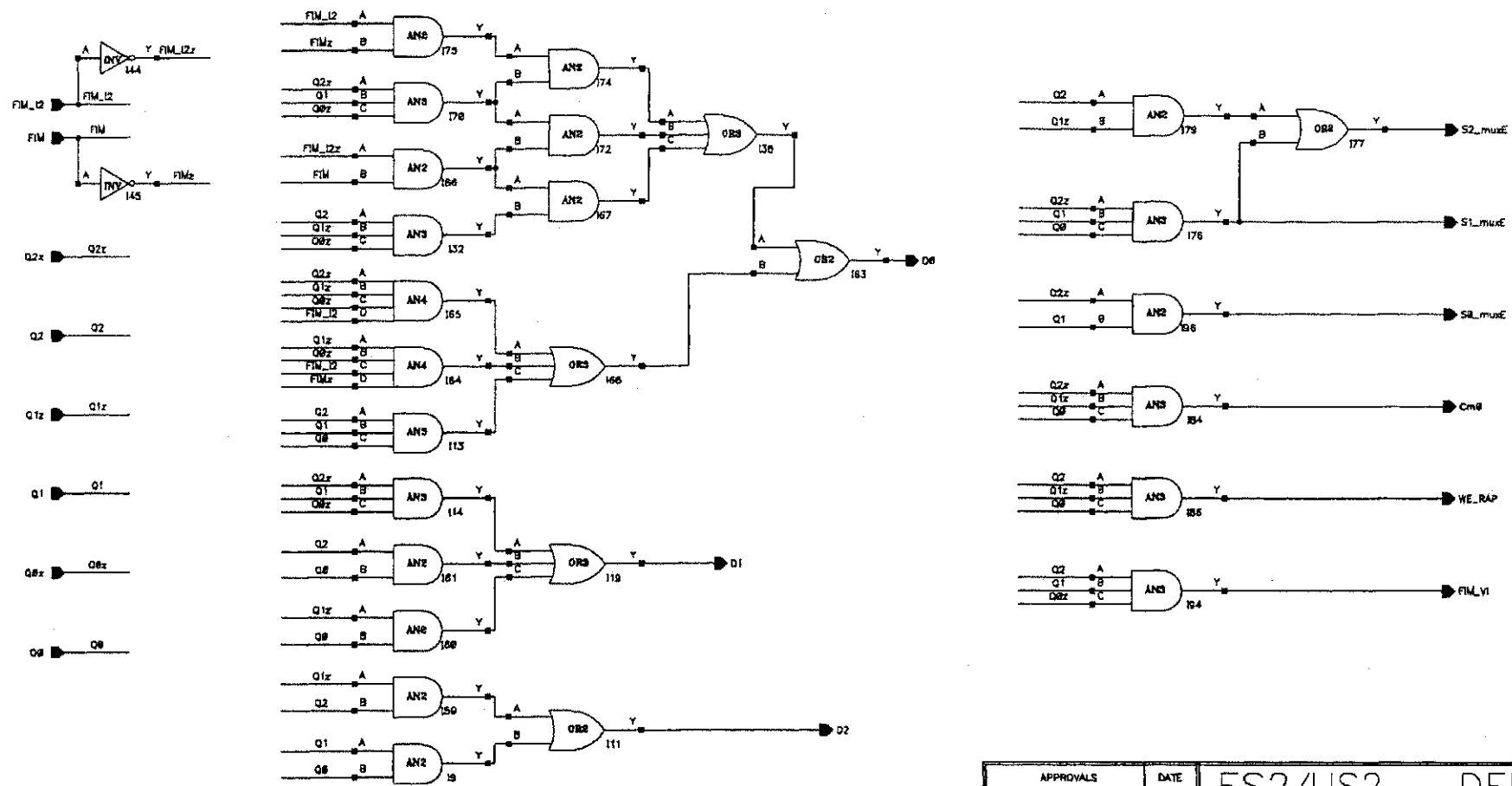
- Q2 → SCANin
- RESETz
- CK
- SCANin
- TST

Apêndice - 51

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DO		
CHECKED		PRODUTO V.I		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF
				0

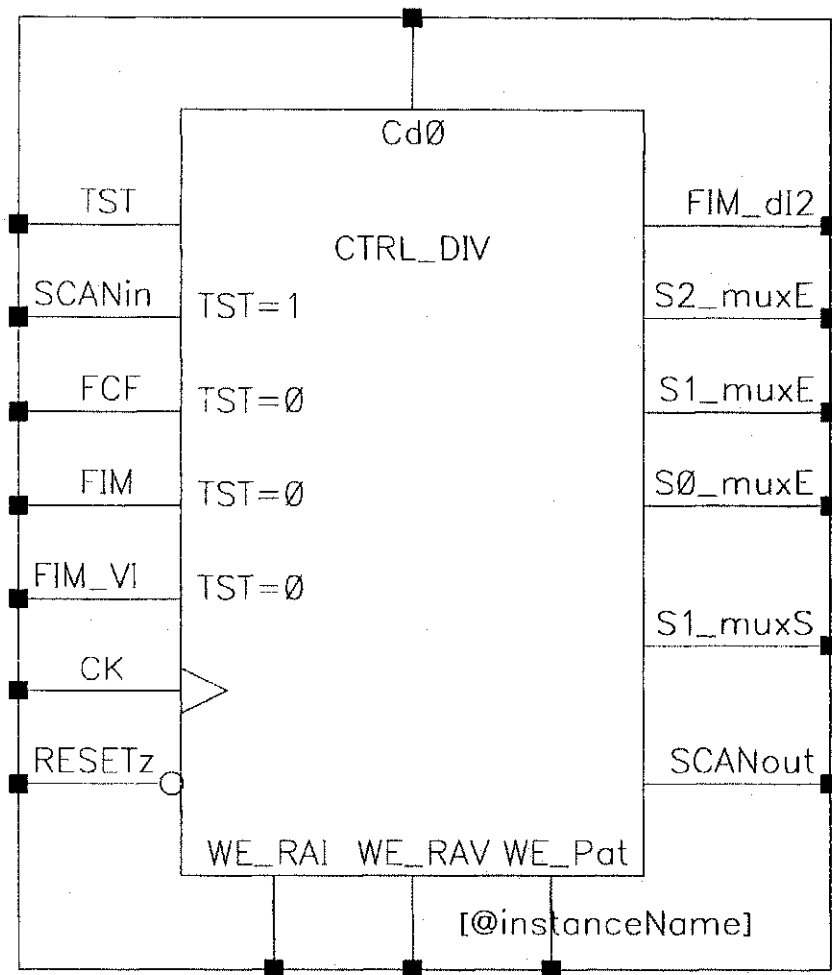


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



Apêndice - 53

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL pVI		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF

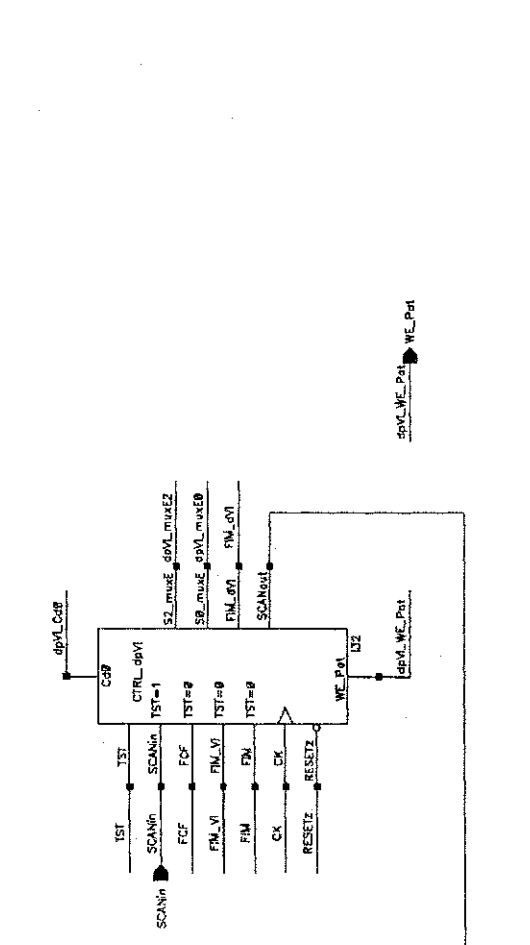
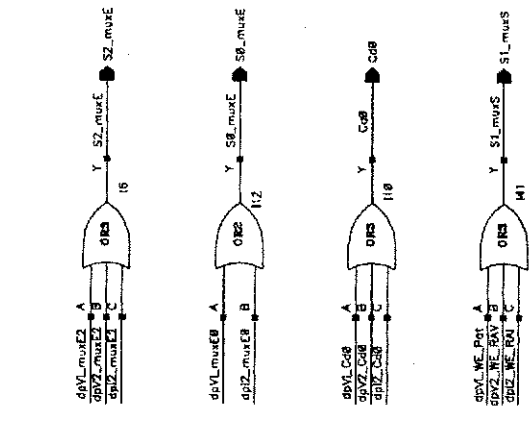


REV	DATE	APPROVED

DESCRIPTION	

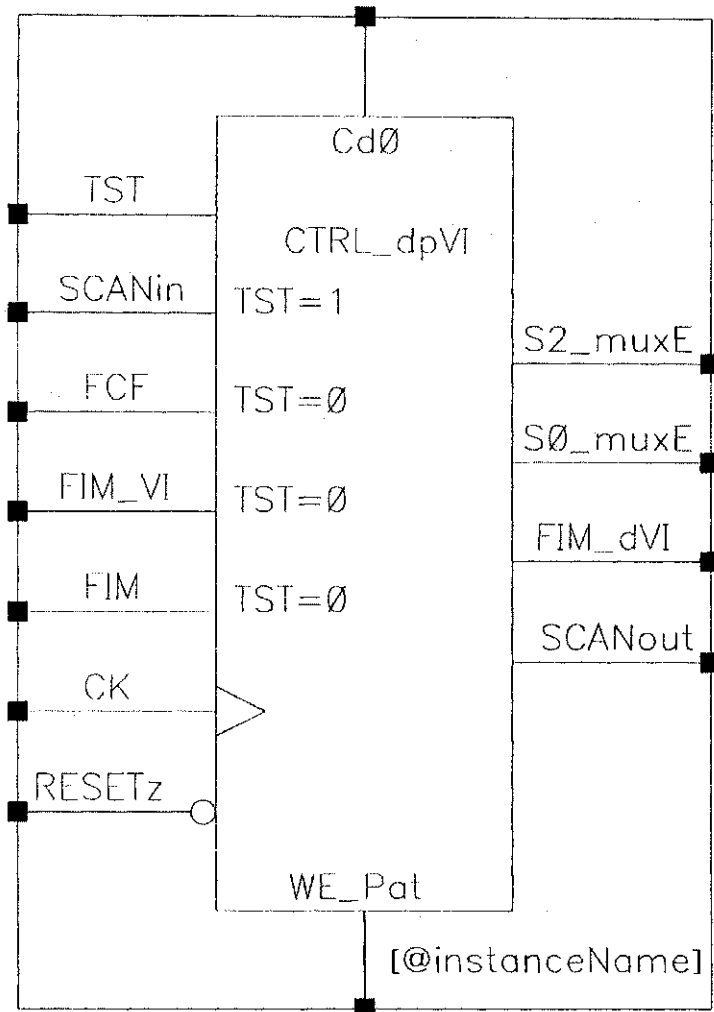
ZONE	REV

FCM NO.	

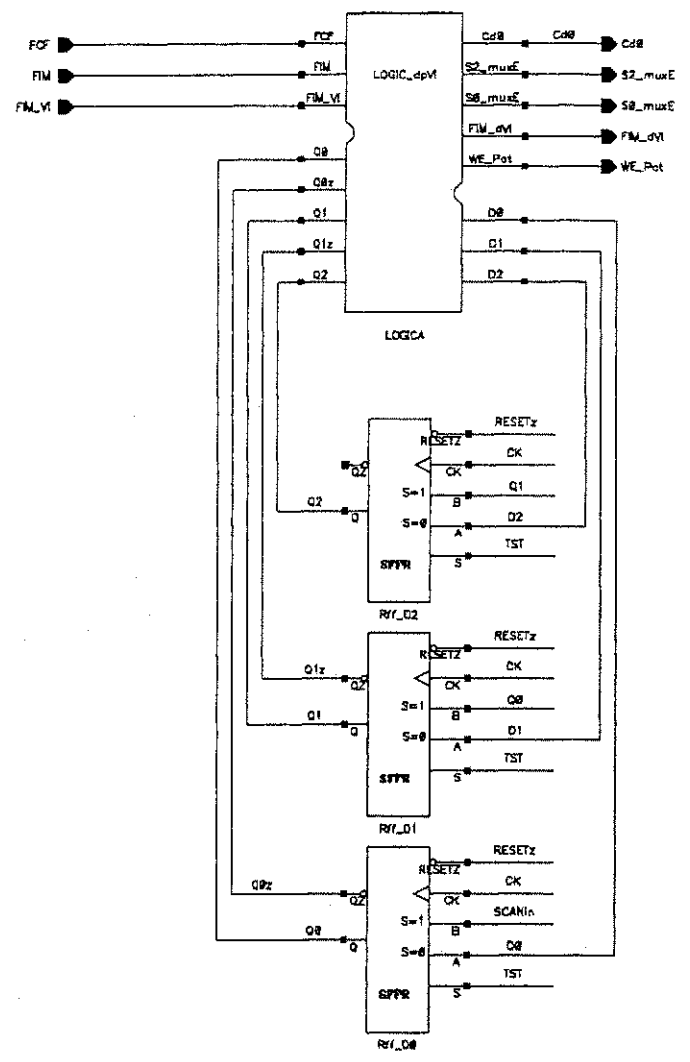


APPROVALS	DATE
DRAWN	
CHECKED	
CHECKED	
CHECKED	
ISSUED	

ES2/US2 - DEE/UFPB	
CONTROLE PARCIAL	
DAS DIVISOES	
SIZE	DWG NO.
B	
SCALE	
SHEET	OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

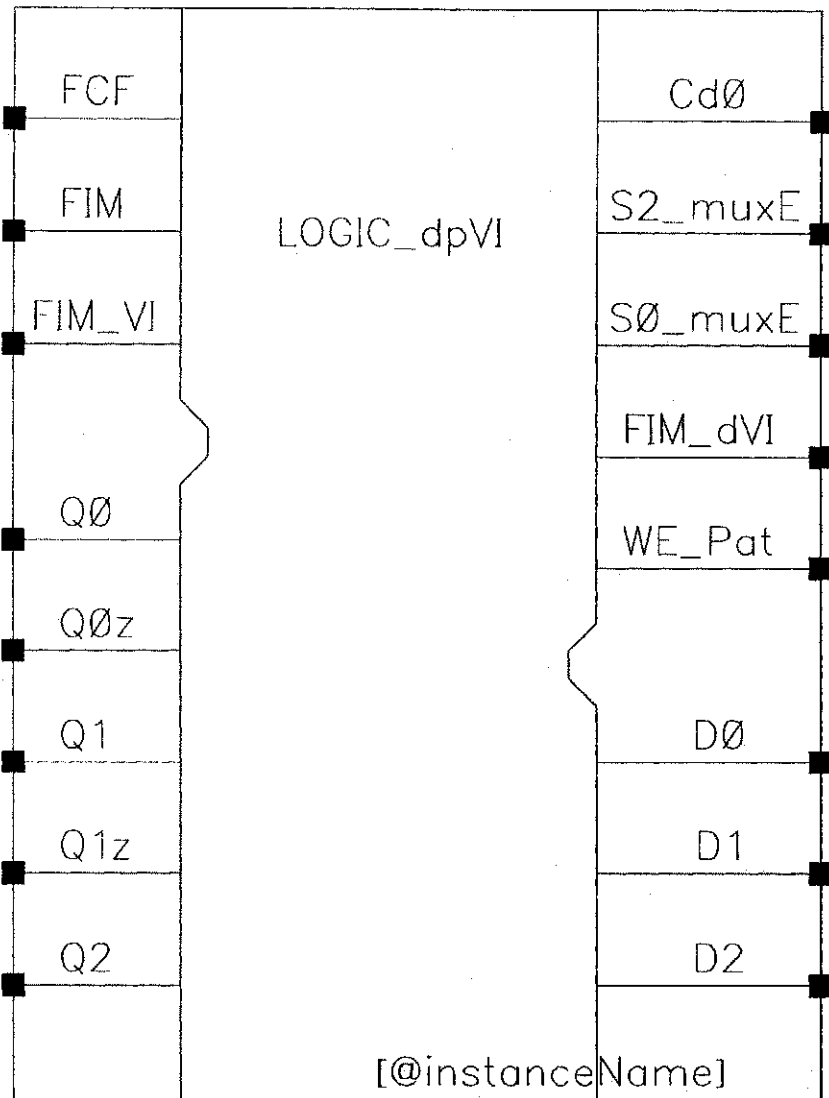


Q2 → SCANout

- ◀ RESETz
- ◀ CK
- ◀ SCANin
- ◀ TST

Apêndice - 57

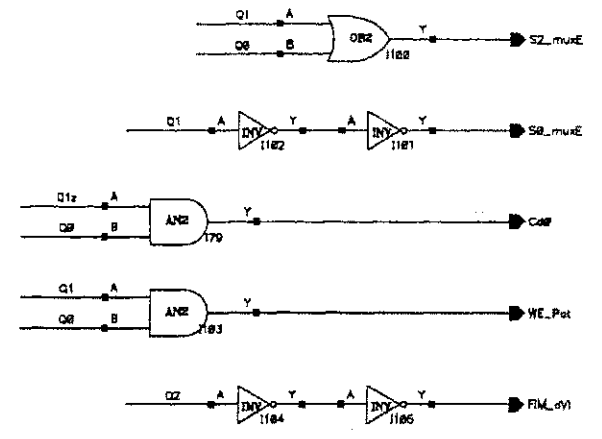
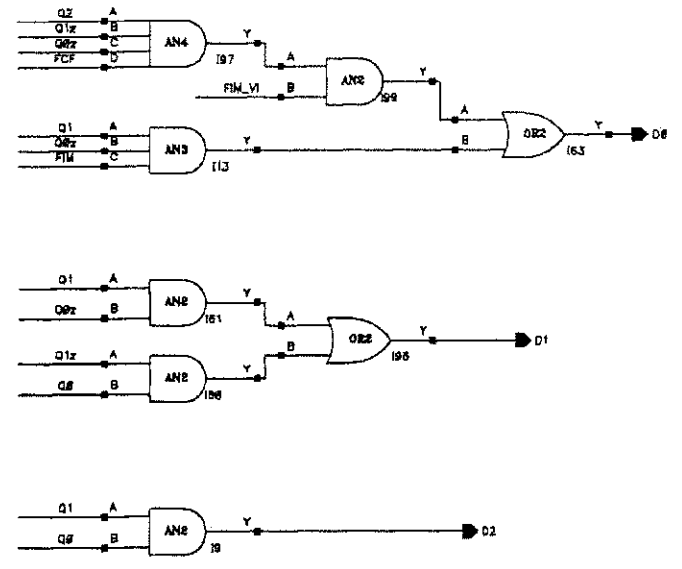
APPROVALS	DATE	ES2/US2 - DEE/UFPB CONTROLE DA DIVISAO DO PROD. V.I			
DRAWN					
CHECKED					
CHECKED					
CHECKED		SIZE B	FIG. NO.	DWG. NO.	REV 0
ISSUED		SCALE			SHEET OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

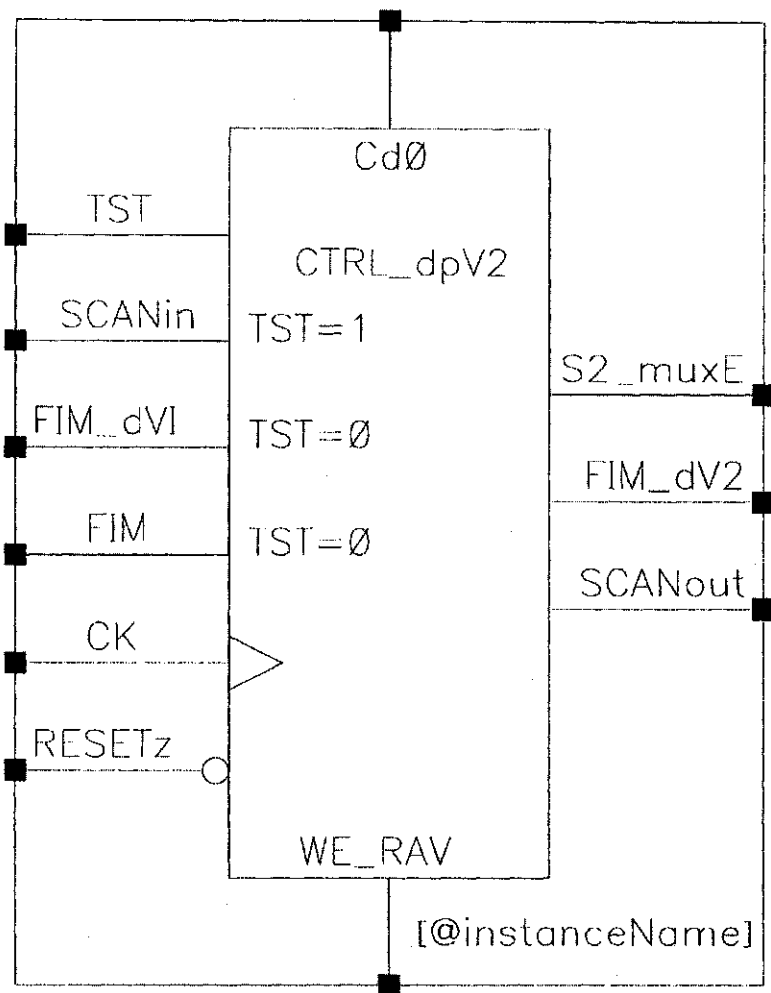
- FCF FCF
- FIM FIM
- FIM_VI FIM_VI

- Q2 Q2
- Q1z Q1z
- Q1 Q1
- QBz QBz
- Q8 Q8

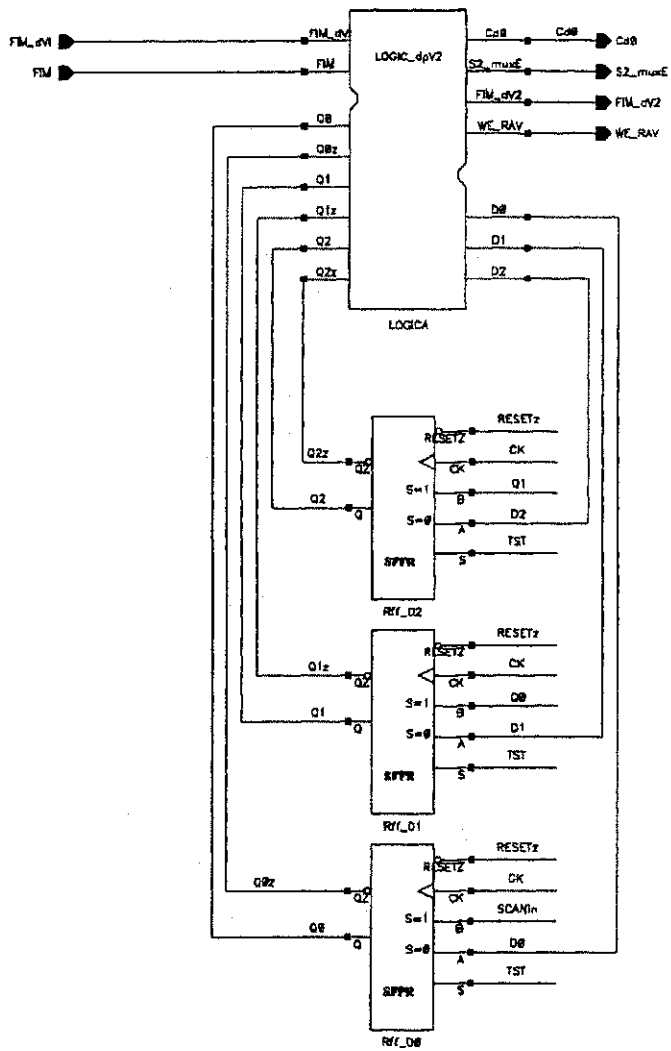


Apêndice - 59

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL dpVI		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
ISSUED			SHEET	OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

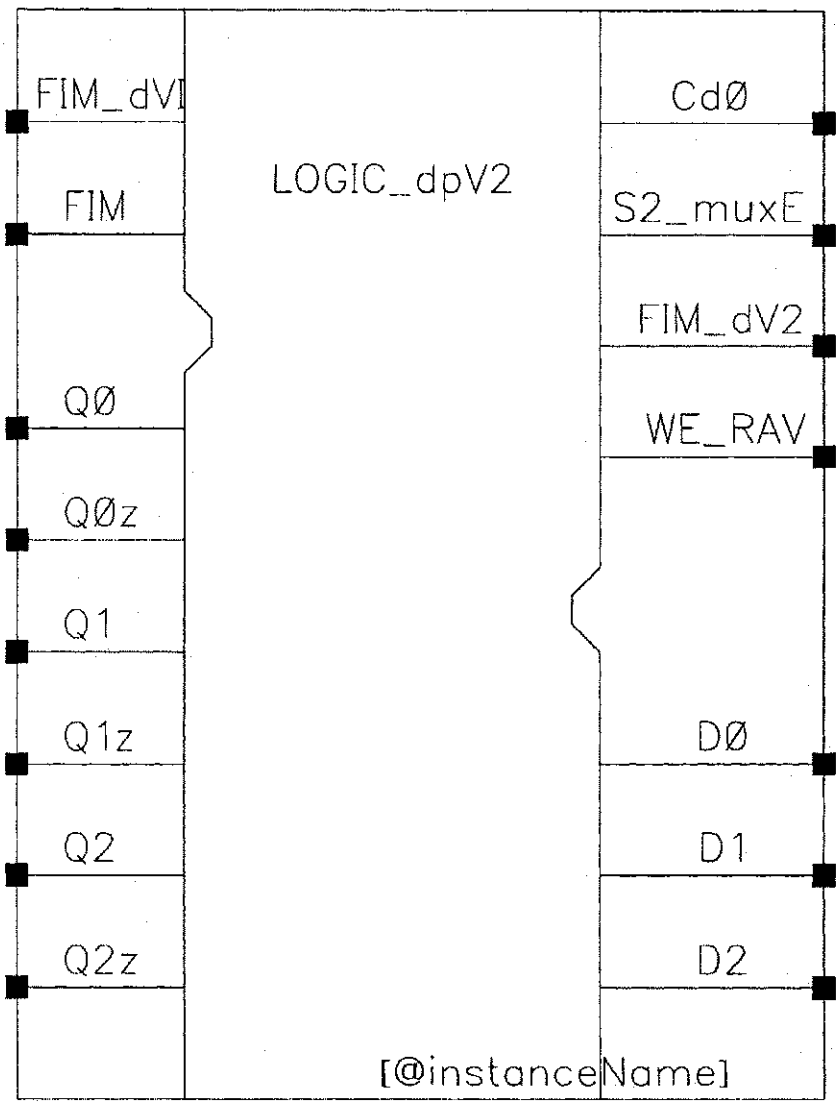


Q2 SCANout

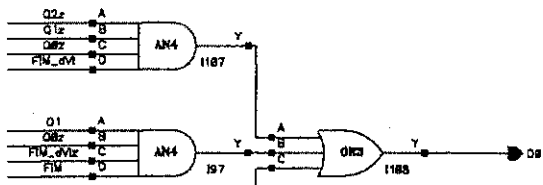
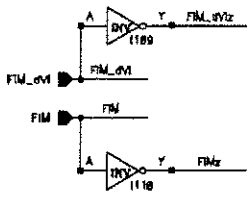
- ◀ RESETx
- ◀ CK
- ◀ SCANin
- ◀ TST

Apêndice - 61

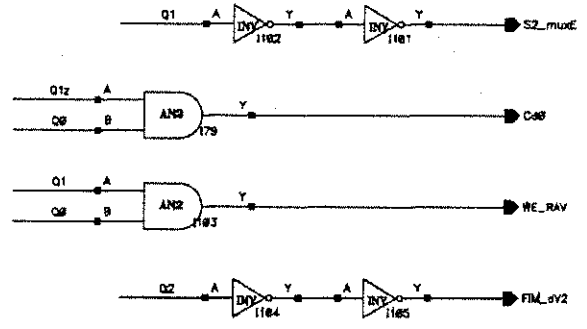
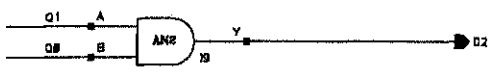
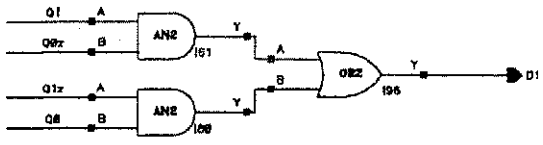
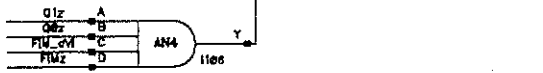
APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DA		
CHECKED		DIVISAO DO PROD. V2		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

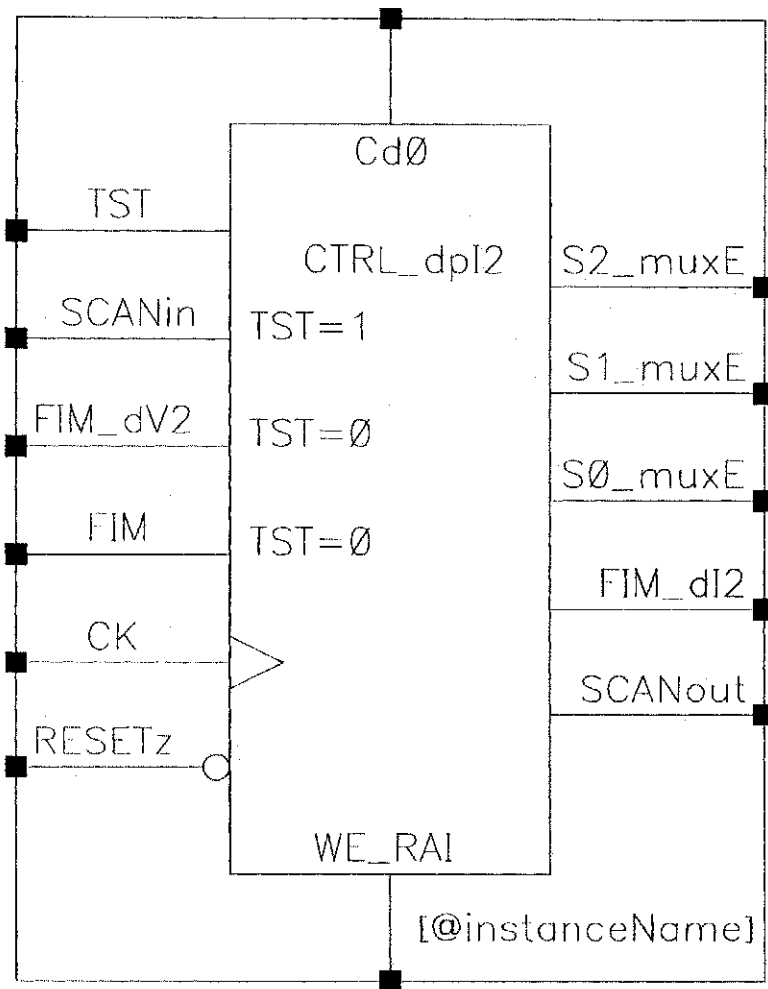


- Q2x → Q2z
- Q2 → Q2
- Q1z → Q1z
- Q1 → Q1
- Q8z → Q8z
- Q8 → Q8

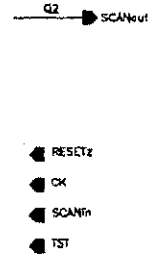
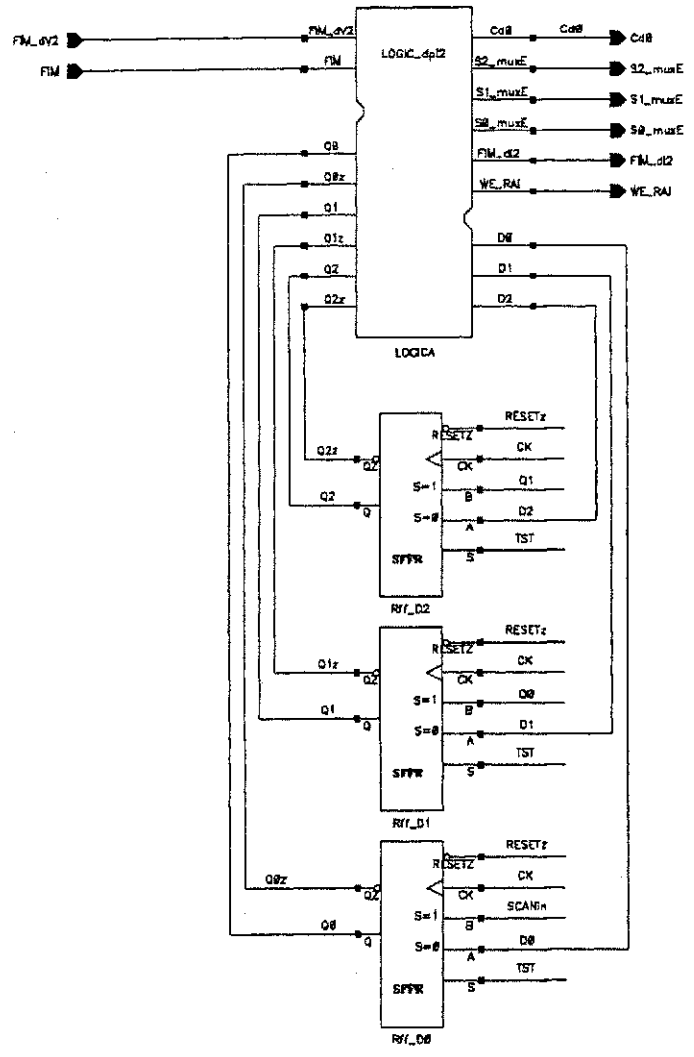


Apêndice - 63

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL dpV2		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
ISSUED			SHEET	OF



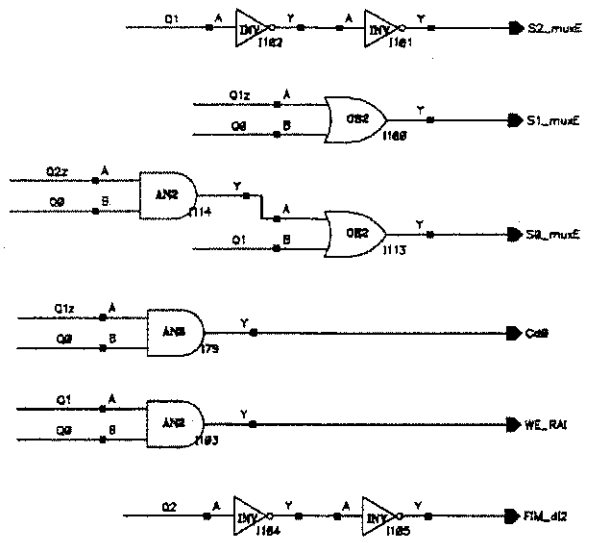
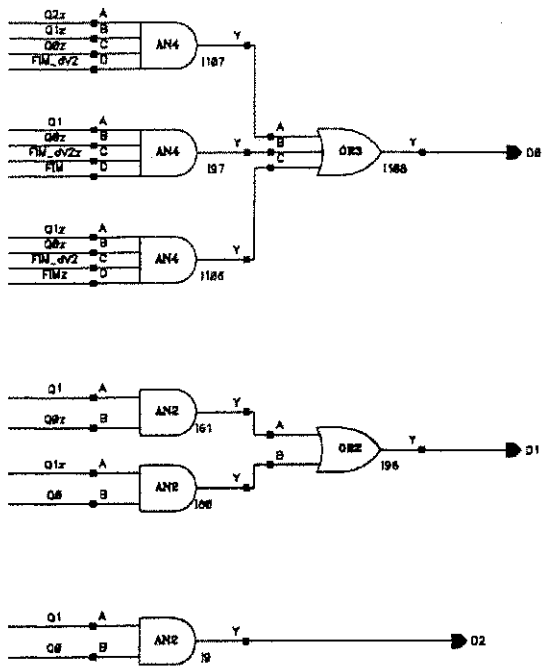
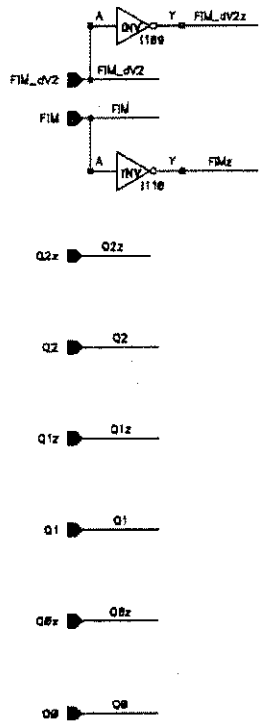
REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



Apêndice - 65

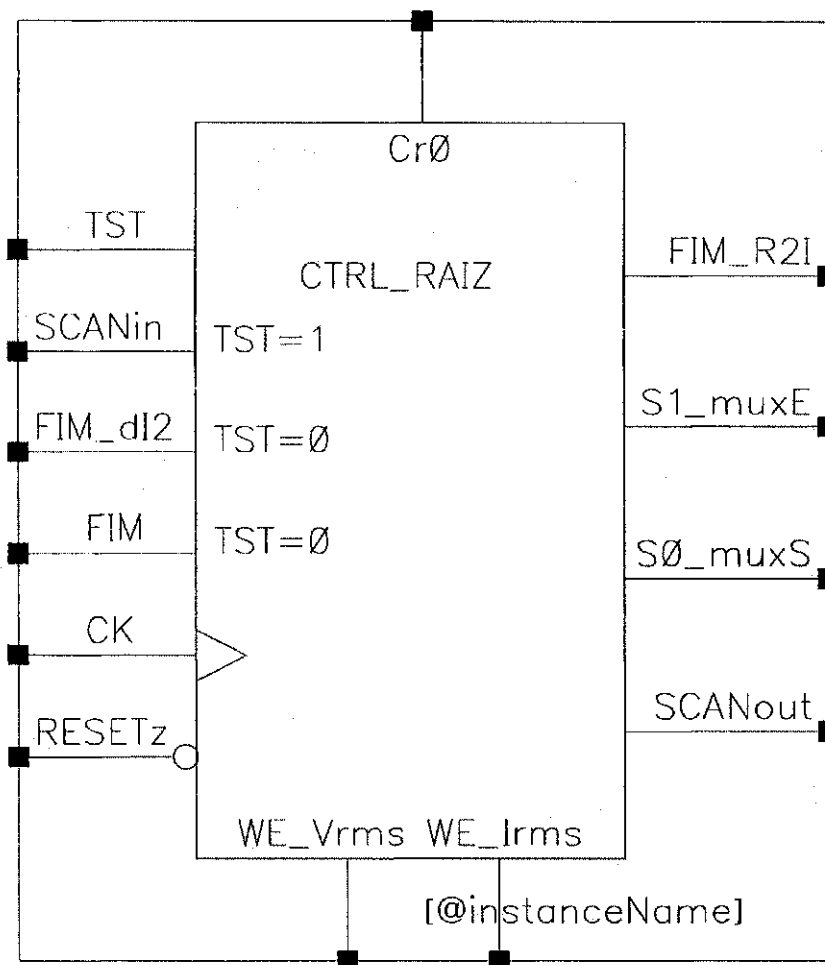
APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DA		
CHECKED		DIVISAO DO PROD. 12		
CHECKED		SIZE	FSOM NO.	OWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF

REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

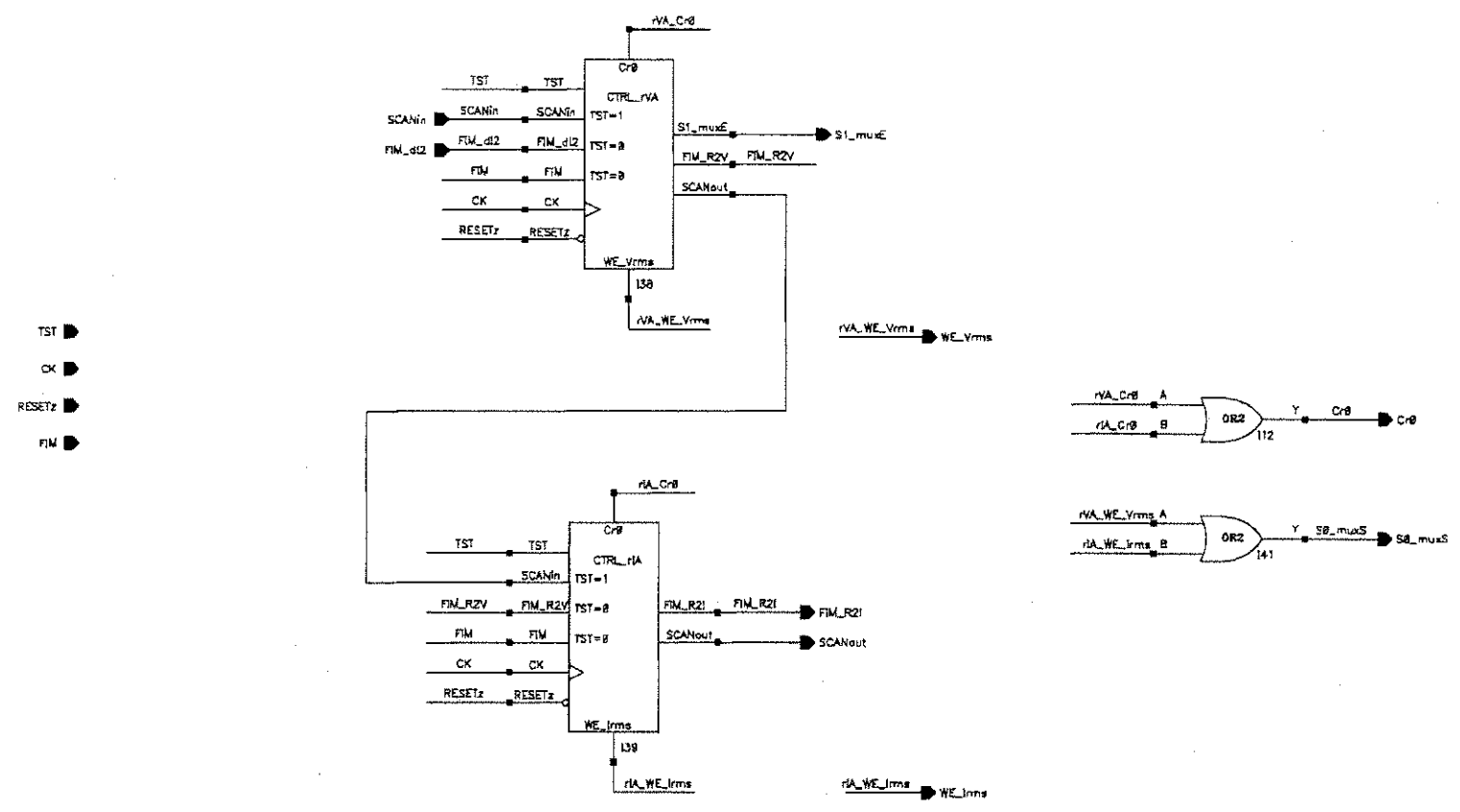


Apêndice - 67

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL dp12		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF

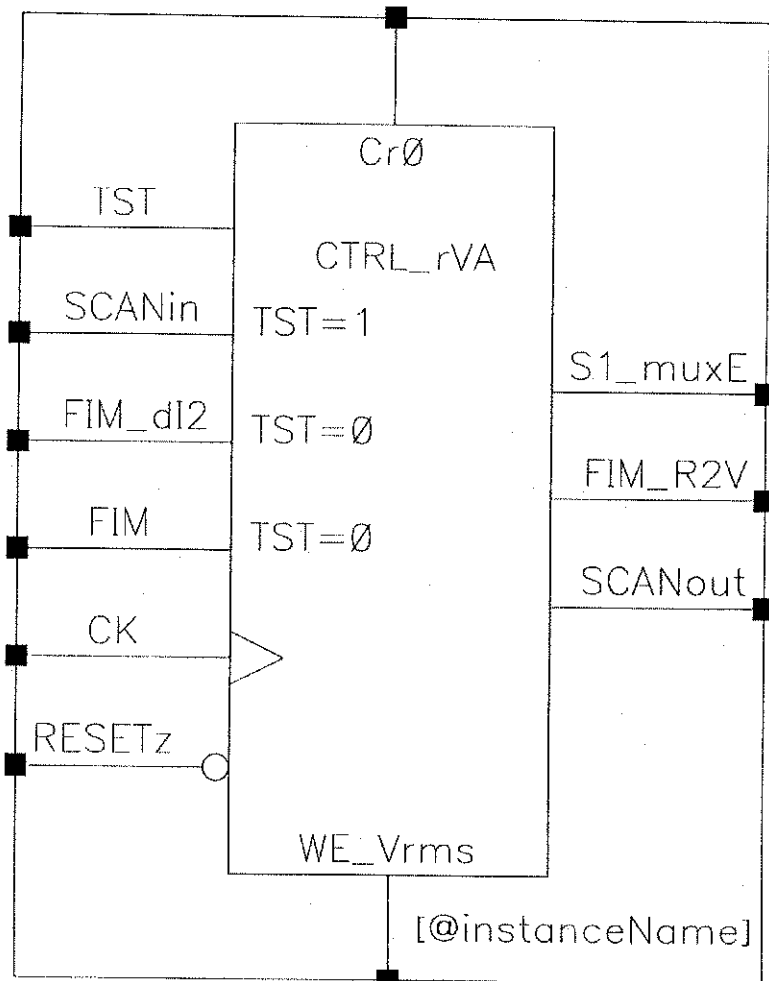


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

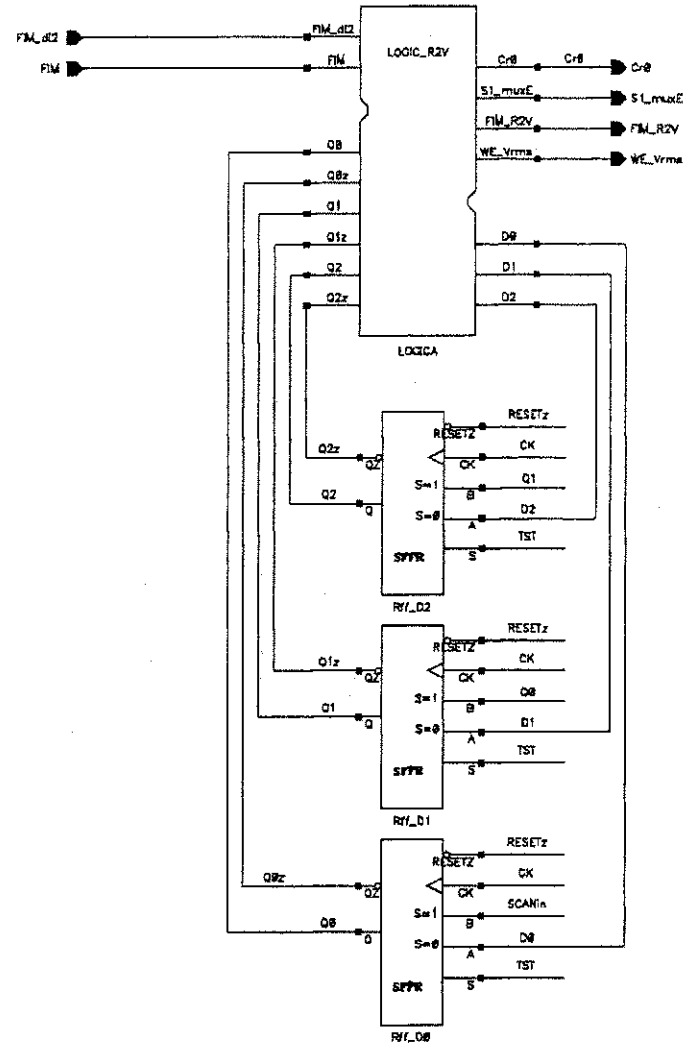


Apêndice - 69

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE PARCIAL		
CHECKED		DAS R. QUADRADAS		
CHECKED		SIZE B	PSCW NO.	DWG NO.
CHECKED		SCALE		
ISSUED				REV
				SHEET OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

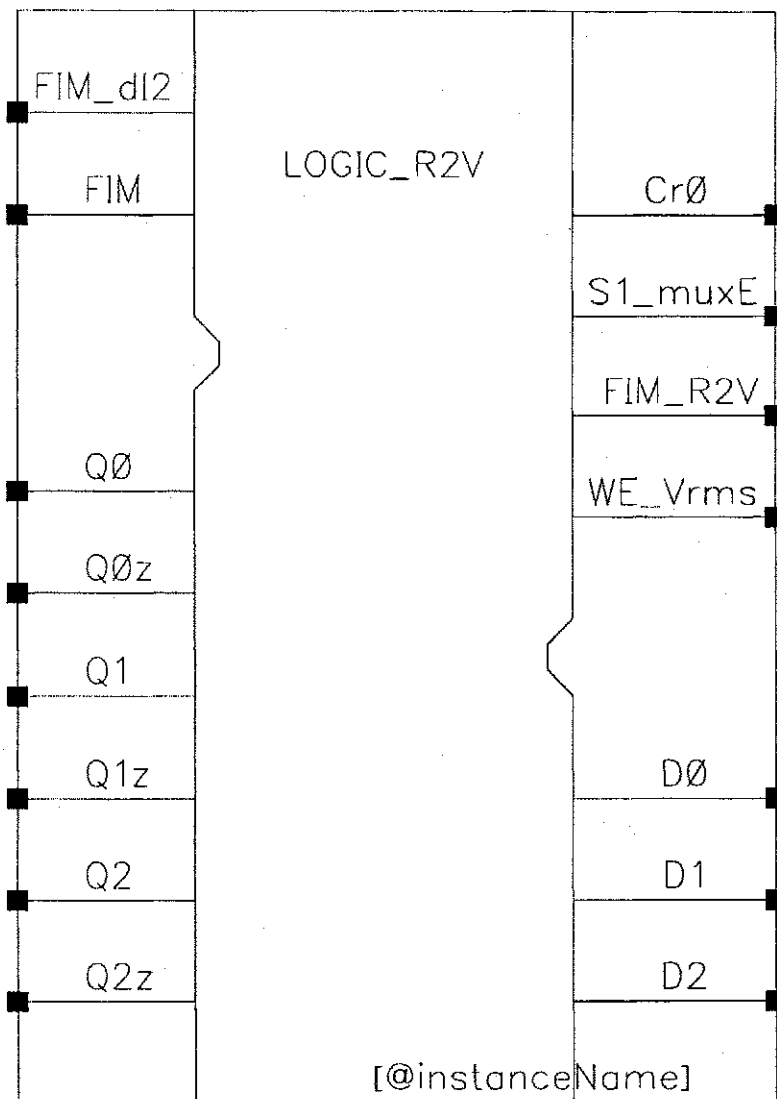


Q2 → SCANout

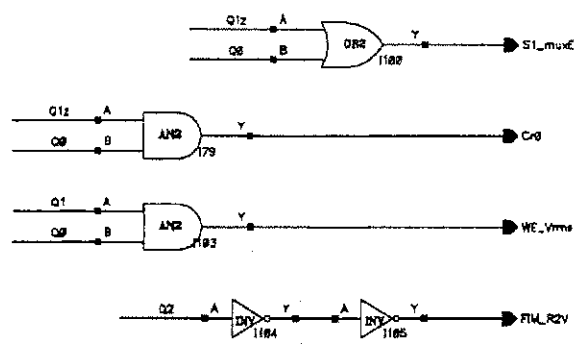
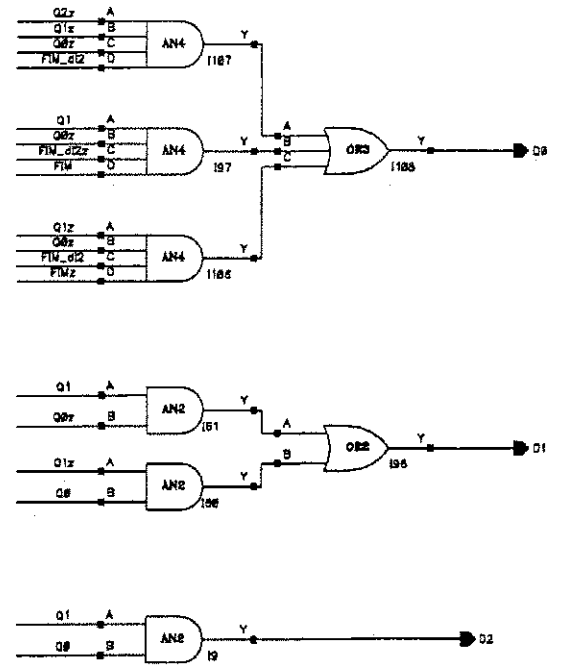
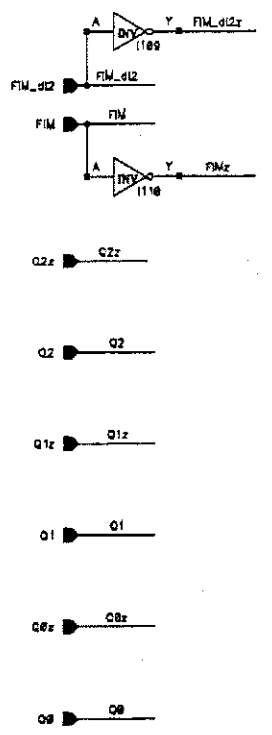
- ◀ RESETz
- ◀ CK
- ◀ SCANin
- ◀ TST

Apêndice - 71

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DA		
CHECKED		RAIZ ACUM. DE V		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF

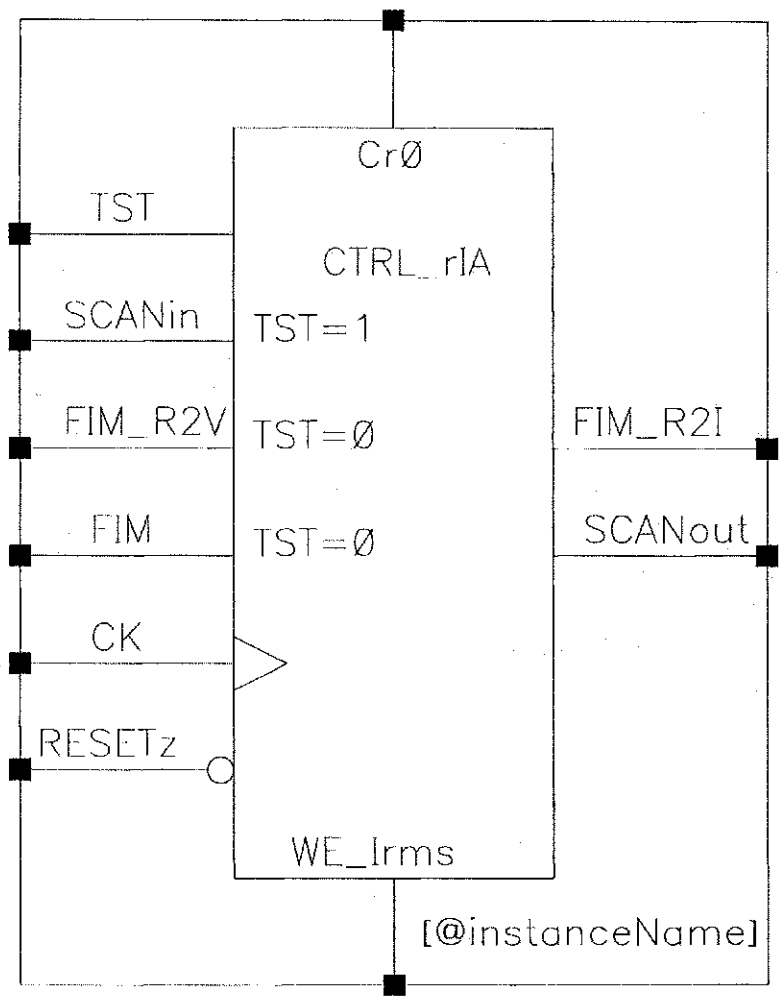


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

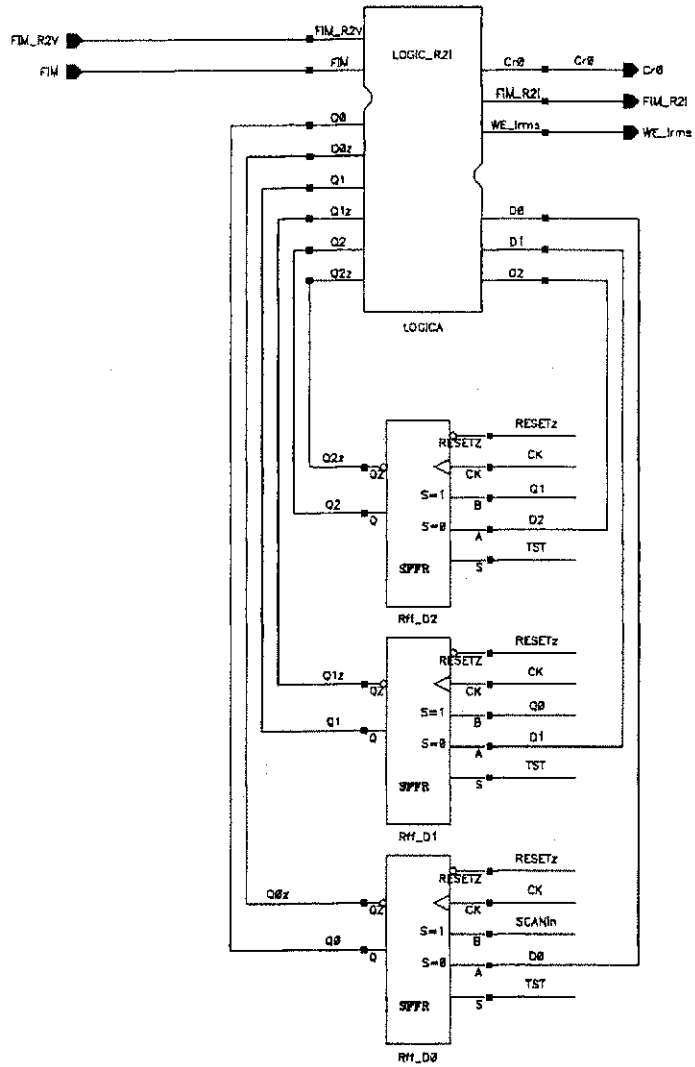


Apêndice - 73

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL rAV		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET OF



REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

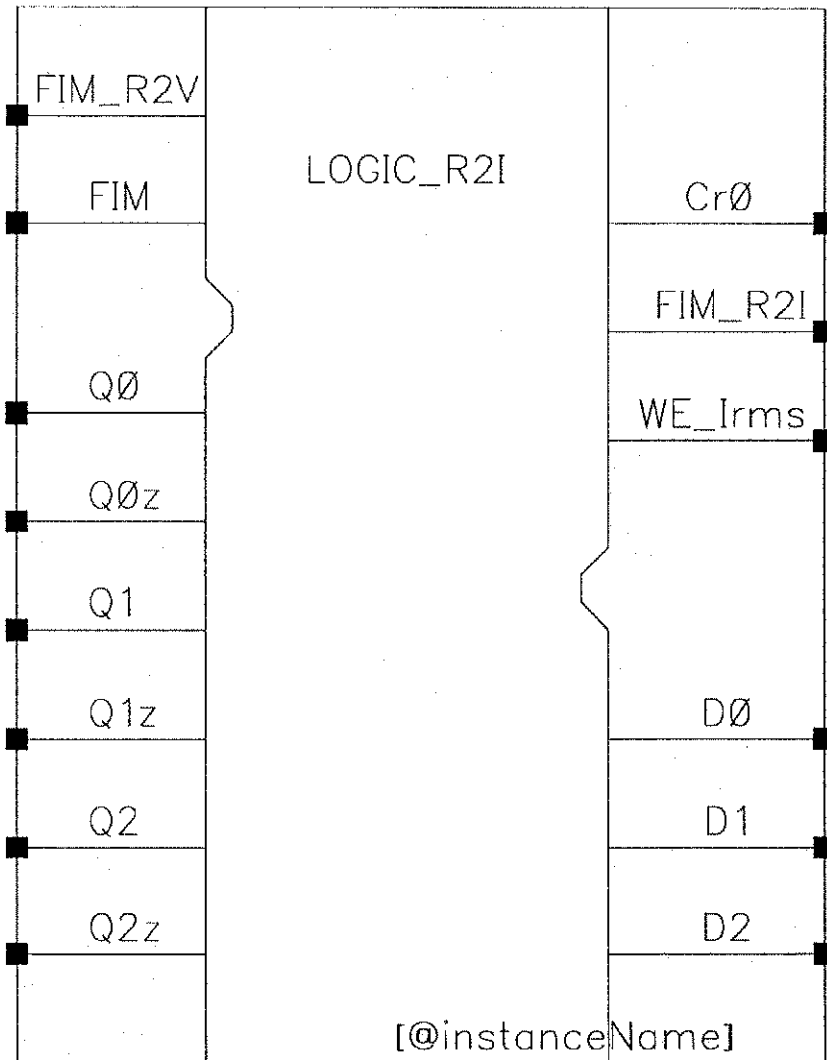


Q2 → SCANout

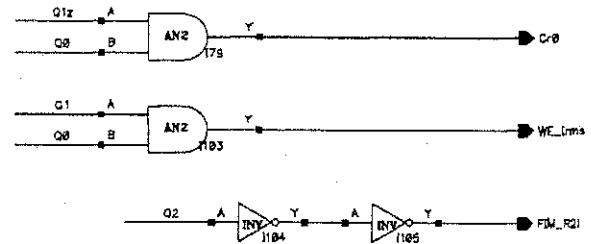
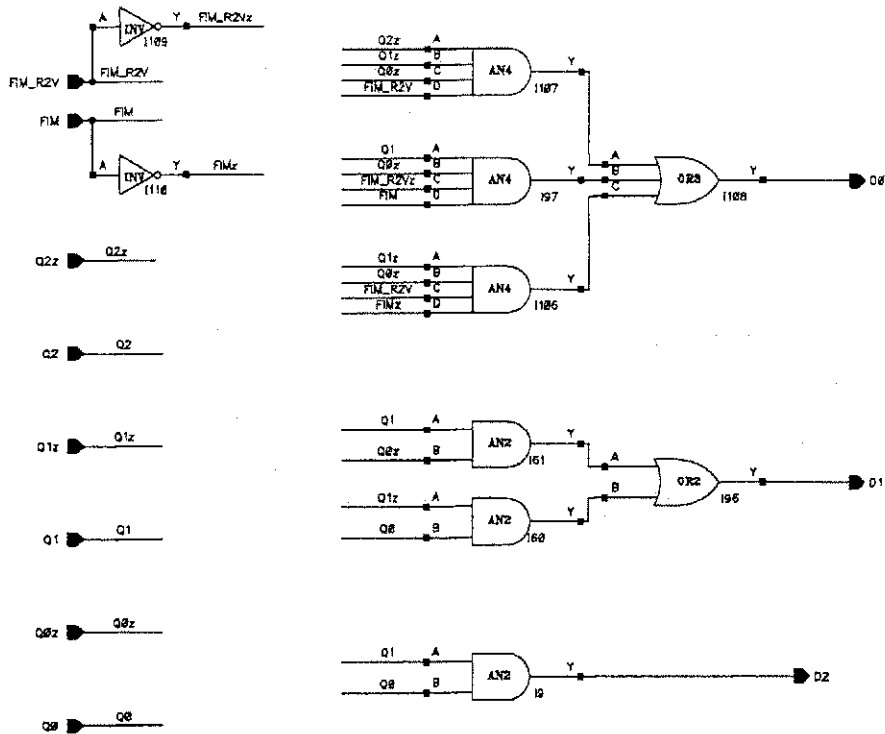
- RESETz
- CK
- SCANIn
- TST

Apêndice - 75

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DA		
CHECKED		RAIZ ACUM. DE I		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		
ISSUED			SHEET	OF

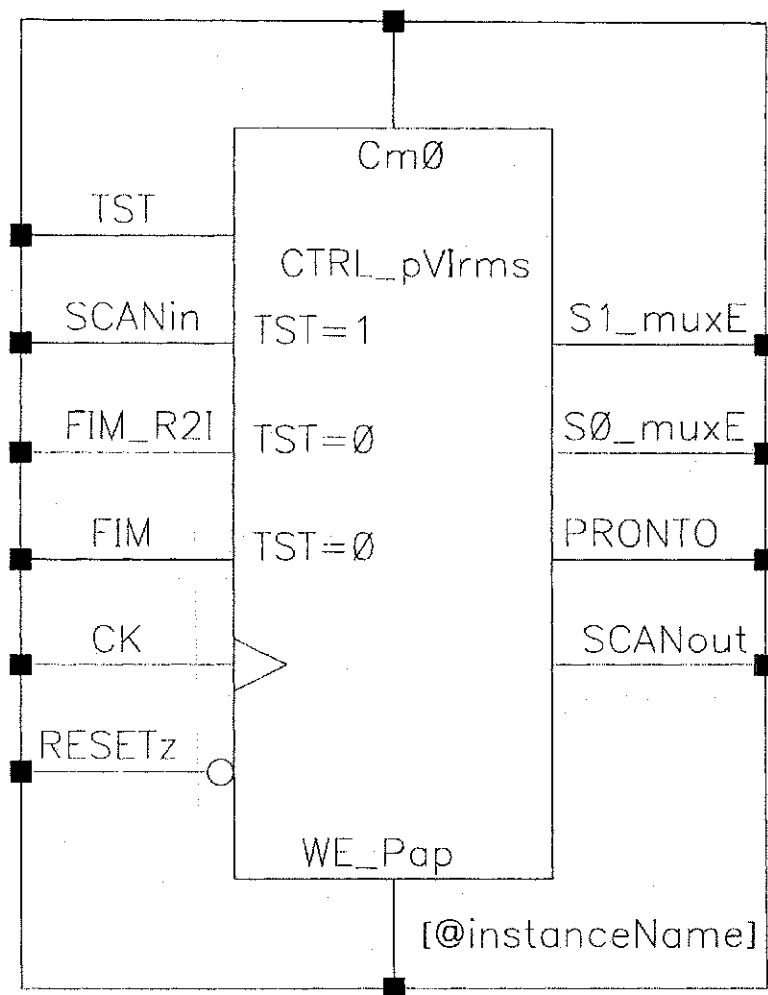


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED

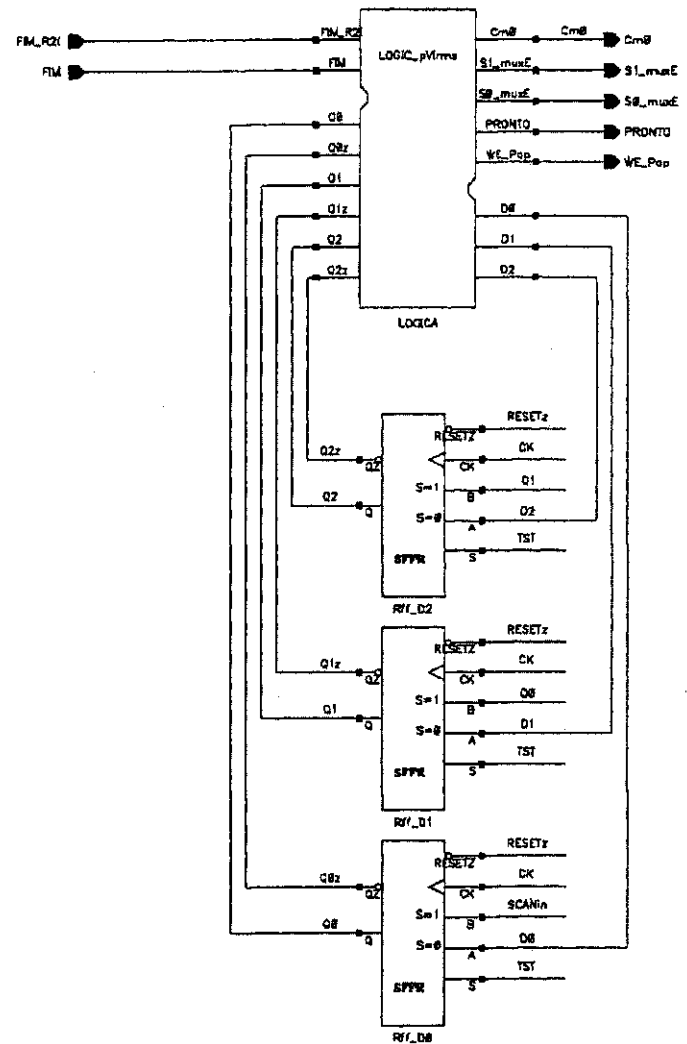


Apêndice - 77

APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		LOG. COMBINACIONAL		
CHECKED		CTRL GERAL rAI		
CHECKED		SIZE	FSCM NO.	DWG NO.
CHECKED		B		
ISSUED		SCALE		SHEET 0F

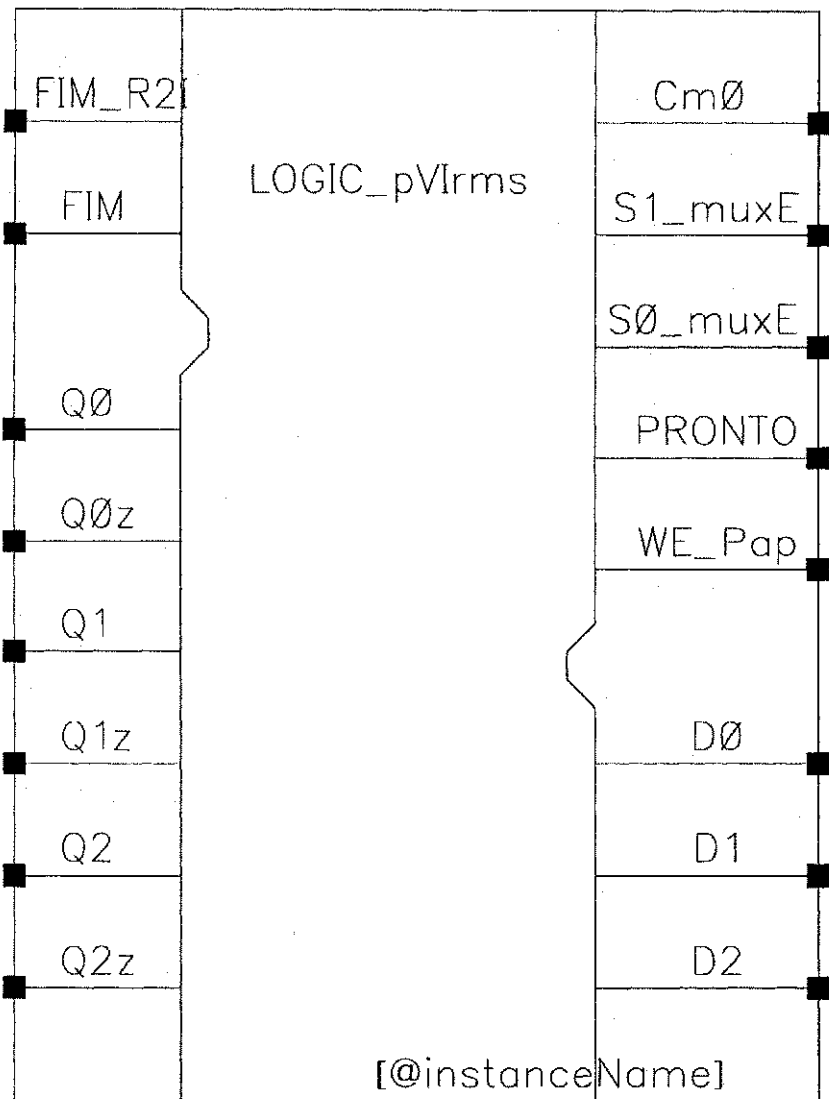


REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



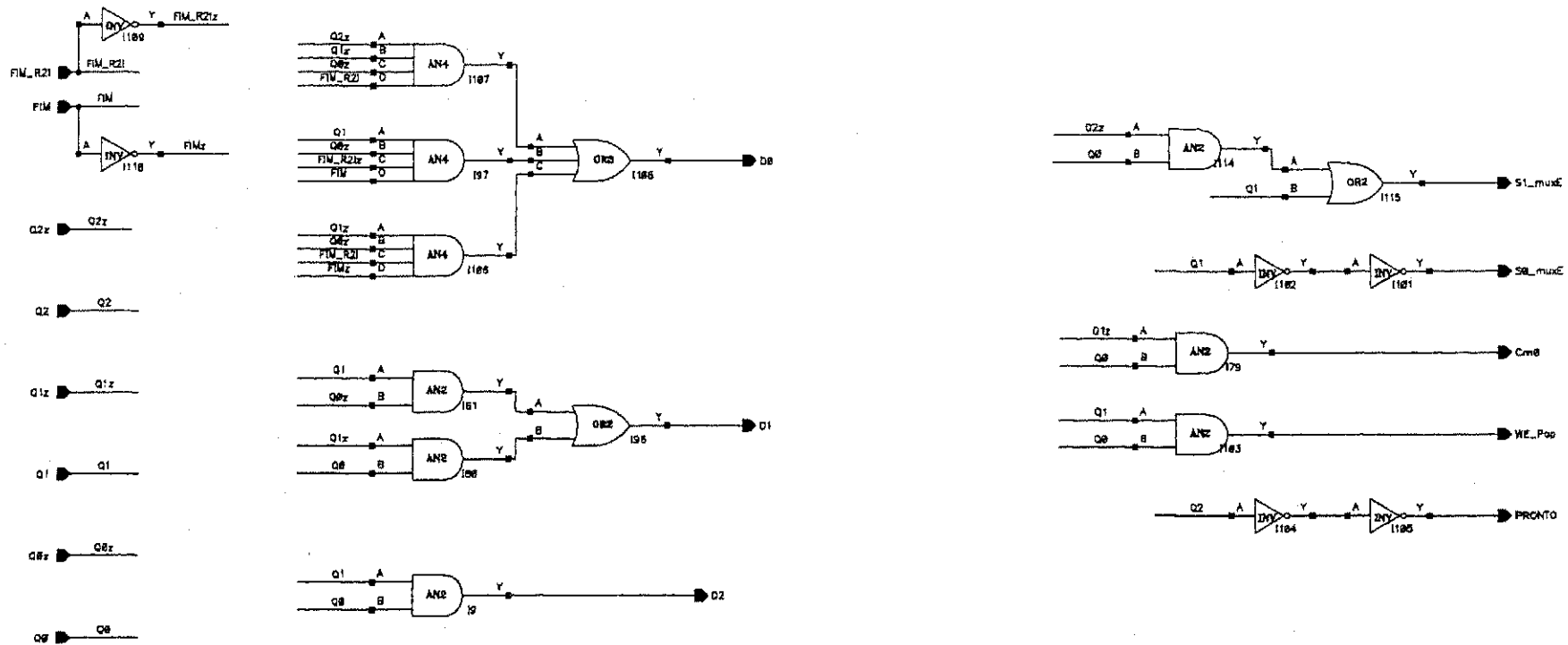
APPROVALS	DATE	ES2/US2 - DEE/UFPB		
DRAWN		CONTROLE DO		
CHECKED		PRODUTO Vrms.Irms		
CHECKED		SIZE B	FSCM NO.	DWG NO.
CHECKED		SCALE		REV 0
ISSUED			SHEET	OF

Apêndice - 79



FSCM NO. DWG NO. SIZE REV

REVISIONS				
ZONE	REV	DESCRIPTION	DATE	APPROVED



APPROVALS	DATE	<p style="font-size: 1.2em; margin: 0;">ES2/US2 - DEE/UF PB</p> <p style="font-size: 1.2em; margin: 0;">LOG. COMBINACIONAL</p> <p style="font-size: 1.2em; margin: 0;">CTRL GERAL pVirmms</p>				
DRAWN					SIZE	REV
CHECKED					B	0
CHECKED						
CHECKED		FSCM NO.	DWG NO.			
ISSUED		SCALE		SHEET	OF	