



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Estudo das Estratégias de Modulação para Conversores Três Níveis do tipo NPC

Luciano de Macedo Barros

Dissertação de Mestrado submetida à Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande - Campus I, como parte dos requisitos necessários para a obtenção do grau de mestre em Ciências no Domínio em Engenharia Elétrica.

Área de Conhecimento: Processamento de Energia

Orientadores:

Cursino Brandão Jacobina
Alexandre Cunha Oliveira

Campina Grande, Paraíba, Brasil

©Luciano de Macedo Barros, Agosto de 2011



**ESTUDO DAS ESTRATÉGIAS DE MODULAÇÃO PARA CONVERSORES TRÊS
NÍVEIS DO TIPO NPC**

LUCIANO DE MACEDO BARROS

Dissertação Aprovada em 05.09.2011

CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Orientador

ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Orientador

MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Componente da Banca

EUZELI CIPRIANO DOS SANTOS JÚNIOR, D.Sc., UFCG
Componente da Banca

CAMPINA GRANDE - PB

Dedico este trabalho ao meu avô,
Lucemar Barros (*in memoriam*),
homem visionário com o qual tive o
prazer de desfrutar de sua
comanhia. Aos meus pais, Luzimar
e Hermelina, por todo o amor e
confiança que recebi ao longo de
minha vida. A Tarsila Livia Paz,
minha namorada, por todo amor e
paciência dedicados a mim durante
este trabalho.

Agradecimentos

A Deus, pela oportunidade de viver, buscando meu aprimoramento moral, espiritual e intelectual.

A Cursino Brandão Jacobina, por toda a ajuda, pelas orientações e pelos conselhos, ao longo deste trabalho. A Alexandre Cunha Oliveira, que, ao longo destes seis anos de convívio, tive exemplo de obstinação, perseverança e amizade. Obrigado pelas prestimosas observações e conselhos.

Aos meus pais, Luzimar Barros e Maria Hermelinda de Macedo Barros, que me deram todo o apoio, estrutura e confiança. Tenho a sorte de tê-los como figuras de amor incondicional. Obrigado pelo estímulo e pelos valerosos conselhos!

A Tarsila Lúvia, por toda ajuda, paciência, compreensão, conselhos, por ter sido mais forte que eu mesmo, em alguns momentos, não me deixando desanimar. Obrigado pela calma e pelo sorriso nas horas que mais precisei.

Aos verdadeiros amigos, que os reconheci nas horas das tribulações. Para vocês todos meus agradecimentos: Lucas Vinícius Hartmann, Simões Soares de Toledo, Antonio de Paula Dias Queiroz, Abinadabe Silva Andrade, João Helder Gonzada Muniz, Luis Gustavo Castro, Vanderlei Maia Gomes e Leandro de Luna Araújo.

Aos colegas do LEIAM, Álvaro, Rafael, Osglay, Eisenhower, Bernard, Edgard, Isaac, Gilson, Jonathan, Camila, Paula, Vagner, Vinícius, Roberto, Nustenil, Gregory, Nady, Tamisa, Fabrício, meu muito obrigado.

Agradeço também a CAPES pelo suporte financeiro que permitiu a realização deste trabalho.

Resumo

Este trabalho de dissertação traz um estudo de estratégias de modulação para conversores de três níveis com diodos de grampeamento. Para se ter o correto funcionamento deste tipo de conversor, é necessário que o equilíbrio das tensões no barramento CC seja mantido.

Visando obter melhor rendimento do conversor multinível, foi realizado um levantamento das estratégias de *PWM* para estas estruturas, apontando algumas particularidades de cada uma delas. São analisadas cinco estratégias, das quais três operam em malha-fechada e duas em malha-aberta. Também uma nova estratégia em malha fechada foi desenvolvida visando obter melhor balanceamento de tensão em baixas frequências de chaveamento (720Hz), e uma menor *THD* quando comparada com as outras estratégias em estudo.

Para se definir a escolha da estratégia de modulação que tem melhor rendimento, alguns fatores serão considerados: qual a mínima frequência em que o conversor pode trabalhar, sem prejudicar seu rendimento, o funcionamento com carga desbalanceada, os níveis de distorção das correntes e tensões, bem como as perdas geradas pelo chaveamento e por condução.

São apresentados neste trabalho, resultados de simulações e alguns experimentais. Para testar algumas destas estratégias, foi montada a estrutura de um conversor de seis braços de três níveis com diodos de grampeamento, utilizando o novo módulo multinível da *SEMIKRON*. Utilizou-se também um processador digital de sinais para geração dos sinais de comando do conversor.

Este trabalho também apresenta uma introdução ao conversor *Back-to-Back* de três níveis.

Palavras-chave: Conversores de Três Níveis com Diodos de Grampeamento, Estratégias de Modulação, Conversor *Back-to-Back* .

Abstract

This work presents a study of modulation strategies for three-level converters with diode neutral point clamped. For proper operation of this type of converter the voltage balance of the dc-link capacitors must be maintained.

In order to obtain better performance of the multilevel converter a survey of the *PWM* strategies for these structures was made, pointing out some peculiarities of each. Five strategies are analyzed, three of which operate in closed-loop and two in open-loop. A new closed-loop strategy was designed, improving voltage balance and output *THD* at low switching frequencies (720Hz), when compared with the other strategies under study.

To define the choice of modulation strategy that has better performance, some factors will be considered: which minimum frequency the converter can work without affect your income, operating under load unbalanced, levels of distortion of currents and voltages, and as the losses generated by the switching and conduction.

This work presents simulation and experimental results. To test some of these strategies was mounted the structure of a converter with six branches with three levels clamping diodes, the new module using the multilevel *SEMIKRON*. A digital signal processor was used to generate the command signals from the devices and fiber-optics, to avoid interference.

This work also provides an introduction to the converter Back-to-Back three levels.

Keywords: Neutral Point Clamped Three-Level Converters, Modulation Strategies, Back-to-Back Converter.

Índice

Agradecimentos	iii
Resumo	iv
Abstract	v
Índice	vi
Índice de Tabelas	ix
Índice de Figuras	x
Lista de Símbolos	xv
1 Introdução Geral	1
1.1 Breve Introdução Sobre Eletrônica de Potência	1
1.2 Conversores - Um Estudo Preliminar	2
1.2.1 Conversor CA-CC	4
1.2.2 Conversor CC-CA	7
1.3 Breve Introdução Sobre Conversores Multiníveis	12
1.4 Modulação Vetorial	13
1.4.1 Modulação Vetorial Para Inversores de Dois Níveis	14
1.4.2 Modulação Vetorial para Inversores de Três Níveis	15
1.5 Revisão bibliográfica	19
1.6 Proposta de Trabalho	24
1.7 Organização do Trabalho	24
2 Conversores Multiníveis	25

2.1	Introdução	25
2.2	Retificador de Três Níveis	27
2.2.1	Modelo do Retificador de Três Níveis	29
2.3	Inversor Três Níveis	30
2.3.1	Inversor Com Diodos Fixos no Ponto do Neutro	31
2.3.2	Modelo do Inversor de Três Níveis	35
2.4	Conversor Back-to-Back	37
2.4.1	Conversor Back-to-Back de Três Níveis	37
2.4.2	Modelo do Sistema	38
2.5	Conclusões	39
3	Estudo das Técnicas de Modulação em Conversores Multiníveis	40
3.1	Introdução	40
3.2	Balanceamento das Tensões nos Capacitores do Barramento CC	41
3.3	Estudo das Técnicas de Balanceamento	46
3.3.1	Estudo da Estratégia 1	46
3.3.2	Estudo da Estratégia 2	52
3.3.3	Estudo da Estratégia 3	62
3.3.4	Estudo da Estratégia 4	65
3.3.5	Estudo da Estratégia 5	71
3.3.6	Estudo da Estratégia 6	78
3.4	Conclusões	81
4	Análise Comparativa das Estratégias de Modulação	82
4.1	Introdução	82
4.2	Funcionamento em 720Hz	83
4.2.1	Estratégia 1	83
4.2.2	Estratégia 2	84
4.2.3	Estratégia 3	86
4.2.4	Estratégia 4	87
4.2.5	Estratégia 5	88
4.2.6	Estratégia 6	90
4.3	Carga Desbalanceada - 10kHz	93

4.3.1	Estratégia 1	93
4.3.2	Estratégia 2	94
4.3.3	Estratégia 3	95
4.3.4	Estratégia 4	96
4.3.5	Estratégia 5	97
4.3.6	Estratégia 6	98
4.4	Carga Desbalanceada - 720Hz	98
4.4.1	Estratégia 1	99
4.4.2	Estratégia 3	100
4.4.3	Estratégia 4	101
4.4.4	Estratégia 6	102
4.5	THD e WTHD - 10kHz	103
4.5.1	Resultados experimentais do THD em 10kHz	104
4.6	THD e WTHD - 720Hz	105
4.6.1	Resultados experimentais do THD em 720Hz	106
4.7	Análise das Perdas Por Chaveamento - 10kHz	106
4.8	Análise das Perdas Por Chaveamento - 720Hz	107
4.9	Conclusões	108
5	Conclusões Gerais	110
5.1	Trabalhos Futuros	111
	Referências Bibliográficas	112

Índice de Tabelas

1.1	Estados dos interruptores para o inversor trifásico de dois níveis.	9
1.2	Seqüência de comutação e tensões de saída.	12
1.3	Seqüência de comutação e tensões de saída.	14
1.4	Estados das chaves.	17
2.1	Seqüência de comutação e tensões de saída.	32
2.2	Estados dos interruptores para o inversor trifásico de dois níveis.	33
3.1	Estados das chaves.	43
3.2	Corrente injetada no ponto central e seus respectivos vetores.	44
3.3	Corrente injetada no ponto central e seus respectivos vetores.	44
3.4	Dados gerais utilizados nas simulações.	46
3.5	Correção do vetor de tensão de referência pelo método proposto.	47
3.6	Seleção dos vetores virtuais para cada região triangular.	74
4.1	Dados gerais para as simulações.	82
4.2	Resultados das distorções harmônicas em 10kHz.	103
4.3	Resultados das distorções harmônicas em 10kHz.	104
4.4	Resultados das distorções harmônicas em 720Hz.	105
4.5	Resultados das distorções harmônicas em 720Hz.	106
4.6	Resultados das perdas por chaveamento e distorção em 10kHz.	107
4.7	Resultados das perdas por chaveamento e distorção em 720Hz.	108

Índice de Figuras

1.1	Estrutura de um retificador controlado de dois níveis.	6
1.2	Circuito equivalente ao conversor da Figura 1.1.	7
1.3	Circuito equivalente ao apresentado na Figura 1.2.	7
1.4	Estrutura de um inversor de dois níveis.	9
1.5	a) Braço de um conversor de dois níveis; b) Braço de um conversor de três níveis.	13
1.6	Diagrama vetorial do inversor de dois níveis.	15
1.7	Estrutura de um inversor de três níveis.	16
1.8	Sinal de comando de um braço do inversor.	16
1.9	Vetores e setores de tensão do inversor de três níveis.	18
1.10	Vetores de tensão do setor A.	18
1.11	Vetores de tensão do setor A.	19
2.1	Braço de um conversor de dois níveis até n-níveis.	26
2.2	Estrutura de um retificador de três níveis.	28
2.3	Circuito equivalente para a topologia NPC.	29
2.4	Tensão de linha de um conversor de três níveis.	30
2.5	Tensão de fase de um conversor de três níveis.	31
2.6	Estrutura de um inversor de três níveis NPC.	31
2.7	Tensão de saída com o respectivo estado de chaveamento de um inversor de três níveis NPC.	32
2.8	Estados das chaves de um inversor de três níveis.	33
2.9	a) Tensão de linha do inversor de três níveis NPC; b) Tensão de pólo do inversor de três níveis NPC.	35
2.10	Circuito equivalente para a topologia do inversor de três níveis NPC.	36

2.11	Estrutura de um conversor Back-to-Back de três níveis.	38
2.12	Circuito equivalente genérico de um conversor Back-to-Back de três níveis.	39
3.1	Diagrama vetorial do inversor de três níveis.	42
3.2	Correntes no capacitores. a) Grupo 'Z'. b) Grupo 'L'.	45
3.3	Vetores do grupo <i>Small</i> . a) Configuração (211). b) Configuração (100).	45
3.4	Vetores do grupo <i>Middle</i> . a) Configuração (201). b) Configuração (210).	45
3.5	Diagrama de espaço-vetores de um inversor de 3 níveis.	47
3.6	Simplificação do diagrama vetorial.	48
3.7	Representação da mudança do vetor de referência para a simplificação do diagrama vetorial.	48
3.8	Controle do inversor de três níveis.	49
3.9	Vetores do grupo <i>Small</i>	49
3.10	Vetor do grupo <i>Large</i>	50
3.11	Vetor do grupo <i>Middle</i>	50
3.12	Tensão de linha (v_{ab}) para o inversor de três níveis.	51
3.13	Tensão de fase (v_{an}) para o inversor de três níveis.	51
3.14	Tensões nos capacitores para o inversor de três níveis.	52
3.15	Níveis de tensão para o inversor de três níveis.	52
3.16	Definição das variáveis P_a , P_b e P_c para o inversor de três níveis.	53
3.17	Pulsos de comando para o inversor de três níveis.	55
3.18	Tensão de linha (v_{ab}) para o inversor de três níveis.	56
3.19	Tensão de fase filtrada (v_{an}) para o inversor de três níveis.	56
3.20	Tensões nos capacitores para o inversor de três níveis.	57
3.21	Tensões nos capacitores para o inversor de três níveis.	57
3.22	Correntes na carga (i_{la} , i_{lb} e i_{lc}) para o inversor de três níveis.	58
3.23	Diagrama de controle.	58
3.24	Tensão de linha (v_{ab}) para o retificador de três níveis.	59
3.25	Correntes de entrada (i_{ga} , i_{gb} e i_{gc}) para o retificador de três níveis.	59
3.26	Tensões nos capacitores para o retificador de três níveis.	60
3.27	Tensões nos capacitores para o retificador de três níveis.	60
3.28	Correntes de entrada (i_{ga} , i_{gb} e i_{gc}) para o retificador de três níveis.	61

3.29	Tensões nos capacitores.	61
3.30	Correntes de entrada.	62
3.31	Diagrama de blocos do controlador liga-desliga.	63
3.32	a) $\mu = 0$: Corrente saindo do <i>NP</i> ; b) $\mu = 1$: Corrente entrando no <i>NP</i>	63
3.33	Tensão de linha (V_{ab}) para o inversor de três níveis.	64
3.34	Tensão de fase filtrada (V_{an}) para o inversor de três níveis.	64
3.35	Tensões nos capacitores para o inversor de três níveis.	65
3.36	Formação do V_{REF} na região do triângulo exterior.	66
3.37	Formação do V_{REF} na região do triângulo central.	68
3.38	Formação do V_{REF} na região do triângulo interno.	69
3.39	Tensão de linha (V_{ab}) para o inversor de três níveis.	70
3.40	Tensão de fase filtrada (V_{an}) para o inversor de três níveis.	70
3.41	Tensões nos capacitores para o inversor de três níveis.	71
3.42	Diagrama do espaço vetorial de um conversor de três níveis NPC.	72
3.43	Vetores virtuais para o primeiro sextante do diagrama de espaço vetorial.	73
3.44	Sequência de conexão da fase x (a,b ou c) para cada ponto do barramento CC (2,1 e 0).	75
3.45	d_{a2} e d_{a0} como função de θ e de $m = 0.8$	76
3.46	Tensão de linha (V_{ab}) para o inversor de três níveis.	77
3.47	Tensão de fase filtrada (V_{an}) para o inversor de três níveis.	77
3.48	Tensões nos capacitores para o inversor de três níveis.	78
3.49	Diagrama de controle da Estratégia 6.	78
3.50	Tensão de linha (V_{ab}) para o inversor de três níveis.	79
3.51	Tensão de fase filtrada (V_{an}) para o inversor de três níveis.	79
3.52	Tensões nos capacitores para o inversor de três níveis.	80
3.53	Tensões nos capacitores para o inversor de três níveis.	80
3.54	Correntes de saída (i_a , i_b e i_c) para o inversor de três níveis.	81
4.1	Tensões nos capacitores do barramento CC.	83
4.2	Tensão de linha V_{ab}	84
4.3	Correntes na carga I_a , I_b e I_c	84
4.4	Tensões nos capacitores do barramento CC.	85

4.5	Tensão de linha V_{ab} .	85
4.6	Correntes na carga I_a , I_b e I_c .	85
4.7	Tensões nos capacitores do barramento CC.	86
4.8	Tensão de linha V_{ab} .	86
4.9	Correntes na carga I_a , I_b e I_c .	87
4.10	Tensões nos capacitores do barramento CC.	87
4.11	Tensão de linha V_{ab} .	88
4.12	Correntes na carga I_a , I_b e I_c .	88
4.13	Tensões nos capacitores do barramento CC.	89
4.14	Tensão de linha V_{ab} .	89
4.15	Correntes na carga I_a , I_b e I_c .	90
4.16	Tensões nos capacitores do barramento CC.	90
4.17	Tensão de linha V_{ab} .	91
4.18	Correntes na carga I_a , I_b e I_c .	91
4.19	Correntes na carga.	92
4.20	Tensões nos capacitores.	92
4.21	Gatilhamento da chave em 720Hz.	92
4.22	Tensões nos capacitores do barramento CC.	93
4.23	Corrente na carga (I_b).	93
4.24	Tensões nos capacitores do barramento CC.	94
4.25	Corrente na carga (I_b).	94
4.26	Tensões nos capacitores do barramento CC.	95
4.27	Corrente na carga (I_b).	95
4.28	Tensões nos capacitores do barramento CC.	96
4.29	Corrente na carga (I_b).	96
4.30	Tensões nos capacitores do barramento CC.	97
4.31	Corrente na carga (I_b).	97
4.32	Tensões nos capacitores do barramento CC.	98
4.33	Corrente na carga (I_b).	98
4.34	Tensões nos capacitores do barramento CC.	99
4.35	Corrente na carga (I_b).	99
4.36	Tensões nos capacitores do barramento CC.	100

4.37 Corrente na carga (I_b).	100
4.38 Tensões nos capacitores do barramento CC.	101
4.39 Corrente na carga (I_b).	101
4.40 Tensões nos capacitores do barramento CC.	102
4.41 Corrente na carga (I_b).	102
4.42 Níveis de distorção harmônica.	104
4.43 Corrente na carga (I_a).	105
4.44 Níveis de distorção harmônica.	106
4.45 Corrente na carga (I_a).	106

Lista de Símbolos

a, b, c	- Terminais de saída do inversor
C_1 e C_2	- Capacitor superior e inferior do barramento CC
f	- Frequência em Hz
θ	- Fase do sinal analisado
E	- Tensão do barramento CC
f_{ch}	- Frequência de chaveamento
e_a, e_b, e_c	- Tensões do grid
i_a, i_b, i_c	- Correntes de fase
i_{ga}, i_{gb}, i_{gc}	- Correntes de fase
j	- Unidade imaginária, $(\sqrt{-1})$
L_a, L_b, L_c	- Indutâncias de fase
R_a, R_b, R_c	- Resistências de fase
m	- índice de modulação
T	- Período da <i>PWM</i>
v_{10}, v_{20}, v_{30}	- Tensões de pólo do inversor
v_{an}, v_{bn}, v_{cn}	- Tensões de fase do inversor
v_{ab}, v_{bc}, v_{ca}	- Tensões de linha do inversor
V_a^*, V_b^*, V_c^*	- Vetor tensão de referência
R_a, R_b, R_c	- Resistências de fase

- τ_1, τ_2, τ_3 – Larguras de Pulso
- \mathbf{V}_k – Vetor de tensão genérico, $\mathbf{V}_k = V_{kd} + jV_{kg}$
- v_h – Tensão de sequência zero
- v_{n0} – Tensão de modo comum
- P_a, P_b, P_c – Diferença entre um nível CC e as tensões v_a, v_b e v_c
- P_a^*, P_b^*, P_c^* – Valores modificados de P_a, P_b e P_c
- V_m – Amplitude da tensão de fase
- m – Índice de modulação
- π – Constante pi
- T_a, T_b, T_c – Tempo em que as chaves do inversor permanecem desligadas, obtidas com v_a, v_b e v_c
- T_a^*, T_b^*, T_c^* – Tempo em que as chaves do inversor permanecem desligadas, obtidas com v_a^*, v_b^* e v_c^*

1

Introdução Geral

1.1 Breve Introdução Sobre Eletrônica de Potência

A modernização e o progresso do mundo e o avanço do uso da eletricidade estão sempre ligados. Desde o experimento realizado por Tales de Mileto, na Grécia antiga, a humanidade começava a tatear a eletricidade. E com os experimentos de Alessandro Volta (Século XIX, Pilhas de Volta) e Thomas Edison (Meados de 1879, lâmpada elétrica), a eletricidade e o seu estudo/uso têm sido cada vez mais difundidos.

Quatro anos após o invento da lâmpada elétrica, Edison fundou a primeira usina de geração e transmissão de energia elétrica, a General Electric Company. Para transmissão de energia, adotou-se a forma alternada (CA), pois, na forma contínua (CC), eram geradas muitas perdas e elevadas quedas de tensão. Em 1888, o "croata-americano" Nikolas Tesla, construiu os primeiros motores de indução e motores síncronos, sendo responsável também pela definição de 60 Hz como frequência padrão nos Estados Unidos, que mais tarde, seria o sistema adotado em quase todo o mundo.

Levando em conta que muitos equipamentos eletrônicos e outras aplicações necessitam de uma alimentação no modo contínuo, surgiram os primeiros conversores CA-CC (retificadores). Os primeiros retificadores eram valvulados, e logo após, a diodos (neste caso, não permitiam o controle sobre o fluxo de potência e também sobre os níveis de tensão de saída). Em seguida, vieram os retificadores a tiristores, e aí sim, algum controle foi possível. Den-

tre os tiristores destaca-se o SCR (Silicon Controlled Rectifier, chamado também de tiristor convencional).

Com isto, teve início a eletrônica de potência, que tem como objetivo melhorar a eficiência do uso da energia elétrica através de dispositivos semicondutores de potência, como os IGBTs, controlando o fluxo de potência entre uma fonte (de tensão, por exemplo) e uma carga. O controle é realizado através de conversores de potência, onde são lançados sinais de abertura e fechamento (comutação) para as chaves.

A evolução dos semicondutores tem propiciado muitos avanços na área da eletrônica de potência. Sua facilidade de controle, a capacidade de trabalhar com potências mais elevadas, e redução de custos dos modernos dispositivos semicondutores comparados com aqueles de alguns anos atrás tem gerado conversores a preços acessíveis em um grande número de aplicações e deram início a uma série de novas topologias de conversores para aplicação em eletrônica de potência.

A eletrônica de potência, nos dias de hoje, tem seu foco principal no processamento e na efficientização da energia elétrica, fornecendo as tensões e correntes adequadas para cada tipo de carga. Está presente nas áreas industrial, comercial e residencial.

1.2 Conversores - Um Estudo Preliminar

Como citado na seção anterior, houve uma ampliação das estruturas de conversores, buscando sempre um melhor desempenho. Esta ampliação é percebida quando se analisa o avanço das estruturas: retificadores não controlados, passando em seguida para os retificadores controlados, para os inversores, fontes chaveadas, e para um número cada vez maior de conversores.

No início da utilização da energia em larga escala, as cargas que eram conectadas à rede, tinham comportamentos lineares, isto é, a corrente consumida por elas possuía apenas uma componente senoidal na mesma frequência da tensão. Além destas cargas, haviam cargas indutivas, onde a corrente possuía um atraso com relação à tensão, mas que também são consideradas lineares, obtendo-se a relação entre corrente e tensão através de derivadas ou integrais.

Atualmente, com o rápido crescimento do uso de aparelhos eletrônicos, como computadores, aumenta-se o número das chamadas cargas não-lineares. Estes tipos de cargas são alimentadas por energia elétrica disponível em corrente/tensão contínuas.

Então, fez-se necessário a conversão da energia alternada, que é disponibilizada na rede, para o modo contínua, surgindo os primeiros conversores CA-CC, chamados de retificadores. Estes apresentavam diodos ou tiristores, e um banco de capacitores na sua saída, usado para filtrar a tensão.

Estes retificadores drenam da rede correntes pulsadas, ou seja, não apresentam mais a forma senoidal. Logo, estas cargas não são mais lineares, já que as correntes drenadas por elas apresentam componentes em diversas frequências, múltiplas da frequência fundamental da tensão da rede, denominadas componentes harmônicas.

Em consequência disto, surge o conceito de Taxa de Distorção Harmônica (do inglês, *Total Harmonic Distortion - THD*). Agora o fator de potência, que antes era avaliado somente pelo deslocamento da corrente em relação à tensão, passou a ser deduzido também pela distorção da forma de onda da corrente.

O baixo fator de potência das instalações, devido às distorções de correntes, tem gerado uma série de problemas, desde a geração, transmissão, até os sistemas de distribuição (Barbi, 2006),(Pomilio, 2009). Os resultados destas correntes distorcidas são:

- interferências eletromagnéticas;
- perdas nas linhas de transmissão (Dissipação por calor), sendo necessário em alguns casos o sobredimensionamento;
- distorção harmônica nas tensões da rede de alimentação, devido à circulação das componentes harmônicas de corrente, comprometendo o funcionamento de outros equipamentos que estejam conectados a rede;
- leituras erradas nos equipamentos de medição e proteção;
- problemas nos geradores, comprometendo o seu rendimento e diminuindo a sua vida útil;

- comprometimento da operação de transformadores, implicando em desperdício de energia e aquecimento, devido às correntes parasitas e ao efeito de histerese.

Níveis elevados do *THD* são sinônimos de prejuízos. Devido a este problema e para evitar maiores danos, foram criadas normas internacionais para a regulamentação e fiscalização dos níveis aceitáveis de *THD* na rede elétrica.

Em primeiro de janeiro de 1975, foi apresentado pelo CENELEC (*Commission Européen pour la Normalisation*, órgão europeu responsável por criar padrões e legislações para uma melhor qualidade de energia), as normas européias (EN50006) que limitavam as perturbações/distúrbios nas redes de fornecimento causadas por aparelhos domésticos equipados com dispositivos eletrônicos.

Atualmente os principais padrões são o europeu IEC (*International Electrotechnical Commission*) (std. 61000-3-2, 1998) (limites para a distorção harmônica gerada por correntes menores que 16A por fase), (std. 61000-3-4, 1998) (correntes maiores que 16A por fase) e o americano (std. 519-1992, 1993) (recomendação do IEEE para práticas e requisitos para controle de harmônicas no sistema elétrico de potência). No Brasil, o órgão responsável pela elaboração de normas em geral é a ABNT (Associação Brasileira de Normas Técnicas) (ABNT, 2011) que, a fim de estar em concordância com muitas das normas internacionais, é associada ao IEC.

1.2.1 Conversor CA-CC

Na eletrônica de potência, o retificador é a estrutura capaz de realizar a conversão de tensões e correntes alternadas (CA) em tensões e correntes contínuas (CC).

Na literatura, é possível encontrar um grande número de trabalhos sobre os retificadores (Mohan e Undeland, 2003), (Da Silva, 2003), (Mazda, 2003) e (Barbi, 2006).

Os retificadores podem ser classificados, em um primeiro caso, de acordo com a faixa de potência em que atuam: baixa, médias e altas potências e têm seus usos ligados:

- aos carregadores de baterias;
- à alimentação e no controle da velocidade de motores CC;

- à alimentação dos inversores de motores CA;
- à transmissão de energia elétrica;
- aos compensadores estáticos de reativos e de harmônicos.

Algumas das vantagens para a sua aceitação no mercado e seu uso em muitas aplicações estão ligadas a alguns fatores, tais como:

- baixo custo;
- elevado rendimento;
- a sua confiabilidade.

Por outro lado, essas estruturas trazem alguns empecilhos e acarretam alguns transtornos:

- conteúdo harmônico na tensão de saída;
- baixo fator de potência;
- geração de harmônicos na corrente de entrada.

De um modo geral, espera-se de um retificador que suas características de entrada e saída sejam as melhores possíveis. Significando com isto que sua tensão de saída seja estável, não contendo perturbações nem ondulação (*ripple*), e que seu fator de potência (FP) seja unitário.

Retificadores Controlados

Nos retificadores ativos, também conhecidos como retificadores PWM, têm-se o controle através dos semicondutores de potência. Com isso, é possível controlar as correntes de entrada, bem como controlar o nível de tensão CC na saída do retificador. O controle da corrente de entrada permite obter melhor fator de potência e menor distorção de corrente, propiciando uma melhor THD.

Esses retificadores apresentam características mais adequadas aos requisitos de sistemas que são regulamentados por normas rígidas, como em fontes de alimentação para sistemas de telecomunicações, que dão preferência a estas topologias de retificadores (ABNT, 1999).

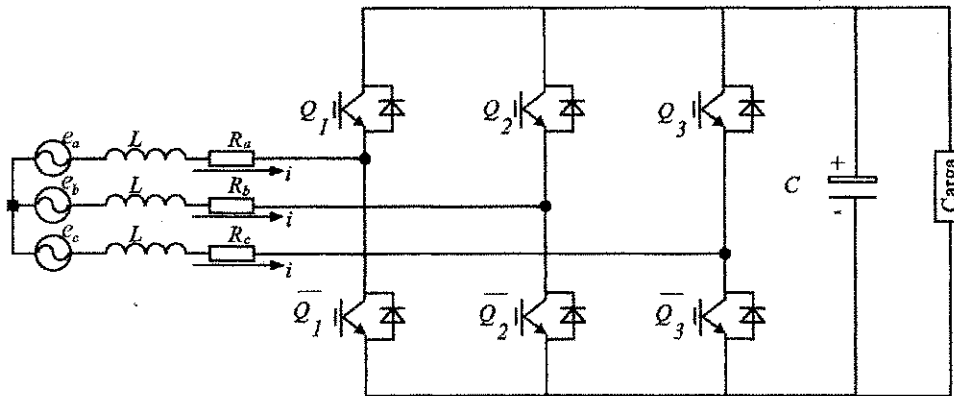


Figura 1.1: Estrutura de um retificador controlado de dois níveis.

Na Figura 1.1 é visto o retificador PWM de dois níveis sem neutro.

A partir do circuito apresentado na Figura 1.1, pode-se observar que as tensões v_{sa} , v_{sb} e v_{sc} podem ser definidas em função do estado das chaves e da tensão na carga, v_0 :

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = \begin{bmatrix} 1 - D_x \\ 1 - D_x \\ 1 - D_x \end{bmatrix} v_0 \quad (1.1)$$

onde D_x corresponde ao estado da chave do braço x com $x = 1, 2$ ou 3 .

$$\begin{cases} D_1 = \begin{cases} 0, Q_1 \rightarrow 1 \\ 1, Q_1 \rightarrow 0 \end{cases} \\ D_2 = \begin{cases} 0, Q_2 \rightarrow 1 \\ 1, Q_2 \rightarrow 0 \end{cases} \\ D_3 = \begin{cases} 0, Q_3 \rightarrow 1 \\ 1, Q_3 \rightarrow 0 \end{cases} \end{cases}$$

Pela lei de Kirchhoff, as correntes da entrada trifásicas descrevem a seguinte equação:

$$i_a + i_b + i_c = 0 \quad (1.2)$$

Pode-se ainda representar o conversor da Figura 1.1, pelo circuito equivalente da Figura 1.2.

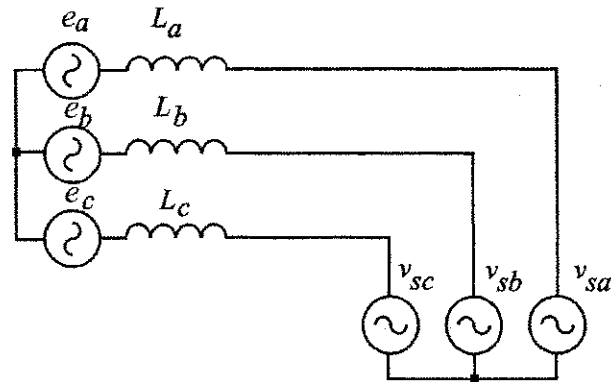


Figura 1.2: Circuito equivalente ao conversor da Figura 1.1.

Com base no circuito equivalente do conversor apresentado na Figura 1.2 as equações do sistema são:

$$\begin{cases} v_a - v_b &= (v_{la} - v_{lb}) + (v_{sa} - v_{sb}) \\ v_b - v_c &= (v_{lb} - v_{lc}) + (v_{bs} - v_{sc}) \\ v_c - v_a &= (v_{lc} - v_{la}) + (v_{sc} - v_{sa}) \end{cases} \quad (1.3)$$

onde

$$\begin{bmatrix} v_{sa} - v_{sb} \\ v_{bs} - v_{sc} \\ v_{sc} - v_{sa} \end{bmatrix} = \begin{bmatrix} v_{sab} \\ v_{sbc} \\ v_{sca} \end{bmatrix} \quad (1.4)$$

e $v_{sab} + v_{sbc} + v_{sca} = 0$.

Assim, a partir da equação (1.4), um circuito ainda mais simples está representado na Figura 1.3.

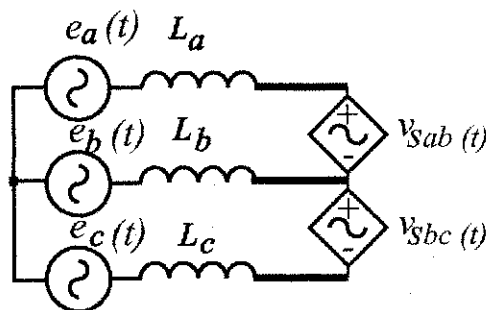


Figura 1.3: Circuito equivalente ao apresentado na Figura 1.2.

1.2.2 Conversor CC-CA

Os conversores CC-CA são denominados pelo setor industrial como inversores e tem como função básica a conversão de corrente ou tensão, disponíveis em uma forma contínua, em tensões/correntes alternadas, em geral, na forma senoidal.

O inversor pode ter sua frequência de operação, bem como sua tensão ou corrente de saída em valores fixos ou variáveis. No início da sua utilização, o inversor apresentava forma de onda de tensão na saída com características não senoidais, devido ao conteúdo harmônico, o que não é atrativo para certas aplicações. Com o desenvolvimento dos semicondutores, o conteúdo harmônico da tensão/corrente, geradas pelos inversores, foram bastante minimizados, chegando a alguns casos a serem quase 100% reduzidas.

Os inversores podem ser classificados em uma das seguintes categorias, dependendo do que se deseja obter na sua saída:

- Conversores CC-CA de tensão;
- Conversores CC-CA de corrente;
- Conversores CC-CA regulado em corrente;
- Conversores CC-CA de fase controlada.

Será dado ênfase, nessa seção, ao conversor CC-CA de tensão, que será avaliado neste trabalho.

Este tipo de conversor é o mais comum entre os conversores CC-CA. Possui sinal alternado de saída, tendo então valor médio nulo (comporta-se como fonte de tensão alternada).

A tensão contínua de entrada pode ser gerada por um retificador, ou mesmo por uma fonte CC (baterias, por exemplo). Este tipo de conversor tem algumas aplicações, dentre elas destacam-se:

- sistemas de acionamento de máquinas elétricas de corrente alternada;
- sistemas de alimentação ininterrupta de energia (UPS's).

Estrutura trifásica de dois níveis

O conversor CC-CA trifásico de tensão, com forma de onda retangular na saída, é uma das estruturas mais empregadas na indústria, e tem sua aplicação voltada para altas potências (Figura 1.4).

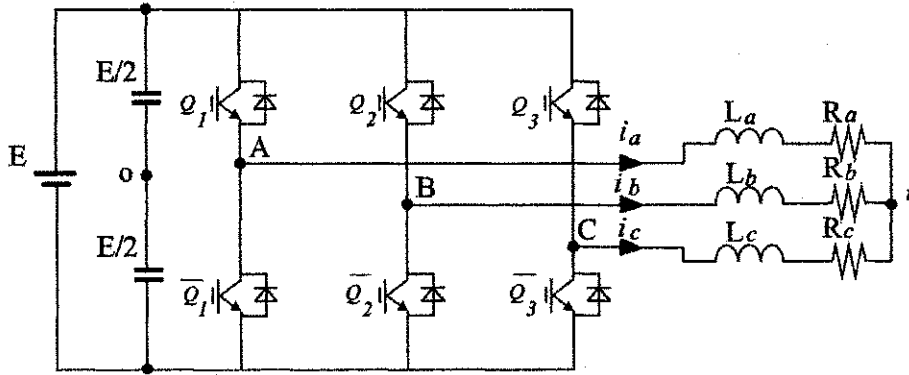


Figura 1.4: Estrutura de um inversor de dois níveis.

O funcionamento desta estrutura é simples: a cada meio período, cada terminal de saída de cada braço do inversor é conectado alternadamente, no terminal positivo e negativo da fonte.

Para a obtenção da tensão de saída trifásica, adota-se o ângulo de defasagem com valor de 120° entre as sequências de chaveamento de cada braço do inversor. Assim, consegue-se o mesmo comportamento dos sistemas trifásicos convencionais, pois o braço que está chaveando está a 120° atrasado com relação ao braço do inversor chaveado anteriormente e 120° adiantado em relação ao braço do inversor chaveado posteriormente.

Os inversores têm ampla aplicação em:

- controle em motores de corrente alternada;
- sistemas *no-break*;
- sistemas de potência;

A partir da Figura 1.4, para o inversor trifásico de dois níveis, obtêm-se na Tabela 1.1 os possíveis estados de comutação das chaves de um braço do inversor e os respectivos valores de tensão de pólo.

Tabela 1.1: Estados dos interruptores para o inversor trifásico de dois níveis.

Configuração	Estados k_x	Q_{x1}	Q_{x2}	v_{x0}
0	01	Bloqueio	Condução	$-E/2$
1	10	Condução	Bloqueio	$+E/2$

As equações (1.5) - (1.8) definem cada uma das tensões relacionadas com o circuito da Figura 1.4.

$$\text{Tensões de pólo:} \quad \begin{cases} v_{a0} \\ v_{b0} \\ v_{c0} \end{cases} \quad (1.5)$$

$$\text{Tensão de modo comum:} \quad v_{n0} \quad (1.6)$$

$$\text{Tensões de fase:} \quad \begin{cases} v_{an} = v_{a0} - v_{n0} \\ v_{bn} = v_{b0} - v_{n0} \\ v_{cn} = v_{c0} - v_{n0} \end{cases} \quad (1.7)$$

$$\text{Tensões de linha:} \quad \begin{cases} v_{ab} = v_{a0} - v_{b0} = v_{an} - v_{bn} \\ v_{bc} = v_{b0} - v_{c0} = v_{bn} - v_{cn} \\ v_{ca} = v_{c0} - v_{a0} = v_{cn} - v_{an} \end{cases} \quad (1.8)$$

No caso em que a carga trifásica está conectada em estrela, as seguintes equações da corrente de fase são determinadas:

$$i_a = \frac{v_{an}}{Z_a} = v_{an} Y_a \quad (1.9)$$

$$i_b = \frac{v_{bn}}{Z_b} = v_{bn} Y_b \quad (1.10)$$

$$i_c = \frac{v_{cn}}{Z_c} = v_{cn} Y_c \quad (1.11)$$

onde Z_a , Z_b e Z_c são as impedâncias e Y_a , Y_b e Y_c são as admitâncias, das fases a , b e c , respectivamente.

Pela lei de Kirchhoff a soma das correntes que chegam no nó n é dada por:

$$i_a + i_b + i_c = 0 \quad (1.12)$$

Substituindo os valores das equações (1.9) - (1.11) na equação (1.12), obtém-se:

$$v_{an} Y_a + v_{bn} Y_b + v_{cn} Y_c = 0 \quad (1.13)$$

Os valores de v_{an} , v_{bn} e v_{cn} dados na equação (1.7) são substituídos em (1.13):

$$v_{a0} Y_a + v_{b0} Y_b + v_{c0} Y_c - v_{n0} (Y_a + Y_b + Y_c) = 0 \quad (1.14)$$

considerando o sistema equilibrado, tem-se $Y_a = Y_b = Y_c = Y$. Da equação (1.14) é isolado o valor da tensão de modo comum:

$$v_{n0} = \frac{v_{a0} + v_{b0} + v_{c0}}{3} \quad (1.15)$$

As tensões de pólo são definidas em função do estado de condução das chaves e da tensão no barramento CC:

$$v_{x0} = (2q_x - 1) \frac{E}{2} \quad (1.16)$$

onde E é a tensão no barramento CC; $x = a, b$ ou c ; q_x é o estado da chave no braço x (quando $q_x = 0$ a chave está aberta, quando $q_x = 1$ a chave está fechada); e v_{x0} é a tensão de pólo do braço x .

Substituindo as tensões de pólo obtidas na equação (1.16), nas equações das tensões de linha (1.8), tem-se:

$$\begin{aligned} \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} &= \begin{bmatrix} v_{a0} - v_{b0} \\ v_{b0} - v_{c0} \\ v_{c0} - v_{a0} \end{bmatrix} = \begin{bmatrix} (2q_a - 1)\frac{E}{2} - (2q_b - 1)\frac{E}{2} \\ (2q_b - 1)\frac{E}{2} - (2q_c - 1)\frac{E}{2} \\ (2q_c - 1)\frac{E}{2} - (2q_a - 1)\frac{E}{2} \end{bmatrix} \\ &= E \begin{bmatrix} q_a - q_b \\ q_b - q_c \\ q_c - q_a \end{bmatrix} = E \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} q_a \\ q_b \\ q_c \end{bmatrix} \end{aligned} \quad (1.17)$$

As tensões de fase podem ser escritas em função apenas das tensões de pólo substituindo a tensão de modo comum da equação (1.15) na equação (1.7), assim:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2v_{a0} - v_{b0} - v_{c0} \\ -v_{a0} + 2v_{b0} - v_{c0} \\ -v_{a0} - v_{b0} + 2v_{c0} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix} \quad (1.18)$$

onde as tensões de pólo são obtidas da equação (1.16), as tensões de fase são dadas em função do estado das chaves por:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{3} \begin{bmatrix} 2q_a - q_b - q_c \\ -q_a + 2q_b - q_c \\ -q_a - q_b + 2q_c \end{bmatrix} = \frac{E}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} q_a \\ q_b \\ q_c \end{bmatrix} \quad (1.19)$$

Num sistema equilibrado a três fases, as tensões de fase são obtidas em função das tensões de linha:

$$\begin{aligned} \begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} &= \frac{1}{3} \begin{bmatrix} 2v_{a0} - v_{b0} - v_{c0} \\ -v_{a0} + 2v_{b0} - v_{c0} \\ -v_{a0} - v_{b0} + 2v_{c0} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} v_{ab} - v_{ca} \\ v_{bc} - v_{ab} \\ v_{ca} - v_{bc} \end{bmatrix} \\ &= \frac{1}{3} \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} \end{aligned} \quad (1.20)$$

Na Tabela 1.2 estão relacionadas as tensões do inversor de dois níveis para os diferentes estados de condução das chaves. Pode-se observar que as tensões de pólo possuem dois níveis, as tensões de linha três níveis e as tensões de fase cinco níveis.

Tabela 1.2: Seqüência de comutação e tensões de saída.

Vetores	Estados	V_{ao}	V_{bo}	V_{co}	V_{ab}	V_{bc}	V_{ca}	V_{an}	V_{bn}	V_{cn}
0	000	$-E/2$	$-E/2$	$-E/2$	0	0	0	0	0	0
1	100	$+E/2$	$-E/2$	$-E/2$	E	0	$-E$	$2E/3$	$-E/3$	$-E/3$
2	110	$+E/2$	$+E/2$	$-E/2$	0	E	$-E$	$E/3$	$E/3$	$-2E/3$
3	010	$-E/2$	$+E/2$	$-E/2$	$-E$	E	0	$-E/3$	$2E/3$	$-E/3$
4	011	$-E/2$	$+E/2$	$+E/2$	$-E$	0	E	$-2E/3$	$E/3$	$E/3$
5	001	$-E/2$	$-E/2$	$+E/2$	0	$-E$	E	$-E/3$	$-E/3$	$2E/3$
6	101	$+E/2$	$-E/2$	$+E/2$	E	$-E$	0	$E/3$	$-2E/3$	$E/3$
7	111	$+E/2$	$+E/2$	$+E/2$	0	0	0	0	0	0

1.3 Breve Introdução Sobre Conversores Multiníveis

O uso maior dos retificadores e inversores, em especial nos últimos anos, devido a um aumento gradativo da demanda por energia elétrica, faz com que novas topologias e estratégias de modulação sejam desenvolvidas.

Então surgiu, em 1981, uma nova topologia de conversor, utilizando três níveis, com diodos ligados ao ponto do neutro (Nabae et al., 1981). Esta estrutura é chamada de inversor com diodos de grampeamento (*Neutral Point Clamped - NPC*). Sua tensão de saída tem uma quantidade reduzida de harmônicos quando comparada com o conversor de dois níveis. Nas Figuras 1.5(a) e 1.5(b) é apresentada a estrutura de três níveis, formada a partir de módulos de dois níveis. Pode-se ver que as chaves são conectadas em série, sendo incluído na nova estrutura, os diodos de grampeamento.

Uma das vantagens do conversor multinível se refere ao *stress* sobre a chave. Para um inversor de dois níveis, a máxima tensão a ser suportada pela chave que se encontra bloqueada, será igual ao valor de tensão E que se encontra no barramento (gerando *stress* na chave). Já no inversor multinível, especificamente em um de três níveis, não importa

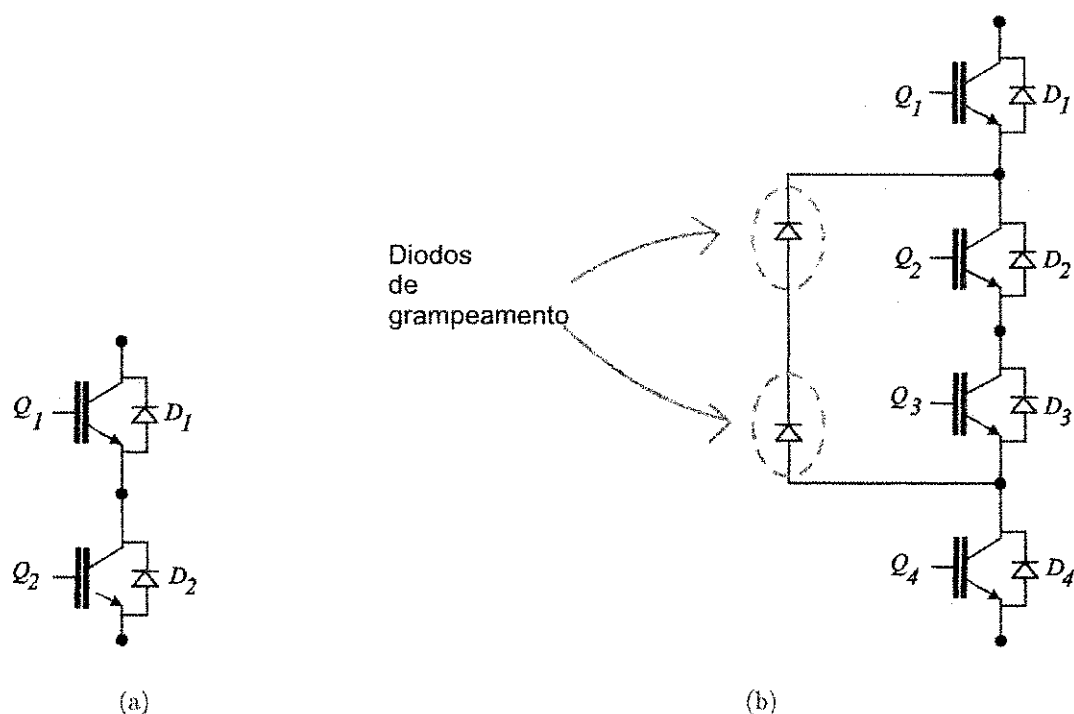


Figura 1.5: a) Braço de um conversor de dois níveis; b) Braço de um conversor de três níveis.

a configuração, sempre haverá duas chaves abertas, então a tensão passa a ser $E/2$ sobre cada chave que esta bloqueada, reduzindo o *stress* sobre as mesmas, sendo possível por isto, trabalhar com tensões mais elevadas.

Além de estruturas novas, técnicas de modulação por largura de pulso (*Pulse Width Modulation - PWM*) têm sido desenvolvidas para circuitos inversores com o intuito de reduzir harmônicos e permitir o controle da tensão fundamental de saída (Bhagwat e Stefanovic, 1983).

Outra técnica de modulação que tem sido utilizada por apresentar algumas vantagens, é técnica de modulação vetorial, que será abordada na próxima seção.

1.4 Modulação Vetorial

A modulação vetorial (*Space Vector Modulation - SVM*) é uma técnica de modulação que pode ser aplicada em diversos tipos de conversores: Retificadores, Inversores, Filtros Ativos

(van der Broeck et al., 1988), e emprega uma notação vetorial para processamento de suas grandezas, simplificando com isto, a análise do sistema estudado (Veenstra e Rufer, 2000).

Na modulação vetorial consideram-se os seguintes fatores: a identificação de setores para o posicionamento dos vetores a serem implementados, a relação entre os vetores e os sinais de comando, as definições dos vetores possíveis e disponíveis, a decomposição destes vetores nos eixos dq , e qual sequência de vetores será adotada, para compor o vetor de referência.

Com o surgimento do *SV-PWM* (*Space Vector - PWM*) houve a possibilidade de representar os estados das chaves do conversor em: (0 \Rightarrow bloqueio) e (1 \Rightarrow condução), gerando vetores espaciais.

Como nos estudos que seguirão sobre as técnicas de modulação para conversores multi-níveis foram usados modulação vetorial de dois e três níveis, será abordado a seguir, de maneira sucinta, a modulação vetorial para conversores de dois e três níveis.

1.4.1 Modulação Vetorial Para Inversores de Dois Níveis

Para o conversor de dois níveis, representado na Figura 1.4, tem-se na Tabela 1.3 os respectivos vetores. Para este tipo de estrutura de dois níveis com três braços, há possibilidade de utilização de (2^3) vetores.

Tabela 1.3: Sequência de comutação e tensões de saída.

Vetores	Estados	V_{ao}	V_{bo}	V_{co}
0	000	$-E/2$	$-E/2$	$-E/2$
1	100	$+E/2$	$-E/2$	$-E/2$
2	110	$+E/2$	$+E/2$	$-E/2$
3	010	$-E/2$	$+E/2$	$-E/2$
4	011	$-E/2$	$+E/2$	$+E/2$
5	001	$-E/2$	$-E/2$	$+E/2$
6	101	$+E/2$	$-E/2$	$+E/2$
7	111	$+E/2$	$+E/2$	$+E/2$

Na Tabela 1.3, os vetores '0' e '7' são chamados de vetores nulos (ou de roda livre), já que os vetores gerados, por estes estados, não geram fluxo de energia entre a fonte CC e

a carga. Já os vetores gerados pelos outros estados são denominados vetores ativos, pois geram fluxo de energia entre a fonte e a carga.

Será demonstrado a seguir como são determinados os vetores espaciais de tensão e o tempo de aplicação de cada um em um período da modulação. Na Figura 1.6 é visto o diagrama vetorial para o inversor de dois níveis e as seis regiões em que ele pode ser dividido.

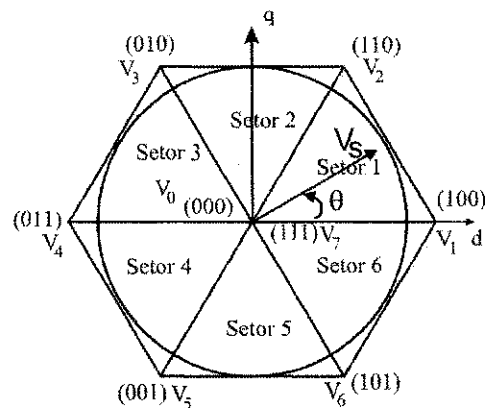


Figura 1.6: Diagrama vetorial do inversor de dois níveis.

O vetor de tensão de referência é definido pela amplitude V_s' e pela posição θ' . Este vetor determina o triângulo cujos vértices são os vetores espaciais de tensão que serão utilizados em um período de modulação. Observa-se que o ângulo entre os vetores é de 60° e que as extremidades dos vetores são os vértices de um hexágono regular.

Para o setor 1, por exemplo, do diagrama da Figura 1.6, os intervalos de tempo a serem determinados para aplicação dos vetores que limitam esta região são: t_0 , t_1 , t_2 e t_7 (os vetores são, respectivamente, V_0 , V_1 , V_2 e V_7). Estes intervalos são determinados e somados para se obter os tempos em que os interruptores permanecem no estado de condução (T_1 , T_2 e T_3). Através do vetor de tensão de referência V_s (obtido a partir dos sinais de referência senoidais, v_a , v_b e v_c), determina-se o tempo de aplicação de cada vetor espacial.

1.4.2 Modulação Vetorial para Inversores de Três Níveis

Para o conversor de três níveis, representado na Figura 1.7, tem-se, na Tabela 1.4, as configurações destes vetores. Para este tipo de estrutura de três níveis com três braços, há possibilidade de utilização de $(3^3) = 27$ vetores, das quais apenas 19 produzem valores

diferentes de tensões na saída do inversor.

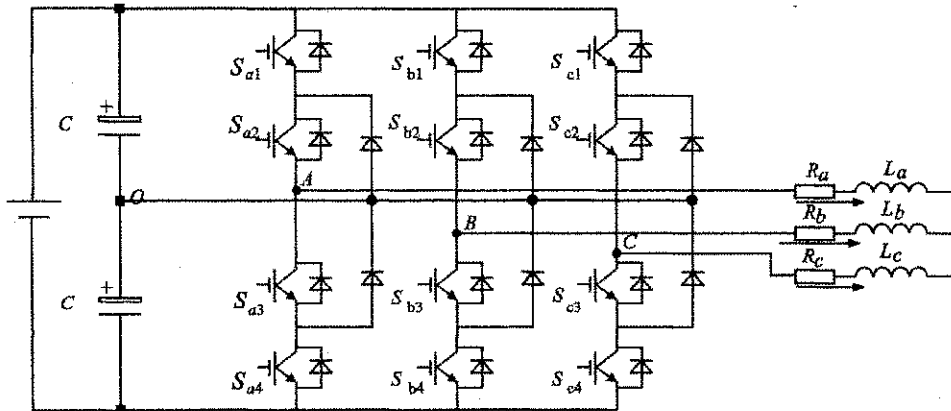


Figura 1.7: Estrutura de um inversor de três níveis.

É visto na Figura 1.8 o exemplo de um sinal de comando genérico para um braço de um inversor durante um período de modulação por largura de pulso. Na modulação vetorial, determina-se as larguras de pulso de comando (τ_{2x} , τ_{1x} e τ_{0x}), mostrada na Figura 1.8.

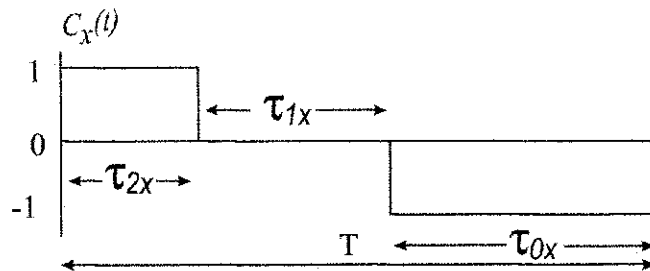


Figura 1.8: Sinal de comando de um braço do inversor.

Na Figura 1.9, tem-se a representação gráfica dos vetores da Tabela 1.4. Na modulação vetorial, o vetor de tensão de referência é formado aplicando-se à carga os vetores mais próximos do vetor desejado. Com isto, tem-se na saída uma tensão com menos conteúdo harmônico para uma dada frequência de chaveamento. (Lee et al., 1994), (Liu e Cho, 1993) e (Seo et al., 2001).

Para simplificar o estudo, a Figura 1.9 foi dividida em seis setores de A a F. Na Figura 1.10 o Setor A é detalhado e suas regiões numeradas de um a quatro.

Na Figura 1.11, são identificadas as equações das retas que limitam e dividem o Setor A. De acordo com as seguintes condições, é possível determinar a posição do vetor de referência:

Tabela 1.4: Estados das chaves.

Vectores	Estados (k_x)	Estados (V_{a0})	Estados (V_{b0})	Estados (V_{c0})
0	000	$-E/2$	$-E/2$	$-E/2$
	111	0	0	0
	222	$E/2$	$E/2$	$E/2$
1	100	0	$-E/2$	$-E/2$
	211	$E/2$	0	0
2	110	0	0	$-E/2$
	221	$E/2$	$E/2$	0
3	010	$-E/2$	0	$-E/2$
	121	0	$E/2$	0
4	011	$-E/2$	0	0
	122	0	$E/2$	$E/2$
5	001	$-E/2$	$-E/2$	0
	112	0	0	$E/2$
6	101	0	$-E/2$	0
	212	$E/2$	0	$E/2$
7	200	$E/2$	$-E/2$	$-E/2$
8	210	$E/2$	0	$-E/2$
9	220	$E/2$	$E/2$	$-E/2$
10	120		$E/2$	$-E/2$
11	020	$-E/2$	$E/2$	$-E/2$
12	021	$-E/2$	$E/2$	0
13	022	$-E/2$	$E/2$	$E/2$
14	012	$-E/2$	0	$E/2$
15	002	$-E/2$	$-E/2$	$E/2$
16	102	0	$-E/2$	$E/2$
17	202	$E/2$	$-E/2$	$E/2$
18	201	$E/2$	$-E/2$	0

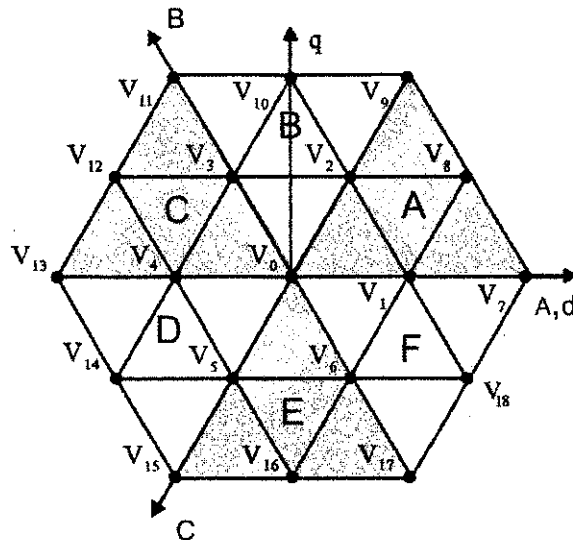


Figura 1.9: Vetores e setores de tensão do inversor de três níveis.

- Região 1: Se $(V_a - V_c) < E/2$;
- Região 2: Se $(V_a - V_b) > E/2$;
- Região 3: Se $(V_a - V_c) > E/2$ e $(V_a - V_b) < E/2$ e $(V_b - V_c) < E/2$;
- Região 4: Se $(V_b - V_c) > E/2$;

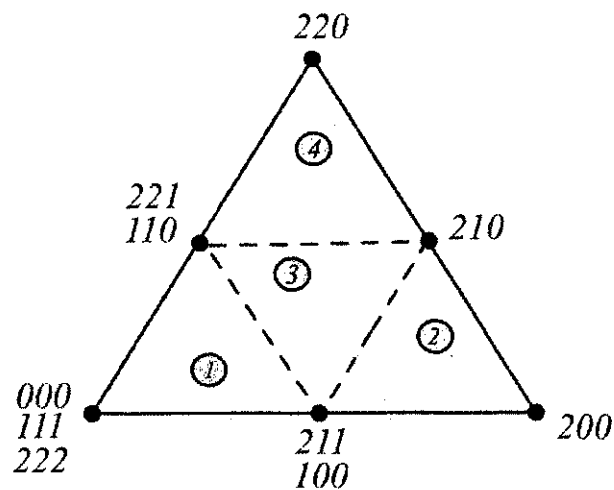


Figura 1.10: Vetores de tensão do setor A.

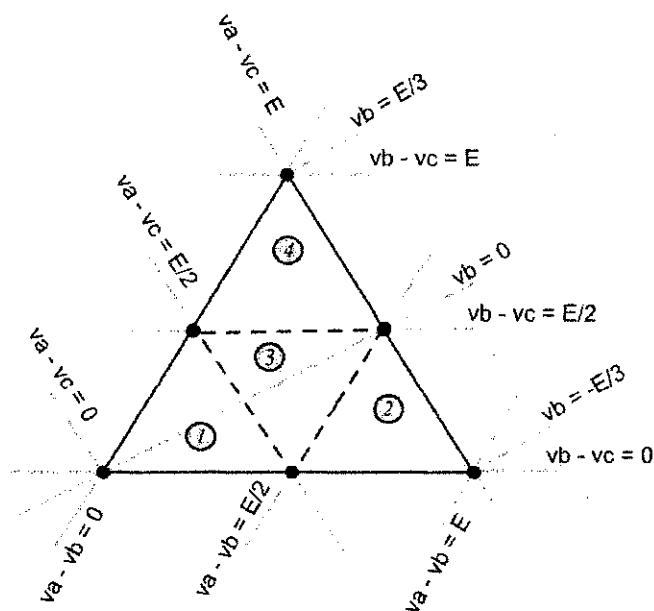


Figura 1.11: Vetores de tensão do setor A.

1.5 Revisão bibliográfica

Como já comentado, a partir de estudos relacionados a área de eletrônica de potência, com o intuito de se melhorar a qualidade da energia, se desenvolveu uma nova topologia de conversores: os multiníveis (Nabae et al., 1981). Este tipo de conversor foi generalizado posteriormente para estrutura de n níveis (Bhagwat e Stefanovic, 1983) e (Choi et al., 1991). Esses conversores, nos dias de hoje, têm sido utilizados em aplicações de média e alta tensão (Tolbert et al., 1999), (Suh et al., 1998), (Rodriguez et al., 2007) e (Franquelo et al., 2008).

Três diferentes topologias desses conversores multiníveis foram propostas: A de diodo de grampeamento (*Neutral Point Clamped*) (Nabae et al., 1981); capacitores flutuantes (*flying capacitors*) (Meynard e Foch, 1992), (Lai e Peng, 1995) e (Hochgraf et al., 1994); e em cascata (*cascaded multicell*) (Marchesoni, 1992) e (Hammond, 1997).

O conversor multinível apresenta vantagens com relação à estrutura convencional de dois níveis, sendo a principal o número de níveis de tensão em sua saída (Nabae et al., 1981), (Ratnayake e Murai, 1998), (Tolbert et al., 1999), (Choi et al., 1991), (Newton e Sumner, 1997), (Marchesoni, 1992) (Rodriguez et al., 2002a) e (Franquelo et al., 2008).

Dentre as estruturas de três níveis que serão o tema central do trabalho, serão abordados o conversor CA-CC (retificador) de três níveis *NPC* e o conversor CC-CA (inversor) de três

níveis também *NPC* e a associação destas duas estruturas.

O retificador de três níveis apresenta, em sua saída, dois barramentos CC (dois bancos de capacitores) (Rodriguez et al., 2005). Para esta estrutura ter um funcionamento adequado, torna-se necessário um controle das tensões do barramento de saída, com equilíbrio e uma divisão igualitária da tensão em cada banco de capacitores (Umbrí anda et al., 2010) e (Chen et al., 2008).

Com o uso de inversores de três níveis, foi obtido uma melhoria na conversão de energia CC-CA, devido à melhoria da forma de onda de tensão de saída que se aproxima a uma senóide, apresentando assim, menores níveis de distorção harmônica (Bhagwat e Stefanovic, 1983) e (Rodriguez et al., 2002a).

Assim como para os retificadores de três níveis, para o correto funcionamento dos inversores multiníveis, é necessário haver o balanceamento das tensões.

Algumas estratégias propõem a redução do diagrama vetorial de um inversor de três níveis para um de dois níveis (Seo et al., 2001) e (de Oliveira., 2005), reduzindo o tempo de execução do algoritmo. Essas técnicas também fazem uso da adição de uma componente de sequência zero para solucionar o problema do desbalanceamento, assim como em (Steinke, 1992), (Lee et al., 1999) e (Ogasawara e Akagi, 1993), obtendo a redução da distorção harmônica nos sinais de saída dos inversores multiníveis, quando comparadas com a técnica convencional em que uma portadora triangular é comparada a sinais senoidais.

Técnicas tradicionais *PWM* (Holtz, 1994) têm sido estendidas para conversores multiníveis com sucesso, usando múltiplas portadoras para o chaveamento dos conversores (McGrath e Holmes, 2002), sendo mais comumente utilizadas nas indústrias (Kouro et al., 2010).

Outras técnicas PWM estão sendo propostas na literatura, visando melhorar cada vez mais os resultados. Entre estas estratégias, a modulação por espaço vetorial (*SVM*) tem se destacado, pois oferece uma flexibilidade significativa para otimização das formas de onda (Liu e Cho, 1993), (Celanovic e Boroyevich, 2000) e (Bakhshai et al., 2001).

Em (Celanovic e Boroyevich, 2001) é desenvolvido um algoritmo geral de modulação espaço vetorial para conversores n-nível trifásico. além disso, o número de passos necessários para selecionar os vetores e calcular os seus *duty cycles*, permanece o mesmo, independente

do número de níveis do conversor, o que torna a estratégia bem atrativa.

Também é visto em (Celanovic e Boroyevich, 2000) uma nova formulação matemática para o problema do balanceamento dos capacitores do barramento do conversor. Além disso, ele dimensiona o tamanho do capacitor para qualquer ponto de operação do inversor, isto sendo normalizado com o valor da corrente de saída. Com os resultados apresentados pelos autores citados, chega-se a um maior esclarecimento sobre as compensações entre o tamanho do capacitor do barramento, o tamanho da ondulação da tensão no barramento CC, como também sobre a estratégia de balanceamento dessas tensões.

Em (Mahdavi et al., 1999) há também a utilização da modulação vetorial através do controle de corrente de saída em inversores multiníveis de tensão, visando diminuir o erro de corrente, melhorando o desempenho do inversor em aplicações de compensação das potências reativas.

A estratégia em (Rodriguez et al., 2002b) baseada também na modulação vetorial, além de produzir uma menor taxa de distorção harmônica, possui um menor número de comutações, que acarretam menores perdas por chaveamento e geram melhor eficiência do inversor.

Foi proposto em (Pou et al., 2005) uma técnica de modulação para inversores multiníveis, que opera em baixas frequências de chaveamento, visando a redução das perdas na comutação. São realizados cálculos que determinam qual a melhor sequência de vetores para o primeiro setor do diagrama vetorial, que por simetria, são estendidos aos demais setores.

Em (Busquets-Monge et al., 2004) utiliza-se vetores virtuais visando tornar a corrente média no ponto central nula, garantindo com isso o equilíbrio das tensões no ponto do neutro para qualquer tipo de carga (linear ou não linear), desde que a $i_a + i_b + i_c = 0$ (carga equilibrada). Dessa forma, a modulação proposta diminui significativamente o tamanho dos capacitores do barramento. Foi constatado também que quando comparada com a técnica de espaço vetorial tradicional (SV), a técnica virtual (VSV) pode trabalhar com uma frequência de chaveamento menor, para se ter o mesmo número de transições das chaves, nas duas técnicas.

Uma modificação na técnica seno-triângulo (*sinusoidal pulse width modulation SPWM*) é proposta em (Ratnayake et al., 1999) para se conseguir o balanceamento da tensão nos capacitores. Com essa modificação se consegue uma grande redução na variação da tensão

no ponto do neutro, mantendo uma forma senoidal na tensão de saída. Essa técnica evita a necessidade de altas capacitâncias do barramento CC, o que é inevitável na maioria das aplicações industriais de conversores multinível.

Outros estudos apontam para a adição de um hardware para este balanceamento, adicionando um circuito de regulação, que força a transferência de energia entre os capacitores (Cheng e Crow, 2002), (Newton e Sumner, 1999), (von Jouanne et al., 2002) e (Choi et al., 1991). Esse circuito pode ser implementado usando a adição de mais algumas chaves e diodos ao conversor, o que torna o processo um pouco mais caro e mais complexo. Em (Cheng e Crow, 2002) é citado também que o circuito extra consegue resultados de balanceamento melhores que as técnicas de espaço vetorial (*SVM*) e (*DC offset*) discutidas em (Fang Zheng Peng, 1996).

Em (Ogasawara e Akagi, 1993) e (Newton e Sumner, 1997) foram feitas análises analíticas para o problema da variação da tensão no barramento e estudada a estabilidade baseada no modelo dinâmico desenvolvido. Utiliza-se a corrente média no ponto do neutro (*NP*) para corrigir o problema da variação de tensão, com adição de uma componente de sequência zero. Os métodos não são eficazes quando se utiliza baixas frequências no chaveamento.

Em (Khajehoddin et al., 2008) é proposta uma estratégia de balanceamento de tensão nova e aperfeiçoada, para conversores multiníveis, que faz uso do modelo de fluxo de corrente independente da estratégia de modulação adotada. Este modelo prevê os novos estados de chaveamento do conversor baseado nos valores de correntes de saída, da tensão do barramento e da corrente gerada pelo chaveamento.

Já em (Verne et al., 2008) é proposto um circuito simples que prevê o desvio das tensões nos capacitores para diferentes modos de operação. Este modelo gera um algoritmo de otimização para minimizar o desbalanceamento das tensões no barramento. Isto permite selecionar as melhores combinações de chaveamento para cada ciclo e é aplicável a conversores de *n*-níveis.

Para o problema do balanceamento em retificadores é proposto por (Chen et al., 2008) uma estratégia de controle de potência direta (*Direct Power Control - DPC*). Nesse trabalho é discutido o desenvolvimento do controle da potência instantânea ativa e reativa através da escolha do estado de chaveamento ótimo do conversor. O balanceamento é realizado de

acordo com a direção da corrente no ponto médio, sendo analisado também o efeito dos estados de chaveamento nas potências ativa e reativa.

Em (Umbrí anda et al., 2010) foram propostas algumas alternativas para o projeto dos controladores, que são baseados na rejeição de um distúrbio, tendo em vista que este termo não-linear pode ser aproximado de um sinal de terceira ordem harmônica. O controle das tensões do barramento teve resposta mais rápida e melhor, utilizando a técnica de princípio de modelo interno (*IMP*), o qual inclui um modelo do termo não linear no controlador. Este modelo consiste em uma função de transferência para obter a anulação da perturbação.

Através da junção do retificador e do inversor de três níveis do tipo NPC, obtém-se uma estrutura chamada de "*Back-to-Back*" (Yingchao et al., 2008). Este tipo de conversor têm atraído cada vez mais a atenção devido às suas vantagens, tais como: fluxo de potência bidirecional, baixa distorção harmônica de corrente, alto fator de potência e controle das tensões nos capacitores do barramento CC (Kohlmeier, 1987).

Em (Yingchao et al., 2010) é apresentado um controle integrado para o *NPC Back-to-Back*, realizando o balanceamento da seguinte forma: através do controle de potência direta (*DPC*), e usando uma malha de controle para reduzir o atraso da resposta. Com esse controle é demonstrado que o tamanho dos capacitores do barramento, por não estarem sofrendo tantas flutuações de tensão, podem ser diminuídos.

A utilização desta topologia de conversor apresenta características interessantes para aplicações envolvendo a exploração de fontes de energias renováveis, em sistemas de alta potência (Yingchao et al., 2008) e (Portillo et al., 2006).

Técnica de modulação de espaço vetorial também foi abordada para esta topologia (Grigoletto e Pinheiro, 2009). É estabelecida a relação entre o balanceamento das tensões nos capacitores e as distorções harmônicas nas tensões de saída. Desta forma, é criado um grau de liberdade para operar com baixos índices de *THD*, minimizando o desequilíbrio das tensões no barramento.

Já em (Tan et al., 2010) é apresentado este tipo de conversor operando com baixa frequência de chaveamento, mostrando um desempenho satisfatório, o que torna atrativo para as indústrias.

1.6 Proposta de Trabalho

Serão desenvolvidos, neste trabalho, estudos sobre as técnicas de modulações em inversores (Cap. 3), bem como da possibilidade de serem utilizadas em retificadores. As estratégias foram escolhidas de acordo com a sua facilidade de implementação, os bons resultados obtidos por elas, bem como por serem bastante citadas na literatura da área.

Alguns fatores das estratégias escolhidas serão analisados, tais como a frequência de chaveamento, perdas, análises harmônicas, observando quais têm melhores resultados.

Ainda será proposto um estudo de um conversor Back-to-Back de três níveis.

1.7 Organização do Trabalho

Neste trabalho, serão estudadas algumas estratégias de modulação para conversores de três níveis. O estudo se encontra dividido em quatro capítulos:

Capítulo 1: Será apresentada uma breve introdução sobre eletrônica de potência, bem como uma introdução aos estudos sobre conversores de potência, que será o foco principal deste trabalho. Também apresenta um estudo na literatura sobre conversores multiníveis.

Capítulo 2: Serão apresentados os estudos realizados com os conversores multiníveis, mas precisamente, os de três níveis. Serão analisadas as vantagens, desvantagens, destes tipos de conversores. Ainda neste capítulo, serão apresentadas as estruturas de três níveis do conversor CA-CC e do conversor CC-CA, bem como a associação dessas duas estruturas comumente chamada de *Back-to-Back*.

Capítulo 3: Serão apresentadas as estratégias escolhidas de modulação *PWM*. Também serão apresentados os resultados obtidos para o balanceamento da tensão dos capacitores do barramento CC, por cada uma delas.

Capítulo 4: Será abordada a análise comparativa das estratégias propostas.

Capítulo 5: Serão apresentadas as conclusões do estudo apresentado neste trabalho, como também, serão apresentadas propostas para trabalhos futuros.

2

Conversores Multiníveis

2.1 Introdução

O cenário mundial sobre fontes de energia esta mudando. A dependência sobre os combustíveis fósseis, o seu alto custo, bem como, as questões ambientais, estão levando a cada dia um maior investimento em pesquisas e desenvolvimento relacionados à exploração de fontes de energia alternativas e/ou renováveis.

Um dos focos da pesquisa relativa ao uso de fontes renováveis de energia, que tem interação direta com a eletrônica de potência, é o desenvolvimento de topologias de conversores com o propósito de integração de fontes de geração distribuída a rede de distribuição de energia.

O constante processo de desenvolvimento de novos dispositivos semicondutores e a busca por estruturas de conversores cada vez mais eficientes e capazes de controlar níveis de potência cada vez maiores, tem fomentado os estudos e desenvolvimentos observados na área de conversores estáticos.

Atualmente, existe uma certa concorrência entre as topologias clássicas de conversores de potência usando dispositivos semicondutores que suportam altas tensões e as novas topologias de conversores utilizando dispositivos semicondutores de média tensão.

O uso de conversores multinível tem crescido nas indústrias, principalmente para uso em média e alta tensão (Nabae et al., 1981), (Ratnayake et al., 1999), (Tolbert et al., 1999),

(Suh e Hyun, 1997), (Lee et al., 1994), (Marchesoni, 1989), (Choi et al., 1991). Devido a este aumento nos últimos anos, e também a deficiência no desempenho em altas tensões dos semicondutores, adotou-se a conexão destes dispositivos em série, surgindo os conversores multinível.

Estas estruturas multiníveis foram primeiramente propostas para sistemas de acionamentos elétricos de alta potência (Nabae et al., 1981). Atualmente, têm-se outras aplicações, tais como: Compensadores estáticos de reativos, corrigindo o fator de potência em cargas industriais, sistemas de transmissão de corrente contínua (*High Voltage Direct Current - HVDC*) e filtros ativos de potência (Celanovic e Boroyevich, 2000) e (Tolbert et al., 2000).

Pode ser visto na Figura 2.1 de uma forma bem simples e generalizada um braço de um conversor de dois níveis até n-níveis. Do lado contínuo encontram-se os capacitores e do outro (braço do conversor) os interruptores que geram na saída, a depender do número de níveis, n-níveis de tensão formando um sinal em escada.

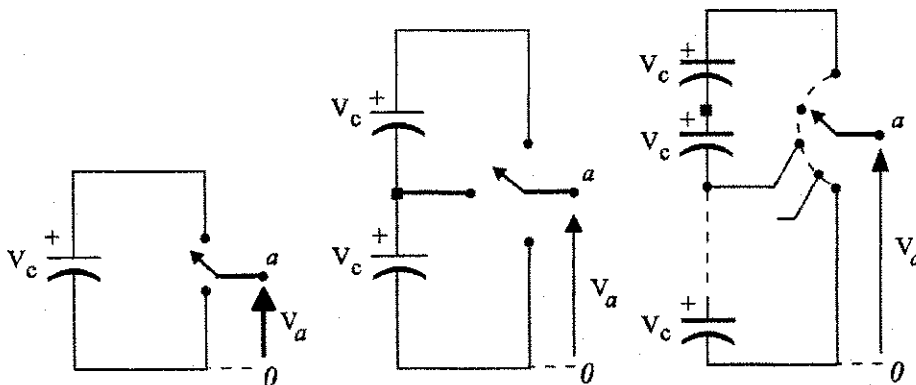
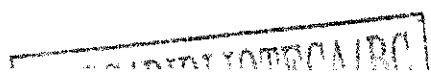


Figura 2.1: Braço de um conversor de dois níveis até n-níveis.

Em um conversor convencional apenas se tem dois níveis na sua tensão de saída (daí o nome, conversor de dois níveis). Em um conversor multinível têm-se três ou mais níveis de tensões na saída. Esta é a principal diferença entre os conversores. Mas a partir desta diferença começam as vantagens e também desvantagens, como indicadas a seguir:

Vantagens:

- menor tensão aplicada nos interruptores;
- menores frequências de chaveamento, conseqüentemente, menores perdas e maior rendi-



mento;

- menor conteúdo harmônico na saída;
- tendo tensão de saída em níveis, diminui-se os transitórios de tensão, reduzindo os problemas de interferências eletromagnéticas (EMI);
- Redução dos harmônicos de baixa frequência do lado da tensão CA, significando redução no tamanho da indutância.

Desvantagens:

- o equilíbrio das tensões dos capacitores do barramento CC tem que ser mantido para o correto funcionamento da estrutura, garantindo com isso, a mesma tensão de bloqueio nas chaves e os níveis de tensão necessários para o PWM.
- com maior número de interruptores, conseqüentemente, o custo final da estrutura será mais alta;
- com este aumento no número de interruptores, será necessário também, um controle mais complexo, que varia com o número de níveis;
- a depender da frequência de comutação, tem-se maiores perdas durante o chaveamento, devido ao maior número de interruptores.

Estas desvantagens têm sido reduzidas ao longo dos anos, principalmente como citado anteriormente, pelo progresso feito na área da eletrônica, viabilizando dispositivos mais modernos, como os IGBTs, aumentando a potência e a frequência de chaveamento.

O controle tem sido facilitado devido ao surgimento e aperfeiçoamento de novos processadores, como os DSPs (*Digital Signal Processor*), que tem processamento mais rápido e uma capacidade aumentada de cálculo.

2.2 Retificador de Três Níveis

A topologia do retificador de três níveis apresenta na sua saída dois barramentos CC (dois bancos de capacitores). Para esta estrutura e para o seu melhor funcionamento deve-se ter

uma estratégia de controle para equilibrar as tensões neste capacitores, ou seja, que cada capacitor apresente a metade da tensão de saída.

Com este equilíbrio de tensões obtido, a tensão que será aplicada em cada interruptor será de metade da tensão total do barramento. Esta topologia de três níveis torna-se muito atrativa para aplicações que necessitam de valores elevados de tensão na saída.

Não ocorrendo o equilíbrio das tensões no barramento CC, têm-se como consequência tensões elevadas sobre os interruptores. Daí a importância deste balanceamento no barramento CC.

Na Figura 2.2 é visto a estrutura de um retificador NPC de três níveis.

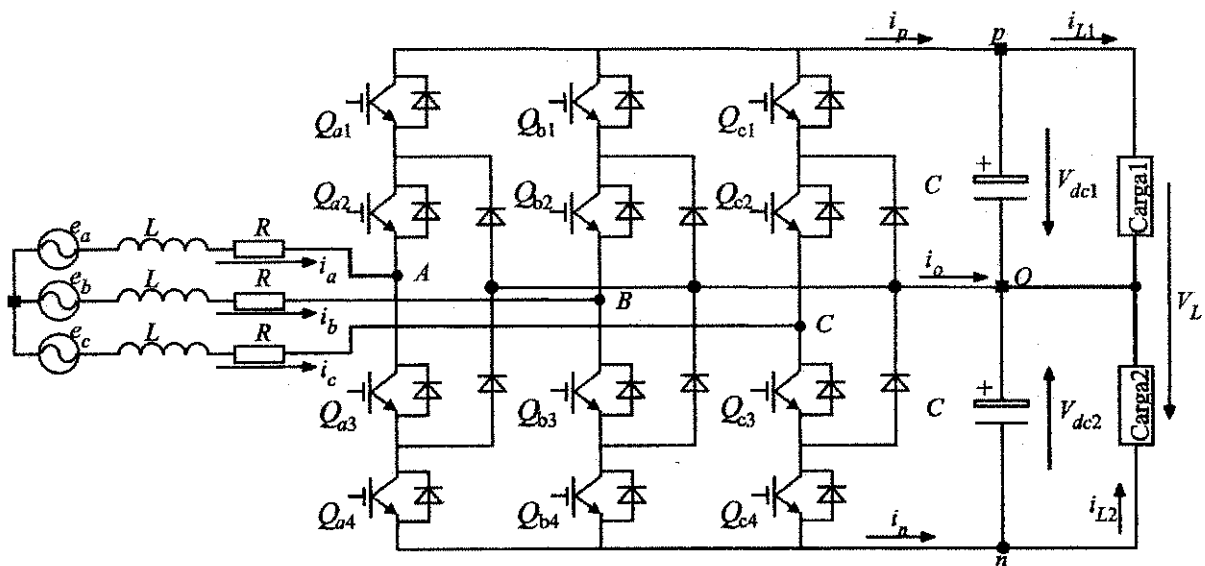


Figura 2.2: Estrutura de um retificador de três níveis.

Na Figura 2.3 pode ser visto o circuito equivalente da topologia NPC.

As funções de chaveamento podem ser vistas a seguir e descrevem os estados de um retificador de três níveis NPC como descrito na Figura 2.3.

$$S_x = \begin{cases} 2, & Q_{x1}, Q_{x2} : \text{Ligado} & Q_{x3}, Q_{x4} : \text{Desligado} \\ 1, & Q_{x2}, Q_{x3} : \text{Ligado} & Q_{x1}, Q_{x4} : \text{Desligado} \\ 0, & Q_{x3}, Q_{x4} : \text{Ligado} & Q_{x1}, Q_{x2} : \text{Desligado} \end{cases}$$

onde o X representa a fase a,b ou c dos três braços.

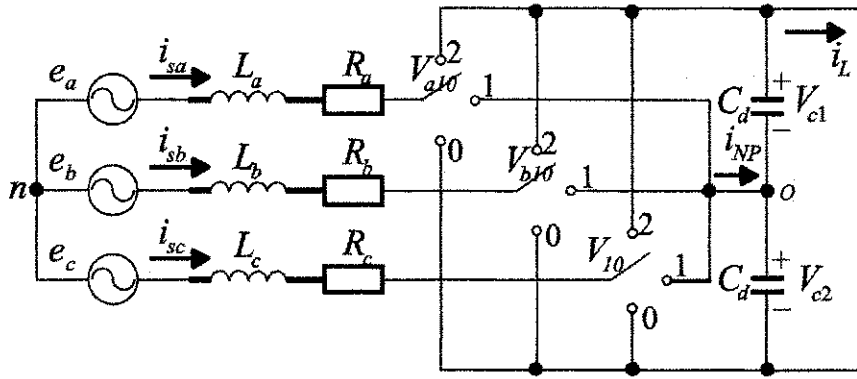


Figura 2.3: Circuito equivalente para a topologia NPC.

2.2.1 Modelo do Retificador de Três Níveis

A partir da Figura 2.3, as equações do retificador podem ser escritas da seguinte maneira:

$$e_a - (r_a + pl_a)i_a - v_{a10} + v_{on} = 0 \quad (2.1)$$

$$e_b - (r_b + pl_b)i_b - v_{b10} + v_{on} = 0 \quad (2.2)$$

$$e_c - (r_c + pl_c)i_c - v_{c10} + v_{on} = 0 \quad (2.3)$$

onde, e_k e i_k são as tensões e correntes da rede trifásica, respectivamente, com $k = a, b$ e c ; o elemento $p = d/dt$; r_k e l_k representam as resistências e indutâncias dos indutores da entrada, L_k ; as tensões v_{k0} são as tensões de polo do lado do retificador do conversor; e a tensão v_{on} corresponde à diferença de tensão entre o ponto central do barramento capacitivo e o neutro da rede.

Considerando-se as tensões e correntes balanceadas e os valores de resistências e indutâncias dos indutores iguais ($r = r_a = r_b = r_c$; e $l = l_a = l_b = l_c$) a fim de simplificação do modelo, soma-se as equações (2.1)-(2.3), obtendo:

$$v_{on} = \frac{v_{a0} + v_{b0} + v_{c0}}{3} \quad (2.4)$$

Substituindo a equação (2.4) nas equações (2.1)-(2.3), tem-se:

$$e_a - i_a r - i_a pl - \frac{2}{3}v_{a0} + \frac{1}{3}v_{b0} + \frac{1}{3}v_{c0} = 0 \quad (2.5)$$

$$e_b - i_b r - i_b pl + \frac{1}{3}v_{a0} - \frac{2}{3}v_{b0} + \frac{1}{3}v_{c0} = 0 \quad (2.6)$$

$$e_c - i_c r - i_c pl + \frac{1}{3}v_{a0} + \frac{1}{3}v_{b0} - \frac{2}{3}v_{c0} = 0 \quad (2.7)$$

Matricialmente:

$$\begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} = r \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + l \begin{bmatrix} \frac{di_a}{dt} \\ \frac{di_b}{dt} \\ \frac{di_c}{dt} \end{bmatrix} + \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix}$$

2.3 Inversor Três Níveis

Têm-se no uso destes inversores um meio para melhorar a eficiência de uma conversão CC-CA. Este tipo de conversor produz uma forma de tensão de saída muito próxima de uma onda senoidal com baixos níveis de distorção harmônica.

O número de níveis de tensão na saída é dado da seguinte forma: um conversor de dois níveis pode-se ter apenas dois níveis de tensão na saída enquanto um conversor de três níveis poderá ter três níveis e um conversor de n-níveis terá n-níveis de tensão na saída.

Com relação ao número de níveis da tensão de linha:

$$k = 2n - 1 \tag{2.8}$$

Os p níveis de tensão de fase existentes em um conversor são calculados pela seguinte equação:

$$p = 2k - 1 \tag{2.9}$$

Nas Figuras 2.4 e 2.5 valida-se as equações acima descritas para um conversor de três níveis (5 níveis de tensão entre fases e 9 níveis de tensão de fase).

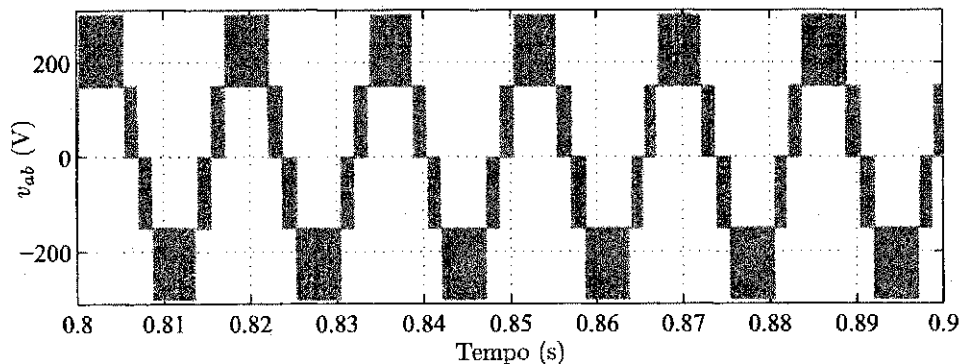


Figura 2.4: Tensão de linha de um conversor de três níveis.

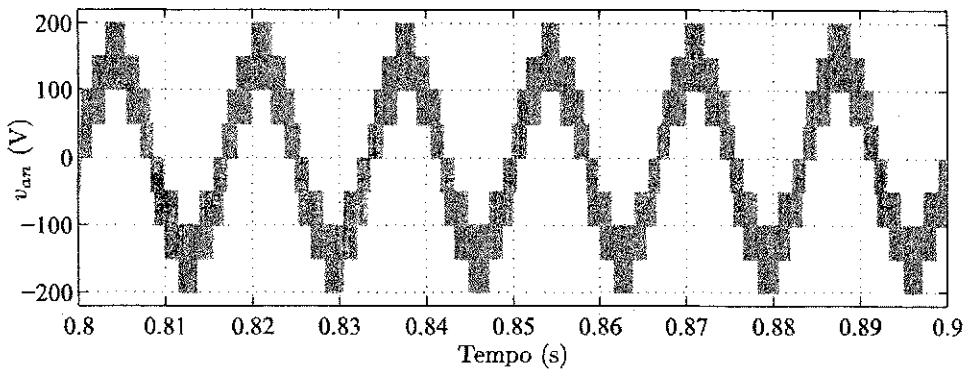


Figura 2.5: Tensão de fase de um conversor de três níveis.

Dentre as principais topologias de conversores multiníveis, pode-se citar as seguintes:

- Conversor com diodos fixos no ponto no neutro (NPC - Neutral Point Clamped);
- Conversor com capacitores flutuantes;
- Conversor convencional em cascata.

Dentre elas será dado ênfase a estrutura NPC, que será estudada a seguir.

2.3.1 Inversor Com Diodos Fixos no Ponto do Neutro

O inversor multinível NPC foi desenvolvido por Nabae (Nabae et al., 1981). Sua estrutura pode ser vista na Figura 2.6.

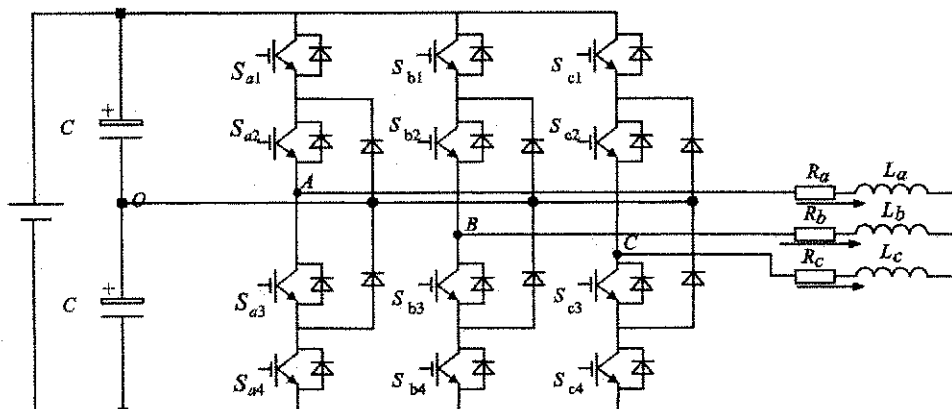


Figura 2.6: Estrutura de um inversor de três níveis NPC.

O ponto médio "o" entre os capacitores corresponde ao ponto do neutro do barramento CC (*Neutral Point*). A tensão de saída deste conversor para cada fase é $E/2$, 0 e $-E/2$. Estes três níveis são obtidos por uma combinação de estados das chaves.

Na Figura 2.7 é possível visualizar a tensão de saída com os respectivos estados de chaveamento. Já na Figura 2.8 são mostrados os três estados possíveis para as chaves de cada braço do inversor, com o respectivo caminho que a corrente percorrerá (sentido positivo) de carga, da seguinte maneira: Estado (2) - As chaves Q_{x1} e Q_{x2} estão conduzindo, onde o 'x' representa o braço do inversor: a, b ou c; Estado (1) - As chaves Q_{x2} e Q_{x3} estão conduzindo; Estado (0) - As chaves Q_{x3} e Q_{x4} estão conduzindo.

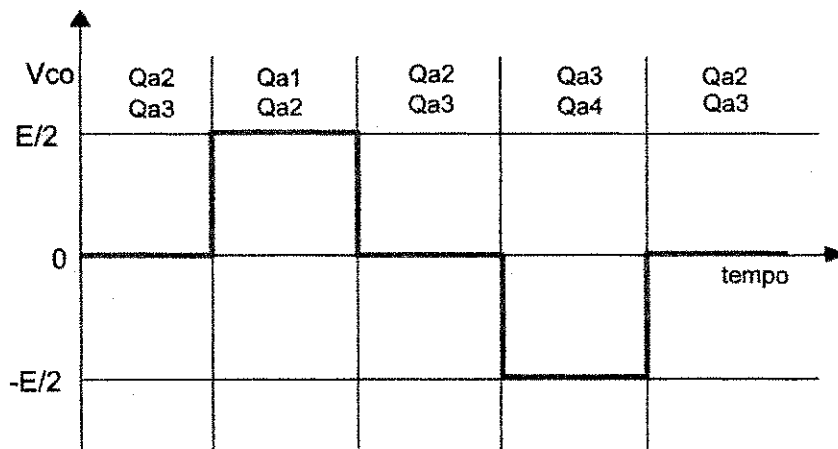


Figura 2.7: Tensão de saída com o respectivo estado de chaveamento de um inversor de três níveis NPC.

A partir da Figura 2.7 chega-se a Tabela 2.1, que de maneira resumida, mostra o esquema de comutação e as respectivas tensões de saída para a fase A.

Tabela 2.1: Seqüência de comutação e tensões de saída.

Interruptores ligados	Tensões de saída para a fase 'A'
Qa1 - Qa2	$E/2$
Qa2 - Qa3	0
Qa3 - Qa4	$-E/2$

Analogamente, os estados dos interruptores aplicam-se às outras tensões por fase. Cada braço deste conversor possui quatro chaves, das quais duas são complementares.

Outra diferencial da estrutura de três níveis com relação a estrutura de dois níveis é

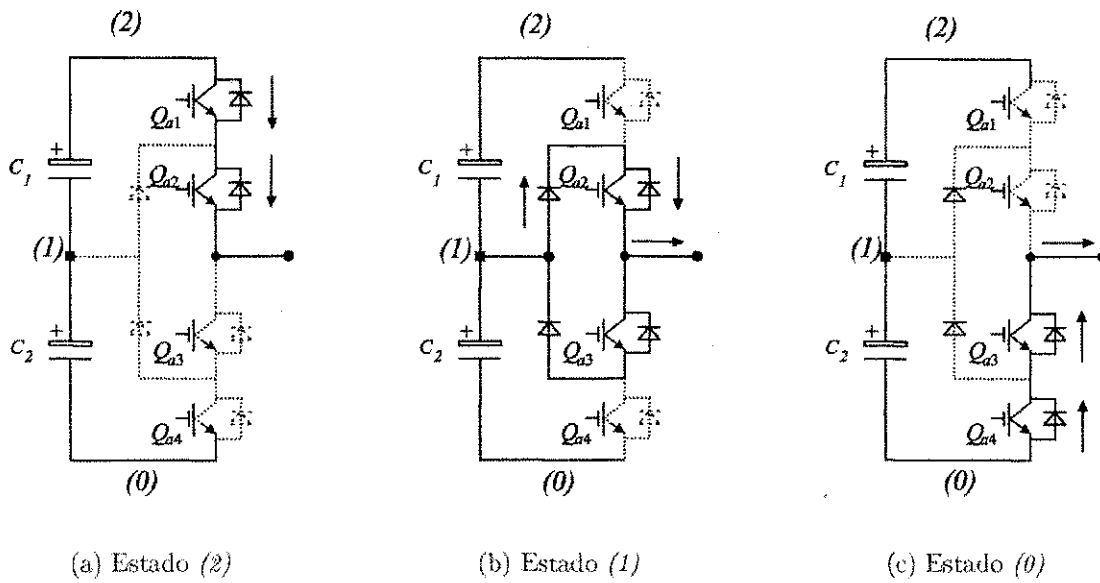


Figura 2.8: Estados das chaves de um inversor de três níveis.

a presença dos diodos ligados ao ponto do neutro, permitindo fixar os diferentes níveis de tensão criados pelos capacitores (Figura 2.7).

A partir da Figura 2.6 e com base nos estados da Figura 2.8, para o inversor trifásico de três níveis, obtêm-se a Tabela 2.2 com os possíveis estados de comutação para os interruptores de um braço do inversor e seus respectivos valores de tensão de pólo.

Tabela 2.2: Estados dos interruptores para o inversor trifásico de dois níveis.

Configuração	Estados k_x	Q_{x1}	Q_{x2}	Q_{x3}	Q_{x4}	v_{x0}
2	1100	Condução	Condução	Bloqueio	Bloqueio	+E/2
1	0110	Bloqueio	Condução	Condução	Bloqueio	0
0	0011	Bloqueio	Bloqueio	Condução	Condução	-E/2

As equações (1.5) - (1.15) são compatíveis com a análise da estrutura de três níveis. Como o ponto central do barramento CC está conectado com diodos de grampeamento, outras equações são desenvolvidas em função do estado das chaves.

As tensões de pólo são definidas em função do estado de condução das chaves e da tensão no barramento CC:

$$v_{x0} = (q_x - 1) \frac{E}{2} \tag{2.10}$$

onde E é a tensão no barramento CC; $x = a, b$ ou c ; q_x é a configuração do estado das chaves no braço x ; e v_{x0} é a tensão de polo do braço x .

Substituindo as tensões de de polo obtidas na equação (2.10) nas equações das tensões de linha (1.8), tem-se:

$$\begin{aligned} \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} &= \begin{bmatrix} v_{a0} - v_{b0} \\ v_{b0} - v_{c0} \\ v_{c0} - v_{a0} \end{bmatrix} = \begin{bmatrix} (q_a - 1)\frac{E}{2} - (q_b - 1)\frac{E}{2} \\ (q_b - 1)\frac{E}{2} - (q_c - 1)\frac{E}{2} \\ (q_c - 1)\frac{E}{2} - (q_a - 1)\frac{E}{2} \end{bmatrix} = \frac{E}{2} \begin{bmatrix} q_a - q_b \\ q_b - q_c \\ q_c - q_a \end{bmatrix} \\ &= \frac{E}{2} \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} q_a \\ q_b \\ q_c \end{bmatrix} \end{aligned} \quad (2.11)$$

As tensões de fase podem ser escritas em função apenas das tensões de polo substituindo a tensão de modo comum da equação (1.15) na equação (1.7), assim:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2v_{a0} - v_{b0} - v_{c0} \\ -v_{a0} + 2v_{b0} - v_{c0} \\ -v_{a0} - v_{b0} + 2v_{c0} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix} \quad (2.12)$$

onde as tensões de polo são obtidas da equação (2.10), as tensões de linha são dadas em função do estado das chaves por:

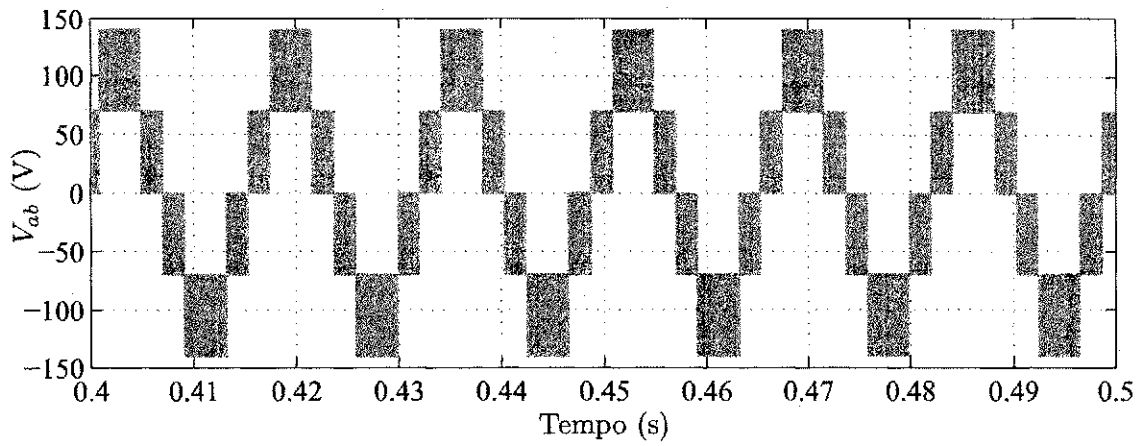
$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2q_a - q_b - q_c \\ -q_a + 2q_b - q_c \\ -q_a - q_b + 2q_c \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} q_a \\ q_b \\ q_c \end{bmatrix} \quad (2.13)$$

Num sistema equilibrado a três fases, as tensões de fase são obtidas em função das tensões de linha:

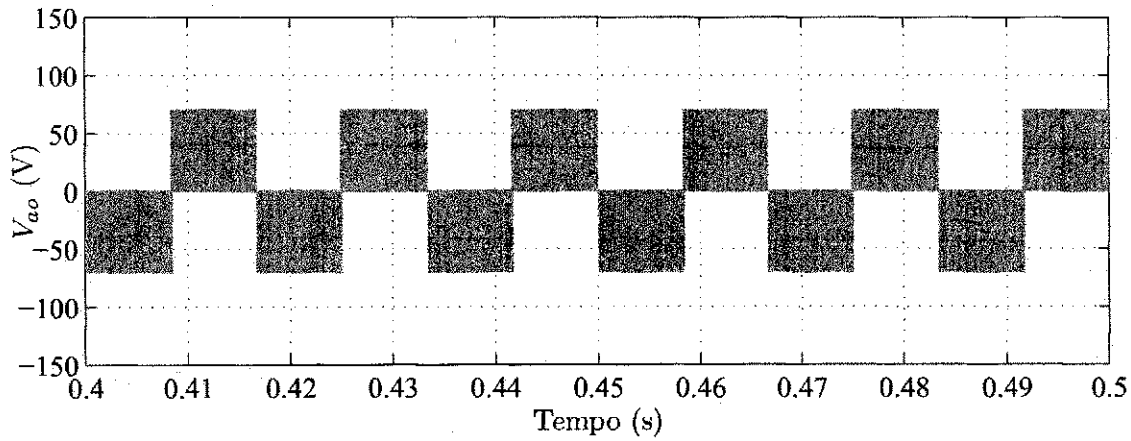
$$\begin{aligned} \begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} &= \frac{1}{3} \begin{bmatrix} 2v_{a0} - v_{b0} - v_{c0} \\ -v_{a0} + 2v_{b0} - v_{c0} \\ -v_{a0} - v_{b0} + 2v_{c0} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} v_{ab} - v_{ca} \\ v_{bc} - v_{ab} \\ v_{ca} - v_{bc} \end{bmatrix} \\ &= \frac{1}{3} \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} \end{aligned} \quad (2.14)$$

Na Tabela 2.2 estão relacionadas as tensões do inversor de três níveis para os diferentes estados de condução das chaves. Pode-se observar que da Tabela 2.2 e das equações 2.10, 2.11 e 2.13, as tensões de polo possuem três níveis, as tensões de linha cinco níveis e as tensões de fase nove níveis.

Nas Figuras 2.9(a) e 2.9(b) são vistas as formas de onda característica desta estrutura de três níveis.



(a)



(b)

Figura 2.9: a) Tensão de linha do inversor de três níveis NPC; b) Tensão de pólo do inversor de três níveis NPC.

2.3.2 Modelo do Inversor de Três Níveis

A partir da Figura 2.10 pode se desenvolver as seguintes equações que descrevem esta estrutura de conversor:

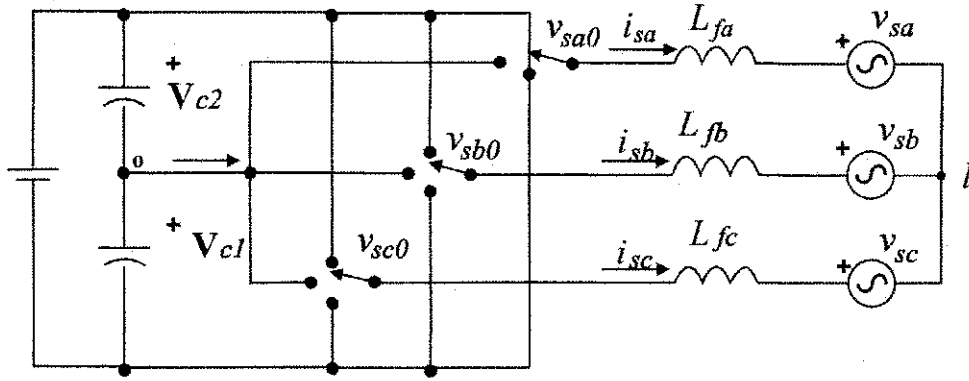


Figura 2.10: Circuito equivalente para a topologia do inversor de três níveis NPC.

$$-v_{sa} - (r_{fa} + pl_{fa})i_{sa} - v_{sa0} + v_{ol} = 0 \quad (2.15)$$

$$-v_{sb} - (r_{fb} + pl_{fb})i_{sb} - v_{sb0} + v_{ol} = 0 \quad (2.16)$$

$$-v_{sc} - (r_{fc} + pl_{fc})i_{sc} - v_{sc0} + v_{ol} = 0 \quad (2.17)$$

onde, v_{sk} e i_{sk} são as tensões e correntes da saída trifásica, respectivamente, com $k = a, b$ e c ; o elemento $p = d/dt$; r_{fk} e l_{fk} representam as resistências e indutâncias dos indutores da entrada, L_{fk} ; as tensões v_{sk0} são as tensões de polo do lado do retificador do conversor; e a tensão v_{ol} corresponde à diferença de tensão entre o ponto central do barramento capacitivo e o neutro da carga.

Considerando-se as tensões e correntes balanceadas e os valores de resistências e indutâncias dos indutores iguais ($r_f = r_{fa} = r_{fb} = r_{fc}$; e $l_f = l_{fa} = l_{fb} = l_{fc}$) a fim de simplificação do modelo, soma-se as equações (2.15)-(2.17), obtendo:

$$v_{ol} = \frac{v_{sa0} + v_{sb0} + v_{sc0}}{3} \quad (2.18)$$

Substituindo a equação (2.18) nas equações (2.15)-(2.17), tem-se:

$$-v_{sa} - i_{sa}r_f - i_{sa}pl_f + \frac{2}{3}v_{sa0} - \frac{1}{3}v_{sb0} - \frac{1}{3}v_{sc0} = 0 \quad (2.19)$$

$$-v_{sb} - i_{sb}r_f - i_{sb}pl_f - \frac{1}{3}v_{sa0} + \frac{2}{3}v_{sb0} - \frac{1}{3}v_{sc0} = 0 \quad (2.20)$$

$$-v_{sc} - i_{sc}r_f - i_{sc}pl_f - \frac{1}{3}v_{sa0} - \frac{1}{3}v_{sb0} + \frac{2}{3}v_{sc0} = 0 \quad (2.21)$$

Matricialmente:

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = -r_f \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} - l_f \begin{bmatrix} \frac{di_{sa}}{dt} \\ \frac{di_{sb}}{dt} \\ \frac{di_{sc}}{dt} \end{bmatrix} + \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{sa0} \\ v_{sb0} \\ v_{sc0} \end{bmatrix}$$

2.4 Conversor Back-to-Back

A energia elétrica gerada no mundo é consumida de diversas formas. Nos países desenvolvidos, grande parte da energia elétrica gerada é consumida em motores elétricos. No Brasil, este número vem aumentando continuamente, com maior parcela de consumo relacionada aos acionamentos a velocidade variável de máquinas elétricas.

O uso de motor de velocidade variável é vantajosa devido a economia de energia realizada. Seu uso está associada em muitas aplicações, como por exemplo, motores para bombas. Uma desvantagem no acionamento destes tipos de motores, é o grande conteúdo harmônico de baixa frequência inserido na rede. Algumas soluções tem surgido, tais como o uso de filtros passivos de potência.

Outra solução possível que será abordada neste capítulo é a estrutura conhecida como Back-to-Back.

Esta topologia de conversores têm atraído cada vez mais atenção devido as suas vantagens, tais como:

- fluxo de potência bidirecional;
- baixa taxa de distorção harmônica (THD);
- alto fator de potência (próximo de um);
- controle de tensão do barramento CC.

2.4.1 Conversor Back-to-Back de Três Níveis

Através da junção do retificador e do inversor de três níveis do tipo NPC, é obtida uma estrutura chamada de *Back-to-Back* multinível.

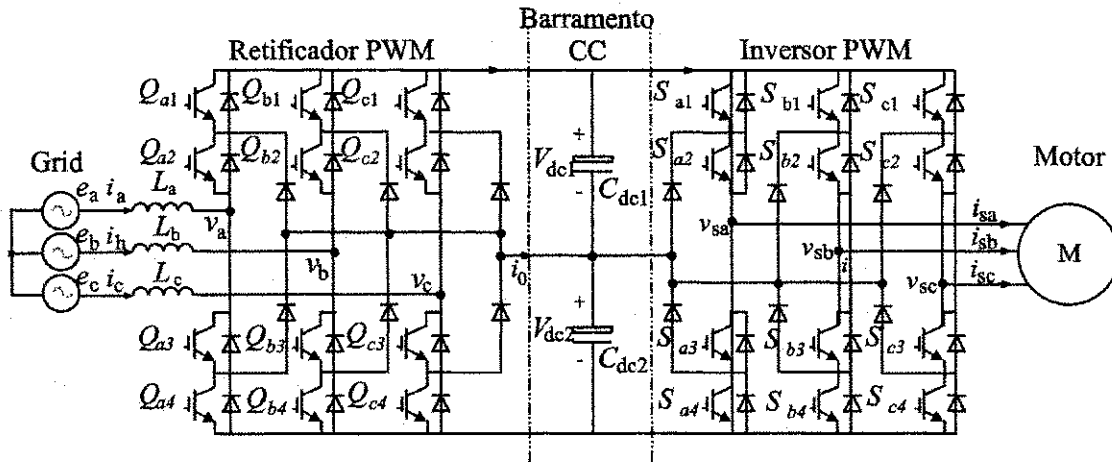


Figura 2.11: Estrutura de um conversor Back-to-Back de três níveis.

As vantagens que foram apresentadas para estas estruturas multiníveis (Cap. 3) tornam estas estruturas interessantes para o uso em muitas áreas, em alternativa aos conversores convencionais de dois níveis (aplicações de energias renováveis e indústrias).

2.4.2 Modelo do Sistema

Na Figura 2.11 é possível ver o sistema que será estudado. Ele é alimentado por uma entrada trifásica, e é composto indutores de entrada (L_a , L_b e L_c), um retificador *PWM*, um banco de capacitores, um inversor *PWM* e indutores da máquina.

O retificador é constituído das chaves Q_{x1} , Q_{x2} , Q_{x3} e Q_{x4} , onde x representa a fase (a , b ou c). Já o inversor é constituído das chaves S_{x1} , S_{x2} , S_{x3} e S_{x4} , onde x também representa a fase (a , b ou c).

A Figura 2.12 ilustra o modelo do circuito equivalente genérico onde é possível ver os sentidos das correntes e as tensões presentes na topologia. Este esquema será usado para desenvolver as equações do modelo.

O desenvolvimento das equações foi realizado na seções (2.2.1) e (2.3.2), onde foram utilizadas as leis de Kirchhoff's. Obteve-se para o retificador:

$$\begin{bmatrix} e_a \\ e_b \\ e_c \end{bmatrix} = r \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} + l \begin{bmatrix} \frac{di_a}{dt} \\ \frac{di_b}{dt} \\ \frac{di_c}{dt} \end{bmatrix} + \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix}$$

Similarmente, obteve-se para o inversor as equações descritas a seguir:

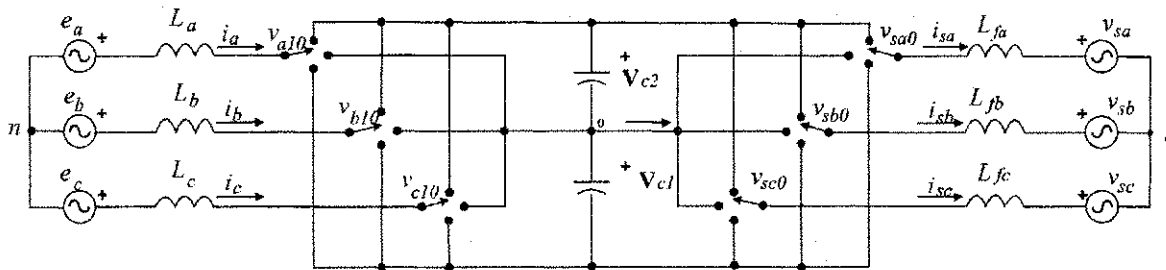


Figura 2.12: Circuito equivalente genérico de um conversor Back-to-Back de três níveis.

$$\begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} = -r_f \begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} - l_f \begin{bmatrix} \frac{di_{sa}}{dt} \\ \frac{di_{sb}}{dt} \\ \frac{di_{sc}}{dt} \end{bmatrix} + \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{sa0} \\ v_{sb0} \\ v_{sc0} \end{bmatrix}$$

2.5 Conclusões

Neste capítulo foi mostrado o princípio de funcionamento dos conversores de três níveis do tipo NPC. Foram apresentados as vantagens, como também, as desvantagens da utilização deste tipo de estrutura.

Foram desenvolvidas algumas equações, tanto para o retificador, como para o inversor, envolvendo as configurações dos estados das chaves, e seus respectivos valores de tensão de pólo.

Por fim, foram descritos os modelos matemáticos para os conversores em estudo, e apresentados alguns resultados de simulação.

3

Estudo das Técnicas de Modulação em Conversores Multiníveis

3.1 Introdução

O principal objetivo de se utilizar e controlar os conversores multiníveis é obter para inversores formas de onda das tensões de saída com baixo conteúdo harmônico, com amplitude e frequência variável e, para os retificadores, conseguir que sua tensão de saída seja estável não contendo perturbações e nem ondulações, e que seu fator de potência seja unitário.

Mas, tais melhorias dependem significativamente da estratégia de *PWM* adotada. Para se definir a escolha da melhor estratégia de modulação para conversores multiníveis, os fatores abaixo são considerados:

- Menor frequência de chaveamento para qual o conversor funcione adequadamente;
- O equilíbrio das tensões nos capacitores do barramento CC;
- Perdas por chaveamento;
- Conteúdo harmônico nas tensões e correntes;
- Sistemas funcionando com cargas desbalanceadas.

Na literatura, é possível encontrar vários métodos *PWM* para conversores multiníveis (seção 1.5) as quais tentam minimizar/otimizar os diferentes aspectos citados acima.

Dentre as técnicas existentes, serão apresentados neste capítulo os resultados obtidos através de simulações, as quais foram realizadas utilizando o *PSIM*. A seguir, tem-se as técnicas estudadas, que foram:

- Estratégia 1 - *A New Simplified Space-Vector*, técnica desenvolvida em (Seo et al., 2001), utilizando malha fechada (MF);
- Estratégia 2 - *Estratégia Generalizada de Modulação Por Largura de Pulso Para Inversores Multiníveis*, técnica desenvolvida em (de Oliveira., 2005), utilizando malha aberta (MA);
- Estratégia 3 - *Estratégia Generalizada de Modulação Por Largura de Pulso Para Inversores Multiníveis*, técnica desenvolvida em (de Oliveira., 2005), utilizando malha fechada (MF);
- Estratégia 4 - *A Comprehensive Study of Neutral-Point*, técnica desenvolvida em (Celanovic e Boroyevich, 2000), utilizando malha fechada (MF);
- Estratégia 5 - *Virtual Space Vector*, técnica desenvolvida em (Busquets-Monge et al., 2004), utilizando malha aberta (MA).
- Estratégia 6 - Modificação da Estratégia 3, utilizando um controlador PI (MF);

No capítulo seguinte, serão realizados estudos comparativos entre as técnicas citadas acima. Será realizada uma análise dentre as técnicas, discutindo os desempenhos de cada uma.

3.2 Balanceamento das Tensões nos Capacitores do Barramento CC

Nessa seção, será apresentado o problema do desequilíbrio nas tensões dos capacitores do barramento CC existentes nos conversores multiníveis *NPC*. Essas alterações nas tensões dos capacitores são ocasionados pelo carregamento e descarregamento, gerados pelos estados dos interruptores do conversor.

Para se obter um correto funcionamento dos conversores de três níveis, torna-se necessário o balanceamento da tensão dos capacitores do barramento CC. Sendo isto um dos pontos críticos do sistema, é possível encontrar na literatura várias estratégias para o correto funcionamento, tanto do retificador como do inversor, como pode ser observado na literatura técnica.

No diagrama vetorial da Figura 3.1, para inversores de três níveis, existem vetores do grupo 'Z' (Zero Vector, V_0), do grupo 'L' (Large Vectors, $V_7, V_9, V_{11}, V_{13}, V_{15}, V_{17}$), do grupo 'S' (Small Vectors, $V_1, V_2, V_3, V_4, V_5, V_6$) e do grupo 'M' (Middle Vectors, $V_8, V_{10}, V_{12}, V_{14}, V_{16}, V_{18}$). Na Tabela 3.1 têm-se os estados dos interruptores para cada vetor.

Os vetores dos grupos 'Z' e 'L' não alteram o equilíbrio das tensões no barramento, já que as configurações dos interruptores para estes grupos não interferem nem no carregamento nem no descarregamento das tensões destes capacitores (Figura 3.2).

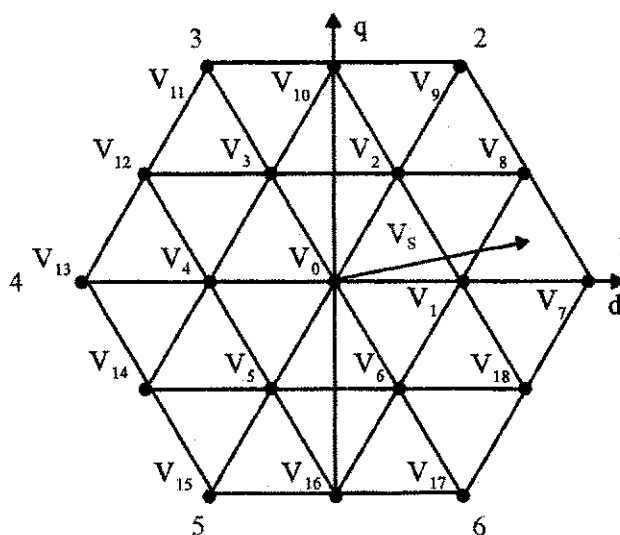


Figura 3.1: Diagrama vetorial do inversor de três níveis.

No grupo 'S', existem dois estados para cada vetor, que a depender do sentido da corrente de carga, irá carregar um capacitor e descarregar o outro, enquanto a outra configuração fará o inverso. Na Figura 3.3 é apresentado o exemplo dos circuitos equivalentes correspondentes do vetor V_1 em que isto ocorre. Fica claro, depois da análise desta figura, que se ocorrer a aplicação de cada uma dos estados do vetor V_1 , em intervalos de tempos iguais, em um mesmo período de modulação, é possível compensar o desequilíbrio das tensões no barramento CC.

Tabela 3.1: Estados das chaves.

Vetores	Estados (k_x)	Estados (V_{a0})	Estados (V_{b0})	Estados (V_{c0})
0	000	$-E/2$	$-E/2$	$-E/2$
	111	0	0	0
	222	$E/2$	$E/2$	$E/2$
1	100	0	$-E/2$	$-E/2$
	211	$E/2$	0	0
2	110	0	0	$-E/2$
	221	$E/2$	$E/2$	0
3	010	$-E/2$	0	$-E/2$
	121	0	$E/2$	0
4	011	$-E/2$	0	0
	122	0	$E/2$	$E/2$
5	001	$-E/2$	$-E/2$	0
	112	0	0	$E/2$
6	101	0	$-E/2$	0
	212	$E/2$	0	$E/2$
7	200	$E/2$	$-E/2$	$-E/2$
8	210	$E/2$	0	$-E/2$
9	220	$E/2$	$E/2$	$-E/2$
10	120		$E/2$	$-E/2$
11	020	$-E/2$	$E/2$	$-E/2$
12	021	$-E/2$	$E/2$	0
13	022	$-E/2$	$E/2$	$E/2$
14	012	$-E/2$	0	$E/2$
15	002	$-E/2$	$-E/2$	$E/2$
16	102	0	$-E/2$	$E/2$
17	202	$E/2$	$-E/2$	$E/2$
18	201	$E/2$	$-E/2$	0

Os vetores do grupo 'M' também afetam o equilíbrio da tensão no ponto central, mas, não é possível aplicar a mesma idéia do grupo 'S', já que cada vetor do grupo 'M' é gerado apenas por uma única configuração. Então, a depender da configuração do vetor que está sendo aplicada do grupo 'M', um capacitor irá se carregar e o outro descarregar, não tendo nenhuma outra configuração para o mesmo vetor que promova a compensação (Figura 3.4).

Nas Tabelas 3.2 e 3.3, a seguir, apresentam-se os vetores do grupo *Small* e do grupo *Middle*, respectivamente, encontrando-se também, as correntes injetadas no ponto central para cada vetor selecionado.

Tabela 3.2: Corrente injetada no ponto central e seus respectivos vetores.

Vetor do grupo 'S' Positivo	i_{NP}	Vetor do grupo 'S' Negativo	i_{NP}
100	i_a	211	$-i_a$
211	i_c	110	$-i_c$
010	i_b	121	$-i_b$
122	i_a	011	$-i_a$
001	i_c	112	$-i_c$
212	i_b	101	$-i_b$

Tabela 3.3: Corrente injetada no ponto central e seus respectivos vetores.

Vetor do grupo 'M'	i_{NP}
210	i_b
120	i_a
021	i_c
012	i_b
102	i_a
201	i_c

Em qualquer triângulo utilizado para compor o vetor tensão de referência V_S , Figura 3.1, haverá, pelo menos, em dois de seus vértices, dois vetores do grupo 'S' ou um vetor do grupo 'S' e outro vetor do grupo 'M', que são vetores que afetam o balanceamento dos capacitores. Sendo assim, é necessário desenvolver uma técnica para resolver o problema da variação da tensão no ponto central.

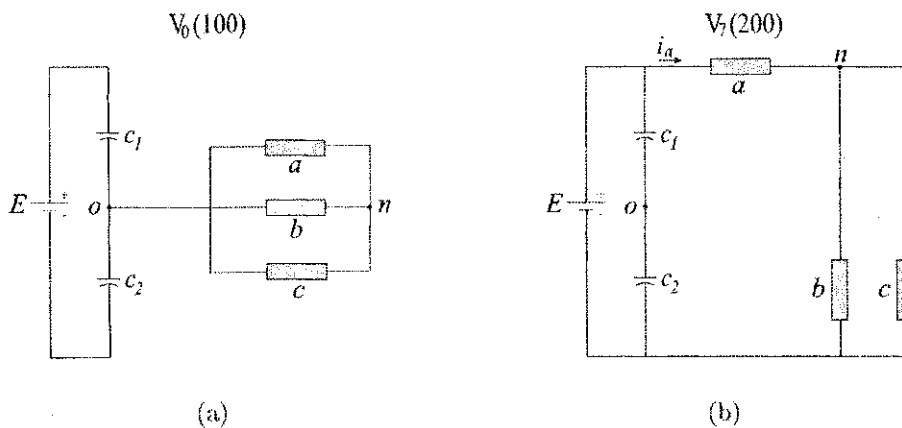


Figura 3.2: Correntes no capacitores. a) Grupo 'Z'. b) Grupo 'L'.

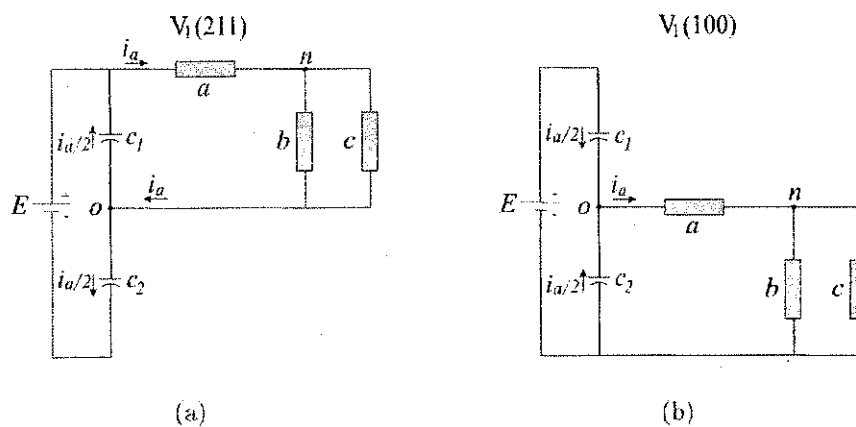


Figura 3.3: Vetores do grupo *Small*. a) Configuração (211). b) Configuração (100)

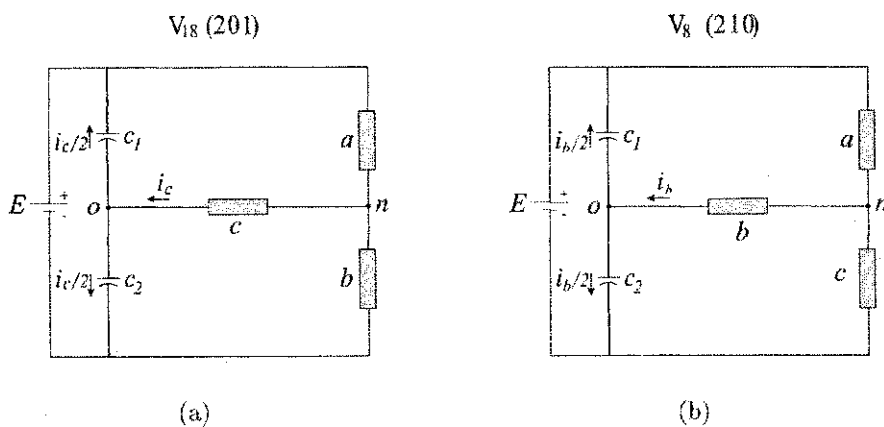


Figura 3.4: Vetores do grupo *Middle*. a) Configuração (201). b) Configuração (210).

3.3 Estudo das Técnicas de Balanceamento

Serão abordados, nessa seção, algumas estratégias que foram estudadas, bem como os resultados obtidos através de simulações utilizando o *PSIM* para o inversor de três níveis e um resultado utilizando o retificador de três níveis. Serão apresentados também, alguns resultados experimentais.

Os resultados de simulação utilizaram os seguintes dados contidos na Tabela 3.4.

Tabela 3.4: Dados gerais utilizados nas simulações.

Dados
Carga RL: $\cos(\phi) = 0,91$.
Tensão total do barramento CC: $E = 300$ V.
Índice de modulação: $m = 0,8$.
Frequência de comutação: $f_s = 10$ kHz
Corrente (<i>RMS</i>): $I = 3,0$ A.

3.3.1 Estudo da Estratégia 1

A estratégia desenvolvida em (Seo et al., 2001) apresenta uma técnica de modulação baseada em uma simplificação do diagrama espaço vetorial de um inversor de três níveis em um de dois níveis. Com a simplificação proposta, a seleção da sequência de chaveamento e o cálculo dos tempos da duração do vetor são realizados pelo método convencional do espaço vetorial de dois níveis.

Usando o diagrama espaço vetorial de um inversor de três níveis, pode-se explicar o princípio básico do método proposto (ver Figura 3.5).

Percebe-se que o diagrama da Figura 3.5 de um inversor de três níveis é constituído de seis hexágonos que são os diagramas vetoriais de um inversor de dois níveis (O centro dos hexágonos menores são os vetores do grupo 'S' em relação ao diagrama três níveis).

Logo, se estes seis hexágonos são deslocados para o centro do hexágono interior por $V_{DC}/3$ o diagrama de espaço vetorial de um inversor de três níveis é simplificado em um de dois níveis. Nos itens a seguir, tem-se um resumo da técnica proposta:

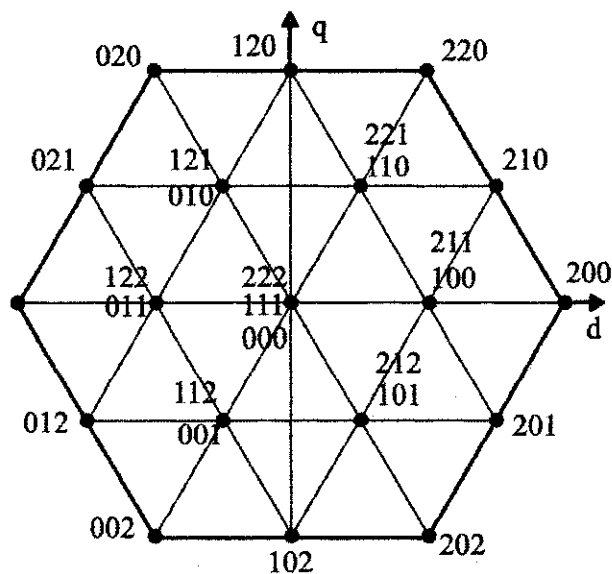


Figura 3.5: Diagrama de espaço-vetores de um inversor de 3 níveis.

- A partir do vetor de tensão de referência, identificar qual dos seis hexágonos será utilizado.
- Subtrair o vetor de tensão de referência do vetor do grupo 'S', o qual é o centro do hexágono selecionado.

Com isso, o plano de espaço vetorial de um inversor de três níveis é transformado em um de dois níveis. Na Figura 3.6, observa-se a simplificação do diagrama vetorial. A Tabela 3.5 apresenta a simplificação para a mudança do vetor de referência para os seis setores.

Tabela 3.5: Correção do vetor de tensão de referência pelo método proposto.

S	V_{as}^*	V_{bs}^*
1	$V_a^* - V_{DC}/3$	$V_b^* + V_{DC}/6$
2	$V_a^* - V_{DC}/6$	$V_b^* - V_{DC}/6$
3	$V_a^* + V_{DC}/6$	$V_b^* - V_{DC}/3$
4	$V_a^* + V_{DC}/3$	$V_b^* - V_{DC}/6$
5	$V_a^* + V_{DC}/6$	$V_b^* + V_{DC}/6$
6	$V_a^* - V_{DC}/3$	$V_b^* + V_{DC}/3$

onde,

$$V_c^* = -V_a^* - V_b^* \tag{3.1}$$

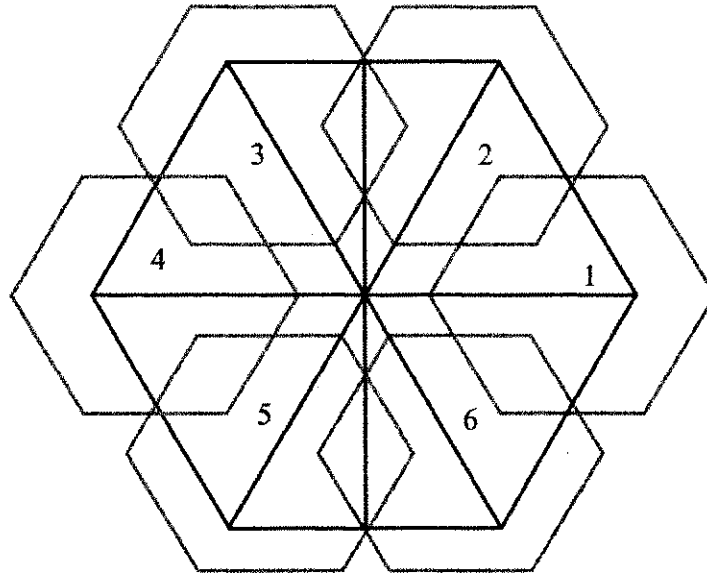


Figura 3.6: Simplificação do diagrama vetorial.

De posse da Tabela 3.5, é possível ver um exemplo de deslocamento do vetor tensão de referência na Figura 3.7. Nesta figura, é ilustrado a representação do deslocamento do vetor V_s que está na origem (111), para o centro do hexágono do setor 1 (100), representado pelo vetor V_M .

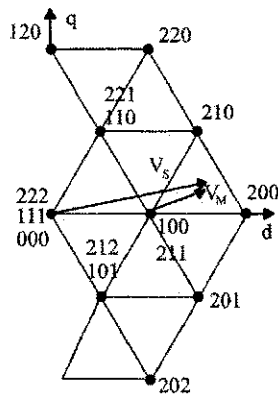


Figura 3.7: Representação da mudança do vetor de referência para a simplificação do diagrama vetorial.

Para a realização do controle potencial no ponto do neutro, é proposto um rearranjo com os tempos de distribuição para o balanceamento das tensões nos capacitores. Se, por exemplo, o vetor de tensão de referência estiver na região C, como mostrado na Figura 3.8, a seqüência de chaveamento fica sendo: (211)-(201)-(200)-(100), que é respectivamente igual a: $(T_{1P})-(T_2)-(T_3)-(T_{1N})$, sendo T_{1P} e T_{1N} pertencentes ao grupo *Small*, T_2 ao grupo *Middle*

e T_3 ao grupo *Large*.

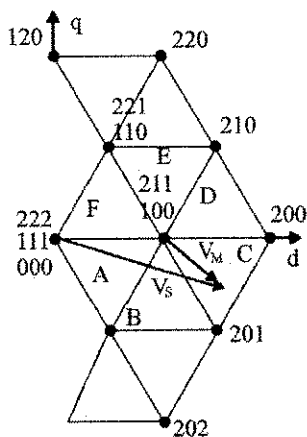


Figura 3.8: Controle do inversor de três níveis.

Nas Figuras 3.9 - 3.11 têm-se o comportamento do circuito com os respectivos sentidos de correntes.

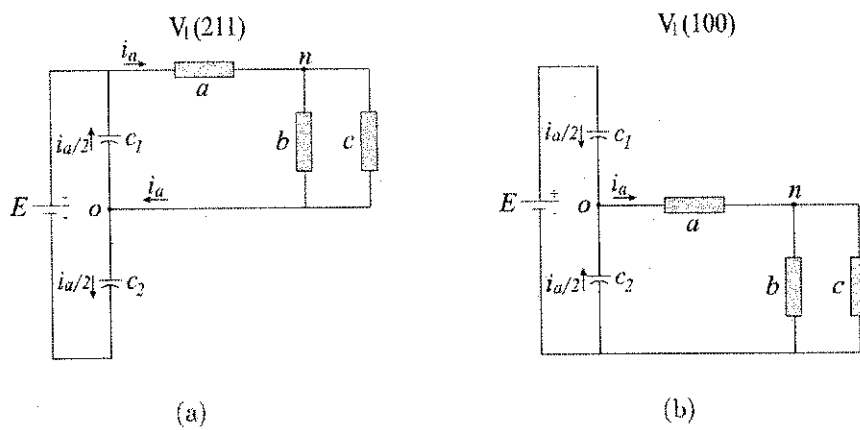


Figura 3.9: Vetores do grupo *Small*.

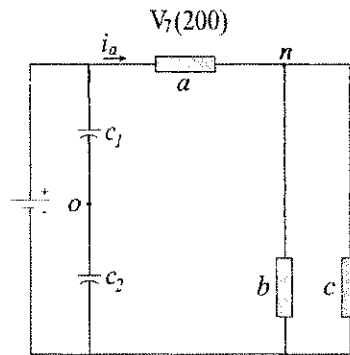


Figura 3.10: Vetor do grupo *Large*.

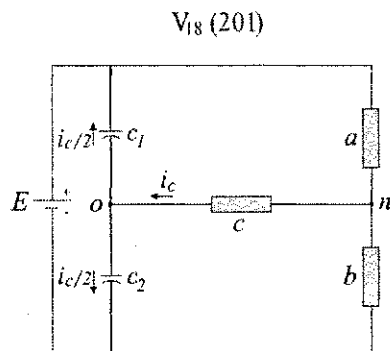


Figura 3.11: Vetor do grupo *Middle*.

Os tempos T_{1P}, T_2, T_3, T_{1N} correspondem aos tempos de aplicação dos vetores. Neste caso, o controle de tensão no ponto do neutro é realizado ajustando o valor de T_{1P} e T_{1N} em resposta ao erro de tensão nos capacitores. Isso só é possível, no momento em que as equações a seguir são satisfeitas:

$$T_{1N} + T_{1P} = T_1, \tag{3.2}$$

sendo $T_{1N} = T_1^* \cdot (1 + f)/2$ e $T_{1P} = T_1^* \cdot (1 - f)/2$, onde: T_1 é o tempo do vetor 1, que é composto por duas configurações.

Estas configurações são dadas de acordo com o sentido da corrente no ponto do neutro. A configuração positiva, que é a injeção de uma corrente positiva (entrando no ponto do neutro) e a configuração negativa, que a injeção de uma corrente negativa (corrente saindo do ponto do neutro). Os dois vetores do grupo 'S' são usados para compensar o vetor do grupo M.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.12 - 3.14 são apresentados os resultados obtidos através de simulação. Pode ser visto na Figura 3.12 a tensão de linha e na Figura 3.13 a tensão de fase filtrada. Já na Figura 3.14 pode ser visto o equilíbrio das tensões no barramento CC. Para se comprovar efetivamente o desempenho da estratégia proposta, fez o controle a partir de 0.3s. Percebe-se que a partir deste instante os resultados apresentados demonstram melhora significativa.

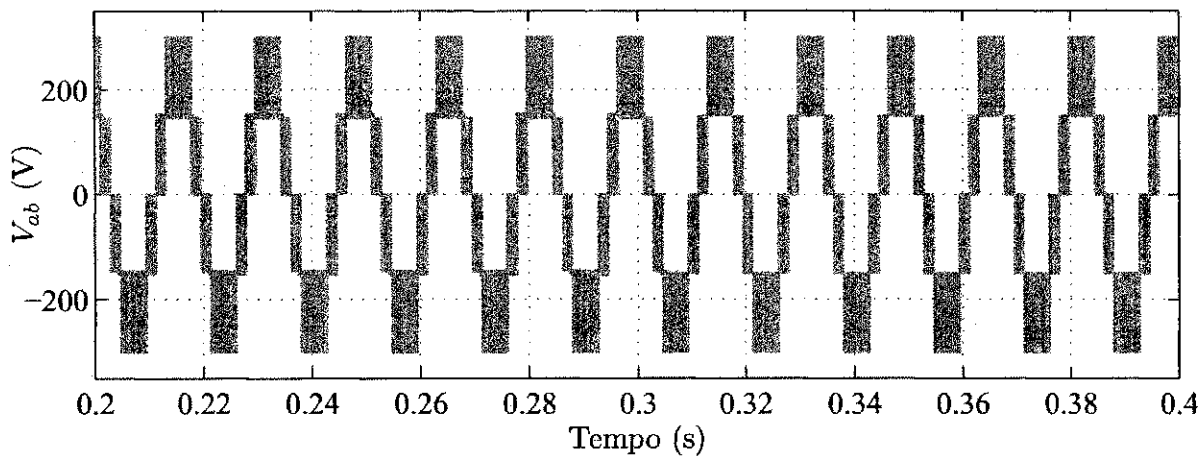


Figura 3.12: Tensão de linha (v_{ab}) para o inversor de três níveis.

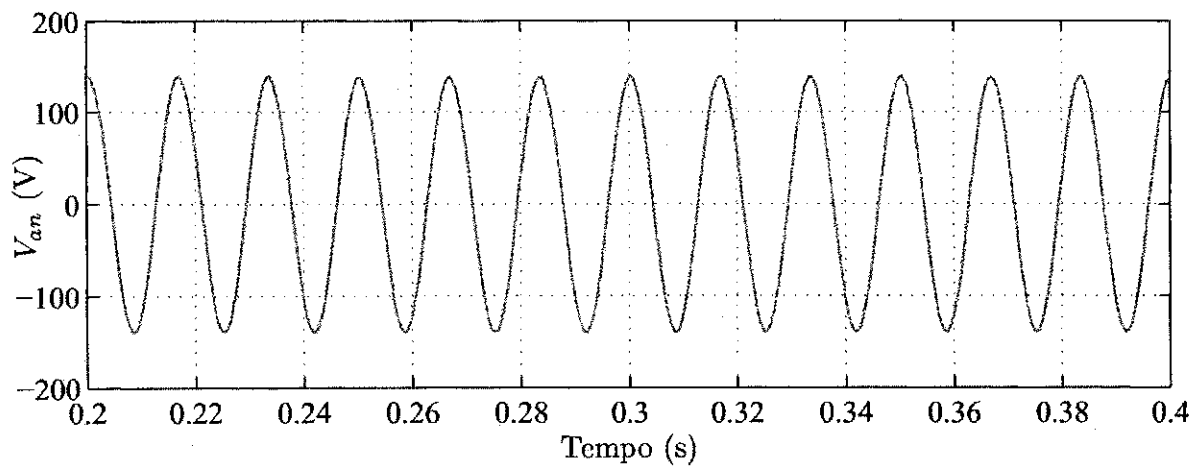


Figura 3.13: Tensão de fase (v_{an}) para o inversor de três níveis.

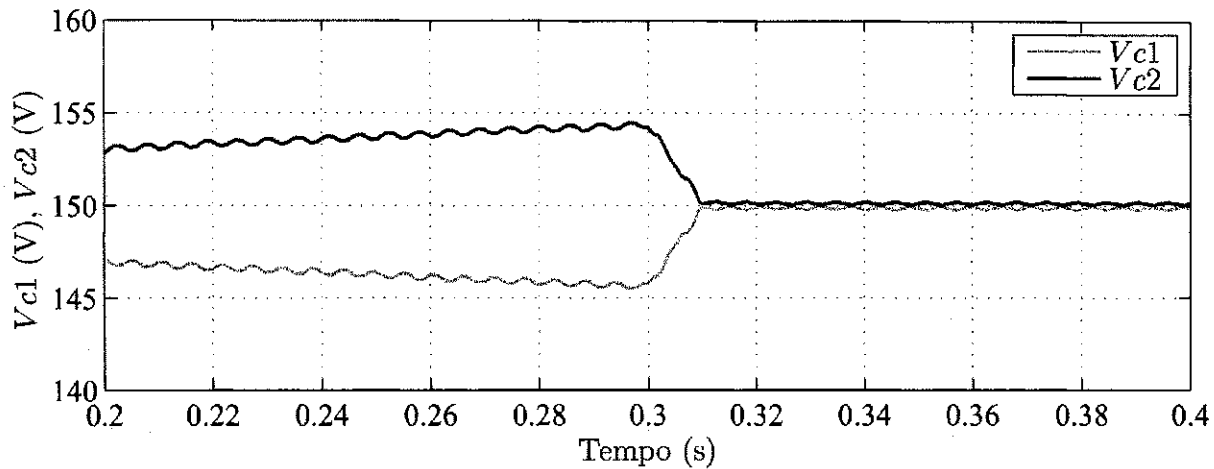


Figura 3.14: Tensões nos capacitores para o inversor de três níveis.

3.3.2 Estudo da Estratégia 2

Já em (de Oliveira., 2005) foi proposta uma estratégia PWM que se baseia na utilização das diferenças entre os níveis de tensão fornecidos pelo barramento CC e as tensões senoidais de referência (v_a , v_b e v_c , ver Figura 3.15) para o cálculo dos tempos de aplicação dos pulsos de comando para os interruptores do inversor.

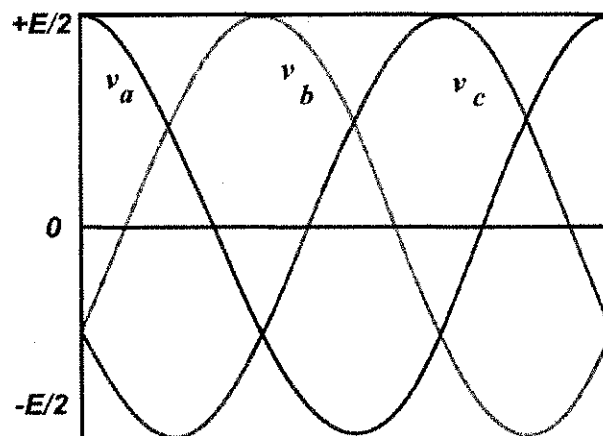


Figura 3.15: Níveis de tensão para o inversor de três níveis.

Houve o desenvolvimento de uma equação que relaciona uma componente de tensão de sequência zero v'_h com uma variável de projeto μ' , sendo que esta variável pode assumir valores entre zero e um (denominada de razão de distribuição vetorial).

Quando o v'_h é adicionado às tensões de referência senoidais modifica-se a relação entre os tempos de aplicação dos vetores que estão no início e no fim de um período da modulação,

alterando desta forma a qualidade dos sinais de tensão e corrente gerados pelo inversor.

A técnica também possibilita a aplicação do conceito de razão de distribuição vetorial para inversores de três ou mais níveis, eliminando a necessidade de detecção da região de vetores para se alterar o padrão de comutação, isso é feito de forma mais simples variando-se o valor de ' μ ' na equação para ' v'_h '.

A estratégia proposta baseia-se no princípio apresentado em (Seo et al., 2001) que propuseram uma técnica que simplifica o diagrama dos vetores espaciais de três níveis em seis diagramas de dois níveis.

A técnica pode ser dividida em seis passos:

- **Passo um:** defini-se os níveis do inversor, onde cada nível é representado por um eixo horizontal, no caso do inversor de três níveis tem-se: o eixo[1], eixo[2] e eixo[3], respectivamente, com os valores $E/2$, 0 e $-E/2$. Como se pode perceber pela Figura 3.15, as tensões de referência estarão entre os eixo[1] e eixo[2] ou entre os eixo[2] e o eixo[3].
- **Passo dois:** calcula-se o valor das variáveis P_a , P_b e P_c . Estas variáveis são a diferença entre o eixo superior (nível CC) que limita a tensão de referência e a tensão de referência que pode ser exemplificada na Figura 3.16.

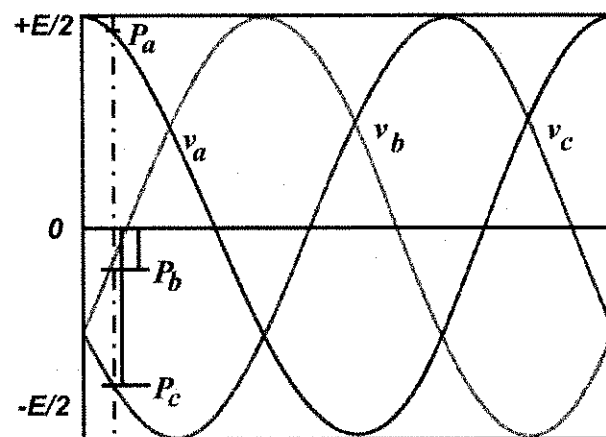


Figura 3.16: Definição das variáveis P_a , P_b e P_c para o inversor de três níveis.

Para o exemplo, tem-se:

$$P_a = \text{eixo}[1] - v_a^* \quad (3.3)$$

$$P_b = eixo[2] - vb^*; \quad (3.4)$$

$$P_c = eixo[2] - vc^*; \quad (3.5)$$

- **Passo três:** determina-se os valores máximos e mínimos entre P_a , P_b e P_c , e juntamente com o valor da razão de distribuição (μ), calcula-se a tensão de seqüência zero (v_h), que será adicionada as tensões de referência.

$$v_h = \mu P_{min} - (1 - \mu)(E/2 - P_{max}); \quad (3.6)$$

- **Passo quatro:** são calculadas as novas tensões de referência.

$$v_x^* = v_x + v_h, \text{ onde } x = (a, b \text{ ou } c) \quad (3.7)$$

- **Passo cinco:** de posse das novas tensões de referência, são calculados os novos valores de P_a^* , P_b^* e P_c^* conforme explicado no **passo 2**. Estes valores fornecem os intervalos de tempo T_a^* , T_b^* e T_c^* em que os interruptores permanecem bloqueados (Figura 3.17). Os intervalos de tempo T_1^* , T_2^* e T_3^* em que os interruptores permanecem em condução, em um determinado período da modulação (T_s), são calculados a partir da equação:

$$T_x^* = \frac{p_x^*}{\left(\frac{E}{N-1}\right)} T_s, \text{ com } x = (a, b \text{ ou } c); \quad (3.8)$$

$$T_y^* = T_s - T_x^*, \text{ com } y = (1, 2 \text{ ou } 3); \quad (3.9)$$

- **Passo seis:** as tensões de pólo do inversor (v_{ao} , v_{bo} e v_{co}), que servirão de base para o cálculo das tensões de fase e de linha, são dadas por:

$$Se(t < T_x^*) \text{ ou } (t < 2T_y^*) \rightarrow v_{xo} = eixo(k+1) \quad (3.10)$$

$$Se(T_x^* \leq t \leq 2T_y^*) \rightarrow v_{xo} = eixo(k) \quad (3.11)$$

com $x = (a, b \text{ ou } c)$, $y = (1, 2 \text{ ou } 3)$ e $k = (1, 2, \dots, N)$.

Nesse trabalho (de Oliveira., 2005) também é proposto o balanceamento das tensões nos capacitores, devido ao desequilíbrio gerado pelos vetores do grupo 'S' e 'M'.

Nesse caso, o uso de $\mu = 0,5$ possibilita apenas a diminuição dos efeitos do desequilíbrio nos capacitores CC provocado pelos vetores do grupo *Small*.

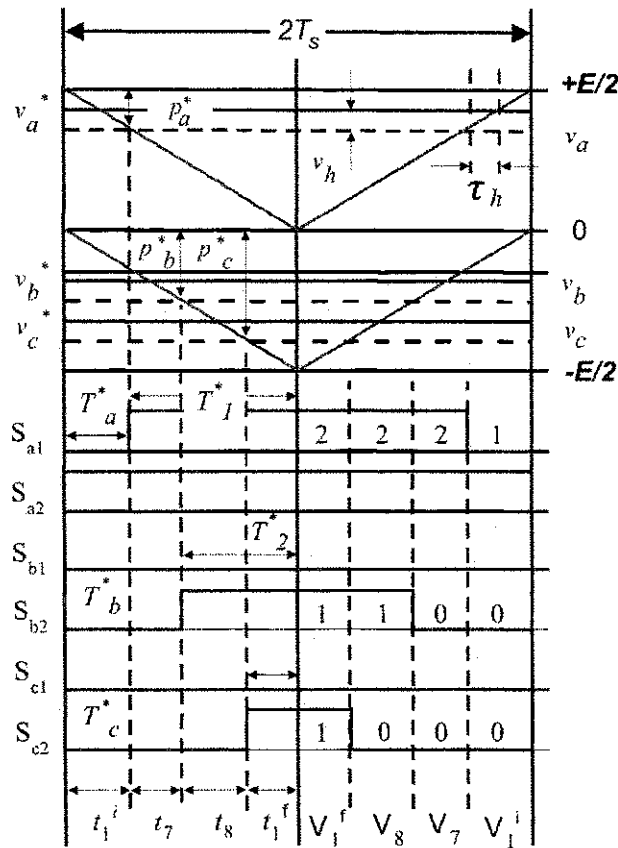


Figura 3.17: Pulsos de comando para o inversor de três níveis.

Com objetivo de eliminar o controle em malha fechada das tensões nos capacitores do barramento CC, e assim evitar a necessidade da monitoração da tensão nos capacitores e/ou do sinal de corrente, ocorreu uma modificação na técnica de modulação proposta.

Esta modificação tem como objetivo que os tempos de aplicação dos vetores do grupo *Small* não sejam feitos iguais no início e no final de um período de comutação. Isto modifica o carregamento dos capacitores.

Com isto, garante-se que os efeitos dos vetores do grupo *Middle*, sobre o equilíbrio das tensões nos capacitores, sejam compensados utilizando-se os vetores do grupo *Small* de forma adequada.

A alteração no algoritmo é simples: utiliza-se $N = 2$ nos passos um a três, fornecendo com isso uma tensão de seqüência zero v_h' calculada para um inversor de 2-níveis. E nos passos quatro a seis, usa-se $N = 3$, logo, o v_h' que foi calculado para um inversor de 2-níveis será aplicado em um inversor de 3-níveis.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.18 - 3.20 são apresentados os resultados obtidos através de simulação. Observe-se que as formas de onda das tensões de linha e de fase estão de acordo com o correto funcionamento da estrutura. É possível comprovar também o balanceamento das tensões no barramento CC. Devido a esta estratégia ser de malha aberta, não foi possível utilizar a mesma idéia apresentada na Estratégia 1, onde o controle começava a atuar em 0.3s (Figura. 3.14).

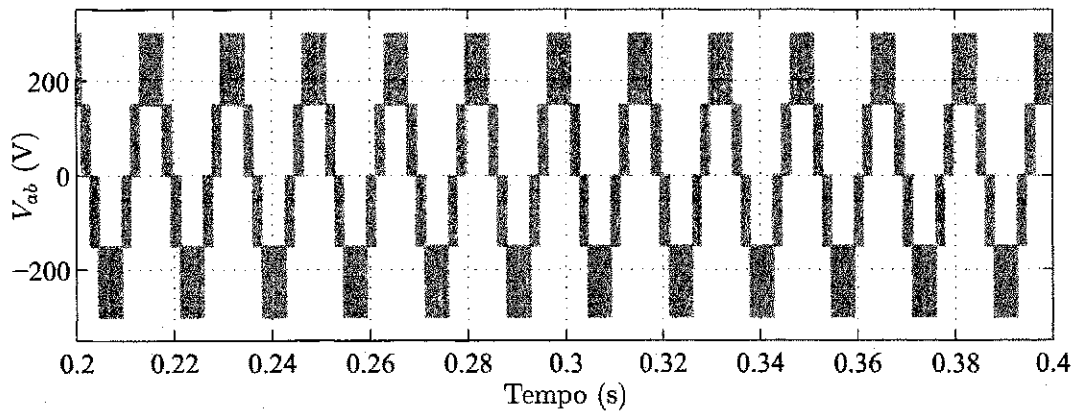


Figura 3.18: Tensão de linha (v_{ab}) para o inversor de três níveis.

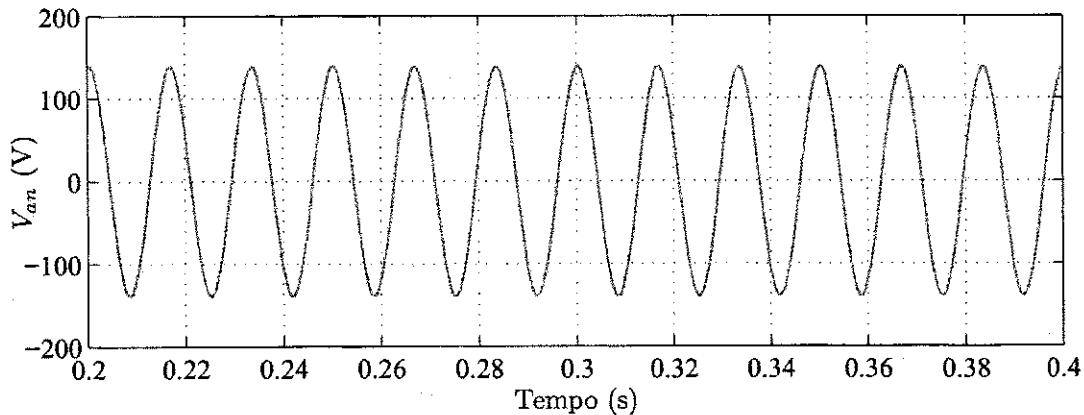


Figura 3.19: Tensão de fase filtrada (v_{an}) para o inversor de três níveis.

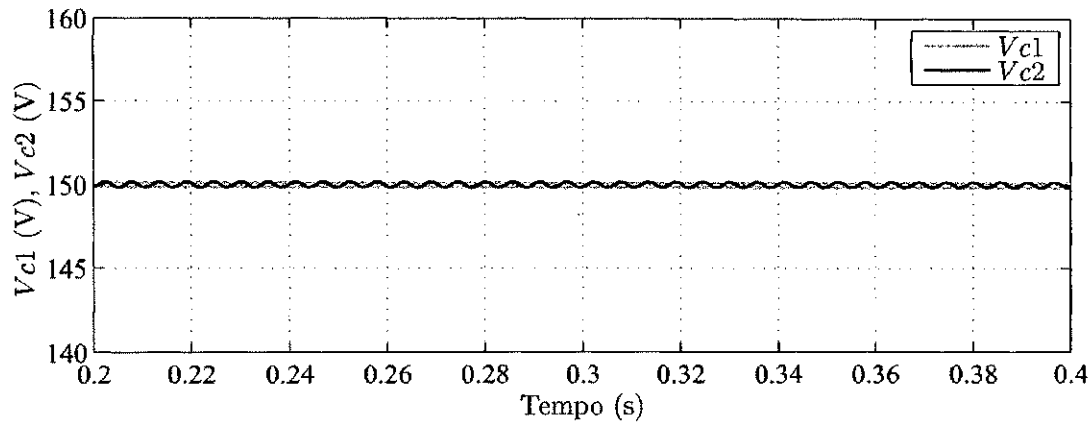


Figura 3.20: Tensões nos capacitores para o inversor de três níveis.

Resultados Experimentais para o Inversor de Três Níveis

Utilizando um motor (ref. $\cos \theta = 0,76$, $f = 60\text{Hz}$, $2cv$, $1,5\text{kW}$), uma tensão no barramento CC de 150 V, e frequência de chaveamento de 10kHz, obteve-se os seguintes resultados apresentados nas Figuras 3.21 e 3.22.

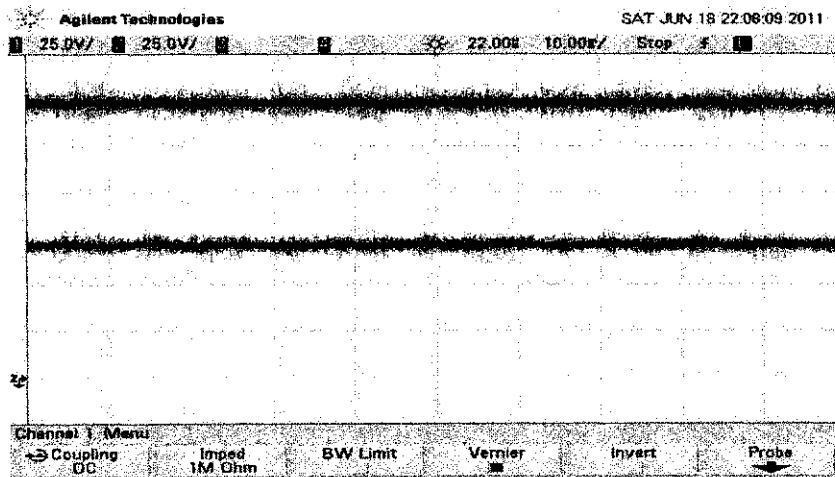


Figura 3.21: Tensões nos capacitores para o inversor de três níveis.

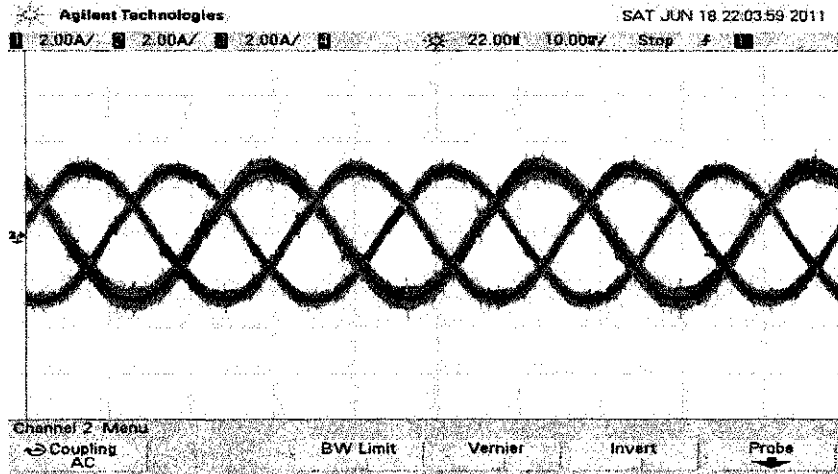


Figura 3.22: Correntes na carga (i_{ta} , i_{tb} e i_{tc}) para o inversor de três níveis.

Também foi utilizada a técnica da Estratégia 2 em um Retificador de Três Níveis. Na Figura 3.23 é apresentado o diagrama de controle. A tensão do capacitor do link-DC é ajustada para o valor de referência usando o controlador R_c (Controlador PI). Na saída do controlador é definida a amplitude da corrente referência de entrada (I_g^*). O controlador de corrente R_g , que é um PI-modificado, define as tensões de referência de entrada v_g^* .

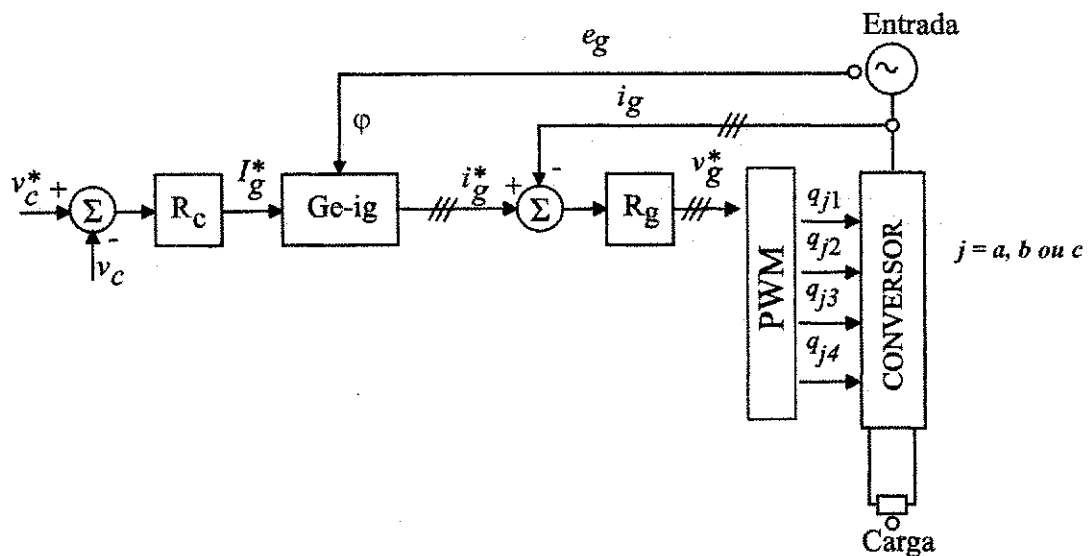


Figura 3.23: Diagrama de controle.

Resultados de Simulação para o Retificador de Três Níveis

Nas Figuras 3.24 - 3.26 podem ser vistos os resultados obtidos. Utilizou-se no barramento um valor de tensão de 50 V. Como carga, foram utilizadas duas resistências de 50 Ohms cada. Na Figura 3.26 têm-se as tensões nos capacitores, que se encontram em equilíbrio.

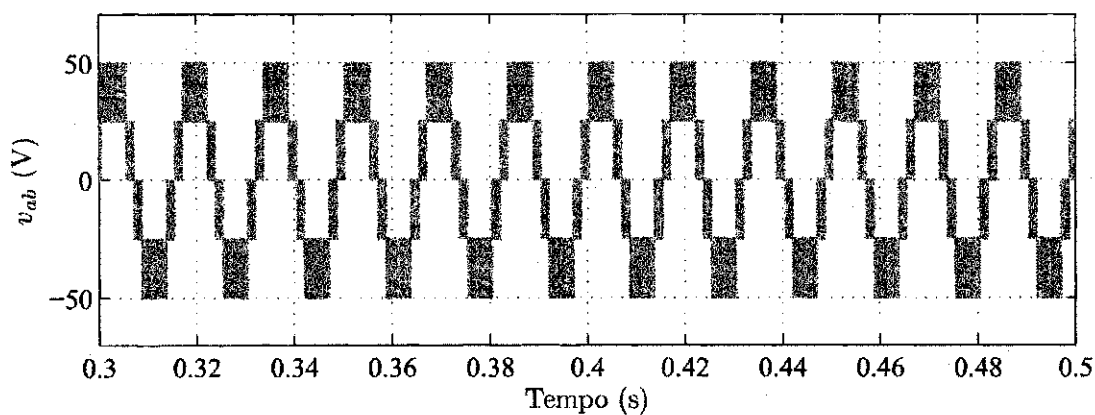


Figura 3.24: Tensão de linha (v_{ab}) para o retificador de três níveis.

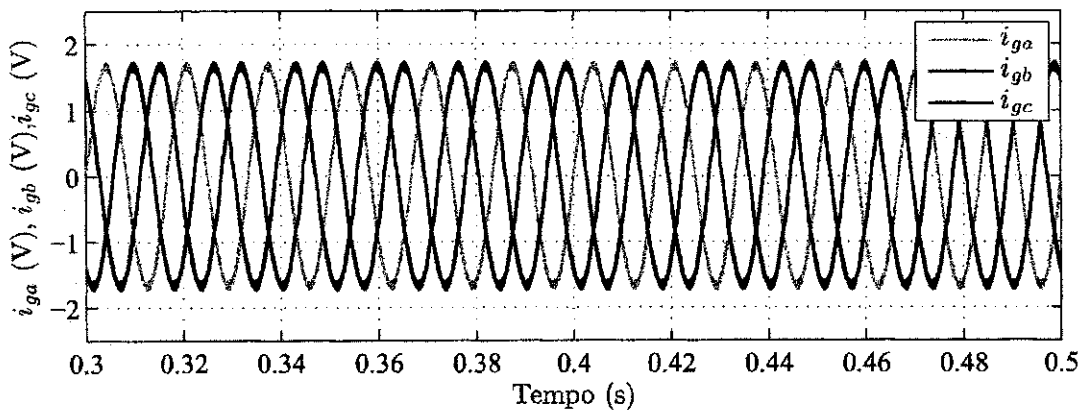


Figura 3.25: Correntes de entrada (i_{ga} , i_{gb} e i_{gc}) para o retificador de três níveis.

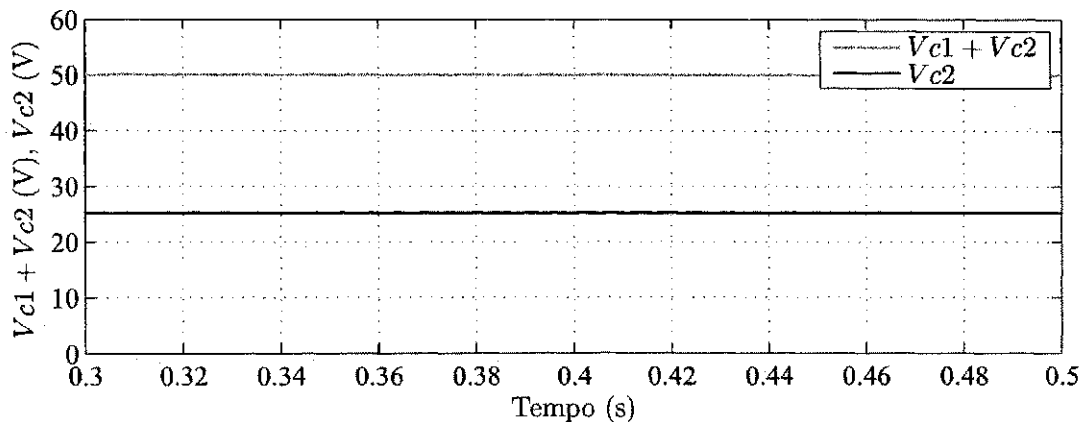


Figura 3.26: Tensões nos capacitores para o retificador de três níveis.

Resultados Experimentais para o Retificador de Três Níveis

Nas Figuras 3.27 - 3.28 podem ser vistos os resultados obtidos experimentalmente. Na Figura 3.27 é visto duas retas, a superior mostrando a tensão total do barramento ($V_{C1} + V_{C2}$) igual a 50V, e a inferior mostrando a tensão na metade do banco (V_{C2}), tendo valor de 25V. Foi utilizada como carga duas resistências de 50 Ohms cada. Na Figura 3.28 são vistas as correntes de entrada do retificador, tendo as mesmas amplitudes de 2A.

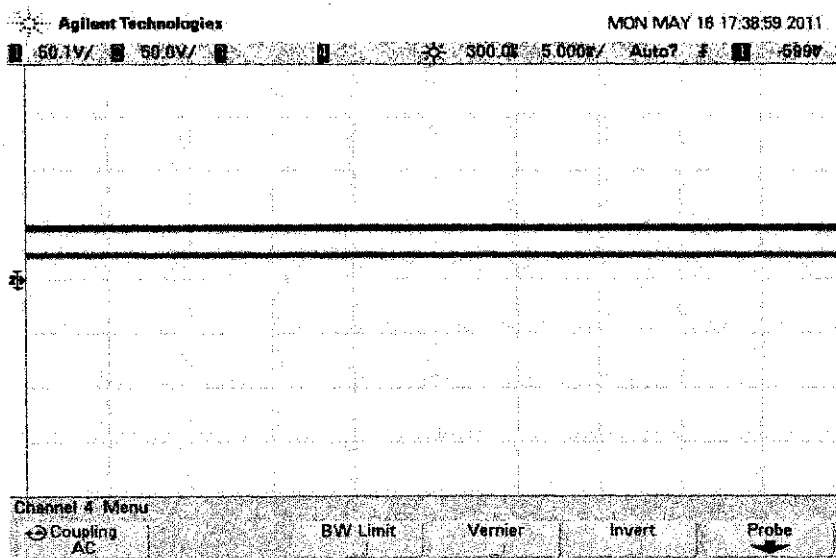


Figura 3.27: Tensões nos capacitores para o retificador de três níveis.

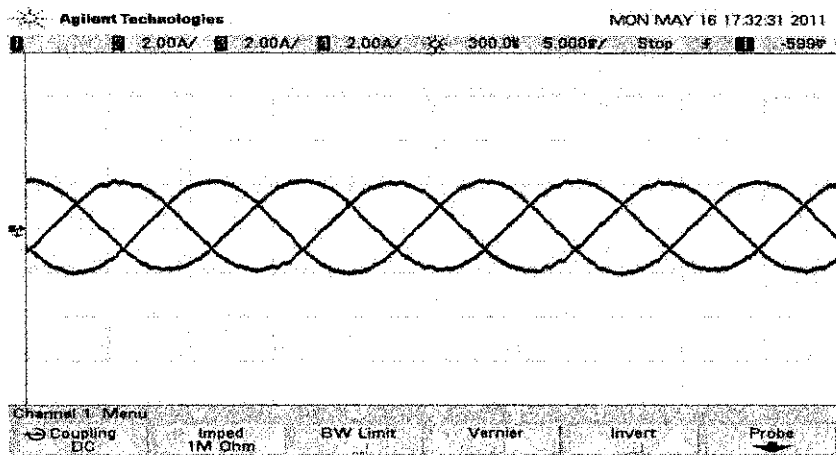


Figura 3.28: Correntes de entrada (i_{ga} , i_{gb} e i_{gc}) para o retificador de três níveis.

Resultados de Simulação de um Conversor *Back-to-Back* de Três Níveis

Foi utilizada a Estratégia 2 para o controle de um conversor *Back-to-Back* de Três Níveis, que foi apresentado na seção 2.4.1. São apresentadas nas Figuras 3.29 e 3.30 os resultados obtidos em simulações. Utilizou-se a Estratégia 2, para o retificador, como visto na seção 3.3.2. Já para o inversor, foi realizado um controle em malha aberta. Esta adaptação torna-se bem interessante e mais simples dos que modelos matemáticos comumente utilizados para esta estrutura.

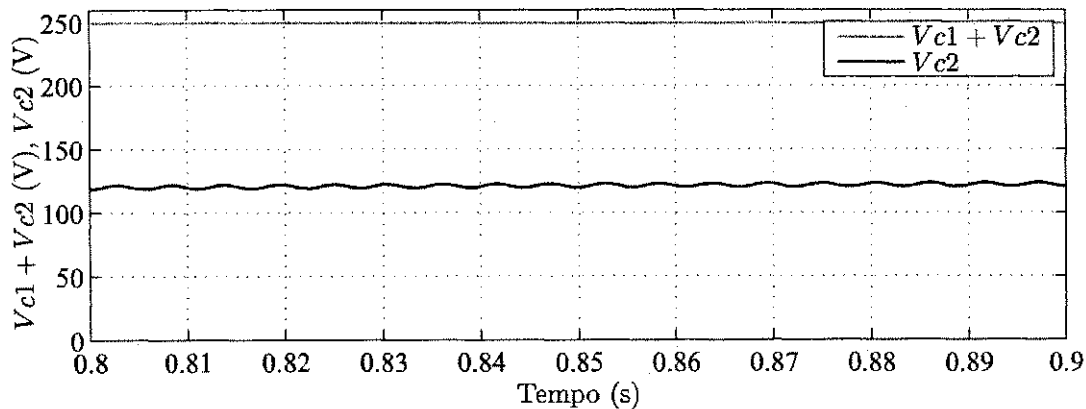


Figura 3.29: Tensões nos capacitores.

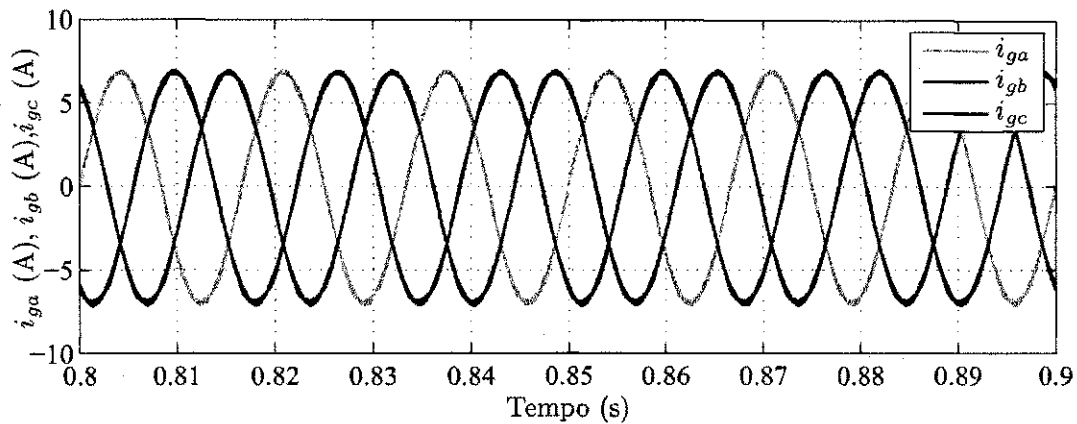


Figura 3.30: Correntes de entrada.

3.3.3 Estudo da Estratégia 3

Esta técnica é semelhante a utilizada na Seção 3.3.2, com o diferencial da introdução de um controle através da realimentação.

Através do erro de tensão entre os capacitores e do sentido da corrente de carga (em um capacitor), fazem com que ' μ ' assumam valor de 0 ou 1. Com isto gera-se um controlador do tipo liga-desliga, por exemplo.

O sinal de erro resultante da comparação entre o valor desejado para a tensão no ponto central do barramento CC e o seu valor real adquirido por medição, determina qual capacitor deve ser carregado ou descarregado no próximo período de modulação. Em seguida, o produto entre a saída deste comparador pelo sinal da corrente de carga (adquirida por meio de medição) determina qual das duas configurações do vetor do grupo ' S ' a ser empregada.

Na Figura 3.31 é mostrado o diagrama de blocos do controlador liga-desliga.

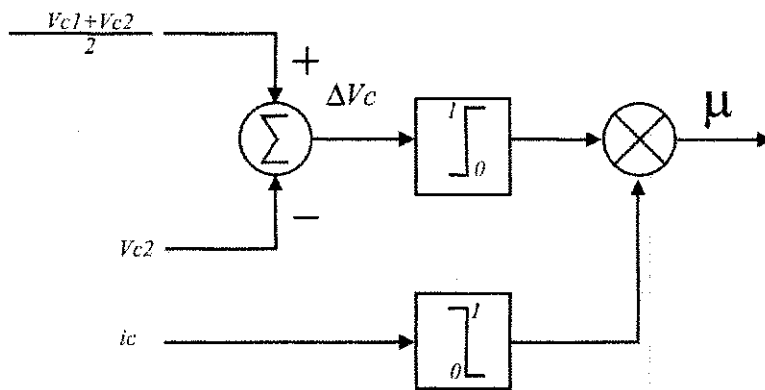


Figura 3.31: Diagrama de blocos do controlador liga-desliga.

As comparações mostradas acima funcionam da seguinte maneira:

- A depender do sinal do erro das tensões entre os bancos de capacitores do barramento CC, define-se qual banco está sendo carregado e qual está sendo descarregado. Se $(\frac{V_{c1}+V_{c2}}{2}) - V_{c2}$ for positivo, indica que V_{c2} é menor que V_{c1} , logo, C_1 está sendo carregado enquanto que C_2 está sendo descarregado. Com isso, o valor de μ passa a ser 1, pois como pode ser visto na Figura 3.32(b), para $\mu = 1$, tem-se a situação que produz o efeito contrário, ou seja, com C_2^+ (carregando) e C_1^- (descarregando).
- É necessário também saber se a corrente que está circulando no NP é positiva ou negativa. Se a corrente for positiva, então C_1^- e C_2^+ . Neste caso, para ocorrer o equilíbrio, tem-se que ter a situação contrária, ou seja, a corrente saindo do NP. Para isso, a configuração da Figura 3.32(a) é imposta, adotando μ igual a zero.

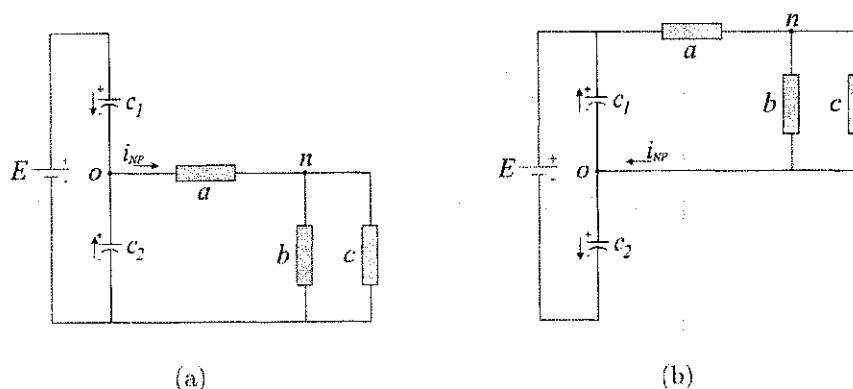


Figura 3.32: a) $\mu = 0$: Corrente saindo do NP; b) $\mu = 1$: Corrente entrando no NP.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.33 - 3.35 podem ser vistos os resultados obtidos. Percebe-se na Figura 3.34 a distorção da tensão na carga após o início do controle. Isso ocorre devido a mudança proposta pelo controle liga-desliga, que faz com que μ assume valor de 0 ou 1.

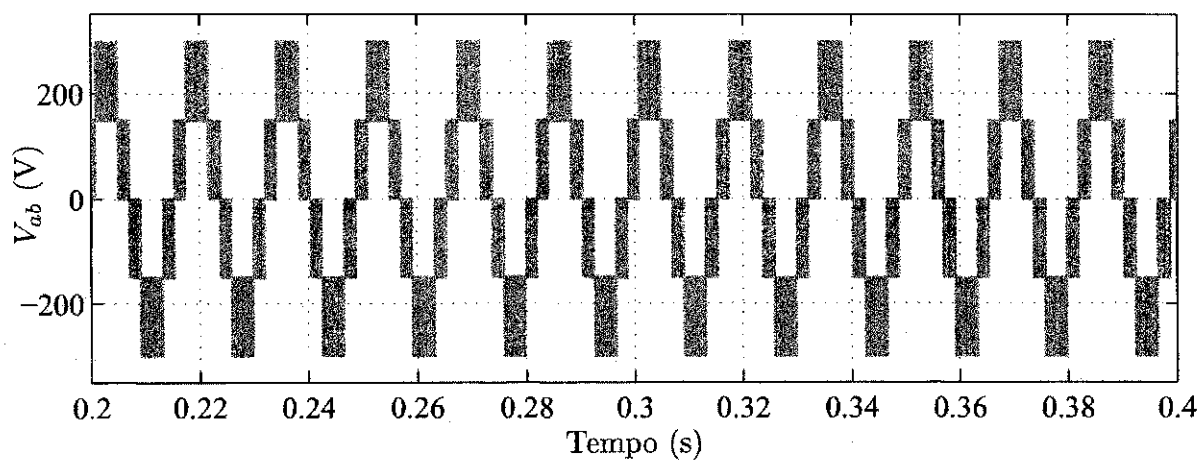


Figura 3.33: Tensão de linha (V_{ab}) para o inversor de três níveis.

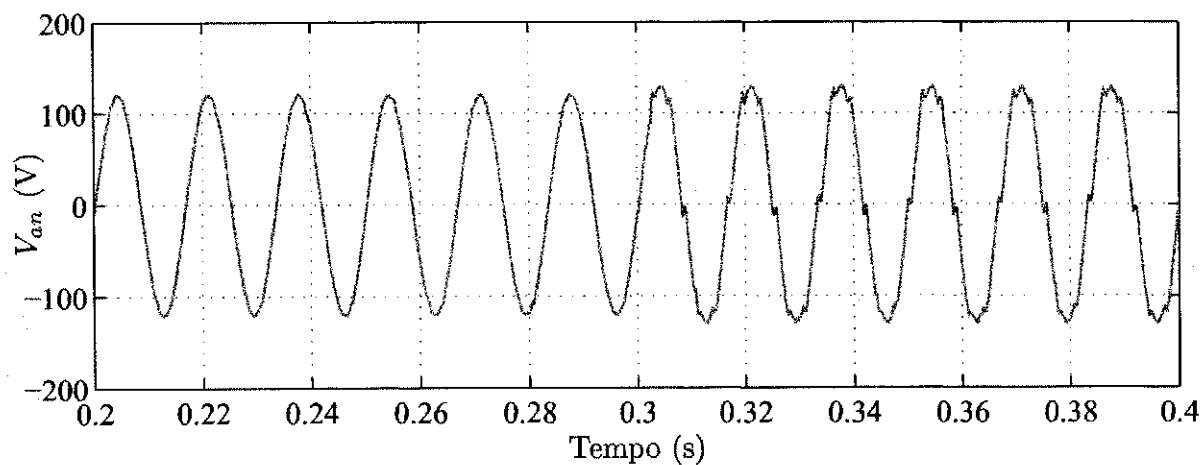


Figura 3.34: Tensão de fase filtrada (V_{an}) para o inversor de três níveis.

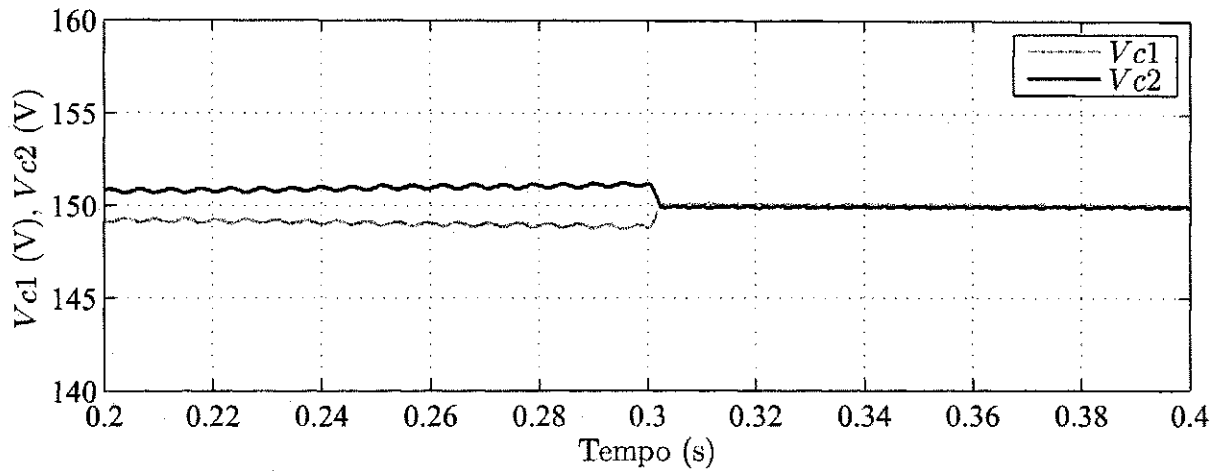


Figura 3.35: Tensões nos capacitores para o inversor de três níveis.

3.3.4 Estudo da Estratégia 4

A técnica proposta baseia-se no modelo do *Space Vector*, onde as tensões de saída V_a , V_b e V_c são representadas pelo vetor de tensão de referência, dado a seguir:

$$\begin{aligned} V_{ref} &= \frac{2}{3}(V_a + V_b \cdot e^{j \cdot 2\pi/3} + V_c \cdot e^{j \cdot 4\pi/3}) \\ &= m(t) \cdot \frac{V_{pn}}{\sqrt{3}} \cdot e^{j \cdot \theta(t)} \end{aligned} \quad (3.12)$$

Na equação 3.12 o índice de modulação m é a razão entre a amplitude desejada na tensão de fase de saída, $|V_m|$, a máxima amplitude possível da tensão de fase senoidal não-distorcida que pode ser gerada, $V_{pn}/\sqrt{3}$. Neste trabalho apenas os casos $m(t) \leq 1$ são considerados.

Devido a simetria circular do sistema trifásico, torna-se suficiente considerar apenas caso $0 \leq \theta \leq 60^\circ$, como mostrado na Figura 3.36.

O vetor de referência pode ser formado usando a modulação por espaço vetorial (*SVM*) dos três vetores de chaveamento mais próximos do vetor de referência para cada instante de amostragem. Os três vetores são selecionados localizando o vetor de referência em um dos quatro triângulos menores, como ilustra a Figura 3.36.

Para o triângulo sombreado na Figura 3.36, o vetor de referência é formado, por:

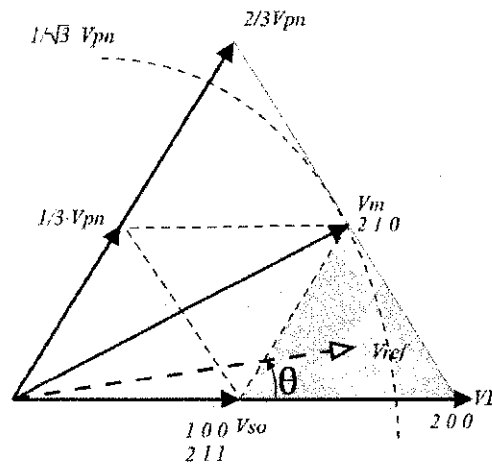


Figura 3.36: Formação do V_{REF} na região do triângulo exterior.

$$V_{ref} = d_{so}V_{so} + d_M V_M + d_L V_L \quad (3.13)$$

$$d_{so} + d_M + d_L = 1 \quad (3.14)$$

onde ' d'_{so} ' é o *duty cycle* do estado de chaveamento do vetor do grupo *Small*, ' d'_M ' é o *duty cycle* do estado de chaveamento do vetor do grupo *Middle* e ' d'_L ' é o *duty cycle* do estado de chaveamento do vetor do grupo *Large*, e que V_{ref} é dado por:

$$V_{ref} = \frac{m \cdot V_{pn}}{\sqrt{3}} (\cos(\theta) + j \sen(\theta)) \quad (3.15)$$

Da Figura 3.36, obtém-se que:

$$V_{so} = \frac{1}{3} V_{pn} \quad (3.16)$$

$$V_M = \frac{1}{\sqrt{3}} V_{pn} \quad (3.17)$$

$$V_L = \frac{2}{3} V_{pn} \quad (3.18)$$

Resolvendo então as equações (3.13) e (3.14), para o triângulo sombreado da Figura 3.36, tem-se:

$$\begin{aligned} V_{ref} = \frac{m \cdot V_{pn}}{\sqrt{3}} (\cos(\theta) + j \sen(\theta)) &= d_{so} \frac{V_{pn}}{3} (1 + j0) + d_M \frac{1}{\sqrt{3}} V_{pn} \left(\frac{\sqrt{3}}{2} + \right. \\ &\left. + j \frac{1}{2} \right) + d_L \frac{2V_{pn}}{3} (1 + j0) \end{aligned} \quad (3.19)$$

Reorganizando (3.19), chegam-se as equações a seguir:

$$\frac{m}{\sqrt{3}} \cos(\theta) = d_{so} \frac{1}{3} + d_M \frac{1}{2} + d_L \frac{2}{3} \quad (3.20)$$

$$\frac{m}{\sqrt{3}} \sin(\theta) = d_{so} \cdot j0 + d_M \frac{1}{2\sqrt{3}} + d_L \cdot j0 \quad (3.21)$$

As equações (3.14), (3.20) e (3.21) podem ser reorganizadas matricialmente:

$$\begin{bmatrix} \frac{m}{\sqrt{3}} \cos(\theta) \\ \frac{m}{\sqrt{3}} \sin(\theta) \\ 1 \end{bmatrix} = \begin{bmatrix} \frac{1}{3} & \frac{1}{2} & \frac{2}{3} \\ 0 & \frac{1}{2\sqrt{3}} & 0 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} d_{so} \\ d_M \\ d_L \end{bmatrix} \quad (3.22)$$

Resolvendo a matriz (3.22) encontram-se os duty cycles:

$$d_{so} = 2 - m \cdot (\sqrt{3} \cdot \cos(\theta) + \sin(\theta)) \quad (3.23)$$

$$d_M = 2 \cdot m \cdot \sin(\theta) \quad (3.24)$$

$$d_L = -1 + m \cdot (\sqrt{3} \cdot \cos(\theta) + \sin(\theta)) \quad (3.25)$$

A corrente injetada no ponto central na região sombreada da Figura 3.36 é influenciada por duas componentes, uma componente não-controlada imposta pelo vetor do grupo ' M' ', e uma componente controlada imposta pelos vetores do grupo ' S' '. A componente controlável é ajustada pelo tempo de aplicação dos vetores positivo (122) e negativo (211) através do ' d'_{so} ' a fim de compensar o desbalanceamento causado pelo vetor ' M' '. Esse ajuste é feito através da variável m_{so} , chamada de índice de modulação, que têm valores variando entre [-1 e 1].

Em outras palavras, o *duty cycle* do vetor $V_{so}(122)$ será de $(1 + m_{so}) \cdot d_{so}/2$, e o *duty cycle* do vetor $V_{so}(211)$ será de $(1 - m_{so}) \cdot d_{so}/2$. A corrente no ponto central pode ser encontrada a partir das Tabelas 3.2 e 3.3.

$$i_{NP} = d_M \cdot i_b + m_{so} \cdot d_{so} \cdot i_a \quad (3.26)$$

As expressões para os outros triângulos menores são simétricas às 3.13 - 3.26. A partir de 3.26 nota-se que a corrente NP é formada por uma componente não-controlável, $d_M \cdot i_b$, gerada pela aplicação do chaveamento do vetor ' M' ' e por um componente controlável, $m_{so} \cdot d_{so} \cdot i_a$,

gerada pela aplicação do chaveamento do vetor ' S' '. Note que a corrente produzida pelos vetores do grupo ' S' ' não depende somente da variável de controle das tensões do barramento ($'m'_{so}$), mas também da corrente da carga (i_o) e do *duty cycle*. Essa restrição adicional limita significativamente o controle da corrente no NP nesta região do triângulo menor.

O centro da região do triângulo menor, mostrado na Figura 3.37, é mais favorável para o balanceamento das tensões no barramento, desde que os dois vetores do grupo ' S' ' estejam disponíveis.

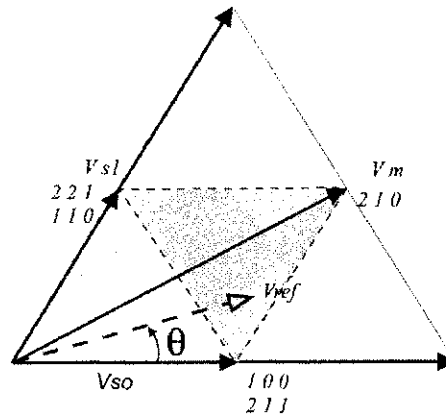


Figura 3.37: Formação do V_{REF} na região do triângulo central.

Para o triângulo sombreado na Figura 3.37, o vetor de referência é formado por:

$$V_{ref} = d_{so}V_{so} + d_M V_M + d_{s1}V_{s1} \quad (3.27)$$

$$d_{so} + d_{s1} + d_M = 1 \quad (3.28)$$

onde ' d'_{so} ' e ' d'_{s1} ' são os *duty cycles* dos estados de chaveamento dos vetores do grupo *Small*, ' d'_M ' é o *duty cycle* do estado de chaveamento do vetor do grupo *Middle*.

Das equações 3.27 e 3.28, os *duty cycles* são:

$$d_{so} = 2 - m \cdot (\sqrt{3} \cdot \cos(\theta) + \sin(\theta)) \quad (3.29)$$

$$d_M = 2 \cdot m \cdot \sin(\theta) \quad (3.30)$$

$$d_L = -1 + m \cdot (\sqrt{3} \cdot \cos(\theta) + \sin(\theta)) \quad (3.31)$$

A corrente do NP para este triângulo menor é dada por:

$$i_{NP} = d_M \cdot i_b + (m_{so} \cdot d_{so} \cdot i_a + m_{s1} \cdot d_{s1} \cdot i_c) \quad (3.32)$$

onde m_{so} e m_{s1} são os índices de modulação para a corrente do NP dos vetores do grupo *Small*: V_{so} e V_{s1} , respectivamente. Esta é uma situação mais favorável se comparada com 3.26, uma vez que dois vetores pequenos melhoram o controle de corrente no NP.

O SVM da região do triângulo interno mostrado na Figura 3.38 é definida, por:

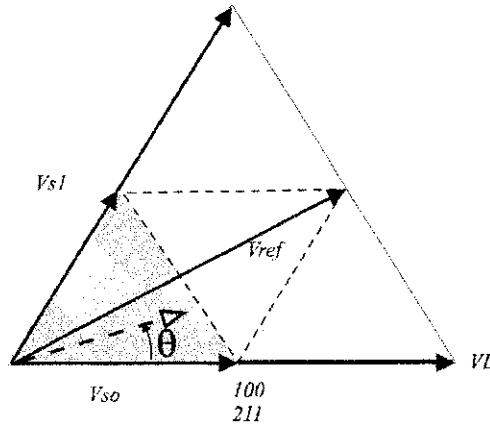


Figura 3.38: Formação do V_{REF} na região do triângulo interno.

$$V_{ref} = d_{so}V_{so} + d_{s1}V_{s1} \quad (3.33)$$

$$d_{so} + d_{s1} + d_z = 1 \quad (3.34)$$

Das equações 3.33 e 3.34, os duty cycles são:

$$d_{so} = m \cdot (\sqrt{3} \cdot \cos(\theta) - \sin(\theta)) \quad (3.35)$$

$$d_{s1} = 2 \cdot m \cdot \sin(\theta) \quad (3.36)$$

A corrente do NP para esta região é dada, por:

$$i_{NP} = m_{so} \cdot d_{so} \cdot i_a + m_{s1} \cdot d_{s1} \cdot i_c \quad (3.37)$$

Este triângulo mais interno tem mais vantagens para realizar o balanceamento devido ser formado somente por vetores do grupo *'S'*, o que permite o controle máximo da corrente no NP. Infelizmente, esta região para o balanceamento é pouco utilizada, sendo razoável esperar que o inversor opere, nesta região, apenas durante o acionamento e/ou transitórios.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.39 - 3.41 podem ser vistos os resultados obtidos. É possível, então, comprovar a eficácia da estratégia proposta. Nota-se que, a partir de 0.3s (mesmo tempo utilizado para se dar início ao controle nas estratégias que utilizaram malha fechada), ocorre a convergência das tensões dos capacitores.

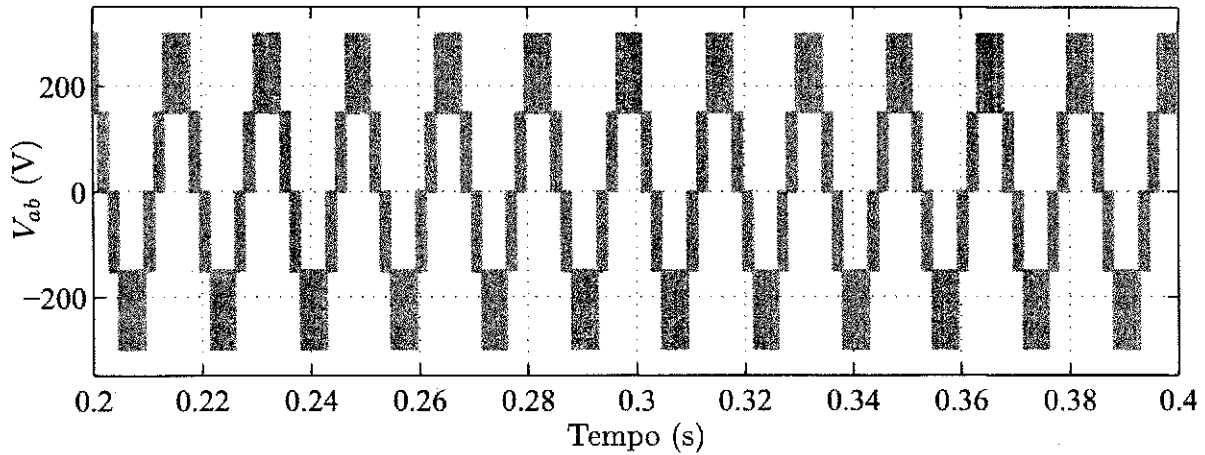


Figura 3.39: Tensão de linha (V_{ab}) para o inversor de três níveis.

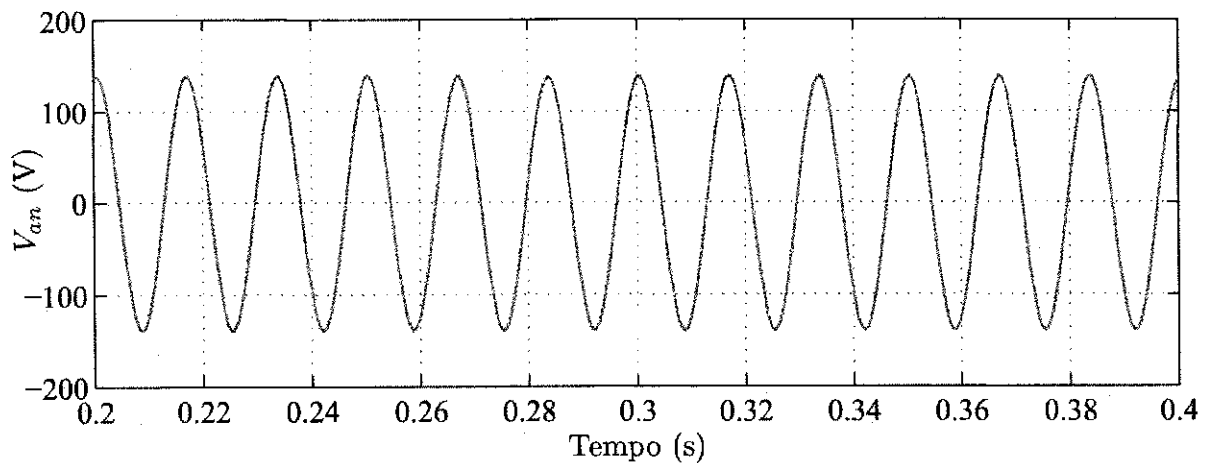


Figura 3.40: Tensão de fase filtrada (V_{an}) para o inversor de três níveis.

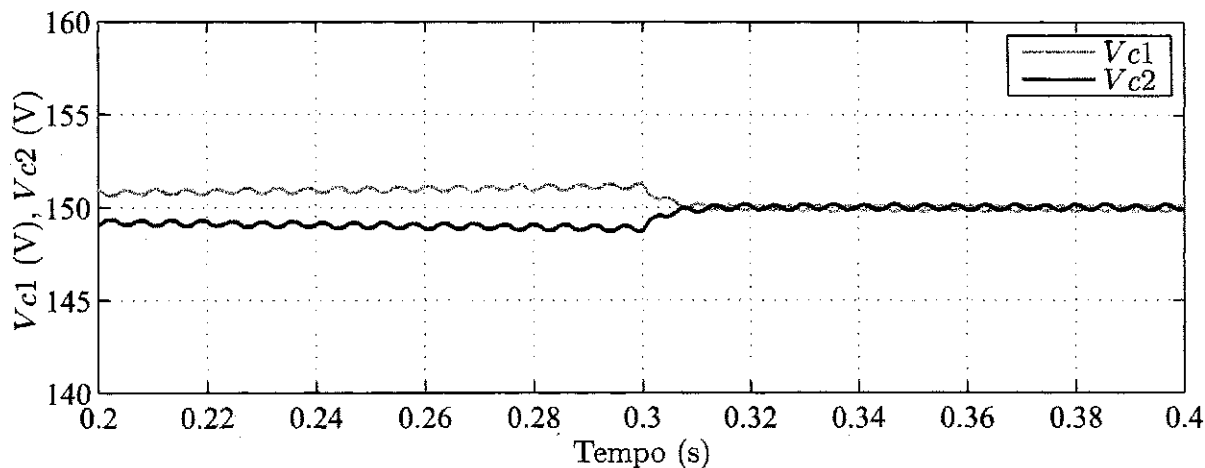


Figura 3.41: Tensões nos capacitores para o inversor de três níveis.

3.3.5 Estudo da Estratégia 5

Nessa estratégia, é realizada uma modificação da modulação vetorial, criando vetores virtuais para realizar o balanceamento das tensões no barramento CC.

Na seção 1.4, foi visto que são escolhidos os três vetores mais próximos para compor o vetor de referência. Quando V_{ref} está situado no triângulo 2 (Figura 3.42), os vetores V_{S1} , V_{M1} e V_{L1} são escolhidos. Sempre que V_{ref} for calculado, novos vetores têm de ser selecionados.

No diagrama visto na Figura 3.42, a corrente que está entre colchetes representa a corrente injetada no ponto central (NP) [i_o] para cada estado de chaveamento. Como citado em (Celanovic e Boroyevich, 2000), a corrente média i_o em T_s tem de ser zero para evitar a variação da tensão no ponto do neutro (v_{on}). A combinação adequada dos estados de chaveamento dos vetores do grupo ' S ' deve ser selecionada, a fim de alcançar este objetivo. Porém, como foi estudado em (Celanovic e Boroyevich, 2000), este método não é eficaz quando se tem índice de modulação (m) alto e baixo fator de potência na carga.

Isto é devido ao fato de que nessas condições, a corrente introduzida no NP pelos vetores do grupo ' M ' não pode ser compensada pela corrente introduzida pelos vetores do grupo ' S '.

Para se conseguir um controle robusto das tensões no barramento CC, um conjunto de novos vetores virtuais são definidos por uma combinação linear de vetores correspondentes a certos estados de chaveamento. Os novos vetores virtuais (V_{ZO} , V_{ZSi} , V_{ZMi} e V_{ZLi}), mostrados

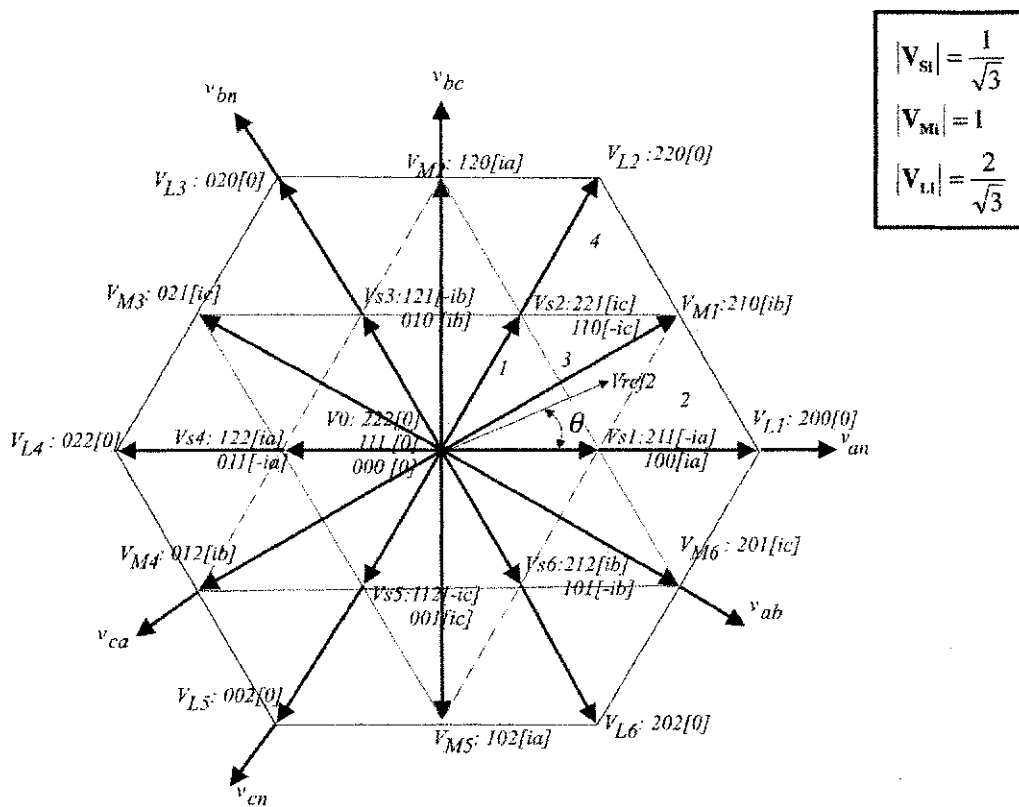


Figura 3.42: Diagrama do espaço vetorial de um conversor de três níveis NPC.

na Figura 3.43 para o primeiro sextante do diagrama vetorial, têm a corrente média i_o igual a zero, devido ao chaveamento.

Isto torna-se verdadeiro, desde que:

- O vetor V_{Z0} seja obtido pelo estado de chaveamento (OOO) , onde a corrente i_o é igual a zero;
- O vetor V_{ZS_i} é obtido pela combinação equitativa de dois estados de chaveamento com o mesmo valor da corrente i_o , mas, com sinal contrário. Por exemplo, se o vetor V_{ZS1} for seleccionado para ser aplicado no período de tempo Δt , o estado de chaveamento (100) será aplicado por $\frac{1}{2}\Delta t$, e o estado (211) será aplicado pelo restante de tempo $\frac{1}{2}\Delta t$. Sendo assim, a corrente média i_o em Δt será de:

$$i_o = \left(\frac{1}{\Delta t}\right) \cdot \left[\frac{1}{2} \cdot \Delta t \cdot i_a + \frac{1}{2} \cdot \Delta t \cdot (-i_a)\right] = 0 \tag{3.38}$$

- O vetor V_{ZM_i} é obtido pela combinação linear de três vetores. Esses vetores são os que

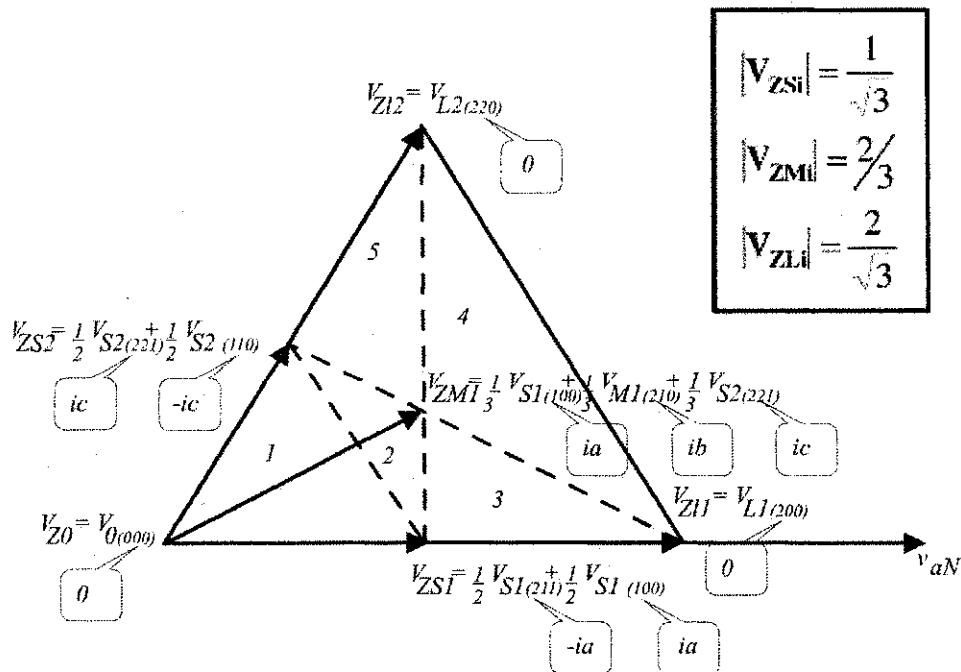


Figura 3.43: Vetores virtuais para o primeiro sextante do diagrama de espaço vetorial.

injetam as correntes i_a , i_b e i_c , garantindo que i_0 seja zero, já que $i_a + i_b + i_c = 0$. Por exemplo, se o vetor V_{ZM1} for selecionado para ser aplicado no período de tempo Δt , o estado (100) será aplicado $(1/3) \cdot \Delta t$, o estado (210) será aplicado $(1/3) \cdot \Delta t$ e o estado (221) será aplicado $(1/3) \cdot \Delta t$. Sendo assim, a corrente média i_o será de:

$$i_o = \left(\frac{1}{\Delta t}\right) \cdot \left[\frac{1}{3} \cdot \Delta t \cdot i_a + \frac{1}{3} \cdot \Delta t \cdot i_b + \frac{1}{3} \cdot \Delta t \cdot i_c\right] = 0 \quad (3.39)$$

- O vetor V_{ZLi} será obtido pelo próprio vetor do grupo 'L' que garante que a corrente média i_0 seja zero, que como visto anteriormente (seção 3.2), os vetores deste grupo não influenciam no desbalanceamento.

De modo semelhante ao apresentado na seção 1.4, o vetor de referência é formado pelos três vetores virtuais mais próximos. Isso define cinco regiões menores no diagrama triangular da Figura 3.43. A Tabela 3.6 especifica os vetores do espaço vetorial selecionados nos casos em que a extremidade de V_{ref} se encontrar na região de 1 - 5.

Os *duty cycles* de cada vetor virtual pode ser calculado da seguinte forma:

Tabela 3.6: Seleção dos vetores virtuais para cada região triangular.

Região	Vetores Virtuais Selecionados
1	V_{Z0}, V_{ZS1} e V_{ZS2}
2	V_{ZS1}, V_{ZS2} e V_{ZM1}
3	V_{ZS1}, V_{ZM1} e V_{ZL1}
4	V_{ZL1}, V_{ZM1} e V_{ZL2}
5	V_{ZS2}, V_{ZM1} e V_{ZL2}

$$V_{ref} = d_{VV1} \cdot VV_1 + d_{VV2} \cdot VV_2 + d_{VV3} \cdot VV_3 \quad (3.40)$$

$$0 \leq d_{VVj} \leq 1$$

$$d_{VV1} + d_{VV2} + d_{VV3} = 1 \quad (3.41)$$

onde VV_j corresponde ao vetor do espaço virtual selecionado ($j = 1, 2$ e 3).

Resolvendo então as equações 3.40 e 3.41, para a região 3 da Figura 3.43:

$$\begin{aligned} V_{ref} &= \frac{m \cdot V_{pn}}{\sqrt{3}} (\cos(\theta) + j \operatorname{sen}(\theta)) = d_{ZS1} \frac{V_{pn}}{\sqrt{3}} (\cos(0^\circ) + j \operatorname{sen}(0^\circ)) + \\ &+ d_{ZM1} \frac{2V_{pn}}{3} (\cos(30^\circ) + j \operatorname{sen}(30^\circ)) + d_{ZL1} \frac{2V_{pn}}{\sqrt{3}} (\cos(0^\circ) + j \operatorname{sen}(0^\circ)) \end{aligned} \quad (3.42)$$

Reorganizando 3.42, chegam-se as equações a seguir:

$$\frac{m}{\sqrt{3}} \cos(\theta) = d_{ZS1} \frac{1}{\sqrt{3}} + d_{ZM1} \frac{\sqrt{3}}{3} + d_{ZL1} \frac{2}{\sqrt{3}} \quad (3.43)$$

$$\frac{m}{\sqrt{3}} \operatorname{sen}(\theta) = d_{ZS1} \cdot j0 + d_{ZM1} \frac{1}{3} + d_{ZL1} \cdot j0 \quad (3.44)$$

As equações (3.41), (3.43) e (3.44) podem ser reorganizadas matricialmente:

$$\begin{bmatrix} \frac{m}{\sqrt{3}} \cos(\theta) \\ \frac{m}{\sqrt{3}} \operatorname{sen}(\theta) \\ 1 \end{bmatrix} = \begin{bmatrix} \frac{1}{\sqrt{3}} & \frac{\sqrt{3}}{3} & \frac{2}{\sqrt{3}} \\ 0 & \frac{1}{3} & 0 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} d_{ZS1} \\ d_{ZM1} \\ d_{ZL1} \end{bmatrix} \quad (3.45)$$

Resolvendo a equação (3.45), encontram-se os *duty cycles* dos vetores virtuais para a região três da Figura 3.43:

$$d_{ZS1} = 2 - m \cdot (\cos(\theta) - \frac{3}{\sqrt{3}} \sin(\theta)) \tag{3.46}$$

$$d_{ZM1} = \frac{3}{\sqrt{3}} \sin(\theta) \tag{3.47}$$

$$d_{ZL1} = -1 + m \cos(\theta) \tag{3.48}$$

De modo semelhante, os cálculos para as outras quatro regiões restantes são realizados, encontrando-se os *duty cycles* virtuais restantes. Os correspondentes *duty cycles* reais dos diferentes estados de chaveamento podem então ser calculados. Para o primeiro sextante:

$$\begin{aligned} d_{111} &= d_{VZo}, & d_{220} &= d_{VZL2} \\ d_{211} &= \left(\frac{1}{2}\right) \cdot d_{VZS1}, & d_{210} &= \left(\frac{1}{3}\right) \cdot d_{VZM1} \\ d_{110} &= \left(\frac{1}{2}\right) \cdot d_{VZS2} \\ d_{100} &= \left(\frac{1}{2}\right) \cdot d_{VZS1} + \left(\frac{1}{3}\right) \cdot d_{VZM1} \\ d_{200} &= d_{VZL1}, & d_{221} &= \left(\frac{1}{2}\right) \cdot d_{VZS2} + \left(\frac{1}{3}\right) \cdot d_{VZM1} \end{aligned} \tag{3.49}$$

O estado escolhido de chaveamento é tal que a seqüência de conexão de cada fase nos pontos do barramento CC (2,1 e 0) é simétrico 2-1-0-1-2, como mostrado na Figura 3.44.

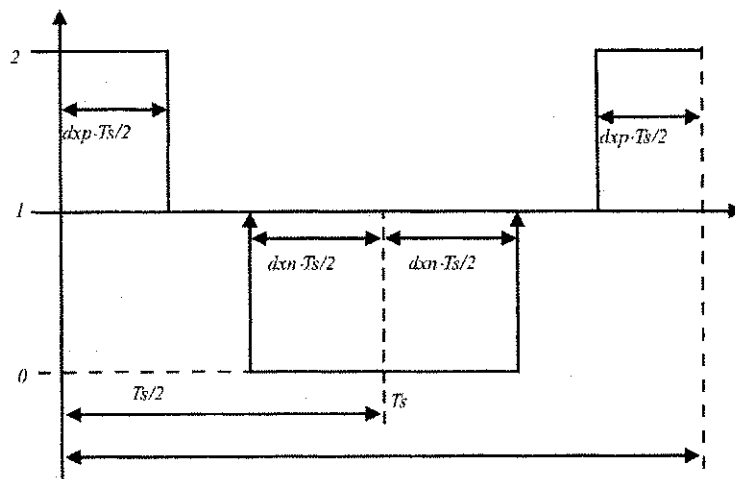


Figura 3.44: Seqüência de conexão da fase x (a,b ou c) para cada ponto do barramento CC (2,1 e 0).

Portanto, uma aplicação prática da estratégia de modulação proposta requer apenas o cálculo dos *duty cycles* de maneira independente (d_{a2} , d_{b2} , d_{c2} , d_{a0} , d_{b0} , d_{c0} , onde d_{xy} é o *duty cycle* da fase ' x ', conectada ao ponto ' y ' do barramento), adicionando o *duty cycle* do estado de chaveamento apropriado como realizado nas equações presentes em 3.40 - 3.49, sem a necessidade de identificar o setor e a região. Para o *duty cycle* em que ocorre a conexão no ponto '1' do barramento, utiliza-se: $d_{x1} = 1 - d_{x2} - d_{x0}$.

Por exemplo, no primeiro sextante, para se obter ' d'_{a2} ', ou seja, o tempo em que a fase ' a ' está ligada no ponto 2, somam-se todos os *duty cycles* daquele setor, em que isso acontece:

$$d_{a2} = d_{211} + d_{200} + d_{220} + d_{210} + d_{221} \tag{3.50}$$

A Figura 3.45 apresenta o período dos *duty cycles* d_{a2} e d_{a0} para $m = 0.8$.

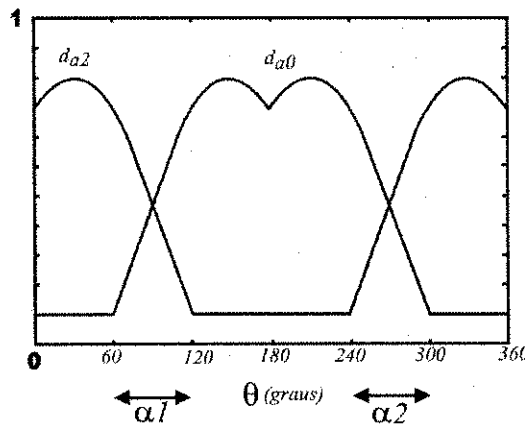


Figura 3.45: d_{a2} e d_{a0} como função de θ e de $m = 0.8$.

O padrão observado para o d_{a2} pode ser expresso por:

$$\begin{aligned} 0 &\leq \theta \leq \frac{2\pi}{3} : d_{a2} = m \cdot \cos\left(\theta - \frac{\pi}{6}\right) \\ \frac{2\pi}{3} &\leq \theta \leq \frac{4\pi}{3} : d_{a2} = 0 \\ \frac{4\pi}{3} &\leq \theta \leq 2\pi : d_{a2} = m \cdot \cos\left(\theta + \frac{\pi}{6}\right) \end{aligned} \tag{3.51}$$

A expressão para o *duty cycle* d_{a0} é a mesma vista em 3.51, só que defasada de 180° .

Já as expressões para as fases 'b' e 'c' são as mesmas da fase 'a', só que defasadas de 120° e 240° , respectivamente. Estas equações definem os *duty cycles* das três fases em função do índice de modulação 'm' e do ângulo do vetor de referência sem que haja a necessidade de identificar o setor ou a região, o que simplifica significativamente os cálculos.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.46 - 3.48 podem ser vistos os resultados obtidos. Observando a Figura 3.46 percebe-se que esta estratégia, quando comparada com as demais, tem um maior número de comutações, devido a criação de novos vetores e setores virtuais.

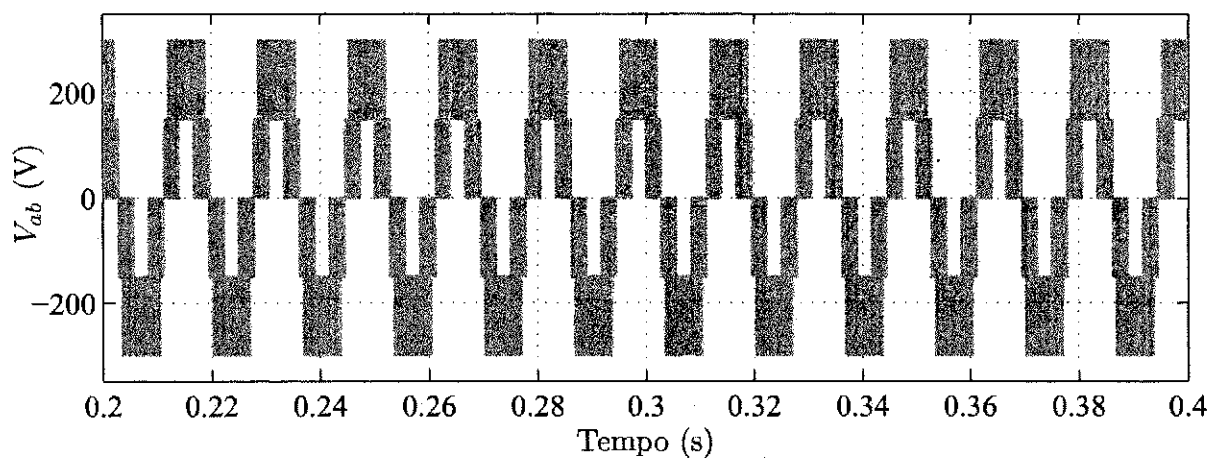


Figura 3.46: Tensão de linha (V_{ab}) para o inversor de três níveis.

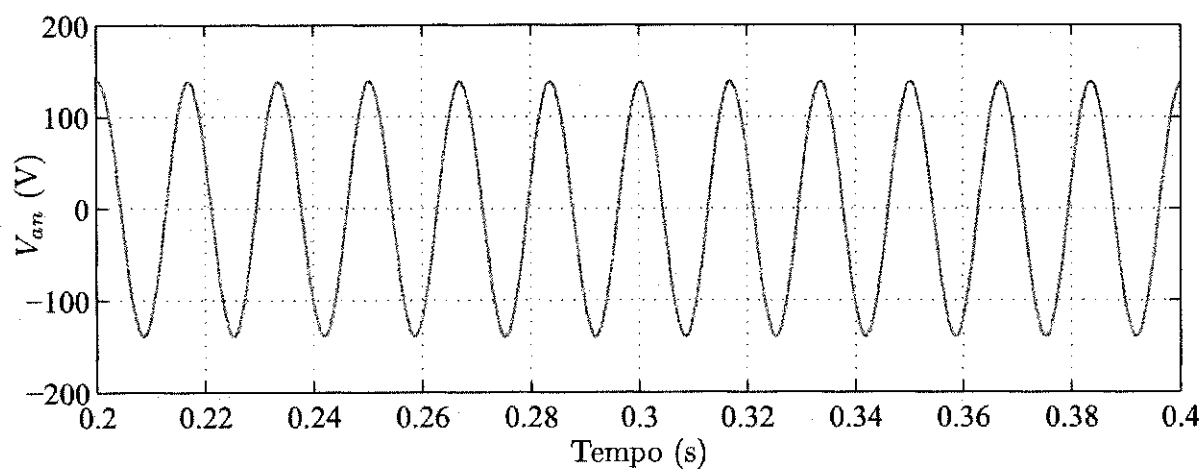


Figura 3.47: Tensão de fase filtrada (V_{an}) para o inversor de três níveis.

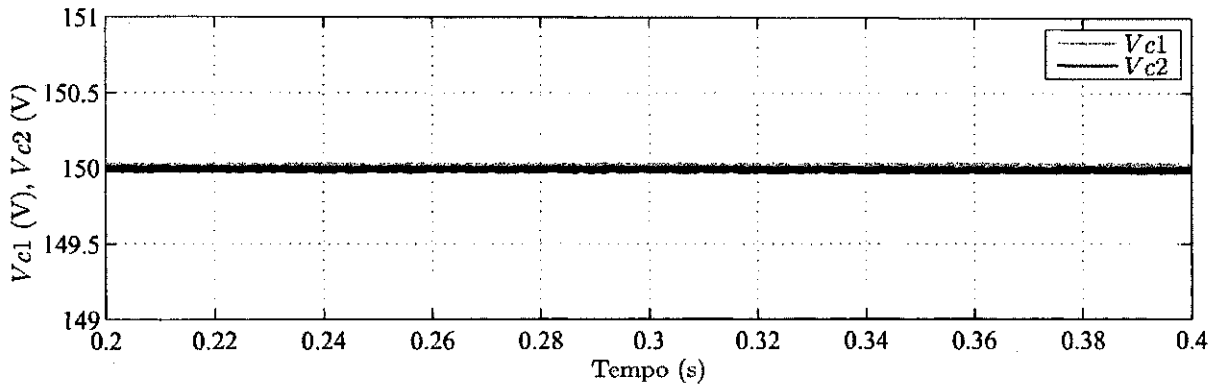


Figura 3.48: Tensões nos capacitores para o inversor de três níveis.

3.3.6 Estudo da Estratégia 6

Fazendo a análise da Estratégia 3 (seção 3.3.3), devido aos problemas apresentados (além da medição das tensões nos capacitores, é necessária fazer a medição da corrente no ponto do neutro, o que torna o processo um pouco mais complexo quando se comparada com as outras estratégias estudadas neste trabalho, como também, as deformidades apresentadas nas tensões da carga), optou-se por outro método de malha fechada para estudo.

O método apresentado em 3.3.3 muda bruscamente o valor do μ (o valor do μ assume valor 0 ou 1 a depender do desequilíbrio apresentado no barramento), o que ocasiona o problema apresentado na carga descrito acima. Na Figura 3.49, tem-se o diagrama de controle proposto pela Estratégia 6.

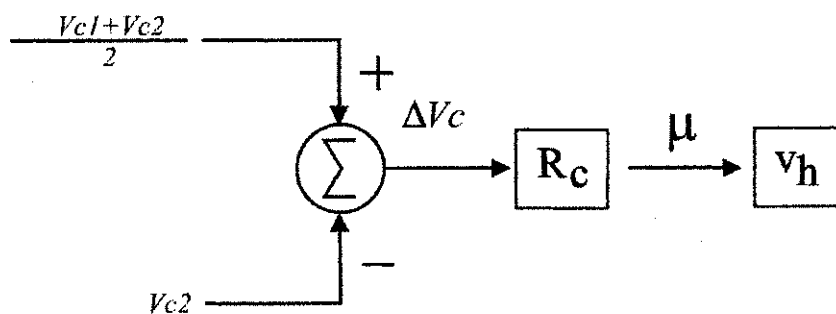


Figura 3.49: Diagrama de controle da Estratégia 6.

Para esta estratégia adotou-se a inserção de um controlador PI, onde o valor do μ (que é usado na equação 3.6) muda a partir do erro entre as tensões dos capacitores do barramento CC.

Resultados de Simulação para o Inversor de Três Níveis

Nas Figuras 3.50 - 3.52 podem ser vistos os resultados obtidos.

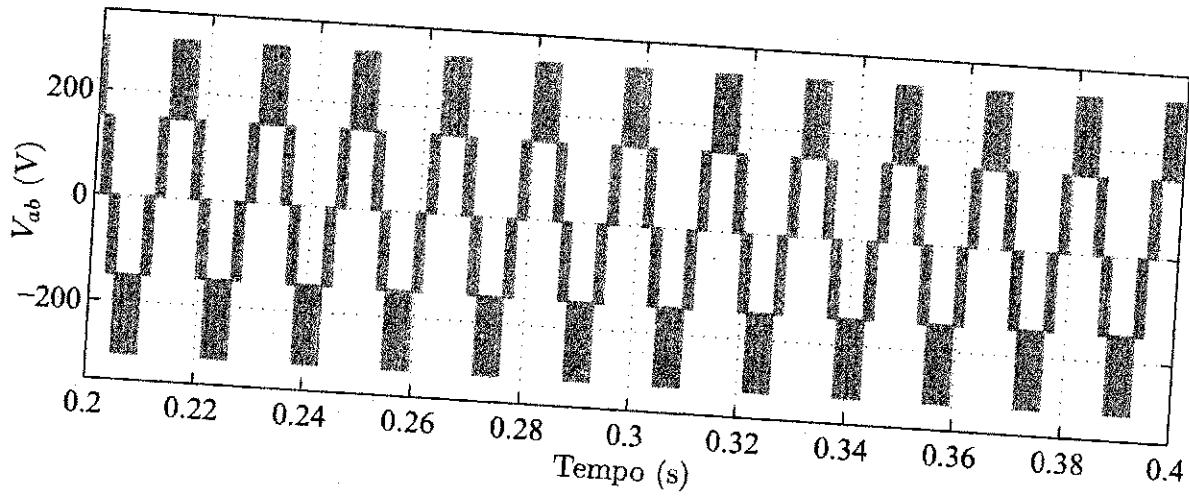


Figura 3.50: Tensão de linha (V_{ab}) para o inversor de três níveis.

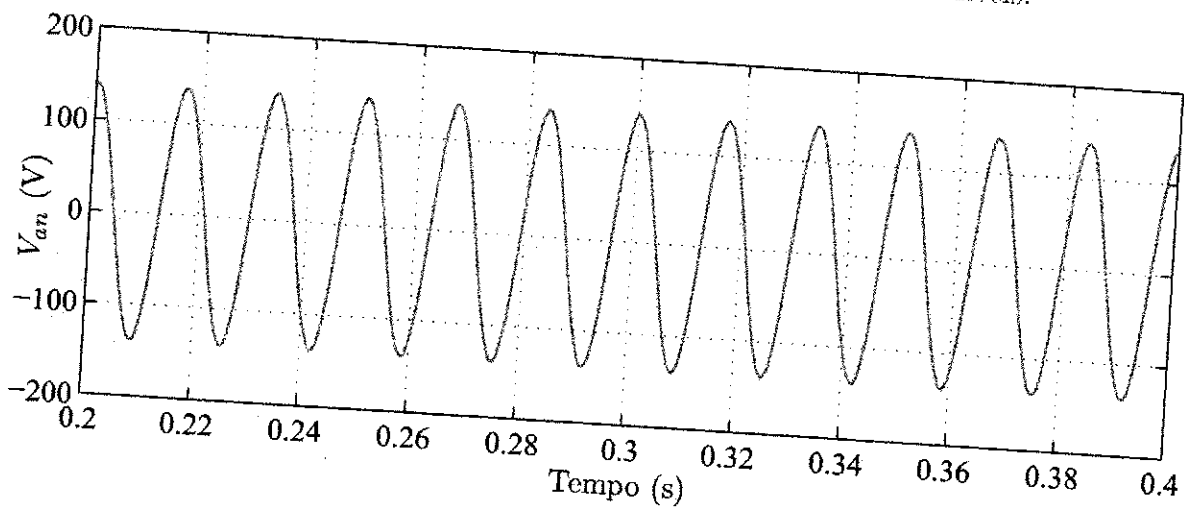


Figura 3.51: Tensão de fase filtrada (V_{an}) para o inversor de três níveis.

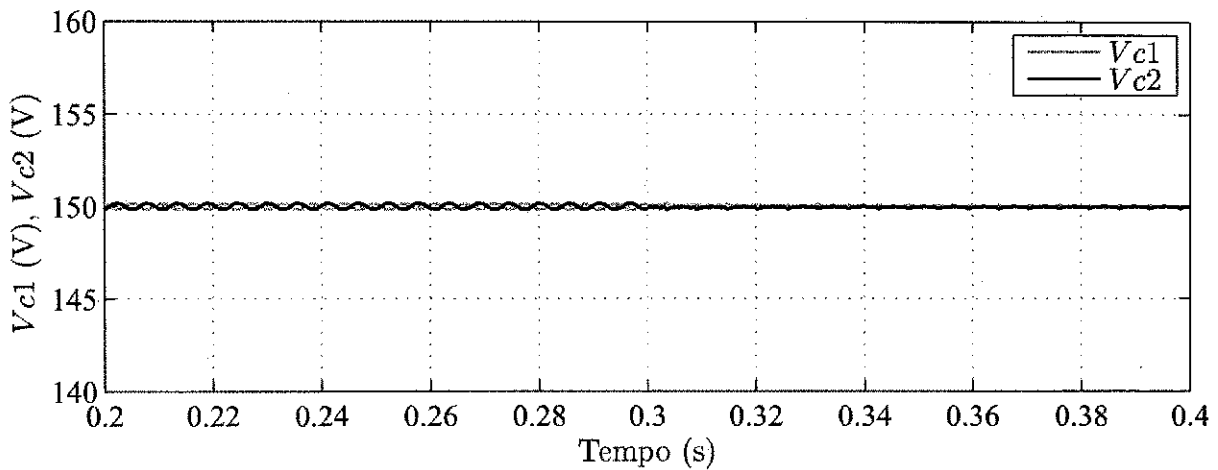


Figura 3.52: Tensões nos capacitores para o inversor de três níveis.

Resultados Experimentais para o Inversor de Três Níveis

Utilizando um motor (ref. $\cos \theta = 0.76$, $f = 60\text{Hz}$, $2cv$, $1,5\text{kW}$), uma tensão no barramento CC de 150 V, e frequência de chaveamento de 10kHz, obteve-se os seguintes resultados apresentados nas Figuras 3.53 e 3.54.

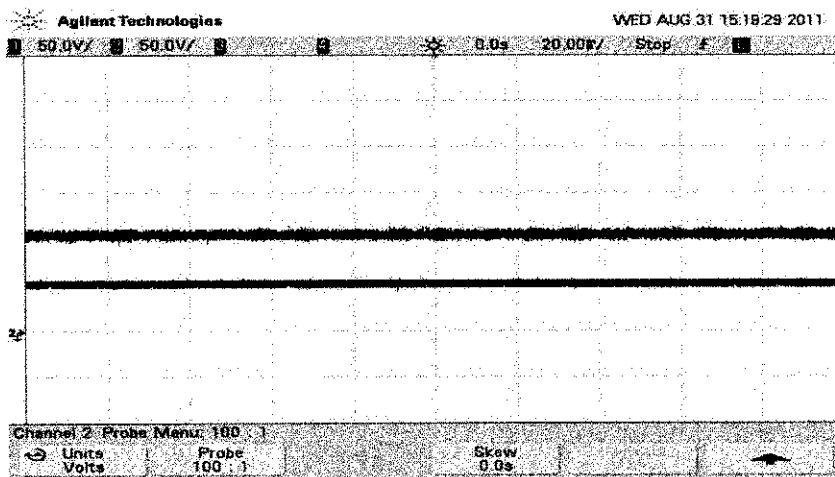


Figura 3.53: Tensões nos capacitores para o inversor de três níveis.

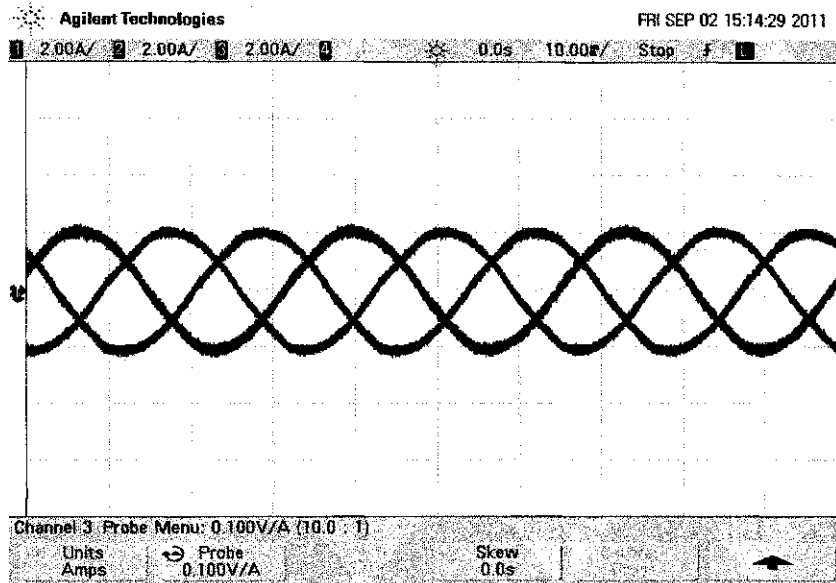


Figura 3.54: Correntes de saída (i_a , i_b e i_c) para o inversor de três níveis.

3.4 Conclusões

Neste capítulo, foram descritos os objetivos de se controlar os conversores multiníveis, tanto para os inversores como os retificadores, especificamente os de três níveis. Foi feito um estudo do principal problema deste tipo de estrutura, que é o desbalanceamento que surge nas tensões dos capacitores do barramento CC.

Foram mostradas as estratégias que serão estudadas, dentre as quais duas funcionam com malha aberta e quatro utilizam algum tipo de realimentação, descrevendo o funcionamento de cada uma. Foram mostrados os resultados obtidos através de simulações, como também, alguns resultados experimentais.

As estratégias descritas, neste capítulo, mostraram-se eficientes para o equilíbrio das tensões do barramento, com uma frequência alta de chaveamento (10kHz). A Estratégia 3, apesar de seu controle ter sido eficiente para o balanceamento das tensões, apresentou tensões e correntes distorcidas.

4

Análise Comparativa das Estratégias de Modulação

4.1 Introdução

Neste capítulo serão avaliadas as estratégias *PWM*, estudadas no Capítulo 3, que permitem realizar o balanceamento da tensão dos capacitores do barramento CC do inversor de três níveis.

As avaliações consistirão na determinação dos níveis de distorção harmônica e perdas, por chaveamento e condução, considerando o conversor operando com a frequência de chaveamento de 10kHz e 720Hz, bem como, alimentando com cargas desbalanceadas. Para as simulações, foram usados os dados gerais da Tabela 4.1.

Tabela 4.1: Dados gerais para as simulações.

Dados
Inversor de Três Níveis
Carga RL: $\cos(\phi) = 0,91$.
Tensão total do barramento CC: $E = 300$ V.
Índice de modulação: $m = 0,8$.
Frequência de comutação: $f_s = 10\text{kHz}$ ou 720Hz
Corrente (<i>RMS</i>): $I = 3,0$ A.

4.2 Funcionamento em 720Hz

Conforme indicado, as estratégias de balanceamento da tensão dos capacitores do barramento CC do inversor de três níveis foram avaliadas. Nos gráficos a seguir, utilizou-se no início da simulação a frequência de 10kHz, e no instante de 0.3s, ocorreu a mudança para 720Hz.

Utilizou-se a frequência de chaveamento em 720Hz para testar se o equilíbrio das tensões era mantido pelas estratégias em estudo, pois, quando a frequência é alta (10kHz), o período é menor, e o tempo de aplicação dos vetores que injetam corrente no ponto central do barramento CC (gerando desbalanceamento), se dá rapidamente. Quando o conversor está operando com baixa frequência de chaveamento, o período é maior, e o tempo de aplicação desses vetores aumenta. Logo, a corrente que gera o desequilíbrio é injetada no ponto central por mais tempo.

Os resultados são apresentados nas Figuras 4.1 - 4.18.

4.2.1 Estratégia 1

Nas Figuras 4.1 - 4.3 podem ser vistos os resultados das tensões no barramento CC, bem como a tensão de linha (V_{ab}) e as correntes na carga (I_a , I_b e I_c). Percebe-se que quando ocorre a mudança para 720Hz, a qual ocorre em 0.3s, é mantido o equilíbrio das tensões do barramento CC, com uma variação de aproximadamente 1.2V.

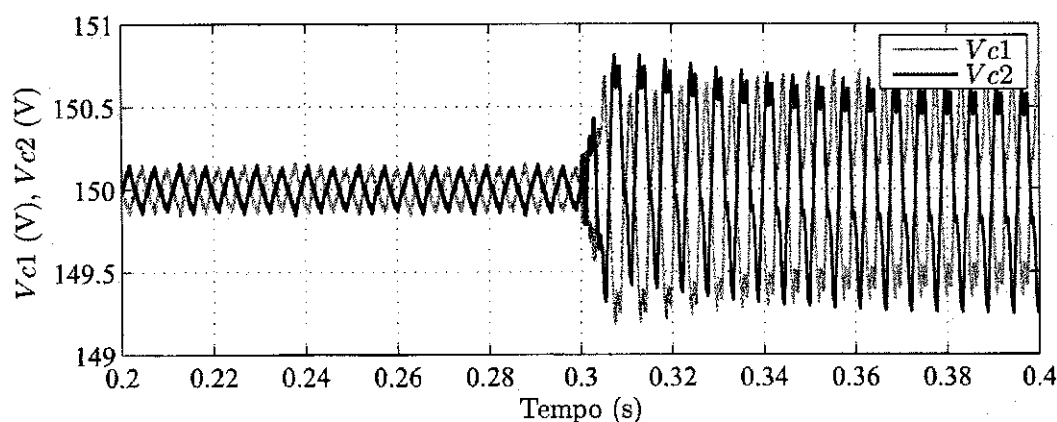
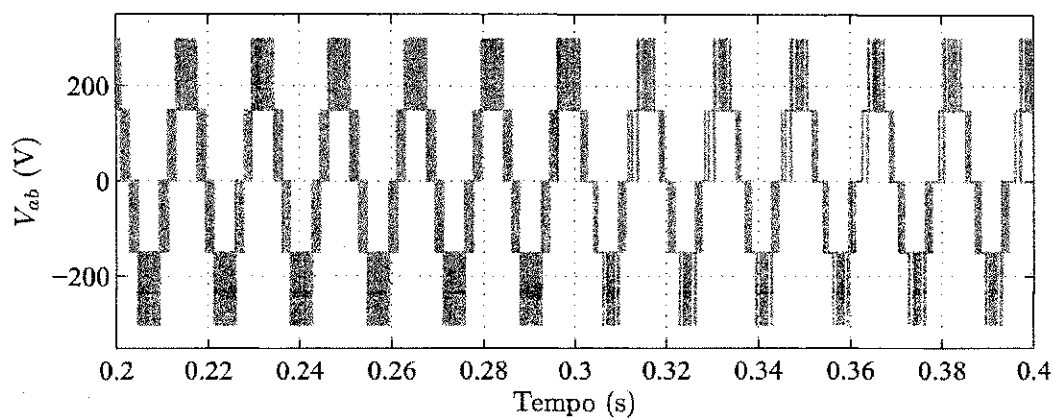
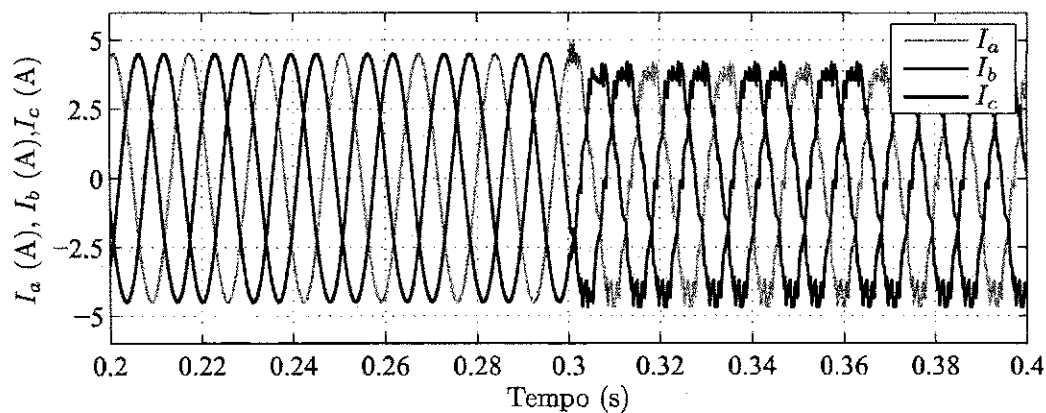


Figura 4.1: Tensões nos capacitores do barramento CC.

Figura 4.2: Tensão de linha V_{ab} .Figura 4.3: Correntes na carga I_a , I_b e I_c .

4.2.2 Estratégia 2

Nas Figuras 4.4 - 4.6 podem ser vistos os resultados das tensões no barramento CC, bem como a tensão de linha (V_{ab}) e as correntes na carga (I_a , I_b e I_c). Enquanto a frequência de chaveamento é mantida em 10kHz, o equilíbrio das tensões é mantido, o que não ocorre com a mudança para 720Hz. A estratégia de malha aberta, não foi eficiente para esta frequência de operação. Devido a esta estratégia não ter uma realimentação, o sistema não percebe o desbalanceamento gerado quando se utiliza a frequência de chaveamento em 720Hz e mantém o padrão de chaveamento, gerando o desequilíbrio das tensões nos capacitores do barramento CC.

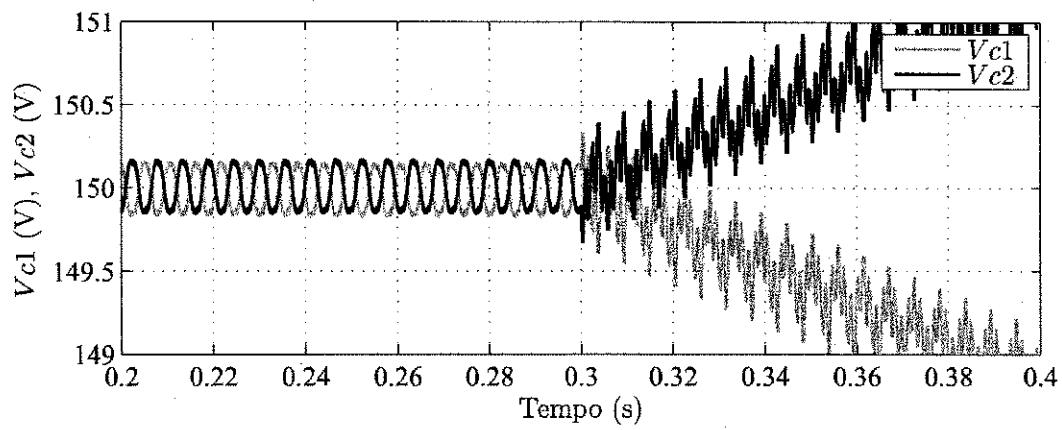


Figura 4.4: Tensões nos capacitores do barramento CC.

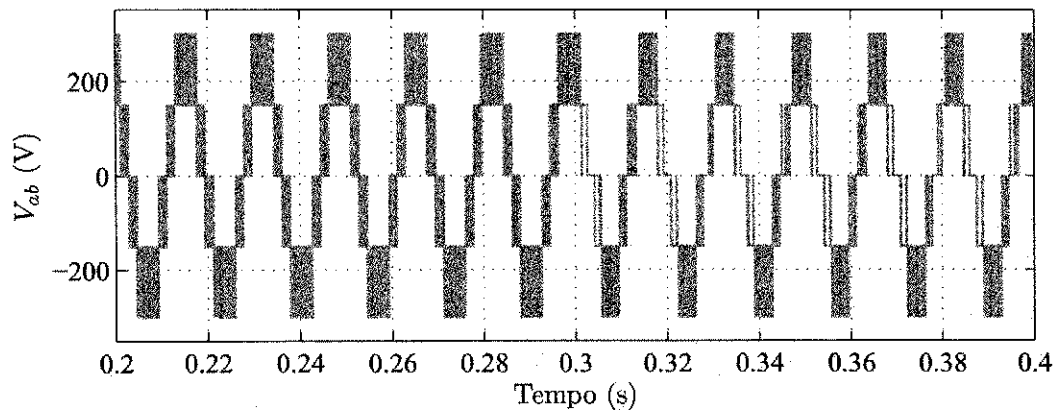


Figura 4.5: Tensão de linha V_{ab} .

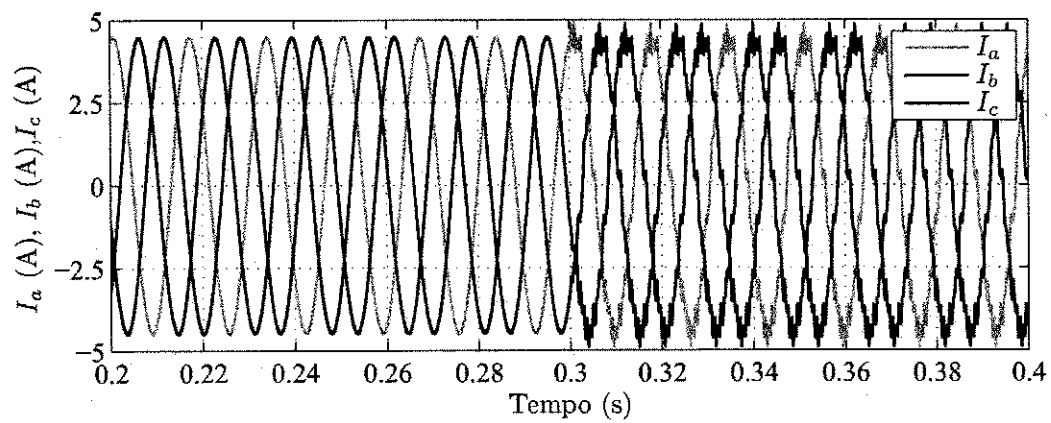


Figura 4.6: Correntes na carga I_a , I_b e I_c .

4.2.3 Estratégia 3

Nas Figuras 4.7 - 4.9 podem ser vistos os resultados. Nesta estratégia é obtido o controle das tensões no barramento CC em ambas as frequências de comutação (10kHz e 720Hz). No funcionamento com a frequência menor, houve uma variação de aproximadamente 1.0V nas tensões do barramento.

As correntes para está estratégia apresentaram-se bastante distorcidas, para ambas as frequências de chaveamento, como pode ser visto na Figura 4.9. Isto ocorre devido a variação brusca do μ (ver seção 3.3.3), ocasionando distorções nas variáveis internas da estratégia de modulação.

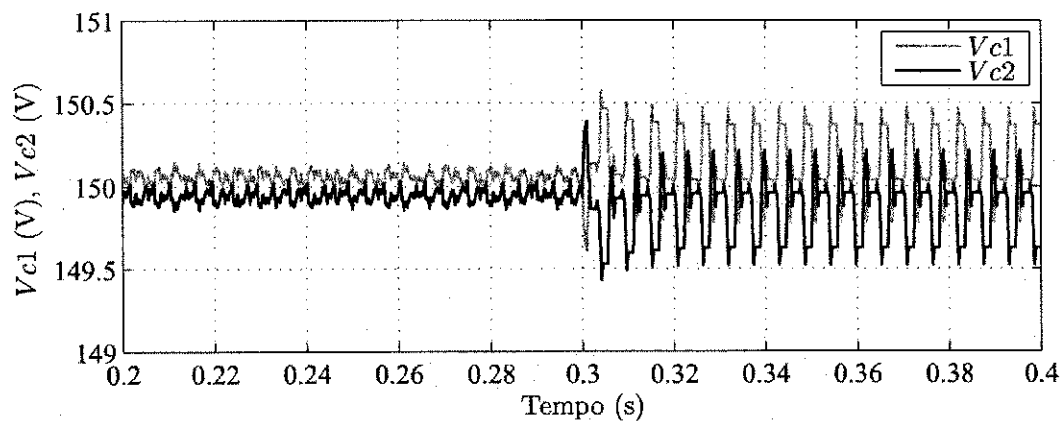


Figura 4.7: Tensões nos capacitores do barramento CC.

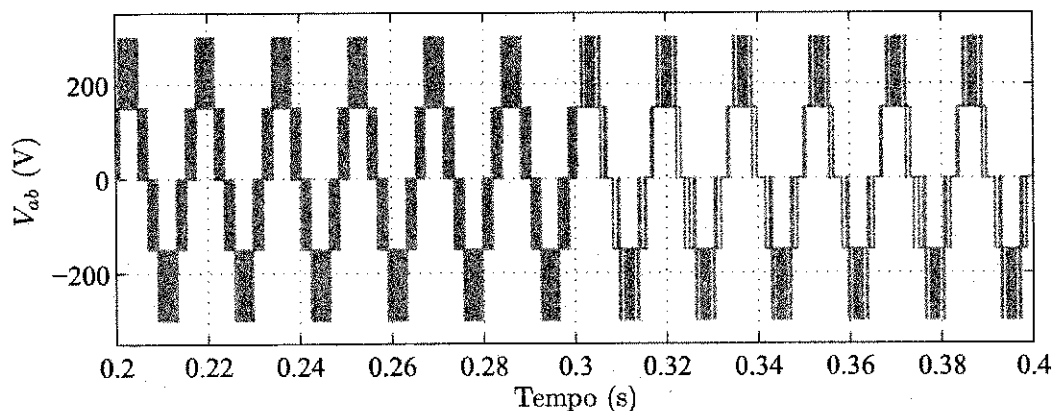
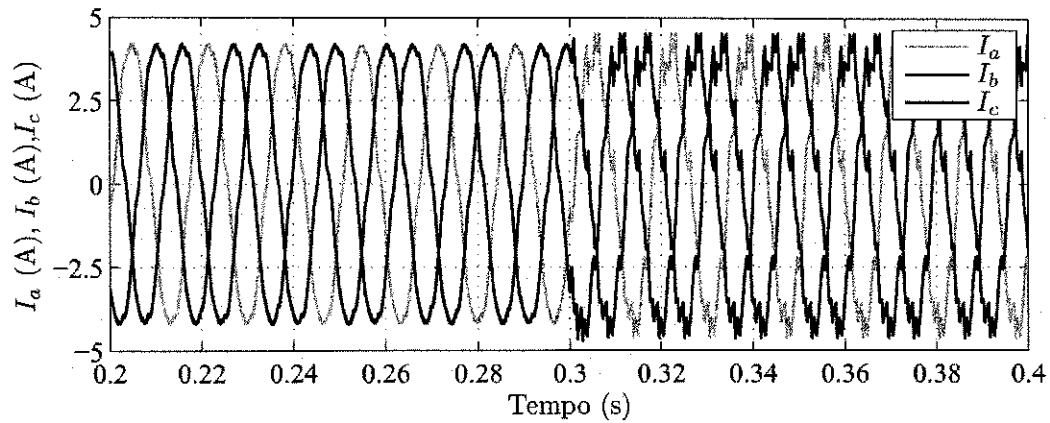


Figura 4.8: Tensão de linha V_{ab} .

Figura 4.9: Correntes na carga I_a , I_b e I_c .

4.2.4 Estratégia 4

Nas Figuras 4.10 - 4.12 podem ser vistos os resultados obtidos para esta estratégia. Na Figura 4.10 pode ser visto o equilíbrio das tensões nas duas frequências em estudo. Quando se utiliza a frequência de chaveamento de 720Hz, ocorre uma variação de aproximadamente 1,2V.

Na Figura 4.12 têm-se as correntes obtidas utilizando a estratégia proposta. Percebe-se que quando comparada com a Estratégia 3, as correntes são mais próximas a uma onda senoidal (em 10kHz).

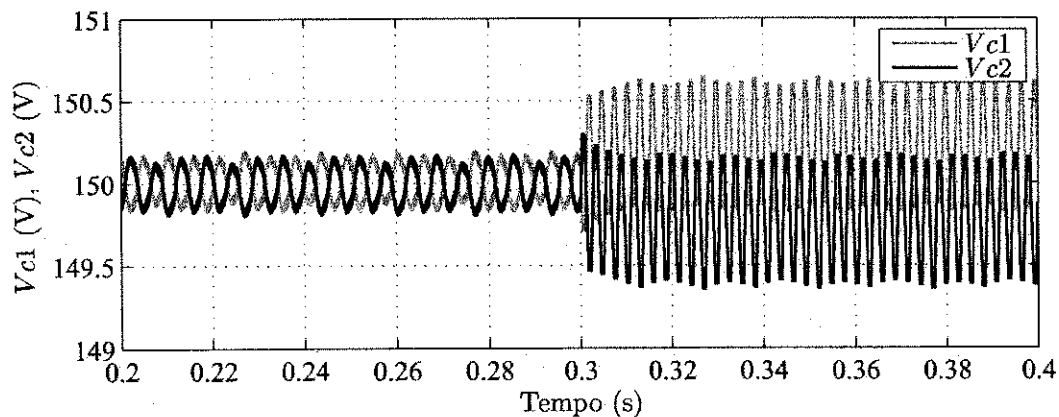
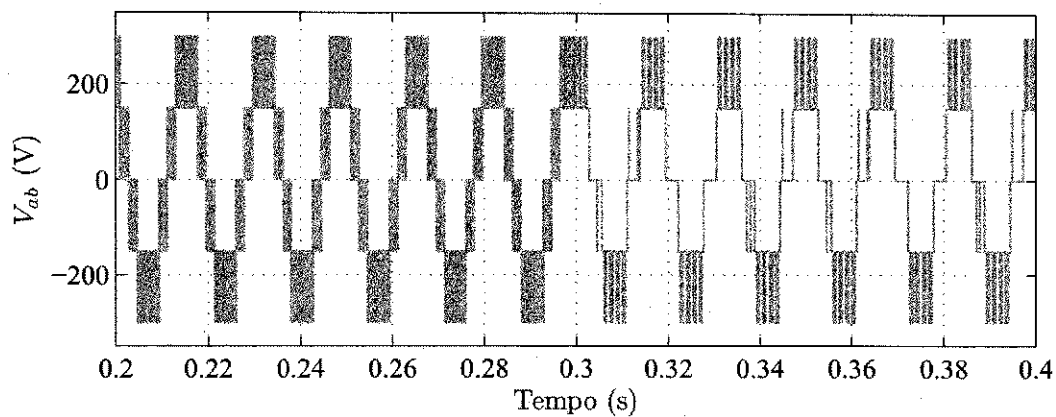
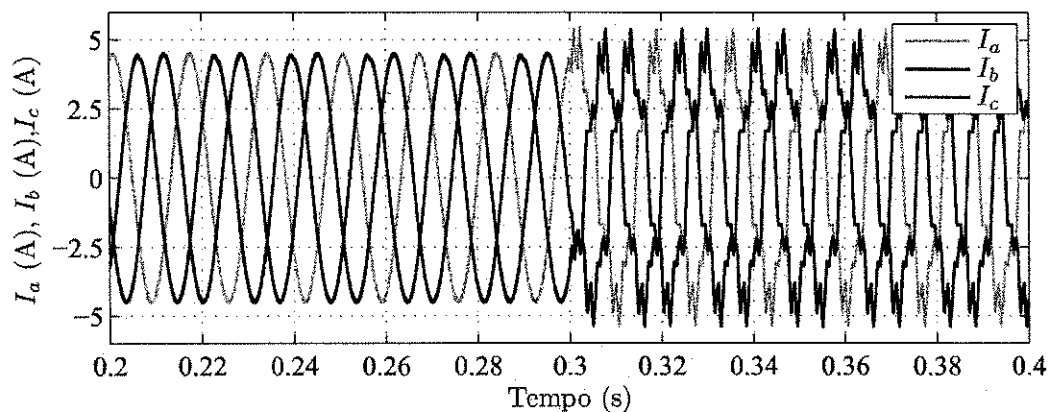


Figura 4.10: Tensões nos capacitores do barramento CC.

Figura 4.11: Tensão de linha V_{ab} .Figura 4.12: Correntes na carga I_a , I_b e I_c .

4.2.5 Estratégia 5

Nas Figuras 4.13 - 4.15 podem ser vistos os resultados das tensões no barramento CC, bem como a tensão de linha (V_{ab}) e as correntes na carga (I_a , I_b e I_c). Para o mesmo caso da Estratégia 2, enquanto a frequência de chaveamento é mantida em 10kHz, o equilíbrio das tensões é mantido, o que não ocorre com a mudança para 720Hz. A estratégia de malha aberta, não foi eficiente, devido a não obter o equilíbrio das tensões no barramento CC, para baixa frequência de chaveamento.

Quanto menor é a frequência de comutação, maior é o período, o que dificulta a ação de equilíbrio das tensões nos capacitores com esta técnica, já que a mesma não utiliza uma realimentação para fazer o controle das tensões.

É visto também, como já era esperado, devido a esta estratégia criar novos vetores e

setores virtuais, ocorrer um maior número de comutações, quando comparada com as outras estratégias estudadas neste trabalho.

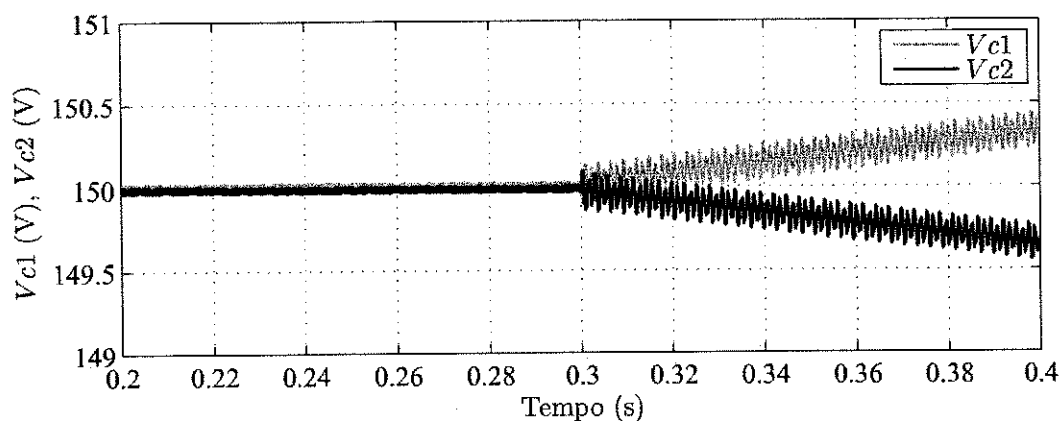


Figura 4.13: Tensões nos capacitores do barramento CC.

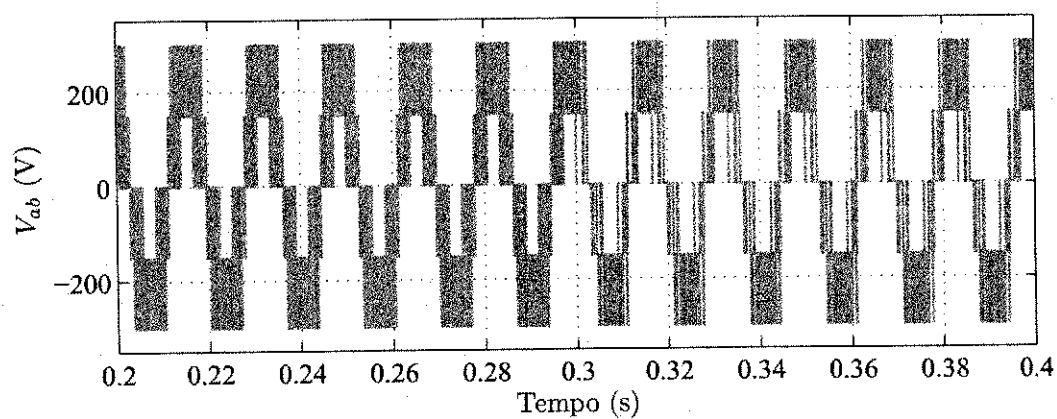
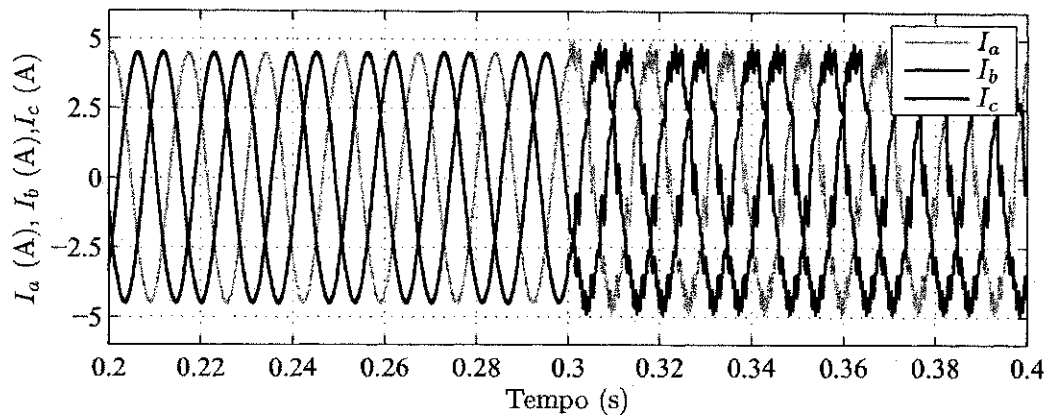


Figura 4.14: Tensão de linha V_{ab} .

Figura 4.15: Correntes na carga I_a , I_b e I_c .

4.2.6 Estratégia 6

Os resultados desta estratégia podem ser vistos nas Figuras 4.16 - 4.18. O equilíbrio das tensões é mantido, independente da frequência de comutação que está sendo utilizada. A variação na tensão dos capacitores (Figura 4.16) é de 0,7V. Esta pode ser observada a partir de 0,3s, quando ocorre a mudança da frequência de chaveamento de 10kHz para 720Hz.

Na Figura 4.17, têm-se as correntes de saída do conversor.

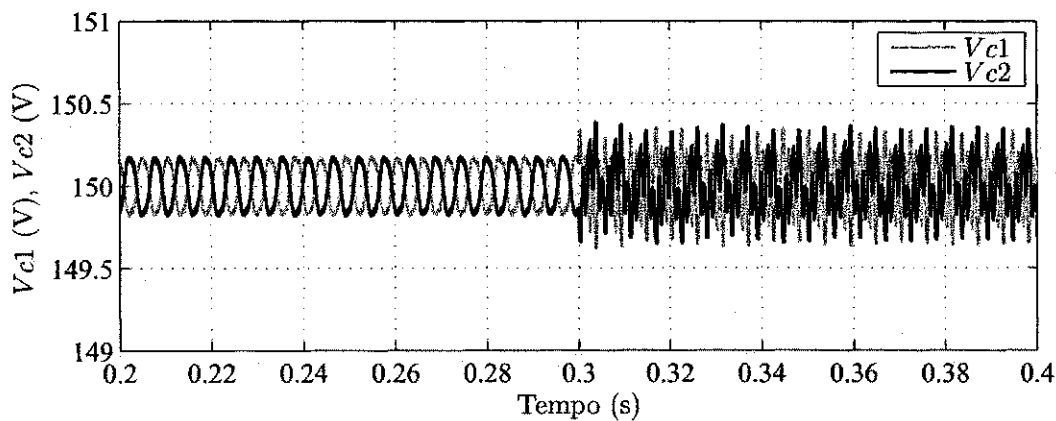
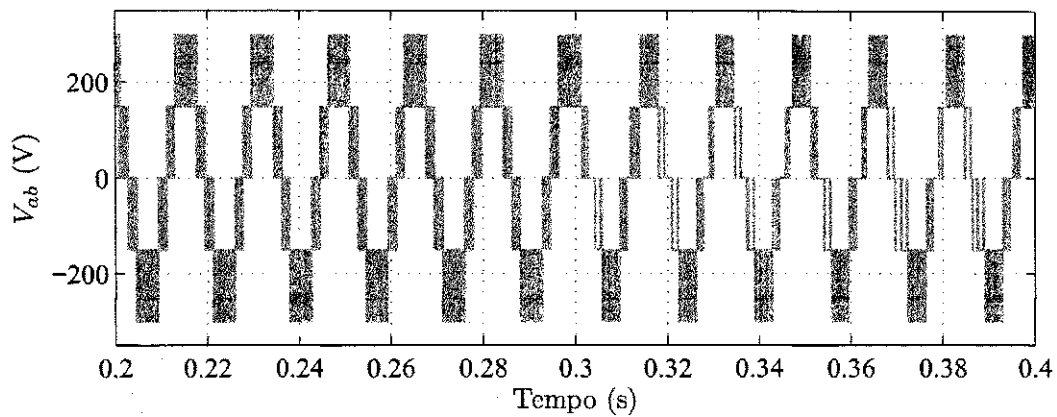
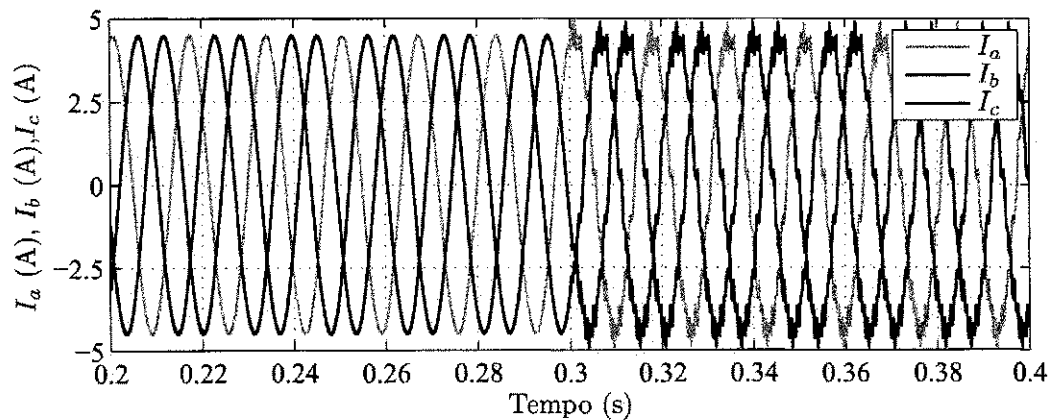


Figura 4.16: Tensões nos capacitores do barramento CC.

Figura 4.17: Tensão de linha V_{ab} .Figura 4.18: Correntes na carga I_a , I_b e I_c .

Resultados Experimentais

Utilizando um motor (ref. $\cos \theta = 0.76$, $f = 60\text{Hz}$, 2cv , $1,5\text{kW}$), e frequência de comutação de 720Hz , foram obtidos os resultados apresentados nas Figuras 4.19 e 4.20 para a Estratégia 6. Utilizou-se um barramento de 60V . Na Figura 4.21 é visto o sinal de gatilhamento em 720Hz .

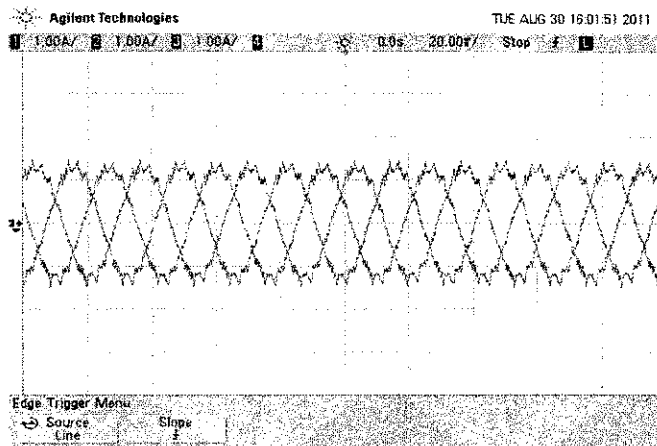


Figura 4.19: Correntes na carga.

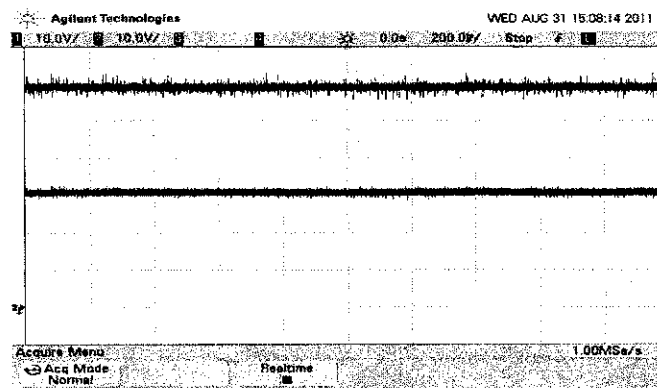


Figura 4.20: Tensões nos capacitores.

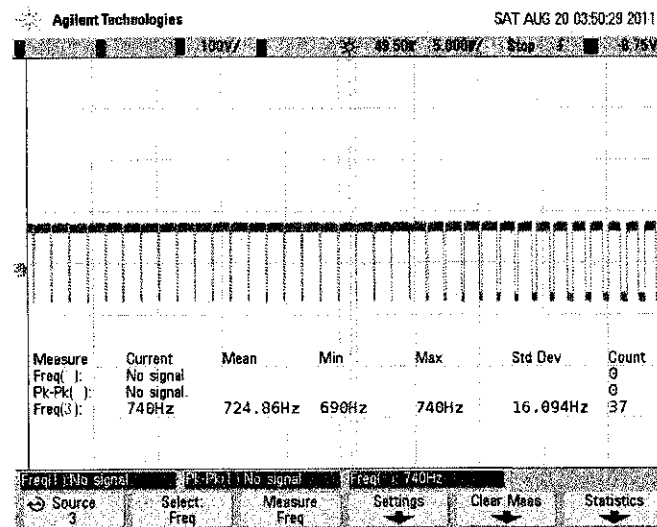


Figura 4.21: Gatilhamento da chave em 720Hz.

4.3 Carga Desbalanceada - 10kHz

Nesta seção estão os resultados de simulação das estratégias funcionando com carga desbalanceada. Será observado se o balanceamento das tensões nos capacitores é mantido na presença deste desbalanceamento, em uma frequência de chaveamento de 10kHz.

O desbalanceamento que será observado ocorre na fase B, de modo que a impedância nessa fase varie em valores de 10%, 30% e 50% do valor inicial, nos instantes de 0.15s, 0.2s e 0.25s, respectivamente. Os resultados são apresentados nas Figuras 4.22 - 4.33.

4.3.1 Estratégia 1

Na Figura 4.22 é visto que apesar do desbalanceamento, o equilíbrio das tensões é mantido, sem grandes prejuízos para o correto funcionamento do inversor. Pode ser visto na Figura 4.23, os níveis de corrente devido ao desbalanceamento imposto no sistema.

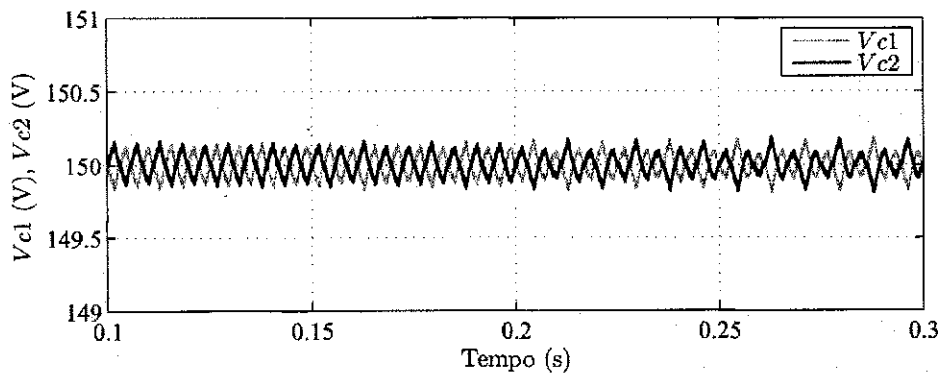


Figura 4.22: Tensões nos capacitores do barramento CC.

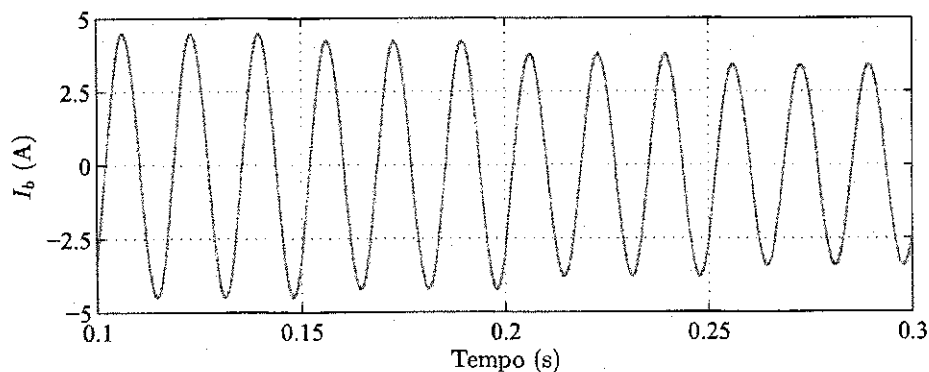


Figura 4.23: Corrente na carga (I_b).

4.3.2 Estratégia 2

Na Figura 4.26 é visto que o equilíbrio das tensões é mantido, apesar do desbalanceamento. Mesmo esta estratégia sendo de malha aberta, percebe-se que o sistema respondeu positivamente ao desbalanceamento, apesar das oscilações que apareceram nas tensões, quando comparada com a Estratégia 1.

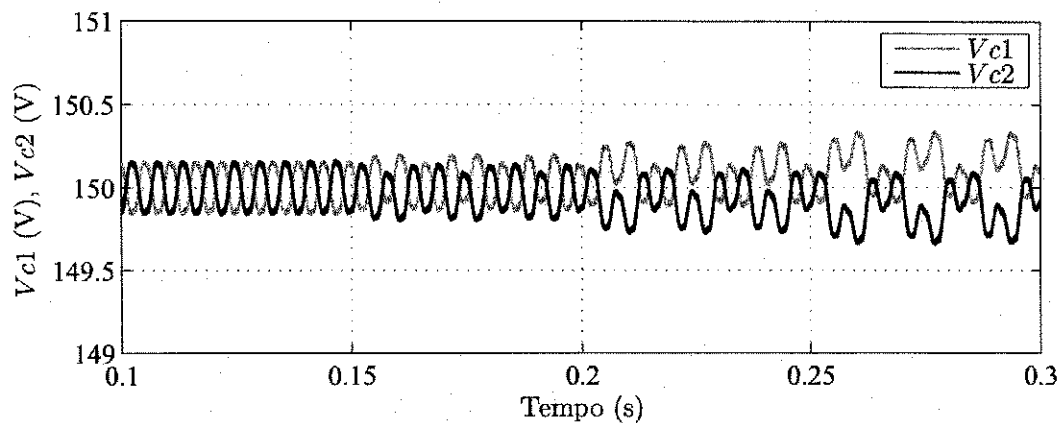


Figura 4.24: Tensões nos capacitores do barramento CC.

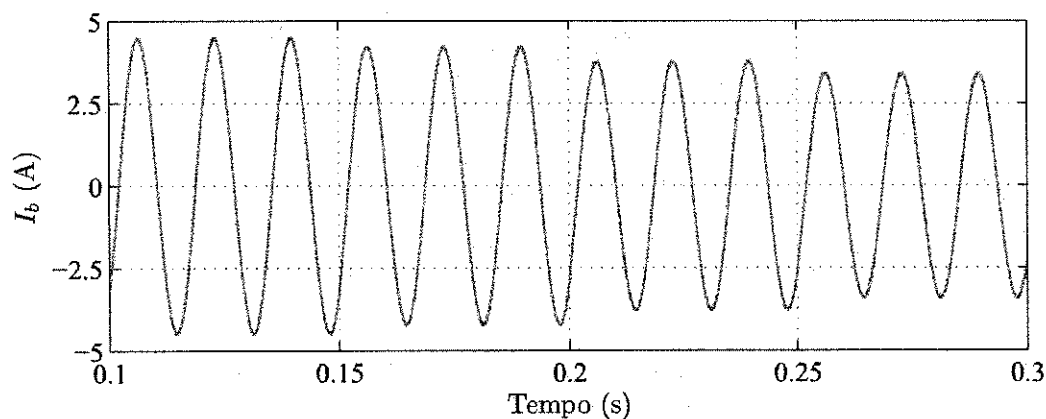


Figura 4.25: Corrente na carga (I_b).

4.3.3 Estratégia 3

Observa-se que o equilíbrio das tensões é mantido, sem muitas oscilações, com uma boa resposta do controle. Nesta estratégia observa-se que as correntes apresentam um conteúdo harmônico maior que o observado nas Estratégias 1 e 2.

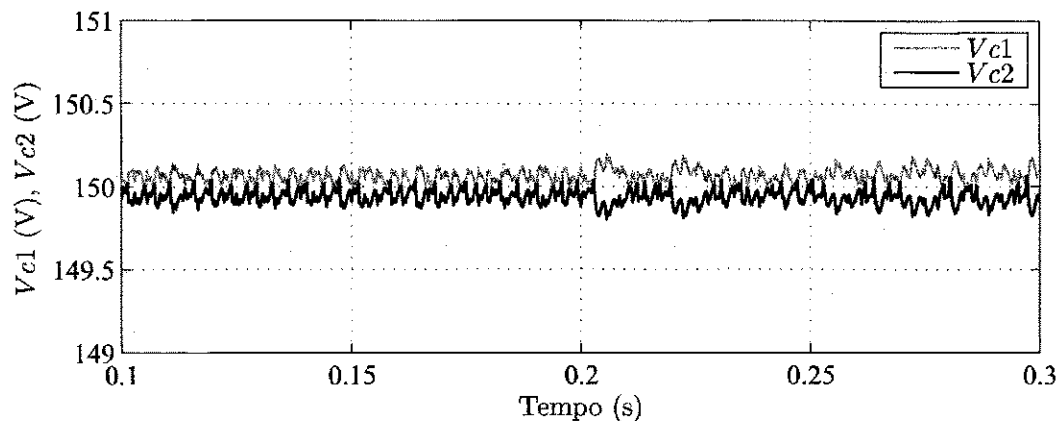


Figura 4.26: Tensões nos capacitores do barramento CC.

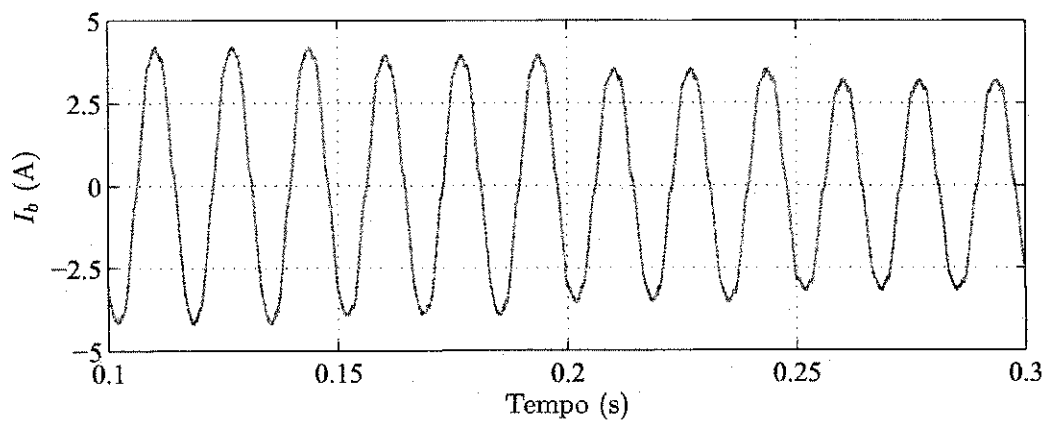


Figura 4.27: Corrente na carga (I_b).

4.3.4 Estratégia 4

Observando as Figuras 4.28 - 4.29, nota-se que o sistema teve um funcionamento satisfatório, numa condição de desbalanceamento de carga. Percebe-se que o equilíbrio na tensão dos capacitores do barramento CC foi obtida com um baixo nível de oscilação nas mesmas.

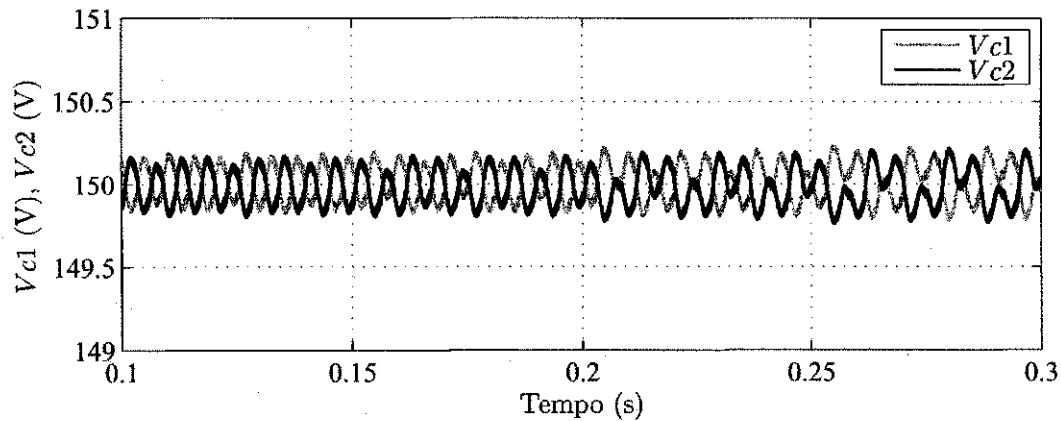


Figura 4.28: Tensões nos capacitores do barramento CC.

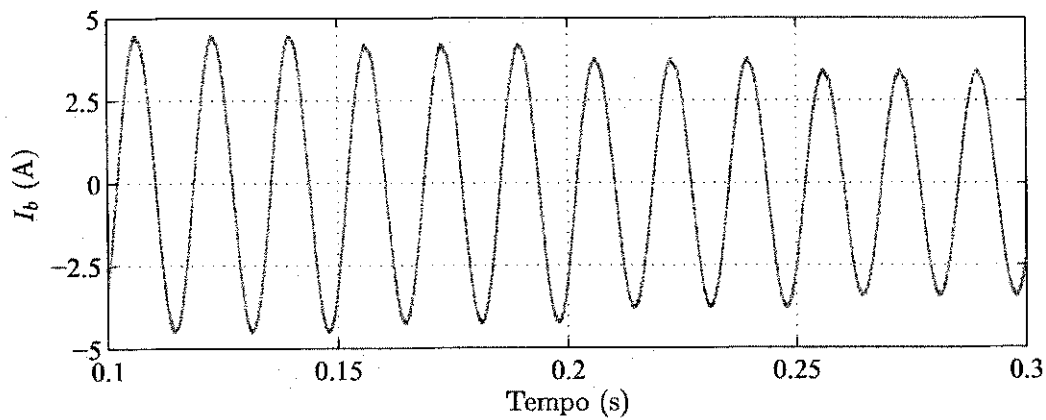


Figura 4.29: Corrente na carga (I_b).

4.3.5 Estratégia 5

Foi mostrado no desenvolvimento desta estratégia na seção 3.3.5, que para o seu correto funcionamento, as cargas tinham de estar balanceadas. No instante 0.225s (30% de desbalanceamento) o desequilíbrio das tensões no barramento CC tem início. Este desequilíbrio aumenta, quando se utiliza uma carga com desbalanceamento de 50%. Após o tempo de 0.3s, o desequilíbrio das tensões continua crescente.

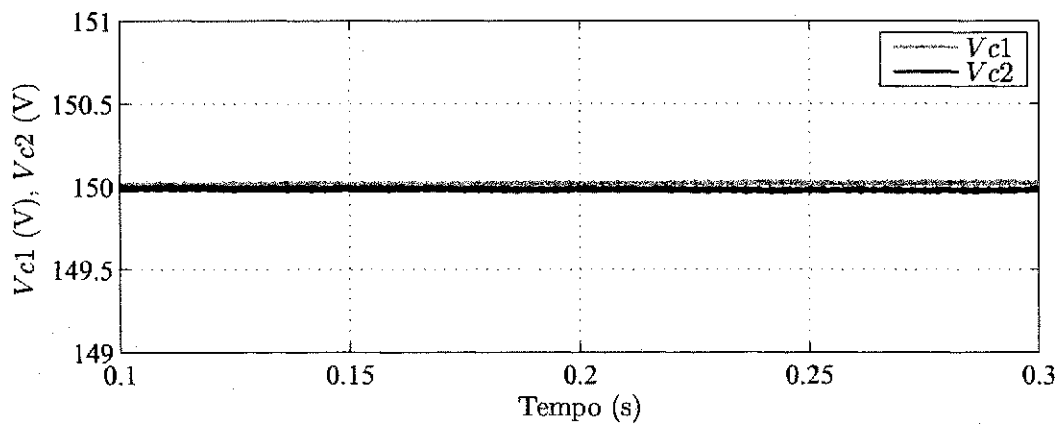


Figura 4.30: Tensões nos capacitores do barramento CC.

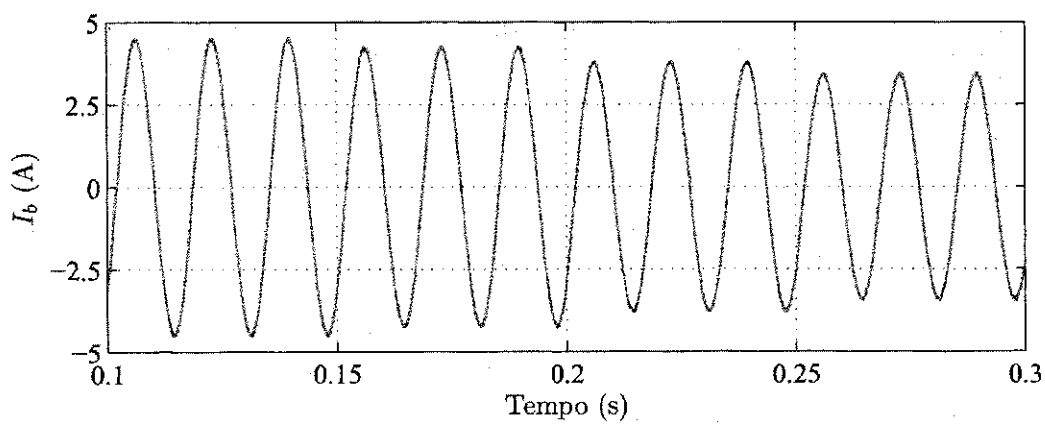


Figura 4.31: Corrente na carga (I_b).

4.3.6 Estratégia 6

Observado os gráficos apresentados nas Figuras 4.32 - 4.33, percebe-se que esta estratégia, também apresentou boa resposta ao desbalanceamento da carga, já que o equilíbrio das tensões foi mantido, bem como, não houve grandes oscilações nas tensões do barramento.

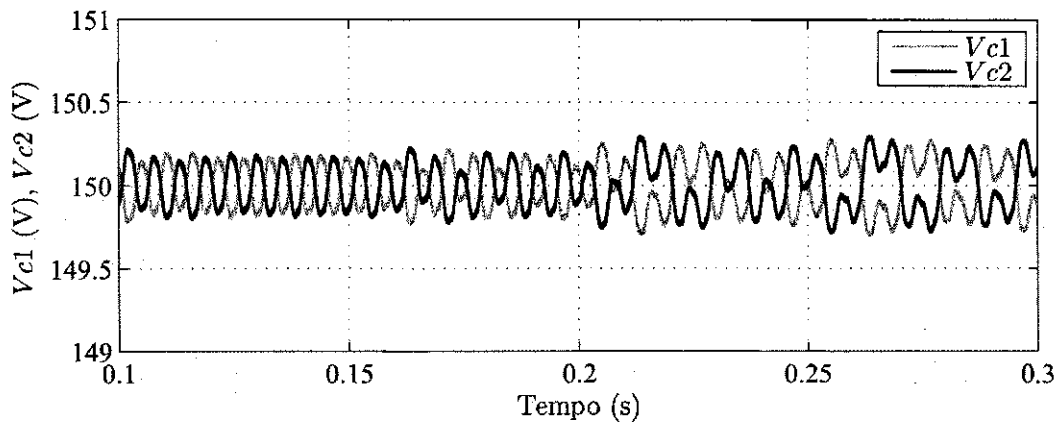


Figura 4.32: Tensões nos capacitores do barramento CC.

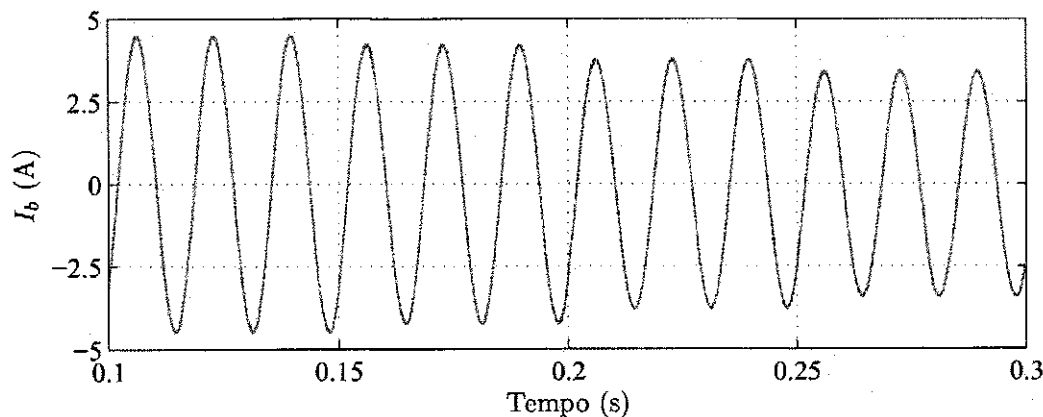


Figura 4.33: Corrente na carga (I_b).

4.4 Carga Desbalanceada - 720Hz

Foi realizado o desbalanceamento da carga novamente, mas, com frequência de chaveamento de 720Hz. Devido as estratégias em malha aberta (Estratégia 2 e Estratégia 5) terem os seus funcionamentos prejudicados em 720Hz, como visto na seção 4.2, não serão apresentados os seus resultados. A dinâmica foi a mesma utilizada para 10kHz, com o desbalanceamento de

uma das fases em 10%, 30% e 50%, respectivamente nos instantes 0.15s, 0.2s e 0.25s. Os resultados são observados nas Figuras 4.34 - 4.41.

4.4.1 Estratégia 1

Nas Figuras 4.34 - 4.35 são mostrados os resultados desta estratégia, com frequência de chaveamento de 720Hz. A Estratégia teve desempenho satisfatório, mantendo equilibradas as tensões no barramento CC.

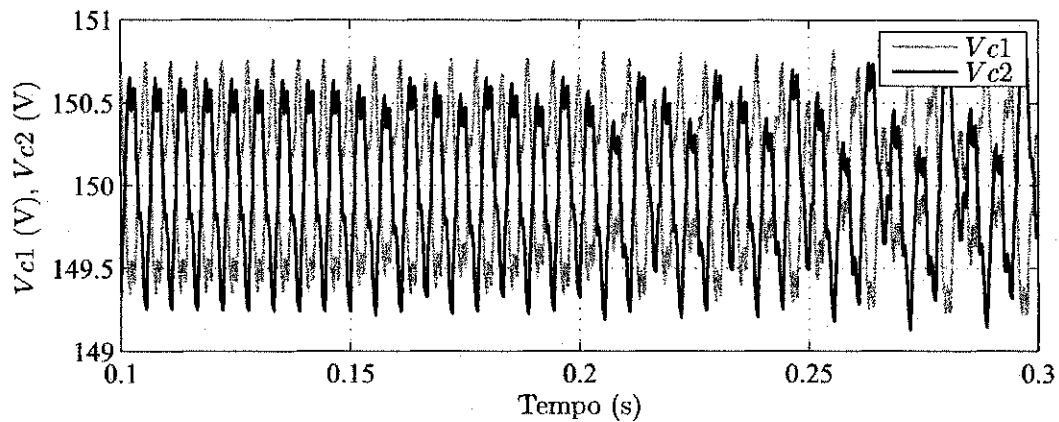


Figura 4.34: Tensões nos capacitores do barramento CC.

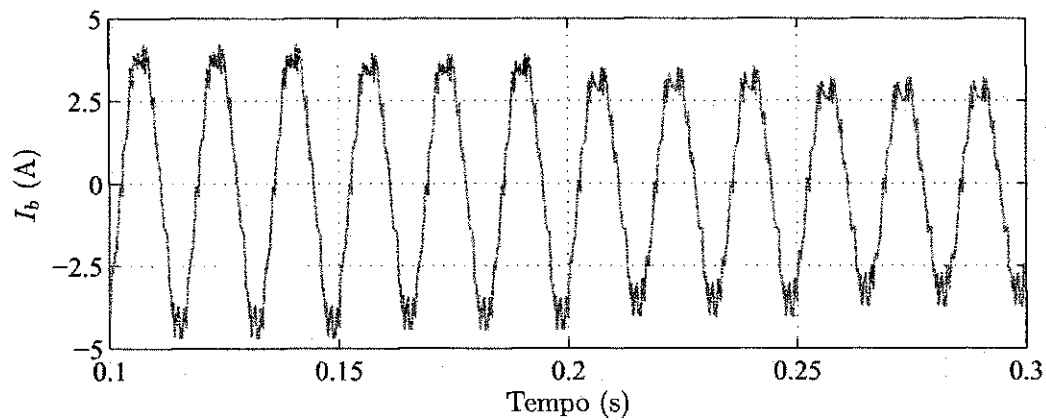


Figura 4.35: Corrente na carga (I_b).

4.4.2 Estratégia 3

Nas Figuras 4.36 - 4.37 são mostrados os resultados desta estratégia, com frequência de chaveamento de 720Hz. Esta estratégia também teve uma resposta satisfatória para o referido desbalanceamento.

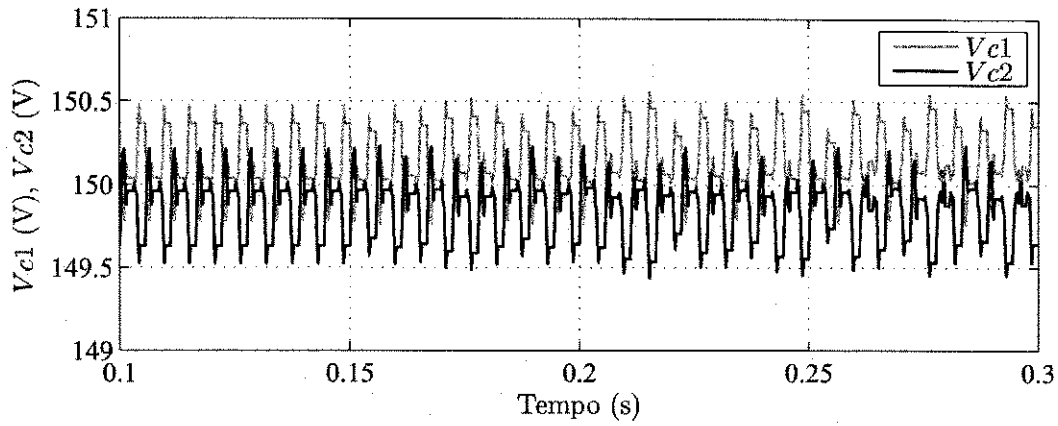


Figura 4.36: Tensões nos capacitores do barramento CC.

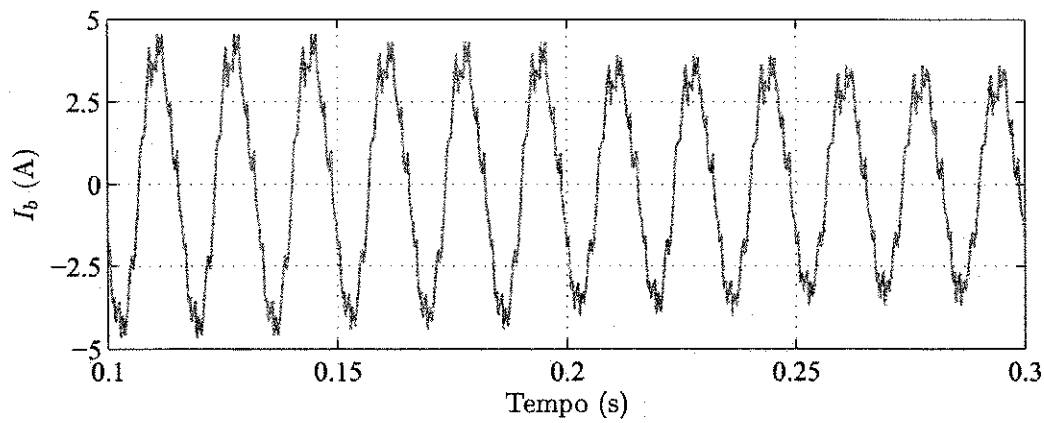


Figura 4.37: Corrente na carga (I_b).

4.4.3 Estratégia 4

Nas Figuras 4.38 - 4.39 são mostrados os resultados desta estratégia, com frequência de chaveamento de 720Hz.

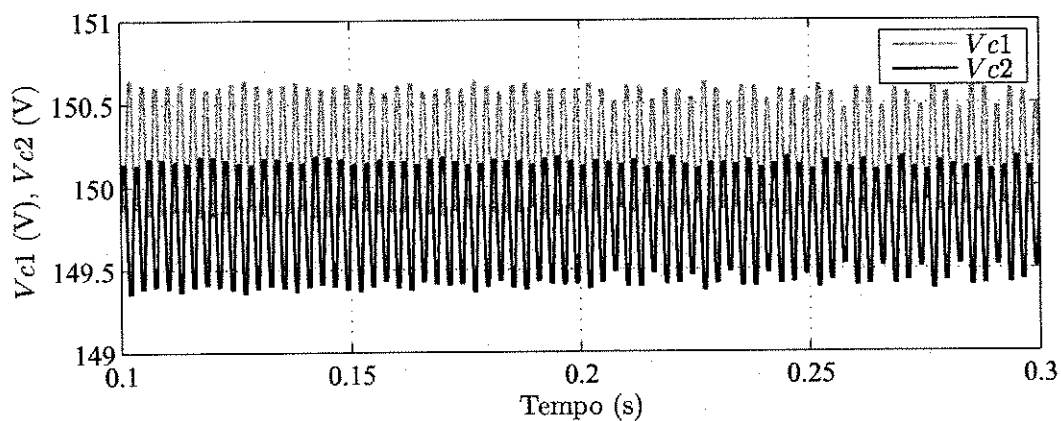


Figura 4.38: Tensões nos capacitores do barramento CC.

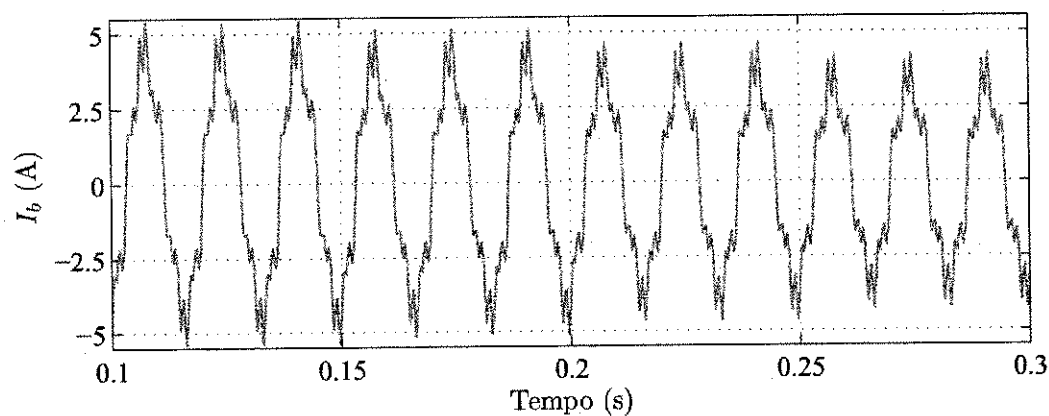


Figura 4.39: Corrente na carga (I_b).

4.4.4 Estratégia 6

Nas Figuras 4.40 - 4.41 são mostrados os resultados desta estratégia, com frequência de chaveamento de 720Hz. Para o referido desbalanceamento, foi a que apresentou menores oscilações nas tensões do barramento CC.

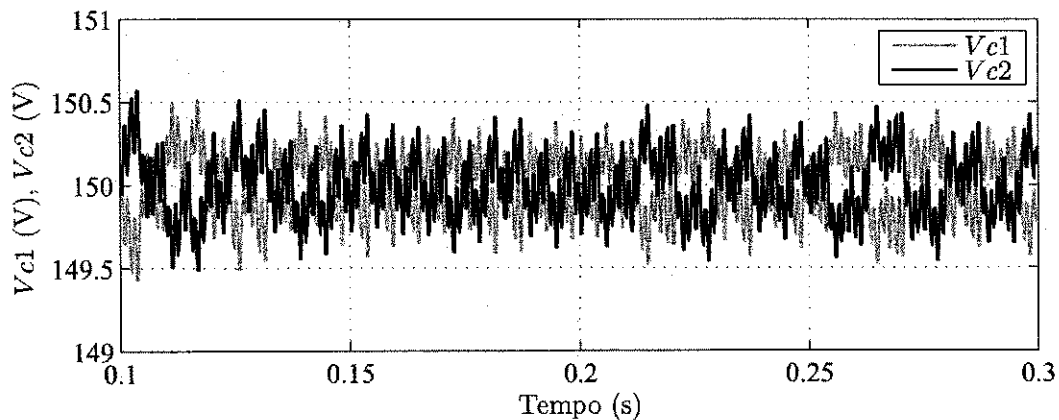


Figura 4.40: Tensões nos capacitores do barramento CC.

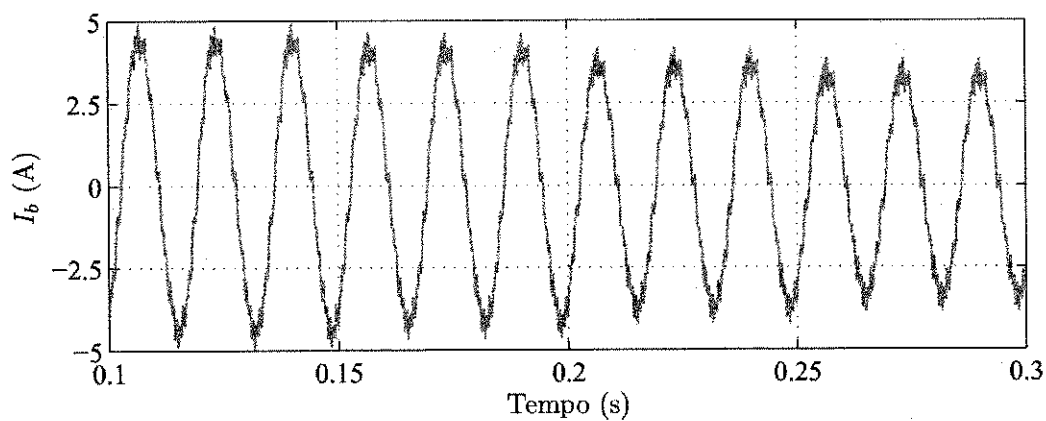


Figura 4.41: Corrente na carga (I_b).

4.5 THD e WTHD - 10kHz

Foram medidos os índices de distorção harmônica nas correntes e tensões provocado pelo uso das estratégias, quando funcionando com uma frequência de chaveamento de 10kHz. A distorção harmônica total, *THD*, é definida em (Mohan e Undeland, 2003) e (Mehrizi-Saui, Filizadeh e Wilson, 2007) da seguinte forma:

$$THD = \frac{\sqrt{\sum_{h=2}^{N_h} \alpha_h^2}}{\alpha_1} \quad (4.1)$$

onde α_1 é a amplitude da tensão fundamental, α_h é amplitude da componente harmônica de ordem h e N_h é o número de harmônicos considerado.

Já a taxa de distorção harmônica total ponderada *WTHD*, é definida por

$$WTHD(h) = \frac{100}{\alpha_1} \sqrt{\sum_{h=2}^{N_h} \left(\frac{\alpha_h}{h}\right)^2} \quad (4.2)$$

Os resultados podem ser vistos na Tabela 4.2.

Tabela 4.2: Resultados das distorções harmônicas em 10kHz.

Estratégia	THD (%)	WTHD(%)
Estratégia 1	0.4996	0.1557
Estratégia 2	0.4953	0.1264
Estratégia 3	5.0394	1.5347
Estratégia 4	0.8814	0.2373
Estratégia 5	0.8889	0.2216
Estratégia 6	0.4438	0.1184

Dentre as estratégias de malha-aberta (Estratégia 2 e Estratégia 5), a Estratégia 2 foi a que obteve menores taxas de distorção harmônica. Dentre as estratégias de malha-fechada, a Estratégia 3 obteve as piores taxas de distorção harmônica, como já era esperado, quando se observa as correntes mostradas na Figura 4.9. Isto ocorre devido a mudança brusca do μ , que geram perturbações nas variáveis da estratégia. Nas estratégias restantes de malha-fechada (Estratégia 1, Estratégia 4 e Estratégia 6), a que obteve melhores resultados foi a Estratégia

6. Para cada estratégia de malha-fechada, os dados obtidos representam os melhores ajustes dos controladores.

Foi realizado, também, uma análise das taxa de distorção harmônica para alguns valores de índice de modulação. Na Figura 4.42 é visto o resultado. A Estratégia 3 obteve os piores resultados de distorção harmônica, devido a mudança que ocorre no μ , como explicado anteriormente. As Estratégias 2 e 6, obtiveram baixos índices de distorção para valores de índice de modulação acima de 0.8.

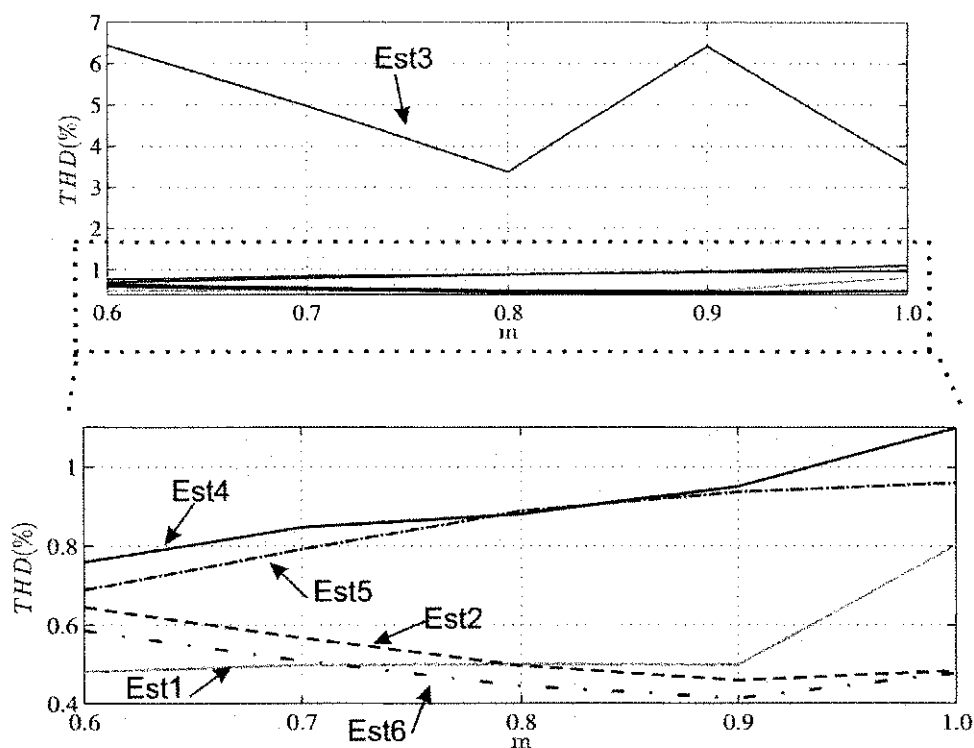


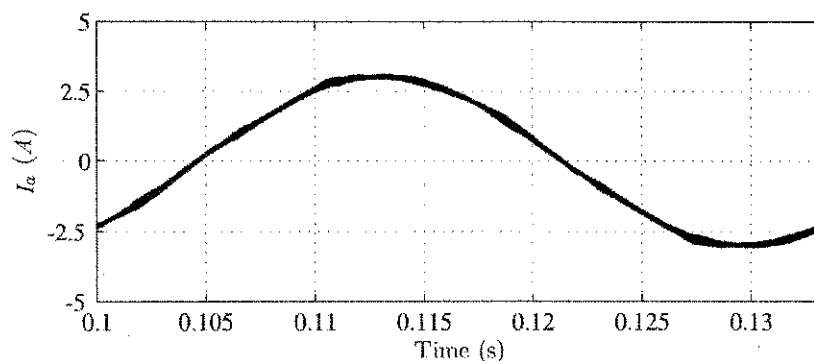
Figura 4.42: Níveis de distorção harmônica.

4.5.1 Resultados experimentais do THD em 10kHz

É observado na Tabela 4.3, o índice de distorção harmônica da Estratégia 6. Na Figura 4.43 é observada a corrente utilizada para o cálculo da distorção harmônica.

Tabela 4.3: Resultados das distorções harmônicas em 10kHz.

Estratégia	THD (%)
Estratégia 6	1.9679

Figura 4.43: Corrente na carga (I_a).

4.6 THD e WTHD - 720Hz

Foram medidos os índices de distorção harmônica nas correntes e tensões provocados pelo uso das estratégias, quando funcionando com uma frequência de chaveamento de 720Hz. Novamente, devido as estratégias em malha-aberta (Estratégia 2 e Estratégia 5) terem os seus funcionamentos prejudicados em 720Hz, não serão apresentados os seus resultados. Na Tabela 4.4 são sumarizados os valores dos índices calculados para as estratégias com malha de controle.

Tabela 4.4: Resultados das distorções harmônicas em 720Hz.

Estratégia	THD(%)	WTHD(%)
Estratégia 1	12.1001	4.6146
Estratégia 3	13.5601	4.7130
Estratégia 4	20.1359	5.8695
Estratégia 6	7.9369	2.0367

Foi realizado, também, uma análise das taxa de distorção harmônica para alguns valores de índice de modulação. Na Figura 4.44 é visto o resultado.

A Estratégia 6 obteve menores índices de distorção harmonica. Para cada estratégia de malha-fechada, novamente, os dados obtidos representam os melhores ajustes dos controladores.

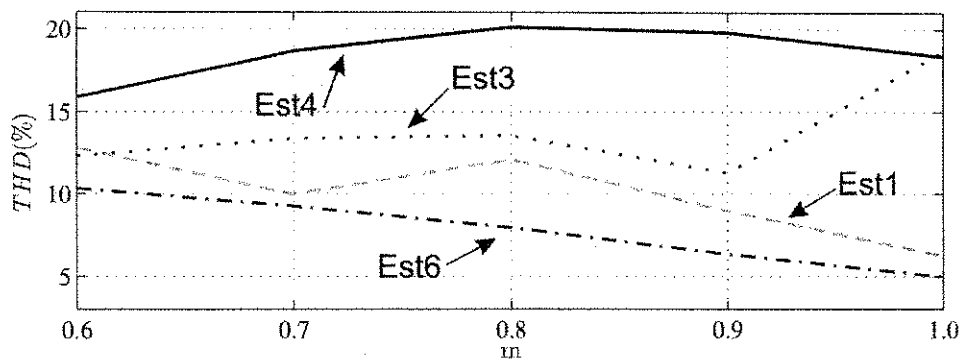


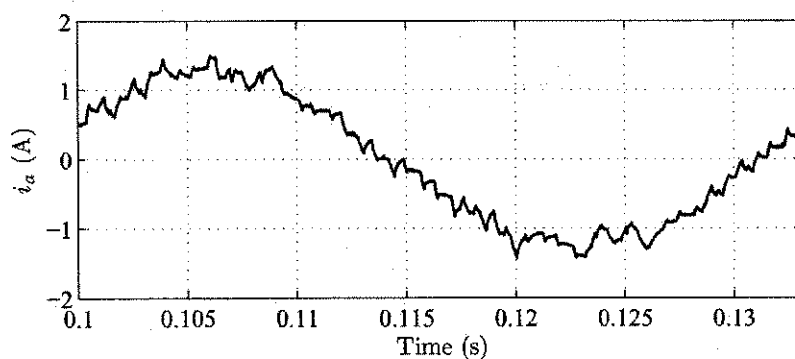
Figura 4.44: Níveis de distorção harmônica.

4.6.1 Resultados experimentais do THD em 720Hz

É observado na Tabela 4.5, o índice de distorção harmônica da Estratégia 6, para uma frequência de chaveamento de 720Hz. Na Figura 4.43 é observada a corrente utilizada para o cálculo da distorção harmônica.

Tabela 4.5: Resultados das distorções harmônicas em 720Hz.

Estratégia	THD (%)
Estratégia 6	11.05

Figura 4.45: Corrente na carga (I_a).

4.7 Análise das Perdas Por Chaveamento - 10kHz

Foram medidas as perdas por chaveamento e por condução, como também o chaveamento médio das estratégias vistas no Cap. 3. Os resultados mostrados nesta seção utilizaram os

dados da Tabela 4.1. Para realizar o estudo de perdas, foi utilizado o *THERMAL MODULE*, ferramenta presente no *PSIM 9.0*. Os resultados podem ser vistos na Tabela 4.6.

Tabela 4.6: Resultados das perdas por chaveamento e distorção em 10kHz.

Estratégia	Chaveamento (W)	Condução(W)	Chaveamento Médio(kHz)
Estratégia 1	17.3	14.5	5.0
Estratégia 2	17.3	14.5	5.0
Estratégia 3	14.0	14.0	4.6
Estratégia 4	10.0	14.5	2.8
Estratégia 5	22.5	15.0	6.7
Estratégia 6	17.3	14.5	5.0

Visando explicar melhor as perdas por chaveamento, foi realizado o cálculo do chaveamento médio, que corresponde ao número de comutações que ocorre em um período de tempo. Quanto menor for o valor do chaveamento médio, menores serão as perdas por chaveamento. A Estratégia 4 foi a que obteve menores perdas por chaveamento. Isto se deve ao fato da definição da escolha das configurações das chaves para implementação de cada vetor de tensão do inversor e da ordem de aplicação destes vetores. Esta ordem de aplicação dos vetores minimizou o número de comutações nas chaves do conversor.

4.8 Análise das Perdas Por Chaveamento - 720Hz

Foram medidas as perdas por chaveamento e por condução, como também o chaveamento médio das estratégias vistas no Cap. 3, para a frequência de chaveamento de 720Hz. Os resultados mostrados nesta seção utilizaram os dados da Tabela 4.1. Para realizar o estudo de perdas, foi utilizado o *THERMAL MODULE*, ferramenta presente no *PSIM 9.0*. Os resultados podem ser vistos na Tabela 4.7.

Como esperado, a Estratégia 4 teve resultado superior com relação as perdas por chaveamento. O chaveamento médio ficou bem abaixo quando comparada com as outras estratégias estudadas neste trabalho.

Tabela 4.7: Resultados das perdas por chaveamento e distorção em 720Hz.

Estratégia	Chaveamento (W)	Condução(W)	Chaveamento Médio(Hz)
Estratégia 1	1.2	14.0	340
Estratégia 3	0.9	14.0	315
Estratégia 4	0.7	14.0	260
Estratégia 6	1.2	14.0	340

4.9 Conclusões

Neste capítulo foram feitas análises das estratégias com relação ao equilíbrio das tensões no barramento CC nas estruturas de três níveis com diodos de grampeamento.

Foram estudadas seis estratégias, com o objetivo de realizar o equilíbrio das tensões dos capacitores do barramento CC. Das seis estratégias estudadas, quatro eram em malha fechada e duas em malha aberta.

As técnicas mostraram-se bastante eficientes quando a frequência de comutação é alta (10kHz). Para baixa frequência, especificamente de 720Hz, as técnicas em malha aberta não obtiveram o equilíbrio das tensões, enquanto todas as outras de malha fechada, tiveram um resultado satisfatório.

Na avaliação das estratégias considerando a condição de desbalanceamento de cargas, tanto para 10kHz como para 720Hz, todas as estratégias tiveram um bom rendimento, menos as estratégias 2 e 5, para baixa frequência.

Com relação as distorções harmônicas, tanto de corrente como de tensão, a Estratégia 3 em malha fechada, foi a que teve piores resultados, já a Estratégia 6, foi a que teve menores índices de distorções harmônicas, tanto de corrente como de tensão.

A partir dos resultados de simulação e experimentais apresentados neste capítulo, podemos concluir que as técnicas em malha-aberta não são capazes de realizar o equilíbrio nas tensões dos capacitores do barramento CC do conversor de três níveis, operando como inversor. Isso compromete o uso das mesmas nesta condição, impossibilitando com isto, aproveitar as características vantajosas das estratégias, notadamente, o fato de não ser necessária a medição da tensão nos capacitores e/ou o sinal de corrente no ponto central do barramento,

diminuindo o custo final de montagem.

5

Conclusões Gerais

Esta dissertação abordou as estratégias de modulação para o equilíbrio das tensões dos capacitores do barramento CC em conversores de três níveis com diodos de granpeamento.

Foram realizadas comparações entre as estratégias escolhidas para estudo neste trabalho, com relação ao funcionamento em baixa frequência de chaveamento, análise das perdas por chaveamento e condução, e análises harmônicas. Nesse processo de comparação, viu-se a possibilidade de realizar uma melhoria em uma das estratégias, sendo esta implementada e avaliada.

Observou-se que as estratégias de malha-aberta (Estratégia 2 e Estratégia 5) tiveram seus rendimentos afetados quando operaram com baixa frequência de chaveamento (720Hz). As estratégias em malha-fechada (Estratégia 1, 3, 4 e 6) tiveram resultados superiores, quando comparadas às estratégias de malha-aberta, com relação ao balanceamento das tensões no barramento CC.

A Estratégia 6, proposta neste trabalho, teve um rendimento superior, quando comparada com as outras estratégias, tanto no quesito de equilibrar as tensões no barramento CC, como obtendo baixos índices de distorção harmônica.

Na análise das perdas por chaveamento, a Estratégia 4 apresentou menores perdas, devido à definição dos vetores de chaveamento utilizados, dependendo do setor e região em que o vetor de tensão de referência se encontra. Com relação às perdas por condução, não houve grandes diferenças entre as estratégias avaliadas.

Foi realizado, também, neste trabalho, a junção do retificador e do inversor de três níveis, denominado de *Back-to-Back* de três níveis. Um estudo preliminar deste conversor foi realizado através de simulação. Realizou-se o controle do mesmo utilizando a Estratégia 2 discutida no Capítulo 3. Obteve-se o controle das correntes de entrada, como também, o balanceamento das tensões nos capacitores do barramento CC, sem a necessidade de um estudo mais complexo para o controle, comumente visto para esse tipo de estrutura. Outra vantagem, foi a não utilização da realimentação para o balanceamento das tensões dos capacitores do barramento CC, evitando o uso de sensores.

5.1 Trabalhos Futuros

Este trabalho de dissertação apresenta algumas propostas para a continuação dos estudos iniciados, tais como:

- adaptar as estratégias para o uso também em retificadores;
- realizar estudos para a utilização da topologia *Back-to-Back* de três níveis para a conexão de turbinas eólicas à rede.
- estudar o comportamento do conversor *Back-to-Back*, com a possibilidade de operação com braço compartilhado;
- propor estratégias de modulação para reduzir as distorções harmônicas, minimizando as ondulações das tensões dos capacitores do barramento CC, da estrutura *Back-to-Back*.

Referências Bibliográficas

- std. 519-1992, I. (1993) IEEE recommended practices and requirements for harmonic control inelectrical power systems, IEEE Power Engineering Society / Industry Applications Society.
- std. 61000-3-2, I. (1998) Part 2-3: Limitation of Emission of Harmonic Currents in Low-voltage Power Supply Systems for equipment with Rated Current Lower than 16A.
- std. 61000-3-4, I. (1998) Part 3-4: Limitation of Emission of Harmonic Currents in Low-voltage Power Supply Systems for equipment with Rated Current Greater than 16A.
- ABNT (1999) Especificações de Sistemas Retificadores Chaveados para Telecomunicações, Associação Brasileira de Normas Técnicas.
- ABNT (2011) Associação brasileira de normas e técnicas, disponível em: www.aneel.gov.br.
- Bakhshai, A.; Saligheh Rad, H. e Joos, G. (2001) Space vector modulation based on classification method in three-phase multi-level voltage source inverters. In: *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol. 1, pp. 597 –602 vol.1.
- Barbi, I. (2006) Eletrônica de Potência, UFSC, Brazil.
- Bhagwat, P. M. e Stefanovic, V. R. (1983) Generalized structure of a multilevel pwm inverter, Industry Applications, IEEE Transactions on, **IA-19**(6):1057 –1069.
- van der Broeck, H.; Skudelny, H.-C. e Stanke, G. (1988) Analysis and realization of a pulsewidth modulator based on voltage space vectors, Industry Applications, IEEE Transactions on, **24**(1):142 –150.
- Busquets-Monge, S.; Bordonau, J.; Boroyevich, D. e Somavilla, S. (2004) The nearest three virtual space vector pwm - a modulation for the comprehensive neutral-point balancing in the three-level npc inverter, Power Electronics Letters, IEEE, **2**(1):11 – 15.

- Celanovic, N. e Boroyevich, D. (2000) A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters, *Power Electronics, IEEE Transactions on*, **15**(2):242 –249.
- Celanovic, N. e Boroyevich, D. (2001) A fast space-vector modulation algorithm for multilevel three-phase converters, *Industry Applications, IEEE Transactions on*, **37**(2):637 –641.
- Chen, W.; Zou, Y. e Xu, L. (2008) Direct power control for neutral-point-clamped three-level pwm rectifier, In: *Industrial Technology, 2008. ICIT 2008. IEEE International Conference on*, pp. 1 –6.
- Cheng, Y. e Crow, M. (2002) A diode-clamped multi-level inverter for the statcom/bess, In: *Power Engineering Society Winter Meeting, 2002. IEEE*, vol. 1, pp. 470 – 475 vol.1.
- Choi, N.; Cho, J. e Cho, G. (1991) A general circuit topology of multilevel inverter, In: *Power Electronics Specialists Conference, 1991. PESC '91 Record., 22nd Annual IEEE*, pp. 96 –103.
- Da Silva, E. R. C. (2003) *Eletrônica de Potência*, UFCG, Brasil.
- Fang Zheng Peng, Jih-Sheng Lai, M. J. W. V. J. (1996) A multilevel voltage-source inverter with separate dc sources for static var generation, *Industry Applications, IEEE Transactions on*, **32**(5).
- Franquelo, L.; Rodriguez, J.; Leon, J.; Kouro, S.; Portillo, R. e Prats, M. (2008) The age of multilevel converters arrives, *Industrial Electronics Magazine, IEEE*, **2**(2):28 –39.
- Grigoletto, F. e Pinheiro, H. (2009) A space vector pwm modulation scheme for back-to-back three-level diode-clamped converters, In: *Power Electronics Conference, 2009. COBEP '09. Brazilian*, pp. 1058 –1065.
- Hammond, P. (1997) A new approach to enhance power quality for medium voltage ac drives, *Industry Applications, IEEE Transactions on*, **33**(1):202 –208.
- Hochgraf, C.; Lasseter, R.; Divan, D. e Lipo, T. (1994) Comparison of multilevel inverters for static var compensation, In: *Industry Applications Society Annual Meeting. 1994., Conference Record of the 1994 IEEE*, pp. 921 –928 vol.2.
- Holtz, J. (1994) Pulsewidth modulation for electronic power conversion, *Proceedings of the IEEE*, **82**(8):1194 –1214.

- von Jouanne, A.; Dai, S. e Zhang, H. (2002) A multilevel inverter approach providing dc-link balancing, ride-through enhancement, and common-mode voltage elimination, *Industrial Electronics, IEEE Transactions on*, **49**(4):739 – 745.
- Khajehoddin, S.; Bakhshai, A. e Jain, P. (2008) A simple voltage balancing scheme for m-level diode-clamped multilevel converters based on a generalized current flow model, *Power Electronics, IEEE Transactions on*, **23**(5):2248 –2259.
- Kohlmeier, Helmut; Niermeyer, O. S. D. F. (1987) Highly dynamic four-quadrant ac motor drive with improved power factor, *Industry Applications, IEEE Transactions on*, **IA-23**(6):1001.
- Kouro, S.; Malinowski, M.; Gopakumar, K.; Pou, J.; Franquelo, L.; Wu, B.; Rodriguez, J.; Pe´ andrez, M. e Leon, J. (2010) Recent advances and industrial applications of multilevel converters, *Industrial Electronics, IEEE Transactions on*, **57**(8):2553 –2580.
- Lai, J.-S. e Peng, F. Z. (1995) Multilevel converters-a new breed of power converters, In: *Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE*, vol. 3, pp. 2348 –2356 vol.3.
- Lee, Y.-H.; Suh, B.-S. e Hyun, D.-S. (1994) A novel pwm scheme for a three-level voltage source inverter with gto thyristors, In: *Industry Applications Society Annual Meeting, 1994., Conference Record of the 1994 IEEE*, pp. 1151 –1157 vol.2.
- Lee, Y.-H.; Kim, R.-Y. e Hyun, D.-S. (1999) A novel svpwm strategy considering dc-link balancing for a multi-level voltage source inverter, In: *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, vol. 1, pp. 509 –514 vol.1.
- Liu, H. e Cho, G. (1993) Three-level space vector pwm in low index modulation region avoiding narrow pulse problem, In: *Power Electronics Specialists Conference, 1993. PESC '93 Record., 24th Annual IEEE*, pp. 257 –262.
- Mahdavi, J.; Agah, A.; Ranjbar, A. e Toliyat, H. (1999) Extension of pwm space vector technique for multilevel current-controlled voltage source inverters, In: *Industrial Electronics Society, 1999. IECON '99 Proceedings. The 25th Annual Conference of the IEEE*, vol. 2, pp. 583 –588 vol.2.
- Marchesoni, M. (1989) High performance current control techniques for applications to multilevel high power voltage source inverters, In: *Power Electronics Specialists Conference,*

1989. *PESC '89 Record., 20th Annual IEEE*, pp. 672 –682 vol.2.
- Marchesoni, M. (1992) High-performance current control techniques for application to multilevel high-power voltage source inverters, *Power Electronics, IEEE Transactions on*, **7**(1):189 –204.
- Mazda, F. (2003) *Power Electronics Handbook*, Newnes, Great Britain.
- McGrath, B. e Holmes, D. (2002) Multicarrier pwm strategies for multilevel inverters, *Industrial Electronics, IEEE Transactions on*. **49**(4):858 – 867.
- Mehrizi-Sani, A.; Filizadeh, S. e Wilson, P. L. (2007) Harmonic and loss analysis of space-vector modulated converters, In: *International Conference on Power Systems Transients, IPST*, Lyon, France, Proceedings of the IPST.
- Meynard, T. e Foch, H. (1992) Multi-level conversion: high voltage choppers and voltage-source inverters, In: *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, pp. 397 –403 vol.1.
- Mohan, N. e Undeland, T. M. Robbins, W. P. (2003) *Power Electronics - Converters, Applications, AND Design*, Willey, USA.
- Nabae, A.; Takahashi, I. e Akagi, H. (1981) A new neutral-point-clamped pwm inverter, *Industry Applications, IEEE Transactions on*. **IA-17**(5):518 –523.
- Newton, C. e Sumner, M. (1997) Neutral point control for multi-level inverters: theory, design and operational limitations, In: *Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE*, vol. 2, pp. 1336 –1343 vol.2.
- Newton, C. e Sumner, M. (1999) Novel technique for maintaining balanced internal dc link voltages in diode clamped five-level inverters, *Electric Power Applications, IEE Proceedings -*, **146**(3):341 –349.
- Ogasawara, S. e Akagi, H. (1993) Analysis of variation of neutral point potential in neutral-point-clamped voltage source pwm inverters, In: *Industry Applications Society Annual Meeting, 1993., Conference Record of the 1993 IEEE*, pp. 965 –970 vol.2.
- de Oliveira., A. S. (2005) *Estratégia Generalizada de Modulação Por Largura de Pulso Para Inversores Multiníveis.*, Tese de doutorado, Universidade Federal de Campina Grande, Departamento de Engenharia Elétrica, Campina Grande - Pb.

- Pomilio, J. A. (2009) *Eletrônica de Potência*, UNICAMP, Brazil.
- Portillo, R.; Prats, M.; Leon, J.; Sanchez, J.; Carrasco, J.; Galvan, E. e Franquelo, L. (2006) Modeling strategy for back-to-back three-level converters applied to high-power wind turbines, *Industrial Electronics, IEEE Transactions on*, **53**(5):1483 –1491.
- Pou, J.; Rodriguez, P.; Boroyevich, D.; Pindado, R. e Candela, I. (2005) Efficient space-vector modulation algorithm for multilevel converters with low switching frequencies in the devices, In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pp. 2521 –2526.
- Ratnayake, K. e Murai, Y. (1998) A novel pwm scheme to eliminate common-mode voltage in three-level voltage source inverter, In: *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, vol. 1, pp. 269 –274 vol.1.
- Ratnayake, K.; Murai, Y. e Watanabe, T. (1999) Novel pwm scheme to control neutral point voltage variation in three-level voltage source inverter, In: *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, vol. 3, pp. 1950 –1955 vol.3.
- Rodriguez, J.; Lai, J.-S. e Peng, F. Z. (2002a) Multilevel inverters: a survey of topologies, controls, and applications, *Industrial Electronics, IEEE Transactions on*, **49**(4):724 – 738.
- Rodriguez, J.; Moran, L.; Correa, P. e Silva, C. (2002b) A vector control technique for medium-voltage multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **49**(4):882 – 888.
- Rodriguez, J.; Dixon, J.; Espinoza, J.; Pontt, J. e Lezana, P. (2005) Pwm regenerative rectifiers: state of the art, *Industrial Electronics, IEEE Transactions on*, **52**(1):5 – 22.
- Rodriguez, J.; Bernet, S.; Wu, B.; Pontt, J. e Kouro, S. (2007) Multilevel voltage-source-converter topologies for industrial medium-voltage drives, *Industrial Electronics, IEEE Transactions on*, **54**(6):2930 –2945.
- Seo, J. H.; Choi, C. H. e Hyun, D. S. (2001) A new simplified space-vector pwm method for three-level inverters, *Power Electronics, IEEE Transactions on*, **16**(4):545 –550.
- Steinke, J. (1992) Switching frequency optimal pwm control of a three-level inverter, *Power Electronics, IEEE Transactions on*, **7**(3):487 –496.

- Suh, B.-S. e Hyun, D.-S. (1997) A new n-level high voltage inversion system, *Industrial Electronics, IEEE Transactions on*, **44**(1):107 –115.
- Suh, B.-S.; Sinha, G.; Manjrekar, M. e Lipo, T. (1998) Multilevel power conversion - an overview of topologies and modulation strategies, In: *Optimization of Electrical and Electronic Equipments, 1998. OPTIM '98. Proceedings of the 6th International Conference on*, vol. 2, pp. AD-11 –AD-24.
- Tan, K.; Ge, Q.; Yin, Z.; Liu, C. e Li, Y. (2010) The optimal control strategy for rectifier side of low switching frequency back-to-back converter, In: *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pp. 1419 –1423.
- Tolbert, L.; Peng, F. Z. e Habetler, T. (1999) Multilevel converters for large electric drives, *Industry Applications, IEEE Transactions on*, **35**(1):36 –44.
- Tolbert, L.; Peng, F. Z. e Habetler, T. (2000) A multilevel converter-based universal power conditioner, *Industry Applications, IEEE Transactions on*, **36**(2):596 –603.
- Umbrianda, F.; Gordillo, F.; Salas, F. e Vazquez, S. (2010) Voltages balance control in three phase three-level npc rectifiers, In: *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, pp. 3018 –3023.
- Veenstra, M. e Rufer, A. (2000) Pwm-control of multi-level voltage-source inverters, In: *Power Electronics Specialists Conference, 2000. PESC 00. 2000 IEEE 31st Annual*, vol. 3, pp. 1387 –1393 vol.3.
- Verne, S.; Gonzalez, S. e Valla, M. (2008) An optimization algorithm for capacitor voltage balance of n-level diode clamped inverters, In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, pp. 3201 –3206.
- Yingchao, Z.; Zhengming, Z.; Ting, L.; Yongchang, Z. e Liqiang, Y. (2008) A novel control scheme for three-level npc back-to-back converter, In: *Vehicle Power and Propulsion Conference, 2008. VPPC '08. IEEE*, pp. 1 –5.
- Yingchao, Z.; Zhengming, Z.; Ting, L. e Liping, J. (2010) An integrated control method for three-level npc based pwm rectifier-inverter, In: *Power Electronics for Distributed Generation Systems (PEDG), 2010 2nd IEEE International Symposium on*, pp. 616 –620.