

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Trabalho de Conclusão de Curso

Elaboração de Guias de Experimento para o Auxílio do Ensino de Microeletrônica

Italo Yure Braga Arruda

Campina Grande, Dezembro de 2009

Italo Yure Braga Arruda

Elaboração de Guias de Experimento para o Auxílio do Ensino de Microeletrônica

Trabalho de Conclusão de Curso submetido à Unidade Acadêmica de Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção da graduação em Engenharia Elétrica.

Orientador

Prof. Raimundo Carlos Silvério Freire

Campina Grande, Dezembro de 2009

DEDICATÓRIA

Aos meus pais, por jamais me permitirem desistir.

AGRADECIMENTOS

Agradeço a minha família pelo amor incondicional e por toda a paciência comigo.

Ao meu orientador prof. Raimundo Carlos Silvério Freire, por me proporcionar a oportunidade de trabalhar e desenvolver minhas atividades de Iniciação Científica no Laboratório de Instrumentação e Metrologia Científicas.

A todos os meus amigos que de alguma forma, direta ou indireta, contribuíram para a conclusão deste trabalho.

A minha namorada, Kelly, por todo o seu carinho e apoio.

E meus agradecimentos mais que especiais a Alan, pela sua orientação, auxílio e amizade.

RESUMO

Atualmente, o governo brasileiro tenta desenvolver a indústria de semicondutores nacional, para isso criou o PADIS (Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores), que não só prevê incentivos ao setor industrial mas também incentivos a formação de profissionais na área. É importante que a UFCG (Universidade Federal de Campina Grande) aproveite os incentivos governamentais para que esteja a frente da pesquisa e formação de profissionais em microeletrônica. Essa é a motivação para o desenvolvimento dos guias de experimentos para o auxílio do ensino de microeletrônica. Propõe-se que estes guias possam ser utilizados na disciplina de Estrutura e Concepção de Circuitos Integrados, disciplina de conteúdo profissional específico da ênfase de eletrônica do curso de Engenharia Elétrica. Os experimentos propostos abordam entre outros conteúdos: linguagem de descrição de circuitos SPICE (*Simulation Program with Integrated Circuit Emphasis*), circuitos inversores, portas lógicas, circuito par diferencial e espelho de corrente. Como a formação de profissionais em microeletrônica exige que se tenha conhecimentos sólidos no uso de *softwares* de EDA os experimentos foram focados na utilização das ferramentas de desenvolvimento de circuitos integrados da Mentor Graphics®.

Palavras-chave: microeletrônica, semicondutor, estrutura e concepção de circuitos integrados

ABSTRACT

Currently, the Brazilian government tries to develop the domestic semiconductor industry, for it created PADIS (Support Program for Technological Development of the Semiconductor Industry), not only providing incentives to the industrial sector but also incentives to train professionals in the area. It is important that UFCG (Federal University of Campina Grande) take advantage of government incentives for be ahead in research and training of professionals in microelectronics. This is the motivation for the development of guides of experiments to help the teaching of microelectronics. It is proposed that these guides may be used in the discipline of Structure and Design of Integrated Circuits, professional specific discipline of the Electrical Engineering course. The experiments proposed approach the following contents: circuits description language SPICE (Simulation Program with Integrated Circuit Emphasis), inverter circuits, logic gates, differential pair and current mirror. As the training of professionals in microelectronics requires the knowledge in EDA software the experiments were focused on the use of tools for design of integrated circuits of Mentor Graphics®.

Keywords: microelectronic, semiconductor, structure and design of integrated circuits

Sumário

1.Introdução.....	2
2.História da Microeletrônica no Brasil.....	5
3.Softwares de EDA.....	9
4.Descrição dos Guias de Experimento.....	11
4.1Experimento 1 – Introdução ao SPICE e o modelo BSIM3.....	12
4.2Experimento 2 – O Inversor.....	13
4.3Experimento 3 – Portas Lógicas.....	13
4.4Experimento 4 – Par Diferencial.....	14
4.5Experimento 5 – Espelho de Corrente.....	14
5.Conclusões.....	15
6.Referências.....	16
7.Anexos.....	18

1. Introdução

A história da microeletrônica inicia com a invenção do primeiro transistor (figura 1), inicialmente chamado de *transfer resistor*, por três cientistas, John Bardeen, Walter Brattin e William Shockley, nos laboratórios Bell em dezembro de 1947. O transistor veio a substituir a válvula por possuir algumas vantagens como, ser menor e mais leve, ter menor consumo de energia e possuir um maior tempo de vida [1].

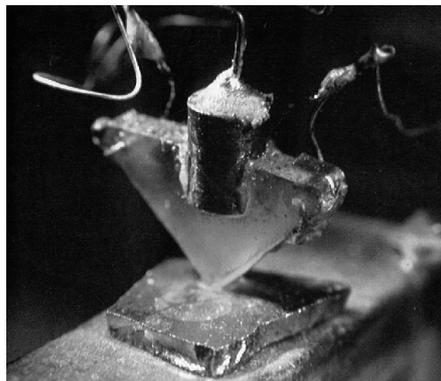


Figura 1: Fotografia do primeiro transistor bipolar de contato [2]

Até 1959 a fabricação de circuitos era feita utilizando dispositivos discretos, neste ano Jack Kilby produziu um circuito completo (figura 2) num único pedaço de material semiconductor de germânio combinando vários transistores, diodos e capacitores [1].

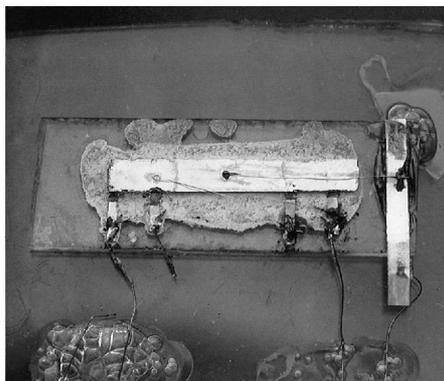


Figura 2: Fotografia do primeiro circuito integrado desenvolvido por J. Kilby [2]

Ainda em 1959 Jean Horni desenvolveu o processo planar (figura 3) na *Fairchild Camera*, neste mesmo ano Robert Noyce propôs o circuito integrado monolítico, também na *Fairchild Camera*, fabricando todos os dispositivos em um único substrato semiconductor e os conectando através da metalização de alumínio [2].

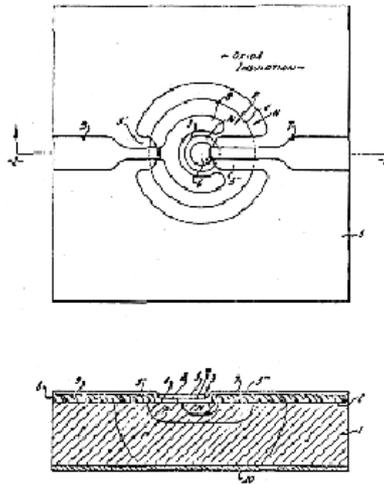


Figura 3: Processo planar desenvolvido por J. Horni [2]

O circuito integrado de Noyce acabou por tornar-se o modelo para todos os circuitos integrados que viriam a ser desenvolvidos posteriormente.

Desde 1947, a indústria de semicondutores tem observado o contínuo desenvolvimento de processos novos e aperfeiçoados. Pode-se afirmar que nenhum outro tipo de produto assistiu a evoluções a níveis similares aos dos semicondutores. O desenvolvimento dos circuitos integrados também gerou avanços em outros setores como o automobilístico, petrolífero e aeronáutico, por exemplo, parte das características mais atraentes em carros e aviões é devido a incorporação de dispositivos semicondutores.

Outros dados que surpreendem no setor da microeletrônica é que ele apresentou um crescimento de mercado de aproximadamente 16% anuais em média durante as suas 4 décadas de vida [2], e movimentou US\$ 255 bilhões em vendas no mundo em 2008 [3].

O Brasil tem uma participação pouco significativa nesse segmento, por isso, o governo brasileiro vem estabelecendo medidas para que o país diminua a sua dependência com o mercado externo e desenvolva uma indústria de semicondutores nacional, dentre essas medidas estão a

criação de centros de treinamento de projetistas, concessão de bolsas para a pós-graduação, construção de uma unidade de fabricação de circuitos integrados e a criação de *Design Houses* com apoio do governo.

É necessário que a UFCG (Universidade Federal de Campina Grande) aproveite as medidas e recursos que o governo brasileiro vem disponibilizando para a pesquisa e desenvolvimento da microeletrônica. É diante desse contexto que é apresentado esse Trabalho de Conclusão de Curso.

Nesse Trabalho de Conclusão de Curso foi desenvolvido uma série de guias de experimentos para o auxílio do ensino de microeletrônica. A proposta do desenvolvimento destes guias de experimento é que eles sejam utilizados por alunos de graduação que estejam cursando a disciplina Estrutura e Concepção de Circuitos Integrados ou que estejam desenvolvendo pesquisas em microeletrônica.

Neste trabalho será apresentado inicialmente uma revisão da história da microeletrônica no país e as atividades que estão atualmente em curso, em sequência serão apresentados os programas para desenvolvimento de circuitos integrados da Mentor Graphics® utilizados na realização dos experimentos. No item seguinte serão discutidos cada um dos experimentos propostos. Por fim, serão apresentados os comentários finais e propostas para trabalhos futuros. Em anexo estão os guias de experimento elaborados.

2. História da Microeletrônica no Brasil

As primeiras atividades com semicondutores no Brasil datam das décadas de 1950 e 1960, as universidades ITA (Instituto Tecnológico de Aeronáutica) e IFUSP (Instituto de Física da Universidade de São Paulo) já desenvolviam atividades de pesquisa em semicondutores e dispositivos eletrônicos.

Em 1966 a Philco instala uma fábrica de diodos e transistores em São Paulo motivando a criação de um laboratório de microeletrônica, LME (Laboratório de Microeletrônica), na EPUSP (Escola Politécnica da Universidade de São Paulo) que inicia suas operações em 1970 sob coordenação do Prof. Carlos Alberto Morato e colaboração do professor visitante Richard Anderson. O LME foi um laboratório pioneiro e responsável por vários marcos de desenvolvimento tecnológico no Brasil, entre eles:

- Desenvolvimento de tecnologia de diodos e transistores bipolares;
- Desenvolvimento do primeiro circuito integrado no país, em 1971;
- Desenvolvimento de tecnologia de transistores nMOS (*nFET Metal Oxide Silicon*) em 1973;
- Projeto e fabricação de memórias tipo ROM (*Read-Only Memory*) com capacidade de 512 e 2K bits em 1975 e 1978 respectivamente ;
- Desenvolvimento de um implantador de íons;
- Desenvolvimento de tecnologias nMOS com carga tipo depleção e porta metálica e porta de Si-poli, em 1978 e 1987 respectivamente ;
- Desenvolvimento de tecnologias CMOS (*Complementary Metal Oxide Semiconductor*) com porta metálica e porta de Si-poli em duas versões, em 1979, 1987 e 1988 respectivamente ;
- Desenvolvimento de tecnologia CCD com canal enterrado e portas de Si-poli, em

1981;

- Desenvolvimento de tecnologia de circuitos híbridos de filme fino para aplicações de microondas;

Foi a partir do LME que vários outros laboratórios voltados a pesquisa em microeletrônica surgiram pelo restante do país, através dos vários profissionais que iam sendo formados pelo Laboratório de Microeletrônica da EPUSP.

Em 1974, foi criado o laboratório de microeletrônica, chamado LED (Laboratório de Eletrônica e Dispositivos) na Faculdade de Engenharia da Universidade Estadual de Campinas, UNICAMP. Em 1975 foi criado um novo laboratório na EPUSP, chamado LSI (Laboratório de Sistemas Integrados) Em 1981 é iniciada a construção de um laboratório de microeletrônica no Instituto de Física da Universidade Federal de Rio Grande do Sul E em meados dos anos de 1980 um novo laboratório foi implantado no Instituto de Física da Universidade Federal de Pernambuco.

Além dos grupos universitários, um número menor de institutos de pesquisa, que receberam investimentos mais volumosos para instalação de laboratórios avançados, desenvolveram atividades de pesquisa em microeletrônica. Entre estes, o CPqD (Centro de Pesquisa e Desenvolvimento em Telecomunicações), ITI (Instituto de Tecnologia da Informação), LNLS (Laboratório Nacional de Luz Síncrotron) e INPE (Instituto Nacional de Pesquisas Espaciais).

O Brasil teve pouca atividade industrial voltada a fabricação de dispositivos semicondutores. Como citado, a Philco foi a pioneira, iniciou em 1966 uma fábrica de diodos e transistores em São Paulo, SP, sendo transferida para Contagem em meados dos anos de 1970 em parceria com a RCA, por fim, a fábrica foi fechada e posta a venda aproximadamente no ano de 1984.

Uma segunda iniciativa industrial foi a Transit, criada em 1974 em Montes Claros, iniciou a produção de diodos e transistores em 1976, sendo fechada ainda no final dos anos de 1970.

Dentre as empresas internacionais pode-se destacar, a Icotron do grupo Siemens com fábrica em Gravataí, RS, e a Semicron com fábrica em Cotia, SP, que tinham uma linha completa de difusão de diodos e tiristores de potência. Atualmente, a Semicron continua com seu funcionamento. A Icotron doou seus equipamentos de difusão para a UFRGS em 1998.

Dois ex-pesquisadores do LME da EPUSP e do LED da UNICAMP criaram a AEGIS em

1982, que ainda funciona explorando oportunidades de microeletrônica em nichos de mercado.

A Itaotec possui uma fábrica de encapsulamento de circuitos integrados, sobretudo tipo memórias, em Jundiaí, SP. A ASA Microeletrônica realizava montagem e encapsulamento de diodos tipo LED (*Light Emitting Diode*), com fábrica em São Paulo, SP, sendo esta fábrica fechada em meados dos anos de 1990. Outra empresa é a ASA Microeletrônica, fundada no início da década de 1990 em Paulínia, SP, que monta receptores óticos e emissores a *laser*, para a área de comunicações óticas. E a Heliodinâmica criada em 1980 com fábrica em Vargem Grande Paulista, SP, produzindo tarugos de Silício monocristalinos de até 8 polegadas e lâminas de Silício monocristalino e semicristalino, atendendo ao mercado local e internacional.

A Texas Instruments, Fairchild, Philips, Sanyo e Rhom tiveram fábricas de montagem e encapsulamento de componentes semicondutores no país, fechando suas operações de produção de componentes semicondutores no início da década de 1990 com a ampla e súbita abertura do mercado.

Comparado à área de tecnologias de fabricação, o país teve um desenvolvimento mais intenso na área de projeto de circuitos integrados nos últimos anos. Essa atividade requer um investimento muito menor em instalações e vários grupos no país atuam nesta área, dentre eles:

- UFRGS, Porto Alegre, RS;
- UFSC, Florianópolis, SC;
- LAC/COPEL, Curitiba, PR;
- FEEC/UNICAMP, Campinas, SP;
- EPUSP, São Paulo, SP ;
- EESC/USP, São Carlos, SP;
- FEG/UNESP, Guaratinguetá, SP ;
- UFRJ, Rio de Janeiro, RJ ;
- DCC/UFMG, Belo Horizonte, MG;
- DEE/EFEI, Itajubá, MG;
- DEE/UnB, Brasília, DF;

- UFCEG, Campina Grande, PB;
- CTI, Campinas, SP ;
- Motorola, Campinas, SP
- Idea, Campinas, SP

Em 2006 foram criadas *Design Houses* com apoio do governo sendo sete implantadas empregando um total de 180 projetistas brasileiros No final de 2008, houve uma ampliação para 14 *Design Houses*, sendo que sete delas com apoio de empresas [3].

Em 2007 o governo federal criou o PADIS (Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores) com a missão de atrair os grandes produtores do setor ao Brasil, prevendo a concessão de incentivos fiscais para empresas interessadas em se instalar no país e para a comercialização de componentes, além da criação de centros de treinamento para capacitação de profissionais [4].

Em 2008 o segmento de microeletrônica movimentou US\$ 255 bilhões em vendas no mundo, sendo que o parque industrial nacional é obrigado a importar, anualmente, cerca de US\$ 15 bilhões em componentes eletrônicos e elétricos [3].

3. Softwares de EDA

EDA (Electronic Design Automation) é uma categoria de ferramentas computacionais utilizadas para o desenvolvimento e produção de sistemas eletrônicos que vão de placas de circuitos impressos a circuitos integrados.

No início dos anos de 1950 os circuitos integrados eram desenvolvidos manualmente, projetados com lápis, papel e borracha na prancheta do projetista. Um erro resultava em ter que apagar e redesenhar o esquemático e frequentemente, quando o erro era maior, o projeto precisava ser recriado novamente do zero.

Em meados de 1960, o método para o desenvolvimento de circuitos integrados mudou. Ferramentas computacionais CAD (*Computer Aided Design*) passaram a ser utilizadas auxiliando no projeto dos circuitos, erros passaram a ser corrigidos mais facilmente e circuitos mais complexos passaram a ser construídos.

Além das ferramentas utilizadas para a captura de esquemáticos elétricos, surgiram *softwares* CAE (*Computer Aided Engineering*) que simulavam o comportamento do esquemático ou leiaute gerado, ajudando na análise e validação do projeto. Após a análise e validação era necessário traduzir as informações para uma linguagem de programação da máquina que controlava o processo de produção de chips utilizando um *software* CAM (*Computer Aided Manufacturing*).

Em meados de 1980, houve uma mudança na terminologia, passando a utilizar a expressão *software* para *Electronic Design Automation* (EDA) para englobar todos os softwares de CAD, CAE e CAM utilizados no projeto de circuitos eletrônicos [4].

A formação de profissionais em microeletrônica exige que se tenha conhecimentos sólidos no uso de *softwares* de EDA.

Na realização dos experimentos propostos serão utilizados *softwares* EDA desenvolvidos pela Mentor Graphics®. Estes *softwares* encontram-se instalados em 10 computadores do LIMC (Laboratório de Instrumentação e Metrologia Científicas) com sede na UFCG.

Dentro do pacote de ferramentas da Mentor Graphics® disponíveis no laboratório as

seguintes serão utilizadas para a realização dos experimentos:

- Eldo;
- EZwave;
- Design Architect;
- IC Station;
- Calibre DRC;
- Calibre LVS;
- Calibre PEX.

Nos experimentos o aluno será desafiado a executar as etapas de um fluxo de projeto para o desenvolvimento do leiaute de um circuito integrado. A seguir é apresentado esse fluxo de projeto com a indicação de qual ferramenta deve ser utilizada em cada uma das etapas.

O projeto inicia com a descrição em SPICE (*Simulation Program with Integrated Circuit Emphasis*) do circuito, além da descrição do circuito devem ser adicionados ao arquivo SPICE o tipo de simulação e quais saídas deseja-se visualizar, o Eldo é executado para que seja realizada a simulação do circuito descrito e as formas de onda das saídas desejadas são exibidas pelo EZwave. Com o circuito simulado e verificado utiliza-se o Design Architect para criar um diagrama elétrico (esquemático) que servirá como referência para avaliação do leiaute. Utilizando o IC Station o leiaute do circuito inversor será criado. Feito o leiaute do circuito inversor, deve ser executado o Calibre DRC (*Design Rule Checks*) que verifica se o leiaute que foi criado segue uma série de parâmetros recomendados pelo fabricante chamada de *Design Rules*. Uma vez executado o Calibre DRC e o leiaute for aprovado no teste, mais uma verificação deve ser feita, o Calibre LVS (*Layout vs Schematic*) que determina se o leiaute do circuito integrado é equivalente ao esquemático criado anteriormente. Sendo o leiaute aprovado no teste do Calibre LVS, o Calibre PEX (*Parasitic Extraction*) deve ser executado, ao se executar o PEX uma *netlist* SPICE será extraída do leiaute sendo adicionadas resistências, capacitâncias parasitas e capacitâncias de acoplamento que eram desconsideradas nas simulações anteriores. Por fim, com a *netlist* que foi obtida através do PEX pode-se simular e avaliar o circuito inversor, com uso do Eldo e do EZwave, com resultados mais precisos que anteriormente, já que foram levados em conta as resistências e capacitâncias extraídas do leiaute.

4. Descrição dos Guias de Experimento

Os guias de experimento elaborados nesse Trabalho de Conclusão de Curso foram desenvolvidos para que possam ser utilizados na disciplina de Estrutura e Concepção de Circuitos Integrados. A disciplina Estrutura e Concepção de Circuitos Integrados é uma disciplina de conteúdo profissional específico da ênfase de eletrônica do curso de Engenharia Elétrica, possui uma carga horária de 60 horas e apresenta como pré-requisitos as seguintes disciplinas: Eletrônica e Laboratório de Eletrônica. A disciplina não possui outra como co-requisito.

Essa disciplina apresenta a seguinte ementa: Introdução à Microeletrônica. Elementos de física de semicondutores, de tecnologia e modelagem de transistores. Ferramentas matemáticas. Componentes fundamentais. Amplificação. Técnicas de capacitores comutados. Técnica de modo corrente. Introdução à filtragem. Introdução à conversão analógico-digital e digital-analógico. Ruído nos circuitos integrados. Simulação. Teste de circuitos integrados. Introdução ao CAD.

Como a disciplina não possui um laboratório como co-requisito é sugerido que as aulas teóricas sejam intercaladas com aulas práticas, nas quais o aluno realizará os experimentos propostos nos guias. Os experimentos serão realizados no LIMC com uma previsão de que o aluno leve em média duas aulas, cada aula tendo um total de duas horas de duração, para que todo o experimento seja realizado.

É sugerido que a avaliação da disciplina passe a ser feita por meio dos relatórios entregues pelos alunos após o desenvolvimento de cada prática. Cada relatório deverá conter as observações e análises feitas nos experimentos e também as respostas das questões contidas no guia.

Os guias dos experimentos ficarão a disposição dos alunos no *site* da disciplina: http://limc_server.dee.ufcg.edu.br/gem/. Além dos guias, neste endereço estarão contidos outros materiais necessários para a realização das práticas. Esses materiais são formados por tutoriais ensinando a utilização dos *softwares* da Mentor Graphics®, manuais do usuário dos programas, guia do usuário do modelo BSIM3 (*Berkeley Short-Channel IGFET Model*) e as *design rules* fornecidas pela MOSIS (*Metal Oxide Semiconductor Implementation Service*) para o desenvolvimento do leiaute de circuitos integrados.

Neste trabalho de conclusão de curso foram elaborados os seguintes guias de experimentos:

- Experimento 1 – Introdução ao SPICE e o modelo BSIM3;
- Experimento 2 – O inversor;
- Experimento 3 – Portas Lógicas;
- Experimento 4 – Par Diferencial;
- Experimento 5 – Espelho de Corrente.

Nos tópicos a seguir encontra-se um breve descrição de cada um dos experimentos.

4.1 Experimento 1 – Introdução ao SPICE e o modelo BSIM3

Nesse experimento a linguagem de descrição de circuitos SPICE e o modelo BSIM3 para dispositivos MOSFET são introduzidos. Ao final desse experimento o aluno deverá ser capaz de construir diagramas de circuitos utilizando SPICE, aprender a sintaxe para a descrição de fontes de tensão e corrente, dispositivos passivos, dispositivos ativos e de modelos de dispositivos, aprender a realizar análises, AC, DC e transiente, revisar os conceitos acerca do transistor MOS e aprender a extrair os parâmetros do modelo nível 1 em um modelo nível 49.

Nas práticas experimentais o aluno utilizará os programas Eldo e EZwave para realizar a simulação de circuitos em SPICE e para determinar os parâmetros V_t (tensão de *threshold*), λ (modulação do comprimento do canal) e K (parâmetro de transcondutância do processo) do modelo *Shichman-Hodges* (modelo nível 1) a partir do modelo BSIM3, nível 49.

4.2 Experimento 2 – O Inversor

Nesse experimento as ferramentas para o desenvolvimento de diagramas elétricos (Design Architect) e leiaute (IC Station) da Mentor Graphics são introduzidas. O aluno estudará as características de transferência de tensão, resistência, margens de ganho, capacitâncias parasitas e o comportamento dinâmico de uma porta inversora.

Nas práticas experimentais o aluno utilizará os programas Eldo e EZwave para analisar a característica de transferência de tensão de portas inversoras de diferentes razões (W/L), largura por comprimento, analisar os atrasos de propagação quando há cargas de valores diferentes conectadas ao inversor, desenvolver com auxílio das ferramentas Design Architect, IC Station e Calibre o diagrama elétrico e o leiaute do circuito inversor e comparar os resultados das simulações entre o esquemático e o leiaute.

4.3 Experimento 3 – Portas Lógicas

Nesse experimento são estudadas as características dos circuitos lógicos combinacionais, mais especificamente das portas lógicas NAND e NOR. O aluno estudará como são criadas portas lógicas a partir das redes abaixadoras (*pull-up network*) e das redes levantadoras (*pull-down network*), estudará os atrasos de propagação das portas NAND e NOR e o projeto das dimensões dos transistores em circuitos lógicos combinacionais de forma a maximizar o *fan-out* e diminuir os atrasos.

Nas práticas experimentais o aluno utilizará os programas Eldo e EZwave para simular e observar o comportamento das portas NAND e NOR durante a aplicação de estímulos nas suas entradas. O aluno também desenvolverá com auxílio das ferramentas Design Architect, IC Station e Calibre o diagrama elétrico e o leiaute de uma das portas lógicas, NAND ou NOR, e deverá comparar os resultados das simulações entre o esquemático e o leiaute.

4.4 Experimento 4 – Par Diferencial

Nesse experimento é realizado o estudo do circuito par diferencial. O aluno estudará a definição do que é um sinal diferencial e o que é o nível de modo comum, estudará o par diferencial básico através de análises qualitativas e quantitativas e o par diferencial com carga ativa.

Nas práticas experimentais o aluno utilizará os programas Eldo e EZwave para simular e observar o comportamento do circuito par diferencial básico, do circuito par diferencial com entrada em nível de modo comum e do par diferencial com carga ativa. Além disso, utilizando as ferramentas Design Architect, IC Station e Calibre, o aluno irá desenvolver o esquemático e o leiaute de um par diferencial com carga MOS.

4.5 Experimento 5 – Espelho de Corrente

Nesse experimento é feito o estudo do espelho de corrente. O aluno estudará a polarização de transistores por meio de malhas resistivas, o funcionamento e propriedades do espelho de corrente básico e do espelho de corrente em cascata.

Nas práticas experimentais o aluno utilizará os programas Eldo e EZwave para simular e observar o comportamento de transistores polarizados por meio de malhas resistivas, do espelho de corrente básico e do espelho de corrente em cascata. O aluno também desenvolverá com auxílio das ferramentas Design Architect, IC Station e Calibre o diagrama elétrico e o leiaute do espelho de corrente em cascata e deverá comparar os resultados das simulações entre o esquemático e o leiaute.

5. Conclusões

Neste trabalho foram apresentados guias de experimentos para o auxílio do ensino da microeletrônica. Os guias foram desenvolvidos para fornecer aos alunos que curse a disciplina de Estrutura e Concepção de Circuitos Integrados um material que os auxilie a compreender o fluxo de projeto do desenvolvimento de um circuito integrado – especificação, esquemático, leiaute e simulação – e que os familiarize com as ferramentas computacionais utilizadas para a construção de circuitos integrados.

Como sugestão para trabalhos futuros propõem-se melhorar e corrigir os guias a partir dos comentários, dúvidas, críticas e observações dos alunos, a partir do desempenho obtido pelos alunos ao final do curso e também a partir das sugestões do professor da disciplina.

6. Referências

- [1] ZANT, Peter Van: Microchip fabrication: a practical guide to semiconductor processing. 4th Edition, McGraw-Hill, 2000.
- [2] SWART, Jacobus W.: Evolução de Microeletrônica a Micro-Sistemas.
- [3] SUGIMOTO, Luiz: A microeletrônica no Brasil: as propostas do governo para não perder o bonde. Portal UNICAMP, out. 2009. Disponível em: <<http://www.unicamp.br/>>. Acesso em: 13 dez. 2009.
- [4] QUEIROZ, Luiz: Rezende aposta no PADIS e nos governos estaduais para atrair indústria de semicondutores. Convergência Digital, mai. 2008. Disponível em: <<http://www.convergenciadigital.com.br>>. Acesso em: 13 dez. 2009.
- [5] PORTAL NSCAD: Softwares de EDA. Disponível em: <http://www.nscad.org.br/index.php?option=com_content&task=view&id=30&Itemid=37>. Acesso em: 13 dez. 2009.
- [6] SILVA, J. A. C. B.; NEVES, W. L. A.; FILHO, J. S.: Experimentos de apoio à disciplina materiais elétricos. COBENGE 2001.
- [7] SEDRA, Adel S.; SMITH, Kenneth C.: Microeletrônica. 4ª Ed, Makron Books, 2000.
- [8] RAZAVI, Behzad: Fundamentals of Microelectronics. Wiley Publishing, 2006.
- [9] RAZAVI, Behzad: Design of Analog CMOS Integrated Circuits. McGraw-Hill Book, 2001.
- [10] RABAEY, Jan M.: Digital Integrated Circuits. 2nd Edition, Prentice Hall, 2003.
- [11] BAKER, R. Jacob: CMOS Circuit Design, Layout, and Simulation. 2nd Edition, Wiley-IEEE Press, 2007.
- [12] FENICAL, L. H.: Pspice: A Tutorial. Prentice Hall College Div, 1992.

[13] VLADIMIRESCU, Andrei: The SPICE Book. Wiley, 1994.

[14] GRAY, Paul R. [et al.]: Analysis and design of analog integrated circuits. 5th Edition, Wiley, 2009.

7. Anexos

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Guia de Experimento em Microeletrônica

Experimento 1 **Introdução ao SPICE e o modelo BSIM3**

Campina Grande, Dezembro de 2009

Sumário

Experimento 1 – Introdução ao SPICE e o Modelo BSIM3.....	2
1.Introdução.....	2
2.Objetivos.....	2
3.Arquivo SPICE.....	3
3.1.Sintaxe das fontes de sinal.....	6
3.2.Sintaxe dos componentes passivos.....	7
3.3.Sintaxe dos componentes ativos.....	7
3.4.Tipos de Análise.....	9
3.4.1Análise DC.....	9
3.4.2Análise AC.....	11
3.4.3Análise Transiente.....	12
4.O transistor MOS.....	12
5.O modelo BSIM3.....	18
6.Extração dos Parâmetros.....	19
7.Realização do Experimento.....	20

Experimento 1 – Introdução ao SPICE e o Modelo BSIM3

1. Introdução

SPICE é a abreviatura para *Simulation Program with Integrated Circuit Emphasis*, inicialmente desenvolvido na década de 1970 pelo Departamento de Engenharia Elétrica e Ciência da Computação da Universidade da Califórnia, Berkeley. Basicamente, SPICE é um programa CAD (*Computer-Aided Design*) cuja função é simular a operação de um circuito. SPICE é capaz de realizar vários tipos de análise de circuito, entre elas, análise DC, análise AC e análise transiente.

Componentes eletrônicos tem o seu comportamento descrito através de equações matemáticas, essas equações que regem o comportamento podem conter uma série de parâmetros . Esses parâmetros podem ser, por exemplo, a mobilidade dos portadores, a espessura do óxido da porta, ou a concentração de dopante no substrato de um transistor de efeito de campo tipo metal-óxido-semicondutor (MOSFET), esses são parâmetros relativos ao processo de fabricação do MOSFET. Os parâmetros formam o modelo de um componente eletrônico e em SPICE eles são agrupados em um arquivo específico.

Um dos modelos utilizado no design de circuitos digitais e analógicos é o modelo BSIM3 (*Berkeley Short-Channel IGFET Model*) para MOSFET, desenvolvido pelo *BSIM Research Group* da Universidade da Califórnia, Berkeley. Esse modelo será utilizado neste experimento e nos que virão a seguir.

2. Objetivos

O objetivo geral deste guia é fornecer uma breve introdução acerca da ferramenta SPICE, de forma que o aluno fique apto à criar e simular circuitos utilizando essa linguagem.

Os objetivos específicos são:

- Aprender a construir diagramas de circuito utilizando a linguagem de descrição de circuitos do SPICE;
- Aprender a sintaxe para a descrição de fontes de tensão e corrente, dispositivos passivos, dispositivos ativos e de modelos de dispositivos;

- Aprender a realizar análises, AC, DC e transiente aos circuitos estudados;
- Revisar os conceitos acerca do transistor MOS;
- Introduzir o modelo do MOSFET BSIM3 e aprender a extrair os parâmetros do modelo nível 1 em um modelo nível 49.

3. **Arquivo SPICE**

Um arquivo SPICE pode ser dividido em três partes, conforme ilustrado na Figura 1. Embora essas partes possam ser apresentadas em qualquer ordem é recomendável que se mantenha a ordem ilustrada.



Figura 1: Estrutura do arquivo SPICE.

Na primeira delas, encontra-se a descrição dos componentes do circuito e de suas respectivas interconexões, os nós. Em seguida, tem-se a especificação do tipo de análise a ser realizada no circuito. Finalizando, é necessário especificar quais são as informações que se deseja observar, e portanto devem ser descritas as saídas a serem exibidas ou plotadas.

O arquivo SPICE não é capaz de ser executado de forma independente, esse arquivo não é um programa. A extensão do arquivo pode ser .ckt, ou .cir, ou .spi, ou ainda .in. Existem editores de texto específicos para a geração de arquivos SPICE, mas qualquer editor que seja capaz de gerar arquivos ASCII pode ser utilizado para a criação de netlists (como é chamada a descrição dos circuitos em SPICE).

Para a criação da netlist algumas regras básicas devem ser seguidas, são elas:

Regra 1: a netlist deve ter sempre a primeira linha do arquivo como título, uma sentença que identifique o circuito, essa primeira linha não tem efeito para a simulação e qualquer comando colocado nessa linha é desconsiderado.

Regra 2: a netlist deve terminar com uma declaração de fim, ou seja, a última linha da netlist deve conter a declaração: `.end`.

Regra 3: linhas de comentários são iniciadas por asterisco '*'.

Regra 4: se for necessário que uma declaração continue na próxima linha um sinal de mais '+' deve ser utilizado no início da linha seguinte.

Regra 5: Os nós do circuito a ser descrito devem sempre ser numerados antes de descrever cada componente.

Regra 6: O nó do terra deve sempre ser numerado como zero '0'.

Regra 7: SPICE não faz distinção entre letras maiúsculas ou minúsculas.

A Figura 2 ilustra as regras 5 e 6. Neste circuito existem três nós conectando os resistores e a fonte de tensão. Estes nós são numerados não importando a ordem dessa numeração, com exceção do nó terra, o qual obrigatoriamente deve ser numerado como '0'.

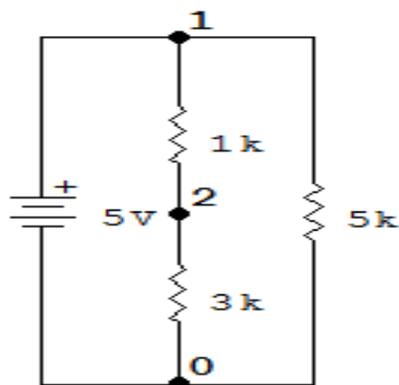


Figura 2: Nós de um circuito resistivo.

Em SPICE, o circuito a ser simulado é construído descrevendo quais dispositivos e fontes que o constituem, quais os valores que o caracterizam e indicando como os componentes estão ligados entre si. Cada dispositivo e fonte tem um nome padronizado e uma sintaxe própria indicando suas características e a maneira que está ligado aos demais componentes do circuito.

Na Tabela 1 é listada a nomenclatura padronizada de alguns dos dispositivos básicos e de fontes para a construção da netlist.

Tabela 1: Nomenclatura Padronizada

Componente	Nomenclatura
Resistor	R
Indutor	L
Capacitor	C
Diodo	D
BJT	Q
JFET	J
MOSFET	M
Fonte de Tensão Independente	V
Fonte de Corrente Independente	I

Os valores dos componentes podem ser escritos de diferentes maneiras no SPICE. Além das maneiras usuais de se expressar um número quando utilizando ferramentas computacionais, como por exemplo, o número **0,00175** que pode ser expresso como **1,75E-3** ou mesmo **1750E-6**, a linguagem de descrição de arquivos SPICE possui sufixos padronizados que expressam quantidade numérica. Esses sufixos são apresentados na Tabela 2.

Tabela 2: Sufixos da linguagem SPICE.

Sufixo	Prefixo Representado	Representação Decimal
T	Tera	10^{12}
G	Giga	10^9
Meg	Mega	10^6
K	Kilo	10^3
M	Mili	10^{-3}
U	Micro	10^{-6}
N	Nano	10^{-9}
P	Pico	10^{-12}
F	Femto	10^{-15}

Nas subseções seguintes são abordados aspectos de sintaxe das fontes de sinal, dos componentes passivos e dos componentes ativos. Em seguida aspectos relacionados aos tipos de

análise são discutidos.

3.1. *Sintaxe das fontes de sinal*

Em SPICE diferentes formas de onda para as fontes de tensão e corrente podem ser simuladas. A fonte pode apresentar uma tensão ou corrente constante ou pode apresentar um comportamento variante no tempo, a seguir estão listadas algumas das sintaxes para a descrição de fontes de tensão, essa mesma sintaxe é válida para fontes de corrente bastando trocar a nomenclatura V por I.

DC	V<nome>	<nó+>	<nó->	DC	<valor de tensão>
Senoidal	V<nome>	<nó+>	<nó->	SIN	(V1 V2 TD Tr Tf PW Period)
Quadrada	V<nome>	<nó+>	<nó->	PULSE	(V1 V2 TD Tr Tf PW Period)

Em que:

- <nome> é o nome que identifica unicamente a fonte de tensão;
- <nó+> e <nó-> são os nós aos quais o componente está conectado;
- V1 é a tensão inicial;
- V2 é a tensão de pico;
- TD é o tempo de atraso inicial;
- Tr é o tempo de subida;
- Tf é o tempo de descida;
- PW é a largura do pulso;
- Period é o período da onda.

Na Figura 3 estão ilustrados os parâmetros de uma forma de onda quadrada.

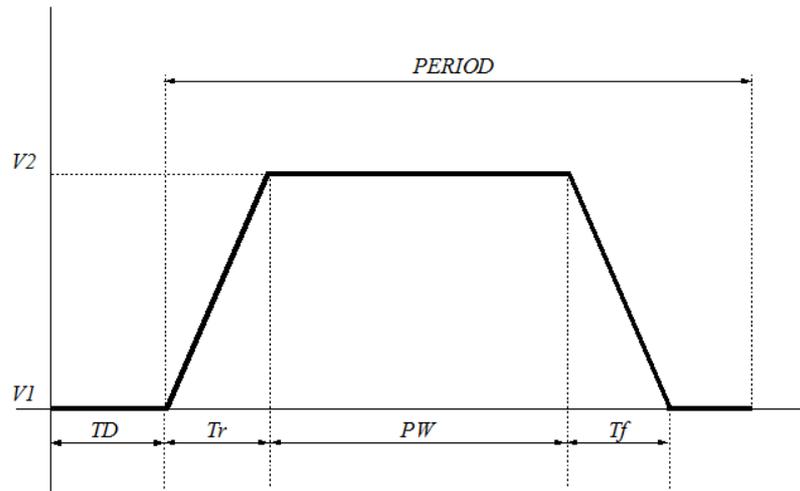


Figura 3: Exemplo de onda quadrada

3.2. Sintaxe dos componentes passivos

A sintaxe dos componentes passivos é semelhante a das fontes de tensão e corrente, onde, <nome> indica unicamente o dispositivo e <nó+> e <nó-> são os nós aos quais o componente está conectado, essa sintaxe é apresentada a seguir.

Resistor	R<nome>	<nó+>	<nó->	<Valor da Resistência>
Capacitor	C<nome>	<nó+>	<nó->	<Valor da Capacitância>
Indutor	L<nome>	<nó+>	<nó->	<Valor da Indutância>

3.3. Sintaxe dos componentes ativos

Os elementos ativos sempre exigem a descrição do modelo tecnológico com os parâmetros de processo de fabricação. Por isso, ao declararmos um dispositivo, como um transistor ou um diodo, é necessário que em sua sintaxe contenha seu modelo. Semicondutores possuem modelos bastante complexos, de características não lineares e com dezenas de parâmetros que se alterados de maneira incorreta podem fazer com que o dispositivo deixe de funcionar. Esses modelos podem ser armazenados em um local chamado de Biblioteca. A forma geral da sintaxe de um modelo é apresentada a seguir.

```
.MODEL <nome do modelo> <nome do tipo> (P1=Valor1 P2=Valor2 ...)
```

Em que:

- P1 e P2 são os parâmetros do dispositivo;
- Valor1 e Valor2 são seus respectivos valores.

Não apenas componentes ativos podem ter um modelo associado a eles, mas componentes passivos como resistores, capacitores e indutores podem ter um modelo que, por exemplo, identifiquem o comportamento do componente em diferentes temperaturas.

Com o modelo do dispositivo já é possível declarar a sintaxe do componente desejado. A sintaxe simplificada para o diodo é dada a seguir. Outros parâmetros podem ser adicionados a essa sintaxe, mas no momento os apresentados a seguir são suficientes.

```
Diodo      D<nome> <nó+> <nó-> <nome do modelo>
```

A sintaxe simplificada para o transistor BJT é apresentada a seguir, mais uma vez outros parâmetros podem estar contidos nessa sintaxe, mas no momento os apresentados a seguir são suficientes.

```
TBJ       Q<nome> <NC> <NB> <NE> <nome do modelo>
```

Em que:

- <NC> é o nó do coletor;
- <NB> é o nó da base;
- <NE> é o nó do emissor.

A seguir é apresentada a sintaxe simplificada para o transistor MOSFET, parâmetros adicionais podem existir, mas no momento os apresentados a seguir são suficientes.

```
MOSFET    M<nome> <ND> <NG> <NS> <NB> <nome do modelo> <L> <W>
```

Em que:

- <ND> é o nó do Dreno;

- <NG> é o nó do Gate;
- <NS> é o nó da Fonte;
- <NB> é o nó do Bulk/Substrato;
- <L> é o comprimento do canal do transistor;
- <W> é a largura do transistor.

3.4. Tipos de Análise

3.4.1 Análise DC

O comando `.DC` permite que uma fonte independente tenha seu valor incrementado (varrido) ao longo de uma faixa de valores, com um incremento (passo) específico. A sintaxe para essa função é mostrada a seguir e caso seja declarada de forma errada um erro será informado pelo programa.

```
.DC <nome da fonte> <Inicio> <Fim> <Passo>
```

Em que:

- <nome da fonte> é a fonte que é desejada ser varrida;
- <Inicio> e <Fim> são os valores de início e fim da varredura;
- <Passo> é o tamanho do incremento.

Para poder armazenar e visualizar os dados gerados pelo comando `.DC` o comando `.PRINT` deve ser utilizado na netlist do circuito. Um arquivo de saída, cuja extensão é `.chi`, será criado armazenando os dados, esses dados são apresentados no arquivo de saída em forma de tabela.

O comando `.PRINT` não é utilizado apenas em análises DC, mas também em análises AC e análises transientes como será visto adiante. A sintaxe do comando `.PRINT` é apresentada a seguir.

```
.PRINT DC <valor de saída1> <valor de saída2> ...
```

Em que:

- <valor de saída1> e <valor de saída2> são os valores de tensão ou corrente que serão exibidos no arquivo de saída;
- as reticências (...) indicam que mais valores de saída podem ser adicionados a essa sintaxe, desse modo, mais valores de saída serão visualizados no arquivo de saída.

É importante saber que <valor de saída> tem diferentes sintaxes, por exemplo, se é desejado medir o valor de tensão em um nó com referência ao terra, a sintaxe de <valor de saída> deve ser V(<nó>), ou se é desejado medir o valor de tensão entre dois nós, a sintaxe de <valor de saída> deve ser V(nó1, nó2).

As vezes, é desejado que os valores de saída sejam apresentados em forma de gráfico, para isso, existe a função .PLOT. Esse gráfico é apresentado pelo programa EZwave. O formato do gráfico gerado é que todos os valores de saída, por exemplo, os valores de tensão de um determinado nó, são plotados ao longo do “eixo y” do gráfico. Os valores incrementados (varridos), por exemplo, os valores de tensão de uma fonte independente de tensão, são plotados ao longo do “eixo x” do gráfico. A sintaxe desse comando é a seguinte:

```
.PLOT DC <valor de saída> ... <faixa min> <faixa max>
```

Em que:

- <valor de saída> é o valor de tensão ou corrente que será exibido no arquivo de saída;
- as reticências (...) indicam que mais valores de saída podem ser adicionados a essa sintaxe;
- <faixa min> e <faixa max> é a faixa de valores do eixo de saída, “eixo y”, que pode ser plotada no gráfico, esses parâmetros podem ser especificados, ou não, na sintaxe do comando .PLOT.

Do mesmo modo que o comando .PRINT, <valor de saída> do comando .PLOT tem diferentes sintaxes.

3.4.2 Análise AC

Assim como na análise DC, a saída da análise AC deve ser exibida ou plotada em um arquivo de saída com extensão `.chi`. A principal diferença é que a saída agora é apresentada em função da frequência. Ou seja, quando usando o comando `.PRINT` na tabela do arquivo de saída serão apresentados valores de tensão ou corrente em função da frequência. E quando utilizando o comando `.PLOT` valores de frequência é que serão plotados ao longo do “eixo x” do gráfico. As sintaxes desses comandos são dada a seguir.

```
.PRINT AC <valor de saída1> <valor de saída2> ...  
.PLOT AC <valor de saída> ... <faixa min> <faixa max>
```

Em que o significado dos parâmetros da sintaxe é o mesmo da sintaxe utilizada para a análise DC.

O comando `.AC` varre uma faixa de frequência escolhida. Deve-se ter cuidado ao usar o comando `.AC` porque as frequências que são especificadas na varredura são aplicadas a todas as fontes AC no circuito ao mesmo tempo. A função AC possui três formas, linear, década e oitava. A sintaxe a seguir define uma varredura linear de frequência com um número de pontos específico igualmente separados.

```
.AC LIN <pontos> <Inicio> <Fim>
```

Em que:

- `<pontos>` especifica quantos pontos de saída devem ser calculados em toda a varredura;
- `<Inicio>` especifica o valor de início da varredura;
- `<Fim>` especifica o valor de fim da varredura.

A sintaxe seguinte define uma varredura logarítmica em década, a sintaxe é semelhante a sintaxe de varredura linear, sendo que `<pontos/dec>` especifica o número de décadas a serem varridas.

```
.AC DEC <pontos/dec> <Inicio> <Fim>
```

A sintaxe seguinte também define uma varredura logarítmica, sendo que <pontos/oct> especifica o número de pontos que será calculado a cada mudança de oitava na frequência.

```
.AC DEC <pontos/oct> <Inicio> <Fim>
```

3.4.3 *Análise Transiente*

A Análise transiente é usada quando se deseja simular a operação de um circuito ao longo do tempo, é uma análise no domínio do tempo. Em SPICE o tempo sempre começa em zero e se move adiante. Se é necessário que a análise inicie em um tempo diferente de zero, o atraso deve ser especificado na sintaxe das fontes de tensão e corrente.

```
.TRAN <Passo> <Valor Final>
```

Em que:

- <Passo> é o incremento sugerido pelo usuário, pode ser que a saída gerada não corresponda ao passo especificado, isso ocorre porque a ferramenta escolhe um passo que se adeque melhor a análise do circuito;
- <Valor Final> corresponde a duração da análise, toda análise transiente começa no tempo igual a zero e se estende até o valor indicado nesta parte do comando.

Os comandos .PRINT e .PLOT podem ser utilizados para que os dados gerados possam ser visualizados em um arquivo de saída. A sintaxe é semelhante aos comandos utilizados para análise AC e DC.

```
.PRINT TRAN <valor de saída1> <valor de saída2> ...  
.PLOT TRAN <valor de saída> ... <faixa min> <faixa max>
```

4. O transistor MOS

O transistor de efeito de campo tipo metal-óxido semiconductor (MOSFET) é a tecnologia dominante na fabricação de circuitos integrados, devido as suas dimensões e a sua relativa simplicidade de fabricação. Além disso, esse dispositivo funciona bem como uma chave e introduz poucos efeitos parasitas [Rabaey] e também porque funções lógicas digitais complexas e memórias

podem ser implementadas com circuitos que utilizam exclusivamente MOSFETs [Sedra].

Nesta seção alguns dos conceitos do MOSFET já estudados serão lembrados.

O MOSFET é um dispositivo de quatro terminais, denominados de fonte (S), dreno (D), porta (G) e substrato (B). Os transistores MOSFET são divididos em dois tipos, de acordo com o tipo do canal. O MOSFET canal n é também chamado de NMOS e seus símbolos para circuito são apresentados na Figura 4.

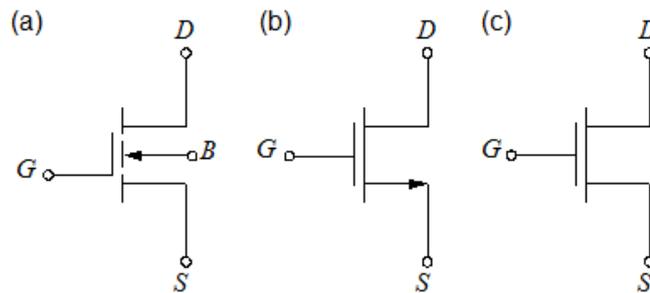


Figura 4: Símbolos para circuito do transistor NMOS

Observe que em (b) e (c) o substrato (B) não é mostrado, isso ocorre quando este está ligado diretamente ao terminal da fonte (S).

O MOSFET canal p é também chamado de PMOS e seus símbolos para circuito são apresentados na Figura 5.

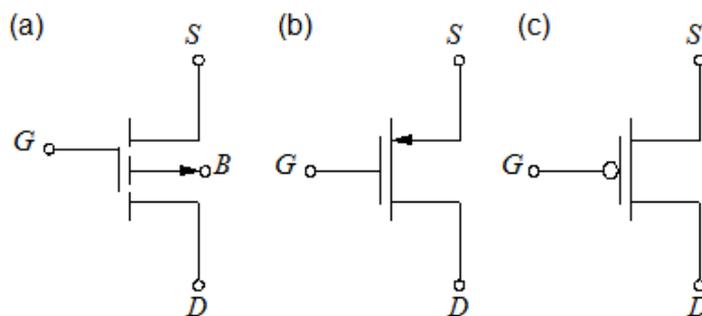


Figura 5: Símbolos para circuito do transistor PMOS

Observe que em (b) e (c) o substrato (B) não é mostrado, isso ocorre quando este está

ligado diretamente ao terminal de dreno (D).

O comportamento do transistor pode ser simplificado e modelado como uma chave controlada pela tensão da porta, quando essa tensão é maior que um determinado valor, chamado de tensão de *threshold*, V_t , um canal é formado entre dreno e fonte e é possível que haja fluxo de corrente entre os terminais de dreno e fonte. Pode-se pensar a partir do modelo do transistor funcionando como uma chave que o substrato não tem função, mas ele serve para regular as características e parâmetros do dispositivo, como é o caso do cálculo da tensão de *threshold* mostrado a seguir.

A tensão de *threshold*, V_t , determina quando o MOSFET deixa a região de corte e passa a região de triodo, nessa região o transistor passa a conduzir corrente.

V_t é função de inúmeros parâmetros, entre eles estão constantes físicas e parâmetros da tecnologia de fabricação do dispositivo. A tensão de *threshold* pode ser determinada do seguinte modo

$$V_t = V_{t0} + \gamma (\sqrt{|2\phi_F - V_{BS}|} - \sqrt{|2\phi_F|}) \quad (1)$$

Em que,

$$\gamma = \frac{\sqrt{2qN_{sub}\epsilon_{Si}}}{C_{ox}} \quad (2)$$

$$\phi_F = \frac{kT}{q} \cdot \ln\left(\frac{N_{sub}}{n_i}\right) \quad (3)$$

E os parâmetros das equações (1), (2) e (3) são definidos a seguir

- V_{t0} é a tensão de *threshold* para $V_{BS} = 0$;
- γ é o coeficiente do efeito de substrato;
- ϕ_F é o nível de Fermi;
- V_{BS} é a tensão Substrato-Fonte;
- q é a carga do elétron;
- N_{sub} é a concentração de dopante no substrato;
- n_i é a concentração de portadores intrínsecos do silício;

- ϵ_{Si} é a permissividade do silício;
- C_{ox} é a capacitância por unidade de área presente no óxido da porta;
- k é a constante de Boltzman;
- T é a temperatura

A Figura 6 apresenta quatro curvas características $I_D - V_{DS}$ de um transistor NMOS, cada uma dessas curvas se diferencia pelo valor da tensão porta-fonte no dispositivo, V_{GS} . A razão W/L do transistor é $W/L = 4.13 \mu m / 0.35 \mu m$

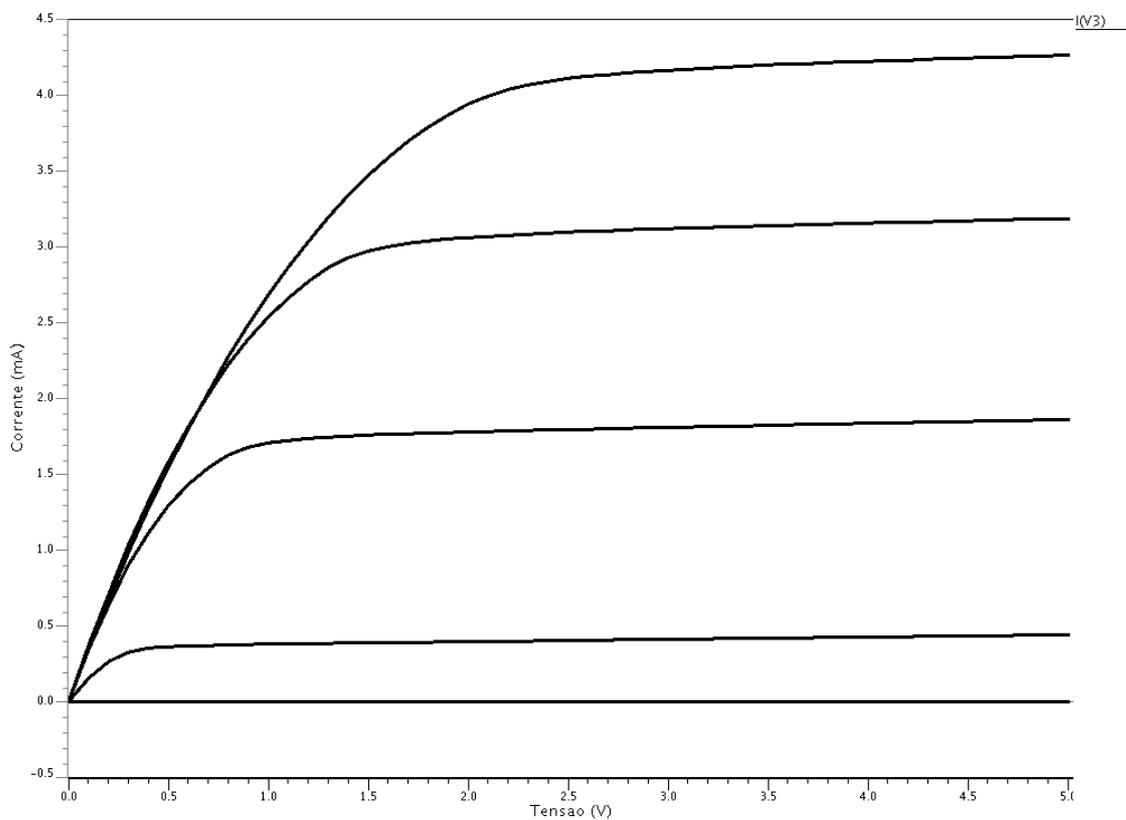


Figura 6: Curva característica $I_D - V_{DS}$ obtida através do EZwave

O circuito da Figura 7 foi utilizado para para plotar a curva característica $I_D - V_{DS}$ da Figura 6. Nele encontram-se indicados os nós da descrição do circuito em SPICE.

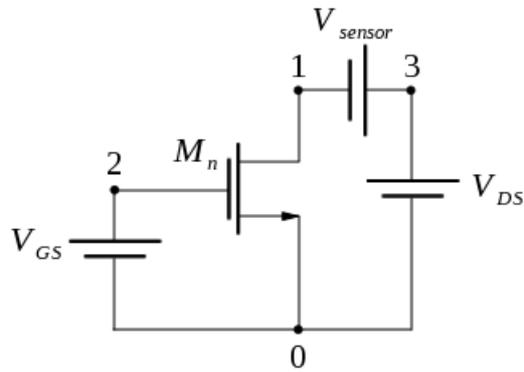


Figura 7: Circuito utilizado para plotar a Curva Característica $I_D - V_{DS}$

A descrição em SPICE do circuito da Figura 7 é apresentada a seguir. O comando `.include` é utilizado para inserir os arquivos que contem os modelos dos transistores. A fonte de tensão `Vsensor` funciona como um amperímetro, medindo a corrente I_D . O comando `.ALTER` altera a descrição do circuito modificando o valor da tensão V_{GS} , isso resulta com que sejam plotadas 5 diferentes curvas para cada valor de V_{GS} como se observa na Figura 6.

```
*Descrição SPICE para plotar a curva característica

*Inclusão dos modelos dos transistores
.include nmos_nch
.include pmos_pch

*Descrição do circuito elétrico
MN 1 2 0 0 NCH L=0.35U W=4.13U
VGS 2 0 DC 0
VDS 3 0 DC 5

*Fonte de tensão funcionando como um amperímetro
Vsensor 3 1 DC 0

*Análise DC do circuito
.DC VDS 0 5 0.1
.PLOT I(Vsensor)

*Comandos para alteração dos parâmetros do circuito
.ALTER
VGS 2 0 DC 1
.ALTER
VGS 2 0 DC 2
.ALTER
```

```
VGS 2 0 DC 3
.ALTER
VGS 2 0 DC 4
.ALTER

.END
```

Em cada uma das curvas $I_D - V_{DS}$ existem três regiões de operação que são definidas pela tensão de *threshold*, pela tensão dreno-fonte (V_{DS}) e pela tensão porta-fonte (V_{GS}). As condições para as quais o dispositivo opera em cada uma dessas regiões é mostrada na Tabela 3.

Tabela 3: Regiões de operação do MOSFET

Região	Condição
Corte	$V_{GS} < V_t$
Triodo	$V_{DS} < V_{GS} - V_t$
Saturação	$V_{DS} \geq V_{GS} - V_t$

Normalmente, a região de saturação é usada quando o MOSFET opera como amplificador, quando o MOSFET opera como chave as regiões de corte e de triodo é que são usadas.

Na região de triodo a expressão da característica $I_D - V_{DS}$ do NMOS é dada a seguir

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (4)$$

E a corrente que flui pelo NMOS na região de saturação é dada pela expressão a seguir

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_t)^2 \quad (5)$$

Em que:

- I_D é a corrente de dreno;
- μ_n é a mobilidade dos elétrons do canal;
- W é a largura do canal;

- L é o comprimento do canal;

Observando a equação (5) não fica explícito a dependência que a corrente de dreno tem da tensão entre os terminais de dreno e fonte, V_{DS} . Quando a tensão V_{DS} aumenta além de um determinado valor denominado de V_{DSsat} , o canal passa a ser estrangulado em um ponto que se move do dreno para a fonte, reduzindo o comprimento do canal efetivo. Como pode-se observar pela equação (5) I_D é inversamente proporcional ao valor do comprimento do canal, portanto, a corrente de dreno aumenta com o aumento de V_{DS} .

Uma descrição mais precisa para a corrente que flui pelo NMOS na região de saturação é dada a seguir

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad (6)$$

A constante λ é um parâmetro do MOSFET denominado de modulação do comprimento do canal. Neste experimento será mostrada uma maneira de se determinar o valor de λ , já que, expressões analíticas são complexas e imprecisas.

As relações anteriores foram determinadas para o transistor NMOS, mas seu uso pode ser estendido para o transistor PMOS desde que se considere que V_{GS} , V_t , λ e V_{DS} são todas grandezas negativas.

5. O modelo BSIM3

SPICE possui três modelos predefinidos para o MOSFET, esses modelos são escolhidos pelo parâmetro LEVEL

- O modelo LEVEL 1 implementa o modelo *Shichman-Hodges* baseado em expressões para canal longo, esse modelo é incapaz de lidar com efeitos de canal curto;
- O modelo LEVEL 2 utiliza detalhada física do dispositivo para definir suas equações, mas se torna complexo e impreciso em processos *submícron* avançados;
- O modelo LEVEL 3 é um modelo semi-empírico que mistura expressões analíticas e empíricas, alguns parâmetros são determinados a partir de medições do dispositivo.

Com o avanço das tecnologias de fabricação e com a consequente diminuição do tamanho dos transistores esses modelos se mostraram obsoletos. Então, novos modelos foram criados pelos fabricantes de semicondutores e um modelo em especial foi adotado como padrão, o Berkeley Short-Channel IGFET Model (BSIM).

O modelo BSIM3 contém mais de 200 parâmetros, e apesar de toda sua complexidade não é necessário que sejam conhecidos todos esses parâmetros para estimar o comportamento de um circuito em desenvolvimento, já que muitos parâmetros são relacionados a efeitos de segunda ordem.

No seguinte endereço http://limc_server.dee.ufcg.edu.br/gem/ é possível encontrar o manual do usuário do modelo BSIM3. Através do terminal de comando do Linux, os arquivos que contêm os parâmetros do modelo podem ser visualizados.

(Applications > Accessories > Terminal)

O seguinte comando deve ser digitado para visualizar o modelo NMOS:

```
gedit /nscad/vendors/mentor/tools/linux/models/nmos_nch
```

Ou para visualizar o modelo PMOS:

```
gedit /nscad/vendors/mentor/tools/linux/models/pmos_pch
```

6. Extração dos Parâmetros

Devido ao enorme e intensivo desenvolvimento dos modelos do MOSFET, as simulações desse dispositivo se tornaram bastante eficientes e precisas, sendo possível prever o comportamento do MOSFET nas mais diferentes e complexas situações. Para que se fosse alcançado simulações mais precisas e eficientes as equações do modelo se tornaram bastante complexas e passaram a envolver um grande conjunto de parâmetros dependentes da dimensão do dispositivo, do processo e das grandezas elétricas. Essas complexas equações se tornaram um obstáculo para a realização de cálculos manuais e de análises preliminares de projeto.

Desse modo, para que seja possível realizar cálculos manuais e uma análise preliminar

eficiente do projeto, torna-se necessário que se converta o modelo nível 49 em um modelo nível 1, mais simples e intuitivo, dado pela equação (6).

O modelo nível 1 possui apenas três parâmetros dependentes do processo $K = \mu_0 \cdot C_{ox}$, V_t e λ . Então, são esses três parâmetros que devem ser extraídos do modelo nível 49, para que cálculos manuais sejam feitos com o modelo nível 1.

Um método para a extração dos parâmetros é utilizar um dos circuitos da Figura 8. Com esta configuração se garante que o transistor está na saturação.

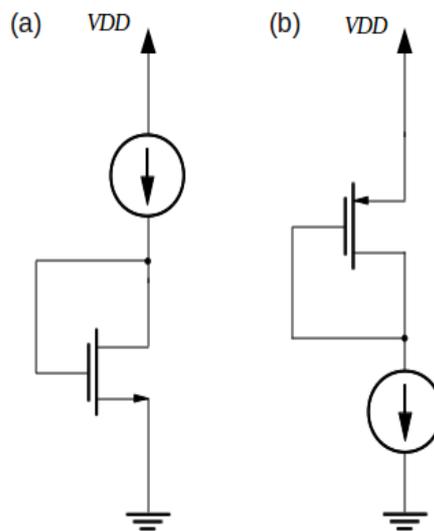


Figura 8: Configuração de Teste (a) NMOS (b) PMOS

Para que sejam cobertos todos os efeitos das dependências físicas e elétricas, os transistores devem ser testados com o tamanho (W), comprimento (L) e a fonte de corrente deve ser varrida com a faixa de valores esperado para futuras operações.

7. Realização do Experimento

Para simulação em SPICE, o arquivo com a descrição do circuito deve ser nomeado com a extensão `.cir` e a seguinte linha de comando deve ser inserida para executar a simulação com o

programa Eldo e com a saída sendo plotada pelo EZwave.

```
source eldo
eldo <meu_circuito>.cir -ezwave
```

O arquivo que será criado automaticamente contendo os valores de saída, quando usado, por exemplo, o comando .PRINT terá a nomenclatura <meu_circuito>.chi

- 1) Com o Eldo é possível que o valor da tensão de *threshold*, V_t , seja extraído diretamente do circuito, com o uso do comando LV9(M<nome>), em que M<nome> indica o transistor o qual o valor da tensão de *threshold* será apresentado na saída.

Simule o circuito da Figura 8, com $V_{DD}=5V$, variando o valor da fonte de corrente de 3uA a 500uA para transistores com razão de largura/comprimento (W/L) de 1u/1u, 2u/2u, 5u/5u, 10u/10u, 20u/20u, 50u/50u e 100u/100u.

Utilize o comando .PRINT, para imprimir no arquivo de saída 30 pontos da curva V_t vs I_{DS} e anote esses valores. Utilize o comando .PLOT e plote todas as curvas em uma única janela e avalie os resultados.

- 2) Simule novamente o circuito da Figura 8, com $V_{DD}=5V$, variando o valor da fonte de corrente de 3uA a 500uA para o transistor com razão de largura/comprimento (W/L) de 10u/10u, simule esse circuito para tensões V_{BS} igual a 0V, 1V, 2V e 5V. Plote essas curvas em uma mesma janela e avalie os resultados.
- 3) Outro parâmetro que pode ser extraído diretamente por comandos do Eldo é o valor da condutância dreno/fonte, G_{DS} , o comando a ser utilizado é LX8(M<nome>), em que M<nome> indica o transistor o qual o valor da condutância dreno/fonte será apresentado na saída. A partir daí, é possível determinar o valor de λ pela expressão

$$\lambda = G_{DS} / I_{DS} \quad (7)$$

Com auxílio de outro comando é possível que o valor de λ seja apresentado diretamente na saída, PAR('LX8(M<nome>/I(Vsensor)')', em que Vsensor corresponde a fonte

de tensão utilizada para monitorar a corrente I_{DS} .

Simule o circuito da Figura 8, com $V_{DD}=5V$, variando o valor da fonte de corrente de 3uA a 500uA para transistores com razão de largura/comprimento (W/L) de 1u/1u, 2u/2u, 5u/5u, 10u/10u, 20u/20u, 50u/50u e 100u/100u. Imprima no arquivo de saída 30 pontos da curva λ vs I_{DS} . Plote essas curvas em uma mesma janela e avalie os resultados.

- 4) Utilizando o circuito da Figura 7 imprima no arquivo de saída 30 pontos da curva V_{DS} vs I_{DS} . Faça V_{GS} constante e igual a 5V e substitua a fonte de tensão V_{DS} por uma fonte de corrente que varie de 3uA a 500uA para os transistores com razão de largura/comprimento (W/L) de 1u/1u, 2u/2u, 5u/5u, 10u/10u, 20u/20u, 50u/50u e 100u/100u.
- 5) O Eldo não fornece comandos para que $K=\mu_0 \cdot C_{ox}$ seja extraído diretamente do circuito em SPICE. Mas é possível determinar o valor de K a partir dos valores de V_t , λ e V_{DS} simulados nas questões anteriores. Utilizando a equação 6 é possível chegar a seguinte relação de K para dois pontos diferentes.

$$K = \frac{2 \cdot |(I_{D1} - I_{D2})|}{|(V_{GS} - V_{t1})^2 \cdot (1 + \lambda_1 V_{DS1}) - (V_{GS} - V_{t2})^2 \cdot (1 + \lambda_2 V_{DS2})|} \quad (8)$$

Com ajuda de um software como *Calc*, *Excel*, *Scilab* ou *Matlab*. determine o valor de K utilizando os valores de V_t , λ e V_{DS} calculados nas simulações em SPICE das questões anteriores.

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Guia de Experimento em Microeletrônica

Experimento 2 O Inversor

Campina Grande, Dezembro de 2009

Sumário

Experimento 2 – O Inversor.....	2
1.Introdução.....	2
2.Objetivos.....	2
3.Considerações Iniciais.....	2
4.Característica de transferência de tensão.....	3
5.Resistência do Inversor.....	6
6.Casamento dos Transistores.....	7
7.Comportamento dinâmico.....	8
7.1Capacitâncias no inversor.....	8
7.2Atraso de Propagação.....	12
8.Realização do experimento.....	13

Experimento 2 – O Inversor

1. Introdução

O inversor é o elemento mais simples que um circuito digital pode apresentar. A compreensão e entendimento de estruturas mais complexas como portas NAND, NOR ou XOR, somadores, multiplicadores e microprocessadores pode ser dado a partir dele. Compreendendo-se a operação, as características e as propriedades do inversor é possível que esses resultados possam ser estendidos para explicar o comportamento de outras estruturas digitais como as citadas anteriormente.

2. Objetivos

O objetivo geral deste guia é introduzir as ferramentas de design e leiaute de circuitos integrados, de forma que o aluno seja capaz de criar e simular circuitos utilizando as ferramentas da Mentor Graphics. Neste experimento, o circuito a ser criado e simulado será o inversor.

Os objetivos específicos são:

- Estudar as características de transferência de tensão, resistência, margens de ganho e comportamento dinâmico de uma porta inversora;
- Analisar com auxílio do SPICE a relação entre as dimensões dos transistores, a característica de transferência de tensão e o atraso de propagação em uma porta inversora;
- Introduzir o uso das ferramentas *Design Architect* e *IC Station* para o desenvolvimento do diagrama elétrico e do leiaute do circuito inversor e comparar os resultados das simulações entre eles (esquemático *versus* leiaute).

3. Considerações Iniciais

O inversor utiliza dois MOSFETs (transistor de efeito de campo tipo metal-óxido-semicondutor) casados, um MOSFET canal p, M_p , e um MOSFET canal n, M_n , com o corpo de cada dispositivo conectado à sua respectiva fonte. O diagrama de circuito do inversor está ilustrado na Figura 1.

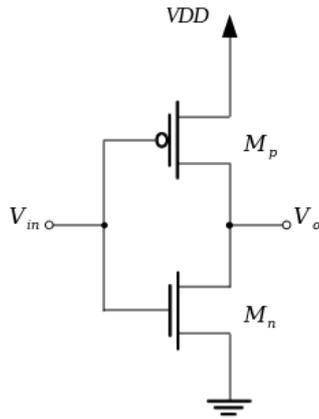


Figura 1: Circuito Elétrico do Inversor

O funcionamento do circuito inversor pode ser simplificado e facilmente entendido utilizando o modelo do transistor operando como uma chave. Quando uma tensão de nível lógico positivo é inserida na entrada do inversor, o transistor M_p opera como uma chave aberta e o transistor M_n opera como uma chave fechada de pequena resistência, e o nível lógico da saída é zero (figura 2 (a)). Quando uma tensão de nível lógico zero é aplicada na entrada do circuito o comportamento é oposto (figura 2 (b)).

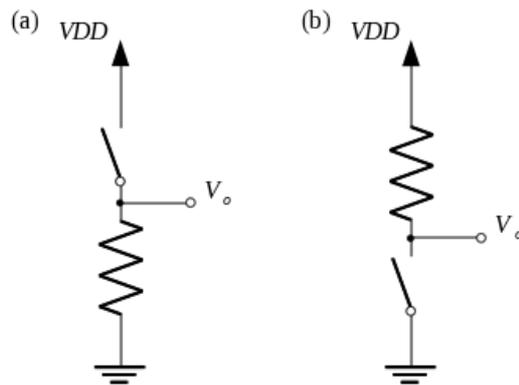


Figura 2: Modelo do inversor como chave

4. Característica de transferência de tensão

A característica de transferência de tensão do circuito inversor é o comportamento da tensão de saída desse circuito quando diferentes tensões de entrada são aplicadas sobre ele. Para obtê-la,

varia-se a tensão de entrada V_{in} de zero a VDD.

A análise do circuito do inversor é iniciada com a tensão de entrada (V_{in}) igual a zero, desse modo, o transistor M_p está ligado e na região de triodo ($V_{in} - VDD \leq V_{tp}$) e o transistor M_n está desligado.

Aumentando-se a tensão de entrada chega-se a um ponto no qual $V_{in} \geq V_{tn}$, o transistor M_n é ligado e está na região de saturação ($V_o \geq V_{in} - V_{tn}$), e passa a conduzir uma corrente de VDD através do transistor M_p que continua na região de triodo e funciona como uma resistência.

A tensão de saída (V_o) começa a cair cada vez mais com o aumento da tensão de entrada (V_{in}), porque tanto a resistência de M_p quanto a corrente que é drenada por M_n aumentam.

Com a tensão de saída (V_o) diminuindo cada vez mais, chega um ponto em que M_p entra na região de saturação ($V_o \leq V_{in} - V_{tp}$), então, ambos os transistores, M_p e M_n , se encontram na região de saturação.

Com a tensão de entrada V_{in} aproximando-se cada vez mais de VDD, o transistor M_n entra na região de triodo ($V_o \leq V_{in} - V_{tn}$) e faz o papel de resistência entre VDD e o terra.

Por fim, quando a tensão de entrada (V_{in}) é maior que $VDD + V_{tp}$, M_p desliga. E M_n permanece na região de triodo.

Toda a característica de transferência de tensão do circuito inversor é apresentada na figura

3.

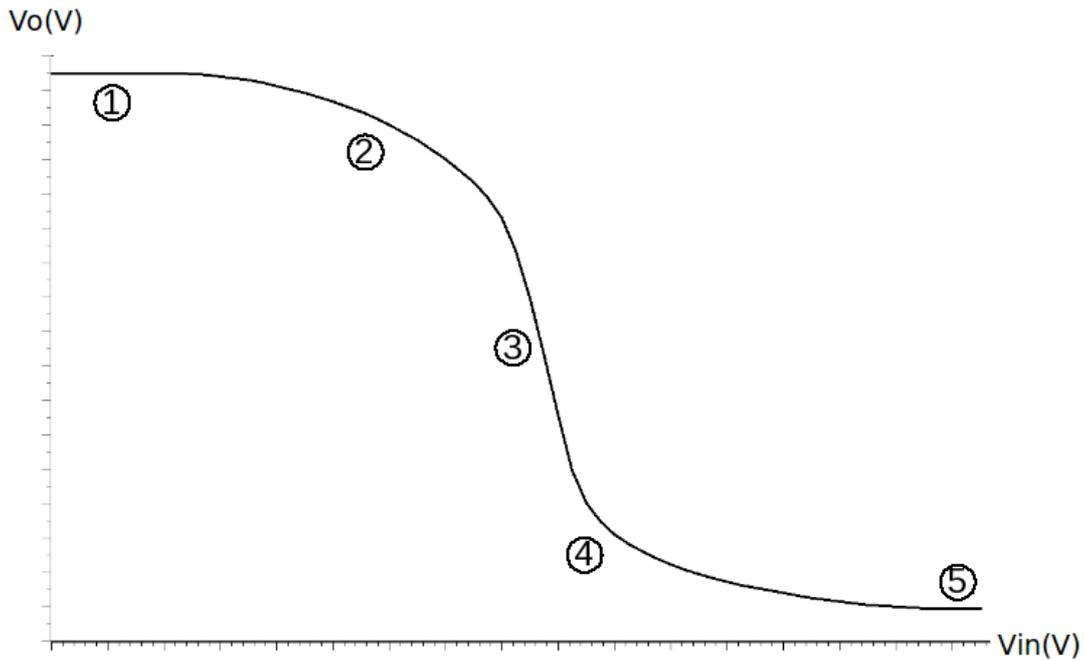


Figura 3: Curva Característica de Tensão do Inversor

Nas diferentes regiões da curva característica de transferência de tensão a corrente que atravessa os transistores é diferente, a seguir, são dadas estas expressões para determinação destas correntes

• **Região 1**

Transistor M_p : Região de Triodo

$$I_{Dp} = \mu_p C_{ox} \frac{W_p}{L_p} [(VDD - |V_{tp}|) V_{DS}] \quad (1)$$

Transistor M_n : Desligado

$$I_{Dn} = 0 \quad (2)$$

• **Região 2**

Transistor M_p : Região de Triodo

$$I_{Dp} = \mu_p C_{ox} \frac{W_p}{L_p} [(VDD - V_{in} - |V_{tp}|)(VDD - V_o) - \frac{1}{2}(VDD - V_o)^2] \quad (3)$$

Transistor M_n : Região de Saturação

$$I_{Dn} = \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \cdot (V_{in} - V_{tn})^2 \quad (4)$$

- **Região 3**

Transistor M_p : Região de Saturação

$$i_{dp} = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W_p}{L_p} \cdot (VDD - V_{in} - |V_{tp}|)^2 \cdot [1 + \lambda_p \cdot (VDD - V_o)] \quad (5)$$

Transistor M_n : Região de Saturação

$$I_{Dn} = \frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \cdot (V_{in} - V_{tn})^2 \cdot (1 + \lambda_n \cdot V_o) \quad (6)$$

- **Região 4**

Transistor M_p : Região de Saturação

$$I_{Dp} = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W_p}{L_p} \cdot (VDD - V_{in} - |V_{tp}|)^2 \quad (7)$$

Transistor M_n : Região de Triodo

$$I_{Dn} = \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \cdot (V_{in} - V_{tn}) \cdot V_o \quad (8)$$

- **Região 5**

Transistor M_p : Desligado

$$I_{Dp} = 0 \quad (9)$$

Transistor M_n : Região de Triodo

$$I_{Dn} = \mu_n C_{ox} \frac{W_n}{L_n} [(VDD - V_{tn}) V_{DS}] \quad (10)$$

5. Resistência do Inversor

Como já foi dito anteriormente quando o transistor M_n está na região de saturação drenando uma corrente de VDD , o transistor M_p , na região de triodo, funciona como uma resistência. A corrente que atravessa o transistor M_p na região de triodo é dada pela equação (1).

Portanto, é possível calcular a resistência do transistor M_p como

$$R_{DS} = \frac{V_{DS}}{I_D} = 1 / [\mu_p \cdot C_{ox} \cdot \frac{W_p}{L_p} \cdot (VDD - |V_{tp}|)] \quad (11)$$

Quando o transistor M_n está na região de triodo funcionando como uma resistência entre VDD e o terra, região 5 da curva característica de tensão, sua resistência é dada por

$$R_{DS} = 1 / \left[\mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \cdot (V_{DD} - V_{tn}) \right] \quad (12)$$

6. Casamento dos Transistores

É necessário que a curva de transferência de tensão do circuito inversor tenha uma característica simétrica. Como a velocidade dos portadores do transistor PMOS é em torno de um terço a metade da velocidade dos portadores do transistor NMOS, para que se tenha uma característica simétrica na curva de transferência de tensão, os dois transistores devem ser casados, para isso, faz-se a largura do transistor M_p de duas a três vezes maior que a largura de M_n .

Para encontrar a relação entre os dois transistores que faça a curva característica de transferência simétrica, toma-se o ponto da curva da figura 3 em que ambos os transistores estão na região de saturação, região 3.

A corrente que atravessa o transistor M_p é dada pela equação (5) e a corrente que atravessa o transistor M_n é dada pela equação (6).

Nesse ponto, a corrente que passa através dos dois transistores deve ser igual, assim como, a tensão de entrada V_{in} e V_o que deve ser $V_{DD}/2$.

$$\mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \cdot \left(\frac{V_{DD}}{2} - V_{tn} \right)^2 \cdot \left(1 + \lambda_n \cdot \frac{V_{DD}}{2} \right) = \mu_p \cdot C_{ox} \cdot \frac{W_p}{L_p} \cdot \left(\frac{V_{DD}}{2} - |V_{tp}| \right)^2 \cdot \left(1 + \lambda_p \cdot \frac{V_{DD}}{2} \right) \quad (13)$$

Reorganizando essa equação tem-se

$$\frac{\left(\frac{W_n}{L_n}\right)}{\left(\frac{W_p}{L_p}\right)} = \frac{\mu_p \cdot \left(\frac{VDD}{2} - |V_{tp}|\right)^2 \cdot \left(1 + \lambda_p \cdot \frac{VDD}{2}\right)}{\mu_n \cdot \left(\frac{VDD}{2} - V_{tn}\right)^2 \cdot \left(1 + \lambda_n \cdot \frac{VDD}{2}\right)} \quad (14)$$

Pode-se considerar que $\left(\frac{VDD}{2} - |V_{tp}|\right) \approx \left(\frac{VDD}{2} - V_{tn}\right)$ e também que $\left(1 + \lambda_p \cdot \frac{VDD}{2}\right) \approx \left(1 + \lambda_n \cdot \frac{VDD}{2}\right)$. Nos sistemas digitais L_n e L_p são escolhidos o menor valor possível e também podem ser considerados iguais. Portanto,

$$\frac{W_n}{W_p} = \frac{\mu_p}{\mu_n} \quad (15)$$

7. Comportamento dinâmico

O comportamento dinâmico do inversor é caracterizado pelo tempo necessário que uma alteração na entrada do circuito leva para causar uma alteração na saída. Esse atraso se deve ao tempo necessário para carregar ou descarregar as capacitâncias presentes no circuito.

7.1 Capacitâncias no inversor

Devido às várias capacitâncias presentes em um circuito MOS, dentre estas, as capacitâncias parasitas intrínsecas e as capacitâncias associadas às cargas, e ainda devido à característica não linear dos capacitores presentes no modelo do transistor MOS, computar manualmente cada uma dessas capacitâncias é praticamente impossível. Mas é possível fazer uma análise preliminar do comportamento do circuito inversor, simplificando-o como apresentado na figura 4 [Rabaey]. As capacitâncias parasitas apresentadas são aquelas que influenciam a resposta transiente do circuito inversor.

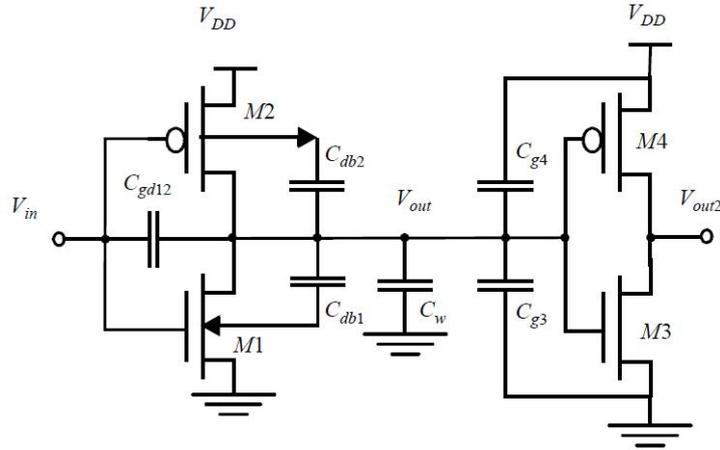


Figura 4: Capacitâncias parasitas em um circuito par de inversores em cascata [Rabaey]

C_{gd1} e C_{gd2} são as capacitâncias entre porta e dreno do transistor M_1 e porta e dreno do transistor M_2 , respectivamente, essas capacitâncias surgem devido a imprecisão do processo de fabricação que faz com que a difusão do dreno/fonte se estenda abaixo do óxido da porta.

C_{db1} e C_{db2} são as capacitâncias entre dreno e substrato devido a junção pn polarizada reversamente, esta capacitância tem um comportamento inteiramente não linear e depende muito da tensão aplicada, para linearizá-lo um fator de multiplicação K_{eq} é introduzido, onde K_{eq} é definido como

$$K_{eq} = \frac{-\phi_0^m}{(V_{high} - V_{low}) \cdot (1 - m)} \cdot [(\phi_0 - V_{high})^{1-m} - (\phi_0 - V_{low})^{1-m}] \quad (16)$$

Em que, m é o *grading coefficient* e ϕ_0 é o *built-in potential* dado pela relação

$$\phi_0 = \frac{kT}{q} \cdot \ln\left(\frac{N_A \cdot N_D}{n_i}\right) \quad (17)$$

N_A é a concentração de dopantes aceitadores, N_D é a concentração de dopantes doadores e n_i é a concentração de portadores intrínsecos do silício.

C_w É a capacitância correspondente a interconexão entre os inversores e depende da largura e do comprimento do condutor.

C_{g3} e C_{g4} correspondem as capacitâncias de entrada dos transistores M_3 e M_4 e assume-se que são iguais as capacitâncias da porta dos respectivos transistores

As expressões que determinam as capacitâncias parasitas da figura 4 são apresentadas a seguir

$$C_{gd1} = 2 \cdot C_{GDO_n} \cdot W_n \quad (18)$$

$$C_{gd2} = 2 \cdot C_{GDO_p} \cdot W_p \quad (19)$$

$$C_{db1} = K_{eqn} \cdot AD_n \cdot CJ + Keqn \cdot PD_n \cdot CJSW \quad (20)$$

$$C_{db2} = K_{eqp} \cdot AD_p \cdot CJ + Keqp \cdot PD_p \cdot CJSW \quad (21)$$

$$C_{g3} = (C_{GDO_n} + CGSO_n) W_n + C_{ox} W_n L_n \quad (22)$$

$$C_{g4} = (C_{GDO_p} + CGSO_p) W_p + C_{ox} W_p L_p \quad (23)$$

Em que:

- C_{GDO_n} é a capacitância de sobreposição porta-dreno por unidade de comprimento do canal referente ao transistor NMOS;
- C_{GDO_p} é a capacitância de sobreposição porta-dreno por unidade de comprimento do canal referente ao transistor PMOS;
- AD_n é a área da difusão de dreno referente ao transistor NMOS;
- AD_p é a área da difusão de dreno referente ao transistor PMOS;
- PD_n é o perímetro da difusão de dreno referente ao transistor NMOS;
- PD_p é o perímetro da difusão de dreno referente ao transistor PMOS;
- CJ é a capacitância de junção de fundo da fonte/dreno por unidade de área;
- $CJSW$ é a capacitância de junção lateral da fonte/dreno por unidade de comprimento;

Nesse experimento, como não há interesse no segundo inversor, que funciona como uma carga, é possível simplificar ainda mais o circuito da figura 4 e considerar somente um único inversor sem a linha de interconexão entre eles, figura 5.

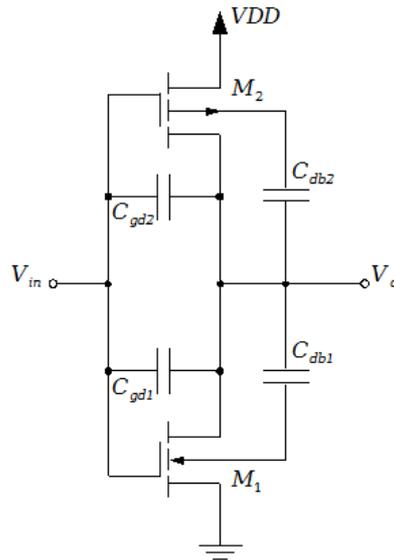


Figura 5: Capacitâncias parasitas presentes no circuito inversor

Para tornar a análise do circuito inversor tratável, assume-se que todas as capacitâncias estão agrupadas em um único capacitor C_L localizado entre V_o e o terra, figura 6, ou seja, C_L é a soma das capacitâncias parasitas apresentadas.

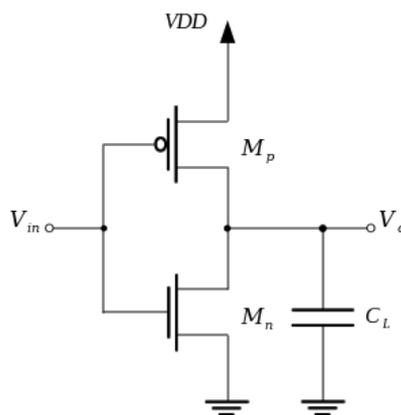


Figura 6: Circuito Inversor com capacitor C_L representando a soma das capacitâncias internas

7.2 Atraso de Propagação

O atraso de propagação (t_p) representa a velocidade com que o circuito responde a uma alteração na entrada. O atraso associado a uma transição da saída do nível alto para o nível baixo é denominado t_{pHL} , para a transição da saída do nível baixo para o nível alto o atraso é denominado t_{pLH} . A definição de t_{pHL} e t_{pLH} é o tempo medido entre os pontos de transição de 50% das formas de onda de saída e de entrada e é melhor entendida quando se observa a forma de onda apresentada na figura 7 [Rabaey].

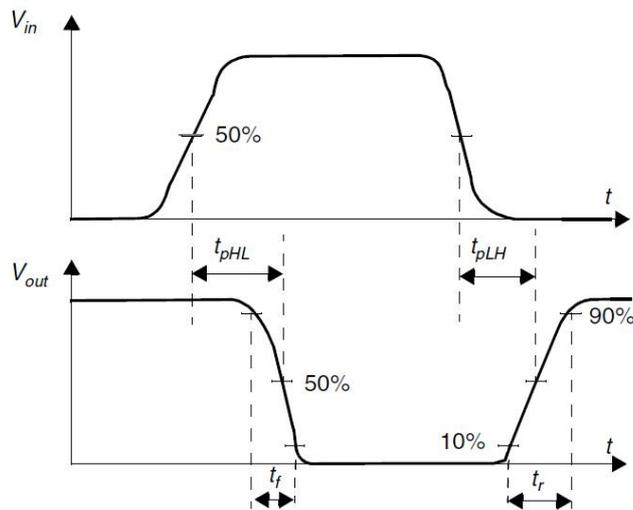


Figura 7: Definição de atraso de propagação e tempo de subida e descida [Rabaey]

O atraso de propagação é definido como uma média de t_{pHL} e t_{pLH}

$$t_p = (t_{pHL} + t_{pLH}) / 2 \quad (24)$$

O atraso de propagação t_p é uma métrica artificial e não tem significado próprio, mas serve como uma medida de comparação entre diferentes tecnologias.

Os tempos de subida (t_r) e descida (t_f) são unidades métricas que se aplicam as formas de onda individuais e definem a velocidade com que o sinal transita entre os níveis alto e baixo. Ilustrados na figura 7, esses tempos são medidos entre os pontos de 10% e 90% da forma de onda para que incertezas sobre quando a transição começa ou termina sejam evitadas.

Uma maneira de calcular o atraso de propagação em um circuito inversor é levar em consideração o tempo necessário para carregar ou descarregar o capacitor C_L , que agrupa todas as outras capacitâncias associadas ao circuito, durante as transições entre os níveis.

Utilizando o modelo de transistor como chave, o tempo de atraso em um circuito inversor é dado como o tempo necessário para descarregar (figura 8 (a)) ou carregar (figura 8 (b)) o capacitor mostrado nos circuitos da figura 8.

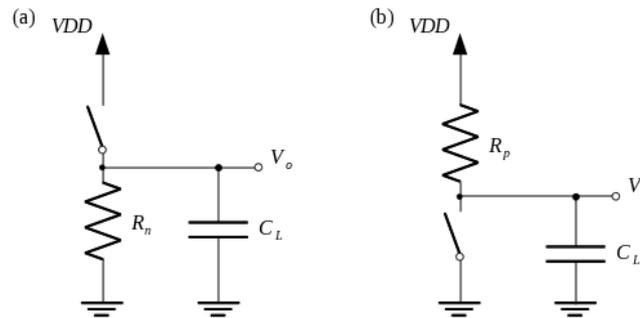


Figura 8: Modelo do Inversor como chave com o capacitor C_L representando a soma das capacitâncias internas

Portanto, o atraso de propagação t_{PHL} é calculado por

$$t_{PHL} = 0,69 \cdot R_n \cdot C_L \quad (25)$$

E o atraso de propagação t_{PLH} é calculado por

$$t_{PLH} = 0,69 \cdot R_p \cdot C_L \quad (26)$$

8. Realização do experimento

O valor de VDD utilizado em todo o experimento deve ser de 3,3V.

- 1) Simule em SPICE o circuito inversor da figura 1 e obtenha a curva característica de tensão para as razões W_n/W_p de 2u/1,3u, 2u/2,1u, 2u/3,7u, 2u/5,5u e 2u/6,9u. Utilize para o

PMOS e NMOS um comprimento $L=0,5u$. Plote todas as curvas em uma mesma janela e avalie os resultados. No EZwave adicione um cursor para ajudar na análise. Em alguma curva obteve-se uma curva característica de transferência de tensão simétrica?

- 2) No arquivo contendo o modelo dos transistores PMOS e NMOS há um parâmetro denominado U_0 , que corresponde a mobilidade dos portadores. Utilizando a equação 15 determine qual deve ser a razão W_n/W_p para que se obtenha a curva característica de transferência de tensão simétrica. Plote a curva característica de tensão do circuito inversor da figura 1 para a razão W_n/W_p encontrada. Utilize para o PMOS e NMOS um comprimento $L=0,5u$. Analise os resultados, a curva característica obtida foi simétrica?
- 3) Execute uma análise transiente para o circuito inversor da figura 1 com uma fonte de estímulo pulsada cuja tensão varie de 0V a 3,3V, com largura do pulso de 1ms, período de 2ms e tempo de subida e descida de 10us. Faça a análise para os transistores com razão W_n/W_p de 2u/1,3u, 2u/2,1u, 2u/3,7u, 2u/5,5u e 2u/6,9u. Utilize para o PMOS e NMOS um comprimento $L=0,5u$. Meça os valores de t_{PHL} , t_{PLH} e t e analise os resultados.
- 4) Repita a análise da questão anterior, para somente o circuito inversor com razão W_n/W_p de 2u/3,7u. Dessa vez, simule o circuito para quando são adicionadas capacitâncias de saída C_L , conforme a Figura 6, de 10pF, 50pF, 200pF, 500pF e 1000pF. Meça os valores de t_{PHL} , t_{PLH} e t e analise os resultados. Compare os valores dos atrasos de propagação para quando não há adição de carga.
- 5) Repita a análise transiente da questão 3) para o circuito inversor com razão W_n/W_p de 2u/3,7u. Faça a análise para as fontes de tensão pulsadas com as seguintes características:

- $V_1=0V$; $V_2=3,3V$; $TD=0$; $Tr=0,1us$; $Tf=0,1us$; $PW=1ms$; $Período=2ms$

- V1=0V; V2=3,3V; TD=0; Tr=0,1ns; Tf=0,1ns; PW=1us; Período=2us
- V1=0V; V2=3,3V; TD=0; Tr=0,10ps; Tf=0,10ps; PW=10ns; Período=20ns

Analise os resultados.

6) O leiaute do circuito inversor deve ser agora criado. Para a realização do leiaute, algumas etapas devem ser seguidas:

I.Utilizando o *Design Architect* um diagrama elétrico (esquemático) referente ao inversor deve ser criado , esse diagrama elétrico servirá como referência para avaliação do leiaute;

II.Uma vez feito o diagrama elétrico, um símbolo deve ser criado para representá-lo.

III.O símbolo será utilizado no *testbench*, ou seja, será criada uma “bancada de testes” para simular e avaliar o circuito. Como o circuito já foi bastante simulado e avaliado com o uso do Eldo e do EZwave, essa etapa serve apenas para confirmar os resultados obtidos anteriormente.

IV.Utilizando o *IC Station* o leiaute do circuito inversor será enfim criado.

V.Feito o leiaute do circuito inversor, deve ser executado o DRC (*Design Rule Checks*) que verifica se o leiaute que foi criado segue uma série de parâmetros recomendados pelo fabricante chamada de *Design Rules*.

VI.Uma vez executado o DRC e o leiaute for aprovado no teste, mais uma verificação deve ser feita, LVS (*Layout vs Schematic*) que determina se o leiaute do circuito integrado é equivalente ao esquemático criado anteriormente.

VII.Sendo o leiaute aprovado no teste LVS, o PEX (*Parasitic Extraction*) deve ser executado, ao se executar o PEX uma netlist SPICE será extraída do leiaute sendo adicionadas resistências, capacitâncias parasitas e capacitâncias de acoplamento que eram desconsideradas nas simulações anteriores.

VIII.Por fim, com a netlist que foi obtida através do PEX podemos simular e avaliar o

circuito inversor, com uso do *Eldo* e do *EZwave*, com resultados mais precisos que anteriormente, já que foram levados em conta as resistências e capacitâncias extraídas do leiaute.

Para a construção do leiaute do circuito inversor as seguintes especificações devem ser atendidas:

I.Os valores da largura do canal (W) e comprimento do canal (L) dos transistores devem ser aqueles em que se obteve uma curva característica simétrica nas simulações anteriores em SPICE.

II.Em um leiaute os valores dos transistores são medidos em função de lambda. Na tecnologia utilizada para a construção do leiaute (AMIS 0.5) o lambda equivale a 0,30um. Antes de começar a criação do leiaute os valores em micrometro devem ser convertidos para lambda.

III.Devem ser seguidas as *design rules* fornecidas pela MOSIS e que podem ser encontradas no endereço http://limc_server.dee.ufcg.edu.br/gem/.

IV.O aluno fica livre para construir o leiaute da forma e das dimensões desejadas, desde que, a largura (W) e comprimento (L) do canal tenham os valores especificados anteriormente, sejam seguidas as *design rules* fornecidas e que o leiaute seja aprovado pelos testes de DRC e LVS.

V.Devem ser seguidos os tutoriais do endereço http://limc_server.dee.ufcg.edu.br/gem/ para o desenvolvimento do diagrama elétrico (esquemático) e do leiaute do circuito inversor.

7) Com a netlist extraída do leiaute do circuito inversor através do PEX, devemos partir para a sua análise. A fonte de tensão pulsada, que serve como estímulo da entrada do inversor, deve ser alterada para as seguintes especificações.

•V1=0V; V2=3,3V; TD=0; Tr=0,1us; Tf=0,1us; PW=1ms; Período=2ms

•V1=0V; V2=3,3V; TD=0; Tr=0,1ns; Tf=0,1ns; PW=1us; Período=2us

• $V_1=0V$; $V_2=3,3V$; $TD=0$; $Tr=0,10ps$; $Tf=0,10ps$; $PW=10ns$; Período= $20ns$

Para cada uma destas especificações uma simulação deve ser realizada. Compare os resultados obtidos com os resultados da questão 5).

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Guia de Experimento em Microeletrônica

Experimento 3 Portas Lógicas

Campina Grande, Dezembro de 2009

Sumário

Experimento 3 – Portas Lógicas.....	2
1.Introdução.....	2
2.Objetivos.....	2
3.Estrutura Básica.....	2
4.Porta NAND de Duas Entradas.....	6
5.Porta NOR de Duas Entradas.....	7
6.Atrazo de Propagação.....	8
7.Dimensionamento dos Transistores.....	11
8.Realização do Experimento.....	12

Experimento 3 – Portas Lógicas

1. Introdução

Como foi dito no experimento passado os resultados encontrados para os circuitos inversores podem ser estendidos para os demais circuitos digitais. Nesse experimento a síntese de circuitos digitais continuará sendo abordada e o foco serão os circuitos lógicos combinacionais. Circuitos lógicos combinacionais são circuitos que não tem memória e que não possuem realimentação, sua saída é função somente dos sinais de entrada e está sempre disponível independente do tempo.

2. Objetivos

O objetivo geral deste guia é tornar o aluno apto a desenvolver circuitos digitais mais complexos, e saber como projetar as dimensões dos transistores de forma a maximizar o *fan-out* e diminuir os atrasos.

Os objetivos específicos são:

- Estudar as características dos circuitos lógicos combinacionais, mais especificamente das portas lógicas NAND e NOR;
- Estudar como são criadas portas lógicas a partir das redes abaixadoras (*pull-up network*) e das redes levantadoras (*pull-down network*);
- Estudar os atrasos de propagação das portas NAND e NOR;
- Estudar o projeto das dimensões dos transistores em circuitos lógicos combinacionais;
- Desenvolver e simular o esquema elétrico e leiaute de portas NAND e NOR.

3. Estrutura Básica

Uma porta CMOS é formada pela combinação de duas redes, uma rede chamada de rede levantadora (*pull-up network - PUN*) e outra rede chamada de rede abaixadora (*pull-down network - PDN*), figura 1.

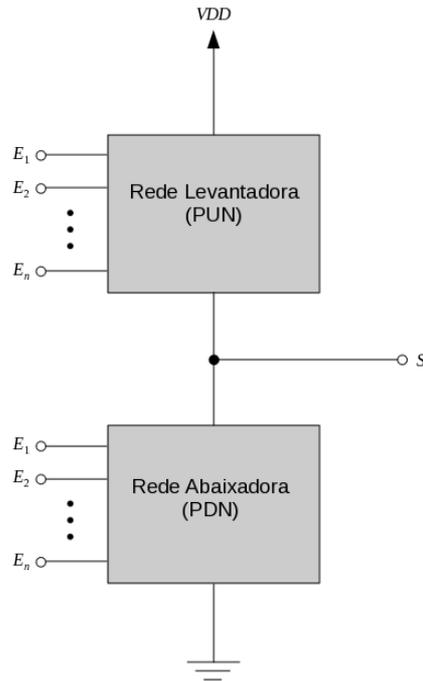


Figura 1: Representação de uma porta lógica como combinação da rede abaixadora e da rede levantadora

A rede levantadora é formada por transistores PMOS. Quando a combinação das entradas, figura 1, estiver em um nível lógico baixo, a rede levantadora será ativada e um nível de tensão VDD será conduzido para a saída.

A rede abaixadora é formada por transistores NMOS. Quando a combinação das entradas, figura 1, estiver em um nível lógico alto, a rede abaixadora será ativada e um nível de tensão baixo (terra) será conduzido para a saída.

As redes abaixadora e levantadora são construídas de forma complementar, mutualmente exclusiva, quando uma das redes estiver ativada a outra estará cortada, somente uma rede funciona por vez.

Fazendo uma comparação entre as porta CMOS e o inversor tem-se que no inversor o transistor NMOS funciona como uma rede abaixadora e o inversor PMOS funciona como uma rede levantadora, ambos controlados de forma complementar por uma tensão de entrada.

Qual a razão para a rede levantadora ser formada por transistores PMOS e a rede abaixadora ser formada por transistores NMOS? Isso se deve porque transistores NMOS produzem “zeros fortes” (*strong zeros*) e transistores PMOS produzem “uns fortes” (*strong ones*) [Rabaey].

Considere a figura 2, quando um capacitor está completamente carregado com uma tensão de VDD. Há duas maneiras de descarregar esse capacitor, utilizando um transistor NMOS (a) que força toda a saída para o nível do terra, ou utilizando um transistor PMOS (b) que faz com que a tensão de saída diminua para não menos que $|V_{tp}|$, já que que o transistor PMOS desliga nesse ponto e não há mais corrente de descarga. Por isso, é dito que transistores NMOS produzem “zeros fortes” e seu uso é preferível em redes abaixadoras.

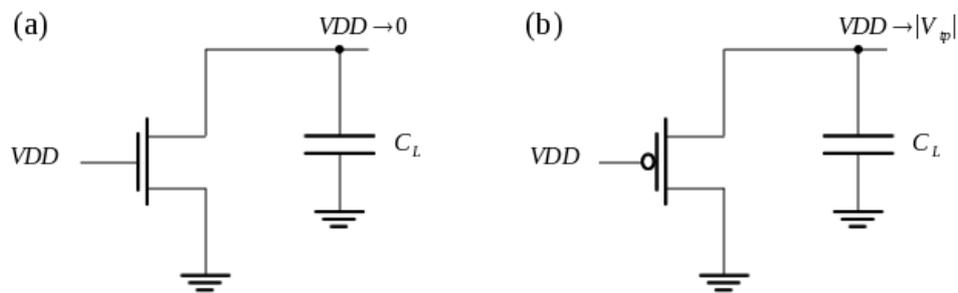


Figura 2: Capacitor sendo descarregado (a) através de um transistor NMOS (b) através de um transistor PMOS

Considere agora a figura 3, quando um capacitor está completamente descarregado. Há duas maneiras de carregar esse capacitor, uma é utilizando um transistor PMOS (b) que carregará o capacitor até a tensão de saída de VDD, a outra é utilizando um transistor NMOS (a) que carregará a tensão de saída até $VDD - V_{tn}$, já que nesse ponto o transistor NMOS deixa de funcionar e a corrente de carga do capacitor cessa. Por isso, é dito que transistores PMOS produzem “uns fortes” e seu uso é preferível em redes levantadoras.

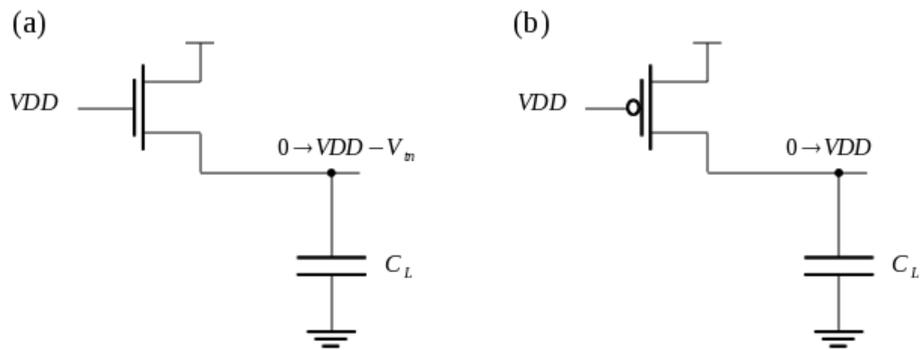


Figura 3: Capacitor sendo carregado (a) através de um transistor NMOS
(b) através de um transistor PMOS

As estruturas da rede abaixadora e da rede levantadora podem ser utilizadas para construir funções lógicas. Quando são utilizadas estruturas em paralelo a função lógica obtida é a OR e quando são utilizadas estruturas em série a função lógica obtida é a AND.

Por exemplo, a figura 4 mostra o exemplo de funções lógicas utilizando a estrutura da rede abaixadora. Em (a) quando a entrada E_1 ou E_2 estiver em nível alto a saída S será conduzida para o nível baixo (terra), a função lógica obtida, é portanto, $\bar{S} = E_1 + E_2$. Em (b) a saída S será conduzida para o terra somente quando ambas as entradas E_1 e E_2 estão em nível alto, obtendo a função lógica $\bar{S} = E_1 \cdot E_2$.

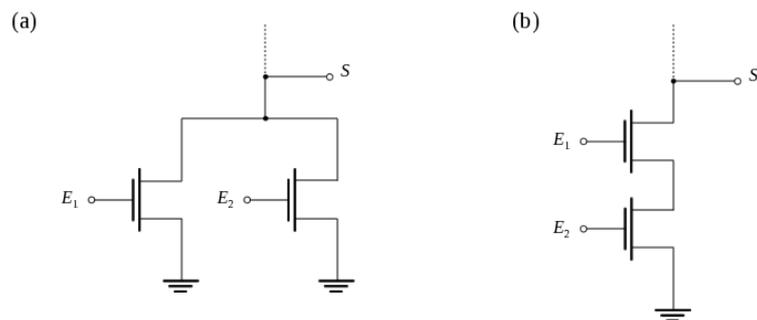


Figura 4: Exemplos de funções lógicas obtidas com a rede abaixadora

Um outro exemplo é o da figura 5, que mostra funções lógicas sendo obtidas utilizando a estrutura da rede levantadora. Em (a) quando a entrada E_1 ou E_2 estiver em nível baixo a saída S será conduzida para o nível alto (VDD), a função lógica obtida, é portanto,

$S = \bar{E}_1 + \bar{E}_2$. Em (b) a saída S será conduzida para o nível alto (VDD) somente quando ambas as entradas E_1 e E_2 estão em nível baixo, obtendo a função lógica $S = \bar{E}_1 \cdot \bar{E}_2$.

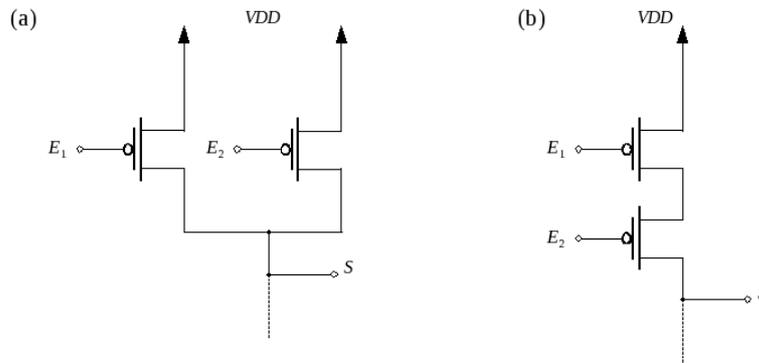


Figura 5: Exemplos de funções lógicas obtidas com a rede levantadora

4. Porta NAND de Duas Entradas

Para a porta lógica NAND de duas entradas, a equação Booleana é a seguinte $S = \overline{E_1 \cdot E_2}$, pelo teorema de De Morgan, $S = \bar{E}_1 + \bar{E}_2$.

A porta lógica é formada pela estrutura da rede abaixadora em conjunto da estrutura da rede levantadora.

Para formar a estrutura da rede abaixadora a combinação das entradas, E_1 e E_2 , devem fazer com que a saída S fique em nível baixo, tabela 1. Para isso, a estrutura deve consistir de dois transistores NMOS em série.

Para construir a estrutura da rede levantadora a combinação das entradas, E_1 e E_2 , devem fazer com que a saída S fique em nível alto, tabela 1. Para isso, a estrutura deve consistir de dois transistores PMOS em paralelo.

Tabela 1: Tabela da Verdade

E_1	E_2	S
0	0	1
0	1	1
1	0	1
1	1	0

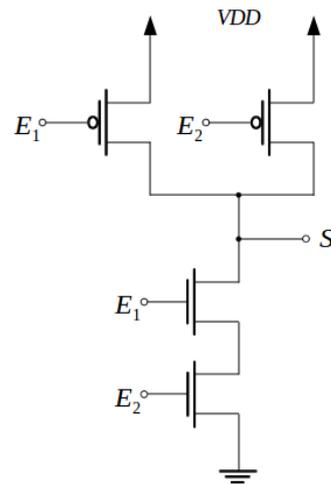


Figura 6: Porta NAND de duas entradas

Se for desejado adicionar mais entradas a essa porta, basta adicionar um transistor NMOS em série aos demais transistores da estrutura abaixadora e adicionar mais um transistor PMOS em paralelo aos demais da estrutura levantadora.

5. Porta NOR de Duas Entradas

Para a porta lógica NOR de duas entradas, a equação Booleana é a seguinte $S = \overline{E_1 + E_2}$, pelo teorema de De Morgan, $S = \overline{E_1} \cdot \overline{E_2}$.

A porta lógica é formada pela estrutura da rede abaixadora em conjunto da estrutura da rede levantadora.

Para formar a estrutura da rede abaixadora a combinação das entradas, E_1 e E_2 , devem fazer com que a saída S fique em nível baixo, tabela 2. Para isso, a estrutura deve consistir de dois transistores NMOS em paralelo.

Para construir a estrutura da rede levantadora a combinação das entradas, E_1 e E_2 , devem fazer com que a saída S fique em nível alto, tabela 2. Para isso, a estrutura deve consistir de dois transistores PMOS em série.

Tabela 2: Tabela da Verdade

E_1	E_2	S
0	0	1
0	1	0
1	0	0
1	1	0

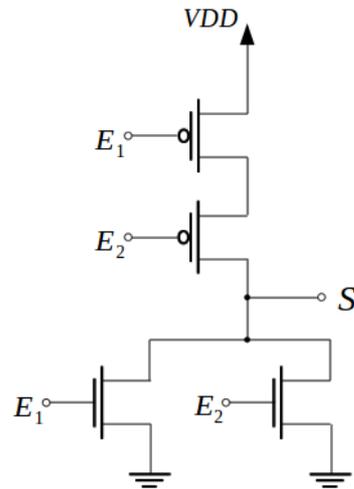


Figura 7: Porta NOR de duas entradas

6. Atraso de Propagação

A análise da computação dos atrasos das portas lógicas combinacionais é feita do mesmo modo que no circuito inversor. O transistor é modelado como um resistor em série a uma chave ideal, o circuito lógico é transformado em um circuito resistivo-capacitivo e os atrasos são computados como o tempo que o circuito leva para carregar ou descarregar as capacitâncias intrínsecas. A figura 8 apresenta o circuito lógico da porta NAND da figura 6 representado como uma malha resistiva-capacitiva com chaves.

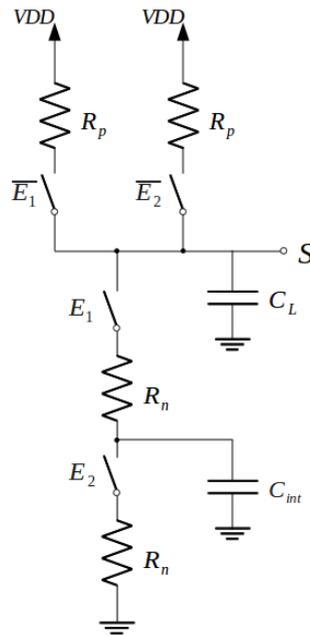


Figura 8: Malha RC equivalente da porta NAND

Em que, a capacitância C_{int} é atribuída à região de fonte/dreno e à capacitância de sobreposição (*overlap capacitance*) dos transistores NMOS.

Observa-se que, o atraso de propagação varia de acordo com a combinação dos valores das entradas. Como exemplo, considere a transição do nível lógico baixo para o alto.

O primeiro cenário é quando ambos os transistores PMOS estão ligados, ou seja, as chaves \overline{E}_1 e \overline{E}_2 estão fechadas. Nesse caso, o atraso de propagação pode ser computado como $t_{pLH} = 0,69 \cdot (R_p/2) \cdot C_L$, a resistência é reduzida devido aos dois transistores em paralelo.

Agora, considere que apenas um transistor PMOS está ligado, apenas a chave \overline{E}_1 ou \overline{E}_2 está ligada. Nesse caso, o atraso de propagação é ainda pior, $t_{pLH} = 0,69 \cdot R_p \cdot C_L$.

Se tomado como exemplo a transição do nível lógico alto para o baixo, deve-se ter os dois transistores NMOS desligados, as chaves E_1 e E_2 fechadas, o atraso de propagação será o pior possível, $t_{pHL} = 0,69 \cdot 2R_n \cdot C_L$, pois duas resistências estarão em série.

Então, ao serem adicionados dispositivos em série o atraso de propagação aumenta e quando estes dispositivos estão em paralelo o atraso diminui.

A análise que foi feita para a porta lógica NAND, é agora feita para a porta NOR da Figura 7. A Figura 9 apresenta o circuito lógico da porta NOR representado como uma malha resistiva-capacitiva com chaves.

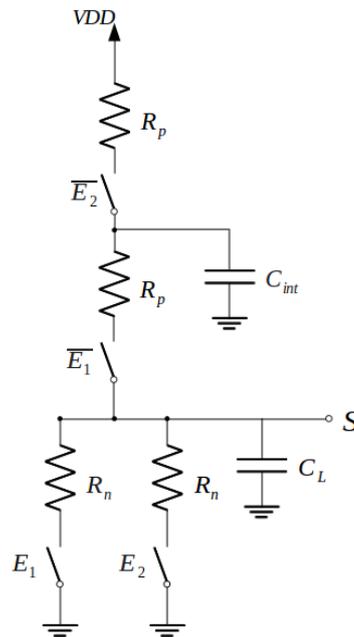


Figura 9: Malha RC equivalente da porta NOR

Em que, a capacitância C_{int} é atribuída à região de fonte/dreno e à capacitância de sobreposição (*overlap capacitance*) dos transistores PMOS.

Analisando o atraso de propagação quando há transição do nível lógico alto para o baixo. No primeiro cenário somente um transistor NMOS está ligado, portanto, o atraso de propagação é $t_{pHL} = 0,69 \cdot R_n \cdot C_L$. No segundo cenário, os dois transistores NMOS estão ligados o que dá um atraso $t_{pHL} = 0,69 \cdot (R_n/2) \cdot C_L$.

Analisando o atraso de propagação quando há transição do nível lógico baixo para o alto há somente um cenário possível que é quando os dois transistores PMOS estão ligados e o atraso de propagação é $t_{pLH} = 0,69 \cdot 2 R_p \cdot C_L$.

7. Dimensionamento dos Transistores

Em um projeto de um circuito lógico CMOS é necessário que as portas tenham capacidade de fornecer correntes iguais em ambas as direções, carga e descarga, do mesmo modo que o inversor.

Devem ser escolhidas razões W/L para todos os transistores de uma porta lógica, de modo que, a rede abaixadora seja capaz de descarregar o capacitor de carga ao menos com a mesma eficiência de um transistor NMOS, com $W/L=n$, da mesma forma, a rede levantadora deve carregar o capacitor de carga com a mesma eficiência do transistor PMOS, com $W/L=p$.

Para a escolha do tamanho dos dispositivos deve-se encontrar a combinação das entradas que resulte na menor corrente de saída e então escolher as dimensões que façam essa corrente igual à do inversor.

Como a resistência equivalente de um MOSFET é inversamente proporcional a W/L , se temos um conjunto de MOSFETs conectados em série com razões $(W/L)_1$, $(W/L)_2$, ..., a resistência equivalente será a soma das resistências de cada MOSFET.

$$R_{serie} = r_{DS1} + r_{DS2} + \dots$$

$$R_{serie} = \frac{\text{constante}}{(W/L)_1} + \frac{\text{constante}}{(W/L)_2} + \dots$$

$$R_{serie} = \frac{\text{constante}}{(W/L)_{eq}}$$

Então, a expressão para $(W/L)_{eq}$ dos transistores conectados em série é

$$(W/L)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots} \quad (1)$$

Da mesma maneira, que foi determinado $(W/L)_{eq}$ dos transistores conectados em série, é possível determinar $(W/L)_{eq}$ de uma associação de transistores em paralelo tendo razões $(W/L)_1$, $(W/L)_2$, ..., cuja expressão é

$$(W/L)_{eq} = (W/L)_1 + (W/L)_2 + \dots \quad (2)$$

Como exemplo, considere a porta NAND de duas entradas da figura 6 (página 7), neste circuito a menor corrente é obtida para a rede levantadora quando somente um transistor PMOS está conduzindo. Então, (W/L) de cada transistor PMOS deve ser escolhido como sendo igual ao do transistor PMOS do inversor básico, ou seja $(W/L)=p$. A menor corrente é obtida para a rede abaixadora quando os dois transistores NMOS estão conduzindo, então $(W/L)_{eq}$ é metade de (W/L) de cada transistor NMOS. Portanto, (W/L) de cada transistor NMOS deve ser escolhido como sendo o dobro do transistor NMOS do inversor básico, ou seja $(W/L)=2n$.

Considerando a porta NOR de duas entradas da figura 7 (página 8), os dispositivos da rede levantadora devem ter $(W/L)=2p$ e os dispositivos da rede abaixadora devem ter $(W/L)=n$. Sendo p (W/L) do transistor PMOS do inversor básico e n (W/L) do transistor NMOS do inversor básico.

Deve ser lembrado que a análise para dimensionamento dos transistores feita aqui serve apenas como uma análise de primeira ordem, ao se aumentar o tamanho dos transistores as capacitâncias parasitas também são aumentadas e não afeta apenas o atraso de propagação da porta em questão, mas das portas precedentes que vão ter uma maior carga adicionada.

8. Realização do Experimento

O valor de VDD utilizado em todo o experimento deve ser de 3,3V.

O valor de tensão de 3,3V indica nível lógico alto e o valor de tensão 0 indica nível lógico baixo.

- 1) Em SPICE descreva o circuito da porta NAND de duas entradas da figura 6 (página 7). O inversor com dispositivos de comprimento $L=0,5\mu$ e razão $W_n/W_p=2\mu/3,7\mu$ deve ser usado como referência para dimensionar essa porta lógica.

Realize uma análise transiente com as entradas do circuito (E_1 e E_2) estimuladas por fontes de tensão pulsadas com as seguintes características

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,5ms$; Período= $1ms$

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,1ms$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=1ms$; Período= $2ms$

Plote as curvas de tensão de entrada e de saída.

Meça os tempos de subida (t_r) para os casos

a) a entrada E_1 mantém o seu nível lógico $E_1=1$ e a entrada E_2 altera o seu nível lógico $E_2=1 \rightarrow 0$.

b) a entrada E_1 altera o seu nível lógico $E_1=1 \rightarrow 0$ e a entrada E_2 mantém o seu nível lógico $E_2=1$.

Meça os tempos de descida (t_f) para os casos

a) a entrada E_1 mantém o seu nível lógico $E_1=1$ e a entrada E_2 altera o seu nível lógico $E_2=0 \rightarrow 1$.

b) a entrada E_1 altera o seu nível lógico $E_1=0 \rightarrow 1$ e a entrada E_2 mantém o seu nível lógico $E_2=1$.

Os tempos de subida (t_r) foram iguais nos dois casos? E os tempos de descida (t_f)? Por que? Comente os resultados obtidos nessa simulação.

2) Repita a análise da questão anterior variando os parâmetros das fontes de tensão pulsadas para os seguintes valores

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1ns$; $Tf=0,1ns$; $PW=0,5\mu s$; Período= $1\mu s$

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,1\mu s$; $Tr=0,1ns$; $Tf=0,1ns$; $PW=1\mu s$; Período= $2\mu s$

Mais uma vez, repita a análise da questão anterior com fontes de tensão pulsadas com as seguintes características

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1ps$; $Tf=0,1ps$; $PW=5ns$; Período=10ns

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=1ns$; $Tr=0,1ps$; $Tf=0,1ps$; $PW=10ns$; Período=20ns

Analise e comente os resultados obtidos nessa simulação.

- 3) Em SPICE descreva o circuito da porta NOR de duas entradas da figura 7 (página 8). O inversor com dispositivos de comprimento $L=0,5\mu$ e razão $W_n/W_p=2\mu/3,7\mu$ deve ser usado como referência para dimensionar essa porta lógica.

Realize uma análise transiente com as entradas do circuito (E_1 e E_2) estimuladas por fontes de tensão pulsadas com as seguintes características

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,4ms$; Período=1,6ms

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,8ms$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,4ms$; Período=1,2ms

Plote as curvas de tensão de entrada e de saída.

Meça os tempos de subida (t_r) para os casos

a) a entrada E_1 mantém o seu nível lógico $E_1=0$ e a entrada E_2 altera o seu nível lógico $E_2=1 \rightarrow 0$.

b) a entrada E_1 altera o seu nível lógico $E_1=1 \rightarrow 0$ e a entrada E_2 mantém o seu nível lógico $E_2=0$.

Meça os tempos de descida (t_f) para os casos

a) a entrada E_1 mantém o seu nível lógico $E_1=0$ e a entrada E_2 altera o seu nível lógico $E_2=0 \rightarrow 1$.

b) a entrada E_1 altera o seu nível lógico $E_1=0 \rightarrow 1$ e a entrada E_2 mantém o seu nível lógico $E_2=0$.

Os tempos de subida (t_r) foram iguais nos dois casos? E os tempos de descida (t_f)? Por que? Comente os resultados obtidos nessa simulação.

4) Repita a análise da questão anterior variando os parâmetros das fontes de tensão pulsadas para os seguintes valores

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1ns$; $Tf=0,1ns$; $PW=0,4us$; Período= $1,6us$

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,8us$; $Tr=0,1ns$; $Tf=0,1ns$; $PW=0,4us$; Período= $1,2us$

Mais uma vez, repita a análise da questão anterior com fontes de tensão pulsadas com as seguintes características

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=1ps$; $Tf=1ps$; $PW=40ns$; Período= $160ns$

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=80ns$; $Tr=1ps$; $Tf=1ps$; $PW=40ns$; Período= $120ns$

Analise e comente os resultados obtidos nessa simulação.

5) Escolha uma das portas lógicas, NAND ou NOR de duas entradas, em que foram realizadas as simulações das questões anteriores, utilizando o inversor com dispositivos de comprimento $L=0,5u$ e razão $W_n/W_p=2u/3,7u$ como referência para dimensionar essa porta lógica e faça o que se pede

a)Utilizando o *Design Architect* desenvolva o diagrama elétrico e crie o símbolo da porta escolhida;

b)Ainda no ambiente do *Design Architect* crie o *testbench* (bancada de testes) para avaliar e simular o diagrama elétrico desenvolvido. Realize uma análise transiente com as entradas do

circuito (E_1 e E_2) estimuladas por fontes de tensão pulsadas com as seguintes características

Para a porta NAND:

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,5ms$;
Período=1ms

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,1ms$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=1ms$;
Período=2ms

Para a porta NOR:

●Entrada E_1 : $V1=0$; $V2=3,3V$; $TD=0$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,4ms$;
Período=1,6ms

●Entrada E_2 : $V1=0$; $V2=3,3V$; $TD=0,8ms$; $Tr=0,1\mu s$; $Tf=0,1\mu s$; $PW=0,4ms$;
Período=1,2ms

c)Utilizando o *IC Station* o leiaute da porta lógica escolhida deve ser criado;

d)Feito o leiaute da porta lógica, deve ser executado o DRC (*Design Rule Checks*);

e)Sendo o leiaute aprovado no teste de DRC deve-se realizar a verificação de LVS (*Layout vs Schematic*);

f)Com o leiaute aprovado nos testes de DRC e LVS a *netlist* do leiaute deve ser extraída através do PEX (*Parasitic Extraction*).

- 6) Utilizando a *netlist* extraída do leiaute. Repita a análise da questão 2, para a porta NAND, ou a análise da questão 4, para a porta NOR. Compare os resultados das simulações obtidos nas duas questões.

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Guia de Experimento em Microeletrônica

Experimento 4 Par Diferencial

Campina Grande, Dezembro de 2009

Sumário

Experimento 4 – Par Diferencial.....	2
1.Introdução.....	2
2.Objetivos.....	2
1.Nível de Modo Comum.....	2
2.Par Diferencial Básico.....	3
5.1Análise Qualitativa.....	4
5.2Análise Quantitativa.....	6
3.Par diferencial com carga MOS.....	8
4.Realização do Experimento.....	9

Experimento 4 – Par Diferencial

1. Introdução

O circuito par diferencial é utilizado nos circuitos analógicos lineares, como amplificadores, nos circuitos analógicos não-lineares, como multiplicadores, comparadores, moduladores e detectores de fase e em circuitos digitais, como circuitos ECL (*Emitter Coupled Logic*).

A utilidade do circuito par diferencial provém do fato de que é possível que pares diferenciais em cascata possam ser diretamente conectados sem a necessidade do uso de capacitores entre os estágios e também o par diferencial é sensível a diferença entre duas tensões de entrada, permitindo um alto grau de rejeição de sinais comuns a ambas as entradas.

Ainda pode-se citar que os pares diferenciais possuem resistência de entrada e rejeição ao ruído elevada.

2. Objetivos

O objetivo principal deste experimento é tratar sobre o desenvolvimento e análise do par diferencial.

Os objetivos específicos são:

- Definir o que é um sinal diferencial e o que é o nível de modo comum;
- Estudar o par diferencial básico através de análises qualitativas e quantitativas;
- Desenvolver o leiaute de um par diferencial com carga MOS.

1. Nível de Modo Comum

Um sinal diferencial é definido como aquele que é medido entre dois nós que tem sinais de excursão iguais e opostos em torno de um potencial fixo. Os dois nós devem exibir impedâncias iguais neste potencial. Na figura 1 [Razavi] é ilustrado o sinal diferencial, em que, o potencial central é chamado de nível de *modo comum*.

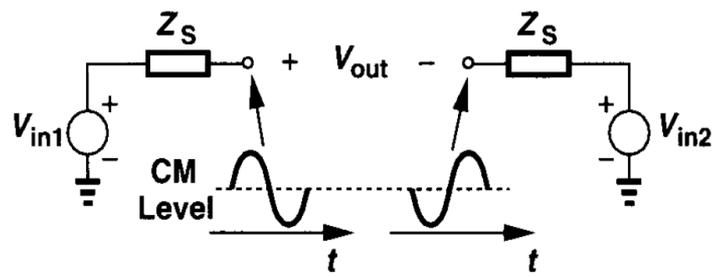


Figura 1: Representação do Sinal Diferencial [Razavi]

A operação diferencial apresenta uma alta imunidade ao ruído. Na figura 2(a) [Razavi] podemos verificar que se há uma variação ΔV em V_{DD} , então, a saída V_{out} é alterada por aproximadamente a mesma quantidade, ou seja, a saída é bastante sensível ao ruído. Na figura 2(b) [Razavi], sendo o circuito simétrico, a variação de ruído ΔV em V_{DD} afeta as saídas V_X e V_Y mas não afeta $V_{out} = V_X - V_Y$

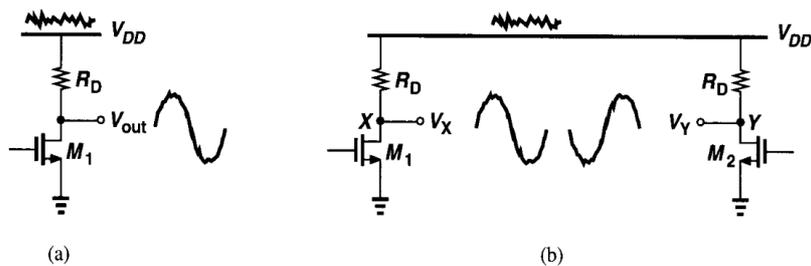


Figura 2: Efeito do ruído em (a) Circuito de saída única (b) Circuito diferencial [Razavi]

O nível em modo comum das duas saídas V_X e V_Y é afetado mas a saída diferencial V_{out} não é perturbada. O circuito diferencial rejeita o ruído de modo comum.

2. Par Diferencial Básico

Na Figura 3 são apresentados dois transistores NMOS casados, M_1 e M_2 , ligados pela fonte. Os dois transistores são polarizados por uma fonte de corrente constante I . Essa estrutura representa o Par Diferencial.

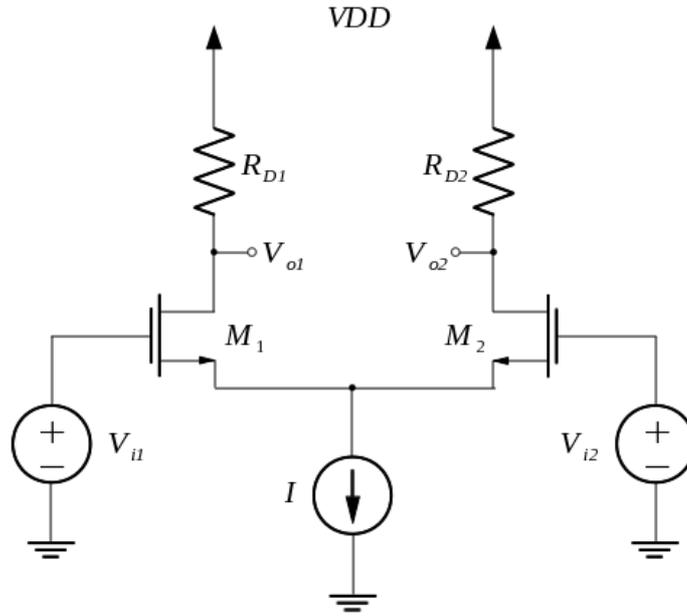


Figura 3: Estrutura do Par Diferencial

5.1 Análise Qualitativa

Para a análise qualitativa do circuito par diferencial da figura 3 deve-se assumir que $V_{id} = V_{i1} - V_{i2}$ varia de $-\infty$ a $+\infty$.

Quando a tensão V_{i1} é muito mais negativa que V_{i2} , o transistor M_1 está desligado e o transistor M_2 está ligado e conduz uma corrente $I_{D2} = I$. A tensão de saída V_{o1} , nesse caso, é $V_{o1} = VDD$ e a tensão de saída V_{o2} é $V_{o2} = VDD - R_{D2}I$.

Quando a tensão V_{i1} passa a crescer e se aproximar da tensão V_{i2} , o transistor M_1 passa a drenar uma parte da corrente I e como $I = I_{D1} + I_{D2}$ a corrente I_{D2} diminui. A tensão V_{o1} passa a diminuir e a tensão V_{o2} passa a aumentar.

Quando a tensão V_{i1} é igual a tensão V_{i2} , os dois transistores estarão conduzindo uma mesma corrente $I/2$ e as tensões de saída serão $V_{o1} = V_{o2} = VDD - R_D(I/2)$, considerando que as resistências R_{D1} e R_{D2} são iguais.

A medida que V_{i1} vai se tornando mais positiva que V_{i2} , a corrente I_{D1} e a tensão V_{o1} aumentam, a corrente I_{D2} e a tensão V_{o2} diminuem. Até chegar ao ponto em que o transistor M_1 conduz toda a corrente I e o transistor M_2 desliga, as tensões de saída são,

portanto, $V_{o1} = V_{DD} - R_{D1}I$ e $V_{o2} = V_{DD}$.

Na figura 4 é representado o comportamento do circuito par diferencial descrito anteriormente.

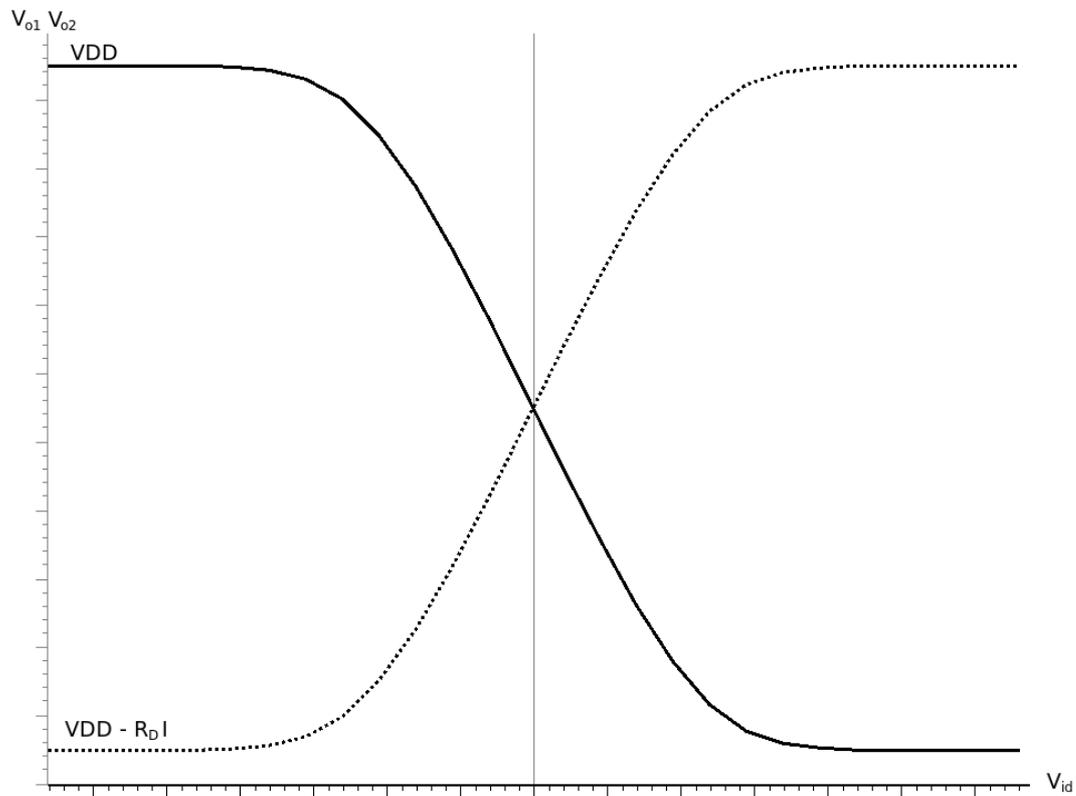


Figura 4: Característica de entrada e saída do par diferencial

Em que, a linha contínua representa a tensão de saída V_{o1} e a linha pontilhada representa a tensão de saída V_{o2} .

Pela análise anterior percebe-se que o máximo nível de tensão de saída é V_{DD} e o mínimo nível de tensão de saída é $V_{DD} - R_D I$. Além disso, percebe-se que o circuito tem um comportamento não linear maior quando se aumenta a variação da tensão de entrada. O circuito é dito equilibrado quando $V_{i1} = V_{i2}$.

5.2 Análise Quantitativa

Para a análise quantitativa deseja-se chegar a uma relação que descreva as correntes I_{D1} e I_{D2} do par diferencial em função da tensão diferencial, $V_{id} = V_{i1} - V_{i2}$.

Supondo que os dois dispositivos da figura 3 são idênticos, desprezando a resistência de saída e o efeito de corpo e assumindo que os resistores de dreno são pequenos o suficiente para que nenhum transistor opere na região de triodo se $V_{i1} \leq VDD$ e $V_{i2} \leq VDD$. Pode-se expressar a corrente de dreno como

$$I_{D1} = \frac{1}{2} k' \frac{W}{L} (V_{GS1} - V_t)^2 \quad (1)$$

$$I_{D2} = \frac{1}{2} k' \frac{W}{L} (V_{GS2} - V_t)^2 \quad (2)$$

As equações (1) e (2) podem ser re-escritas como

$$V_{GS1} = V_t + \sqrt{\frac{2I_{D1}}{k'(W/L)}} \quad (3)$$

$$V_{GS2} = V_t + \sqrt{\frac{2I_{D2}}{k'(W/L)}} \quad (4)$$

Por meio da lei das tensões de Kirchhoff em torno do circuito de entrada da figura 3, chega-se a seguinte relação

$$V_{i1} - V_{GS1} + V_{GS2} - V_{i2} = 0 \quad (5)$$

Substituindo (3) e (4) em (5) e reorganizando, tem-se

$$V_{i1} - V_{i2} = \sqrt{\frac{2I_{D1}}{k' \frac{W}{L}}} - \sqrt{\frac{2I_{D2}}{k' \frac{W}{L}}} \quad (6)$$

Por meio da lei das correntes de Kirchhoff tem-se a seguinte relação

$$I = I_{D1} + I_{D2} \quad (7)$$

O objetivo agora, é calcular a corrente de saída diferencial $I_{D1} - I_{D2}$, para isso, os dois lados da equação (6) devem ser elevados a potência de dois obtendo

$$(V_{i1} - V_{i2})^2 = \frac{2}{k' \frac{W}{L}} (I - 2\sqrt{I_{D1} I_{D2}}) \quad (8)$$

Reorganizando tem-se

$$\frac{1}{2} k' \frac{W}{L} (V_{i1} - V_{i2})^2 - I = -2\sqrt{I_{D1} I_{D2}} \quad (9)$$

Elevando os dois lados da equação (9) a potência de dois e observando que $4I_{D1} I_{D2} = (I_{D1} + I_{D2})^2 - (I_{D1} - I_{D2})^2 = I^2 - (I_{D1} - I_{D2})^2$, chega-se a relação da corrente diferencial $I_{D1} - I_{D2}$.

$$I_{D1} - I_{D2} = \frac{1}{2} k' \frac{W}{L} (V_{i1} - V_{i2}) \sqrt{\frac{4I}{k' \frac{W}{L}} - (V_{i1} - V_{i2})^2} \quad (10)$$

A partir daí, é possível chegar a relação de I_{D1} em função da tensão diferencial, resolvendo (7) para I_{D2} e substituindo em (10)

$$I_{D1} = \frac{I}{2} + \frac{k' W}{4 L} V_{id} \sqrt{\frac{4I}{k' \frac{W}{L}} - V_{id}^2} \quad (11)$$

De maneira similar chega-se a expressão para I_{D2}

$$I_{D2} = \frac{I}{2} + \frac{k' W}{4 L} V_{id} \sqrt{\frac{4I}{k' \frac{W}{L}} - V_{id}^2} \quad (12)$$

As equações (11) e (12) são válidas somente quando os dois transistores operam na região ativa ou de saturação. Quando M_1 desliga tem-se que $I_{D1} = 0$ e $I_{D2} = I$. Quando M_2 desliga tem-se que $I_{D1} = I$ e $I_{D2} = 0$ substituindo esses valores em (6) chega-se a

$$|V_{id}| \leq \sqrt{\frac{2I}{k' \frac{W}{L}}} \quad (13)$$

Então, conclui-se que ambos os transistores operam na região ativa se V_{id} atender a equação (13).

3. Par diferencial com carga MOS

Na fabricação de circuitos integrados, resistores com valores bem controlados ou de tamanhos físicos razoáveis são difíceis de serem obtidos. É possível substituir as resistências existentes, por exemplo, no circuito da figura 3 por transistores MOS.

Para fazer um transistor MOS funcionar como uma resistência para pequenos sinais é feito um curto-circuito entre os terminais da porta e do dreno, como ilustrado na figura 5.

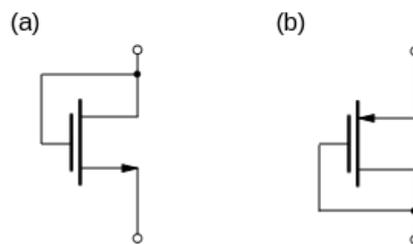


Figura 5: Configuração como um resistor de um (a) NMOS e de um (b) PMOS

A impedância do dispositivo pode ser dada pela relação

$$Z \approx \frac{1}{g_m + g_{mb}} \quad (14)$$

Em que,

- g_m é a transcondutância do dispositivo;
- g_{mb} é a transcondutância de corpo do dispositivo.

Utilizando o transistor MOS como carga, o par diferencial da figura 3 não necessita mais ser implementado com resistores lineares. Então, a configuração do par diferencial quando utilizado dispositivos PMOS como carga é exemplificada na figura 6.

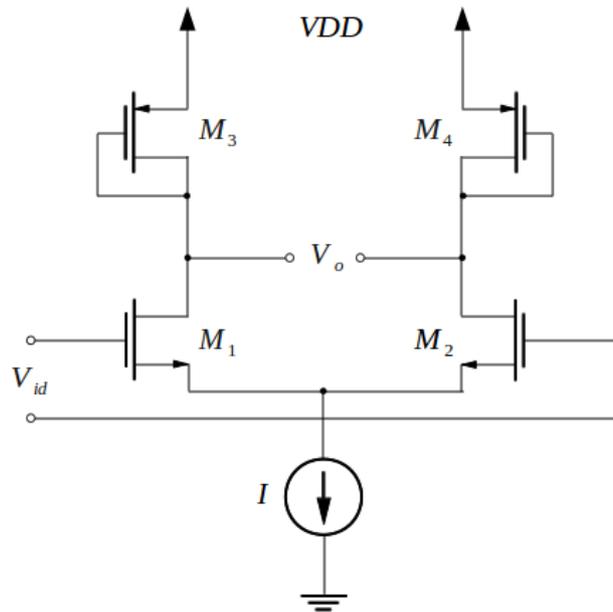


Figura 6: Par diferencial com carga ativa

4. Realização do Experimento

Nas questões seguintes, quando não afirmado o contrário, assuma $VDD=3,3V$ quando necessário.

- 1) Para o circuito par diferencial da figura 3, quais devem ser as máximas e mínimas tensões de saída quando usados resistores de $1k\Omega$, $2k\Omega$ e $3k\Omega$? Faça a descrição em SPICE desse circuito quando usados dispositivos NMOS com $W/L=50u/0,5u$ e uma fonte de corrente de $1mA$, as tensões de entrada V_{i1} e V_{i2} devem ser agrupadas em uma única fonte de tensão $V_{id}=V_{i1}-V_{i2}$. Realize uma análise DC, com a fonte de tensão V_{id} varrendo os valores de $-0,66V$ a $0,66V$ e plotando os valores das tensões de saída V_{o1} e V_{o2} .Comente os resultados obtidos. Por que foi utilizado $|V_{id}|=0,66V$?

- 2) Repita a análise da questão 1 para os dispositivos NMOS com razões $W/L=50u/0,5u$, $W/L=40u/0,5u$ e $W/L=20u/0,5u$ e utilizando resistores de $2k\Omega$. O que acontece com os valores das tensões de saída V_{o1} e V_{o2} ? Qual variação ocorre nas

correntes I_{D1} e I_{D2} quando utilizadas diferentes razões de W/L ? Comente os resultados observados.

- 3) O circuito da figura 7 apresenta entradas em nível de modo comum. Faça a descrição em SPICE desse circuito quando usados dispositivos NMOS com $W/L=50\mu/0,5\mu$, tensão $V_b=1V$ e resistores de $2k\Omega$. Realize uma análise DC, com a tensão em nível de modo comum $V_{in,CM}$ percorrendo os valores de $0V$ a VDD . Plote nos gráficos de saída as tensões V_{o1} e V_{o2} e as correntes I_{D1} e I_{D2} em função de $V_{in,CM}$. Responda, $V_{in,CM}$ pode assumir valores altos e baixos arbitrários, ou existem valores limites? Comente os resultados observados.
- 4) Realize a mesma análise da questão 3, para o transistor M_3 com razões $W/L=50\mu/0,5\mu$, $W/L=40\mu/0,5\mu$, $W/L=20\mu/0,5\mu$. O transistor M_3 funciona como que componente? Como é possível controlar a corrente do par diferencial? Comente os resultados observados.
- 5) Utilizando o par diferencial com carga ativa da figura 6 com os dispositivos M_1 e M_2 com razões $W/L=50\mu/0,5\mu$ e fonte de corrente de $1mA$. Realize análises DC com a tensão V_{id} varrendo os valores de $-1V$ a $1V$ quando são utilizados dispositivos PMOS (M_3 e M_4) de razões $W/L=50\mu/0,5\mu$, $W/L=30\mu/0,5\mu$ e $W/L=10\mu/0,5\mu$. Plote nos gráficos de saída as tensões V_{o1} e V_{o2} e as correntes I_{D1} e I_{D2} . Compare esses resultados com os que foram obtidos na questão 2, qual das razões W/L pode ser utilizada para substituir os resistores de $2k\Omega$? Por que? Comente os resultados observados.

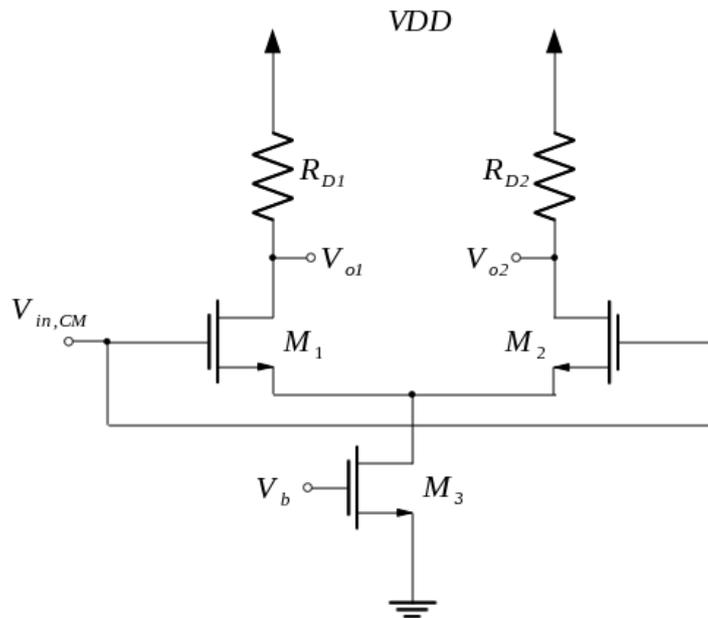


Figura 7: Par diferencial com entrada em nível de modo comum

- 6) Utilizando o *Design Architect* desenvolva o esquemático do par diferencial com cargas ativas da questão 5 com a razão W/L dos dispositivos M_3 e M_4 sendo a utilizada para substituir resistores de $2k\Omega$ e realize a mesma simulação feita na questão 5. Em seguida, utilizando o *IC Station*, construa o leiaute para esse mesmo par diferencial e realize o DRC (*Design Rules Check*), LVS (*Layout vs Schematic*) e PEX (*Parasitic Extraction*). Por fim, utilizando o *Eldo*, realize a simulação descrita na questão 5 com a *netlist* obtida através do PEX.

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Guia de Experimento em Microeletrônica

Experimento 5 Espelho de Corrente

Campina Grande, Dezembro de 2009

Sumário

Experimento 5 – Espelho de Corrente.....	2
1.Introdução.....	2
2.Objetivos.....	2
3.Considerações iniciais.....	2
4.Espelho de corrente.....	4
4.1Espelho de corrente básico.....	4
4.2Espelho de corrente em cascata.....	5
5.Realização do Experimento.....	7

Experimento 5 – Espelho de Corrente

1. Introdução

Espelhos de corrente são dispositivos amplamente utilizados em circuitos integrados analógicos. Podem ser utilizados tanto como elementos de polarização assim como componentes de processamento de sinais. O espelho de corrente é desenvolvido para que a corrente fornecida por uma fonte de corrente utilizada como referência seja copiada para outras malhas do circuito, a corrente a ser copiada pode ainda ser multiplicada por um ganho determinado. Nesse experimento, serão apresentados o espelho de corrente básico e o espelho de corrente em cascata.

2. Objetivos

O objetivo principal deste experimento é tratar sobre o desenvolvimento e análise do circuito espelho de corrente.

Os objetivos específicos são:

- Estudar o funcionamento e propriedades do espelho de corrente;
- Observar por meio de simulações o comportamento do espelho de corrente básico e do espelho de corrente em cascata;
- Desenvolver o leiaute de um espelho de corrente em cascata.

3. Considerações iniciais

Antes de iniciar a discussão sobre o espelho de corrente considere o transistor MOS polarizado pela malha resistiva apresentada na figura 1.

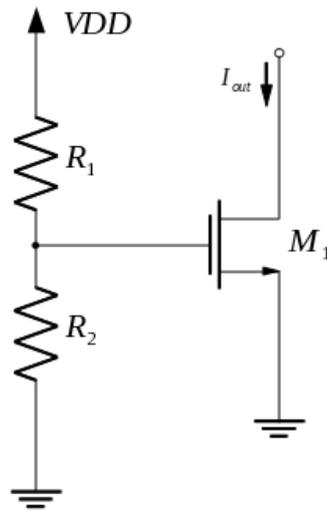


Figura 1: Malha resistiva polarizando o dispositivo M_1

Considerando que o transistor M_1 se encontra na saturação, a corrente que o atravessa é dada pela seguinte relação

$$I_{out} \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left(\frac{R_2}{R_2 + R_1} V_{DD} - V_t \right)^2 \quad (1)$$

Essa relação revela que a corrente I_{out} depende da fonte de alimentação, ou seja, qualquer variação de VDD causa uma variação da corrente que circula o transistor. M_1 depende da tensão de *threshold* V_t , que pode variar em torno de 100 mV por *wafers*, e ainda depende da temperatura, já que μ_n e V_t apresentam uma dependência da temperatura.

Devido as razões apresentadas é necessário procurar algum outro método para polarizar fontes de corrente MOS.

O método para o desenvolvimento de fontes de correntes é copiar as correntes de uma determinada referência. Esta referência deve ser uma fonte de corrente bastante precisa e já disponível no circuito. É possível que a corrente de referência seja copiada para outras malhas do circuito, conforme é ilustrado na figura 2.

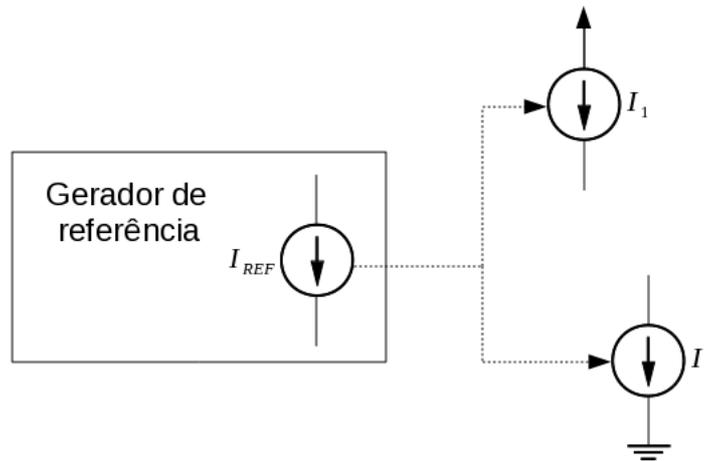


Figura 2: Referência utilizada para gerar várias correntes

4. Espelho de corrente

4.1 Espelho de corrente básico

A estrutura apresentada na figura 3 é referente ao par diferencial básico, consistindo apenas de dois dispositivos MOS e uma fonte de corrente de referência.

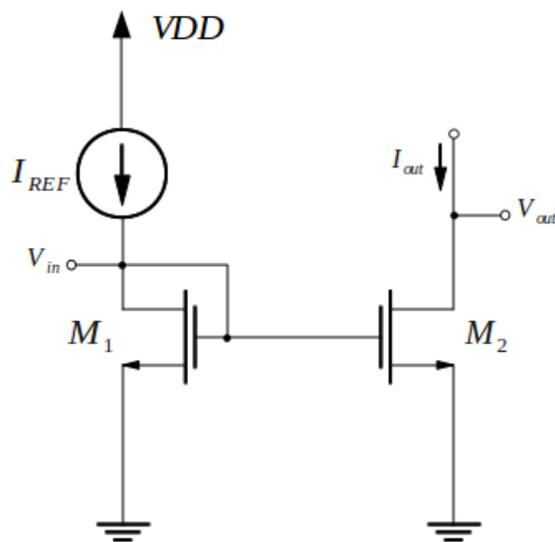


Figura 3: Espelho de corrente básico

De modo geral os dispositivos não precisam ser idênticos. Desprezando a modulação de comprimento de canal pode-se escrever

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \frac{W_1}{L_1} (V_{GS} - V_t)^2 \quad (2)$$

$$I_{out} = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_{GS} - V_t)^2 \quad (3)$$

Daí, a seguinte relação é obtida

$$I_{out} = \frac{W_2/L_2}{W_1/L_1} I_{REF} \quad (4)$$

Idealmente, a corrente de saída é igual a corrente de entrada multiplicada por um ganho de corrente desejado. Se o ganho é unitário, a corrente de entrada é refletida para a saída, o que leva ao nome *espelho de corrente*.

Através da equação (4) percebe-se que o ganho do espelho de corrente pode ser maior ou menor que a unidade devido a relação entre os transistores. Para a relação entre os transistores tanto a largura quanto o comprimento do canal podem ser feitas desiguais, mas raramente os comprimentos de M_1 e M_2 são feitos assim. Os comprimentos de M_1 e M_2 são normalmente mantidos iguais para que seja evitada a dependência do processo.

A propriedade principal dessa topologia é que é possível realizar uma cópia precisa da corrente sem a dependência da temperatura e do processo.

4.2 Espelho de corrente em cascata

Na implementação do espelho de corrente básico foram desprezados os efeitos da modulação de comprimento de canal. Na prática, esses efeitos causam erros na cópia das correntes. Para o espelho de corrente da figura 3 as equações da corrente de referência e da corrente de saída, considerando os efeitos de modulação de canal, podem ser re-escritas como

$$I_{REF} = \frac{1}{2} \mu_n C_{ox} \frac{W_1}{L_1} (V_{GS} - V_t)^2 (1 + \lambda V_{DS1}) \quad (5)$$

$$I_{out} = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_{GS} - V_t)^2 (1 + \lambda V_{DS2}) \quad (6)$$

Daí, obtém-se a seguinte relação

$$\frac{I_{D2}}{I_{D1}} = \frac{(W_2/L_2)}{(W_1/L_1)} \cdot \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \quad (7)$$

De modo a anular os efeitos da modulação em canal, uma fonte de corrente em cascada pode ser usada. Como mostrado na figura 4. Se V_b é escolhido de modo que $V_Y = V_X$, a corrente I_{out} segue de perto a corrente I_{REF} . Os comprimentos dos transistores M_1 , M_2 e M_3 devem ser iguais.

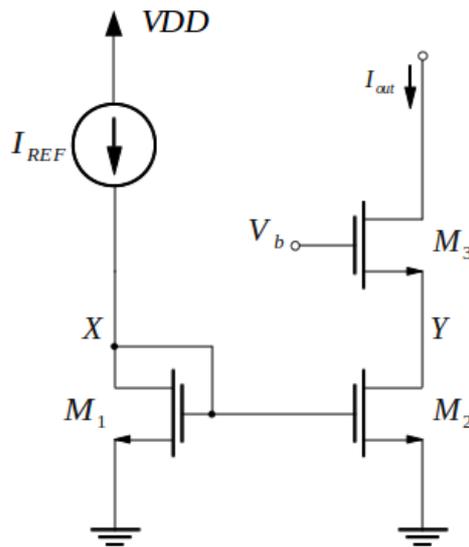


Figura 4: Fonte de corrente em cascata

Como deseja-se fazer $V_Y = V_X$, deve-se garantir que $V_b - V_{GS3} = V_X$ ou $V_b = V_{GS3} + V_X$, para isso, adiciona-se outro dispositivo, M_0 , ao circuito da figura 4 em série ao transistor M_1 com os terminais de porta e de dreno curto-circuitados como exibido na figura 5, a partir daí, gerando uma tensão $V_N = V_{GS0} + V_X$. Com a escolha adequada de M_0 em relação a M_3 tem-se que $V_{GS0} = V_{GS3}$. Então, no nó N , $V_{GS0} + V_X = V_{GS3} + V_Y$. Dessa forma, se $(W_3/L_3)/(W_0/L_0) = (W_2/L_2)/(W_1/L_1)$ obtém-se $V_{GS0} = V_{GS3}$ e $V_X = V_Y$.

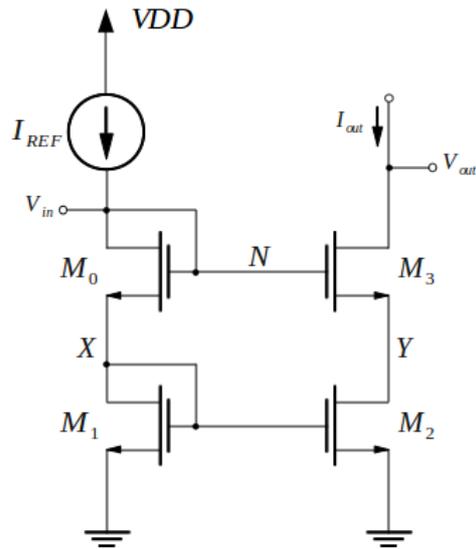


Figura 5: Espelho de corrente em cascata

5. Realização do Experimento

Nas questões seguintes, quando não afirmado o contrário, assuma $V_{DD}=3,3V$ quando necessário.

- 1) Para o circuito da figura 1, assuma que o dreno do dispositivo M_1 está ligado diretamente ao VDD e que $(W_1/L_1)=50\mu m/0,5\mu m$. Qual deve ser o valor de R_1 e de R_2 para se ter uma corrente de saída $I_{out}=0,5mA$? Realizando uma simulação transiente plote o valor da corrente I_{out} . Uma solução para determinar os valores das resistências é utilizar a equação 1 com os valores de K e V_t calculados no experimento 1. A partir desses valores é que deve ser feita a simulação, podendo ser necessário a realização de algumas simulações para ajustar as resistências de modo a obter uma corrente de saída $I_{out}=0,5mA$. Comente os resultados observados.

- 2) Para o circuito da figura 3, assuma que o VDD está ligado diretamente ao dreno do transistor M_2 , quais devem ser os valores de (W_2/L_2) e de W_1/L_1 para que seja

obtida uma corrente de saída $I_{out}=0,5mA$ quando está disponível uma fonte de corrente $I_{REF}=100\mu A$? Realize uma análise DC com a fonte de corrente percorrendo os valores de 0 a $100\mu A$ e plote no gráfico de saída a corrente I_{out} . Comente os resultados observados

3) Com os valores de (W_2/L_2) e de W_1/L_1 determinados na questão 2, realize uma análise DC para o circuito da figura 3 utilizando uma fonte de corrente $I_{REF}=100\mu A$, faça a fonte de alimentação percorrer os valores de 0 a $3,3V$ e plote no gráfico de saída a corrente I_{out} . Houve alguma variação de I_{out} com a variação da tensão de alimentação? Comente os resultados obtidos.

4) A partir do circuito da figura 5, com o dreno do transistor M_3 ligado diretamente ao VDD, projete um espelho de corrente que tenha uma corrente de saída $I_{out}=200\mu A$ quando utilizada uma fonte de corrente de mesmo valor. Execute a simulação desse circuito para uma análise DC com a fonte de corrente percorrendo os valores de 0 a $200\mu A$. Comente os resultados obtidos.

5) Utilizando o espelho de corrente projetado na questão 4 faça o que se pede a seguir:

a)Utilizando o *Design Architect* desenvolva o diagrama elétrico e crie o símbolo do espelho de corrente;

b)Ainda no ambiente do *Design Architect* crie o *testbench* (bancada de testes) para avaliar e simular o diagrama elétrico desenvolvido. Realize uma análise DC com a fonte de corrente percorrendo os valores de 0 a $200\mu A$.

c)Utilizando o *IC Station* o leiaute do espelho de corrente deve ser criado;

d)Feito o leiaute, deve ser executado o DRC (*Design Rule Checks*);

e)Sendo o leiaute aprovado no teste de DRC deve-se realizar a verificação de LVS (*Layout*

vs *Schematic*);

f) Com o leiaute aprovado nos testes de DRC e LVS a *netlist* do leiaute deve ser extraída através do PEX (*Parasitic Extraction*).

g) Utilizando a *netlist* extraída do leiaute. Repita a análise da questão 2 e compare os resultados das simulações. Comente os resultados obtidos.