

UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENG. ELÉTRICA E INFORMÁTICA
UNIDADE ACADÊMICA DE ENGENHARIA
ELÉTRICA

TRABALHO DE ESTÁGIO

Montagem de Bancada de Desenvolvimento
Com o DSP TMS320F28335

Bernard de Sá Gouveia

Orientador: Cursino Brandão Jacobina
setembro de 2009

Sumário

1	Introdução	2
2	Bancada de Desenvolvimento	2
2.1	Introdução	2
2.2	Layout	2
3	Processador Digital de sinais (DSP)	4
3.1	Introdução	4
3.2	Ferramenta de Desenvolvimento [1,2]	4
3.3	Atividades Desenvolvidas	5
3.3.1	Conversor Analógico Digital (ADC) [3]	6
3.3.2	Modulação por Largura de Pulso (ePWM) [4]	7
3.3.3	Códigos da Implementação	7
4	Aplicação- “Sistema de conversão monofásico-trifásico utilizando conversores em paralelo”	10
4.1	Modelo do Sistema	10
4.2	Estratégia de PWM	13
4.3	Estratégia de Controle	14
4.4	Distorção Harmônica	15
4.5	Resultado Experimental	16
5	Conclusões	16

Lista de Figuras

1	Configuração da bancada	2
2	Configuração da bancada	3
3	Placa de desenvolvimento	5
4	Diagrama de processos	5
5	Diagrama de blocos do Módulo ADC	6
6	Diagrama de blocos do Módulo ePWM	7
7	Definição do Conversor A/D	8
8	Definição dos CMPA e CMPB	8
9	Definição do ePWM1	8
10	Código do programa principal	9
11	Sistema Convencional monofásico-trifásico	10
12	Sistema Proposto com dez braços e dois barramentos cc.	11
13	Diagrama de Controle	14
14	<i>WTHD</i> das tensões em função de μ (para frequência de chaveamento $5kHz$). (a) Tensão do retificador $\frac{v_1+v_3}{2}$ para a configuração proposta e v_g para a configuração convencional. (b) Tensão do inversor $\frac{v_{2dq}+v_{4dq}}{2}$ para a configuração proposta e v_{sdq} para a configuração convencional.	15
15	Resultado Experimental. (a) Tensão e corrente da rede (a cima), e corrente homopolar (a baixo). (b) corrente de entrada dos conversores 1 e 3 (i_{1a} e i_{3a}). (c) Tensão de barramento cc de cada capacitor. (d) Correntes de carga (i_{la} e i_{lb}).	16

Agradecimento

Agradeço a Deus pela iluminação dada quando necessária. Aos meus pais, José Alves de Gouveia e Marly Souza Sá de Gouveia, por estarem sempre me apoiando, ao meu orientador de estágio Cursino Brandão Jacobina, que proporcionou a oportunidade do estágio, assim como a devida orientação, e aos meus colegas de curso, sempre do lado para troca de experiências.

1 Introdução

Este relatório apresenta os trabalhos desenvolvidos como estagiário no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM), no período compreendido entre 27 de julho de 2009 e 31 de agosto de 2009.

Inicialmente, é descrito sumariamente a estrutura da bancada de desenvolvimento. Posteriormente, é mostrado Processador Digital de Sinais (DSP) TMS320F28335 e como ele será utilizado na produção dos gatilhos para os conversores de frequência. Em seguida, é apresentada uma aplicação de projeto intitulado "Sistema de conversão monofásico trifásico utilizando conversores em paralelo".

2 Bancada de Desenvolvimento

2.1 Introdução

Devido no LEIAM ter somente bancadas de montagem com no máximo seis braços e ter a necessidade da construção de sistemas com doze braços, como por exemplo a aplicação mostrada na seção 4. Portanto, para solucionar esse inconveniente, foi proposto o desenvolvimento de uma bancada que compreendesse os dozes braços e que o controle fosse implementado por um processador digital de sinais, DSP.

A primeira tarefa foi iniciar a construção da estrutura da bancada e de fazer adaptações para que tivesse acesso a todos os pontos do conversor de frequência.

2.2 Layout

A bancada de desenvolvimento foi desenvolvida com o layout conforme a Figura 1, para que os usuários pudessem ter acesso a todos os pontos dos conversores.

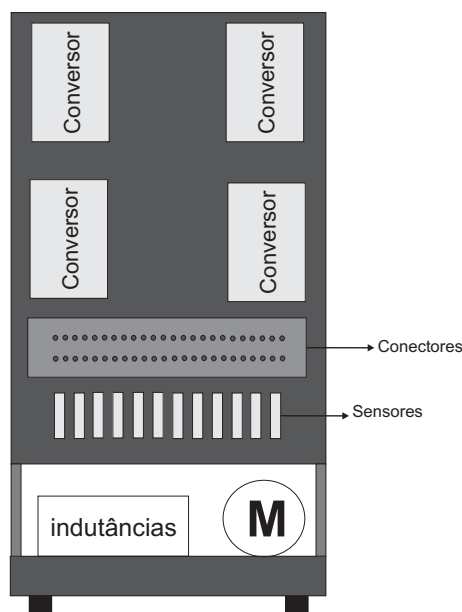


Figura 1: Configuração da bancada

Na Figura 1 podem ser observados, quatro conversores de frequência, um quadro de conexões, doze sensores de tensão e de corrente, indutâncias e um motor (carga ou gerador).

Na Figura 2, tem-se o circuito de potência disposto pelos quatro conversores e as respectivas conexões que estarão dispostas no quadro de conexões

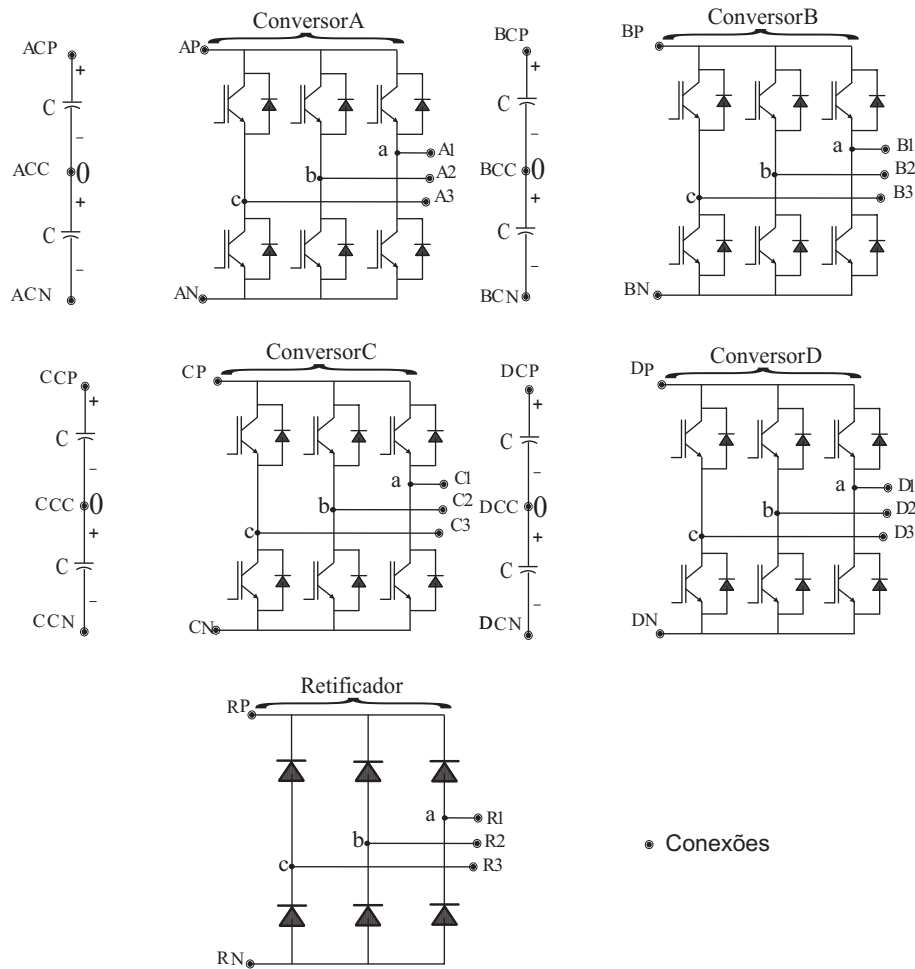


Figura 2: Configuração da bancada

onde disponibilizará quatro pontes trifásicas controladas por IGBT's, quatro barramentos de capacitores, um retificador em ponte trifásica e as conexões estarão disponíveis no quadro de conexões mostrado na Figura 1.

3 Processador Digital de sinais (DSP)

3.1 Introdução

A evolução rápida das mídias digitais, e o nível de integração entre tais mídias aumentando a níveis muito altos e se incorporando a outras é algo inevitável. Busca-se sempre a redução do tamanho do hardware, e o aumento das velocidades com que ele trabalha, a fim de fornecer um produto prático e de qualidade suficiente às demandas atuais e futuras dos usuários.

Existe um leque enorme de aplicações onde DSPs são ideais, alguma delas:

Automatização e Controle de Processos: monitoramento e controle de máquinas, de motores, robôs e servomecanismos.

Telecomunicações: modems, multiplexadores, receptores DTMF, codificadores de voz para GSM.

Interfaces de Voz: codificadores de voz, reconhecimento de padrões vocais, síntese vocal.

Entretenimento: CODECs, sintetizadores e processadores de efeitos e reconhecimento de padrões para áudio e vídeo.

Militar: guia de míssil, navegação, criptografia para comunicações, tratamento de sinais de radar.

Médica: compressão de imagens médicas, tratamento de sinais biofísicos (eletrocardiograma, eletroencefalograma), além de monitoramento de sinais vitais

Automóveis: controle do motor, navegação, comandos de voz, controle de ruído.

Instrumentação: analisadores de espectro, geradores de função, interpretação de sinais de mudanças bruscas (p.e sinais sísmicos)

Visto a enorme gama de aplicações dos DSPs, torna-se óbvia a motivação para o seu estudo em engenharia elétrica. Parte do sistema desenvolvido pode, dependendo da aplicação, requerer um hardware rápido e compacto para algum processamento em tempo real ou não. DSPs oferecem tais funcionalidades, além de fácil adaptação à mudanças de projeto.

3.2 Ferramenta de Desenvolvimento [1, 2]

Para auxiliar no desenvolvimento de aplicações em DSP, a Texas Instruments oferece o kit de Desenvolvimento TMS320F28335 DSP Starter Kit (DSK). Este produto compõe-se da placa de desenvolvimento e do software de desenvolvimento Code Composer Studio, ambos funcionando em conjunto.

A placa de desenvolvimento possui TMS320F28335 operando em 150MHz, 16 memórias SDRAM 34Kbytes, 16 memórias flash de 128Kbytes, 18 saídas de PWM, 6 saídas HRPWM com uma resolução de 150 ps MIPS (mega instruções por segunda) e 16 canais de conversores Analógico Digital.

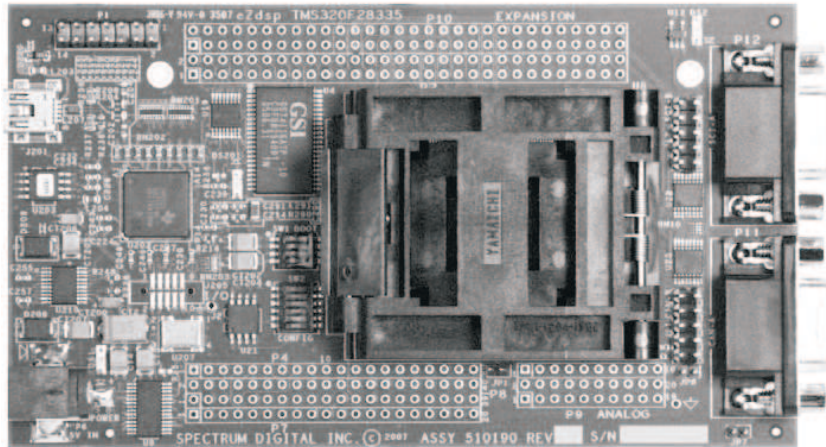


Figura 3: Placa de desenvolvimento

Já o software de desenvolvimento Code Composer Studio (CCS) é o ambiente computacional onde se escreve o programa em C ou Assembly que vai ser compilado, otimizado e então carregado no DSP.

3.3 Atividades Desenvolvidas

A atividade desenvolvida com o DSP foi programar uma rotina para a aquisição de dados, manipular esses dados conforme o controle desejado, e implementar uma rotina de PWM para determinar os sinais de gatilhos dos conversores de frequência.

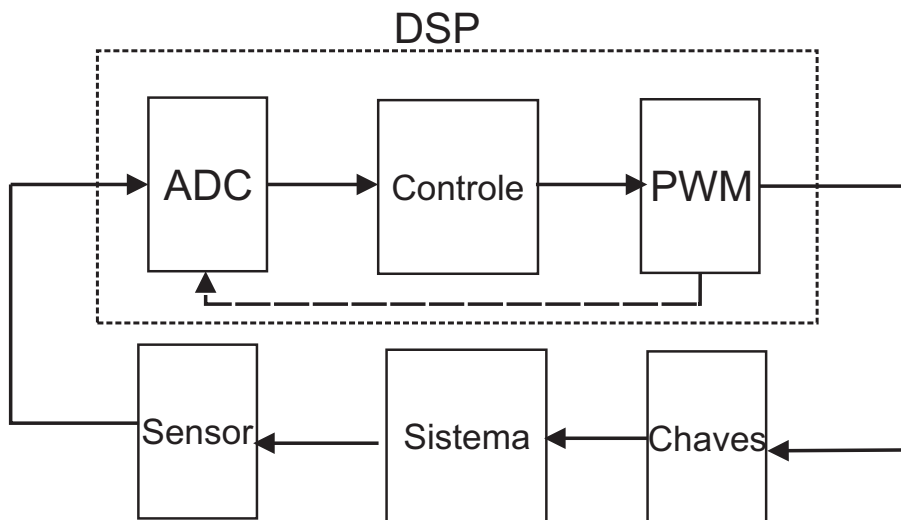


Figura 4: Diagrama de processos

Na Figura 4 pode ser visto como as rotinas se relacionam. Os sensores lêem os valores de tensão e correntes desejados e os convertem a valores de tensão que variam de 0 a 3 Volts. Esses valores são enviados ao DSP, onde o módulo ADC fará a conversão analógica digital e reservará esse valores em um registrador. O valor do registrador será manipulado conforme a estratégia de controle e gerará os sinais de comparação. Esses sinais serão incorporados ao PWM que terá como saída os sinais de gatilho para os IGBTs.

3.3.1 Conversor Analógico Digital (ADC) [3]

O módulo do conversor analógico possui uma entrada analógica que varia de 0V a 3V, e o tempo de conversão será de 200 ns para “Single conversion” e 60ns para “Pipelined conversion”. Pode ser visto na Figura 5, que o conversor AD possui duplo sample-and-hold (S/H) de 12 bits com no total de 16 entradas multiplexadas.

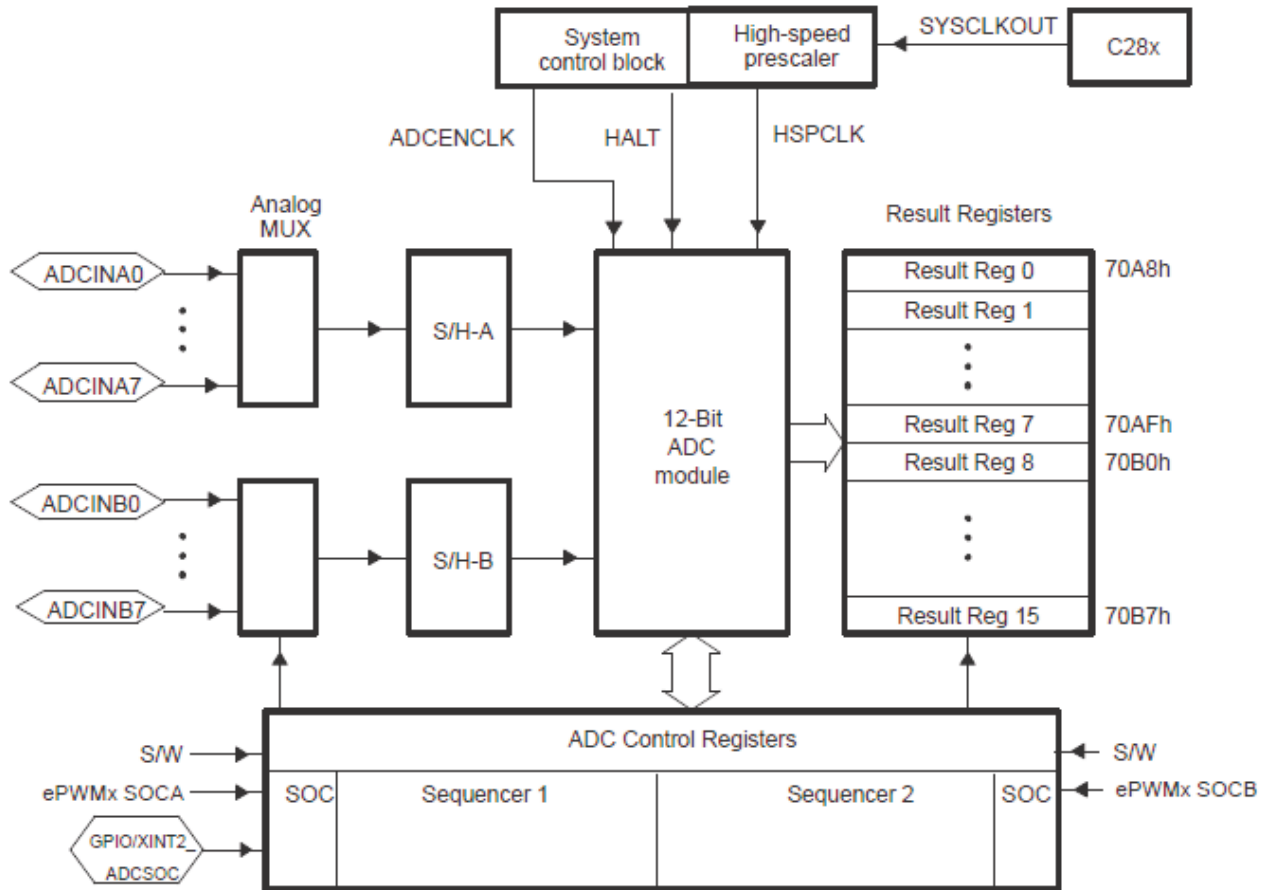


Figura 5: Diagrama de blocos do Módulo ADC

No ADC possui múltiplas fontes de disparo para iniciar a seqüência de conversão (start-of-conversion - SOC):

S/W – Início imediato por software;

ePWMx SOCA – definido pelo ePWMxA (múltiplas fontes no submódulo Event Trigger);

ePWMx SOCB – definido pelo ePWMxB (múltiplas fontes no submódulo Event Trigger);

ou **Sinal externo**.

Portanto, a cada SOC (Start-of-Conversion) o ADC pode realizar múltiplas conversões de um mesmo canal ou de canais diferentes e ao fim da conversão os resultados são salvos nos registradores de resultado (ADCRESULTx), iniciando pelo ADCRESULT0.

3.3.2 Modulação por Largura de Pulso (ePWM) [4]

O módulo ePWM representa um canal completo de PWM composto por duas saídas PWM, ePWMxA e ePWMxB. O ePWM é composto por vários submódulos como pode ser visto na Figura 6.

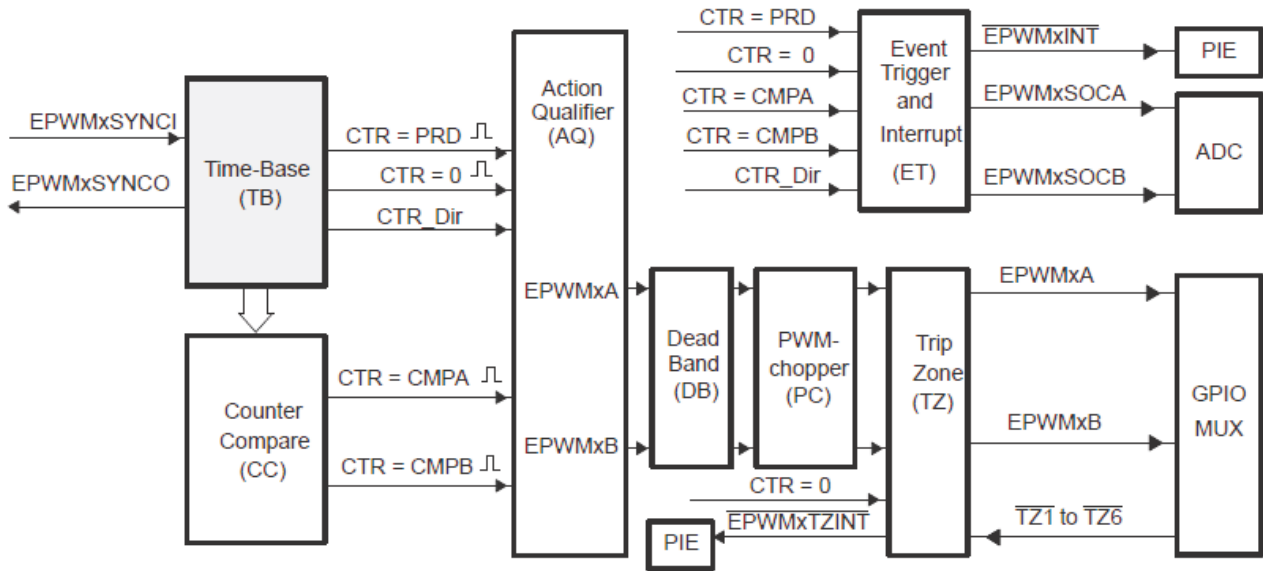


Figura 6: Diagrama de blocos do Módulo ePWM

Cada submódulo define alguns parâmetros, por exemplo:

O **Time-base (TB)** define a escala do clock do time-base (TBCLK) relativo ao sistema clock (SYSCLKOUT); configura o PWM time-base counter (TBCTR) frequência ou período; define o modo para o time-base counter (count-up, count-down, count-up-and-down); configura a fase do time-base relativo a outro módulo ePWM; configura a direção do time-base counter depois de uma evento de sincronização.

O **Counter-compare (CC)** especifica o duty cycle do PWM para a saída EPWMxA e/ou saída EPWMxB e o tempo que ocorre um chaveamento na saída EPWMxA ou EPWMxB.

O **Action-qualifier (AQ)** especifica o tipo de ação quando um evento no sub-módulo time-base ou counter-compare ocorre, força o estado de saída do PWM através de software e Configura e controla o ponto-morto do PWM através de software.

O **Dead-band (DB)** controla a tradicional relação complementar do ponto-morto entre as chaves superiores e inferiores.

O **PWM-chopper (PC)** cria uma frequência chopping (carrier) .

O **Trip-zone (TZ)** Configura o módulo ePWM para reagir para um, todos, ou nenhum dos pinos trip-zone. especifica o tripping action quando uma falta ocorre (p.e.,força EPWMxA e/ou EPWMxB em alto); configura quantas vezes o ePWM irá reagir a cada pino trip-zone.

O **Event-trigger (ET)** habilita os eventos ePWM que irá disparar uma interrupção; habilita os eventos ePWM que irá disparar o evento SOC do conversor AD; especifica a taxa que causa cada evento de disparo.

3.3.3 Códigos da Implementação

Para implementar o controle para os conversores, sabendo-se que o sensores foram projetados para ter saídas de 0 a 3 Volts. Definiu-se três funções uma definindo o conversor analógico/digital, outra definindo a estratégia de controle, e a outra a estratégia de PWM.

```

AdcRegs.ADCMAXCONV.all=0x000F;
AdcRegs.ADCCHSELSEQ1.bit.CONV00=0x0001;//8Definea1ªconversãodoSEQ1Va0a1
AdcRegs.ADCCHSELSEQ1.bit.CONV01=0x0002;//Definea2ªconversãodoSEQ1Vb0a2
AdcRegs.ADCCHSELSEQ1.bit.CONV02=0x0003;//9Definea3ªconversãodoSEQ1Vc0a3
AdcRegs.ADCCHSELSEQ1.bit.CONV03=0x0007;//Definea4ªconversãodoSEQ11,5V
AdcRegs.ADCCHSELSEQ2.bit.CONV04=0x000D;//Definea5ªconversãodoSEQ1lab5
AdcRegs.ADCCHSELSEQ2.bit.CONV05=0x000E;//Definea6ªconversãodoSEQ1lbb6
AdcRegs.ADCCHSELSEQ2.bit.CONV06=0x000F;//Definea7ªconversãodoSEQ1lcb7
AdcRegs.ADCCHSELSEQ2.bit.CONV07=0x0006;//Definea8ªconversãodoSEQ1Vcca6

AdcRegs.ADCTRL1.bit.ACQ_PS= ADC_SHCLK;
AdcRegs.ADCTRL1.bit.SEQ_CASC=1;

AdcRegs.ADCTRL2.bit.EPWM_SOCASEQ1=1;//EnableSOCA fromePWMtostartSEQ1
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1=1;//EnableSEQ1interrupt(everyEOS)

AdcRegs.ADCTRL3.bit.SMODE_SEL=0;//conversãosimultâneadossample_holds
AdcRegs.ADCTRL3.bit.ADCCLKPS= ADC_MODCLK;

EPwm1Regs.ETSEL.bit.SOCAEN=1;//EnableSOCon A group
EPwm1Regs.ETSEL.bit.SOCASEL =4;//SelectSOCfromfromCPMA onupcount
EPwm1Regs.ETPS.bit.SOCAPRD=1;//Generatepulseon1stevent

EPwm1Regs.ETSEL.bit.INTEN=1;//EnableINT

```

Figura 7: Definição do Conversor A/D

Na Figura 7, definiu-se a configuração dos conversores e o evento SOC que será com relação ao CMPA, definido pelo submódulo event trigger do ePWM. Em outra função definirá a estratégia de controle que definirá na saída os valores dos comparadores conforme a Figura 8.

```

EPwm1Regs.CMPA.half.CMPA =va;
EPwm1Regs.CMPB=vb;

```

Figura 8: Definição dos CMPA e CMPB

Na terceira função definirá os PWMs como exemplificado na Figura 9. Onde definiremos os registradores do time-base, o modo do pwm (simétrico), a fase igual a zero, os registradores do action-qualifier e os registradores do tempo-morto.

```

//EPWMModule1config
EPwm1Regs.TBPRD=450;//Period=900 TBCLKcounts
EPwm1Regs.TBPHS.half.TBPHS=0x0000;//Phaseis0
EPwm1Regs.TBCTL.bit.CTRMODE= TB_COUNT_UPDOWN;//Symmetricalmode
EPwm1Regs.TBCTL.bit.PHSEN= TB_DISABLE;//Mastermodule
EPwm1Regs.TBCTL.bit.PRDL= TB_SHADOW;
EPwm1Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;//Syncdown-streammodule
EPwm1Regs.CMPCTL.bit.SHDWAMODE=CC_SHADOW;
EPwm1Regs.CMPCTL.bit.SHDWBMODE=CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE=CC_CTR_ZERO;//loadonCTR=Zero
EPwm1Regs.CMPCTL.bit.LOADBMODE=CC_CTR_ZERO;//loadonCTR=Zero
EPwm1Regs.AQCTLA.bit.CAU= AQ_SET;//setactionsforEPWM1A
EPwm1Regs.AQCTLA.bit.CAD= AQ_CLEAR;
EPwm1Regs.DBCTL.bit.IN_MODE=DB_FULL_ENABLE;//enableDead-bandmodule
EPwm1Regs.DBCTL.bit.POLSEL =DB_ACTV_HIC;// ActiveHicomplementary
EPwm1Regs.DBFED=20;//FED=20 TBCLKs
EPwm1Regs.DBRED=20;//RED=20 TBCLKs

```

Figura 9: Definição do ePWM1

Com essas funções o programa principal da implementação será construído.

```
main()
{
    InitSysCtrl();
    .
    .
    .
    InitPieCtrl();
    //Inicializa a tabela de vetores PIE
    InitPieVectTable();

    //Inicializa o ADC
    InitAdc();
    Conf_ADC_Tim();
    //Função para a configuração e inicialização dos
    //Periféricos PWM do EVA;
    Init_PWM_EVA();

    EALLOW; //Permite a configuração dos registradores protegidos (PR)
    // Armazena o endereço da função adc_isr
    // para interrupção ADCINT da tabela de vetores
    PieVectTable.ADCINT = &ADC_Int;
    EDIS; //Encerra a permissão para escrita em PR

    //Enable interrupts required for this example
    PieCtrlRegs.PIECTRL.bit.ENPIE = 1; //Enable the PIE block
    PieCtrlRegs.PIEIER1.bit.INTx6 = 1; //Enable ADC

    IER = 0xff; //Enable CPUINT
    EINT;

    ERTM; //Enable Global real time interrupt DBGM

    //Espera a interrupção
    for(;;){}
}
```

Figura 10: Código do programa principal

4 Aplicação- “Sistema de conversão monofásico-trifásico utilizando conversores em paralelo”

Cargas trifásicas são bem comuns em locais onde há somente uma rede monofásica, tais como em áreas residenciais, comerciais e principalmente em áreas rurais. Algumas soluções foram propostas quando o objetivo é fornecer a um motor trifásico a partir de uma alimentação monofásica CA [5–13].

Conversão ca-cc-ca monofásico para trifásico normalmente é implementado pela topologia em ponte completa,

Conversores em paralelo são usados para melhorar a capacidade de potência, fiabilidade, eficiência e redundância. A técnica de conversores em paralelo são empregados para melhorar o desempenho dos filtros ativos [14–17], sistemas de alimentação ininterruptas (UPS) [18, 19], tolerância a falta com alimentação dupla com geradores de indução [20], e trifásico [21]. Normalmente a operação dos conversores em paralelo requer transformadores para o isolamento. Peso, tamanho e custo associado com o transformador pode fazer a solução ser indesejável [22]. Quando um transformador de isolamento não é usado, a redução das correntes que circulam entre as diferentes fases conversor é um objectivo importante na concepção do sistema [23–26].

Nesse trabalho, foi desenvolvido o estudo do sistema de conversão monofásico-trifásico utilizando conversores em paralelo. Ele é composto por uma máquina de indução alimentado por dois conversores monofásico-trifásico com barramento-cc sem isolamento de transformadores. A topologia proposta permitirá a redução das correntes e da potência nas chaves em comparação ao conversor convencional. O modelo do sistema e a estratégia de controle, baseados na transformação *odq*, foram desenvolvidos os resultados experimentais da topologia proposta.

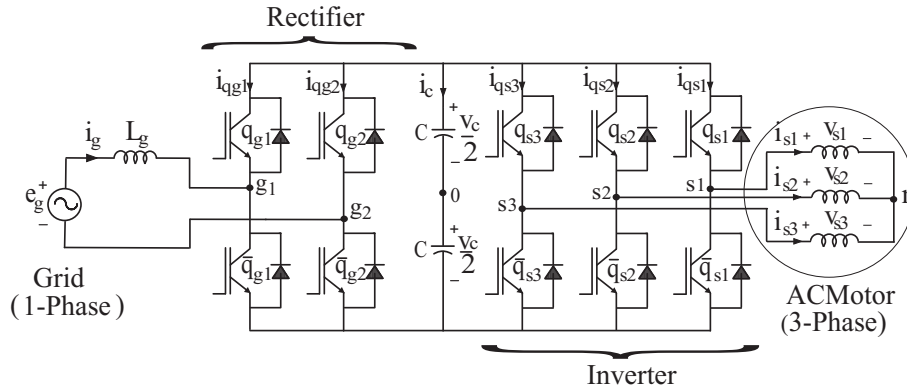


Figura 11: Sistema Convencional monofásico-trifásico

4.1 Modelo do Sistema

O sistema inclui uma rede monofásica (e_g), um motor de indução ($e_{lk} - L_l$) representado pela carga *RLE*, indutores ($L_{1n}, L_{3n}, L_{2k}, L_{4k}$ para $n = a, b$ e $k = a, b, c$), conversores 1, 2, 3, e 4, e dois bancos de capacitores.

Os conversores 1, 2, 3, e 4 são constituído por chaves $q_{1n}, q_{3n}, q_{2k},$ e q_{4k} , e chaves complementares $\bar{q}_{\gamma n}$ e $\bar{q}_{\delta k}$. Indutores $L_{\gamma n}$ e $L_{\delta k}$ será considerado inicialmente tendo valores diferentes para mostrar a influencia da assimetria no modelo.

A partir de agora, nas relações que se seguem, temos:

- $n = a, b;$
- $k = a, b, c;$
- $\gamma = 1, 3;$
- $\delta = \gamma + 1;$

- $u = 12$ se $\gamma = 1$ ou $\delta = 2$; - $u = 34$ se $\gamma = 3$ ou $\delta = 4$.

Introduzindo um equivalente monofásico, as seguintes equações podem ser derivadas do sistema na Fig. 11

$$e_g = z_{\gamma a} i_{\gamma a} - z_{\gamma b} i_{\gamma b} + v_{\gamma} \quad (1)$$

$$e_{lk} = z_l i_{lk} + z_{\delta k} i_{\delta k} + v_{\delta k} \quad (2)$$

$$0 = v_{1n0_{12}} - v_{2k0_{12}} + v_{4k0_{34}} - v_{3n0_{34}} - z_{2k} i_{2k} + z_{4k} i_{4k} - z_{3n} i_{3n} + z_{1n} i_{1n} \quad (3)$$

$$i_g = i_{1a} + i_{3a} = -(i_{1b} + i_{3b}) \quad (4)$$

$$i_{lk} = i_{2k} + i_{4k} \quad (5)$$

onde $v_{\gamma} = v_{\gamma a 0_u} - v_{\gamma b 0_u}$, $v_{\delta k} = v_{\delta k 0_u} - v_{l 0_u}$, $z_g = r_g + l_g p$, $z_{\gamma n} = r_{\gamma n} + l_{\gamma n} p$, $z_l = r_l + l_l p$, $z_{\delta k} = r_{\delta k} + l_{\delta k} p$, $p = d/dt$, e símbolos r e l representam resistências and indutâncias dos indutores L_g , L_l , $L_{\gamma n}$ e $L_{\delta k}$.

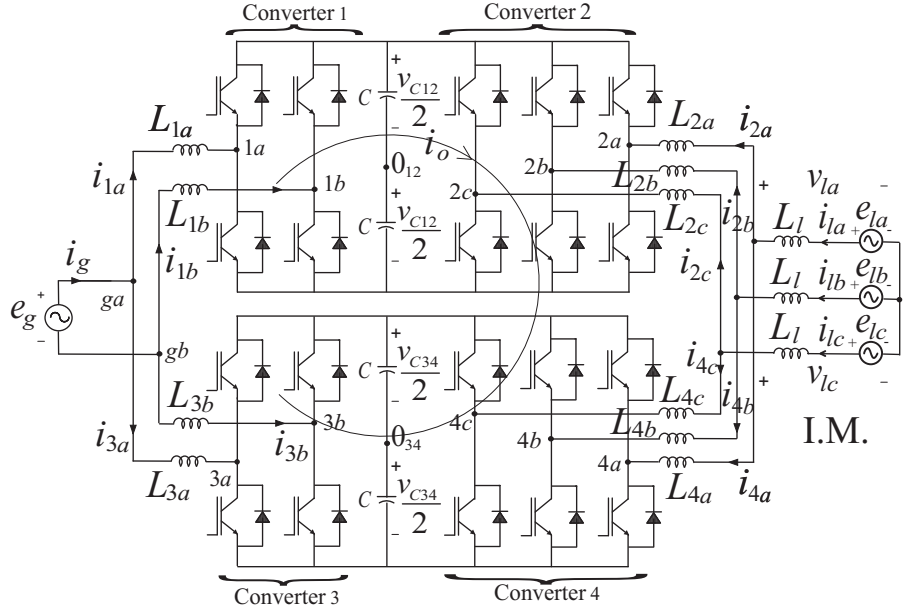


Figura 12: Sistema Proposto com dez braços e dois barramentos cc.

Introduzindo a transformação odq no lado da máquina

$$w_{labc} = P w_{lodq} \quad \text{e} \quad w_{\delta abc} = P w_{\delta odq} \quad (6)$$

onde w_{labc} e $w_{\delta abc}$ representa todas os vetores de tensões e corrente do sistema (e.g., $w_{labc} = [w_{1a} \ w_{1b} \ w_{1c}]^T$ e $w_{lodq} = [w_{l0} \ w_{ld} \ w_{lq}]^T$) e P é a matriz transformaçãodada por

$$P = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{\sqrt{2}}{2} & 1 & 0 \\ \frac{\sqrt{2}}{2} & -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ \frac{\sqrt{2}}{2} & -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}. \quad (7)$$

As correntes homopolares podem ser definidas por

$$i_{\gamma o} = i_{\gamma a} + i_{\gamma b} \quad \text{e} \quad i_{\delta o} = \frac{1}{\sqrt{3}} \sum_{k=a}^c i_{\delta k}. \quad (8)$$

De (4) e (5), pode ser escrito

$$i_{1o} = -i_{3o} \text{ e } i_{2o} = -i_{4o}. \quad (9)$$

Aplicando a lei das correntes de Kirchhoff para Conversores 1 e 2 e Conversores 3 e 4, respectivamente

$$\sum_{n=a}^b i_{1n} = -\sum_{k=a}^c i_{2k} \text{ e } \sum_{n=a}^b i_{3n} = -\sum_{k=a}^c i_{4k} \quad (10)$$

que é,

$$i_{1o} = -\sqrt{3}i_{2o} \text{ e } i_{3o} = -\sqrt{3}i_{4o}. \quad (11)$$

Finalmente, de (9) pode ser escrito

$$i_o = i_{1o} = -\sqrt{3}i_{2o} = -i_{3o} = \sqrt{3}i_{4o}. \quad (12)$$

Usando a transformação odq para o lado da máquina e adicionando a corrente homopolar, a partir da relações (1)-(5) temos

$$e_g = (z_{\gamma a} + z_{\gamma b})i_{\gamma a} - s_{\gamma}z_{\gamma b}i_o + v_{\gamma} \quad (13)$$

$$e_{ldq} = Z_{lodq}i_{lodq} + Z_{\delta odq}i_{\delta odq} + v_{\delta dq} \quad (14)$$

$$\begin{aligned} v_{To} &= (z_{1b} + z_{3b} + z_{2o} + z_{4o})i_o \\ &\quad + (z_{1a} - z_{1b})i_{1a} - (z_{3a} - z_{3b})i_{3a} \\ &\quad - z_{2od}i_{2d} - z_{2oq}i_{2q} + z_{4od}i_{4d} + z_{4oq}i_{4q} \end{aligned} \quad (15)$$

$$i_g = i_{1a} + i_{3a} \quad (16)$$

$$i_{lodq} = i_{2odq} + i_{4odq} \quad (17)$$

onde $s_{\gamma} = 1$ se $\gamma = 1$ e $s_{\gamma} = -1$ se $\gamma = 3$ e

$$v_{To} = \sum_{n=a}^b v_{3n034} - \sum_{n=a}^b v_{1n012} + \frac{2}{3} \sum_{k=a}^c v_{2k012} - \frac{2}{3} \sum_{k=a}^c v_{4k034} \quad (18)$$

onde variáveis e_{ldq} , i_{lodq} , $i_{\delta odq}$ e $v_{\delta dq}$ representa os vetores (e.g., $e_{ldq} = [e_{ld} \ e_{lq}]^T$). Z_{lodq} , Z_{2odq} , e Z_{4odq} na forma 2x3. A matriz Z_{jodq} é dada por

$$\begin{aligned} Z_{jodq} &= \begin{vmatrix} z_{jod} & z_{jd} & z_{j dq} \\ z_{joq} & z_{jdq} & z_{jq} \end{vmatrix} \\ &= \frac{1}{6} \begin{vmatrix} \sqrt{2}(2z_{ja} - z_{jb} - z_{jc}) & (4z_{ja} + z_{jb} + z_{jc}) & \sqrt{3}(z_{jc} - z_{jb}) \\ \sqrt{6}(z_{jb} - z_{jc}) & \sqrt{3}(z_{jc} - z_{jb}) & 3(z_{jb} + z_{jc}) \end{vmatrix} \end{aligned} \quad (19)$$

onde $j = l, 2, 4$, $z_{ja} = r_{ja} + l_{ja}p$, $z_{jb} = r_{jb} + l_{jb}p$, $z_{jc} = r_{jc} + l_{jc}p$. Porém, para simplificar as expressões (15), considera-se $z_{jo} = \frac{2}{9}(z_{ja} + z_{jb} + z_{jc})$ e os parâmetros z_{jod} e z_{joq} são modificados para $z_{joq} = \frac{2\sqrt{2}}{\sqrt{3}}(2z_{ja} - z_{jb} - z_{jc})$ e $z_{joq} = 2\sqrt{2}(z_{jb} - z_{jc})$, respectivamente.

Conseqüentemente, a corrente i_o deve ser controlada pela tensão homopolar total v_{To} , quando o sistema é balanceado (i.e., $L_{\gamma n} = L_1$ e $L_{\delta k} = L_2$), o modelo (13)-(17) torna-se

$$e_g = 2z_1i_{1a} - z_1i_o + v_1 \quad (20)$$

$$e_g = 2z_1i_{3a} + z_1i_o + v_3 \quad (21)$$

$$e_{ldq} = z_1i_{ldq} + z_2i_{2dq} + v_{2dq} \quad (22)$$

$$e_{ldq} = z_1 i_{ldq} + z_2 i_{4dq} + v_{4dq} \quad (23)$$

$$i_g = i_{1a} + i_{3a} \quad (24)$$

$$i_{ldq} = i_{2dq} + i_{4dq} \quad (25)$$

$$v_{To} = 2(z_1 + z_{2o})i_o \quad (26)$$

O modelo (20) para (26) pode ser simplificado para o modelo dado por

$$e_g = z_1 i_g + \frac{v_1 + v_3}{2} \quad (27)$$

$$e_{ldq} = (z_1 + \frac{z_2}{2})i_{ldq} + \frac{v_{2dq} + v_{4dq}}{2} \quad (28)$$

$$v_{To} = 2(z_1 + z_{2o})i_o. \quad (29)$$

A corrente da rede e a corrente da carga não depende da corrente homopolar, e.g., a entrada e a saída do modelo são iguais ao caso de dois conversores independentes ca-cc-ca. Entretanto, usa-se v_1 e v_3 (conversores 1 e 3) e v_{2k} e v_{4k} (conversores 2 e 4) para regular a corrente de entrada e a tensão de saída, respectivamente. Ademais, v_{To} é usado para fazer a corrente de circulação ser nula, ou seja, fazer $v_{To} = 0$.

4.2 Estratégia de PWM

A largura de pulso do sinal de gatilho pode ser calculada pelas tensões de pólo de referência $v_{1n0_{12}}^*$, $v_{3n0_{34}}^*$, $v_{2k0_{12}}^*$, and $v_{4k0_{34}}^*$, onde dependem dos estados da chave. Por exemplo, $v_{1n0_{12}}^*$ é dado por

$$v_{1n0_{12}} = (2q_{1n} - 1)v_{c0_{12}}/2 \quad (30)$$

onde $v_{c0_{12}}$ é a tensão de barramento. Considerando que v_1^* , v_3^* , v_{2dq}^* , v_{4dq}^* , e v_{To}^* , we found

$$v_\gamma^* = v_{\gamma a 0_u}^* - v_{\gamma b 0_u}^* \quad (31)$$

$$v_{\delta d}^* = \sqrt{\frac{2}{3}}v_{\delta a 0_u}^* - \frac{1}{\sqrt{6}}v_{\delta b 0_u}^* - \frac{1}{\sqrt{6}}v_{\delta c 0_u}^* \quad (32)$$

$$v_{\delta q}^* = \frac{1}{\sqrt{2}}v_{\delta b 0_u}^* - \frac{1}{\sqrt{2}}v_{\delta c 0_u}^* \quad (33)$$

$$v_{To}^* = \sum_{n=a}^b v_{3n0_{34}}^* - \sum_{n=a}^b v_{1n0_{12}}^* + \frac{2}{3} \sum_{k=a}^c v_{2k0_{12}}^* - \frac{2}{3} \sum_{k=a}^c v_{4k0_{34}}^*. \quad (34)$$

Equações (31) para (34) não são suficiente para determinar as tensões de pólo, daí as variáveis auxiliares v_x^* , v_y^* , e v_z^* são introduzidas,

$$v_x^* = (v_{1a0_{12}}^* + v_{1b0_{12}}^*)/2 \quad (35)$$

$$v_y^* = (v_{2a0_{12}}^* + v_{2b0_{12}}^* + v_{2c0_{12}}^*)/3 \quad (36)$$

$$v_z^* = (v_{4a0_{34}}^* + v_{4b0_{34}}^* + v_{4c0_{34}}^*)/3. \quad (37)$$

De(31)-(34) e (35)-(37), as tensões de pólo de referência são

$$v_{1a012}^* = v_1^*/2 + v_x^* \quad (38)$$

$$v_{1b012}^* = -v_1^*/2 + v_x^* \quad (39)$$

$$v_{3a012}^* = v_3^*/2 + v_{To}^*/2 - v_y^* + v_z^* + v_x^* \quad (40)$$

$$v_{3b012}^* = -v_3^*/2 + v_{To}^*/2 - v_y^* + v_z^* + v_x^* \quad (41)$$

$$v_{2k0u}^* = v_{2k}^* + v_y^* \quad (42)$$

$$v_{4k034}^* = v_{4k}^* + v_z^* \quad (43)$$

onde $v_{\delta a}^* = \sqrt{\frac{2}{3}}v_{\delta d}^*$, $v_{\delta b}^* = \sqrt{\frac{2}{3}}(-v_{\delta d}^*/2 + \sqrt{3}v_{\delta q}^*/2)$, e $v_{\delta c}^* = -v_{\delta a}^* - v_{\delta b}^*$.

Tensões v_x^* , v_y^* , e v_z^* pode ser obtida os valores máximos e mínimos

$$v_{xM}^* = v_{C12}^*/2 - v_{13M}^* \text{ e } v_{xm}^* = -v_{C12}^*/2 - v_{13m}^* \quad (44)$$

$$v_{yM}^* = v_{C12}^*/2 - v_{2M}^* \text{ e } v_{ym}^* = -v_{C12}^*/2 - v_{2m}^* \quad (45)$$

$$v_{zM}^* = v_{C34}^*/2 - v_{4M}^* \text{ e } v_{zm}^* = -v_{C34}^*/2 - v_{4m}^* \quad (46)$$

onde v_{C12}^* e v_{C34}^* são as tensões de barramento de referência, $v_{2M}^* = \max V_2$, $v_{2m}^* = \min V_2$, $v_{4M}^* = \max V_4$, e $v_{4m}^* = \min V_4$, $v_{13M}^* = \max V_{13}$, $v_{13m}^* = \min V_{13}$, com $V_2 = \{v_{2a}^*, v_{2b}^*, v_{2c}^*\}$, $V_4 = \{v_{4a}^*, v_{4b}^*, v_{4c}^*\}$ e $V_{13} = \{v_1^*/2, -v_1^*/2, v_3^*/2 + v_{To}^*/2 - v_y^* + v_z^*, -v_3^*/2 + v_{To}^*/2 - v_y^* + v_z^*\}$. Tensões v_x^* , v_y^* , e v_z^* podem ser escolhidos por

$$v_{\xi}^* = \mu v_{\xi M}^* + (1 - \mu) v_{\xi m}^* \quad (47)$$

onde $\xi = x, y$ ou z e $0 \leq \mu \leq 1$. Nota-se que quando os valores máximo ($\mu = 1$) ou mínimo ($\mu = 0$) são selecionados, um dos braços do conversor opera com frequência nula. Por outro lado, quando opera com o valor médio ($\mu = 0.5$) gera o pulso de tensão centralizado no periodo, melhorando THD das tensões.

4.3 Estratégia de Controle

O sistema proposto tem o mesmo objetivo que o convencional, i.e., para controlar o barramento cc, garante o fator de potência próximo de um, e fornece tensões trifásica da máquina. Adicionalmente, o controle do conversor do sistema proposto precisa de controlar a corrente de circulação.

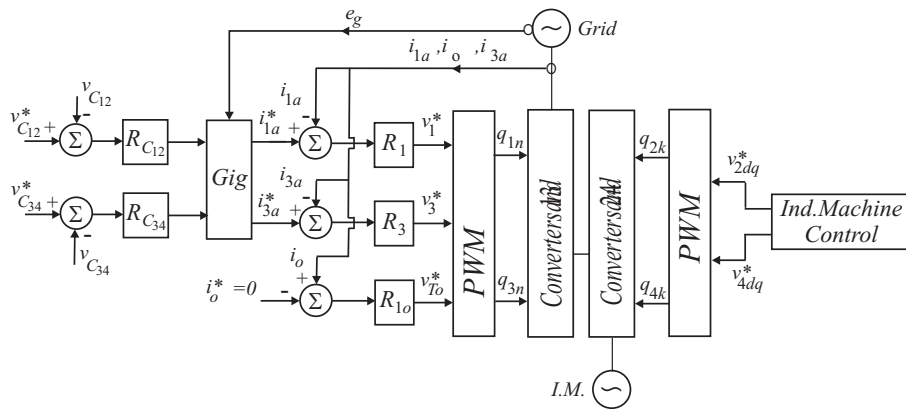


Figura 13: Diagrama de Controle

Fig. 13 apresenta o diagrama de blocos do controle. A tensão do barramento $v_{C_{12}}$ e $v_{C_{34}}$ são ajustadas por suas referências $v_{C_{12}}^*$ e $v_{C_{34}}^*$ usando os controladores $R_{C_{12}}$ e $R_{C_{34}}$, respectivamente (PI convencional). Estes controladores fornecem a amplitude das correntes de referência i_{1a}^* e i_{3a}^* . Para controlar o fator de potência e os harmônicos contidos no lado da entrada do conversor, a referência instantânea das correntes i_{1a}^* e i_{3a}^* são sincronizadas com a tensão da rede. Isto é obtido pelo bloco Gig , baseado pelo esquema PLL. O controle das correntes são implementadas pelos blocos R_1 e R_3 e define as tensões de entrada v_1^* e v_3^* . A corrente homopolar i_o é controlada pelo controlador R_{1o} , que determina a tensão $v_{T_o}^*$.

4.4 Distorção Harmônica

O $WTHD$ pode ser calculado usando

$$WTHD(p) = \frac{100}{a_1} \sqrt{\sum_{i=2}^p \left(\frac{a_i}{i}\right)^2} \quad (48)$$

onde a_1 é a amplitude da tensão fundamental, a_i é a amplitude do harmônico i^{th} e p é o número de harmônicos levado em consideração.

A Fig. 14(a) mostra o $WTHD$ da tensão gerado pelo retificador ($\frac{v_1+v_3}{2}$ para a configuração proposta e $v_g = v_{g10} - v_{g20}$ para a configuração convencional) em função de μ . A tensão gerada pelo retificador é responsável pelo controle de i_g , ou seja, esta tensão é utilizada para regular a distorção harmônica da rede.

Nota-se que, para o caso particular de $\mu = 0.5$ o $WTHD$ é o mesmo para as duas configurações, entretanto para os outros valores de μ o $WTHD$ do sistema proposto é menor que o convencional [Fig. 14(a)]. Nesse caso, O PWM com dupla portadora é o melhor a ser aplicado para o retificador, para o sistema proposto. Se o PWM com uma portadora fosse considerado, o comportamento do $WTHD$ do sistema proposto é similar ao convencional, pode ser visto na Fig. 14(a).

Observa-se que o melhor caso de redução na Fig. 14(a) ($\mu = 0$ ou $\mu = 1$ para os sistema proposto e $\mu = 0.5$ para o convencional) a melhora do $WTHD$ chega a 55%.

Por outro lado, Fig. 14(b) mostra o $WTHD$ da tensão gerada pelo inversor $[\frac{v_{2dq}+v_{4dq}}{2}]$ em função de μ . A melhora $WTHD$ para a saída do conversor chega a 60%.

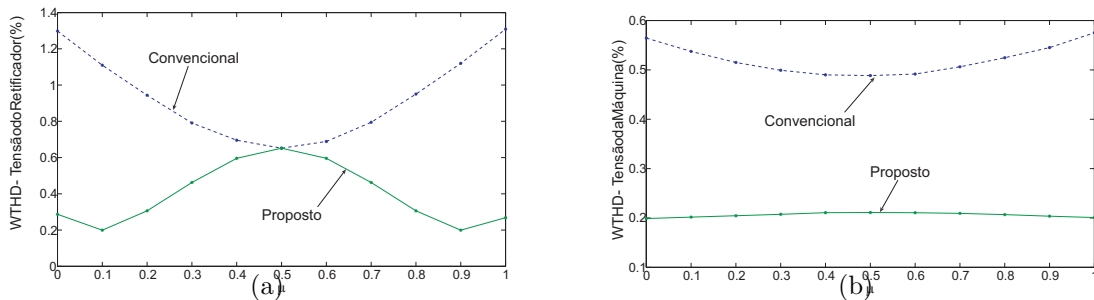


Figura 14: $WTHD$ das tensões em função de μ (para frequência de chaveamento $5kHz$). (a) Tensão do retificador $\frac{v_1+v_3}{2}$ para a configuração proposta e v_g para a configuração convencional. (b) Tensão do inversor $\frac{v_{2dq}+v_{4dq}}{2}$ para a configuração proposta e v_{sdq} para a configuração convencional.

4.5 Resultado Experimental

O sistema mostrado na Fig. 12 implementado no laboratório. O set-up da bancada de testes experimental foi feita por um computador com conexões e sensores.

Fig. 15(a) é mostrado o controle do fator de potência, onde a corrente de entrada (i_g) está sincronizado com a tensão de entrada (v_g) (a cima) corrente homopolar (a baixo). Na Fig. 15(b) observa-se as correntes de entrada i_{1a} e i_{3a} dos conversores 1 e 3. Fig.15(c) observa-se as tensões dos barramentos controlados, com a tensão de referência do barramento igual a 180V. Fig. 15(d) é motrado as correntes da carga i_{la} e i_{lb} .

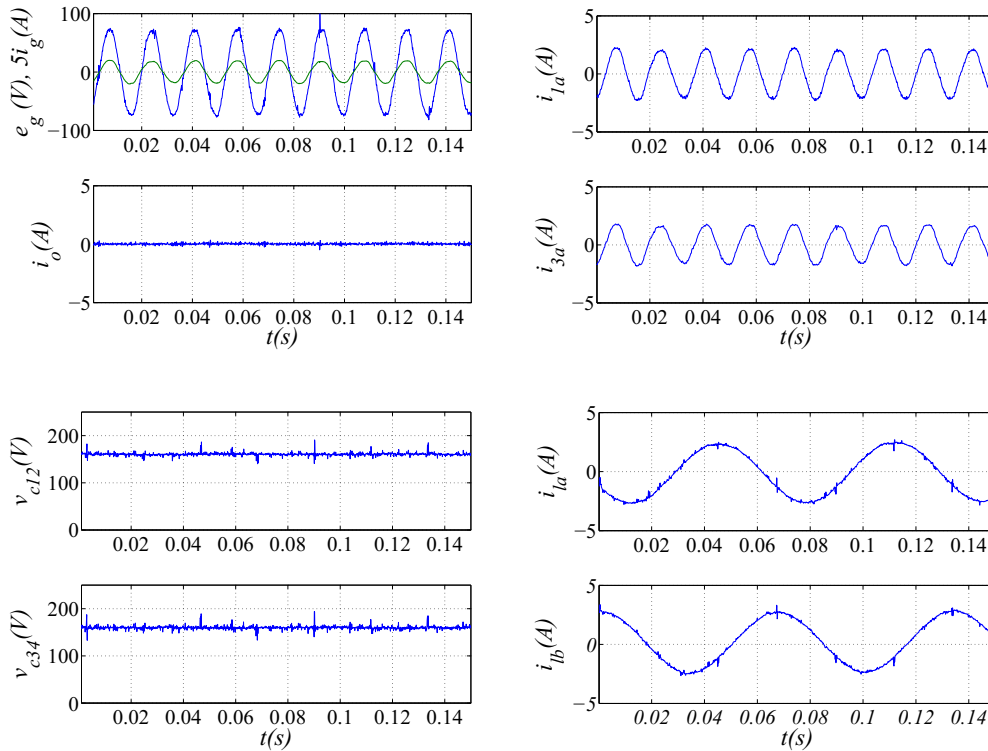


Figura 15: Resultado Experimental. (a) Tensão e corrente da rede (a cima), e corrente homopolar (a baixo). (b) corrente de entrada dos conversores 1 e 3 (i_{1a} e i_{3a}). (c) Tensão de barramento cc de cada capacitor. (d) Correntes de carga (i_{la} e i_{lb}).

5 Conclusões

Através deste estágio, puderam-se iniciar a montagem de uma bancada didática possuindo 12 braços podendo ser estendida a 16 braços. Explorou-se também as características do DSP (TMS320F28335) que será utilizado nessa bancada para implementar as estratégias de controle e gerar o pulso de gatilho para as chaves.

Neste trabalho foi proposto, também, um conversor ca-cc-ca monofásico-trifásico em paralelo sem transformadores de isolamento. O modelo adequado e estratégia de controle do sistema foram desenvolvidos. A topologia proposta possibilita a redução da corrente e da potência nas chaves em comparação ao conversor convencional. Além disso, a topologia pode melhorar a THD das tensões de entrada e saída e é adequado para obter um sistema tolerante a faltas. Resultados experimentais da topologia proposta serão apresentados.

Referências

- [1] T. Instruments, “Data manual,” *T.I.*, vol. 1, pp. 1–174, Jun. 2007.
- [2] T. Instruments, “Code composer studio v3.1 getting started guide,” *T.I.*, vol. 1, pp. 1–64, Oct. 2007.
- [3] T. Instruments, “Tms320x2833x analog-to-digital converter (adc) module,” *T.I.*, pp. 1–46, Sept. 2007.
- [4] T. Instruments, “Tms320x2833x, 2823x enhanced pulse width modulator (epwm) module,” *T.I.*, pp. 1–118, Oct. 2008.
- [5] P. Enjeti and A. Rahman, “A new single phase to three phase converter with active input current shaping for low cost AC motor drives,” *IEEE Trans. Ind. Appl.*, vol. 29, pp. 806–813, July/Aug. 1993.
- [6] J. Itoh and K. Fujita, “Novel unity power factor circuits using zero-vector control for single-phase input systems,” *IEEE Trans. Power Electron.*, vol. 15, pp. 36–43, Jan. 2000.
- [7] B. K. Lee, B. Fahimi, and M. Ehsani, “Overview of reduced parts converter topologies for AC motor drives,” in *Proc. IEEE PESC*, pp. 2019–2024, 2001.
- [8] C. B. Jacobina, M. B. de R. Correa, A. M. N. Lima, and E. R. C. da Silva, “AC motor drive systems with a reduced switch count converter,” *IEEE Trans. Ind. Appl.*, vol. 39, pp. 1333–1342, Sept./Oct. 2003.
- [9] R. Q. Machado, S. Buso, and J. A. Pomilio, “A line-interactive single-phase to three-phase converter system,” *IEEE Trans. Power Electron.*, vol. 21, pp. 1628–1636, May 2006.
- [10] O. Ojo, W. Zhiqiao, G. Dong, and S. Asuri, “High-performance speed-sensorless control of an induction motor drive using a minimalist single-phase PWM converter,” *IEEE Trans. Ind. Appl.*, vol. 41, pp. 996–1004, July/Aug. 2005.
- [11] J. R. Rodríguez, J. W. Dixon, J. R. Espinoza, J. Pontt, and P. Lezana, “PWM regenerative rectifiers: state of the art,” *IEEE Trans. Ind. Electron.*, vol. 52, pp. 5–22, Feb. 2005.
- [12] M. N. Uddin, T. S. Radwan, and M. A. Rahman, “Fuzzy-logic-controller-based cost-effective four-switch three-phase inverter-fed IPM synchronous motor drive system,” *IEEE Trans. Ind. Appl.*, vol. 42, pp. 21–30, Jan./Feb. 2006.
- [13] D.-C. Lee and Y.-S. Kim, “Control of single-phase-to-three-phase AC/DC/AC PWM converters for induction motor drives,” *IEEE Trans. Ind. Electron.*, vol. 54, pp. 797–804, Apr. 2007.
- [14] M. Ashari, W. L. Keerthipala, and C. V. Nayar, “A single phase parallelly connected uninterruptible power supply/demand side management system,” *IEEE Trans. Energy Conversion*, vol. 15, pp. 97–102, Mar. 2000.
- [15] L. Woo-Cheol, L. Taeck-Kie, and H. Dong-Seok, “A three-phase parallel active power filter operating with PCC voltage compensation with consideration for an unbalanced load,” *IEEE Trans. Power Electron.*, vol. 17, pp. 807–814, Sept. 2002.

- [16] L. Asiminoaei, C. Lascu, F. Blaabjerg, and I. Boldea, "Performance improvement of shunt active power filter with dual parallel topology," *IEEE Trans. Power Electron.*, vol. 22, pp. 247–259, Jan 2007.
- [17] L. Asiminoaei, E. Aeloiza, P. N. Enjeti, F. Blaabjerg, and G. Danfoss, "Shunt active-power-filter topology based on parallel interleaved inverters," *IEEE Trans. Ind. Electron.*, vol. 55, pp. 1175–1189, Mar. 2008.
- [18] M. Pascual, G. Garcera, E. Figueres, and F. Gonzalez-Espin, "Robust model-following control of parallel UPS single-phase inverters," *IEEE Trans. Ind. Electron.*, vol. 55, pp. 2870–2883, Aug. 2008.
- [19] J. Guerrero, J. Vasquez, J. Matas, M. Castilla, and L. de Vicuna, "Control strategy for flexible microgrid based on parallel line-interactive UPS systems," *IEEE Trans. Ind. Electron.*, vol. 56, pp. 726–736, Mar. 2009.
- [20] P. Flannery and G. Venkataramanan, "A fault tolerant doubly fed induction generator wind turbine using a parallel grid side rectifier and series grid side converter," *IEEE Trans. Power Electron.*, vol. 23, pp. 1126–1135, May 2008.
- [21] R. M. Cuzner, D. J. Nowak, A. Bendre, G. Oriti, and A. L. Julian, "Mitigating circulating common-mode currents between parallel soft-switched drive systems," *IEEE Trans. Ind. Appl.*, vol. 43, pp. 1284–1294, Sept./Oct. 2007.
- [22] J.-K. Park, J.-M. Kwon, E.-H. Kim, and B.-H. Kwon, "High-performance transformerless online UPS," *IEEE Trans. Ind. Electron.*, vol. 55, pp. 2943–2953, Aug. 2008.
- [23] Z. Ye, D. Boroyevich, J.-Y. Choi, and F. C. Lee, "Control of circulating current in two parallel three-phase boost rectifiers," *IEEE Trans. Power Electron.*, vol. 17, pp. 609–615, Sep. 2002.
- [24] S. K. Mazumder, "Continuous and discrete variable-structure controls for parallel three-phase boost rectifier," *IEEE Trans. Ind. Electron.*, vol. 52, pp. 340–354, Apr. 2005.
- [25] X. Sun, L.-K. Wong, Y.-S. Lee, and D. Xu, "Design and analysis of an optimal controller for parallel multi-inverter systems," *IEEE Trans. Circuits and Systems II*, vol. 53, pp. 56–61, Jan. 2006.
- [26] Z. Ye, P. Jain, and P. Sen, "Circulating current minimization in high-frequency AC power distribution architecture with multiple inverter modules operated in parallel," *IEEE Trans. Ind. Electron.*, vol. 54, pp. 2673–2687, Oct. 2007.