



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Relatório de Estágio Curricular Supervisionado
Projeto de um Inversor Trifásico de Três Níveis com Diodos Grampeadores

João Helder Gonzaga Muniz da Silva

Orientador: Edison Roberto Cabral da Silva

Agosto de 2009

Dedicatória

Aos meus pais João e Auristela pelas preocupações que passaram por minha causa.

À minha noiva Renata com quem compartilho sonhos e objetivos.

As minhas tias Alvânia e Alvanira pelas incontáveis ajudas que me deram e dão.

As minhas irmãs Fabiana e Fernanda.

Ao amigo Weidson do Amaral pelo apoio e estímulo.

Aos meus Avós Antônio e Maria que não está mais conosco.

Aos demais familiares por fazerem parte da minha vida.

Agradecimento

À Renata por todo amor e carinho doado.

Aos amigos que contribuíram de forma direta e indireta para realização deste trabalho.

Ao meu orientador Edson Roberto, por ter confiado no meu trabalho e capacidade.

SUMÁRIO

1. OBJETIVOS	4
1.1. Objetivo específico	4
1.2. Objetivos gerais	4
2. INTRODUÇÃO TEÓRICA	5
2.1. Inversor trifásico de três níveis com diodos grampeadores	6
3. DESCRIÇÃO DO PROJETO	10
3.1. Circuito de potência	10
3.2. Circuitos auxiliares de chaveamento	17
4. TESTE DE FUNCIONAMENTO	28
5. CONSIDERAÇÕES FINAIS	30
6. REFERÊNCIAS BIBLIOGRÁFICAS	31

1. OBJETIVOS

1.1. Objetivo específico

Montagem de um inversor trifásico de três níveis com diodos grampeadores.

1.2. Objetivos gerais

- Estudar a implementação de um conversor trifásico de três níveis;
- Adquirir conhecimentos sobre os inversores de três níveis, bem como suas topologias e aplicações.

2. INTRODUÇÃO TEÓRICA

De uma maneira geral os conversores estáticos são classificados de acordo com sua função de conversão em: conversores CA/CA; conversores CA/CC; conversores CC/CC e conversores CC/CA. Podendo ser classificados também de acordo com a quantidade de chaves utilizadas em conversores multiníveis.

Nos últimos anos tem havido um aumento na procura por conversores de potência para aplicações em médias e altas tensões (potências). O que contribuiu muito para isso também foi o surgimento das tecnologias de dispositivos semicondutores para altas tensões, tais como HVIGBT (High Voltage Insulated Gate Bipolar Transistor) e GCT (*Gate Commutated Thyristor*).

Nos conversores convencionais de dois níveis, eleva-se a frequência de comutação com o intuito de reduzir o conteúdo harmônico e melhorar as formas de onda da tensão de saída. Entretanto, quanto maior for a frequência de comutação, maiores serão as perdas por comutação das chaves, sendo essas perdas, tanto mais significativas quanto maior for a tensão e a potência do sistema elétrico em questão [2].

Os inversores multiníveis possibilitam a geração de formas de ondas de tensões nas saídas mais próximas das senoidais, pois possuem mais níveis para a composição da componente de frequência fundamental, diminuindo as componentes harmônicas. Isso possibilita a utilização das chaves em frequências de chaveamento menores. Além disso, esses conversores apresentam uma série de outras vantagens com relação aos de dois níveis, dentre elas podemos citar: sínteses de níveis de tensões elevadas usando dispositivos semicondutores com tensão nominal baixa; aumento do número de níveis de tensão os quais conduzem a uma melhor forma de onda e reduz a distorção harmônica total da tensão; redução do estresse de tensão do semicondutor (dv/dt), o qual contribui para a redução dos problemas causados pela interferência eletromagnética.

As topologias de inversores multiníveis mais conhecidas são: inversor multinível em cascata; inversor multinível com capacitores flutuantes e o inversor multinível com diodos grampeadores. Este último será discutido a seguir, uma vez que o projeto utiliza essa estrutura.

2.1. Inversor trifásico de três níveis com diodos grameadores

Um inversor trifásico de três níveis possui três braços, onde cada braço possui quatro chaves com seus respectivos diodos em antiparalelo, permitindo dessa forma o fluxo bidirecional de potência, e dois diodos ligados ao “ponto de neutro” ou “derivação central” do barramento CC. Essa topologia pode ser observada na figura 2.1.

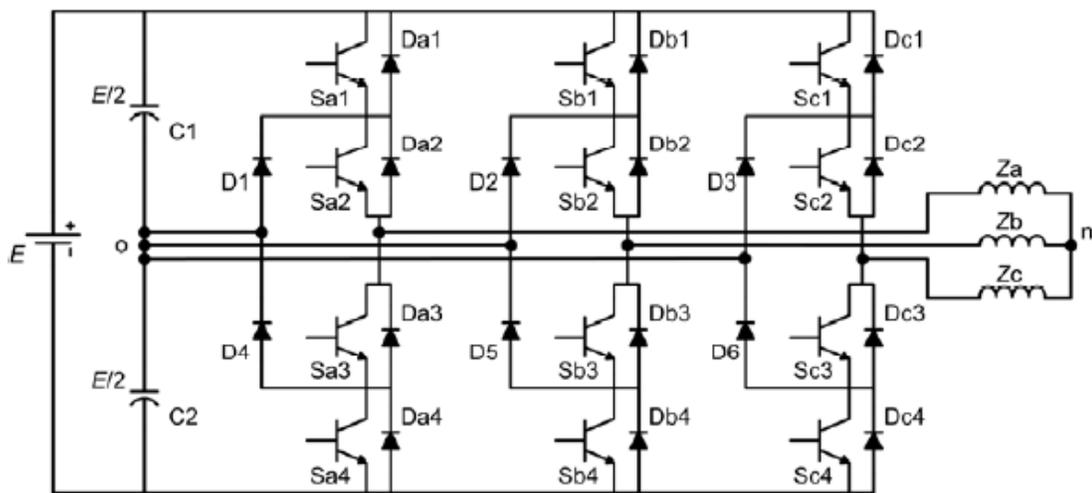


Figura 2.1: Inversor trifásico de três níveis com diodos grameadores [2].

As tensões de pólo, entre fases e entre fase e neutro da carga do são ilustradas na figura 2.2.

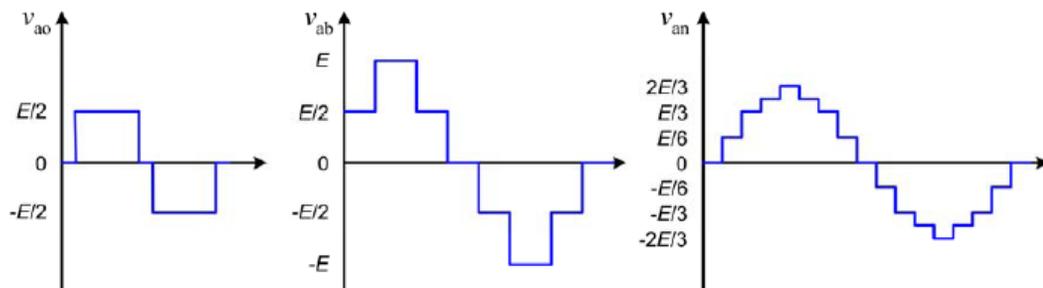


Figura 2.2: Tensão de pólo, Tensão entre fases e Tensão entre fase e neutro do inversor [2].

O estado de condução e bloqueio das chaves do conversor é representado pela variável binária $S_{xi} \in \{0,1\}$, $x \in \{a,b,c\}$ e $i \in \{1,2,3,4\}$, quando $S_{xi} = 1$, a chave está em condução e quando $S_{xi} = 0$, indica que a chave está em estado de bloqueio.

As chaves S_{x1} e S_{x3} de cada braço, trabalham de forma complementar, ou seja, quando S_{x1} está fechada, S_{x3} está aberta e vice – versa. As chaves S_{x2} e S_{x4} , também trabalham de forma complementar.

A tensão de pólo v_{xo} , depende do estado de condução das chaves. Quando as chaves S_{x1} e S_{x2} estão em condução, a tensão de pólo é igual à tensão sobre o capacitor C_1 , v_{c1} . Se as chaves S_{x1} e S_{x2} estiverem em estado de bloqueio, ou seja, as chaves S_{x3} e S_{x4} conduzindo, a tensão de pólo v_{xo} será igual à $-v_{c2}$. Quando S_{x1} está aberta e S_{x2} fechada, a tensão de pólo é nula.

O quadro 2.1, define os estados possíveis para os interruptores de um braço do inversor e seus respectivos valores de tensão de pólo.

Quadro 2.1: Estado das chaves do inversor trifásico de três níveis

Configuração	Estados(K)	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{xo}
2	1100	Condução	Condução	Bloqueio	Bloqueio	E/2
1	0110	Bloqueio	Condução	Condução	Bloqueio	0
0	0011	Bloqueio	Bloqueio	Condução	Condução	-E/2

A partir do quadro 2.1 pode-se obter a equação seguinte relacionando as tensões de pólo v_{xo} com os estados de comutação dos interruptores do inversor para cada fase (a, b ou c),

$$v_{xo} = \left(\frac{K-1}{2} \right) E \text{ com } k \in \{0,1,2\} \quad (1)$$

Como se pode observar no quadro 2.1 e na figura 2.2, as tensões de pólo possuem três níveis, as tensões de linha possuem cinco níveis e as tensões de fase

possuem nove níveis. Assim, como o inversor utiliza três estados para os interruptores de cada braço, a estrutura desse inversor fornece um total de $3^3 = 27$ configurações, das quais apenas 19 produzem valores diferentes de tensões na saída do inversor. Pode-se verificar isto no quadro 2.2, onde as configurações que produzem as mesmas tensões de saída estão agrupadas.

Quadro 2.2: tensões de saída para o inversor trifásico de três níveis com diodos de grampeamento [2].

Configuração	Estados (k_x)	V_{ao}	V_{bo}	V_{co}
0	000	$-E/2$	$-E/2$	$-E/2$
	111	0	0	0
	222	$E/2$	$E/2$	$E/2$
1	100	0	$-E/2$	$-E/2$
	211	$E/2$	0	0
2	110	0	0	$-E/2$
	221	$E/2$	$E/2$	0
3	010	$-E/2$	0	$-E/2$
	121	0	$E/2$	0
4	011	$-E/2$	0	0
	122	0	$E/2$	$E/2$
5	001	$-E/2$	$-E/2$	0
	112	0	0	$E/2$
6	101	0	$-E/2$	0
	212	$E/2$	0	$E/2$
7	200	$E/2$	$-E/2$	$-E/2$
8	210	$E/2$	0	$-E/2$
9	220	$E/2$	$E/2$	$-E/2$
10	120	0	$E/2$	$-E/2$
11	020	$-E/2$	$E/2$	$-E/2$
12	021	$-E/2$	$E/2$	0
13	022	$-E/2$	$E/2$	$E/2$
14	012	$-E/2$	0	$E/2$
15	002	$-E/2$	$-E/2$	$E/2$
16	102	0	$-E/2$	$E/2$
17	202	$E/2$	$-E/2$	$E/2$
18	201	$E/2$	$-E/2$	0

De forma generalizada o inversor multinível com neutro grampeado, para N níveis é necessária a conexão em série de $N-1$ capacitores para produzir os N níveis de tensão a partir do barramento CC, fazendo com que haja também um aumento na

quantidade de diodos de grampeamento, este fato dificulta a montagem de um inversor com essa estrutura para um elevado número de níveis.

Cada interruptor de um braço é submetido a uma tensão de $E/(N-1)$, o que permite sínteses de níveis de tensões elevadas utilizando dispositivos semicondutores de baixa tensão.

3. DESCRIÇÃO DO PROJETO

O sistema do inversor é representado de forma resumida através do diagrama de blocos da figura 3.1.

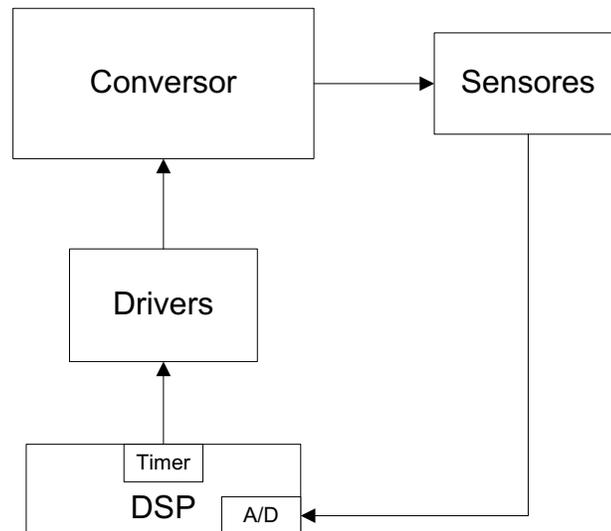


Figura 3.1: Diagrama de blocos do sistema inversor

O bloco conversor representa basicamente o circuito de potência que por sua vez é composto: do circuito do inversor (módulos IGBTs, módulos diodos rápidos, usados como diodos grampeadores e os capacitores supressores); dos capacitores do barramento CC e do circuito retificador formado por três módulos de diodos. Os “drivers” (acionadores), os sensores e o DSP fazem parte dos circuitos auxiliares de chaveamento.

Neste projeto não foram feitas as placas de aquisição de sinais analógicos de tensões e correntes que são gerados pelo inversor e que são enviados ao DSP.

3.1. Circuito de potência

O circuito de potência como já citado acima, é composto pelo retificador trifásico, pelo barramento CC e pelo inversor de três níveis. O inversor de três níveis possui doze chaves distribuídas em três braços, em cada braço possui quatro chaves,

cada uma com um diodo em antiparalelo. As chaves de potência utilizadas são os módulos IGBT SKM 50GB 123D da SEMIKRON®, Fig. 3.3. A transferência de calor desse dispositivo se dá através de sua base isolada, feita de óxido de alumínio. Cada módulo possui dois IGBTs, cada um com um diodo em antiparalelo.

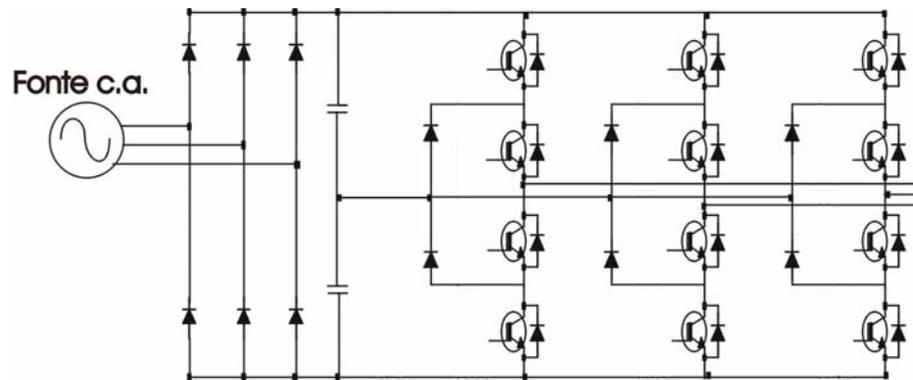


Figura 3.2: Circuito de potência do sistema inversor

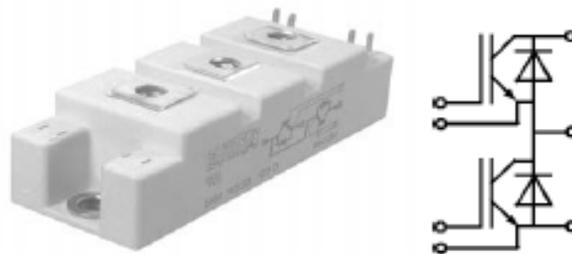


Figura 3.3: Módulo IGBT SKM 50GB 123D.

As principais características do módulo IGBT são dadas no quadro 3.1.

Cada braço do inversor possui dois diodos ligados ao ponto central do barramento CC, esses diodos são chamados de “diodos grampeadores”. Foram utilizados três módulos SKKD 60F da SEMIKRON®, Fig. 3.4, pois cada módulo possui dois diodos encapsulados. Suas junções são severamente soldadas fornecendo segurança na aplicação e da mesma forma que o IGBT, a transferência de calor do mesmo é realizada através da sua base isolada feita de óxido de alumínio. Suas principais características encontram-se no quadro 3.2.

Quadro 3.1: Características elétricas do módulo IGBT SKM 50GB 123D

IGBT			
Características Elétricas		Valores	Unidades
V_{CE}	Tensão coletor – emissor máxima	1200	V
I_C	Corrente máxima de coletor para $T_{case} = 25 / 80^\circ C$	50/40	A
P_{tot}	Potência máxima total dissipada por IGBT	310	W
V_{CEsat}	Tensão de saturação coletor – emissor	2,5	V
t_r	Tempo de subida	60	ns
t_f	Tempo de descida	45	ns
t_{don}	Tempo de atraso na partida	70	ns
t_{doff}	Tempo de atraso no bloqueio	400	ns
E_{on}	Energia dissipada na partida	7	mWs
E_{off}	Energia dissipada no bloqueio	4,5	mWs
Diodo			
I_F	Corrente máxima	50/40	A
r_T	Resistência total	22	m Ω
Q_{rr}	Carga de recuperação reversa	2,3	$\mu CxmJ$



Figura 3.4: Módulo de diodo rápido SKKD 60F.

Quadro 3.2: Características elétricas do módulo diodo SKKD 60F

Características elétricas		Valores	Unidades
V_{RMS}	Tensão máxima	1700	V
I_{FRMS}	Corrente máxima para operações contínuas	110	A
E_{rr}	Energia de recuperação reversa	5	mJ
Q_{rr}	Carga de recuperação reversa	18	μCxmJ

O circuito do inversor possui ainda, capacitores conectados em paralelo aos contatos das chaves, esses capacitores são denominados de “Capacitores supressores”. O uso desses capacitores se faz necessário porque quando as chaves são abertas, existe a formação de arcs em seus contatos. Portanto para absorver a energia que causa esse arco usam-se os capacitores supressores.

São utilizados seis capacitores supressores, dois em cada braço, Fig. 3.5.

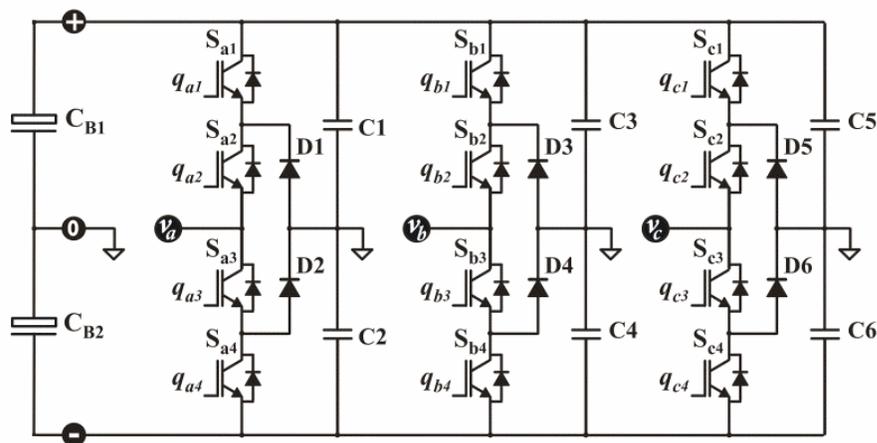


Figura 3.5: Esquema de ligação dos capacitores supressores no inversor [3].

Os capacitores utilizados são de fabricação da EPCOS®, cuja referência é B32686 57224 K500. Seu dielétrico é fabricado de polipropileno. Sua estrutura interna é feita de filmes metálicos com folhas de metais conectadas em série e para sua vedação é utilizada resina epóxi. No quadro 3.3 são dadas as principais características elétricas desses capacitores.



Figura 3.6: Capacitor filme de polipropileno.

Quadro 3.3: Características elétricas dos capacitores supressores

Características elétricas		Valores	Unidades
C	Capacitância	0,22	μF
V_{DC}	Tensão máxima	1250	V
R_S	Resistência Série	0,07	Ω

Para o barramento CC foram utilizados capacitores também de fabricação da EPCOS®. Trata-se de capacitores eletrolíticos cuja referencia é B43875 – A5228 – Q, Fig. 3.7.

Como a tensão suportável pelas chaves é de 1200 V, para tornar o barramento compatível, foram utilizados quatro capacitores para construção do mesmo. As principais características elétricas dos capacitores utilizados no barramento são dadas no quadro 3.4.



Figura 3.7: capacitor eletrolítico da EPCOS®.

Quadro 3.4: Características elétricas dos capacitores do barramento CC

Características elétricas		Valores	Unidades
C	Capacitância	2200	μF
V_{DC}	Tensão máxima	450	V
R_S	Resistência Série	0,06	Ω

O parâmetro que limita a capacidade de corrente de coletor de um IGBT de potência (e de outros semicondutores de potência) é a máxima temperatura T_j de junção (-40...+150(125°C) para o IGBT SKM 50GB 123D). Esta temperatura não deve ultrapassar o valor limite indicado pelo fabricante, pois caso contrário, provoca-se a destruição do componente por aquecimento. Para dissipar o calor gerado pelo dispositivo e manter sua temperatura de junção dentro dos limites recomendados, é necessário montá-lo sobre um dissipador de calor (heat sink) com resistência térmica R_{thda} adequada [4].

Para determinar a resistência térmica do dissipador é imprescindível quantificar a energia dissipada pelo dispositivo durante um período de comutação. Portanto, para realizar o cálculo térmico é necessário quantificar as perdas em cada semicondutor do conversor.

Efetuada-se os cálculos, pode-se determinar que a potência total dissipada pelo conversor fica em torno de 600 W, daí a resistência térmica do dissipador pode ser obtida utilizando a curva R_{thda} em função do comprimento fornecido pelo fabricante. O comprimento do dissipador é de 40 cm. Para uma potência total dissipada de 600W temos que $R_{thda} = 0,18^\circ\text{C}/\text{W}$ para uma refrigeração natural. No entanto, é utilizada também a convecção forçada (ventilador), mas o fabricante não fornece o valor de R_{thda} utilizando-se convecção forçada. Em geral, a resistência térmica utilizando ventilador é três vezes menor que a com refrigeração natural.

O dissipador utilizado na montagem do inversor é de fabricação da SEMIKRON®, cuja referencia é P3, Fig. 3.8.

O ventilador utilizado é o SKF23 – 230 – 01 fabricado também pela SEMIKRON®, Fig. 3.9.

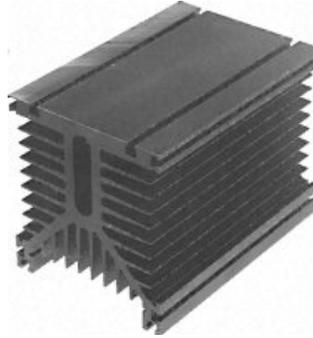


Figura 3.8: Dissipador P3 da SEMIKRON®.



Figura 3.9: Ventilador SKF23 – 230 – 01 da SEMIKRON®.

A topologia das conexões dos componentes do inversor de três níveis sobre o dissipador é ilustrada na figura 3.10.

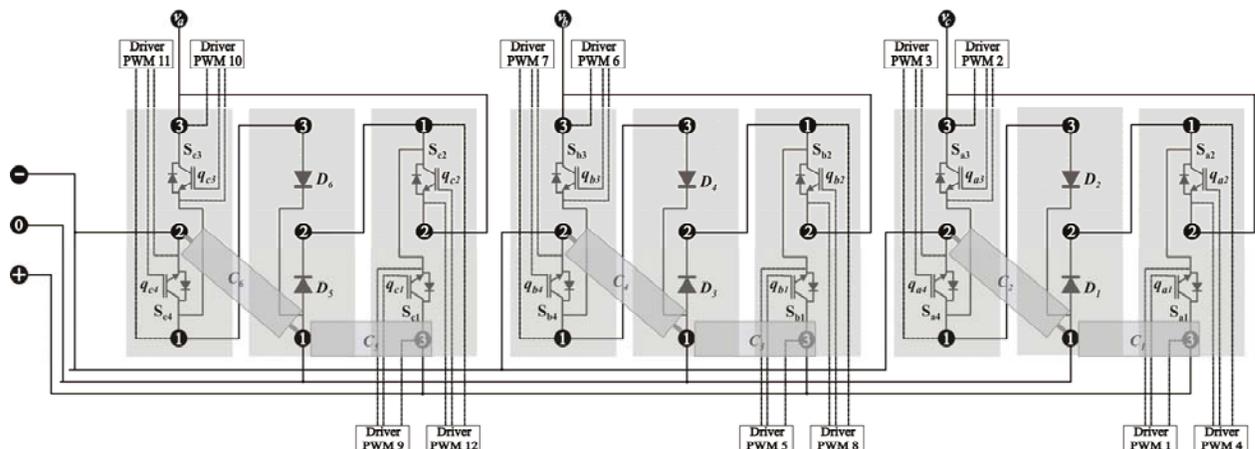


Figura 3.10: Arranjo e conexões dos componentes sobre o dissipador [3].

Para montagem da ponte retificadora trifásica, foram utilizados três módulos SKKD 46/12 da SEMIKRON®, Fig. 3.11. Cada módulo possui dois diodos encapsulados. A montagem desse retificador foi feita em um dissipador em separado do inversor. As principais características elétricas deste dispositivo são dadas no quadro 3.5.



Figura 3.11: Módulo diodo SKKD 46/12

Quadro 3.5: Características elétricas do módulo diodo SKKD 46/12

Características elétricas		Valores	Unidades
V_{RMS}	Tensão máxima	1300	V
I_{FRMS}	Corrente máxima para operações contínuas	90	A
r_T	Resistência total	5	m Ω

3.2. Circuitos auxiliares de chaveamento

O circuito auxiliar é composto pelos “drivers”; sensores; o DSP e uma placa de circuito impresso (PCI), responsável por alimentar os drives, levar os sinais PWM gerados pelo DSP aos “drivers” e levar os sinais obtidos pelos sensores de corrente e tensão às entradas analógico/digital (A/D) do DSP.

A utilização de processadores digitais de sinais (DSP) nos dias atuais vem crescendo rapidamente em substituição aos sistemas tradicionais de acionamento de cargas elétricas (circuitos analógicos, circuitos digitais ou micro-processados, microcomputadores, etc.). Várias empresas de fabricação de inversores de tensão

utilizam um ou mais DSPs em suas estruturas internas para tratar os sinais adquiridos e comandar os inversores.

As vantagens do uso do DSP residem no fato de que existem vários modelos com arquitetura especialmente desenvolvida para o controle digital e acionamento de motores, que inclui um conjunto de periféricos integrados ao silício e dedicados a funções específicas que eliminam a necessidade de componentes externos (conversores *A/D*, *Timers*, geradores de PWM com tempo morto, etc), e um conjunto de instruções elaboradas para o processamento de sinais digitais e que possibilitam a utilização do DSP sem um grande esforço de programação (modelos com processamento em ponto flutuante) [2].

O alto desempenho destes microcontroladores especiais possibilita também:

- Programar algoritmos complexos em tempo real.
- Programar altas taxas de amostragem.
- Minimizar atrasos computacionais.
- Programar e desempenhar funções múltiplas.

Por isso um processador de sinais digitais foi escolhido para gerar os sinais PWM e comandar o inversor multinível.

Além de fornecer os sinais de comando para os interruptores do inversor, o DSP recebe os sinais analógicos de corrente e tensão gerados pelo inversor e sinais de tensão do barramento de corrente contínua.

O DSP utilizado é TMS320F2812 da Texas Instruments e foi utilizado juntamente com a placa de desenvolvimento eZdsp™ F2812, da Spectrum Digital Incorporate, cujo diagrama de blocos está mostrado na Figura 3.12. Esta placa já possui interface necessária para um rápido desenvolvimento. Ela já vem equipada com conectores para alimentação, memória RAM externa de 64K de palavras de 16 bits, DSP F2812, cristal de 30MHz, interface JTAG, conectores de expansão e conectores para os diversos pinos de entrada e saída do DSP.

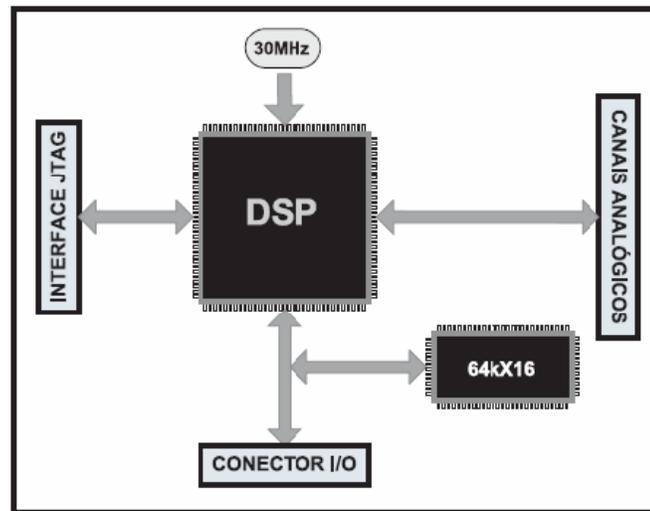


Figura 3.12: Diagrama de blocos simplificados da eZdsp™ F2812

O DSP TMS320F2812 de 32 bits de ponto fixo e possui uma combinação de arquitetura RISC e de microcontrolador. A arquitetura RISC permite a execução de uma instrução a cada ciclo de *clock*, tornando a CPU de 150MIPS, com as características de um microcontrolador que inclui um conjunto de instruções bastante intuitivo, manipulação de bits e outras.

As principais características do TMS320F2812 são:

- Tecnologia CMOS Estática de alto desempenho;
- Frequência de operação: 150 MHz (ciclo de clock 6,67ns);
- Baixo consumo de energia (1,9V Processador e 3,3V portas I/O);
- Programação em memória Flash de 3,3V;
- Unidade Central de Processamento de alto desempenho em 32 Bits;
- Realiza operações aritméticas de multiplicação de 32 bits x 32 bits;
- Barramento com arquitetura Harvard;
- Linguagens de programação: C/C++ e Assembly;
- Memória Flash interna: 128KWords x 16bits;
- Memória ROM interna: 128KWords x 16bits;
- Memória RAM interna de acesso único (SARAM): 128KWords x 16bits;

- Configuração de memória de *Boot* ROM (4K x 16) com software para gerenciamento dos modos de *boot* (RAM, Flash) e tabelas para execução de funções matemáticas incluídas;
- Interface com memória externa com capacidade de 1M de memória;
- Periféricos para suporte de interrupções;
- Código de segurança programável de 128 bits;
- 3 *timers* de 32 bits;
- Periféricos dedicados para servomecanismos: 2 gerenciadores de eventos para gerenciar *timers*, PWM e módulo de captura de *encoder*, periféricos para comunicação serial (SPI, SCI, eCAN, McBSP);
- 16 canais multiplexados para conversão analógico-digital: 2 amostradores, 1 conversor A/D de 12 bits, taxa de conversão de 80 ns/12,5 milhões de amostras por segundo;
- 56 portas I/O (entrada e saída) a ser programadas individualmente;
- Recurso de verificação de erros e monitoramento de memória em tempo-real.



Figura 3.13: Placa de desenvolvimento eZdsp™ F2812.

Para efetuar os disparos das chaves do inversor, é necessário adaptar os níveis de tensão e corrente dos sinais de comando com nível necessário ao bloqueio de disparo de tais chaves. Com isso se faz necessário o uso de *drivers* para disparo dos IGBTs. Além da função descrita acima, os *drivers* promovem uma isolamento galvânica entre o circuito de controle do conversor e as tensões nas quais as chaves são

submetidas. O *driver* utilizado foi o SKHI10 da SEMIKRON®, Fig. 3.14. Este *driver* comanda apenas uma chave, portanto utiliza-se doze *drivers* para o chaveamento do inversor. A seguir as principais características e configurações são descritas:

- O SKHI 10 possui um seletor do nível de tensão de entrada para dois níveis diferentes, onde é ajustado pelo *jumper* J₁. O nível de tensão utilizado foi de 5 V (TTL), o fabricante fornece o *driver* ajustado para 15 V (CMOS);
- Possui um bloco de detecção de erro, o qual é acionado apenas quando é detectado um curto – circuito no IGBT ou V_S (pino de alimentação do *driver*, o qual é alimentado com 15 V) permanece abaixo de 13 V por mais de 0,5 ms. Uma vez detectado o erro, é enviada uma mensagem de erro ao pino 3 do driver, que por sua vez é conectado a um circuito externo (que será descrito mais adiante). Essa mensagem de erro pode ser em nível lógico alto (ou baixo se o *jumper* J₃ for curto – circuitado), esta última opção é a que foi utilizada. Para detecção de curto – circuito nos IGBTs o pino V_{CE} é conectado ao coletor do IGBT;
- Possui um transformador de ferrite, oferecendo dessa forma uma boa isolamento.



Figura 3.14: Driver SKHI 10 da SEMIKRON®

As principais características elétricas do *driver* são dadas no quadro 3.6.

Quadro 3.6: Principais características elétricas do SKHI 10 da SEMIKRON®

Características elétricas		Valores	Unidades
V_S	Tensão primária de alimentação	15	V
I_S	Corrente máxima de alimentação	0,3	A
$t_{d(ON)IO}$	Tempo de propagação entrada/saída do sinal de disparo	1,4	μs
$t_{d(OFF)IO}$	Tempo de propagação entrada/saída do sinal de bloqueio	1,4	μs
$t_{d(Err)}$	Tempo de propagação entrada/saída do sinal de erro	1,0	μs

Para a alimentação dos *drivers*, foi utilizada uma fonte chaveada de fabricação da POWERBRAS®, de referência STF 15 – 5, Fig. 3.15. Apresenta como principais características alta eficiência e confiabilidade para uso industrial. É indicada para casos onde as condições ambientais são mais severas e o acesso mais difícil, por causa do seu tamanho reduzido. Possui baixo ripple e boa regulação. Através um *trimpot*, pode-se ajustar em $\pm 10\%$ o valor tensão de saída.



Figura 3.15: Fonte de tensão chaveada STF 15 – 5 da POWERBRAS®

A potência necessária para alimentar cada *driver* pode ser calculada como:

$$P_{driver} = V_S * I_S = 4,5W$$

Como o inversor faz uso de doze *drivers*, então a potência total necessária é de $P_{driver_total} = 54W$. Como a fonte fornece uma potência total de 75W, então pode – se concluir que a mesma é suficiente para aplicação em questão.

No quadro 3.7, são apresentadas algumas características técnicas da fonte.

Quadro 3.7: dados técnicos Fonte de tensão chaveada STF 15 – 5 da POWERBRAS®

Dados Técnicos		
	Valores	Unidades
Tensão de entrada nominal	100/220	V _{ca}
Frequência de entrada	47 a 60	Hz
Potência máxima de saída	75	W
Ripple + ruído	< 0,2 %	
Regulação de carga	< 0,5 %	
Regulação de linha	< 0,2 %	
Rendimento típico	> 80 %	
Frequência de chaveamento	100	KHz

Para fazer alimentação dos *drivers* e levar os sinais de chaveamento produzidos pelo DSP também aos *drivers*, foi construída uma placa de circuito impresso (PCI). Essa placa possui um circuito de *reset* dos *drivers*, onde pode-se fazer o *reset* através de uma chave. A placa possui ainda um circuito de detecção de erro, servindo para sinalizar quando e qual dos *drivers* está bloqueado. O diagrama elétrico da PCI é dado abaixo.

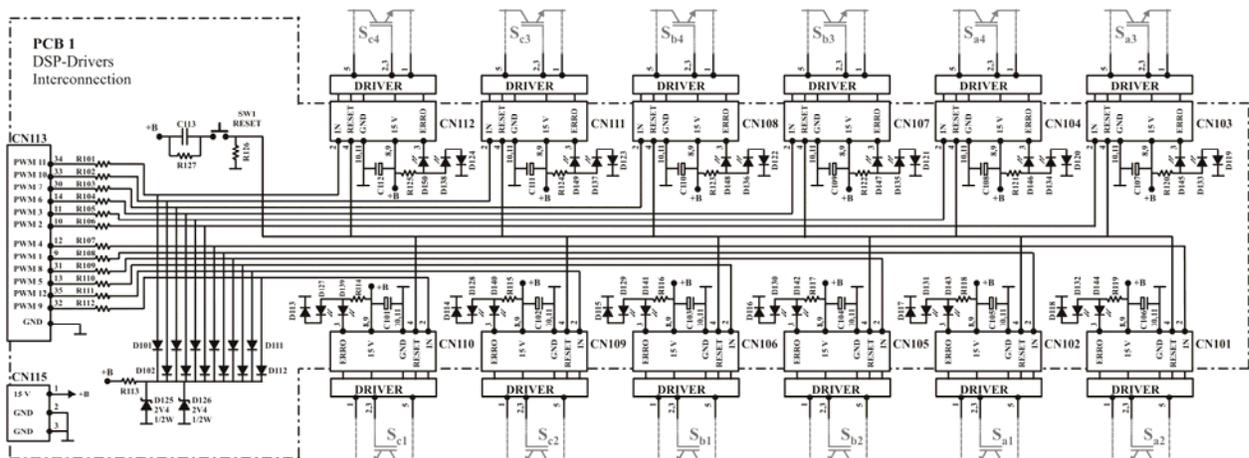


Figura 3.16: Diagrama elétrico da PCI [3].

Na figura 3.17, é ilustrado o circuito de detecção de erro para um *driver*. O circuito é composto por três diodos, sendo que desses três, dois são led's. Para D_1 , foi utilizado um diodo 1N4148 e para D_2 e D_3 , foi utilizado um led verde e um led vermelho, respectivamente. Os pinos 8 e 9 (V_{cc}) são alimentados com tensão de 15 V e os pinos 10 e 11, são conectados ao terra da fonte. O pino 4 do *driver* é entrada de *reset* e o pino 2 é entrada do sinal de chaveamento.

Ao alimentarmos os *drivers*, estando os mesmos, em perfeitas condições de funcionamento e com os pinos V_{CE} conectados ao coletor dos seus respectivos IGBTs, o led verde acende indicando, que não há falha na alimentação, e nem algum curto-circuito nos IGBTs. Quando ocorrem algumas dessas falhas, uma mensagem de erro em nível lógico baixo é enviada a porta três do driver, onde está conectado o led vermelho. Com isso ocorre uma diferença de potencial sobre os terminais desse led, fazendo com que o mesmo conduza e dessa forma acenda, sinalizando assim algum defeito. Quando o led vermelho entra em funcionamento, o led verde é desligado. Enquanto o *driver* sinaliza um erro, a saída de sinais é desabilitada bloqueando dessa forma o IGBT.

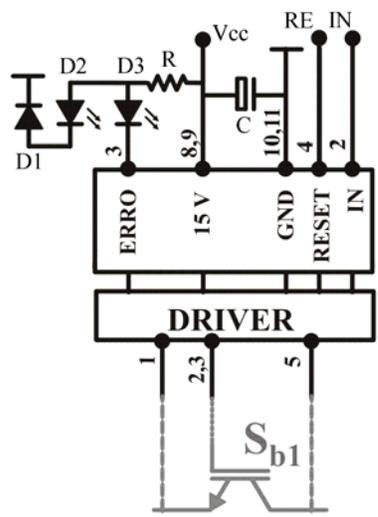


Figura 3.17: Circuito de detecção de erro de um IGBT.

O circuito de *reset* serve para desabilitar o sinal de erro quando algumas das falhas citadas cima ocorre. A largura do sinal de *reset* deve ser maior $5\mu s$ para que o sinal de erro seja desabilitado. A entrada de reset precisa ser conectada a 0 V para habilitar a saída de sinais V_{IN} , se esta porta ficar em nível alto o driver ficará bloqueado.

A tabela da verdade relacionando os estados lógicos dos sinais de erro e *reset* é dado a seguir.

Tabela 3.1: tabela da verdade do sinal de erro

Ocorrência de falha	RESET	ERROR	V _{IN}
Não	0	0	Habilitado
Não	1	0	Desabilitado
Sim	0	1	Desabilitado
Sim	1	0	Desabilitado

Na figura 3.18 é ilustrado o circuito de *reset* presente na PCI. A entrada V_{CC} recebe uma tensão de 15 V e o ponto “RE” é ligado a entrada de *reset* de todos os *drivers*. Como podemos ver o circuito é bem simples, assim como seu funcionamento. A chave utilizada possui estado “normalmente aberto” assim quando a chave esta aberta, a entrada de *reset* fica em 0 V, quando fechada, um divisor resistivo é formado e a entrada de *reset* fica com um nível de tensão igual ao de R₂.

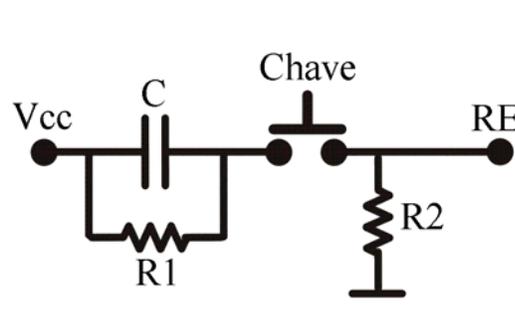


Figura 3.18: Circuito de reset dos drivers.

Para o desenvolvimento do layout da PCI, Fig. 3.19, foi utilizado o programa Orcad versão 9.2. Foi utilizada uma placa de fibra de vidro de apenas uma face, visto que possui uma quantidade pequena de componentes com relação as suas dimensões. Como a placa possui um comprimento total de 522 mm, necessitou-se dividir a mesma em duas partes possibilitando assim sua confecção na “fresa”.

A “fresa” (nome popular) de fabricação da LPKF Laser e Eletrocnics, cuja referência é Protomat S62, Fig. 20, é uma ferramenta específica para fabricação de placas de circuito impresso. Possui dez posições para colocação das fresas, nos quais ela usa para fazer as trilhas, furar e cortar a placa.

A fresa é manuseada através de um computador, e necessita de alguns arquivos chamados de *gerber* para confecção da placa. Necessita de um arquivo para o corte das trilhas, um para os furos, outro para fazer o corte da placa, etc. Esses

arquivos são gerados pelo programa usado para fazer o *layout*. Todos os programas atuais destinados a esse fim possuem essa funcionalidade.

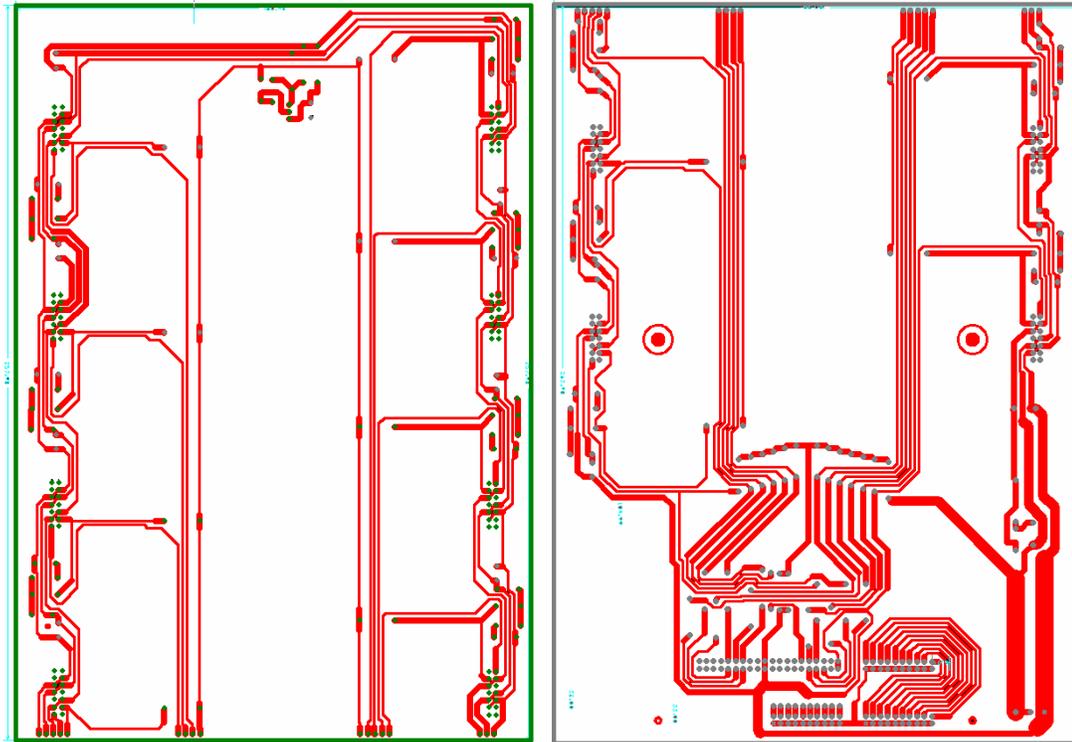


Figura 3.19: Layout da PCI (parte superior e inferior).



Figura 3.20: Protomat S62 da LPKF Laser e Eletrocnics

A montagem completa do inversor pode ser vista na figura 3.21.



Figura 3.21: Inversor Trifásico de Três Níveis com Diodos Grampeadores

4. TESTE DE FUNCIONAMENTO

Os testes de funcionamentos foram feitos nos circuitos auxiliares de chaveamento. Primeiramente foi testada a PCI, alimentando-a com a fonte de 15 V e verificando através dos leds e medição de tensões sobre os capacitores colocados entre o V_{cc} e terra de cada *driver* se havia tensão no ponto de alimentação dos *drivers*.

Na segunda parte do teste, foi compilado um programa no DSP, que gera 12 sinais PWM quaisquer e com ajuda de um osciloscópio foi verificado o funcionamento do código medindo-se esses sinais nas correspondentes saídas do DSP.

Os códigos para comandar o DSP TMS320LF2407 é um programa em linguagem C e foi compilado em um ambiente de programação denominado de *Code Composer*® da *Texas Instruments*. O *Code Composer*® dentre suas características, possibilita enviar e armazenar o programa compilado para a memória do DSP, observar a evolução das variáveis e fazer alterações em seus valores em tempo real, etc.

Na terceira parte do teste, O DSP foi acoplado a PCI, onde foi averiguado com o osciloscópio em cada soquete de comunicação com os *drivers*, o comportamento dos sinais.

Na última parte do teste, foi acrescentada a placa, os doze *drivers*, com o intuito de verificar o funcionamento dos drivers, o circuito de detecção de erro, o circuito de reset e o circuito de alimentação como um todo.

Como discutido acima, para o *driver* não gerar sinal de erro bloqueando assim sua saída, é necessário conectar o pino V_{CE} ao coletor do IGBT. Contudo, para esse teste inicial sem conexão com os IGBTs, a saída V_{CE} foi conectada ao pino E (saída que é conectada ao emissor do IGBT), evitando o sinal de erro e habilitando a saída de sinais para medições, concluindo desse modo o teste de todo o circuito de chaveamento do inversor.

A figura 4.1 ilustra o sinal obtido na saída de um dos *drivers*. Para os dozes acionadores foram obtidos o mesmo sinal.

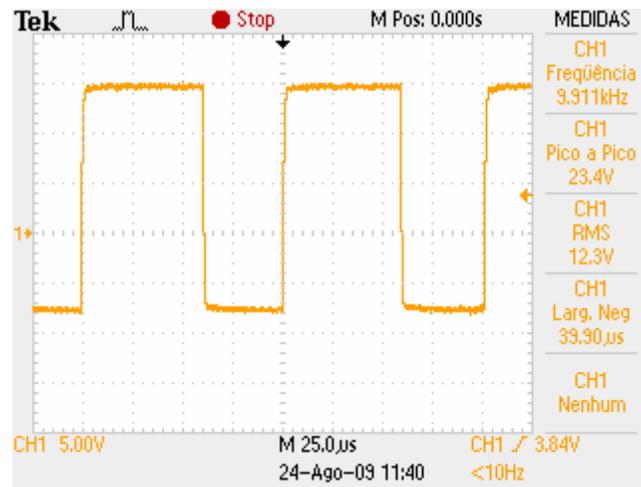


Figura 4.1: Forma de onda na saída de um dos *drivers*.

5. CONSIDERAÇÕES FINAIS

O inversor de três níveis, construído, pode trabalhar como um inversor de dois níveis, bastando para isso, mudar as configurações dos sinais que são enviados às chaves.

O programa utilizado nos testes de funcionamento dos circuitos de chaveamento, que gera doze sinais, se destina apenas para essa finalidade. Não servindo o mesmo para comandar o chaveamento do inversor, pois nesse caso o programa precisa ter uma abordagem mais detalhada, como a adição de tempo morto, etc.

No trabalho não foram feitas as placas de aquisição de sinais analógicos de tensões e correntes gerados pelo inversor que são enviados para o DSP. Desse modo, só é possível a análise do sistema em malha aberta, no entanto isso é perfeitamente viável já que os dispositivos utilizados suportam níveis de tensão e corrente bem acima dos valores que se é utilizado no LEIAM, laboratório onde foi desenvolvido o projeto.

6. REFERÊNCIAS BIBLIOGRÁFICAS

[1] WU, Bin. “High Power Converters and AC drives”. New Jersey: John Wiley, 2006.

[2] Oliveira Júnior, A. S. de. “Estratégia generalizada de modulação por largura de pulso para inversores multiníveis”. Campina Grande: UFCG, 2005. Tese de Doutorado.

[3] C. DA SILVA, Edison Roberto; D. DE ALMEIDA, Kátia Viviane; A. R. M. OLIVEIRA, Jonas; A. M. BENTO, Aluísio. “DSP Based Controlled Three – level Three – phase Campled – Diode Topology”. Campina Grande: UFCG, 2008. Relatório de pesquisa.

[4] Bascopé, R. P. T., “Modelagem de Perdas e Cálculo Térmico para Mosfets e Igbts”. Apostila de Eletrônica de Potência, cap. 13. GPEC/DEE/UFC.

[5] DSP TMS320F2812 Datasheet. Disponível em <<http://focus.ti.com/lit/er/sprz193l/sprz193l.pdf>>. Acesso em: 20.08.2009.

[6] IGBT SKM 50GB 1123D Datasheet. Disponível em <<http://www.semikron.com/internet/ds.jsp?file=2339.html>>. Acesso em: 20.08.2009.

[7] Diodo SKKD 60F17 Datasheet. Disponível em <<http://www.semikron.com/internet/ds.jsp?file=204.html>>. Acesso em: 20.08.2009.

[8] Diodo SKKD 4612 Datasheet. Disponível em <<http://www.semikron.com/internet/ds.jsp?file=794.html>>. Acesso em: 20.08.2009.

[9] Driver SKHI 10 Datasheet. Disponível em <http://www.semikron.com/internet/webcms/online/pdf/SKHI_10_12.pdf>. Acesso em: 20.08.2009.

[10] Heatsink P3 Datasheet. Disponível em <<http://www.eltron.pl/elektronika/semikron/pdf/akcesoria/P3.pdf>>. Acesso em: 20.08.2009.

[11] Fonte chaveada STF 15-5 Datasheet. Disponível em <<http://www.powerbras.com.br/fontes-chaveadas-stf.htm>>. Acesso em: 20.08.2009.