

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Trabalho de Conclusão de Curso

Projeto e Leiaute de um Amplificador Operacional de Dois Estágios

Diego Buriti Araújo

Campina Grande, julho de 2010

Projeto e Leiaute de um Amplificador Operacional de Dois Estágios

Trabalho de Conclusão de Curso submetido à Unidade Acadêmica de Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção da graduação em Engenharia Elétrica.

Aluno:

Diego Buriti Araújo

Orientador:

Raimundo Carlos Silvério Freire

Campina Grande, julho de 2010



DEDICATÓRIA

Dedico este trabalho para todas as pessoas que confiam em mim, sempre me apoiaram e nunca me deixaram desistir.



AGRADECIMENTOS

Agradeço primeiramente à minha família, a qual me deu todo o apoio necessário, compreensão e afeto para que eu enfrentasse todos os obstáculos da minha vida. Agradeço imensamente a minha namorada Vanessa Dantas, que sempre me apoiou desde que estamos juntos e unidos pelo amor, sendo a responsável por minhas maiores inspirações.

Aos mestres, principalmente ao Professor Raimundo Carlos Silvério Freire e Edson Guedes da Costa, que proporcionaram um ensino de qualidade, a partir do qual obtive conhecimentos suficientes para me tornar um Engenheiro Eletricista.

Aos meus amigos de curso Alana , Ana Vitória, Uian e Ulisses, que sempre estiveram comigo nesta jornada acadêmica, unidos para o resto das nossas vidas pela amizade proporcionada pelos nossos esforços de sermos excelentes profissionais.

Aos meus queridos amigos Daniel Moura, Giotto Braz, Felipe Carvalho, Jhésus Tribuzi, João Luis, Raffael Carvalho e Reginardo Tribuzi por terem me acompanhado durante uma boa parte da minha vida, tendo ótimos momentos dos quais lembrarei, com orgulho, para sempre.



RESUMO

A produção de circuitos integrados é um processo composto de várias etapas, desde a descrição da função a ser realizada pelo circuito, passando pela sua modelagem com componentes eletrônicos, simulações para verificações de resultados, implementação do leiaute (processo que define as disposições físicas dos componentes na pastilha de silício) e por fim, o empacotamento que será enviado para os testes.

Este TCC teve como objetivo a implementação de um leiaute de um Amplificador Operacional CMOS de Dois Estágios de um determinado projeto [2], fazendo a utilização do *Cadence*® para a simulação do esquemático, para a criação do leiaute e para a extração de parasitas do mesmo.

Palavras-chave: Amplificador Operacional CMOS de Dois Estágios, Esquemático, Leiaute, *Cadence*®, *Virtuoso*®.

ABSTRACT

The fabrication of integrated circuits is a complex process developed in some steps, since the description of the function to be realized by the circuit, passing through its casting with electrical components, simulations to verify the results, implementation of the circuit layout (which is the process that defines the physical positions of each component in the wafer), ending with the packaging and the tests.

The main purpose of this work was the implementation of a layout of a Two Stage CMOS Operational Amplifier from a project [2], using the Cadence® tool to simulate the schematic, to implement the layout and to extract the parasites from the system.

Key-words: *Two Stage CMOS Operational Amplifier, Schematic, Layout, Cadence®, Virtuoso®.*



SUMÁRIO

1	Introdução	1
2	O Amplificador Operacional	2
2.1	Espelho de Corrente	3
2.2	Par Diferencial.....	5
3	O Amplificador Operacional de Dois Estágios	7
3.1	Funcionamento	8
3.2	Tensão de Desvio de entrada.....	8
3.3	Cálculo das dimensões dos transistores.....	9
4	Simulação	11
5	Leiaute	15
6	Conclusões	17
7	Perspectivas e Trabalhos Futuros.....	18
	Referências Bibliográficas.....	19
	Anexos	20



LISTA DE FIGURAS

Figura 1 - Simbologia representativa do Amplificador Operacional.....	2
Figura 2 - Circuito representativo de um Espelho de Corrente.....	3
Figura 3 - Circuito que representa diversos Espelhos de Corrente.....	4
Figura 4 - Circuito de um Par Diferencial.....	5
Figura 5 - Gráfico das saídas de um Par Diferencial para uma entrada diferencial	6
Figura 6 - Circuito do Amplificador Operacional CMOS de Dois Estágios	7
Figura 7 - Tela de Configuração da simulação no Virtuoso®.....	13
Figura 8 - Gráfico da saída do Amplificador Operacional para uma entrada diferencial senoidal de 1mV e 100 Hz.....	13
Figura 9 - Gráfico da Resposta em Frequência do Amplificador Operacional	14
Figura 10 - Leiaute do Amplificador Operacional CMOS de Dois Estágios	15



LISTA DE ABREVIATURAS

- CMOS** - *Complementary Metal-Oxide-Semiconductor*
- NMOS** - MOS com dopagem tipo N (excesso de elétrons)
- PMOS** - MOS com dopagem tipo P (excesso de lacunas)
- μ_N - mobilidade dos portadores do tipo N (elétrons)
- μ_P - mobilidade dos portadores do tipo P (lacunas)
- I_D - corrente de dreno
- V_{GS} - diferença de tensão entre a porta (*Gate*) e a fonte (*Source*)
- V_t - tensão de transição
- C_{OX} - Capacitância por unidade de área da porta (*Gate*)
- g_m - transcondutância do transistor
- g_o - transcondutância de saída do transistor
- W - largura do canal do transistor
- L - comprimento do canal do transistor

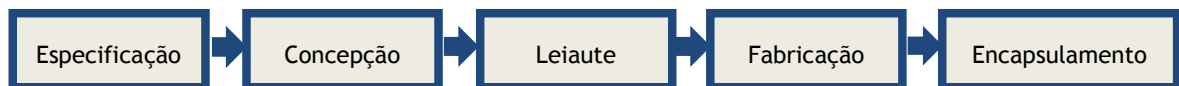


Projeto e Leiaute de um Amplificador Operacional de Dois Estágios

1 Introdução

Do ponto de vista conceitual mais simples no processamento de sinais está a amplificação. A necessidade de amplificar sinais cresce devido às respostas dos sensores, as quais são de ordem de grandeza baixa, da ordem de microvolts (μV) ou milivolts (mV), possuindo pouca energia. Tais sinais não possuem uma amplitude significativa para que o processamento seja de confiança. Para que o processamento do sinal seja considerado de confiança, é necessária uma maior magnitude do sinal. O bloco funcional que realiza esta amplificação é o amplificador operacional [1].

A fabricação de circuitos eletrônicos integrados é composta de várias etapas, desde a designação da função a ser desempenhada pelo circuito até a sua produção e encapsulamento para que possam ser utilizados. O processo pode ser descrito com as seguintes etapas:



- Especificação - processo no qual será designada a função do circuito a ser produzido. Ex: amplificador, somador, multiplicador etc;
- Concepção - processo no qual serão inseridos componentes eletrônicos tais como transistores, *flip-flops* etc para desempenhar a função do circuito;
- Leiaute - alocação física dos componentes eletrônicos do circuito;
- Empacotamento - fechamento do circuito com a inserção dos terminais de entrada, saída e alimentação.

Neste trabalho será concebido um amplificador operacional de dois estágios CMOS em tecnologia AMIS¹ 0,5 μm . No decorrer do projeto, serão explicadas as partes que compõem o circuito, sua simulação e a concepção do leiaute, sendo esta, a etapa que precede o envio do projeto para a fábrica.

¹ AMI Semiconductor, Inc

2 O Amplificador Operacional

O Amplificador Operacional (Amp-Op) é um dos blocos mais importantes na construção de circuitos eletrônicos de uso geral tais como: conversores analógico-digitais, filtros e amplificadores. A performance de um Amp-Op muitas vezes limita o desempenho do circuito no qual está inserido em termos de faixa dinâmica de operação, frequência dos sinais de entrada, consumo de potência etc.

Amp-Ops têm sido utilizados há muito tempo. Inicialmente, os circuitos eram implementados com componentes discretos (resistores, capacitores e válvulas, as quais foram substituídas pelos transistores). Entretanto, o seu desempenho e qualidade estavam muito abaixo dos amplificadores atuais. A introdução dos primeiros Circuitos Integrados (CI's) foi por volta da primeira metade da década de 60, e apesar de suas características limitadas, revolucionou a forma de projeto dos circuitos eletrônicos.

A mais simples das tarefas no processamento de sinais é a amplificação dos mesmos utilizando Amp-Ops. A necessidade de amplificar sinais é devida às respostas geradas pelos transdutores, as quais são, geralmente, de baixa amplitude (na faixa de microvolts (μV) ou milivolts (mV)), e que possuem baixa energia. A função de um Amp-Op é produzir uma réplica sem distorções do sinal de entrada com um ganho de amplitude na saída. Na Figura 1 pode-se ver o símbolo representativo de um Amp-Op.

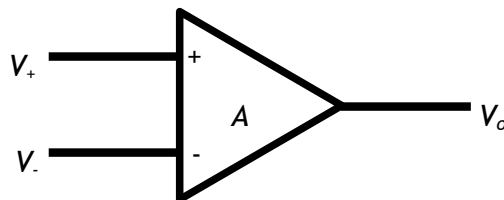


Figura 1 - Simbologia representativa do Amplificador Operacional

Na saída do Amp-Op, obtém-se o seguinte sinal:

$$V_o = A(V_+ - V_-) \quad (1)$$

, em que V_o é o ganho de malha aberta, V_+ e V_- são as entradas diferenciais de tensão

O amplificador operacional possui sub-sistemas básicos, tais como espelhos de corrente e pares diferenciais. Tais elementos quando dispostos em uma determinada configuração implementam um Amp-Op. Em seguida, detalharemos o funcionamento de um espelho de corrente e de um par diferencial.

2.1 Espelho de Corrente

O espelho de corrente, cuja representação está ilustrada na Figura 2, é um bloco funcional muito utilizado na polarização dos circuitos integrados. A polarização destes circuitos é baseada no uso dessas fontes, aplicando-se valores constantes. Uma corrente de referência externa ao circuito pode ser imposta ao mesmo para que ocorra uma polarização de circuitos adjacentes a ele conectado. Geralmente, para que a circulação desta corrente de referência seja realizada, conecta-se uma carga que é ligada diretamente à fonte externa e ao terminal de entrada da mesma. O valor desta carga é calculado de forma que a corrente circulante no ramo seja igual à desejada, a qual será espelhada para os demais transistores ligados à fonte, multiplicadas por um determinado ganho.

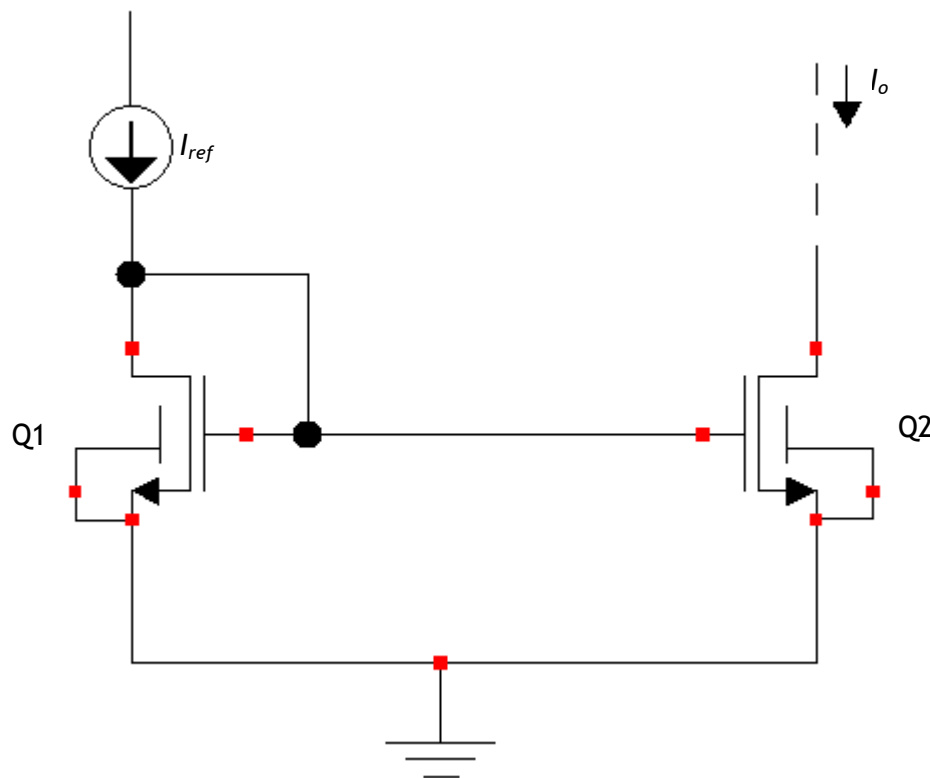


Figura 2 - Circuito representativo de um Espelho de Corrente

A corrente de referência I_{ref} pode ser calculada pela fórmula:

$$I_{D1} = I_{ref} = \frac{1}{2} \mu_N C_{OX} \frac{W_1}{L_1} (V_{GS} - V_t)^2 \quad (2)$$

Os transistores Q1 e Q2 têm a mesma tensão porta-fonte (V_{GS}), e a corrente de dreno de Q2 é calculada da seguinte forma:

$$I_{D2} = I_0 = \frac{1}{2} \mu_N C_{OX} \frac{W_2}{L_2} (V_{GS} - V_t)^2 \quad (3)$$

No caso ideal, a corrente de saída será igual a da entrada multiplicada pelo ganho de corrente desejado. Se o ganho é unitário ($W_1 = W_2$ e $L_1 = L_2$), a corrente de entrada é igual à de saída (sendo considerada refletida) levando assim ao nome **espelho de corrente**. Igualando as equações de corrente de dreno dos transistores Q1 e Q2, conclui-se que a razão entre elas é igual à razão entre os tamanhos dos transistores.

$$\frac{I_0}{I_{REF}} = \frac{(W_2/L_2)}{(W_1/L_1)} \quad (4)$$

Analisando a equação 4, nota-se que o valor da corrente no transistor Q2 depende apenas das suas dimensões (W_2 e L_2) em relação ao transistor Q1. Na Figura 3 é mostrado um esquema no qual um espelho de corrente pode polarizar vários outros transistores, os quais podem ser ligados a diferentes circuitos.

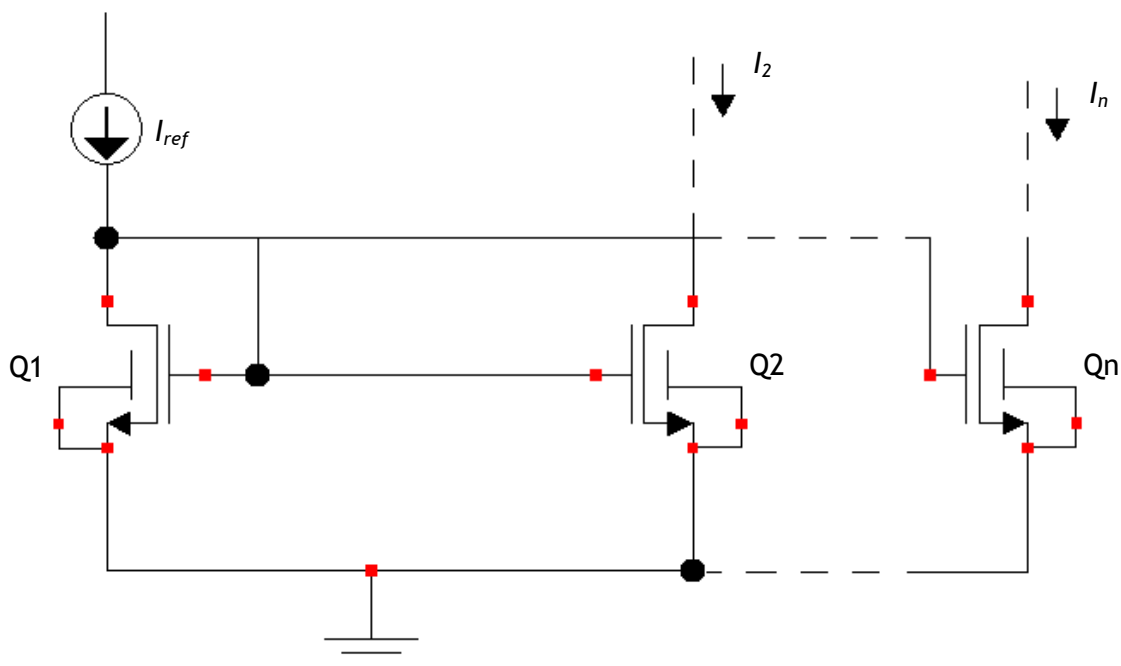


Figura 3 - Circuito que representa diversos Espelhos de Corrente

2.2 Par Diferencial

O par diferencial ou amplificador diferencial é a configuração mais utilizada no projeto de circuitos integrados analógicos. Nos amplificadores operacionais, a entrada é um par diferencial. Tal circuito foi desenvolvido inicialmente para a utilização com válvulas eletrônicas, e com o surgimento da tecnologia MOS, tornou-se extremamente popular na produção de circuitos integrados microeletrônicos devido a facilidade de realizar o casamento² dos componentes.

Na Figura 4 tem-se o circuito do par diferencial básico com transistores do tipo NMOS. Este circuito consiste em dois transistores casados (Q1 e Q2) cujas fontes estão ligadas à uma fonte de corrente (I) a qual polariza o par diferencial. Esses dispositivos casados são caracterizados por possuírem os mesmos parâmetros físicos, sendo assim considerados iguais.

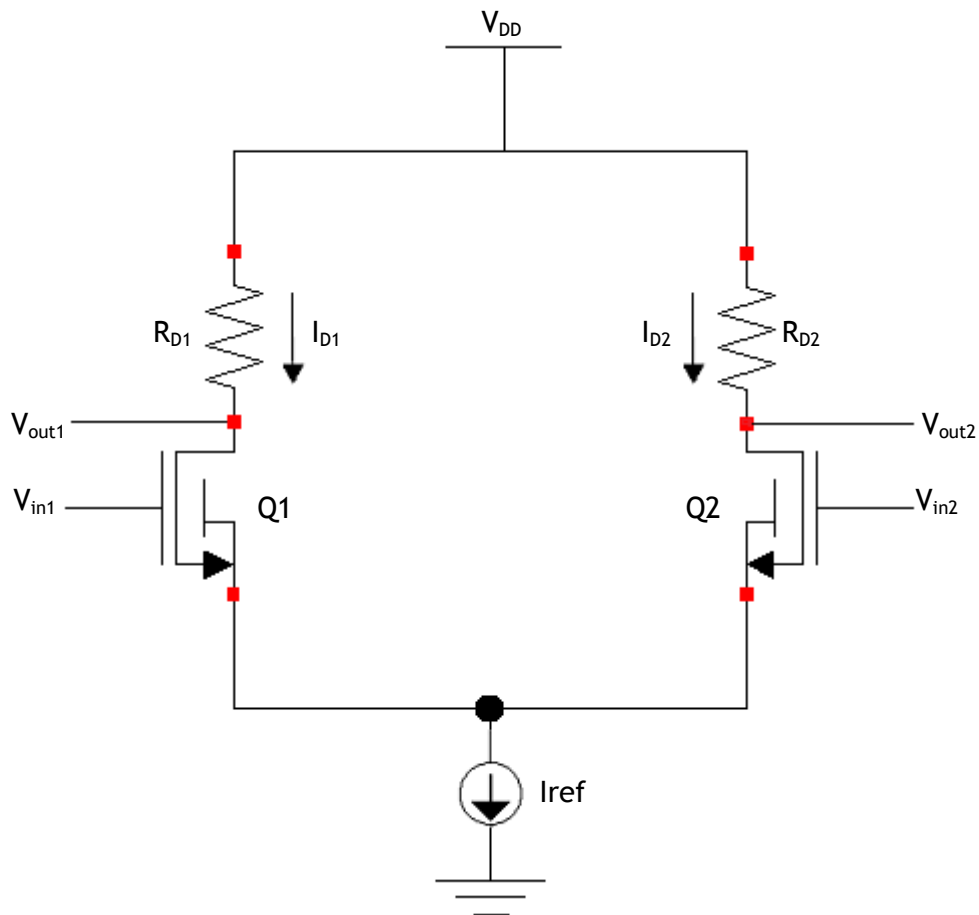


Figura 4 - Circuito de um Par Diferencial

² O casamento de componentes é realizado quando os mesmos possuem as mesmas propriedades físicas e características tais como o tamanho, constantes etc.

$$I = I_{D1} + I_{D2} \quad (5)$$

A análise qualitativa do funcionamento do par diferencial NMOS é realizada a partir da excursão das tensões de saída (V_{out1} e V_{out2}) em função de uma entrada diferencial ($V_{Dif} = V_{in1} - V_{in2}$). Quando a tensão V_{in1} é muito menor que V_{in2} , o transistor Q1 está em corte e o transistor Q2 opera conduzindo uma corrente $I_{D2} = I$. A tensão de saída V_{out1} , neste caso, é igual a V_{DD} e a tensão de saída V_{out2} é igual a $V_{DD} - R_{D2}I$.

Quando o valor da tensão V_{in1} se aproxima do valor de V_{in2} , o transistor Q1 passa a drenar uma parte da corrente I e de acordo com (5), a corrente I_{D2} diminui. A tensão V_{out1} passa a diminuir e a tensão V_{out2} passa a aumentar.

Quando a tensão V_{in1} se iguala à tensão V_{in2} , os dois transistores conduzem uma corrente igual a $I/2$, e as tensões de saída serão $V_{out1} = V_{out2} = V_{DD} - RD(I/2)$, considerando valores iguais para as resistências R_{D1} e R_{D2} .

Na medida que V_{in1} se torna maior que V_{in2} , a corrente I_{D1} e a tensão V_{out1} aumentam, enquanto que a corrente I_{D2} e a tensão V_{out2} diminuem. No momento que a tensão V_{in1} se torna bem maior do que V_{in2} , Q1 conduz toda a corrente I e o transistor Q2 entra em corte, fazendo com que as tensões de saída sejam $V_{out1} = V_{DD} - R_{D1}I$ e $V_{out2} = V_{DD}$.

A Figura 5 nos permite visualizar o comportamento das tensões de saída dos transistores que compõem o par diferencial em função de uma entrada diferencial de tensão ($V_{in1} - V_{in2}$), com o valor de $V_{DD} = 1$ V.

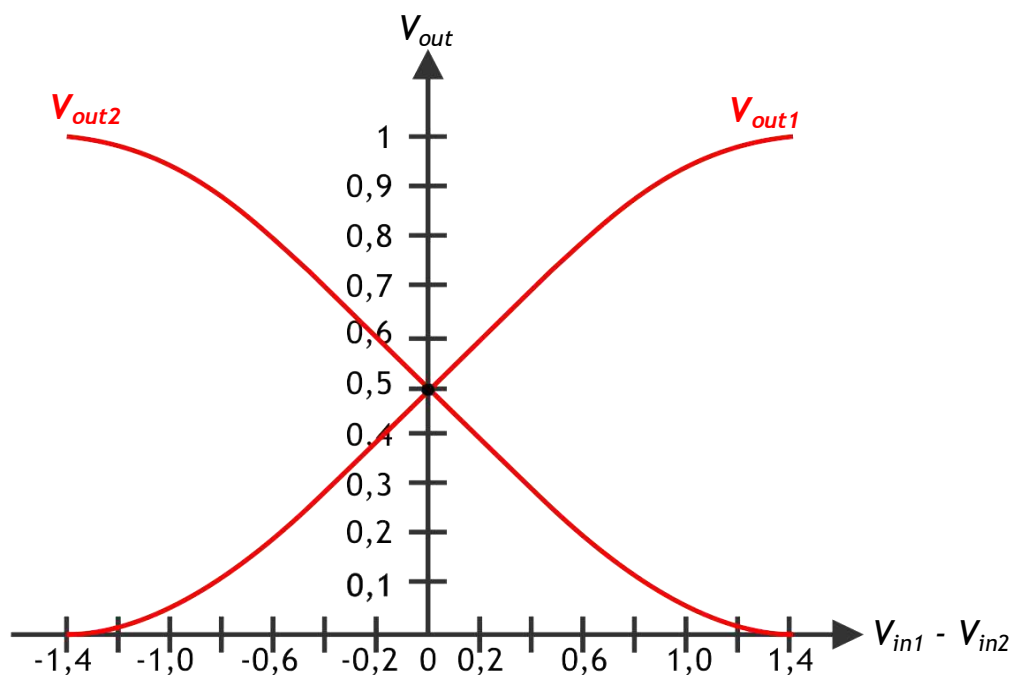


Figura 5 - Gráfico das saídas de um Par Diferencial para uma entrada diferencial

3 O Amplificador Operacional de Dois Estágios

Na Figura 6 apresenta a estrutura mais conhecida de um Amplificador Operacional CMOS conhecida como configuração de dois estágios. O circuito utiliza uma fonte de alimentação simétrica de 2,5 V para a tecnologia de 0,5 μm . Uma corrente de referência I_{ref} cuja finalidade é polarizar o circuito pode ser fornecida externamente ou em circuitos na própria pastilha. O circuito desse amplificador é composto de 3 componentes básicos: um espelho de corrente, um par diferencial e um estágio de saída, os quais serão descritos a seguir.

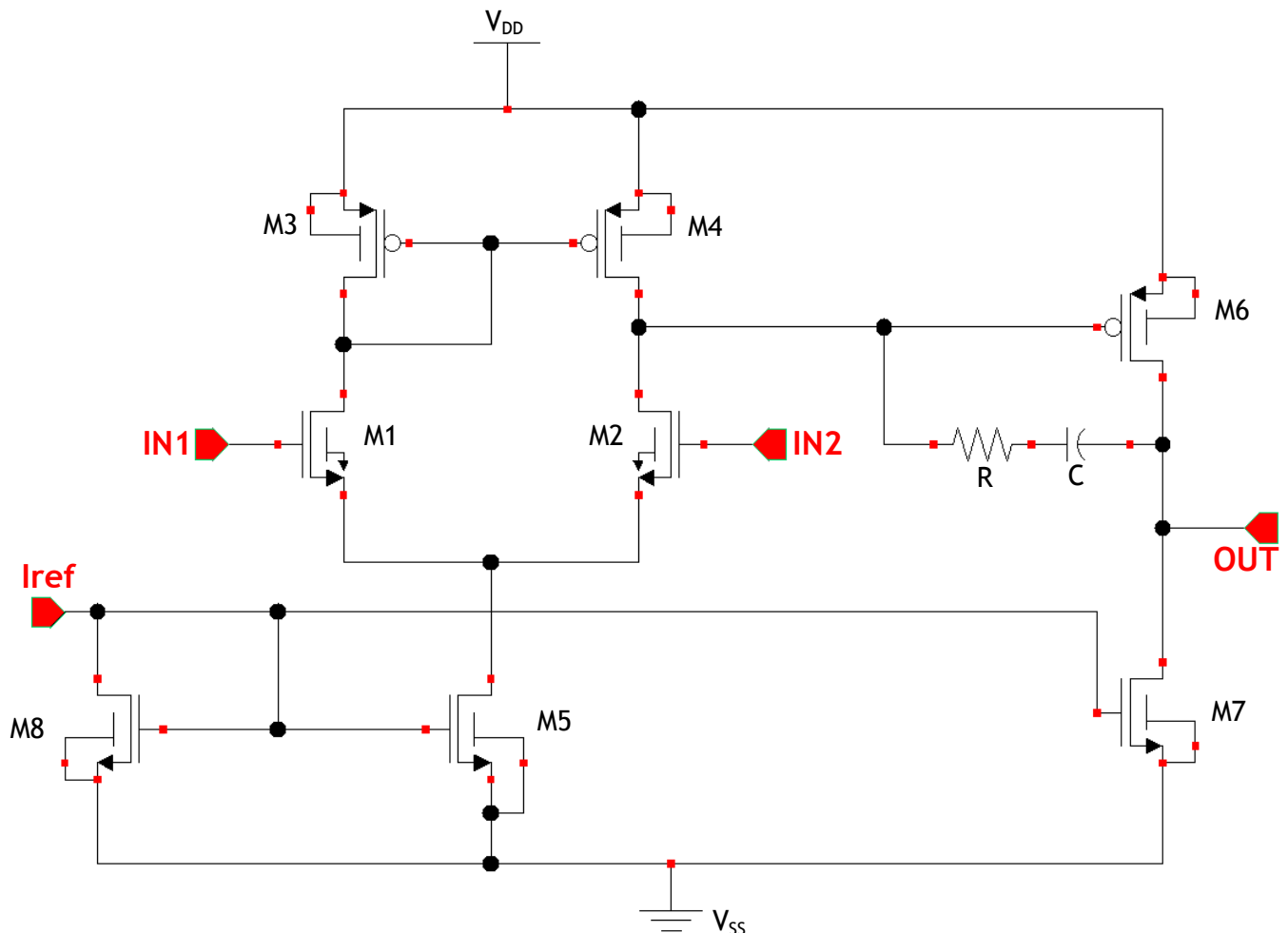


Figura 6 - Circuito do Amplificador Operacional CMOS de Dois Estágios

3.1 Funcionamento

O funcionamento do primeiro estágio deste circuito é da seguinte forma: por meio de uma corrente de referência externa à pastilha do CI, cujo valor utilizado no projeto [2] foi de 500 nA, o espelho de corrente formado pelos transistores M8, M5 e M7 é polarizado, e de acordo com as dimensões de M5 e M7 em relação à M8, os valores das correntes de dreno de cada um deles é dado pelo ganho de corrente conforme a equação (4).

O par diferencial composto pelos transistores M1 e M2 é polarizado pelo transistor M5 e possui uma carga ativa formada pelo espelho de corrente composto pelos transistores M3 e M4. A corrente de dreno de cada transistor do par diferencial é igual à metade da corrente de M5 devido ao casamento de M1 e M2.

O segundo estágio consiste nos transistores M6 e M7, onde M6 é um amplificador fonte comum com uma carga ativa composta pelo transistor M7, o qual é uma fonte de corrente. Um capacitor C está acoplado ao circuito no ramo de realimentação negativa com o intuito de enriquecer o efeito *Miller*³ já presente em M6 através da sua capacitância porta-dreno, proporcionando ao Amp-Op um pólo dominante. Por meio de uma cuidadosa inserção desse capacitor no circuito e consequentemente do pólo dominante, o Amp-Op pode ser projetado para ter um ganho que reduz com a frequência na taxa de 20 dB/década até o ganho unitário (0 dB). Amp-Ops com tal função de transferência para o ganho operam em um modo estável para todas as possibilidades de conexões de realimentação externa [1].

3.2 Tensão de Desvio de entrada

Devido à falta de casamento entre os transistores do estágio de entrada, a tensão desvio de entrada aumenta. O valor desta tensão é considerado aleatório, pois o mesmo depende do casamento dos transistores, cuja realização depende dos métodos de fabricação. Para observar como essa tensão de desvio pode ocorrer no circuito, deve-se aterrar os terminais de entrada. Caso o estágio da entrada esteja perfeitamente balanceado, a tensão que aparece nos drenos de M3 e M4 é igual. Esta tensão alimenta a porta de M6, portanto, a corrente de dreno de M6 (I_6) está diretamente relacionada com a corrente do dreno de M4, a qual é igual a $I_{ref}/2$, através da relação:

³ A compensação Miller realiza o afastamento dos dois primeiros pólos, o primeiro em às frequências menores e o segundo cresce em frequência. Ambos os fatores maximizam a margem de fase



$$I_6 = \frac{(W_6/L_6) I_{ref}}{(W_4/L_4)^2} \quad (6)$$

Para que não haja nenhuma tensão de desvio na saída, essa corrente deve ser exatamente igual àquela fornecida por M7, a qual está relacionada segundo a equação (6):

$$I_7 = \frac{(W_7/L_7)}{(W_5/L_5)} I_{ref} \quad (7)$$

De posse destas relações para que a tensão de desvio seja nula, basta igualar (6) e (7), o que nos leva a:

$$\frac{(W_6/L_6)}{(W_3/L_3)} = \frac{(W_6/L_6)}{(W_4/L_4)} = 2 \frac{(W_7/L_7)}{(W_5/L_5)} \quad (8)$$

3.3 Cálculo das dimensões dos transistores

O ganho desejado de malha aberta do Amp-Op é de 200000 (≈ 106 dB) [2]. Para este projeto, foram considerados ganhos iguais para cada estágio do circuito, logo:

$$A_{V1} = A_{V2} = 447,2 \approx 450.$$

O ganho do primeiro estágio do Amp-Op (Par Diferencial) é dado pela seguinte expressão:

$$A_{V1} = \frac{g_{m1}}{g_{02} + g_{04}} \quad (9)$$

$$g_m = \sqrt{2\beta I_D} \quad (10)$$

$$g_0 = \frac{1}{r_0} = \lambda I_D \quad (11)$$

$$\beta = K_N \frac{W}{L} = K_N S \quad (12)$$

$$K_N = \frac{1}{2} \mu_N C_{OX} = 116 \times 10^{-6} A/V^2$$

$$K_P = \frac{1}{2} \mu_P C_{OX} = 53,6 \times 10^{-6} A/V^2$$

em que,

$$I_{D1} = I_{D2} = \frac{I_1}{2}$$

Logo, desenvolvendo a equação (9), teremos:

$$A_{V1} = \frac{\sqrt{2\beta I_{D1}}}{I_{D2}(\lambda_2 + \lambda_4)} = \frac{1}{(\lambda_2 + \lambda_4)} \sqrt{\frac{2\beta}{I_D}}$$

$$450 = \frac{1}{0,0225} \sqrt{\frac{2K_N S}{I_D}}$$

$$\frac{S}{I_D} = \mathbf{0,884 \times 10^6}$$

Para uma corrente de polarização do espelho de corrente (I_{ref}) de 500 nA, e considerando que os transistores do par diferencial são casados, a corrente de dreno de cada um é igual à metade da corrente do espelho de corrente que o polariza, portanto:

$$I_D = \frac{500 \text{ nA}}{2} = 250 \text{ nA}$$

De posse do valor da corrente e da relação entre as dimensões dos transistores com esta corrente, calculamos as dimensões dos transistores Q1 e Q2.

$$\frac{S}{I_D} = 0,884 \times 10^{-6}$$

$$S = 0,221$$

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{4}{18}$$

Para o segundo estágio do circuito, o ganho é dado pela seguinte expressão:

$$A_{V2} = \frac{g_{m6}}{g_{07} + g_{07}} \tag{13}$$

$$A_{V2} = \frac{\sqrt{2\beta I_{ref}}}{I_{ref}(\lambda_6 + \lambda_7)} = \frac{1}{(\lambda_6 + \lambda_7)} \sqrt{\frac{2\beta}{I_{ref}}}$$

$$450 = \frac{1}{0,0225} \sqrt{\frac{2K_p S}{I_{ref}}}$$

$$\frac{S}{I_{ref}} = \frac{S}{500 \text{ nA}} = 0,956 \times 10^6$$

$$S \approx 0,478$$

$$\frac{W_6}{L_6} = \frac{10}{21}$$

As dimensões dos transistores que compõem os espelhos de corrente foram consideradas 2/2 [2]. De posse dos valores das dimensões dos transistores dos espelhos de corrente, calcula-se as dimensões de M3 e M4 através da relação da equação (8).

$$\frac{(W_6/L_6)}{(W_3/L_3)} = \frac{(W_6/L_6)}{(W_4/L_4)} = 2 \frac{(W_7/L_7)}{(W_5/L_5)}$$

$$(W_3/L_3) = (W_4/L_4) = \frac{(W_6/L_6)}{2} = \frac{5}{21}$$

4 Simulação

Nas simulações, utilizou-se o *Virtuoso Schematic Editor XL*, o qual é um software desenvolvido pela Cadence® no qual é possível realizar simulações de circuitos integrados microeletrônicos com a utilização de componentes de diversas bibliotecas, com vários parâmetros. Esta ferramenta permite observar o desempenho do circuito simulado para saber se o mesmo realmente atende às exigências do projeto para que se possa dar uma continuação ao mesmo.

De posse do circuito do Amplificador Operacional de dois estágios, implementou-se o circuito no *Virtuoso* com as devidas ligações, componentes, pinos de entrada/saída e fontes de alimentação. O passo seguinte é ajustar as dimensões dos dispositivos, os tipos de entrada e a alimentação do circuito, os quais estão dispostos nas tabelas abaixo:

Tabela 1 - Valores do resistor e do capacitor

	VALORES
R	25 kΩ
C	1102,5 pF



Tabela 2 - Dimensões dos transistores

TRANSISTOR	W (μm)	L (μm)
M1	4,0	18,0
M2	4,0	18,0
M3	5,0	21,0
M4	5,0	21,0
M5	2,0	2,0
M6	10,0	21,8
M7	2,0	2,0
M8	2,0	2,0

Tabela 3 - Valores da corrente e tensões de alimentação

	VALORES
V_{DD}	2,5 V
V_{SS}	-2,5 V
I_{ref}	500 nA

Uma vez que se dispõe do circuito com todos os componentes corretamente dimensionados, pode-se utilizar a ferramenta de simulação analógica, no qual selecionamos as bibliotecas que dispõem os componentes utilizados no circuito, a ativação e o tipo de sinal nos pinos de entrada/saída do circuito assim como as fontes de alimentação. A corrente de referência foi ajustada para um valor contínuo de 500 nA, a entrada diferencial ($V_{in1} - V_{in2}$) com um valor senoidal cuja amplitude e frequência valem 0,001 V e 100 Hz respectivamente, e a alimentação simétrica do circuito com $V_{DD} = 2,5$ V e $V_{SS} = -2,5$ V.

Em seguida deve-se selecionar o(s) tipo(s) de análise(s) que se deseja realizar. No caso, foram realizadas simulações de um transitório (*TRAN*) de 0 até 50 ms para que seja visualizado o comportamento do circuito no decorrer do tempo para verificar se a amplificação está devidamente realizada. Uma análise em frequência (*AC*) também é realizada para que se observe o ganho e a fase do amplificador operacional em frequências diferentes. Finalmente, uma análise de tensão contínua (*DC*) para verificar o ponto de operação de todos os componentes. A Figura 7 apresenta a janela do ambiente de simulação analógica, no qual podemos ajustar a configuração da simulação.

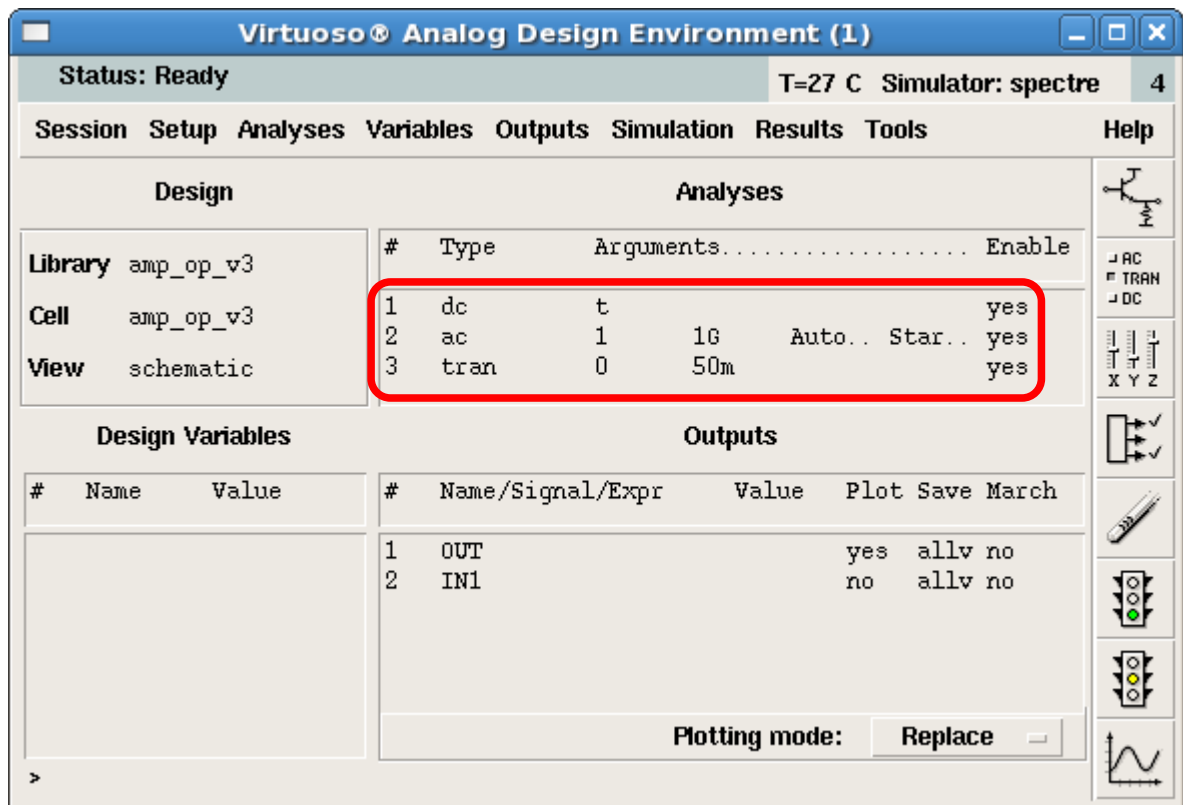


Figura 7 - Tela da Configuração da simulação no Virtuoso®

Uma vez terminada a configuração da simulação, ela foi realizada para que possamos verificar a saída do circuito. Na figura 8 podemos observar esta saída quando uma onda senoidal de 1 mV de amplitude e 100 Hz é aplicada na entrada diferencial do circuito.

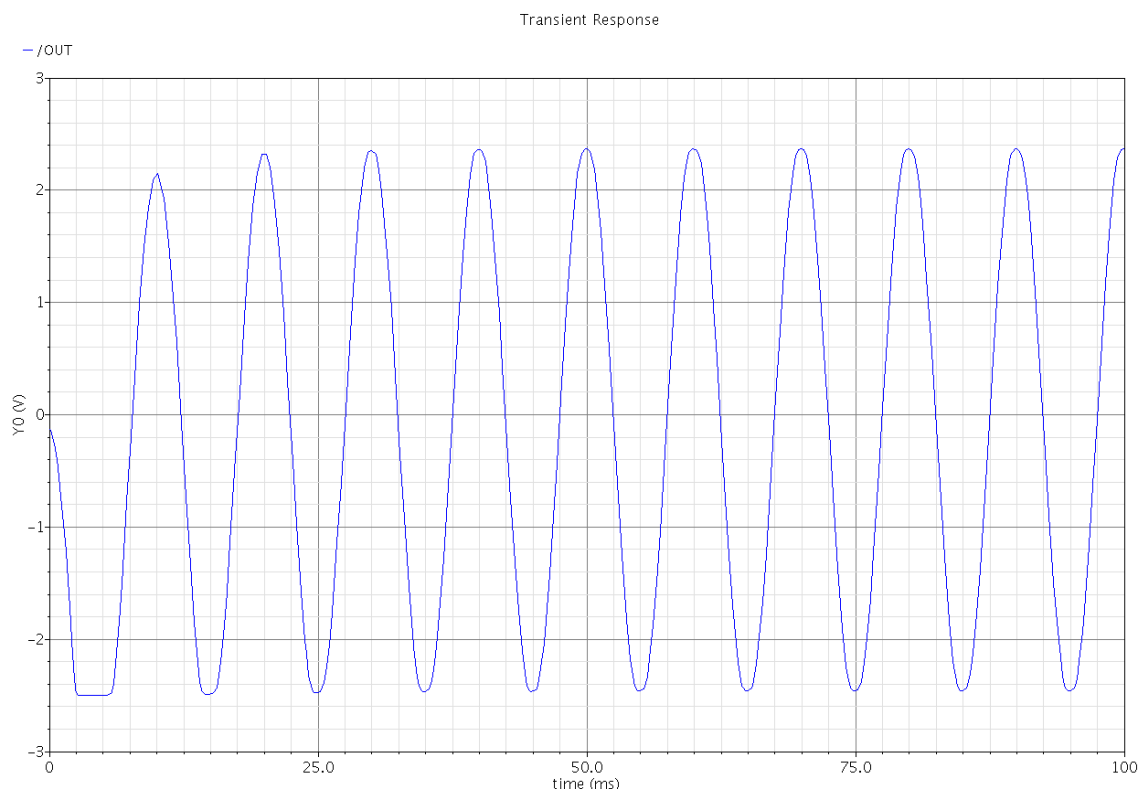


Figura 8 - Gráfico da saída do Amp-Op para uma entrada diferencial senoidal de 1 mV e 100 Hz

Observando a Figura 8, nota-se que a saída foi amplificada e também é senoidal com frequência idêntica à frequência do sinal de entrada (100 Hz). O tempo de simulação de 100 ms foi selecionado de forma que seja permitida a observação do circuito em regime permanente.

Uma vez visto que a saída do amplificador corresponde à entrada amplificada, deve-se verificar a resposta em frequência do mesmo para a análise do ganho e da fase. Para realizar este passo, é necessário que seja escolhida a plotagem de amplitude e fase de uma entrada/saída a ser selecionada no circuito. Quando selecionada esta opção, deve-se abrir o esquemático do projeto para que a saída do amplificador, que é o nosso foco de estudo, seja selecionada. Quando selecionada, obtém-se a Figura 9:



Figura 9 - Gráfico da resposta em frequência do amplificador operacional

Analisando o gráfico da resposta em frequência, podemos observar que o ganho (gráfico azul) é aproximadamente 106 dB, conforme o desejado a partir do ganho inicial. A margem de fase do circuito é de aproximadamente 90° , como pode-se notar no gráfico da fase (vermelho). O ponto no qual pode-se calcular a margem de fase está mostrado no gráfico em forma de um marcador vertical sobre a frequência em que o ganho do amplificador é unitário (0 dB).

5 Leiaute

Após a realização da simulação do esquemático, o passo seguinte é a concepção do leiaute do circuito para que o mesmo possa ser fabricado. O *Virtuoso Layout Editor XL* é a ferramenta que possibilita fazer este leiaute para que seja implementada a representação física do circuito (chip).

A tecnologia utilizada para a concepção do circuito foi a AMIS 0,5 μm , a qual dispõe de bibliotecas, que por sua vez contêm diversos componentes para sua utilização. Uma vez montado e simulado o esquemático do circuito, pode-se capturar cada elemento das bibliotecas de AMIS com suas respectivas dimensões e gerar o leiaute dele automaticamente com o software. A única parte que falta no leiaute capturado é a construção do substrato de cada transistor utilizado na simulação.

A construção do substrato é feita de forma manual, fazendo-se o contorno de todas as áreas de difusão, metal etc que serão necessárias para a fabricação das máscaras dos circuitos. Quando o processo de construção do substrato de cada transistor é terminado, pode-se transladá-los de forma com que o tamanho total do circuito seja diminuído ao máximo.

Uma ferramenta chamada *Design Rules Checker (DRC)* é executada após o término da alocação dos componentes físicos do circuito. Esta ferramenta contém restrições de erros de leiaute como por exemplo, distâncias mínimas entre as diversas camadas dos componentes do circuito, dimensões máximas e mínimas permitidas etc.

Outra ferramenta é necessária para que se dê continuidade ao processo, o *Layout Versus Schematic (LVS)*, a qual verifica se as ligações realizadas no leiaute estão de acordo com as que foram feitas e simuladas no esquemático.

Mais uma ferramenta é necessária para o processo, o *Parasitic Extration (PEX)*, o qual nos permite capturar todos os elementos parasitas do circuito tais como resistências das camadas de metal, conectores e vias e também capacitâncias parasitas decorrentes das concentrações de carga em diversos pontos do circuito. Estes elementos parasitas podem intervir bastante nos resultados do circuito, fazendo com que seja necessário o uso de técnicas de leiaute para minimizá-los. Eventualmente, tal processo precisou ser repetido várias vezes.

O leiaute resultante do circuito com Amp-Op é mostrado na Figura 10, juntamente com os nomes de cada dispositivo.

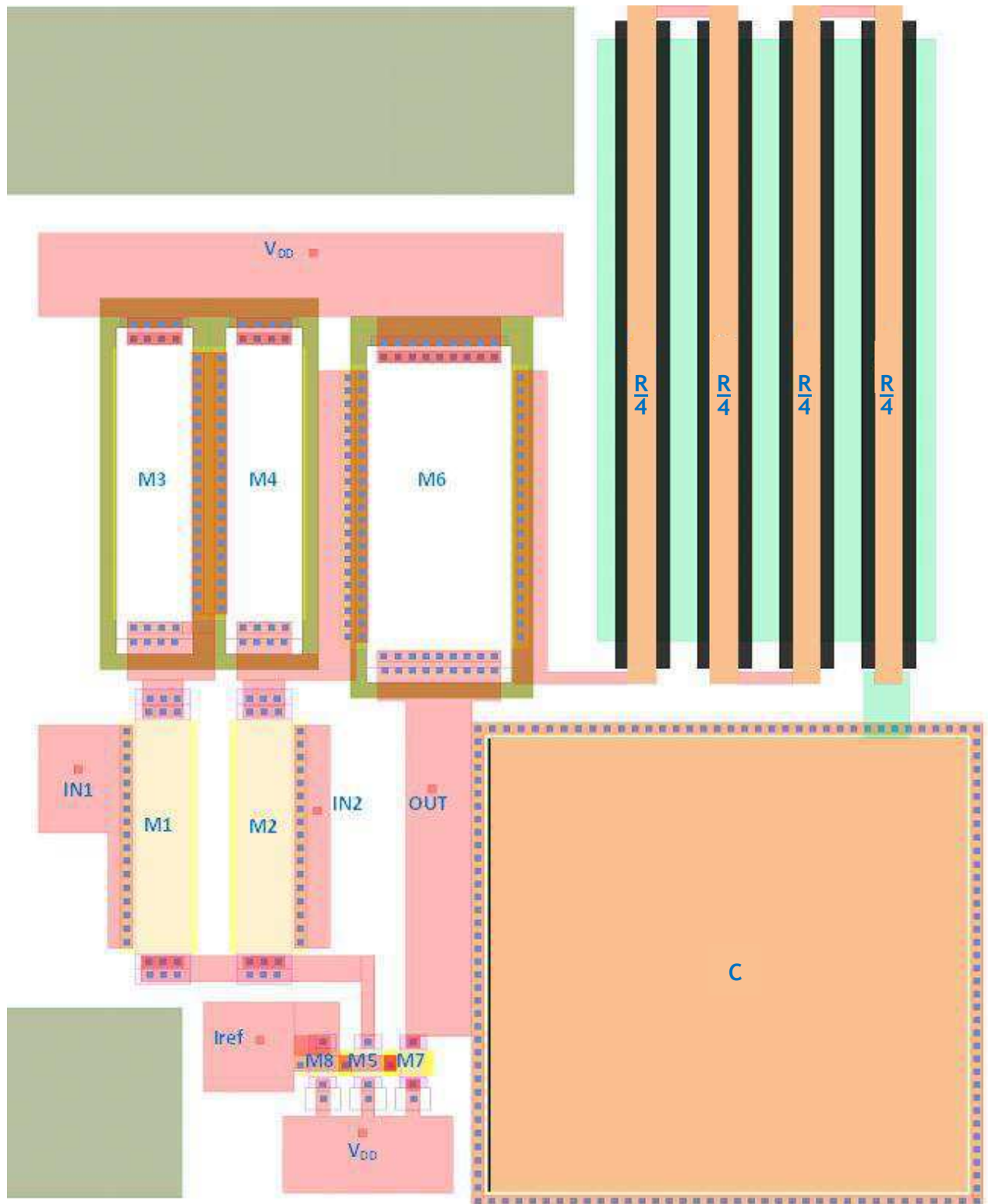


Figura 10 - Leiaute do Amplificador CMOS de Dois Estágios

6 Conclusões

A simulação e concepção do leiaute de um circuito microeletrônico são etapas cruciais no seu processo de fabricação. A partir do esquemático é realizada a simulação com as dimensões dos dispositivos para saber se o resultado obtido é igual ou aproximado ao desejado. O passo seguinte é o da realização do leiaute, o qual é o processo de dimensionamento e posicionamento de cada componente do circuito na pastilha do CI.

Para o desenvolvimento de um leiaute, dispõe-se de ferramentas dentre as quais encontra-se o *DRC (Design Rules Checker)*, o qual contém as regras de fabricação da tecnologia selecionada para o desenvolvimento e as aplica no circuito produzido, mostrando os erros presentes no projeto para que sejam solucionados.

Outra ferramenta disponível e necessária para o processo é o *LVS (Layout Versus Schematic)*. Ela permite fazer a comparação do leiaute produzido com o esquemático. Todas as ligações presentes no esquemático devem estar igualmente realizadas no leiaute para que o resultado do *LVS* seja correto.

Por fim, a ferramenta que permite extrair os componentes parasitas do circuito tais como resistências e capacitâncias é o *PEX (Parasitic Extractor)*. Esta ferramenta, quando aplicada, gera um outro arquivo esquemático que contém todas as resistências parasitas provenientes das ligações metálicas, conectores e vias e também as capacitâncias parasitas provenientes de diferentes concentrações de carga entre as camadas do circuito. A simulação desse esquemático gerado pelo *PEX* fornece uma versão mais real do circuito produzido, sobre o qual serão estudadas as suas respostas para saber se a função a ele designada está sendo realizada.

Na simulação deste trabalho, obteve-se uma resposta satisfatória, em concordância com os valores desejados desde o início do projeto, o que mostra que os cálculos teóricos realizados realmente se aplicam à atividade prática da concepção de circuitos integrados.

7 Perspectivas e Trabalhos Futuros

Uma forma de simplificar o trabalho desenvolvido aqui foi a da escolha de um pino de entrada para a corrente de referência dos espelhos de corrente, as quais polarizam os dois estágios do circuito. Devido à isso, para que ocorra o funcionamento correto do amplificador aqui concedido, é necessária a inserção de um resistor externo à pastilha que contém o circuito integrado para que o seu funcionamento seja correto.

Para que o circuito integrado esteja pronto para funcionar só dependendo das fontes de alimentação de tensão externas, deve-se inserir este resistor na pastilha do circuito integrado. Para que este passo seja realizado, deve-se mudar todo o projeto desde o esquemático, com a remoção do pino de entrada de corrente e a inserção de um resistor ou de um transistor ligado como diodo, os quais me possibilitem obter uma corrente de referência igual à desejada no início do projeto.

Quando da mudança dessa característica do circuito de não depender de componentes eletrônicos externos para o funcionamento correto, deve-se também modificar o leiaute produzido, o qual geraria uma extração de parasitas diferente e a partir deste ponto, seria possível concluir se o funcionamento do circuito estava dentro do esperado ou não.



Referências Bibliográficas

- [1] Microeletrônica / Adel S. Sedra, Kenneth C. Smith - 5ª ed. - São Paulo: Pearson Prentice Hall, 2007
- [2] Concepção de Circuitos Analógicos Integrados / Bruno A. F. Vitorino, Jefferson M. da C. Dantas
- [3] Design of Analog CMOS Integrated Circuits / Behzad Razavi - International Edition: McGRAW-HILL, 2001
- [4] Circuit Design, Layout, and Simulation / R. Jacob Baker - 2nd Edition: IEEE Press, 2005
- [5] Analysis and Design of Analog Integrated Circuits / Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer - 4th edition: John Wiley & Sons, 2001
- [6] Projeto de Amplificador Operacional em Tecnologia CMOS / Bruno C. Tranquillini: São Carlos



Anexos

ANEXO I

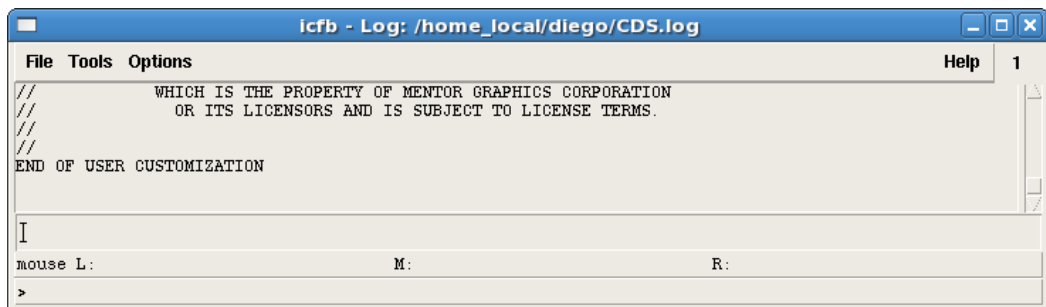
Tutorial do projeto de um amplificador operacional CMOS de dois estágios cadour no Cadence®.

1. Abrindo o Cadence®

As seguintes linhas de comando devem ser seguidas para que o Cadence® possa ser utilizado.

```
mkdir cadence           #cria uma pasta chamada cadence
cd cadence              #entra na pasta criada
source cds              #ssh com o LAD
senha : *****        #senha do ssh
source amis             #tecnologia AMIS
icfb &                  #inicia o Cadence®
```

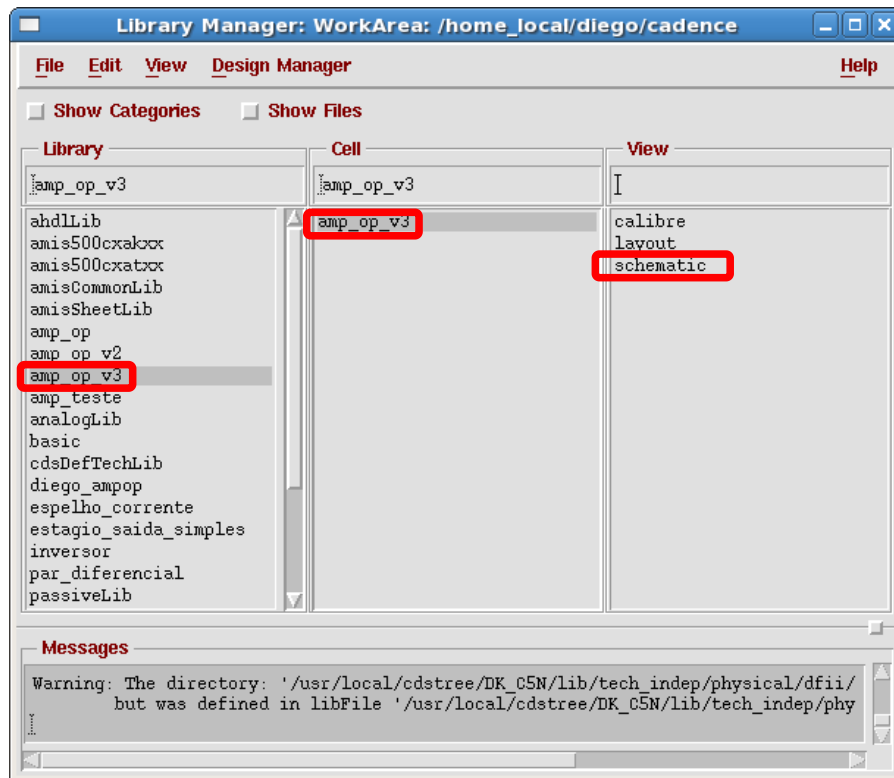
A Janela 1 mostra a tela inicial do Cadence®. Para criar a biblioteca, deve-se acessar o menu **File -> New -> Library**, selecionar o nome e clicar em **OK**.



Janela 1 - ICFB

2. Criação de um esquemático

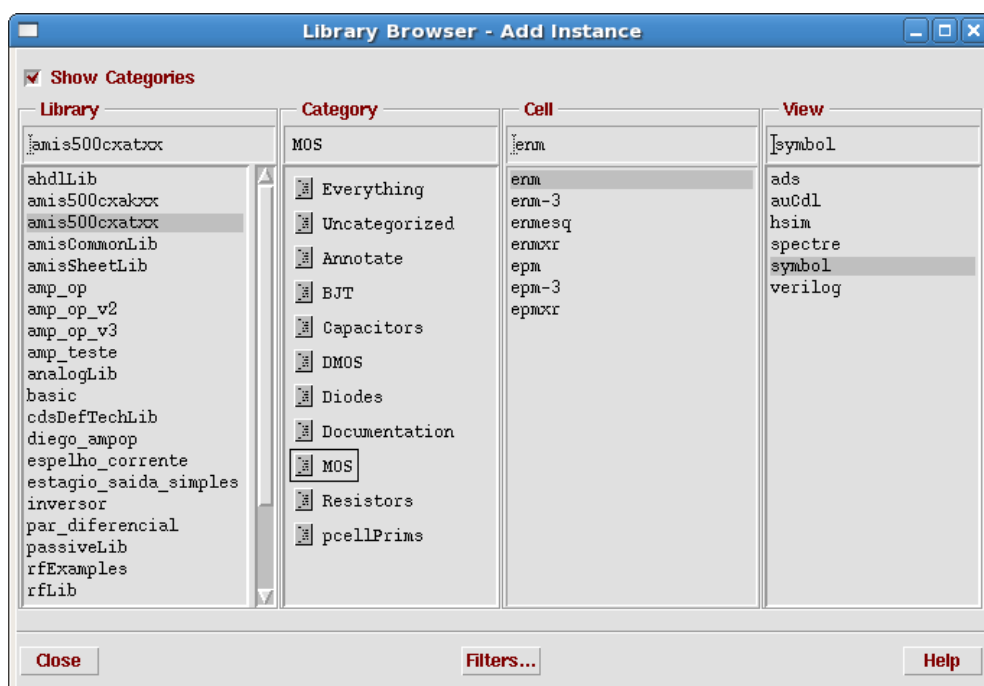
Para criar um esquemático, é necessário uma biblioteca, a qual foi criada no passo anterior. Primeiramente, devemos selecionar a biblioteca criada para adicionar um esquemático. Para isso, acesse o menu **Tools -> Library Manager**. Quando a janela do Library Manager é aberta, podemos visualizar as bibliotecas que já existem e a que criamos. Agora, adiciona-se um esquemático na biblioteca criada acessando o menu **File -> New -> Cell View**. Deve-se selecionar o modo Schematic, atribuir seu nome e clicar em **OK**. A Janela 2 mostra a biblioteca criada com o seu respectivo esquemático.



Janela 2 - Library Manager

3. Esquemático

Quando criado um esquemático, a janela do *Virtuoso*® *Schematic Editing* é aberta, e os dispositivos que fazem parte do circuito devem ser adicionados acessando o menu **Add -> Instance**, e Janela 3 é apresentada:

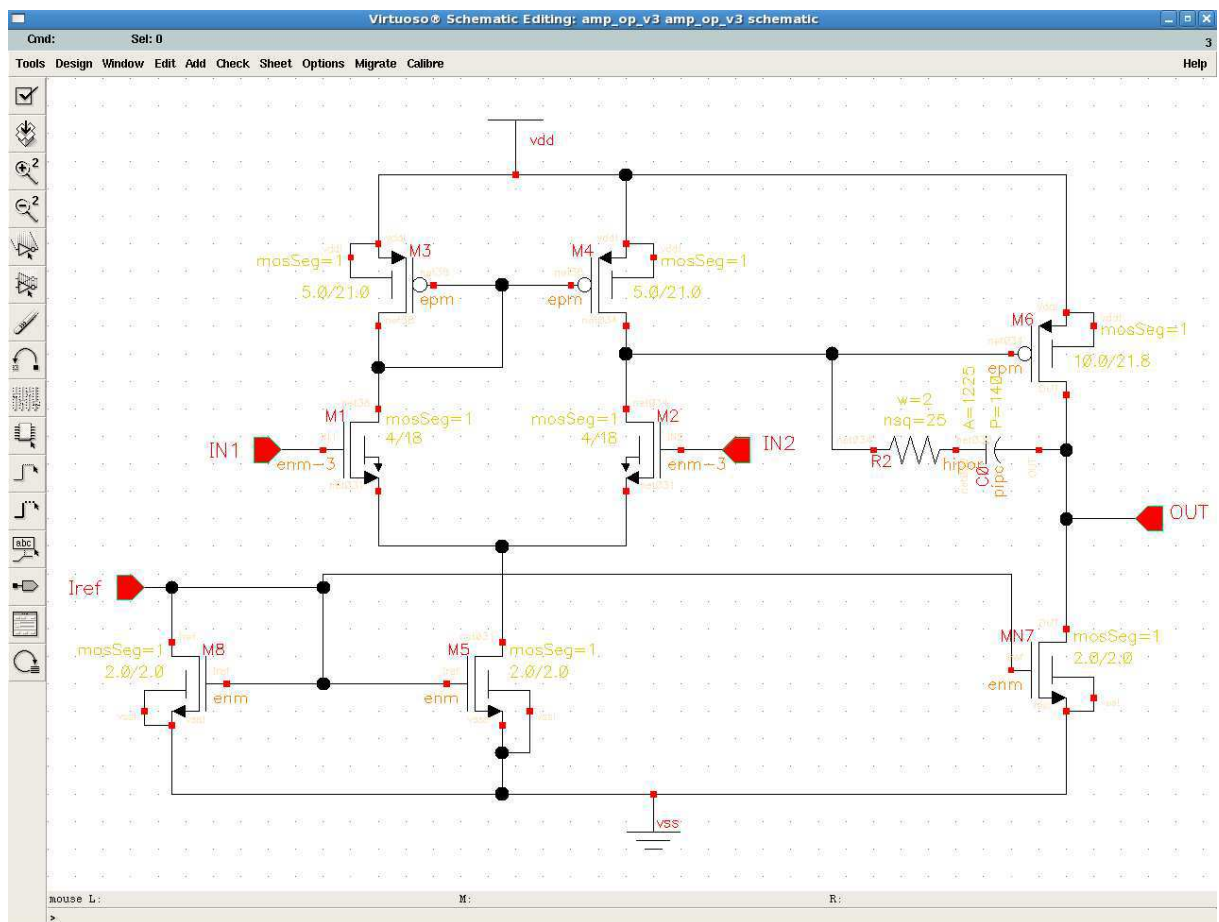


Janela 3 - Adicionando Componentes

Quando selecionamos a biblioteca **AMIS500CXATXX**, podemos observar que vários componentes são disponibilizados, e quando selecionado, optamos pela **View symbol** para que o símbolo do mesmo possa ser visualizado no esquemático.

Este passo deve ser repetido para todos os componentes do circuito para que o mesmo possa ser simulado corretamente. Uma vez terminada a adição de todos, devemos realizar as ligações entre eles através do menu **Add -> Wire**, ou simplesmente apertando a tecla “**w**”, em seguida fazendo as conexões.

Quando terminadas as ligações do circuito, obtemos a Janela 4:



Janela 4 - Esquemático do amplificador operacional de dois estágios

4. Propriedades dos componentes

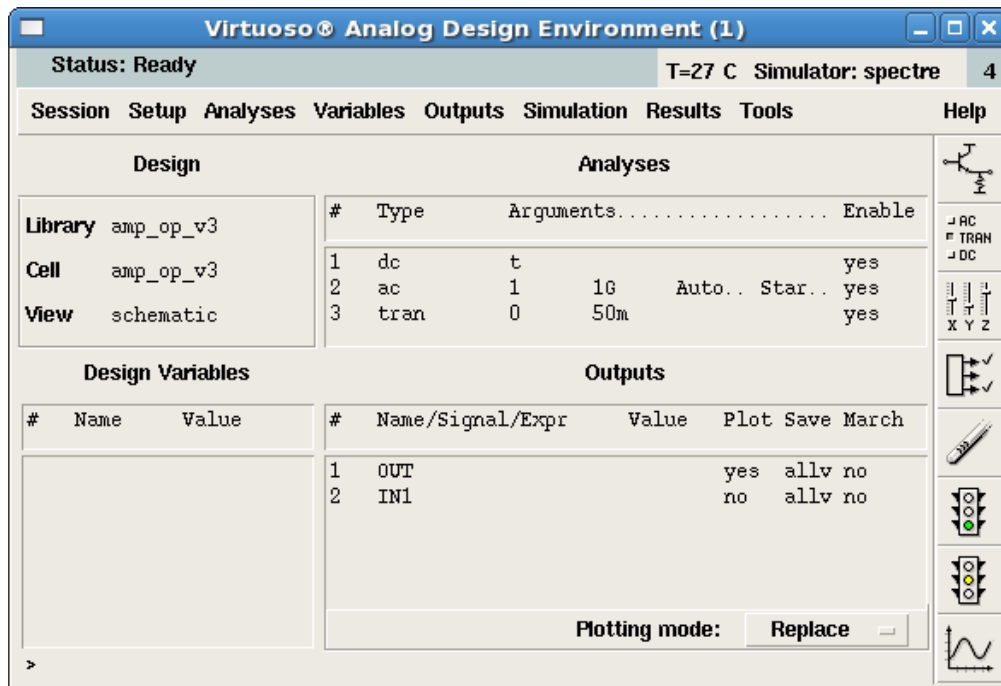
Para editar os parâmetros e dimensões dos componentes presentes no circuito, precisamos selecioná-lo e apertar a tecla “**q**” do teclado para abrir as suas

propriedades. Uma janela é apresentada para que possamos modificar esses valores para os desejados tais como: dimensões de dispositivos, tensões das fontes etc.

5. Simulação do esquemático

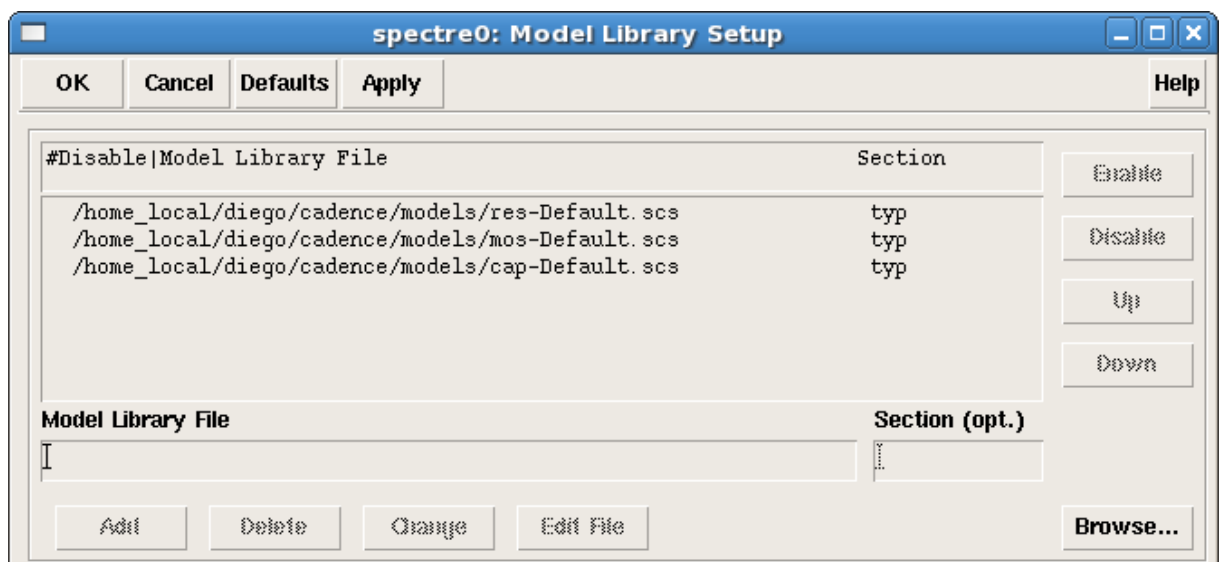
Para acessarmos o ambiente de simulação do Virtuoso®, devemos acessar o menu **Tools -> Analog Environment**.

A Janela 5 é apresentada:



Janela 5 - Ambiente de Simulação

Primeiramente devemos ajustar o caminho dos componentes utilizados no menu **Setup -> Model Library Setup**. Os modelos são selecionados como sendo do tipo **typ** e adicionados, resultando na Janela 6:



Janela 6 - Seleção dos modelos dos componentes

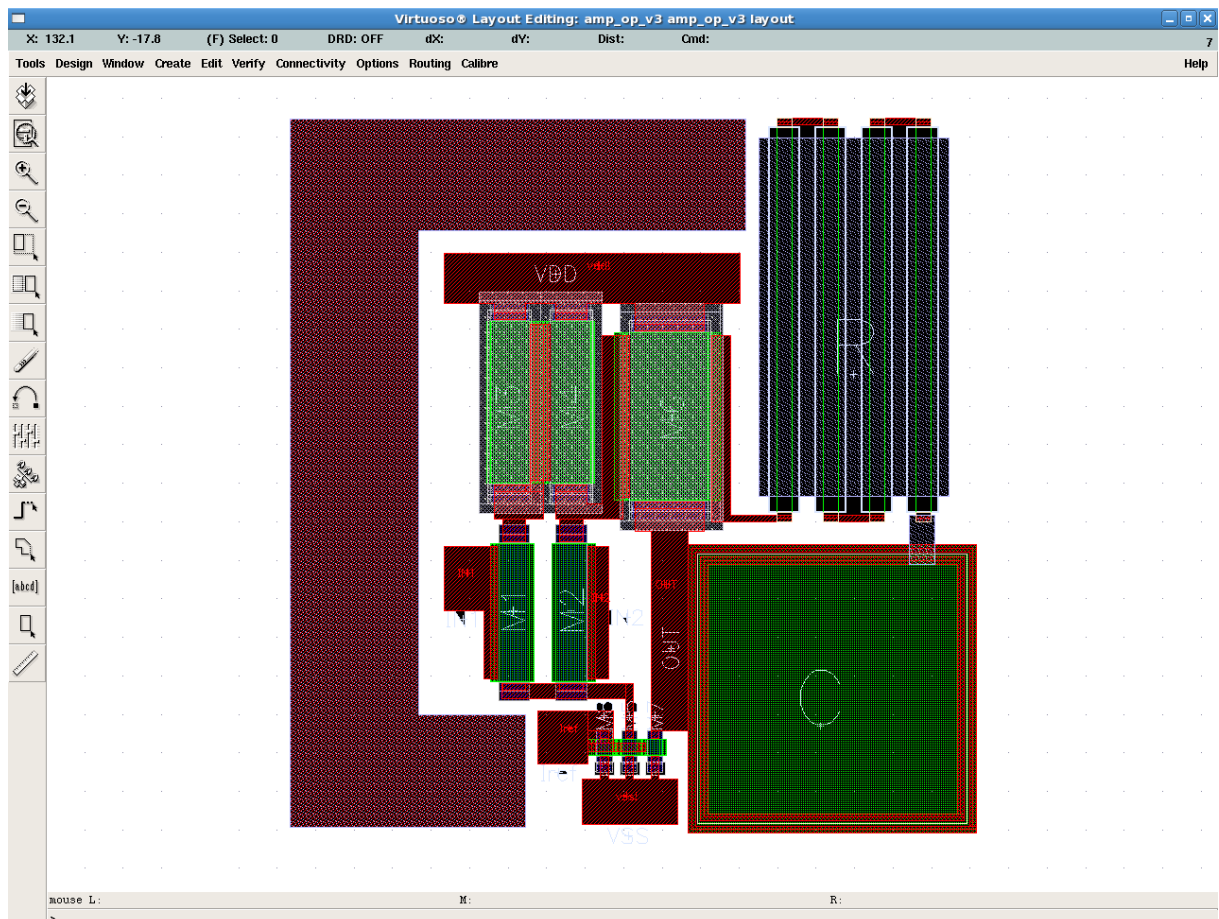
Aqui os tipos de simulação desejadas são selecionados. No caso do Amp-Op, é necessária uma simulação **DC** para observarmos a polarização dos componentes, uma **TRAN** para observar o transitório do sinal de saída em relação ao sinal de entrada e uma **AC** para observarmos a resposta em frequência do Amp-Op.

6. Leiaute

Para podermos fazer o leiaute do circuito, devemos primeiramente repetir o passo 2. No Library Manager, selecionamos a biblioteca que criamos o esquemático, acessamos o menu **File -> New -> Cell View**. Agora selecionamos a opção “**virtuoso**” e damos um nome ao leiaute.

Uma ferramenta que nos permite capturar o leiaute já pronto dos componentes do esquemático é o Virtuoso XL, disponível no menu **Tools -> Virtuoso XL**. Quando selecionado, ele nos permite de clicar no componente do esquemático e reproduzir o seu leiaute no Virtuoso Layout Editing.

Depois de capturarmos todos os componentes e fazer todas as ligações, chegamos ao resultado representado pela Janela 7:



Janela 7 - Virtuoso Layout Editing

7. Ajustes

Quando a simulação do esquemático é realizada, o Cadence® cria um arquivo que contém a lista de ligações de todo o circuito. Para que possamos seguir para o próximo passo, algumas mudanças no arquivo *nome_do_projeto_netlist* devem ser realizadas.

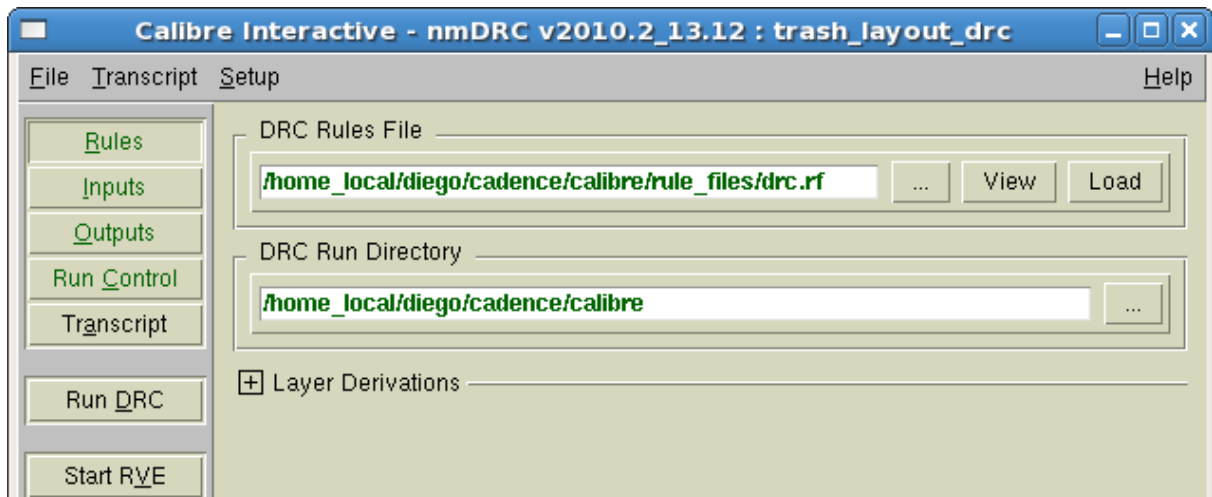
A primeira mudança é a inserção de uma linha de comando a qual muda a escala utilizada pelo Cadence® para ser a mesma da utilizada pelo Calibre, o qual é uma ferramenta que nos permite realizar os erros de leiaute, as quais serão abordadas nos passos seguintes. A linha de comando a ser adicionada é:

.OPTION SCALE = 1e-6

Uma modificação deve ser realizada ainda para que o projeto possa ser submetido aos testes, que é trocar os nomes dos transistores do Cadence® para serem iguais aos do Calibre. Para todos os transistores que são nomeados *enm* e *epm*, deve-se trocar estes nomes para *nenm* e *pepm* respectivamente.

8. Design Rules Checker (DRC)

O DRC é uma ferramenta que mostra os erros de design cometidos no leiaute. Erros como distâncias mínimas não respeitadas, tamanhos máximos de componentes, espaçamento entre conectores e vias etc são mostrados. Para lançarmos esta ferramenta, acessamos o menu *Calibre* -> *DRC*.

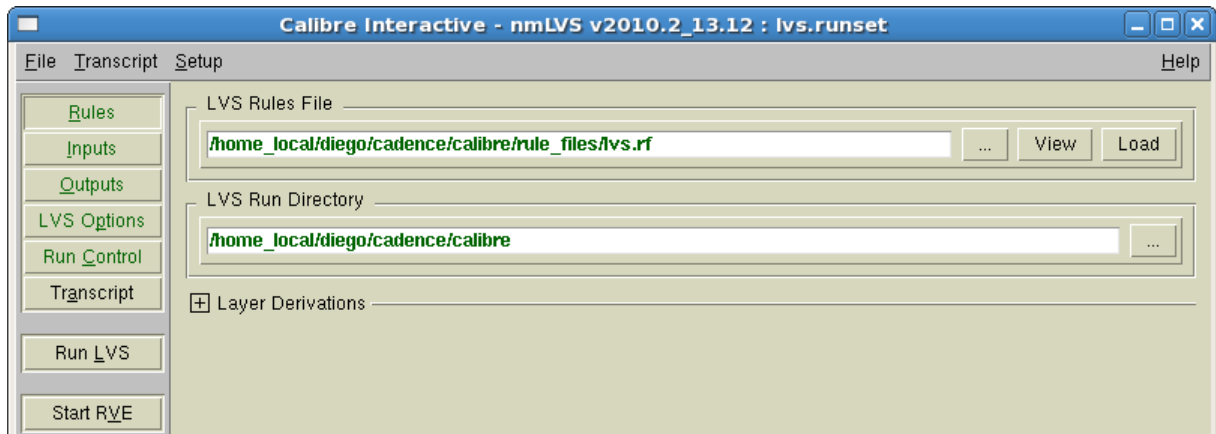


Janela 8 - Calibre Design Rules Checker (DRC)

No caminho do *DRC Rules File*, devemos selecionar o arquivo *drc.rf*, o qual é encontrado na pasta *rules_files* e contém as regras de DRC que a ferramenta vai aplicar ao circuito desenvolvido. O caminho do *DRC Run Directory* é a pasta que o DRC vai criar os seus arquivos de saída após a sua execução.

9. Layout Versus Schematic (LVS)

O LVS é uma ferramenta que faz a comparação entre o leiaute desenvolvido e o esquemático do circuito. O menu que dá acesso a essa ferramenta é **Calibre** -> **LVS**. Esta ferramenta é necessária para que tenhamos certeza de que o leiaute desenvolvido está exatamente igual ao esquemático. Similar ao *DRC*, ela também necessita de um arquivo denominado *lvs.rf*, o qual é também encontrado na pasta *rules_files*.



Janela 9 - Layout Versus Schematic (LVS)

10. Parasitic Extraction (PEX)

Esta ferramenta é muito importante na concepção de circuitos integrados, pois a partir do leiaute produzido, ela calcula as resistências e capacitâncias parasitas presentes no leiaute. As resistências parasitas existem devido à resistividade do metal presente nos conectores, vias e ligações entre os componentes do circuito. As capacitâncias parasitas se encontram nas diferenças de potencial entre as várias camadas do circuito. O menu que deve ser acessado para realizar esta extração é **Calibre** -> **PEX**.

Após ser realizada a extração dos parasitas do circuito, o *PEX* gera um outro esquemático que se chama "*calibre*", o qual é encontrado dentro da biblioteca do projeto. Este arquivo é visível e acessável pela *Library Manager*.

Quando aberto, encontramos um esquemático repleto de resistores e capacitores os quais representam os elementos parasitas do circuito. Em seguida, devemos realizar a simulação deste circuito, o qual é uma aproximação bem mais completa do circuito real que será produzido. O ambiente analógico é reaberto (ver passo 5) e as respostas geradas podem ser observadas para que conclusões sejam tomadas para a continuação do projeto.

Os elementos parasitas têm colaboração direta na performance do circuito, podendo afetar o desempenho do mesmo fazendo com que seja necessário um reajuste no leiaute do circuito para que esses problemas sejam amenizados.

ANEXO II

Símbolos representativos de transistores MOS

