



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE CIÊNCIAS E TECNOLOGIA
COORDENAÇÃO DE ESTÁGIOS E PROJETOS DE ENGENHARIA ELÉTRICA

RELATÓRIO DE ESTÁGIO INTEGRADO

Título do Trabalho: Estudo de módulos RF

Trabalho Apresentado por: Valber Araujo Silva

Empresa: FITec Inovações Tecnológicas

Orientador: Rômulo Raimundo Maranhão do Valle

Campina Grande – Paraíba
Agosto / 2005
UFCG



Biblioteca Setorial do CDSA. Fevereiro de 2021.

Sumé - PB

Trabalho desenvolvido como relatório de estágio integrado orientado pelo professor Rômulo Raimundo Maranhão do Valle durante o período letivo de 2004.2.

Dados do aluno

Nome: Valber Araujo Silva
Curso: Engenharia Elétrica
Matrícula: 29921146
Endereço Residencial: Rua São Francisco de Assis, 110 – Conceição
CEP 58.102-405, Campina Grande – PB – Brasil
Fone: +55 (83) 3321-5435
Celular: +55 (83) 9313-4943
E-mail: valbercg@ig.com.br

Dados do Orientador

Nome: Rômulo Raimundo Maranhão do Valle
Endereço Profissional: Universidade Federal de Campina Grande, Centro de Ciências e Tecnologia, Departamento de Engenharia Elétrica.
Av. Aprígio Veloso, 882 – Bodocongó - CEP 58.109-000, Campina Grande – PB – Brasil
Localização no Depto: Bloco CJ – Sala
Telefones: +55 (83) 3310-1135
+55 (83) 3310-1532
E-mail: rvalle@dee.ufcg.edu.br
Home page: <http://www.dee.ufcg.edu.br/~rvalle>

Dados do Supervisor

Nome: Wellington de Araujo Bastos
Endereço Profissional: FITec Inovações Tecnológicas
Rua Mariz de Barros, 311
1º Andar – Bairro do Recife – CEP 50.030-120
Recife – PE
Telefones: +55 (81) 2122-2834
Fax: +55 (81) 2122-2805
E-mail: wabastos@fitec.org.br

Recife, 24 de Agosto de 2005

DECLARAÇÃO

Declaramos para os devidos fins que, o Sr. Valber de Araújo Silva foi nosso estagiário no período de 01/03/05 a 27/08/05, nos seguintes horários: 08:00 às 12:00 e das 13:00 às 17:00 horas totalizando 40 horas semanais.

Declaramos ainda, a quem interessar possa, que não consta nada em nossos arquivos que desabone sua conduta física e moral dentro desta Empresa.



Ernesto Antunes
Gerente Geral – Recife

Ernesto Antunes
Gerente Geral
FITec - Recife

AGRADECIMENTOS

Agradeço primeiramente a DEUS por ter me dado a chance de entrar numa Universidade Federal, de ter colocado nas minhas mãos a oportunidade de estagiar numa boa empresa e de ter concluído minhas atividades de forma justa.

Agradeço também aos meus pais, Dinaldo e Helena pela oportunidade de poder estudar, por toda educação e por toda a força nos momentos difíceis.

Agradeço aos meus irmãos, Vladimir, Veruscka e Vinicius por toda ajuda na minha vida acadêmica.

Agradeço a minha namorada Manuela, por toda paciência e por toda força.

Ao meu orientador Rômulo, agradeço por todo aprendizado adquirido durante o curso e a toda compreensão.

Ao meu supervisor Wellington, agradeço pela oportunidade de trabalhar nesse projeto e por todo conhecimento adquirido durante todo meu estágio.

Aos meus amigos Bruno, Anderson, Carlos Eduardo, Alessandro, Moacir e Karcus, agradeço por todo momento de descontração durante o estágio.

Um agradecimento de forma especial à equipe de Hardware da FITec, Ricardo, Gabor por toda ajuda no meu estágio.

SUMÁRIO

| | |
|---|----|
| 1.0 SIMBOLOGIA..... | 02 |
| 2.0 RESUMO..... | 03 |
| 3.0 HISTÓRICO DA EMPRESA..... | 04 |
| 4.0 INTRODUÇÃO..... | 06 |
| 5.0 FUNDAMENTOS TEÓRICOS..... | 07 |
| 5.1 RECEPÇÃO..... | 09 |
| 5.2 TRANSMISSÃO..... | 15 |
| 5.3 CONTROLE DE INTERFACE SERIAL..... | 18 |
| 5.4 REGISTRADORES DE CONFIGURAÇÃO E STATUS..... | 20 |
| 6.0 MATERIAIS, MÉTODOS E RESULTADOS..... | 22 |
| 6.1 USO DO KIT XE1203SK..... | 22 |
| 6.2 USO DO MICROCONTROLADOR PIC..... | 26 |
| 6.3 PROJETO DA ANTENA..... | 28 |
| 7.0 CONCLUSÃO..... | 31 |
| 8.0 BIBLIOGRAFIA..... | 32 |

1. SIMBOLOGIA

RF - Rádio Frequência

Kbit/s – Quilo bits por segundo

MSps - Mega símbolos por segundo

β - índice de modulação

Kcps – Quilo chips por segundo

BW – largura de faixa

BR – taxa de transferência

DP1203 – módulo da Xemics

XE1203 – microcontrolador da Xemics

XE1203SK – kit da Xemics

2. RESUMO

Este trabalho foi desenvolvido através do módulo DP1203 que é um módulo da XEMICS, este é um transceiver half-duplex que opera nas faixas de frequência de 868 a 915 MHz. Todo estudo do módulo foi feito através de datasheet e com o uso de equipamentos do laboratório da FITec.

Este módulo possui registradores configuração que podem configurar frequência de operação, taxa de transferência, potência de saída, uso de correção de erro, dentre outras de muitas funções.

As funções são transferidas para esse módulo através do barramento que utiliza o padrão I²C-bus desenvolvido pela PHILIPS. Os dados são transferidos em ambas as direções até a taxa de 100kbits/s. Esta transmissão requer apenas duas linhas seriais; uma para os dados e outra para o clock.

Todo dado que é transmitido deve ser iniciado por uma sequência de bits de sincronização e depois uma sequência de bits que indicam um padrão de transferência para então depois ser mandado os dados que seriam transmitidos.

Como produto final, foi desenvolvida uma antena para ser conectada ao próprio módulo. Esta antena é do tipo planar utilizando-se técnicas de microfita.

3. HISTÓRICO DA EMPRESA

A Fundação para Inovações Tecnológicas - FITec é resultado da incorporação da Fundação de Pesquisa e Desenvolvimento em Informática, Automação e Telecomunicações Aldemar Fernandes Parola, pela Fundação General Alencastro de Pesquisa e Desenvolvimento Tecnológico.

A Fundação Parola foi criada em 1994, em Campinas (SP). Seu nome homenageia o Eng. Aldemar Fernandes Parola, formado pelo ITA (Instituto Tecnológico da Aeronáutica), o qual trabalhou em diversas empresas do setor de telecomunicações, incluindo operadoras e fabricantes de equipamentos. Em todas as empresas onde trabalhou, desenvolveu suas competências como especialista em telecomunicações e como líder, colaborador e incentivador de seus pares e comandados, tendo sido um dos principais responsáveis pelo Projeto TRÓPICO, e criador e orientador de vários produtos da Família ZTX de sistemas de comutação digitais.

A Fundação General Alencastro foi criada em 1997, em Belo Horizonte (MG). Seu nome homenageia o General José Antônio de Alencastro e Silva, engenheiro formado no IME (Instituto Militar de Engenharia) e presidente da Telebrás de 1972 a 1984, tornando-se reconhecido como um dos nomes que mais influenciou o desenvolvimento do setor de telecomunicações brasileiro. Além de importantes decisões relacionadas com o crescimento e modernização das telecomunicações naquele período, foi responsável pela criação dos grandes centros de pesquisa e treinamento da Telebrás.

Em julho de 2001 a Fundação General Alencastro incorporou a Fundação Parola e sua sede foi transferida para Recife (PE), mantendo-se as unidades de Campinas e Belo Horizonte como filiais. Em agosto de 2001 o nome da Fundação General Alencastro foi alterado para Fundação para Inovações Tecnológicas - FITec.

A FITec é uma entidade jurídica de direito privado, sem fins lucrativos, que fornece a seus clientes e parceiros a realização de projetos de pesquisa e

desenvolvimento, consultoria e treinamento nas áreas de Comunicação, Automação e Tecnologia da Informação.

A sede da FITec, na cidade de Recife (PE), está localizada no centro histórico da cidade (no Bairro do Recife), e faz parte do Projeto “Porto Digital”, plataforma de negócios em implantação pelo Governo do Estado, que visa transformar esta região em um grande centro de tecnologia mundial em tecnologias da informação e comunicação.

A FITec-Recife está capacitada para a execução de atividades, serviços, consultoria e Projetos de Pesquisa e Desenvolvimento, em todos os setores de atuação da FITec, com exceção da execução de testes e ensaios para certificação de equipamentos de telecomunicações, restrita às filiais de Campinas e Belo Horizonte.

Equipada com modernas ferramentas de projeto, a FITec - Recife possui:

- ✓ Laboratório de projeto e desenvolvimento de software;
- ✓ Laboratório de projeto e desenvolvimento de hardware;
- ✓ Laboratório de projeto e desenvolvimento de atividades de engenharia de produto;
- ✓ Laboratório de projeto e desenvolvimento de “design” industrial;
- ✓ Auditório para Treinamento e Capacitação em modernas tecnologias (capacidade de até 50 pessoas).

4. INTRODUÇÃO

Em um de seus projetos junto com um de seus clientes, a equipe de *hardware* da FITec tinha mais um desafio, estudar uma nova ferramenta para ser introduzida num projeto. Esta era um módulo de RF transceiver half-duplex 868 a 915 MHz, DP1203 da XEMICS.

Para tal estudo foi utilizado um kit de RF XE1203SK, na qual é composto por uma placa com um processador, bateria, antena, e o próprio módulo, foi utilizado também um osciloscópio, que foi nossa principal ferramenta, cabo serial, um microcomputador e um software XE1203SK que acompanha o kit.

Um dos principais pontos que queríamos alcançar era saber como conseguiríamos configurar os 21 registradores, cada um com 8 bits, do microcontrolador do módulo XE1203, para que ele trabalhasse da forma que seria utilizada no projeto, ou seja, para que o módulo trabalhasse corretamente na faixa de frequência, potência de saída, taxa de transferência, frequência de derivação, se ele vai funcionar como transmissor ou como receptor, uma vez que o módulo é half-duplex, e outros, que serão descritos nesse relatório, e também teríamos que dominar como faríamos para que os dados que fossem transmitidos seriam recebidos de forma correta por outro módulo, sem perder sincronismo nem dado.

Para configurar esses registradores, foi usado um outro microcontrolador o PIC16F627, na qual, nesse foi desenvolvido um programa em *assembler* que definiria o estado de cada registrador.

Por motivo de confidencialidade com a empresa não será apresentada nesse relatório a funcionalidade do projeto e nem divulgado o nome do cliente, porque o negócio da FITec é o desenvolvimento de tecnologia para seus clientes. Toda informação gerada no âmbito de um Convênio/Contrato com cliente, só poderá ser divulgada mediante autorização deste cliente, uma vez que os contratos firmados com os clientes podem conter cláusulas de confidencialidade que limitem a divulgação do trabalho que está sendo desenvolvido, ou de informações nele geradas.

5. FUNDAMENTOS TEÓRICOS

Este projeto é composto por três partes: circuitos reguladores de tensão, microcontrolador e interfaces seriais e transmissor/receptor de RF, como mostra o diagrama de blocos na figura 01 abaixo. Mas aqui nesse relatório será dada mais ênfase na parte do transmissor/receptor de RF, que foi o ponto principal do estágio, uma vez que à parte de reguladores e a do microcontrolador e interfaces já havia sido implementado.

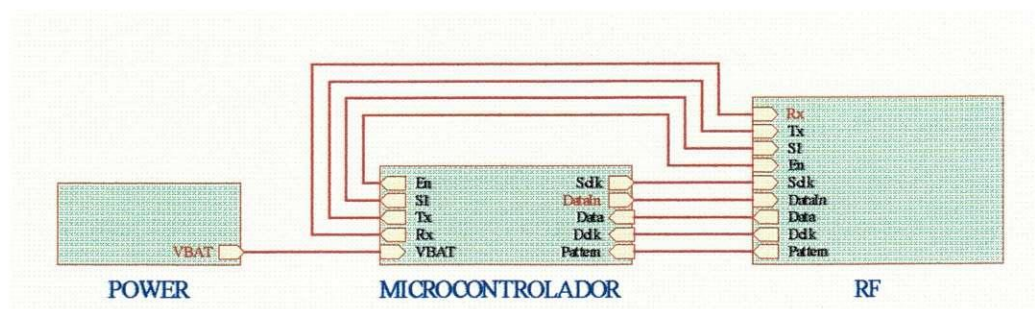


FIGURA 01 – Diagrama de blocos.

A parte de RF é composta por um módulo de RF *transceiver half-duplex*, DP1203 da XEMICS, que pode trabalhar em ambas faixas de frequência de 868-870 MHz ou 902-928 915 MHz, este módulo é apropriado para aplicação de circuitos que satisfaça a ambos padrões Europeu (ETSI EN300-220-1, EN301-489-3) e Norte Americano (FCC parte 15.247, 15.249), e para finalizar a parte de RF temos uma antena que é conectada no próprio módulo.

O módulo é um rádio transceiver de alta performance cuja finalidade é a transmissão sem fio de informações digitais a uma distância de até 500m em espaço livre. Esse transceiver usa 2 níveis de modulação e demodulação FSK para fornecer uma transmissão completa. É capaz de operar com uma taxa de dados entre 1,2 a 152,3 Kbit/s, sendo muito usado para aplicações onde precisa de uma alta taxa de dados. Este dispositivo possui um codificador/decodificador que pode ser ativado de modo que a modulação/demodulação do sinal reduza a interferência entre canais.

O módulo é altamente programável, assim definimos sua taxa de dados, frequência de derivação, potência de saída, largura de faixa do filtro, sensibilidade, linearidade, uso de correção, entre outros parâmetros.

Este módulo por sua vez, como mostra a figura 02, é composto por um seletor que caracteriza se o modo de operação é transmissão, recepção, *standby* ou desligado, por um filtro SAW que deixa passar os sinais de FI e bloqueia as interferências vindas do seletor, por um estágio de LNAPA e PA que faz o casamento de impedância e amplifica o sinal entre o microcontrolador e a antena, por um microcontrolador XE1203 da própria XEMICS, que possui uma gama de registradores que definem como o módulo irá trabalhar, temos também um cristal que oscila na frequência de 39 MHz, um VCO tank que é um circuito ressonante LC que é para controlar a tensão de oscilação (VCO) e para finalizar temos um filtro loop RC para eliminar espúrios e harmônicos.

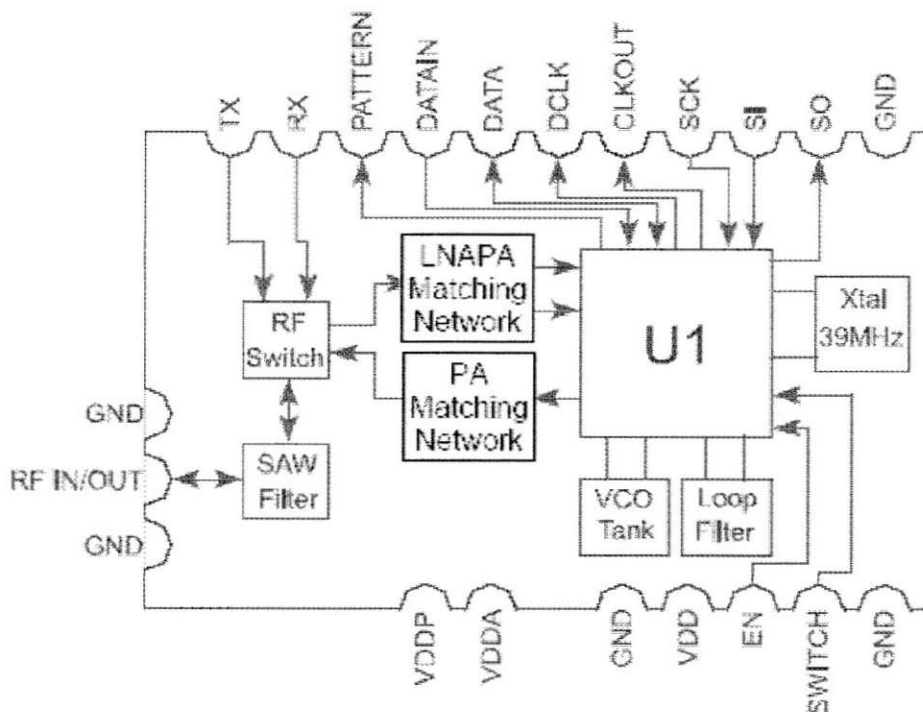


FIGURA 02 – Diagrama do módulo DP1203.

Com relação aos sinais de entrada e saída mostrados na figura 02, temos que TX e RX são para configurar o modo de operação do módulo, PATTERN é um sinal de saída na qual vai pra nível alto quando o dado que chegar é

comparado e sincronizado com um padrão e assim mostra que esse é válido, DATAIN é à entrada de dados, DATA é à saída de dados, DCLK é o clock do dado de entrada, é na subida do clock que o dado é lido, SCK é um sinal externo na qual os registradores são configurados, é na subida do SCK que o microcontrolador ler os valor de SI que é um sinal serial externo onde contém o endereço e o dado de cada registrador, esse tem que estar sincronizado com SCK, esses sinais externos saem do microcontrolador PIC16F627, SO é um sinal de saída e é nesse que se ler o conteúdo de cada registrador, EN habilita cada operação que será feita no microcontrolador.

5.1. RECEPÇÃO

A recepção converte 2 níveis FSK de sinal modulado em uma sequência de bits sincronizado. A recepção é composta por amplificador de baixo ruído, dois mixer de baixa conversão, dois filtros passa baixa, dois amplificadores, dois limitadores, um demodulador e um sincronizador de bit, que translada a saída do demodulador em uma sequência de bits aleatório no pino DATA. Aqui, também é gerado o clock de sincronismo DCKL na qual pode ser usado pelo sinal de DATA. Ainda na recepção temos um indicado da intensidade do sinal recebido (do inglês *Received Signal Strength Indicator - RSSI*), um indicador de erro de frequência (do inglês *Frequency Error Indicator - FEI*), e uma função de reconhecimento de padrão (do inglês *Pattern*) que detecta a sequência programada que é recebida. E finalizando, temos um codificador/decodificador *Barker*, define-se por um código PN de 11 bits para a codificação dos símbolos, chamado de sequência de *Barker*. Cada sequência de 11 bits será utilizada para codificar 1 ou 2 bits, de acordo com a taxa utilizada, gerando então os símbolos, que serão transmitidos à taxa de 1 MSps. Os códigos da sequência de *Barker* serão gerados a partir da seguinte sequência: +1, -1, +1, +1, -1, +1, +1, +1, -1, -1, -1.

O demodulador é composto por um demodulador de FSK, um sincronizador de bit, decodificador *Barker* e uma função de reconhecimento de padrão. A figura 03 mostra a ligação entre cada seção do modulador.

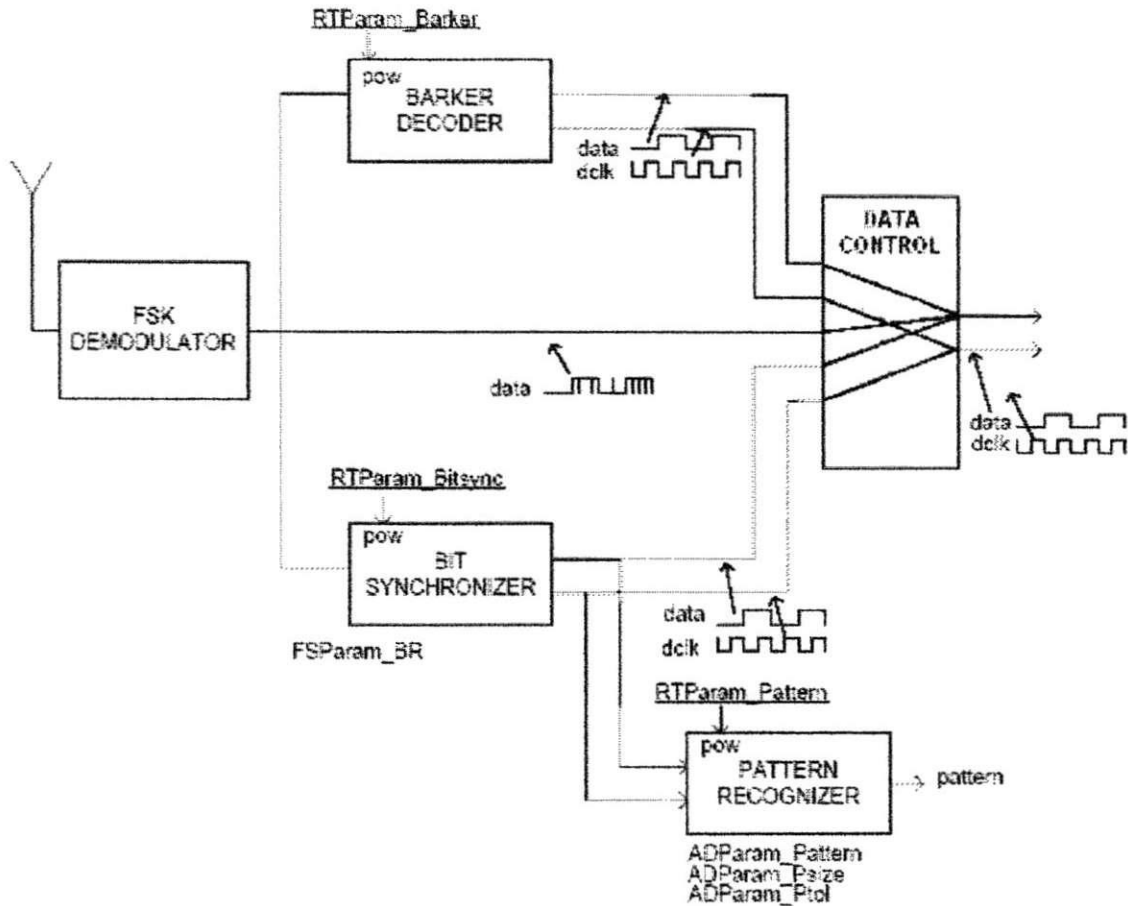


FIGURA 03 – Diagrama de blocos do demodulador.

Para operar de forma correta, o índice de modulação β do sinal de entrada do demodulador deve ser maior ou igual a dois, ou seja, deve obedecer a equação 01.

$$\beta = \frac{2\Delta f}{BR} \geq 2 \quad 01$$

onde, Δf é o desvio de frequência e BR é a taxa de dados.

O sinal de saída do demodulador contém geralmente o ruído e os pulsos aleatórios. O sincronizador do bit transforma a saída de dados do demodulador em uma sequência de bits disponível no pino DATA e gera um pulso de disparo sincronizado, DCLK, a ser usado na saída do pino DATA. Ver figura 04.

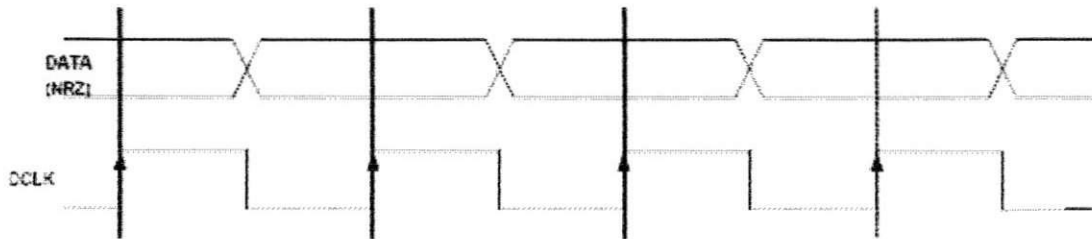


FIGURA 04 – Diagrama de tempo do sincronizador de bits.

Para assegurar a operação correta do sincronizador dos bits, além da exigência para o índice da modulação definido na equação 01 acima, as seguintes circunstâncias têm que ser satisfeitas:

- Um preâmbulo de pelo menos 24 bits são requeridos pra a sincronização;
- O preâmbulo deve ser uma seqüência de "0" e de "1";
- Durante a transmissão do dado, a seqüência de bit deve ter ao menos uma transição de "0" a "1" ou de "1" a "0" a cada 8 bits.
- A exatidão da taxa de bit deve ser melhor do que $\pm 5\%$.

A taxa de dados da recepção é definida pelo valor do registrador de configuração FSParam_BR, e é calculada da seguinte forma,

$$\text{Taxa de Dados} = \frac{152,34e^3}{\text{int}(\text{FSParam_BR}(6:0)) + 1} \quad 02$$

onde $\text{int}(x)$ é o valor inteiro da representação binária de (x) , uma vez que o registrador FSParam_BR é de 7 bits (6-0), como exemplo, temos
 0000000 \Rightarrow BR=152,34Kbit/s, 1111111 \Rightarrow BR=1,19Kbit/s e
 0000100 \Rightarrow BR=32,7Kbit/s.

O bloco de reconhecimento de padrão funciona na modalidade de receptor e essa característica é ativada setando o registrador de configuração RTParam_Pattern. O sinal de dados é demodulado e comparado com uma combinação de bits padrão que foi previamente armazenada no registrador de configuração PATParam_Pattern. O pino PATTERN sincronizado com DCLK é colocado em nível alto quando essa combinação é detectada, caso contrário fica em nível baixo. O pino PATTERN sobe na borda de subida do DCLK. O número

de bits usados para comparação é definida no registrador de configuração ADParam_Psize e o número de tolerância de erro é definido por ADParam_Ptol. A figura 05 mostra um processo de reconhecimento do padrão.

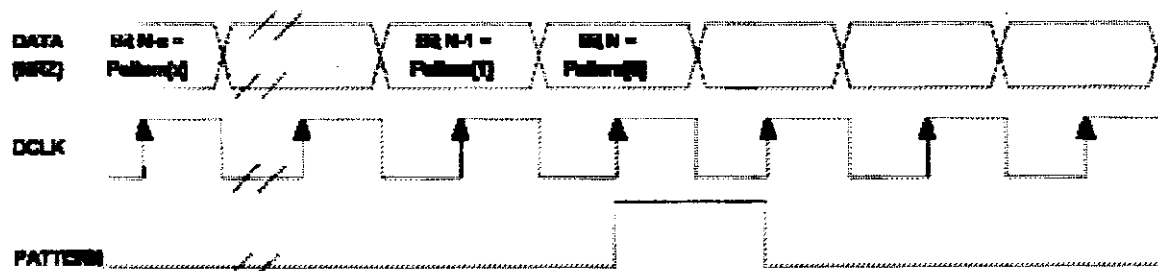


FIGURA 05 - Diagrama de um processo de reconhecimento do padrão.

O indicador de intensidade do sinal recebido (RSSI), quando habilitado verifica a amplitude do sinal na saída do filtro passa faixa, esta função é habilitada no registrador de configurações RTParam_RSSI. Quando essa função é habilitada o registrador de status DataOut_RSSI, que é de dois bits, pode ser lido via interface de controle serial. Os níveis de intensidade pré-definidos estão descritos na tabela 01 abaixo, onde V_{RFFIL} é o diferencial da amplitude do sinal de entrada com o sinal recebido. O valor de V_{TH} é o equivalente do sinal na saída do estágio do filtro dividido pelo ganho do sinal, esses valores são previamente definidos dependendo apenas do modo de seleção, se é de alta ou de baixo degrau.

| DataOut_RSSI | Descrição |
|--------------|--------------------------------------|
| 00 | $V_{RFFIL} \leq V_{THR1}$ |
| 01 | $V_{THR1} < V_{RFFIL} \leq V_{THR2}$ |
| 10 | $V_{THR2} < V_{RFFIL} \leq V_{THR3}$ |
| 11 | $V_{THR3} < V_{RFFIL}$ |

TABELA 01 – Descrição do Status do registrador RSSI

O diagrama de tempo para uma medida da função RSSI é mostrada na figura 06, onde a amplitude do sinal é periodicamente medida e o resultado é guardado no registrador de status DataOut_RSSI e é lido via interface serial no

tempo certo. Note que TS_RS é o tempo da excitação necessário após a função ser habilitada para assegurar que uma leitura válida quando obtido no RSSI.

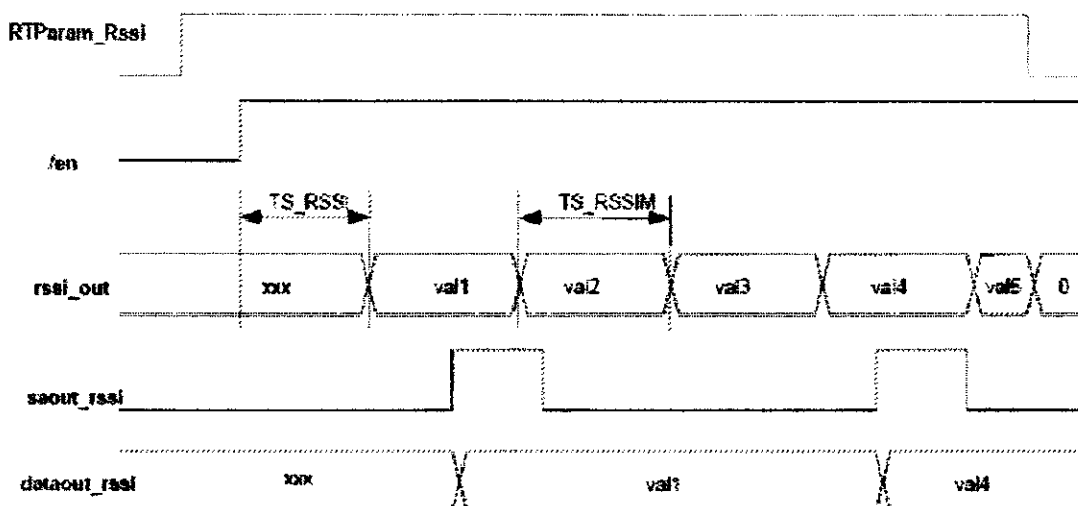


FIGURA 06 – Diagrama de tempo de uma medida do RSSI.

Durante uma seqüência de leitura do registrador de status `dataout_rssi`, o sinal do `saout_rssi` é gerada internamente como ilustrado na figura 7 abaixo. Pode-se ver que o valor do registrador de status do `dataout_rssi` é atualizada em cima da transmissão do bit A0 na linha do SI. A máxima frequência do SCK durante a operação de leitura do RSSI é 100KHz.

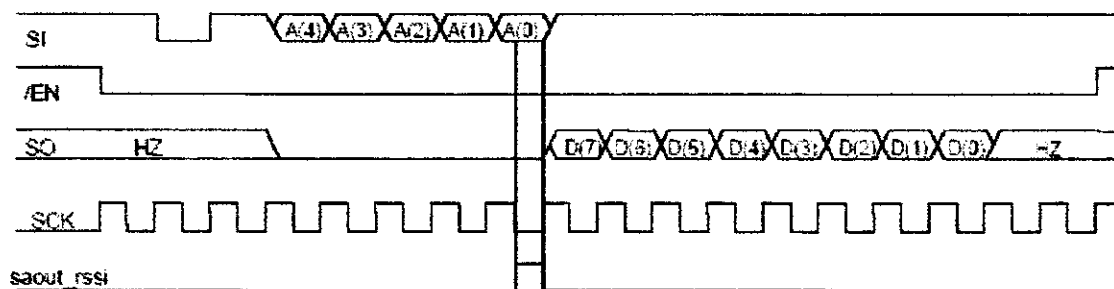


FIGURA 07 – Geração do `saout_rssi`

O indicador de erro de frequência (FEI), quando habilitado fornece uma indicação do erro de frequência do oscilador local comparado com a frequência da portadora do receptor. Para garantir a funcionalidade da função FEI, duas condições devem ser satisfeitas:

- O índice de modulação mostrado na equação 01;
- A largura de faixa do filtro passa baixa deve ser maior do que a soma da frequência de deslocamento e da largura de faixa do sinal recebido, como definido abaixo:

$$BBW > f_{offset} + BW_{SIGNAL} \quad 03$$

onde, BBW é largura de faixa do filtro passa faixa e é definido pelo registrador RTPParam_BW, f_{offset} é a diferença entre a frequência da portadora e a frequência do oscilador local e BW_{SIGNAL} é dado pela equação abaixo:

$$BW_{SIGNAL} = \frac{BR}{2} + \Delta f \quad 04$$

A figura 08 mostra o diagrama de tempo da função FEI num processo. Durante o tempo que a função FEI é habilitada, a frequência de erro é medida constantemente a cada $BR/2$ segundos. As medidas são colocadas no registrador de status Dataout_MSB_fei e Dataout_LSB_fei e esse é lido constantemente pela interface serial de 3 fios. No diagrama abaixo, saout_fei é gerado internamente a sequência de leitura do registrado de status Dataout_LSB_fei.

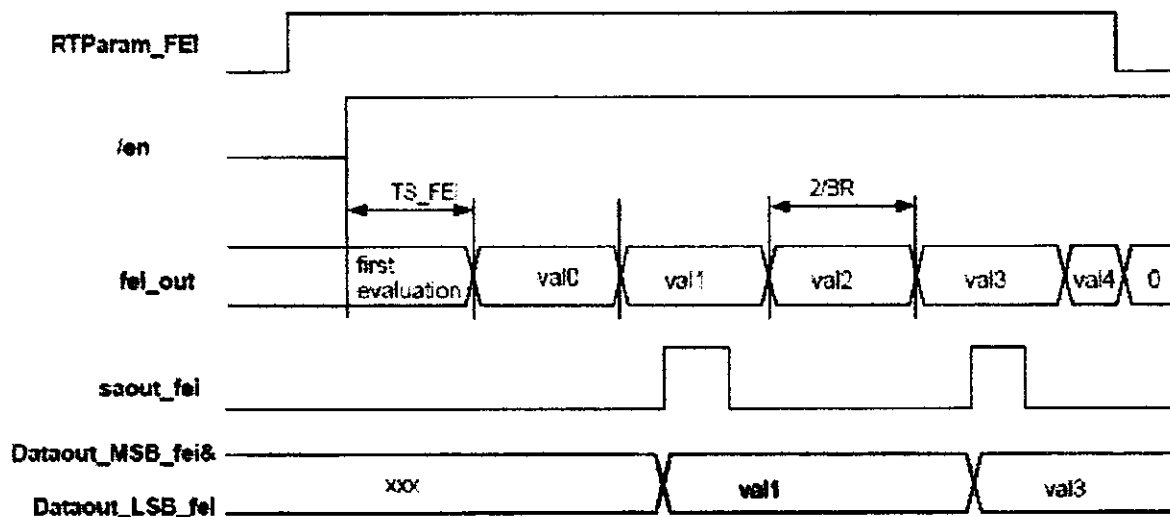


FIGURA 08 – Diagrama de tempo de um processo de medida do FEI.

A frequência máxima do SCK durante a operação de leitura do FEI é 100kHz. A frequência de erro pode ser calculada usando a seguinte expressão:

$$F_{\text{Erro}} = (BR/8) * \text{int}(\text{Dataout_FEI}(11:0))$$

05

onde, $\text{Dataout_FEI}(11:0) = \text{Dataout_MSB_fei}(3:0) + \text{Dataout_LSB_fei}(7:0)$, e $\text{int}(x)$ é o valor inteiro da representação binária de (x) .

5.2. TRANSMISSÃO

O transmissor é responsável por executar a modulação da portadora da sequência de bits da entrada e a transmissão do sinal modulado. A modulação da portadora é conseguida diretamente através do sintetizador de frequência através de uma modulação sigma-delta. O desvio da frequência e a taxa de bit da portadora modulada são programáveis. Um amplificador de potência amplifica o sinal de RF. Então a potência do sinal de RF de saída pode ser programado com 4 ajustes possíveis, ou seja, 0, 5, 10 e 15 dBm.

Os dados transmitidos devem ser aplicados aos pinos DATA ou DATAIN dependendo de como está configurado os bits do registrador de configuração $\text{ADParam_disable_data_bidir}$, ou seja, quando este registrador estiver em nível alto o dado é transmitido através do pino DATAIN, caso contrário, o pino DATA que é bidirecional é usado.

O sinal modulado em DATA ou DATAIN pode ser pré-processado antes de ser modulado no oscilador local para produzir um sinal FSK. Esta é uma característica de pré-filtragem. Esta pré-filtragem é selecionada quando o registrador de configuração RTPParam_Filter estiver em nível alto, assim na entrada de banda base e a sequência de bits é pré-filtrada antes de entrar no sintetizador de frequência, fazendo assim uma suavização das borda de subida e de descida de cada bit da sequência, ou seja, passa agora a ter uma aspecto de escada em suas bordas. Quando esta função não é selecionada através do registrador, o dado é aplicado diretamente no sintetizador de frequência sem nenhuma pré-filtragem.

Estas duas formas de processamento do dado a ser modulado está sendo mostrado na figura 09, onde o datain é a sequência de bits na entrada dos pinos DATA ou DATAIN.

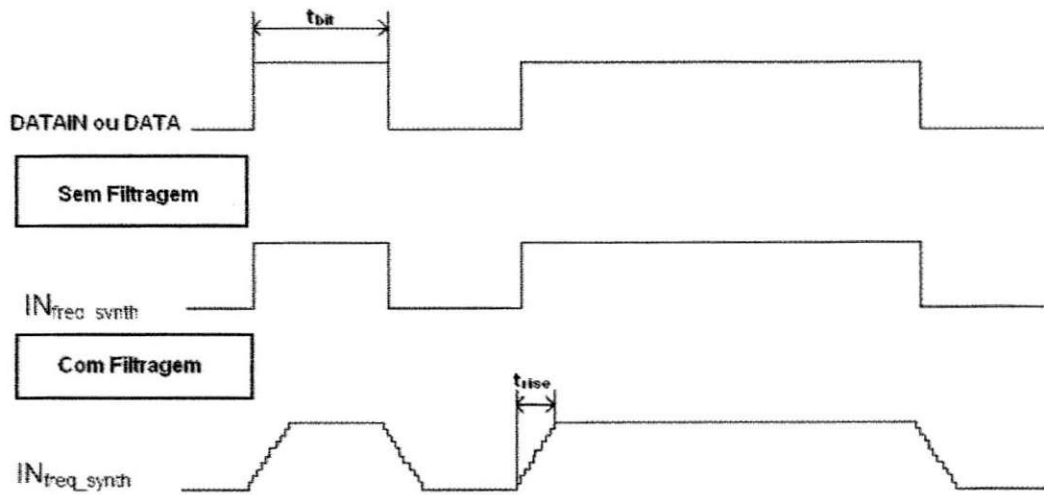


FIGURA 09 – Modulação com e sem pré-filtragem

A característica principal desta função de pré-filtragem é a relação entre o tempo de subida/descida (rise/fall) com a duração do bit, t_{rise}/t_{bit} . O valor desta relação pode ser programado entre dois valores predefinidos no bit do registrador configuração RTPParam_stair, como mostrado na tabela 02.

| RTPParam_stair | t_{rise}/t_{bit} |
|----------------|--------------------|
| 0 | 10% |
| 1 | 20% |

TABELA 02 – Relação t_{rise}/t_{bit}

O hardware do codificador/decodificador de *Barker* pode ser ativado para modular/demodular o sinal transmitido para reduzir a interferência entre bandas. O decodificador de *Barker* fornece uma alternativa para o sincronizador de bits somente na taxa de dado de 1154bits/s. A opção do uso do *Barker* é ativa no registrador RTPParam_Barker. Na transmissão, a informação a uma taxa de 1154bits/s é transmitida com 11 bits do código de *Barker*. O resultado é uma codificação da sequência de bits em 12,7 Kcps, que é aplicado no sintetizador de frequência. No receptor, o sinal é demodulado usando um demodulador FSK (em

12,7Kcps) e depois, entra no decodificador de *Barker* para recuperar o dado original em 1154bits/s, junto com um pulso de disparo sincronizado. Na figura 10, mostra o processo de codificação/decodificação.

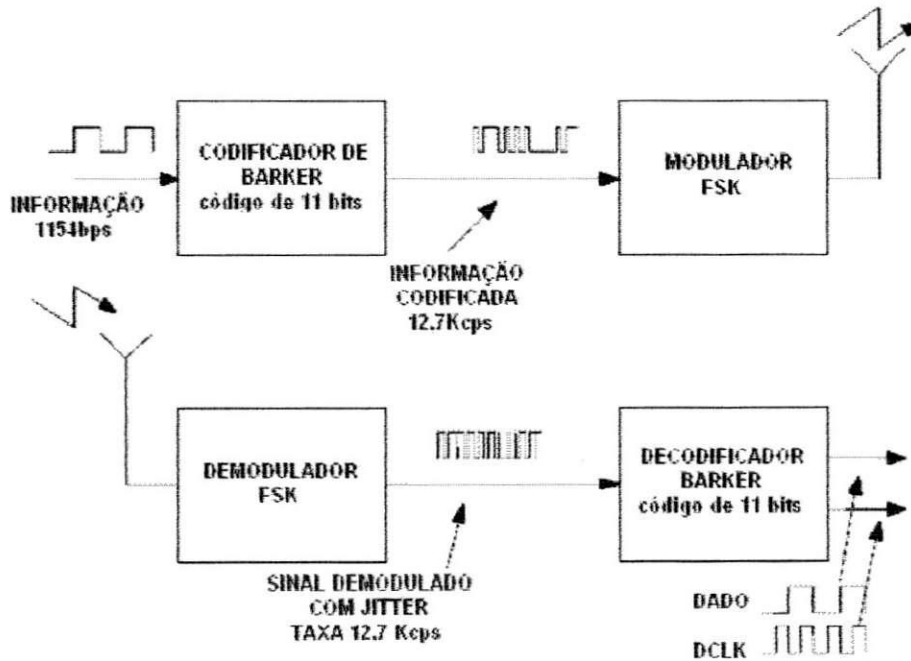


FIGURA 10 – Diagrama de representação do sinal.

No modo de recepção, o módulo XE1203 fornece uma saída de clock, DCLK, para o microcontrolador. O dado pode ser lido na borda de subida deste clock. Quando usamos o processo de decodificação de *Barker*, este clock é usado para detectar a aquisição de sincronismo. Na primeira borda de descida do pulso de disparo significa que a aquisição do sincronismo foi atingida e a partir daí a saída estará disponível. Isto é mostrado na figura 11 abaixo.

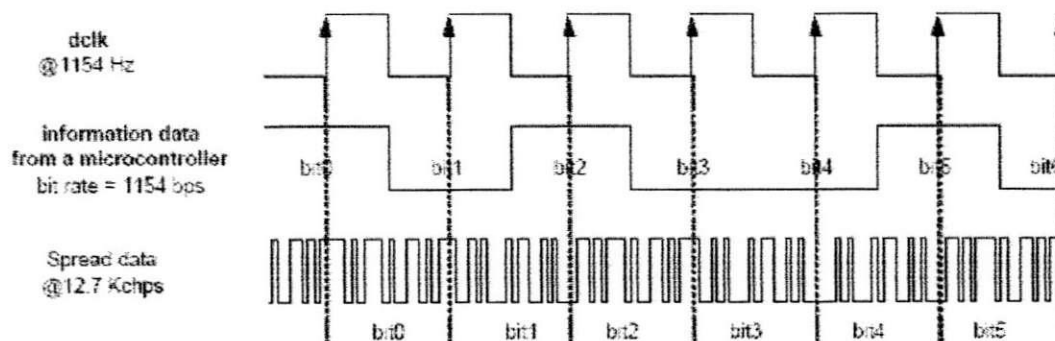


FIGURA 11 - Troca de dados na modalidade TX com a característica do Barker.

O mesmo acontece na transmissão usando o codificador de *Barker*, o DCLK é usado para detectar a aquisição de sincronismo.

5.3. CONTROLE DE INTERFACE SERIAL

Como já foi mencionado os sinais SI, SCK e SO são para configuração e leitura dos registradores, eles fazem parte de um barramento bidirecional a 3 fios com padrão I²C e se comunicam diretamente com o XE1203.

A maioria dos equipamentos atuais contém pelo menos uma unidade micro-controladora e um grupo de ICs, para armazenar, exibir e executar as funções dos circuitos analógicos e digitais. Existem, é claro, muitas maneiras de interfacear estes circuitos com a unidade micro-controladora, porém seria um grande benefício para o projeto do equipamento e também para o processo de produção se este interface fosse simples e padronizado.

O I²C-bus desenvolvido pela PHILIPS foi estruturado para atender estas exigências. Os dados são transferidos em ambas as direções até a taxa de 100kbts/s. Esta transmissão requer apenas duas linhas seriais; uma para os dados e outra para o clock. Desta forma, poucos terminais do micro-controlador são requeridos, e a construção da PCB também pode ser simplificada. Além disso, o I²C-bus é na verdade um MULTI-MASTER capaz de controlar vários circuitos a ele conectados.

Com o intuito de evitar qualquer perda de informação contida nos dados seriais, o I²C-bus incorpora um endereço unificado para cada circuito integrado em específico, e um protocolo de barras executa um procedimento de decisão para definir as prioridades de controle. Quando um circuito integrado com clock rápido se comunica com outro de clock lento, o protocolo sincroniza efetivamente o sistema definindo a fonte de clock.

O I²C-bus suporta um range relativamente grande de micro-controladores e periféricos fabricados em diversas tecnologias.

Na borda de descida do sinal de SCK é usada para escrever o dado no pino de SI e na borda de subida esse dado é lido pelo XE1203, nisso o EN fica em baixo durante todo esse tempo de escrita e leitura.

O diagrama de tempo da figura 12 mostra a sequência de escrita. A sequência é iniciada quando o bit de *start* for detectado, definido pelo sinal SI com o nível baixo durante o primeiro período do SCK. No próximo bit é definido se a operação é de escrita ou leitura, ou seja, nível baixo para escrita e alto para leitura. Nos próximos 5 bits é dado o endereço do registrador A[4:0], nos próximos 8 bits temos o dado que será escrito no registrador D[7:0] e a sequência é finalizada com dois bits de *stop* em nível alto durante os dois últimos período do SCK para a configuração de um registrador. No primeiro pulso do clock o sinal de SI fica em nível alto pra assim no próximo iniciar com o bit de *start* em nível baixo.

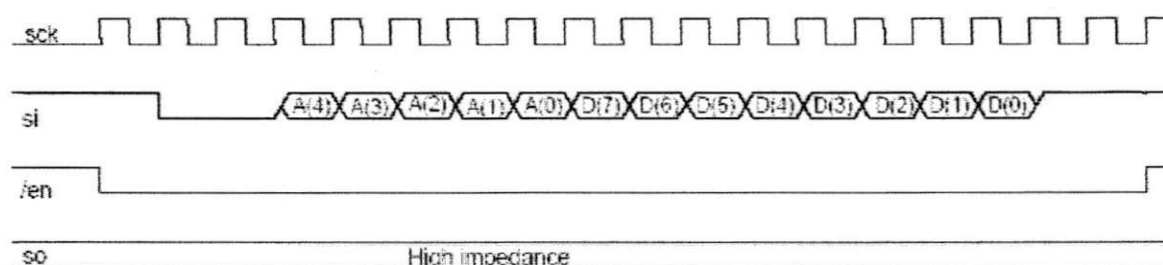


FIGURA 12 – Sequência de escrita na configuração de um registrador

O diagrama de tempo de uma sequência de leitura é mostrado na figura 13, assim como na sequência de escrita, aqui é iniciada com o bit de *start* em nível baixo, durante um período de clock do SCK. O próximo bit indica se a operação é de escrita ou leitura, nos próximos 5 bits temos o endereço de acesso do registrador, A[4:0] primeiro o bit menos significativo. O dado é mostrado na saída no pino SO. O dado é escrito na borda de descida do SCK e lido na borda de subida. Depois disso o dado transferido é terminado e durante toda a transferência do dado o pino de SI fica em nível alto, até um pulso extra de clock para iniciar uma nova operação.

Quando a interface serial não for usada, ambos os sinais de SI e SCK ficam em nível alto.

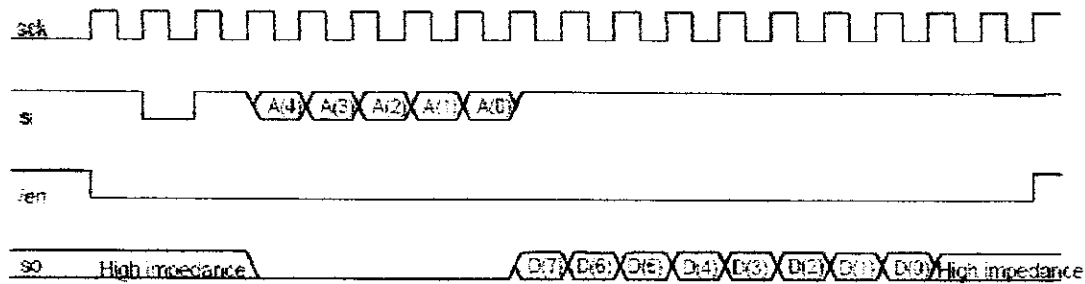


FIGURA 13 - Sequência de leitura de um registrador

5.4. REGISTRADORES DE CONFIGURAÇÃO E STATUS

O XE1203 possui diversos modos de operação e parâmetros de configuração que podem ser programados de acordo com o uso e aplicação. Na tabela 01 abaixo, é listada todos as sete variáveis de configuração e status dos registradores, com sua descrição, endereço de acesso e tamanho do bit.

| Nome do registrador | Descrição | Tamanho (bits) | Endereço (binário) |
|---------------------|---|----------------|--------------------|
| ConfigSwitch | Um dado de 1 bit que seleciona o modo de operação pré-definido no registrador SWParam | 1 x 1 | 00000 |
| RTPParam | Parâmetros de transmissão e recepção | 2 x 8 | 00001-00010 |
| FSPParam | LO, taxa de bit, derivação e outras frequências | 3 x 8 | 00011-00101 |
| SWParam | Seleciona os modos de operação pré-definidos | 6 x 8 | 00110-01011 |
| DataOut | Registrador de status que pode ser lido pelo barramento de 3 fios | 2 x 8 | 01100-01101 |
| ADParam | Parâmetros adicionais | 5 x 8 | 01110-10010 |
| Pattern | Padrão de referencia | 4 x 8 | 10011-10110 |

TABELA 01

Para mais informações sobre a função de cada registrador e o que cada bit representa ver *datasheet* do XE1203 [2].

O registrador ConfigSwitch é a forma mais rápida de configuração dos registradores de SWParam com funções pré-definidas para os modos de operação, para otimizar o tempo e o tráfego no barramento de 3 fios de interface

serial. Dependendo do bit do registrador ConfigSwitch e o estado no pino SWITCH o XE1203 poderá ser usado no modo de transmissão ou os outros modos (recepção, standby ou desligado).

6. MATERIAIS, MÉTODOS E RESULTADOS

6.1. USO DO KIT XE1203SK

Para o presente estudo do módulo, foi utilizado inicialmente o kit XE1203SK, que nos ajudou a entender como configurar os registradores, ou seja, qual seria a sequência de bits correta que iniciaria todos os registradores do microcontrolador. O XE1203SK é um ambiente para o transceptor da XEMICS XE1203. O XE1203SK permite que a demonstração de uma comunicação seja feita de duas maneiras entre duas placas de rádio, isto é, que execute um teste de *ping-pong*, que é feito com dois kits, ou seja, quando um transmite o outro recebe e vice-versa, e um teste de exame local, que testa e também avalia o transceptor do RF.

O kit XE1203SK, figura 14, é composto por uma placa com processador, bateria, antena, e o próprio módulo o XM1203. Este kit executa funções básicas tais como a configuração no modo transmissor, receptor ou modo desligado, também é uma característica deste, a seleção do desvio da frequência, a largura de faixa do filtro e a gerência da potência de saída.

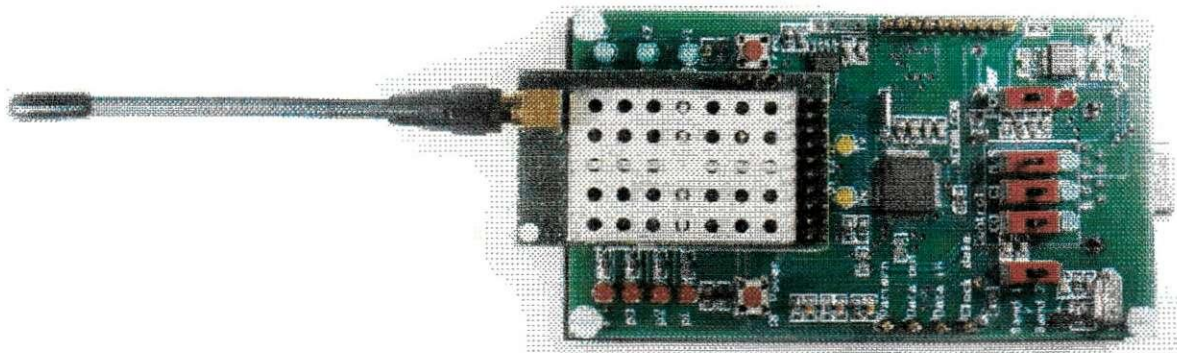


FIGURA 14 – Kit XE1203 SK

O XE1203 é conectado na placa como mostra a figura 14, dois kits são necessários para executar uma comunicação remota em dois sentidos e com isso pode minimizar a quantidade de equipamento do laboratório de RF.

Com o kit pode-se: Demonstrar uma comunicação tipo um *ping-pong* com a configuração inicial (chamada *default*), além de mudar os ajustes da configuração de demonstração de *ping-pong*, configura os registradores internos do transceptor para a finalidade desejada e transmite e recebe uma sequência de bits externos.

O módulo possui 20 pinos de fácil acesso, figura 15, que estão expostos na placa, estes pinos são de sinais e alimentação, os mesmos mencionados no item 7 - figura 02.

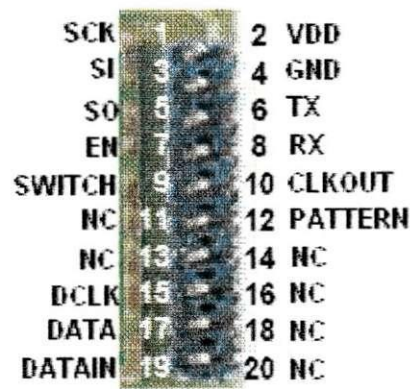


FIGURA 15 – Pinos do XM1203

É através destes pinos que foi verificado o sinal de SI, SCK, EN, chamados de sinais de controle de interface serial, que são os sinais necessários para configuração dos registradores.

Com o auxílio do osciloscópio, conectado a estes pinos, e com o módulo executando o teste de *ping-pong*, foi verificada o seguinte sinal que pode ser mostrado na figura 16.

Como foi mencionado no item 7.3, a sequência de escrita na configuração de um registrador é feita todos em fileira, ou seja, em forma de "salsichão", como um pacote. Então, os sinais vistos na figura 16 devem ser programados como mostrado, para que os registradores sejam iniciado de forma correta, ou seja, a cada fim envio de 1 byte, ou seja, quando estamos passando a enviar outro byte devemos colocar o SCK e o EN em nível alto. E quando enviarmos 1 byte devemos colocar o EN em nível baixo e fazer com que o SCK assuma seu papel de clock.

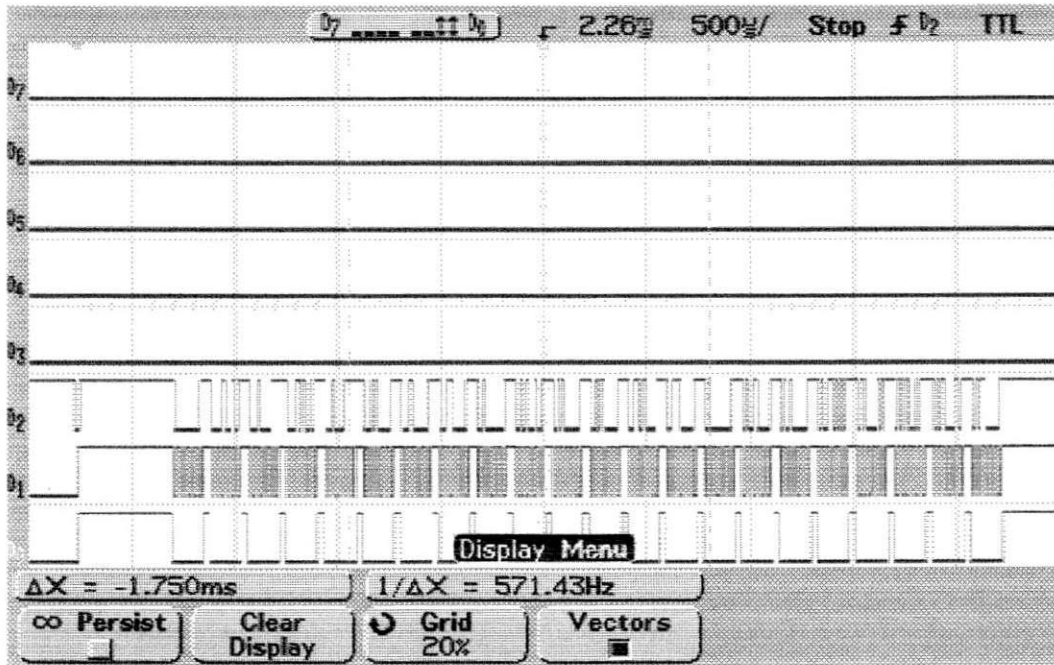


FIGURA 16 – Sinais SI, SCK e EN, vistos nos pinos do módulo conectado ao kit.

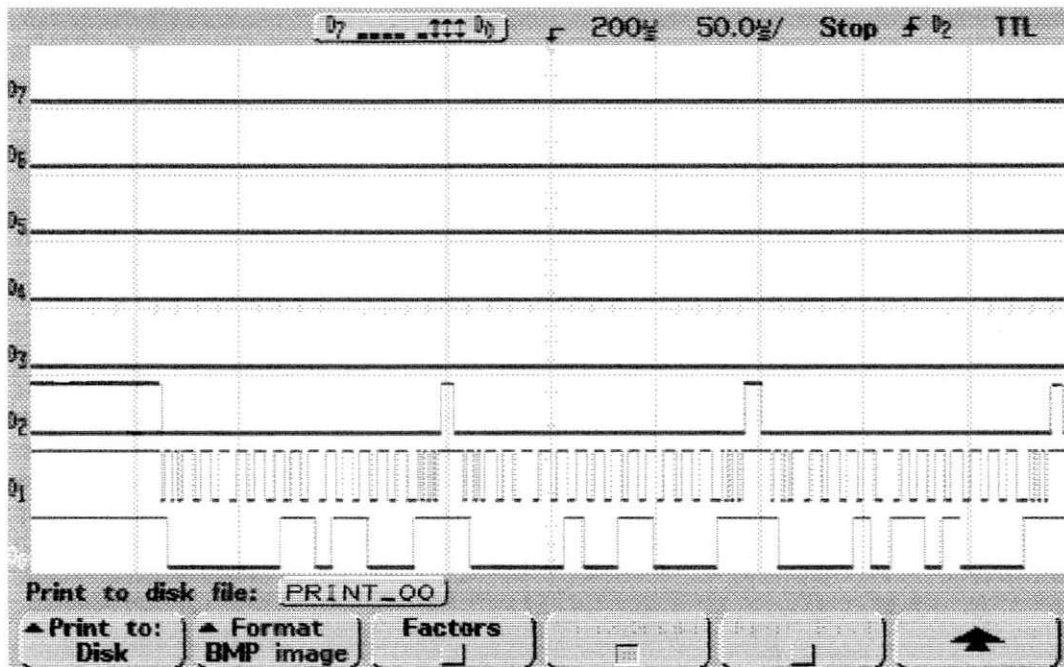


FIGURA 17 – Sinais SI, SCK, EN, vistos mais de perto.

Uma outra forma de se verificar o conteúdo dos registradores é o uso do software XE1203SK. O kit XE1203SK possui uma porta serial que pode ser conectada ao microcomputador, e é através desta porta que o software pode ler o conteúdo dos registradores. O ambiente do software pode ser visto na figura 18.

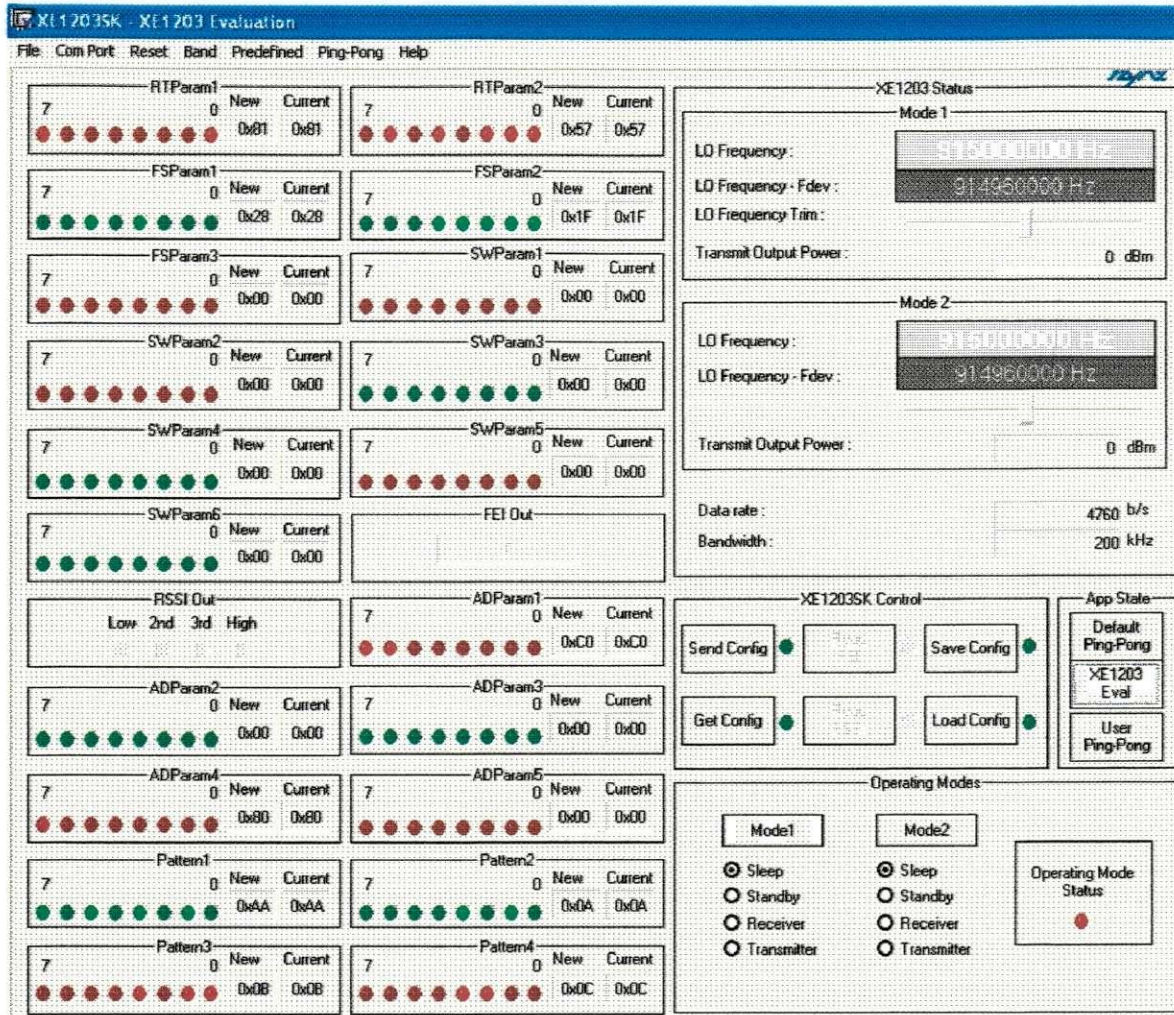


FIGURA 18 – Ambiente do software XE1203SK

Agora, como já sabemos configurar os registradores, devemos saber como fazer pra mandar os dados, ou seja, devemos mandar os dados de uma forma que o receptor reconheça que o que está chegando é realmente o dado que foi transmitido.

Como já foi visto, junto com o dado devemos mandar uma sequência de bits que indicam o sincronismo e bits de padrão, que quando são recebidos são identificados como válidos e a partir daí se considera como dado real, também se verifica que o pino Pattern é colocado em nível alto, identificando assim que a sequência recebida é correta. Isto foi verificado com o auxílio do osciloscópio nos pinos Data Out e Pattern do kit, mostrado na figura 19, e esses sinais podem ser mostrados na figura 20.

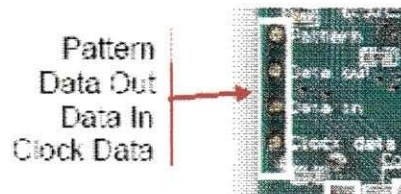


FIGURA 19 – Pinos de acesso do kit.

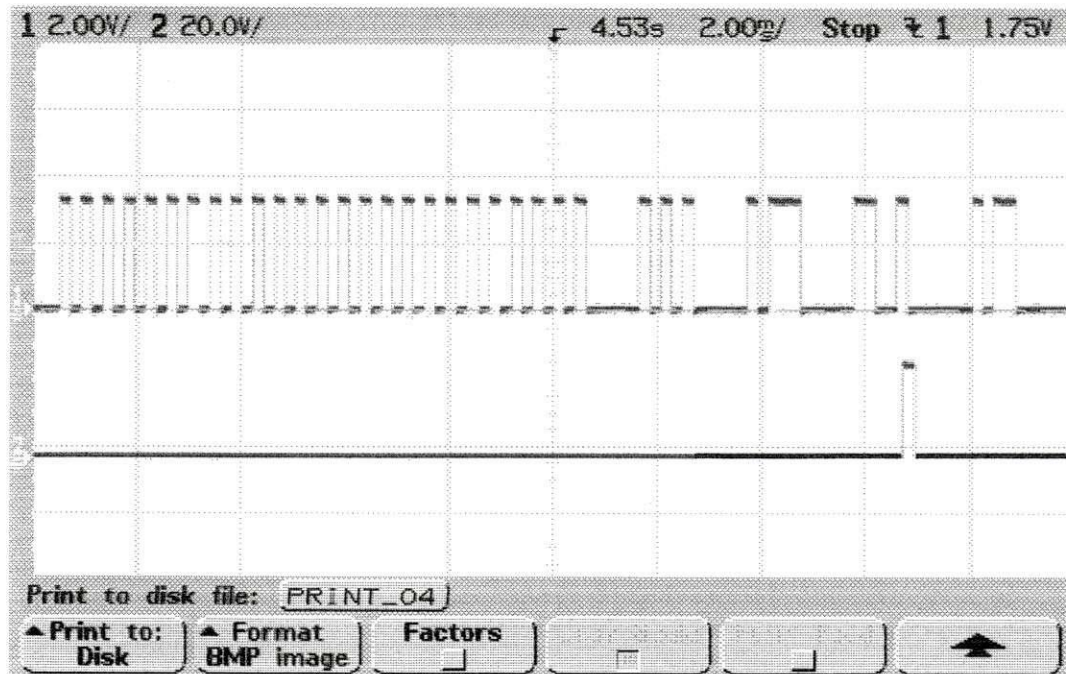


FIGURA 20 – Sinais DATAOUT e PATTERN

6.2. USO DO MICROCONTROLADOR PIC

Para validar os conceitos e os modos de configurações adquiridos com o uso do Kit, passamos agora a configurar os registradores e o dado que será enviado, para isso, usamos o microcontrolador PIC16F627 no lugar do Kit, ou seja, usaríamos o microcontrolador PIC para configurar os registradores.

O desempenho elevado da família do PIC16F627 pode ser atribuído a um número de características de arquitetura encontradas geralmente nos microprocessadores do RISC. Para começar com o uso de PIC16F627 uma arquitetura de Harvard, em que, o programa e os dados são alcançados nas memórias usando um barramento. Isto melhora a arquitetura tradicional de Von Neumann do excesso da largura de faixa onde o programa e os dados são

buscados da mesma memória. Separar a memória do programa e dos dados permite mais que as instruções sejam feitas sob medida diferentemente do que a palavra de dados de 8 bit. Os códigos da instrução são de 14 bits fazendo possível ter todas as instruções em uma única palavra. O barramento do acesso de memória do programa 14 bits busca uma instrução de 14 bits em um único ciclo. Conseqüentemente, todas as instruções executam em um único ciclo (200ns @ 20MHz) à exceção das filiais do programa.

O PIC pode endereçar diretamente ou indiretamente o registrado de arquivos ou memória dos dados. Todas as funções dos registradores especiais, incluindo o contador de programa, são traçados na memória dos dados. Os dispositivos do PIC contêm uma ULA de 8 bits e trabalhando com um registrador. O ULA é uma Unidade Lógica Aritmética de finalidade geral. Executa funções aritméticas e as funções booleanas entre dados no registrador e em algum dos registradores de arquivo. A estrutura do PIC16F627 pode ser vista na figura 21.

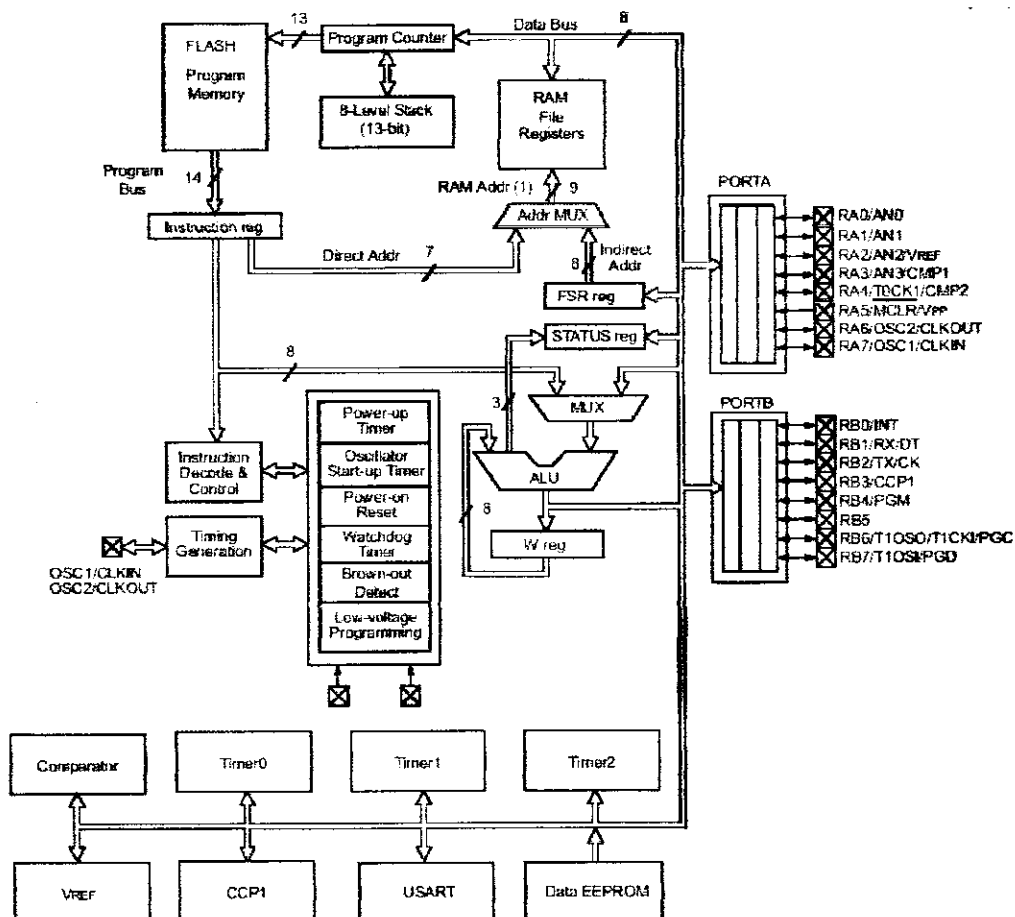


FIGURA 21 – Estrutura interna do PIC16F627

A ligação entre o módulo e o microcontrolador PIC é descrita na figura 22, aqui a ligação do microcontrolador e o módulo foi feita através dos PORTS, ou seja, foram disponibilizadas duas portas sendo uma para configuração dos registradores e outra pra introduzir um dado qualquer seguido dos bits de pattern e sincronização, para que esse módulo transmitisse esses dados a outro módulo.

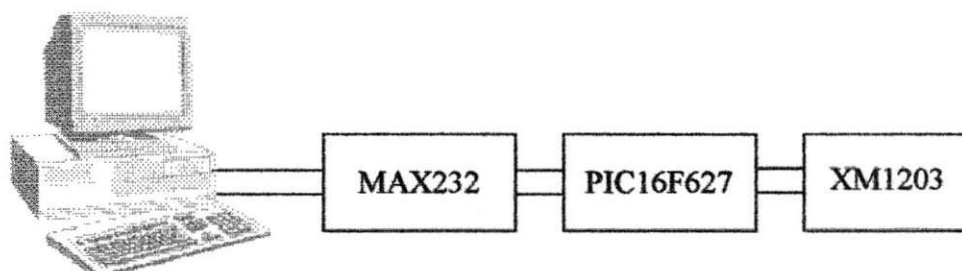


FIGURA 22 – Estrutura da configuração com o uso do PIC16F627

Então, foi escrito um rotina em *assembler* usando o MPLAB IDE v7.01, um programa da Microchip, esse rotina contém todos os bits que serão usados para tal configuração do módulo XE1203 e também foi escrito uma rotina de um dado qualquer que seria mandado pela porta do microcontrolador a entrada DATAIN do módulo, que seria usado para verificar se este iria funcionar de forma correta, esse dado seria recebido por outro módulo.

Esta rotina é bem simples, foi definido uma palavra de 13 bits, sendo 5 bits de endereço e 8 de dados, que configura os registradores. Cada palavra é seguida de um bit de *start*, um de escrita, e para finalizar essa palavra usa-se dois bits de *stop*, como foi descrito no item 7.3, e para configurar todos os registradores todas as palavras foram escritas numa sequência. No pulso de clock cada bit seria enviado ao módulo.

6.3. PROJETO DA ANTENA

Para que o módulo pudesse se comunicar com outro seria necessário à construção da antena, esta antena é uma antena na placa de circuito impresso operando em uma frequência de 916MHz. Nas aplicações, onde são importantes o tamanho, o peso, o custo, o desempenho, a facilidade da instalação, e o perfil aerodinâmico utilizam-se as antenas *microstrip* e antenas impressas.

Uma antena é uma abertura física de uma LT paralela que transporta uma OEM, proporciona uma variação senoidal de potencial (Volts) e de corrente (Amperes) nos condutores, provocando o aparecimento de linhas de campo magnético e elétrico variáveis em torno do dipolo formado, dando origem a uma onda eletromagnética que se propaga.

A trilha da antena pode ser feita como um traço em uma Placa de Circuito Impresso (PCI). Isto é muito usado em frequências acima de 800 MHz, uma vez que em frequências mais baixas, a trilha da antena pode ser muito longa, mesmo quando envolvido em torno de todos os cantos da placa, já que o comprimento de onda é inversamente proporcional a frequência. O comprimento da trilha pode ser de 10 a 20% menor do que o calculado, dependendo do dielétrico e da espessura da placa. Na maioria dos casos, 15% menor seria uma boa aproximação. Se o uso do circuito for na mão do usuário, a antena pode ser feita um pouco menor, para compensar para o efeito da mão.

Em 916 MHz, um traço de 50 mm fornecerá uma alta impedância quando os efeitos da mão são incluídos. O traço da antena deverá ser mantido a uma distância de outros circuitos e do plano terra, de um quarto, ou seja, de 8 mm, ou mais, uma vez que os traços de circuito que não tenha a presença do terra podem ser vistos pela antena como a parte do sistema ao terra, e as tensões de RF podem ser induzidas em traços próximos.

De acordo com testes descritos o padrão de radiação é omnidirecional (que é uma antena que irradia uniformemente no plano de azimute) a antena projetada opera com um ganho de -8 a -12 dBd quando a placa é horizontal a uma polarização é horizontal (um dipolo de meia onda em espaço livre apresenta um ganho de 2.15 dBi, ou seja, possui uma capacidade de concentrar 2.15 dB a mais na sua direção de máxima irradiação quando comparado a antena isotrópica, logo, um dipolo de meia onda, usa-se a unidade dBd, então temos a seguinte relação $dBi = dBd + 2,15$).

Se a trilha não estiver em paralelo com o terra, o ganho seria mais elevado, entretanto, se a placa for orientada verticalmente, com a antena acima do plano

terra, com polarização vertical, a antena seria omnidirecional com -8 dBd de ganho.

A antena em PCI que foi projetada pode ser vista na figura 22. ⁶O tamanho total da placa e do plano terra não é crítico, visto que o circuito é pequeno. O perímetro da antena é governado pela condição de ressonância de um comprimento total da trilha a um comprimento de onda guiado na frequência da operação, ou seja,

$$\lambda_g = L + W \quad 06$$

O comprimento de onda guiado da trilha para dielétricos diferentes pode ser determinado usando expressões aproximadas. A constante dielétrica para a placa é caracterizada usando a constante dielétrica efetiva, onde,

$$\lambda_g = \frac{\lambda_0}{\sqrt{\epsilon_{eff}}} \quad 07$$

é a relação entre o comprimento de onda no espaço livre e o comprimento de onda guiado.

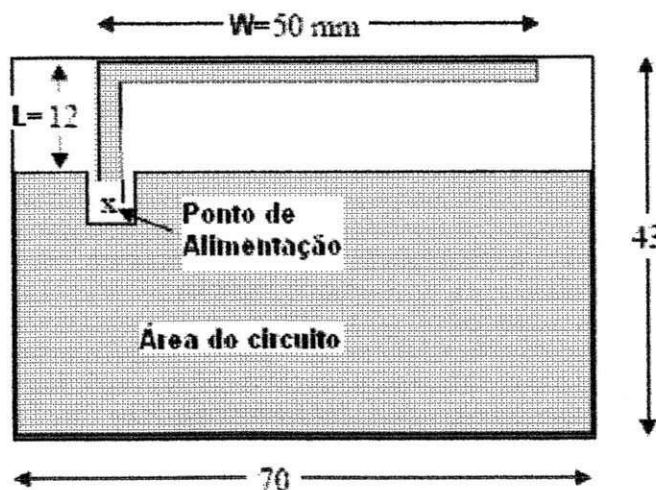


FIGURA 22 – Especificações de projeto da placa e antena

7. CONCLUSÃO

O presente trabalho, deu-me a oportunidade de conhecer a realidade prática de uma empresa, e empregar todos os conhecimentos até então adquiridos em prol da minha vida profissional.

Como o objetivo do projeto foi o estudo do módulo XE1203 para que entrasse em um projeto mais amplo, vimos que o uso deste poderia reduzir significativamente o tempo para construção de um transceptor de RF, já que o módulo possui todas as especificações requeridas para o projeto.

Durante todo o período de estágio, tive contato direto com profissionais de áreas afins, como também de ponto de vista profissional quando realizei na prática os testes do módulo em laboratório.

Portanto concluí, que este trabalho foi de grande importância, pois me possibilitou o contato direto com as áreas de hardware e software presentes na empresa, os quais se fundamenta este trabalho.

8. BIBLIOGRAFIA

1. DataSheet DP1203 – C868/C915 Drop-in RF Transceiver Modules, http://www.xemics.com/docs/xe1200/dp1203_datasheet.pdf
2. DataSheet XE1203 – 433 / 868 / 915MHz Low-Power, integrated UHF transceiver, http://www.xemics.com/docs/xe1200/xe1203_datasheet.pdf
3. DataSheet XE1203SK Starter Kit – To evaluate the XE1203 transceiver, http://www.xemics.com/internet/products/development_tools/products.jsp?productID=88&expand=9
4. ANTENNAS FOR LOW POWER APPLICATIONS, By Kent Smith, <http://www.web-ee.com/primers/files/antenna.pdf>
5. Desbravando o PIC - Baseado no microcontrolador PIC16F84, David José de Souza, editora Érica Ltda., 5ª edição 2002
6. Micromachined Antennas for Integration with Silicon Based Active Devices, Erik Å Ojefors, March 2004, <http://www.signal.uu.se/Publications/pdf/I041.pdf>
7. DataSheet PIC16F62X Flash based 8 bit CMOS Microcontroller, <http://ww1.microchip.com/downloads/en/DeviceDoc/40300c.pdf>