



Universidade Federal de Campina Grande

Centro de Engenharia Elétrica e Informática

Curso de Graduação em Engenharia Elétrica

BRUNO GOLZIO NAVARRO WINKELER

TRABALHO DE CONCLUSÃO DE CURSO

Campina Grande, Paraíba,
Novembro de 2014

BRUNO GOLZIO NAVARRO WINKELER

CONVERSOR ANALÓGICO – DIGITAL DESTINADO À
INTEGRAÇÃO

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.*

Área de Concentração: Microeletrônica

Orientador:

Professor Raimundo Carlos Silvério Freire, Pós-Dr. Sc.

Campina Grande, Paraíba,
Novembro de 2014

Dedico este trabalho à minha mãe.

AGRADECIMENTOS

Agradeço primeiramente a Deus, que me acolheu como filho, ainda que eu tente ser um dos rebeldes.

Agradeço ao meu pai e, principalmente, à minha mãe, que me deram o suporte necessário para chegar nesse resultado. Por terem se esforçado tanto para me proporcionar uma boa educação, força e coragem, as quais foram essenciais para superação de todas as adversidades ao longo desta caminhada.

Agradeço também ao meu irmão pelos aperreios, que me fizeram repensar conceitos e atitudes.

Agradeço a minha noiva, Raquel, que me ajudou a ser uma pessoa melhor do que eu era quando a conheci.

Agradeço aos meus mestres pelo conhecimento repassado, em especial ao Prof. Raimundo Freire, pelo apoio, compreensão e orientação ao longo de todo o curso.

Agradeço aos meus grandes amigos: Newton Sentido, Igor Troll e Daniel Dudu, que sempre me motivaram com seus comentários acerca do curso.

Agradeço em especial ao meu amigo Emmanuel Dupouy por ter me ensinado microeletrônica, conhecimento essencial para ter desenvolvido esse trabalho.

Enfim, agradeço a todos que de alguma forma, passaram pela minha vida e contribuíram para a construção de quem sou hoje.

“No fim tudo dá certo, e se não deu certo é porque ainda não chegou ao fim.”
Fernando Sabino.

RESUMO

Esse trabalho de conclusão de curso é referente ao projeto de um conversor analógico-digital do tipo rampa dupla, destinado à integração. Para isso, utilizou-se a ferramenta de concepção de circuitos integrados Virtuoso[®] da empresa Cadence[®]. O trabalho é dividido em quatro capítulos, sendo o capítulo 1 de introdução, no qual são abordados os princípios de um conversor analógico-digital, uma breve explicação sobre a ferramenta utilizada e a tecnologia de fabricação, bem como o fluxo de projeto integrado analógico, os objetivos e a estrutura do texto. No capítulo 2 é apresentada a topologia do conversor proposto, assim como os componentes funcionais e seus respectivos circuitos. O capítulo 3 aborda a simulação dos componentes principais do conversor e o resultado dela. No capítulo 4 são feitas as conclusões do trabalho.

Palavras-chave: Microeletrônica, TCC, Virtuoso, Cadence, Conversor Analógico-Digital.

ABSTRACT

This course conclusion work is related to the design of an analog-to-digital converter double ramp type, for the integration. For this, we used the design tool Virtuoso® from Cadence® Integrated Circuits Company. The work is divided into four chapters. Chapter 1 is an introduction, in which examines the principles of an analog-digital converter, a brief explanation of the tool used and the manufacturing technology and the flow of analog integrated design, the objectives and the structure of the text. Chapter 2 shows the topology of the proposed converter, as well as the functional components and their respective circuits. Chapter 3 deals with the simulation of the drive key components and its result. In Chapter 4 are made the work conclusions.

Keywords: Microelectronics, CCW, Virtuoso, Cadence, Analog-to-Digital Converter.

LISTA DE ILUSTRAÇÕES

Figura 1 - Fluxo de Projeto Analógico Integrado.....	3
Figura 2 - Topologia do Conversor A/D rampa dupla.....	7
Figura 3 - Gráfico da saída do integrador.....	9
Figura 4 - Circuito esquemático do Amplificador Operacional de dois estágios.....	10
Figura 5 - Circuito esquemático do amplificador produzido no programa Virtuoso® ..	12
Figura 6 – (a) Símbolo associado ao amplificador. (b) Leiaute gerado na ferramenta do programa Virtuoso® ..	13
Figura 7 - Circuito esquemático do Integrador.....	14
Figura 8 - (a) Símbolo associado ao inversor. (b) Circuito esquemático do inversor produzido no Virtuoso®.....	16
Figura 9 - Leiaute do inversor.	17
Figura 10 - (a) Símbolo associado a NAND de duas entradas. (b) Circuito esquemático da NAND produzido no Virtuoso®.....	18
Figura 11 - Leiaute da porta lógica NAND de duas entradas.....	18
Figura 12 - (a) Símbolo da porta NAND de três entradas. (b) Circuito esquemático da NAND.....	19
Figura 13 - Leiaute da porta NAND de três entradas feito no Virtuoso® ..	20
Figura 14 - (a) Símbolo da porta AND de duas entradas. (b) Circuito esquemático associado.....	21
Figura 15 - Leiaute da porta AND de duas entradas.	21
Figura 16 - Circuito esquemático da chave analógica.	22
Figura 17 - (a) Símbolo associado à chave analógica. (b) Leiaute gerado no Virtuoso® .	23
.....	23
Figura 18 - (a) Símbolo associado ao seletor de entradas. (b) Circuito esquemático do seletor.	23
Figura 19 - Leiaute do seletor de entradas.....	24
Figura 20 - Circuito esquemático do flip-flop JK Mestre-Escravo.	25
Figura 21 - (a) Símbolo associado ao flip-flop JK Mestre-Escravo. (b) Leiaute gerado no Virtuoso® ..	25
Figura 22 - Circuito esquemático parcial do contador de pulsos.	26

Figura 23 - (a) Símbolo associado ao contador de pulsos. (b) Leiaute gerado no Virtuoso®	26
Figura 24 - Circuito esquemático de teste para o amplificador operacional.	27
Figura 25 - Resultado da simulação transitória.	28
Figura 26 - Gráfico correspondente ao diagrama de Bode do amplificador.	29
Figura 27 - Resultado da simulação para várias entradas do integrador.	31
Figura 28 - Circuito de teste do Contador de Pulsos.	32
Figura 29 - Resposta transitória do Contador de Pulsos.....	33
Figura 30 - Circuito esquemático geral do conversor proposto.....	34

SUMÁRIO

1	Introdução	1
1.1	Fluxo de Projetos Analógicos Integrados	1
1.2	A tecnologia de fabricação utilizada.....	3
1.3	A Ferramenta Virtuoso®	4
1.4	Princípios de Conversor Analógico – Digital	5
1.5	Objetivos	6
1.6	Estrutura do Trabalho	6
2	Topologia do Conversor Proposto	7
2.1	Visão Geral	7
2.2	O amplificador operacional utilizado.....	10
2.2.1	Integrador	13
2.2.2	Comparador	15
2.3	Portas Lógicas Digitais	15
2.3.1	NOT ou INVERSOR.....	15
2.3.2	NAND de duas entradas	17
2.3.3	NAND de três entradas	19
2.3.4	AND de duas entradas	20
2.4	Chave Analógica e Seletor de entradas.....	22
2.5	Contador de Pulsos	24
3	Simulações e Resultados.....	27
3.1	Amplificador Operacional	27
3.2	Integrador.....	31
3.3	Contador de pulsos.....	32
3.4	O circuito geral	34
4	Conclusão.....	35
	Bibliografia.....	36

1 INTRODUÇÃO

A microeletrônica é uma área da eletrônica que avança a passos largos, apesar de ser nova. Toda concepção de circuitos integrados baseia-se nos princípios básicos da elétrica e eletrônica, acrescidos das limitações do processo de fabricação. Estes fatores limitantes tornam o desenvolvimento de um projeto, por mais simples, dispendioso de tempo e atenção.

Os componentes utilizados na microeletrônica são construídos na escala de micrômetros ou mesmo nanômetros. A redução no tamanho dos componentes utilizados vem, ao longo da história, seguindo a Lei de Moore.

A microeletrônica vem assumindo crescente importância no mundo atual, estando presente na informática, nas telecomunicações, nos controles de processos industriais, nos bens de consumo, enfim, numa vasta gama de aplicações de uso residencial ou industrial.

Nesse trabalho é proposto o projeto e a concepção de um conversor analógico-digital (A/D) do tipo rampa dupla destinado à integração. Utilizou-se o programa de projeto de circuitos integrados da empresa Cadence[®] chamado de Virtuoso[®].

1.1 FLUXO DE PROJETOS ANALÓGICOS INTEGRADOS

Apesar do circuito de um conversor A/D ter partes digitais e analógicas, todo o projeto será realizado seguindo um fluxo de projeto analógico, mesmo para portas digitais e flip-flops. Algumas diferenças se estabelecem quando consideramos projetos analógicos digitais, uma vez que, para os analógicos:

- Os dispositivos podem operar em qualquer condição corrente-tensão fisicamente atingível;
- Os circuitos lidam com sinais numa ampla faixa de frequência e magnitudes;
- Eles podem operar com sinais contínuos no tempo.

Além dessas, outras características não pontuadas são encontradas, tornando o projeto analógico mais suscetível a erros mínimos, capazes de alterar o bom funcionamento do circuito.

Todo projeto analógico se torna mais eficiente em seu desenvolvimento, se for executado com um fluxo bem determinado, desde a concepção até a sua fabricação. O processo geral é dividido em quatro partes: projeto elétrico, projeto físico, fabricação e testes e finalização. Cada parte possui etapas específicas e necessárias para o bom andamento do projeto.

No projeto elétrico, parte-se da concepção do projeto, bem como sua documentação, e define-se o mesmo. Com o uso de alguma ferramenta de concepção de circuitos integrados, como o Virtuoso® da empresa Cadence®, implementa-se a ideia por meio de um esquemático de projeto. A etapa de simulação acontece logo em seguida, finalizando assim, a primeira parte.

Continuando a execução, estabelece-se o leiaute do circuito, primeira etapa do projeto físico, na qual toda a ideia é implementada fisicamente ainda com ajuda do programa de computador. Depois disso são feitas as etapas de comparação com o esquemático, verificação e extração de parasitas do leiaute.

O processo de fabricação do circuito vem logo em seguida. Para essa etapa conta-se com a ajuda de uma fábrica de circuitos integrados. Um exemplo é a IBM®, que recebe o projeto completo e produz um protótipo a ser testado.

Após teste e verificação das funcionalidades do circuito, caso o resultado seja correspondente às expectativas, um produto final pode ser obtido e destinado à comercialização. Na figura 1 é possível observar todo o processo por meio de um fluxograma.

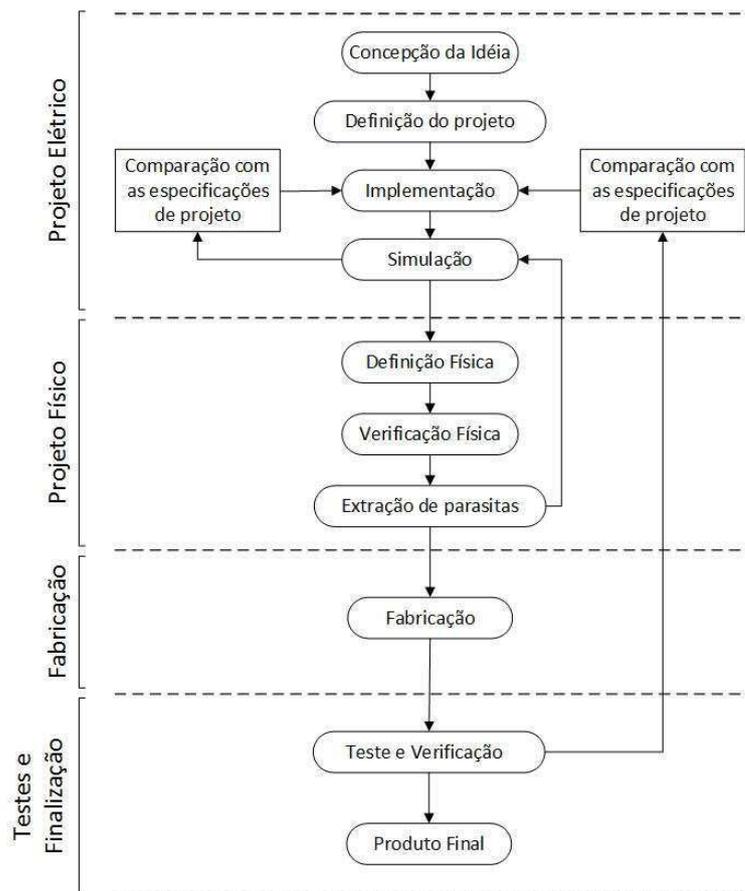


Figura 1 - Fluxo de Projeto Analógico Integrado

1.2 A TECNOLOGIA DE FABRICAÇÃO UTILIZADA

A especificação de uma tecnologia em microeletrônica é primordial para a análise detalhada do circuito. Quanto mais obsoleta uma tecnologia, maior o domínio no processo de fabricação da mesma. Em consequência, o projeto feito para essa tecnologia não acarretará em grandes dificuldades para a fabricação.

Existem diversas fábricas de circuitos integrados, as mais requisitadas estão localizadas na Europa. Podem-se citar alguns exemplos, tais como: XFAB[®], IBM[®], ams[®] (austria microsystems), TSMC[®], entre outros. Uma determinada tecnologia é reconhecida pela sua fábrica e pela largura de canal mínima dos transistores, por exemplo: XFAB[®] 0,3 μm . A tecnologia de uma fábrica é cedida apenas para instituições cadastradas com a mesma, ou através de organizações mediadoras como a MOSIS[®], principal mediadora de instituições.

A tecnologia utilizada para trabalho proposto será a da fábrica IBM[®] cujos transistores possuem largura de canal mínima de 180 nanômetros. Essa tecnologia ainda

não é obsoleta, de tal forma que, ajustes no leiaute do circuito possam se tornar necessários antes de um posterior processo de fabricação.

1.3 A FERRAMENTA VIRTUOSO[®]

Os projetos de circuitos e sistemas integrados (*system-on-chip, SoC*), devem atender a demanda que exige condições excelentes de desempenho, baixo custo, baixo consumo e, principalmente, curto prazo de concepção. Isto só foi possível, devido aos avanços nas ferramentas de automação de projetos eletrônicos (*electronic design automation, EDA*).

As ferramentas de EDA possibilitam a qualquer pessoa, o projeto e concepção de um circuito integrado próprio. Além disso, proporcionam, em parceria com a tecnologia fornecida pela fábrica a ser destinada o projeto, ótimos recursos de simulação e verificação prévia de resultados esperados. Outra grande facilidade dessas ferramentas é a capacidade de criação de um conjunto de circuitos reutilizáveis em outros sistemas. Cada circuito reutilizável é considerado como uma propriedade intelectual (*intellectual property, IP*) do usuário, ou empresa que a criou.

Nesse contexto, surgiu a empresa Cadence[®], atual líder de fornecimento de ferramentas de EDA. A principal ferramenta de projeto de circuitos integrados é o Virtuoso[®]. Esse programa de computador é utilizado para todas as simulações apresentadas nesse trabalho. O programa constitui, de fato, um conjunto de outras ferramentas que proporcionam uma concepção completa, desde o esquemático do circuito ao leiaute. As simulações do programa são extremamente precisas, uma vez que, são utilizados parâmetros reais dados pelas próprias fábricas de circuitos integrados (IBM, por exemplo). Esse fator oferece uma confiabilidade na resposta mostrada e proporciona ao projetista a certeza de uma possível reutilização dos circuitos já projetados. Outros exemplos de ferramentas de EDA são: Eldo da Mentor Graphics[®], Synopsis[®].

O Virtuoso[®] é executado somente em sistemas operacionais Linux, uma vez que, constitui-se de um ambiente relativamente seguro e com a proposta de desenvolvimento com código aberto. Para estes guias, optou-se pela versão Linux Ubuntu 10.04 LTS, pois tem uma interface amigável e possui um processamento extremamente leve.

1.4 PRINCÍPIOS DE CONVERSÃO ANALÓGICO – DIGITAL

Uma das funções mais importantes em processamento de sinais é a conversão entre sinais analógicos e digitais. Os conversores analógico – digital (ou A/D) são bem utilizados na interface entre os dispositivos digitais (microcontroladores, DSPs, microprocessadores, etc.), e dispositivos analógicos onde são utilizados em leitura de sensores, digitalização de áudio e vídeo, entre outros. Os conversores A/D são responsáveis, basicamente, por converter um nível de tensão contínuo em uma palavra binária.

Para a execução dessa conversão tem-se que, tipicamente, os conversores A/D vêm precedidos por circuitos de *sample & hold*, que são responsáveis por estabelecer durante um período do *clock*, um valor constante de tensão para a entrada do circuito de conversão. Além disso, três operações são executadas por conversores A/D para o processo completo, desde a entrada do sinal analógico até a aquisição de uma saída digital, que são: amostragem, quantização e codificação.

O processo de amostragem nada mais é que a obtenção de amostras de um sinal contínuo, em instantes de tempo igualmente espaçados. O grande cuidado para a amostragem, se encontra na escolha da frequência pela qual o sinal é amostrado. A taxa de amostragem deve satisfazer a condição mínima para que obedeça ao teorema de Nyquist.

A frequência de amostragem de um sinal analógico, para que possa posteriormente ser reconstituído com o mínimo de perda de informação, deve ser igual ou maior a duas vezes a maior frequência do espectro desse sinal. (NYQUIST, 1928)

A partir das amostras obtidas no processo de amostragem, pode-se quantificar as amplitudes que pertencem a um intervalo contínuo de valores, em um conjunto finito de valores possíveis, chamados de níveis de quantização. Cada amplitude é associada ao nível de quantização mais próximo, ou seja, ao nível que gere o menor erro absoluto.

O conjunto de níveis possíveis é definido pelo número de bits que serão utilizados para a codificação. Sendo assim o processo de codificação consiste na alocação de um nível de quantização a uma palavra binária correspondente.

Suponha que se tem um conversor A/D de 10 bits para codificação, preparado para um sinal de entrada analógica de tensão variável de 0V a 5V, com frequência máxima de 1 kHz. Tem-se que a taxa de amostragem mínima seria de 2000 amostras por segundo, segundo o teorema de Nyquist. Esse conversor A/D pode assumir os valores binários de 0 (00 0000 0000) a 1023 (11 1111 1111), ou seja, é capaz de capturar 1024 níveis de quantização de um determinado sinal. Se o sinal de entrada do suposto conversor A/D estiver em 2,5V, por exemplo, o valor binário gerado será 512 (10 0000 0000).

1.5 OBJETIVOS

Diante dos tópicos expostos, nota-se que o tema é bastante abrangente e permite várias linhas de pesquisa mais específicas, com diferentes focos. Este trabalho de conclusão de curso (TCC) concentrou-se na implementação de um conversor analógico – digital do tipo rampa dupla, destinado a um processo de integração. O objetivo deste trabalho é conceber o projeto de um circuito que possa ser fabricado e que permita sua utilização em outros possíveis trabalhos.

1.6 ESTRUTURA DO TRABALHO

A continuação desse trabalho é dividida da seguinte maneira: o capítulo 2 descreve a topologia utilizada para o conversor analógico-digital, incluindo todos os circuitos que são utilizados para a implementação final. O capítulo 3 descreve as simulações feitas e os resultados apresentados para os principais blocos. O capítulo 4 por fim resume os resultados obtidos. O produto final não ficou com esperado, apesar de, todos os blocos funcionais terem funcionado como proposto.

2 TOPOLOGIA DO CONVERSOR PROPOSTO

No decorrer desse capítulo é apresentada a estrutura de projeto do conversor utilizado neste trabalho, bem como os parâmetros esperados de resposta do mesmo. No tópico 2.1 é introduzida uma visão geral do conversor proposto. No tópico 2.2, especifica-se o amplificador utilizado no projeto. No tópico 2.3, comenta-se sobre as portas lógicas digitais presentes no trabalho. No tópico 2.4, se mostra o circuito das chaves analógicas e do seletor de entradas. No tópico 2.5, é especificado o contador de pulsos utilizados.

2.1 VISÃO GERAL

A topologia proposta para esse trabalho foi a de um conversor **A/D Rampa Dupla**. Esse conversor é considerado lento, porém de alta resolução de bits. É de uma topologia antiga e bem conhecida, mas ainda é utilizado em diversas aplicações, dentre elas o uso associado a sensores de temperatura e pressão. Possui um circuito relativamente simples e de fácil compreensão, se comparado a conversores mais modernos. A topologia utilizada é mostrada na figura 2.

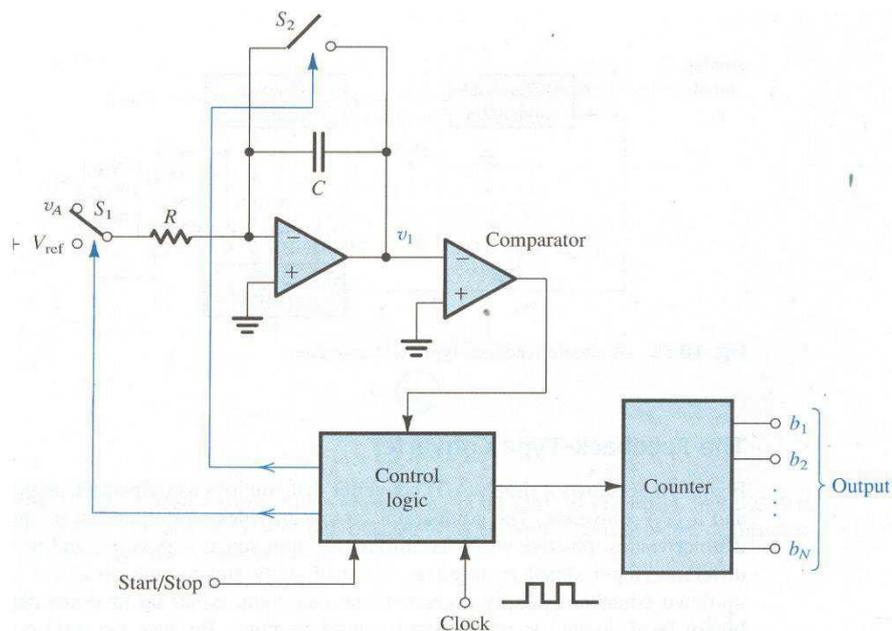


Figura 2 - Topologia do Conversor A/D rampa dupla.

Pode-se dividir basicamente o circuito em duas partes, sendo uma analógica, e outra digital: integrador e comparador, e lógica de controle e contador. Para entender o princípio de funcionamento, se faz necessário conhecer cada uma dessas partes. Pode-se estabelecer uma breve descrição sobre esse funcionamento, considerando-se o capacitor C inicialmente descarregado.

- i. A partir do início do processo ($t = 0$), uma tensão constante, V_{in} , limitada (0 a 0.85V), provinda de um circuito de *Sample & hold*, passa por um circuito integrador. A saída do integrador é uma rampa com inclinação negativa, que se estabelece até um instante de tempo determinado (T_1), relacionado com a frequência de *clock* do contador e com a lógica de controle.
- ii. Em T_1 , a chave S1 é comutada e a entrada do circuito passa a ser $-V_{REF}$ (-0.9 V, nesse caso), forçando a rampa a desenvolver uma inclinação positiva. Daí, ocorre a inicialização do contador, que estava zerado. O regime é mantido até o instante de tempo (T_2), no qual a rampa atinge o valor de 0 volts.
- iii. Em T_2 , o comparador que até então, estava com a saída saturada negativamente, inverte seu estado, sinalizando à lógica de controle a necessidade de ativação da chave S2, bem como, a parada do contador.
- iv. Em seguida, a chave S1 é comutada novamente e o contador zerado, reiniciando todo o processo.

A inclinação da rampa na saída do integrador, para uma entrada positiva (0 a 0,9 volts), se estabelece negativa, devido à configuração normal do integrador, que possui a saída dada por:

$$V_o = - \frac{1}{R.C} \int_0^T V_i dt \quad (1)$$

Para a equação (1), V_o corresponde à tensão de saída do integrador, V_i representa a tensão de entrada, R e C correspondem ao resistor e ao capacitor, respectivamente, presentes no circuito. Para uma entrada constante tem-se que:

$$V_o = - \frac{V_i t}{R.C} \quad (2)$$

A topologia especificada do conversor A/D estabelece um intervalo de tempo para o qual a entrada do integrador será o nível de tensão a ser convertido. Para esse intervalo de tempo tem-se:

$$T_1 = 2^N . T_{clk} \quad (3)$$

A equação (2) é caracterizada por: T_1 como sendo o intervalo de tempo previamente estabelecido, N é o número de bits da saída digital do conversor e T_{clk} é o período do *clock* associado ao circuito. Para esse projeto utilizam-se as seguintes especificações:

- $T_1 = 1\text{ms}$;
- Número de bits (N) = 10;
- $f_{clock} = 1,024\text{ MHz}$

A figura 3 representa o digrama de tempo da saída do integrador para o circuito do integrador no conversor A/D rampa dupla. Os valores não são especificados, caracterizando qualquer conversor.

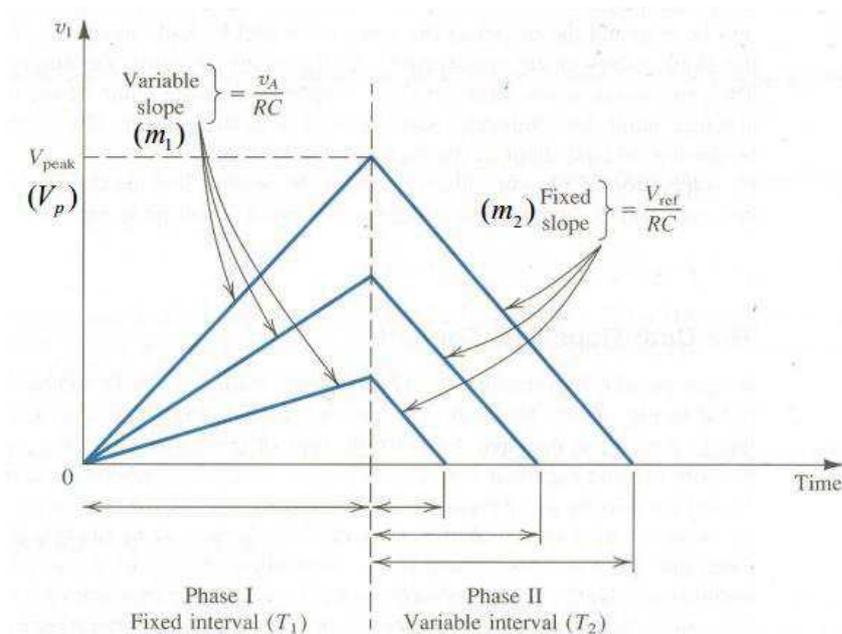


Figura 3 - Gráfico da saída do integrador.

2.2 O AMPLIFICADOR OPERACIONAL UTILIZADO

Nesse projeto escolheu-se um circuito único para o amplificador e comparador. O circuito proposto encontra-se representado na figura 4. O circuito possui dois estágios e é formado por uma fonte de corrente ideal, espelhos de corrente, par diferencial e um amplificador fonte comum de saída.

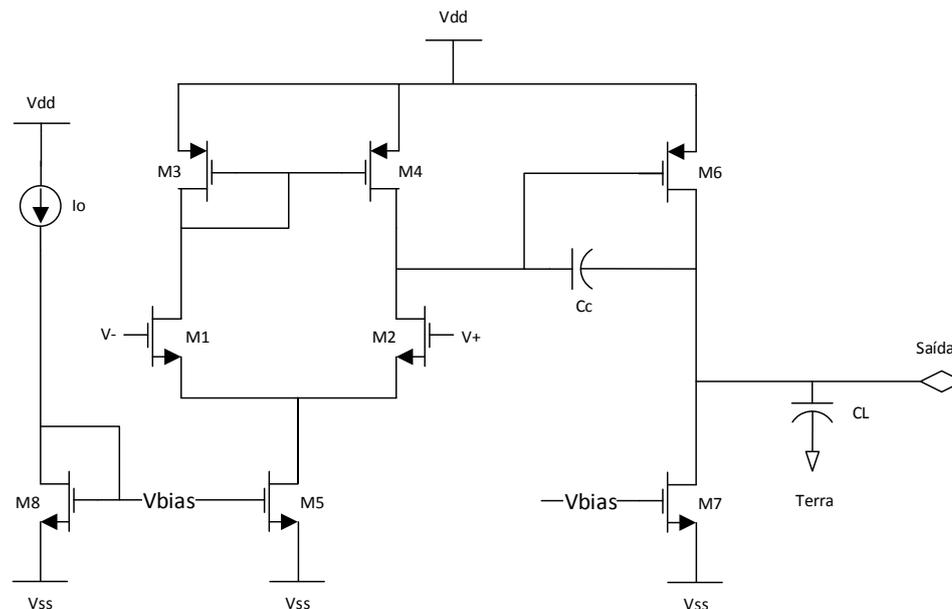


Figura 4 - Circuito esquemático do Amplificador Operacional de dois estágios.

A configuração utilizada corresponde a um amplificador de dois estágios com compensação de Miller feita pelo capacitor C_C . Tem-se no circuito de par diferencial o primeiro estágio de amplificação, sendo alimentado por uma fonte de corrente I_O associada a um espelho de corrente que transmite, para esse caso, o mesmo valor de corrente para circulação no par diferencial, uma vez que, os transistores M5 e M8 possuem os mesmos valores de comprimento (W) e largura de canal (L). O par diferencial conta ainda com uma carga ativa, representada pelos transistores M3 e M4, que possibilitarão a circulação de metade da corrente I_O por cada ramo.

O segundo estágio de amplificação é feito por uma topologia de amplificador fonte comum, na qual é introduzido à porta do transistor M6 o sinal de saída do primeiro estágio. O transistor M7 associado à M6 corresponde a mais um espelho de corrente, sendo responsável por gerar a corrente necessária para amplificação.

O capacitor C_L corresponde à uma carga fictícia para que a simulação possa gerar valores condizentes com a realidade. Para esse projeto optou-se que a topologia do

amplificador tivesse alimentação simétrica, ou seja, valores em módulo iguais com sinal oposto para V_{DD} e V_{SS} , para que o valor de tensão para comparação fosse igual a 0, utilizando-se assim o valor de potencial da terra como referência.

Pra o circuito referido, as especificações desejadas foram as seguintes:

- Ganho DC ≥ 60 dB;
- Banda de Ganho: 20 MHz;
- Margem de Fase $\geq 60^\circ$;
- Potência $\leq 300 \mu W$;
- Capacitor de carga (C_L): 2 pF;
- V_{DD} : 0,9 V;
- V_{SS} : -0,9 V.

O projeto e cálculo dos comprimentos de cada transistor do circuito resultaram nos valores apresentados na tabela 1. Ainda na tabela 1 é apresentado o valor de capacitância do capacitor de compensação associado ao circuito, bem como, da corrente I_O da fonte de entrada. A largura de canal (L) é igual para todos o transistores e escolhida como sendo 500 nm.

Tabela 1 - Elementos associados ao circuito do amplificador e seus valores.

Elemento (Transistor, Fonte ou Capacitor)	Valor Associado (W/L, corrente ou capacitância)
M1	3
M2	3
M3	14
M4	14
M5	12
M6	180
M7	66
M8	12
I_O	20 μA
C_C	800 fF

O circuito esquemático produzido no programa Virtuoso[®] pode ser visto na figura 5. Todos os transistores do circuito e o capacitor de compensação, pertencem à

biblioteca da IBM. Vale salientar que alguns transistores tiveram de ser divididos por um processo denominado *chaining*. Isso acontece quando o comprimento de um transistor se torna desproporcional em comparação aos outros do circuito quase que forçando a dividi-lo em outros transistores menores ligados em série.

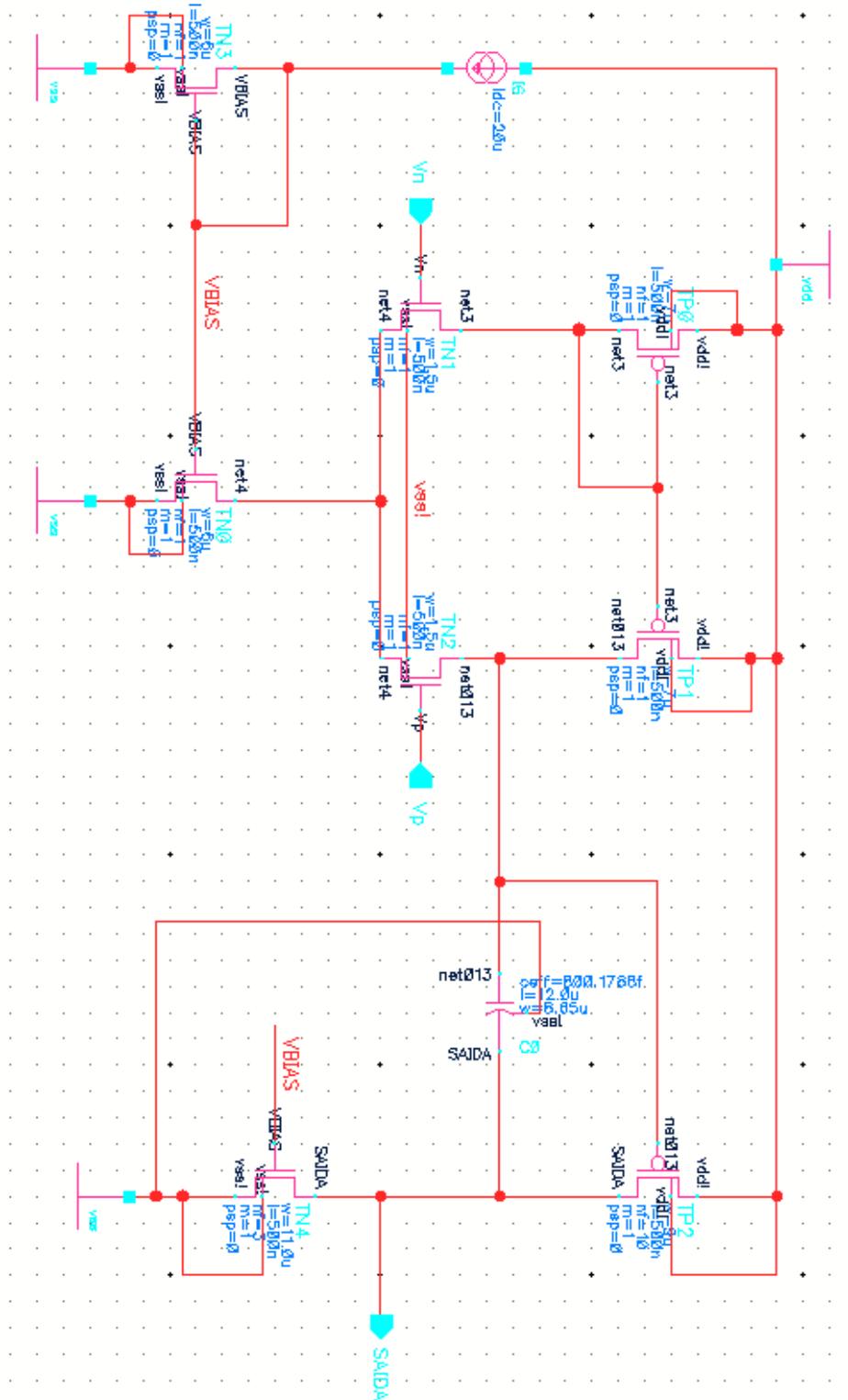


Figura 5 - Circuito esquemático do amplificador produzido no programa Virtuoso®

Para o circuito projetado do amplificador, gerou-se um símbolo e um leiaute que são apresentados na figura 6. O leiaute possui o capacitor de compensação C_C correspondendo à maior parte do desenho, e também foi implementado no Virtuoso® utilizando a ferramenta específica de leiaute.

A partir do amplificador desenvolvido utilizou-se o mesmo para a configuração de integrador e de comparador, apresentadas a seguir.

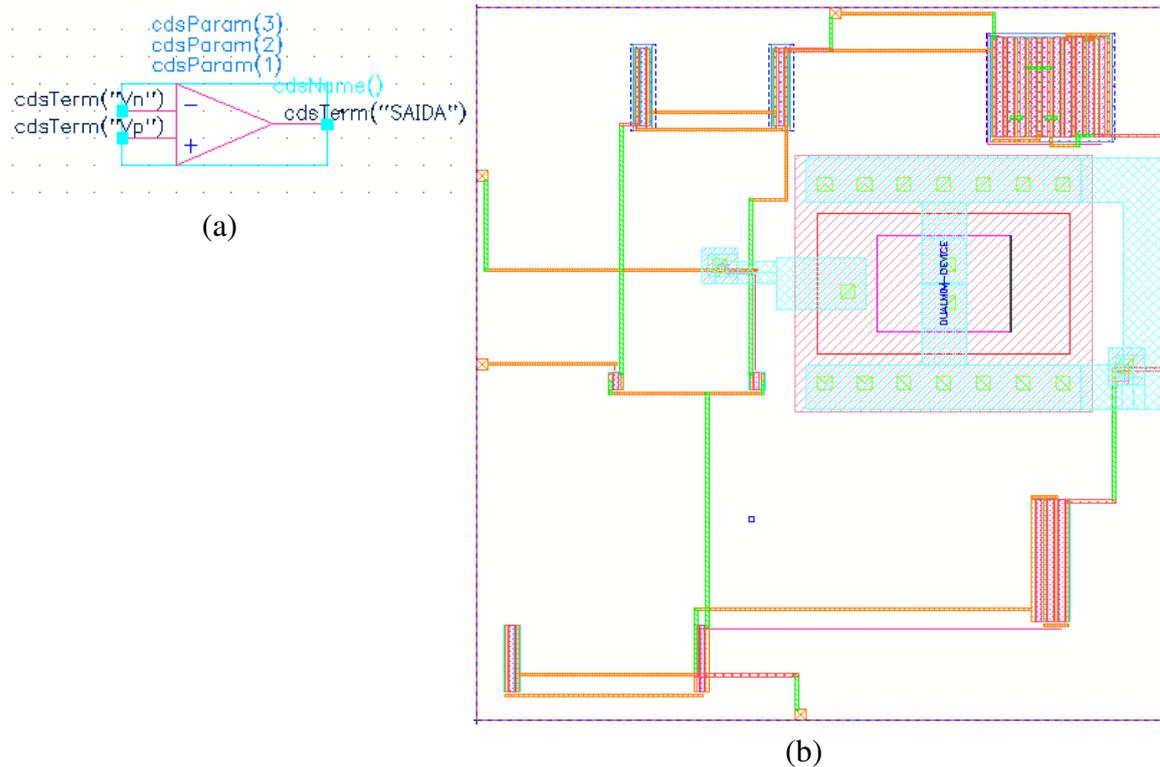


Figura 6 – (a) Símbolo associado ao amplificador. (b) Leiaute gerado na ferramenta do programa Virtuoso®.

2.2.1 INTEGRADOR

O amplificador utilizado na configuração de integrador, foi implementado no programa Virtuoso® e seu circuito esquemático é mostrado na figura 7. O funcionamento do circuito pode ser entendido com a ajuda da equação (1), que representa a tensão de saída de um integrador genérico. Para esse trabalho, optou-se por associar o capacitor e o resistor externamente ao circuito integrado, uma vez que, os valores desejados de resistência e capacitância não são alcançáveis para a tecnologia de fabricação utilizada no trabalho.

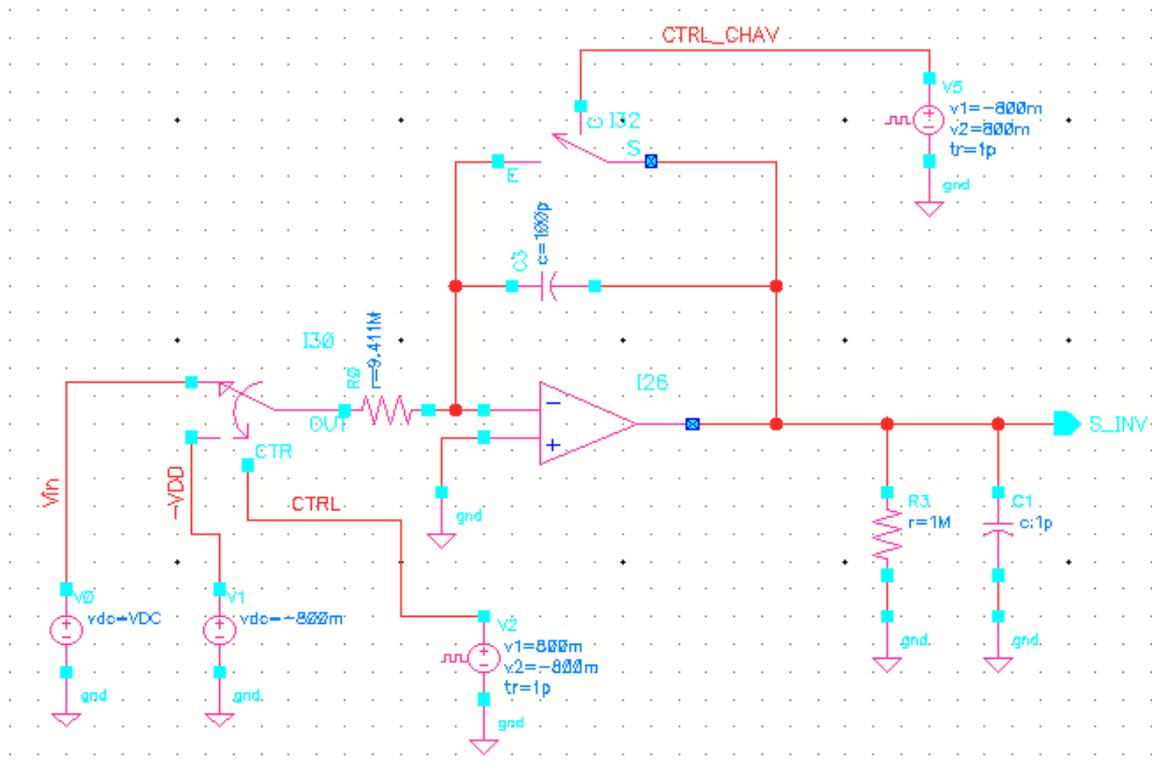


Figura 7 - Circuito esquemático do Integrador.

Nesse projeto, especificaram-se os seguintes valores:

- Resistor: 10 MΩ;
- Capacitor: 100pF.

A escolha dos valores é resultado do cálculo do fator RC presente na equação (2), considerando a maior entrada possível ($V_E = 850 \text{ mV}$) gerando a menor saída desejada ($V_S = -850 \text{ mV}$), para o tempo determinado ($T_I = 1 \text{ ms}$). Ou seja,

$$V_o = -\frac{V_i t}{RC} \Rightarrow -850 \text{ mV} = -\frac{(850 \text{ mV})(1 \text{ ms})}{RC} \Rightarrow RC = 1 \text{ ms} = 10^{-3} \text{ s}$$

Com esse fator, escolheu-se o resistor e o capacitor que satisfariam o valor encontrado.

2.2.2 COMPARADOR

Para a configuração de comparador utilizou-se o amplificador produzido, com a entrada negativa ligada ao terra. O comparador, como já mencionado, corresponde ao mesmo circuito do amplificador.

2.3 PORTAS LÓGICAS DIGITAIS

Sendo o conversor proposto um conjunto de circuitos analógicos e digitais, faz-se necessário explicitar as portas lógicas digitais utilizadas no trabalho. Foram feitas quatro portas digitais básicas: uma porta NOT ou INVERSOR, uma AND de duas entradas, e NAND de duas e três entradas. Todos os circuitos foram feitos à nível de transistor MOSFET, ou seja, não se utilizou código em linguagem de descrição de *hardware*, como Verilog, para fazê-los. Essa escolha de implementação, se reflete na maior facilidade de interligação dos blocos envolvidos no projeto completo.

Para todas as porta lógicas digitais, utilizaram-se valores padrão de comprimento e largura de canal dos transistores da tecnologia IBM. Ou seja, para todas as portas tem-se:

- Transistor P: $W = 500 \text{ nm}$; $L = 180 \text{ nm}$;
- Transistor N: $W = 600 \text{ nm}$; $L = 180 \text{ nm}$.

Essa escolha de valores para o projeto também pode ser explicada pela maior facilidade de gerar cada uma das portas, sabendo que o funcionamento não seria comprometido ou alterado.

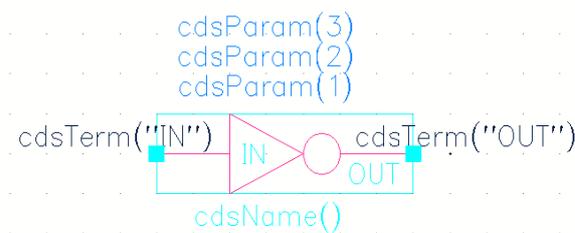
2.3.1 NOT OU INVERSOR

O inversor é um circuito muito difundido por projetistas analógicos, uma vez que, é considerado o ponto de partida para a entrada em microeletrônica analógica. Seu circuito é simples e possui apenas dois transistores MOSFET, sendo um do tipo P e outro do tipo N. Seu circuito esquemático e símbolo são apresentados na Figura 8.

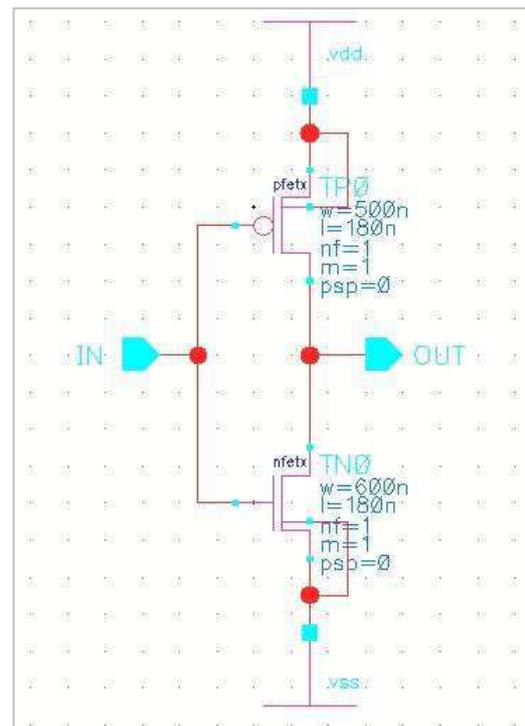
O funcionamento básico do circuito acontece da seguinte maneira:

- Se a entrada (*IN*) for '1' (nível alto), a saída (*OUT*) será '0' (nível baixo);
- Se a entrada (*IN*) for '0', a saída (*OUT*) será '1'.

Por ser um circuito bastante utilizado em aplicações digitais, o inversor já possui um símbolo-padrão associado ao mesmo.



(a)



(b)

Figura 8 - (a) Símbolo associado ao inversor. (b) Circuito esquemático do inversor produzido no Virtuoso®.

O leiaute do circuito é apresentado na Figura 9. Para esse trabalho, bem como para trabalhos com partes bem menores que o integrem, é recomendável fazer o leiaute para todas as pequenas partes, uma vez que, facilitará a implementação do leiaute final.

Um inversor adicional foi feito, com um tempo de atraso duas vezes maior que o apresentado. Esse outro inversor foi utilizado para implementar a chave analógica, como será visto na seção 2.4.

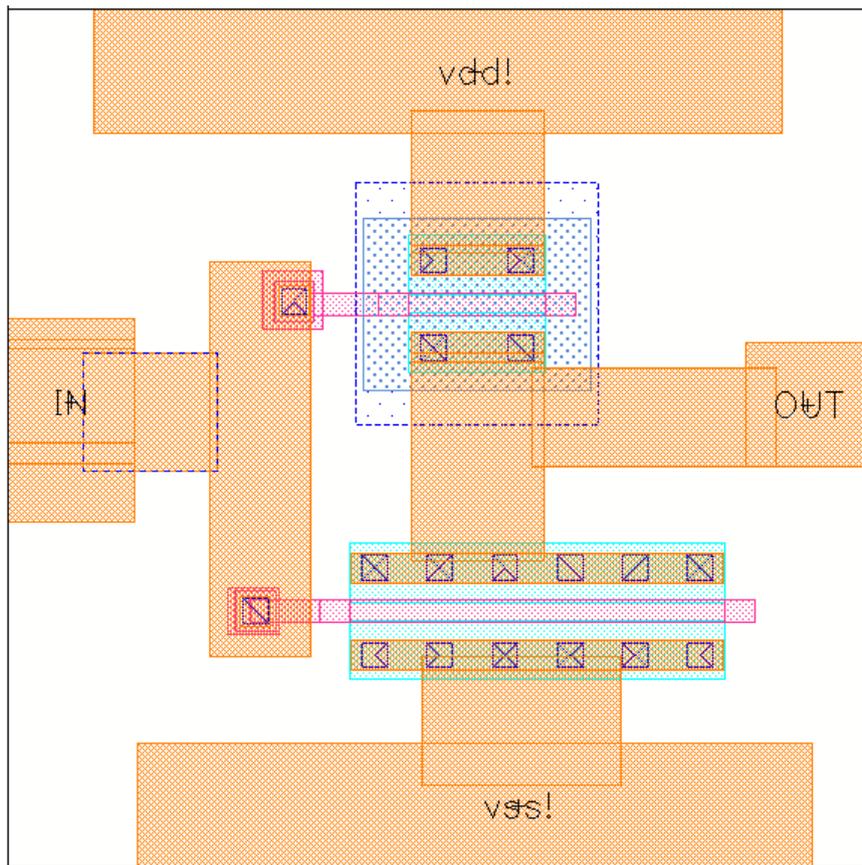


Figura 9 - Leiaute do inversor.

2.3.2 NAND DE DUAS ENTRADAS

A porta NAND é muito utilizada em aplicações que utilizam memória por possuir um circuito simples e de utilização em flip-flops e latches. O circuito possui quatro transistores sendo dois do tipo P e dois do tipo N. A porta lógica NAND possui um funcionamento básico estabelecido por:

- A saída (S) somente terá o valor '0' (nível baixo), se ambas as entradas (A e B) estiverem em '1' (nível alto).
- Para qualquer outro caso, a saída (S) será 1.

O circuito esquemático e o símbolo da NAND de duas entradas podem ser vistos na Figura 10.

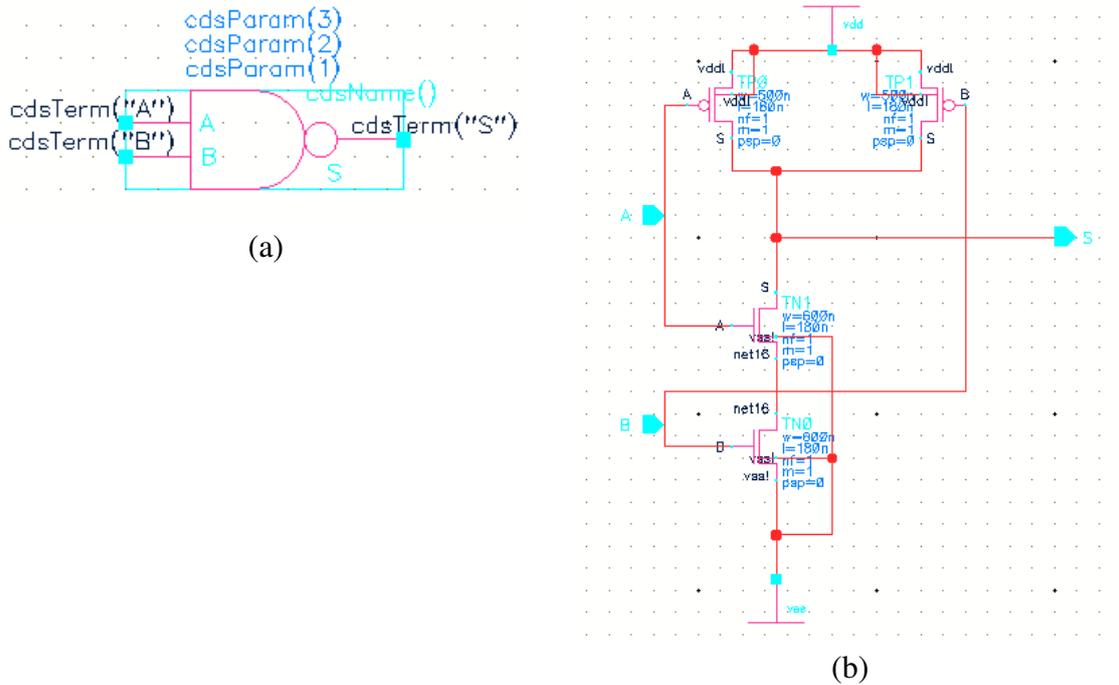


Figura 10 - (a) Símbolo associado a NAND de duas entradas. (b) Circuito esquemático da NAND produzido no Virtuoso®.

O leiaute da porta NAND de duas entradas possui uma diferença do leiaute do inversor. Circuitos maiores que o inversor, geralmente possuem mais de um nível de metal em suas ligações. Esse fato pode ser observado na Figura 11.

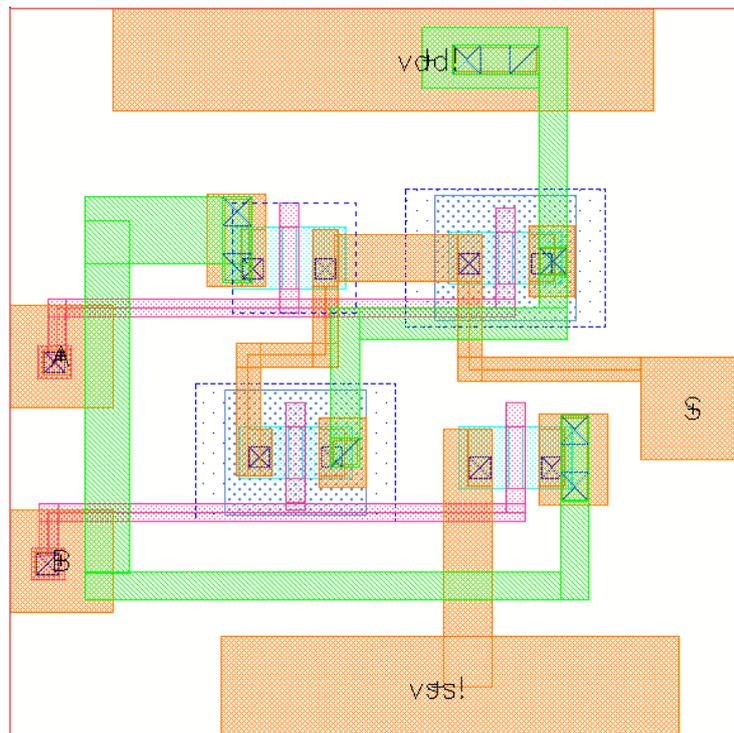


Figura 11 - Leiaute da porta lógica NAND de duas entradas.

2.3.3 NAND DE TRÊS ENTRADAS

O princípio de funcionamento da NAND de três entradas é semelhante ao de duas, acrescentando-se uma entrada, ou seja:

- A saída (S) somente terá o valor '0' (nível baixo), se ambas as entradas (A, B e C) estiverem em '1' (nível alto).
- Para qualquer outro caso, a saída (S) será 1.

Pode-se verificar a semelhança do funcionamento da NAND de duas entradas, observando essa semelhança no circuito da NAND de três entradas apresentado na Figura 12, assim como o símbolo associado ao circuito.

O leiaute também foi implementado para a porta NAND de três entradas, correspondendo ao que é apresentado na Figura 13.

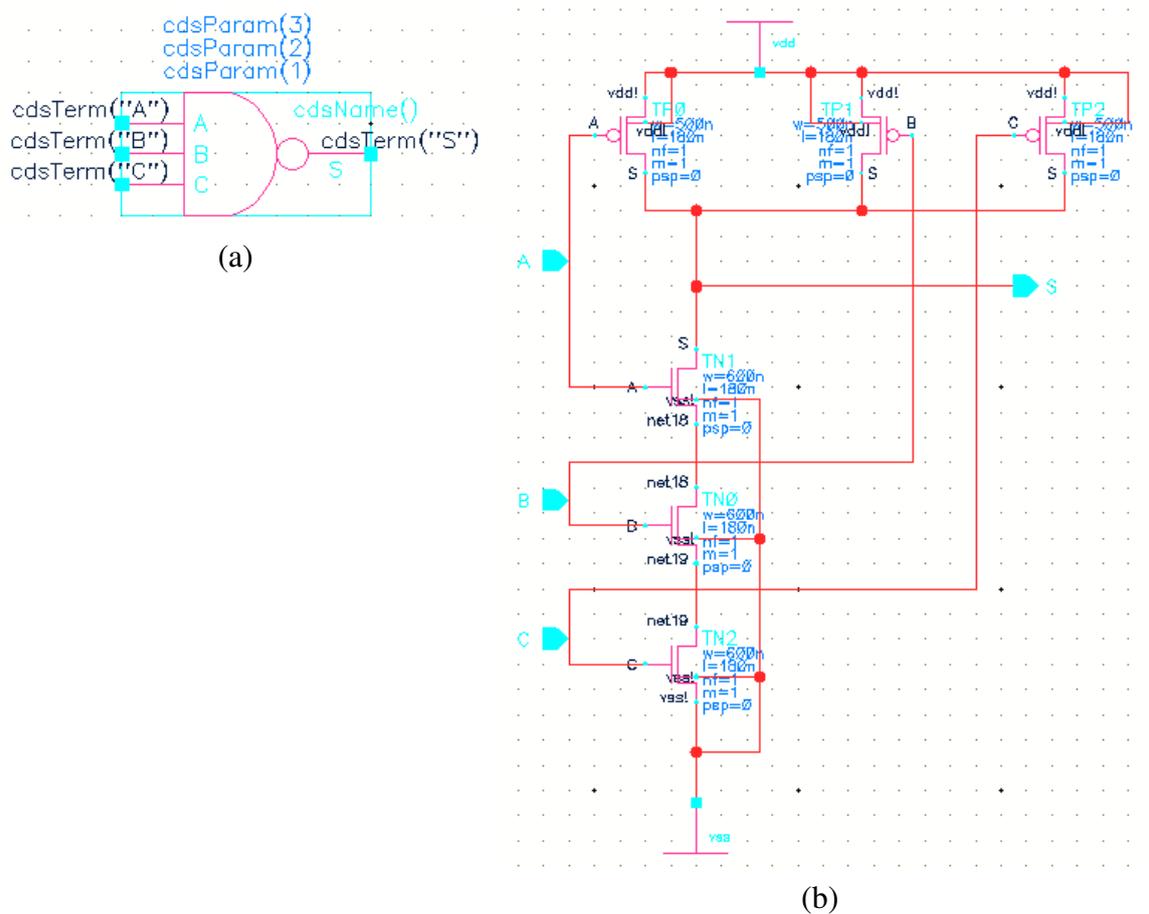


Figura 12 - (a) Símbolo da porta NAND de três entradas. (b) Circuito esquemático da NAND.

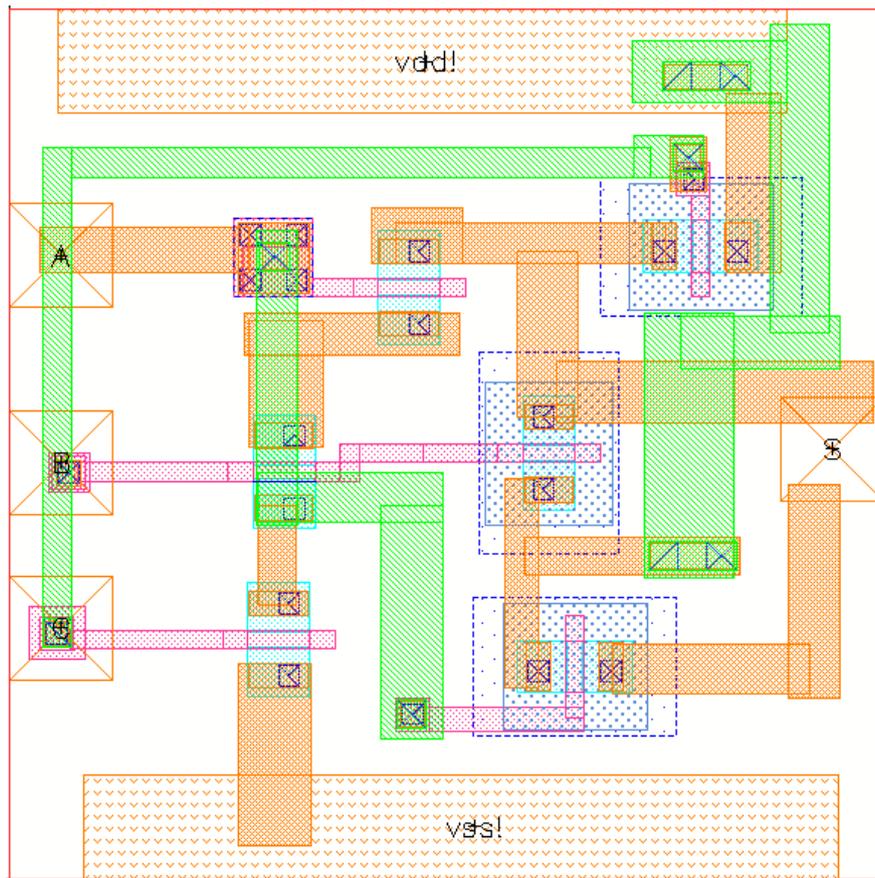


Figura 13 - Leiaute da porta NAND de três entradas feito no Virtuoso®.

2.3.4 AND DE DUAS ENTRADAS

A porta AND de duas entradas possui o funcionamento oposto à porta NAND de duas entradas, ou seja:

- A saída (S) somente terá o valor '1' (nível baixo), se ambas as entradas (A e B) estiverem em '1' (nível alto).
- Para qualquer outro caso, a saída (S) será 1.

Essa porta será utilizada no circuito de lógica de controle, que definirá os instantes de contagem do contador do conversor proposto. Esse circuito foi feito acrescentando-se um inversor à saída da porta lógica NAND de duas entradas, garantindo assim uma resposta oposta a mesma. Também foi criado um circuito esquemático e símbolo para a porta AND. Esse circuito é apresentado na Figura 14. O leiaute implementado é mostrado na Figura 15.

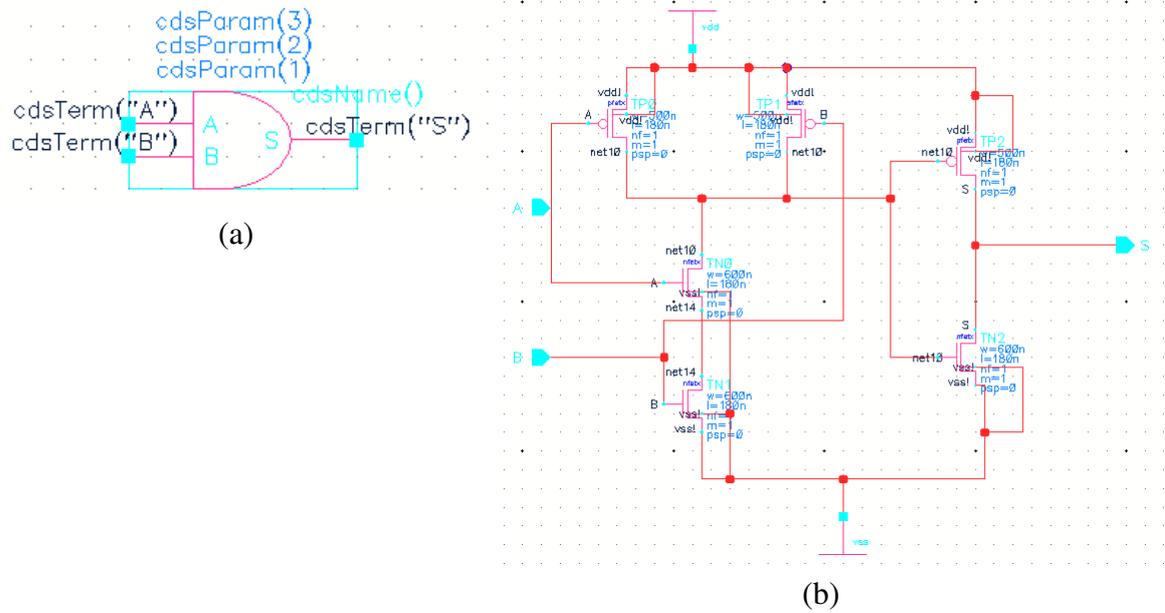


Figura 14 - (a) Símbolo da porta AND de duas entradas. (b) Circuito esquemático associado.

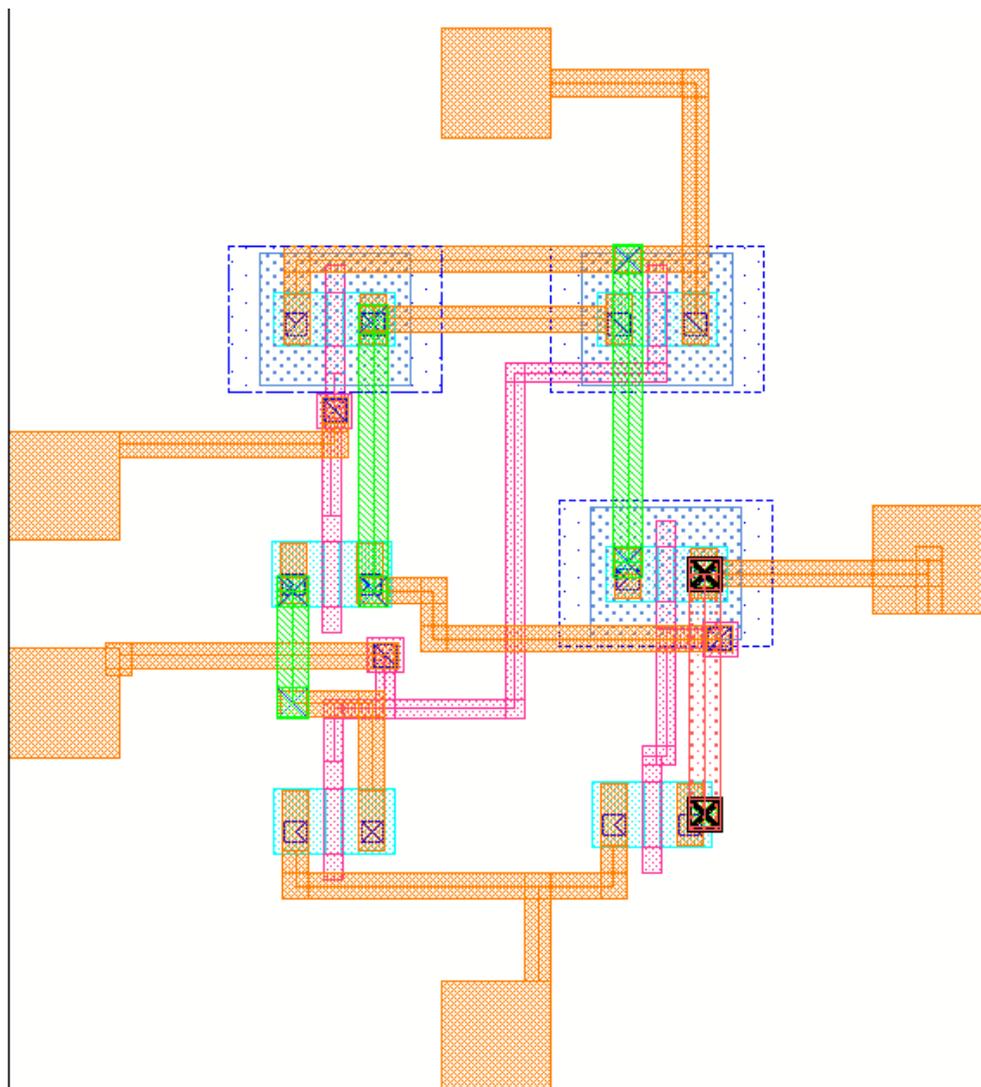


Figura 15 - Leiaute da porta AND de duas entradas.

2.4 CHAVE ANALÓGICA E SELETOR DE ENTRADAS

A chave analógica é um dos elementos essenciais em circuitos analógicos, uma vez que, ela proporciona a capacidade de chavear um sinal com resposta imprevisível, contínuo no tempo.

O fator de risco do bom funcionamento da chave é a necessidade de que os transistores que a compõem, um do tipo P e outro do tipo N, recebam o sinal de corte ou condução em suas respectivas portas exatamente no mesmo instante. Os sinais que eles receberão deverão ser opostos entre si, sendo necessário o uso de um inversor. O uso dessa porta lógica entretanto, adiciona um atraso ao sinal que chega a uma das portas.

Para compensar esse atraso, utiliza-se a configuração mostrada na Figura 16.

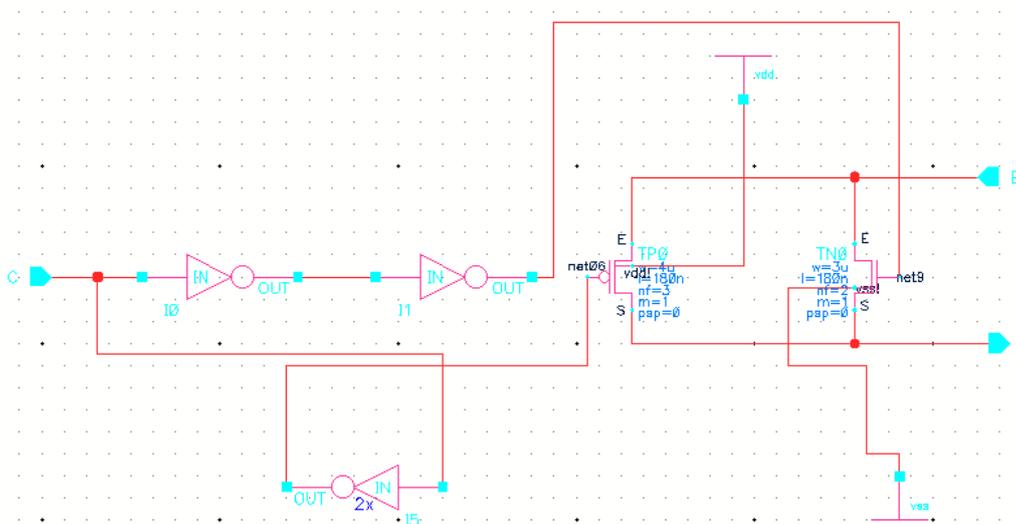


Figura 16 - Circuito esquemático da chave analógica.

Dois inversores são associados à porta do transistor N, que não precisaria receber essa contribuição, em situação ideal. Um inversor com o dobro do tempo de atraso dos outros inversores é associado à porta do transistor P. Essa configuração permite que o tempo que o sinal de controle chegue exatamente ao mesmo tempo na porta de ambos os transistores. Isso permite uma perfeita sincronização de corte ou condução do sinal de entrada. Os transistores da chave propriamente dita possuem os seguintes valores:

- Transistor P: $W = 4 \mu\text{m}$; $L = 180 \text{ nm}$;
- Transistor N: $W = 3 \mu\text{m}$; $L = 180 \text{ nm}$.

Ainda para a chave analógica, gerou-se um símbolo e um leiaute para complementar a implementação da mesma. O resultado é mostrado na Figura 17.

Para o circuito seletor de entradas, utilizou-se duas chaves analógicas, com o controle ligados por um inversor, forçando assim a condição de quando uma das duas chaves estiver em modo de condução, a outra esteja aberta. Também foi gerado um circuito esquemático e um símbolo, assim como um leiaute. Os resultados são apresentados na Figura 18 e Figura 19, respectivamente.

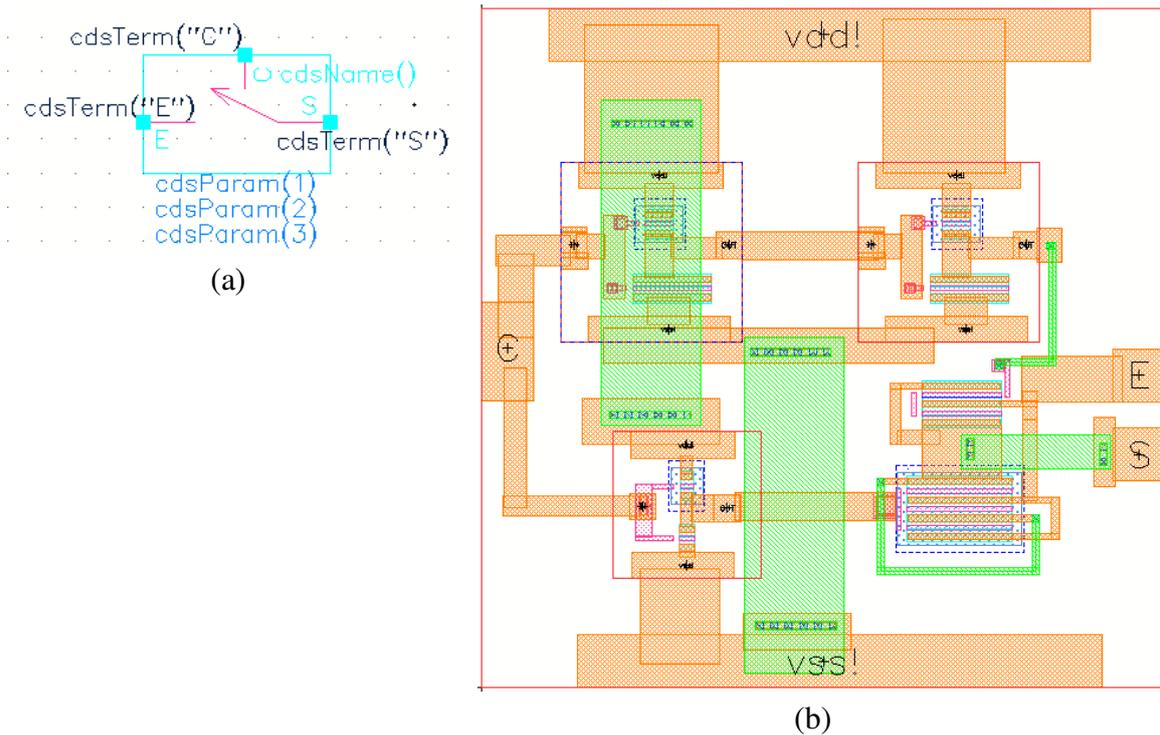


Figura 17 - (a) Símbolo associado à chave analógica. (b) Leiaute gerado no Virtuoso®.

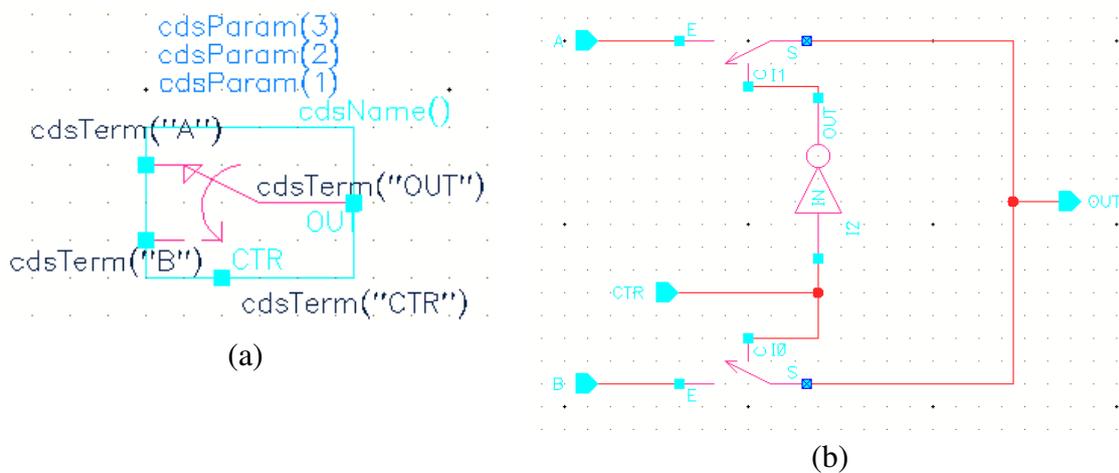


Figura 18 - (a) Símbolo associado ao seletor de entradas. (b) Circuito esquemático do seletor.

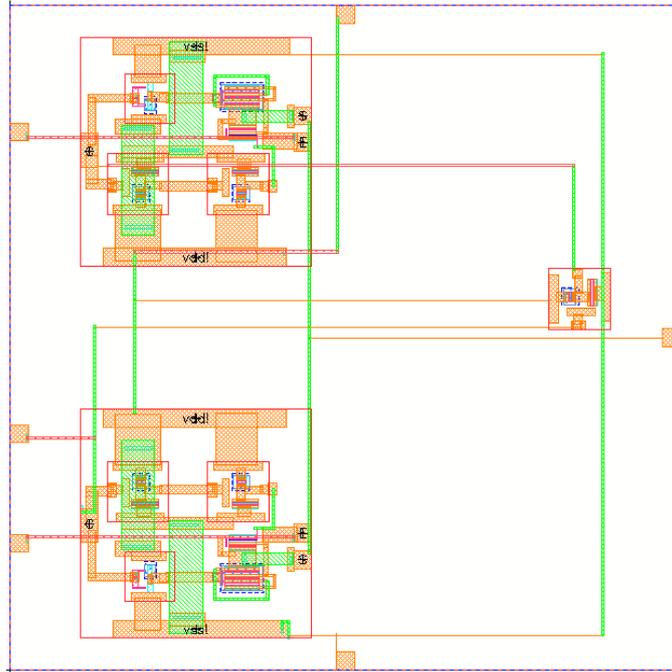


Figura 19 - Leiaute do seletor de entradas.

2.5 CONTADOR DE PULSOS

Para o contador do conversor proposto, utilizou-se a configuração de um **contador de pulsos**. Trata-se de um contador assíncrono, ou seja, os flip-flops que o compõem não possuem o *clock* em comum. Nesse circuito o *clock* atua apenas no primeiro flip-flop e para a entrada dos demais, ele é derivado da saída do flip-flop anterior.

A principal característica do contador de pulsos, é apresentar nas saídas, o sistema binário em sequência. Para isso utiliza-se flip-flops do tipo JK Mestre-Escravo os quais possuem as entradas J e K iguais a 1, fazendo com que a saída seja oposta ao estado anterior. A entrada de pulsos se faz através da entrada *clock* do primeiro flip-flop, sendo as entradas *clock* dos flip-flops seguintes, conectadas às saídas Q dos respectivos antecessores.

Os flip-flops utilizados possuem ainda uma entrada *Clear* e uma de *Preset*, que servem para escrever valores pré-determinados no flip-flop. A entrada *Clear* escreve o valor lógico '0' (zero), e a *Preset* escreve '1'. Para esse trabalho só será utilizada a entrada *Clear*. Que possibilitará a limpeza do contador para um novo ciclo de conversão do sinal de entrada. Na Figura 20 é mostrado o circuito esquemático do flip-flop JK Mestre-Escravo utilizado nesse projeto.

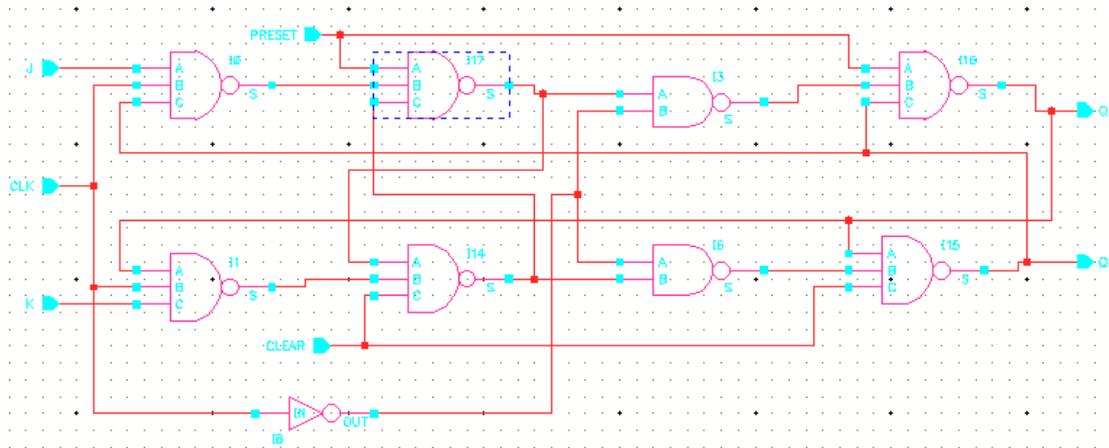


Figura 20 - Circuito esquemático do flip-flop JK Mestre-Escravo.

O circuito conta ainda com um símbolo criado no programa Virtuoso[®], bem como um leiaute que são apresentados na Figura 21.

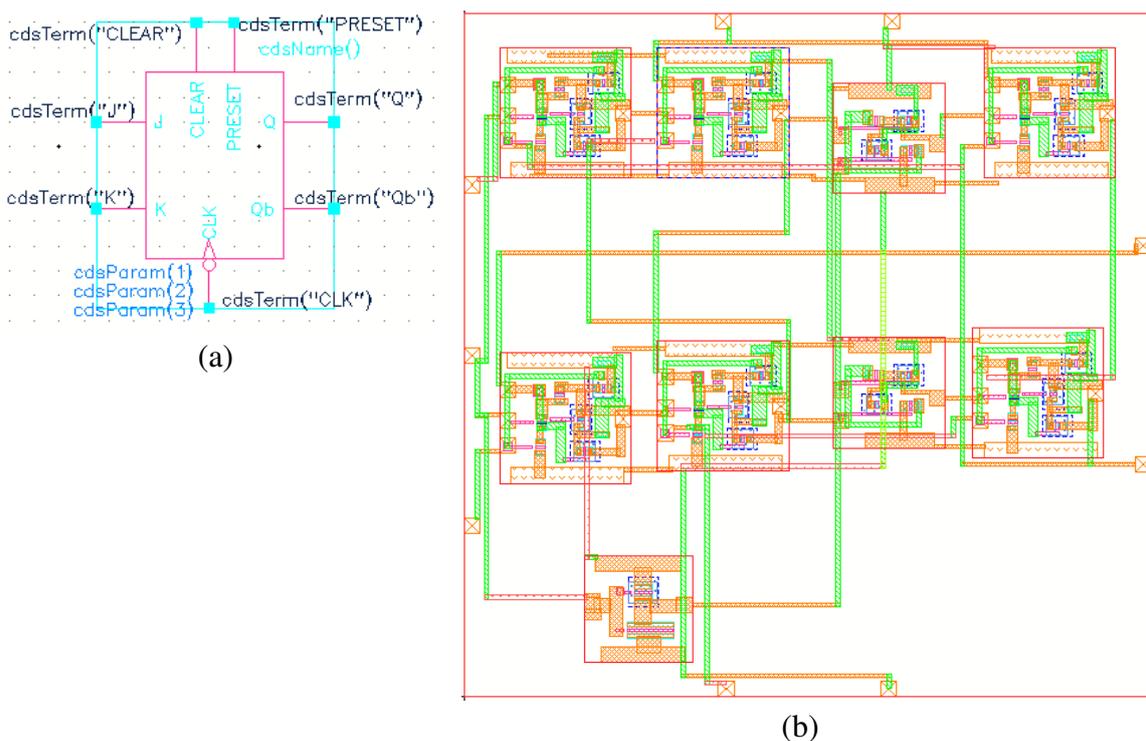


Figura 21 - (a) Símbolo associado ao flip-flop JK Mestre-Escravo. (b) Leiaute gerado no Virtuoso[®].

A partir da representação do flip-flop constrói-se o contador de pulsos. O circuito esquemático do contador é mostrado na Figura 22 parcialmente, até o terceiro bit, uma vez que não seria possível visualizar detalhes considerando todos os onze flip-flops desenhados. O símbolo associado e o leiaute produzido são mostrados na Figura 23.

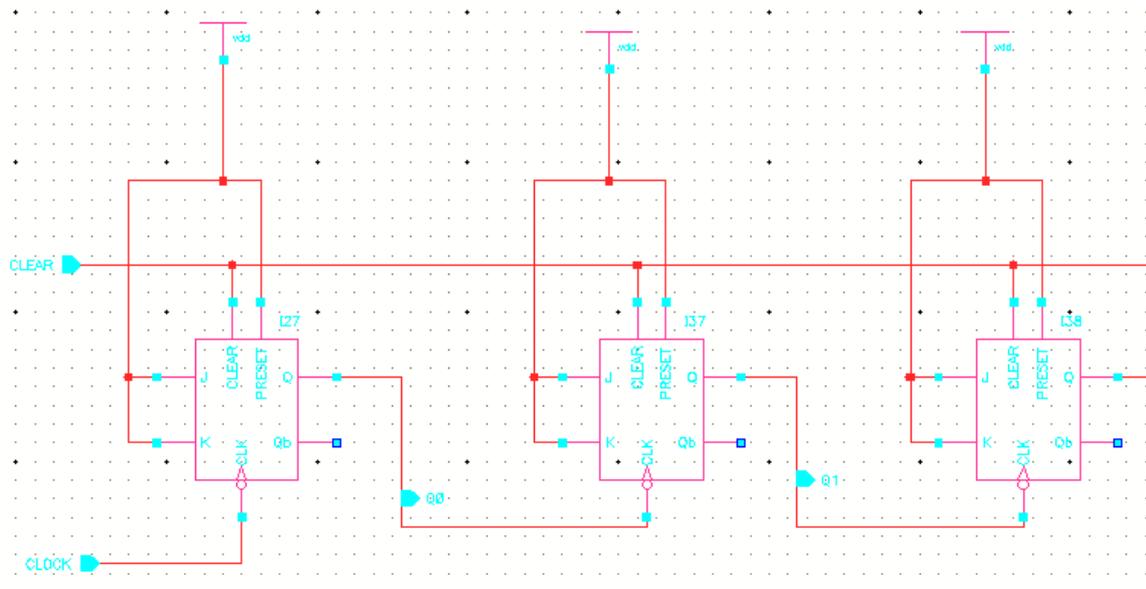


Figura 22 - Circuito esquemático parcial do contador de pulsos.

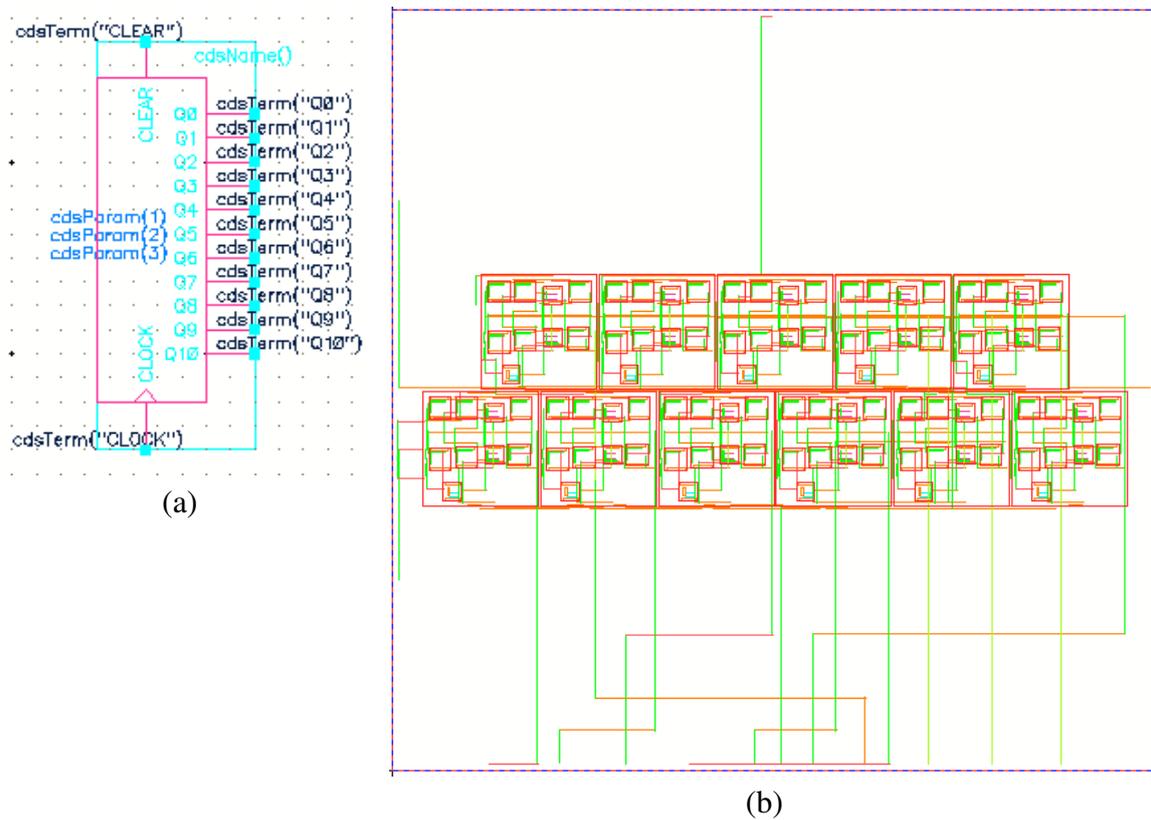


Figura 23 - (a) Símbolo associado ao contador de pulsos. (b) Leiaute gerado no Virtuoso®.

3 SIMULAÇÕES E RESULTADOS

Nesse capítulo serão apresentados as simulações e os resultados correspondentes aos principais blocos que compõem o conversor A/D. Apesar de não serem mostradas as simulações das portas lógicas digitais, o bom funcionamento de uma parte maior atesta o resultado menor. Para simular os circuitos, usa-se uma das ferramentas do Virtuoso[®] chamada de *Analog Design Environment*, ou ADE.

3.1 AMPLIFICADOR OPERACIONAL

Para realizar a simulação do circuito do amplificador, foram configurados três circuitos de teste para verificar a resposta transitória, aplicando-se um sinal senoidal na entrada. Os circuitos foram: comparador com o zero, amplificador inversor e *buffer*. A configuração do amplificador inversor possui ganho 2. O esquemático do circuito teste é mostrado na Figura 24. Cada circuito foi configurado para uma entrada senoidal de 100 mV de amplitude e frequência de 10 KHz.

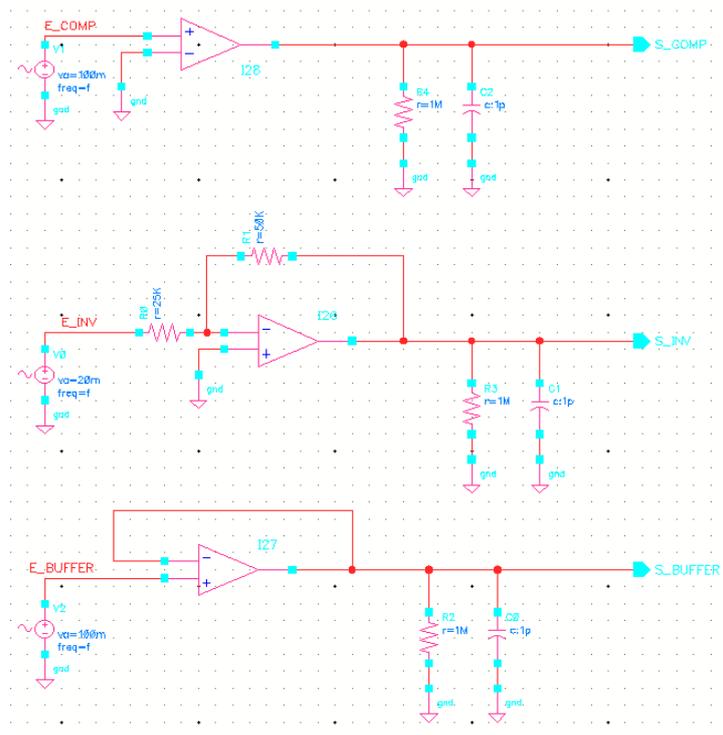


Figura 24 - Circuito esquemático de teste para o amplificador operacional.

Para o tempo de simulação, escolheu-se 0.5 ms, que corresponde a cinco períodos do sinal de entrada. A saída dos circuitos de teste pode ser vista na Figura 25. Esse tipo de simulação é chamada pelo programa como simulação TRAN.

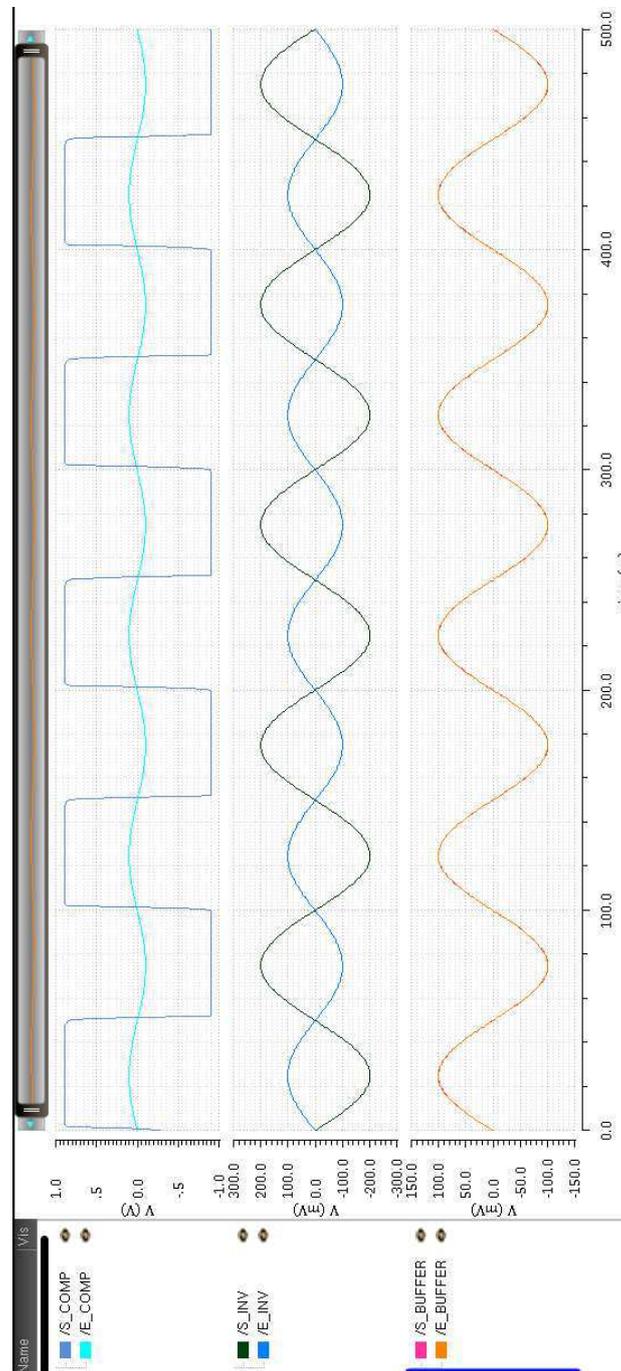


Figura 25 - Resultado da simulação transitória.

Da simulação realizada tem-se que os dois primeiros sinais, de cima para baixo, são a entrada e a saída do comparador. Os sinais ao centro correspondem à reposta do

amplificador inversor, e os sinais inferiores à resposta do *buffer*. Todos os circuitos apresentaram uma excelente resposta, baseado no que se esperava.

Para o amplificador foi ainda realizada uma simulação de resposta em frequência que gerou um diagrama de Bode do circuito que pode ser visto na Figura 26.

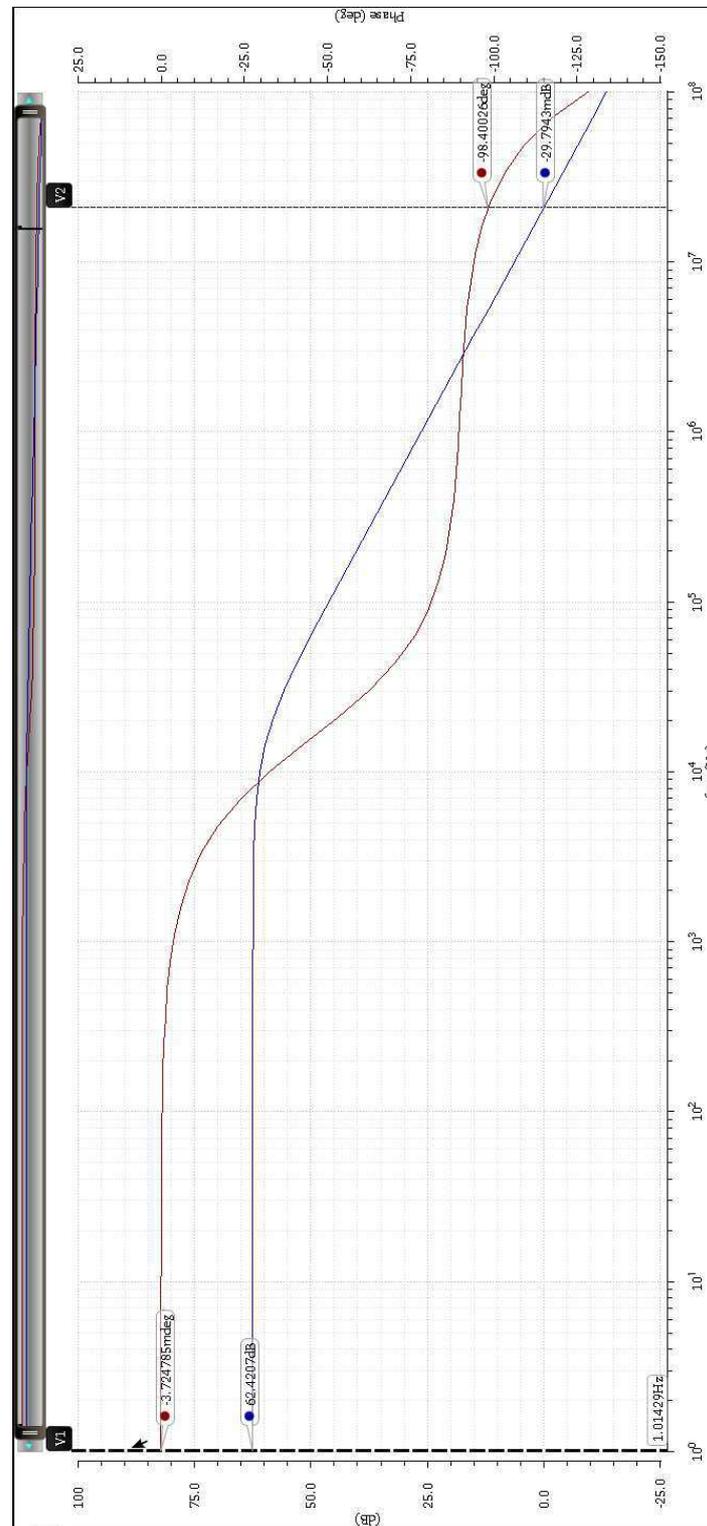


Figura 26 - Gráfico correspondente ao diagrama de Bode do amplificador.

No diagrama de Bode, nota-se que o sinal que se inicia mais abaixo corresponde à curva de ganho e o outro sinal corresponde à curva de fase. Diante desse resultado, constata-se que o ganho DC foi de aproximadamente 62 dB, e a margem de fase foi de 98°. Analisando todas as especificações e comparando-as com as que foram simuladas, tem-se:

- Ganho DC $\approx 62 \text{ dB} > 60 \text{ dB}$;
- Banda de Ganho $\approx 21 \text{ MHz} > 20 \text{ MHz}$;
- Margem de Fase $\approx 98^\circ > 60^\circ$;
- Potência = $281 \mu\text{W} < 300 \mu\text{W}$;

Em todos os requisitos de projeto que poderiam sofrer alteração, o amplificador projetado obteve uma melhor resposta.

3.2 INTEGRADOR

Para o circuito integrador apresentado na Figura 7, tem-se que foi realizada uma simulação considerando vários sinais de entrada, para demonstrar a funcionalidade do circuito. Utilizou-se mais uma ferramenta do programa chamada de *Parametric Analysis*, que possibilita o cálculo de diversas variáveis ao mesmo tempo. Na Figura 27, é mostrado o resultado da simulação do circuito.

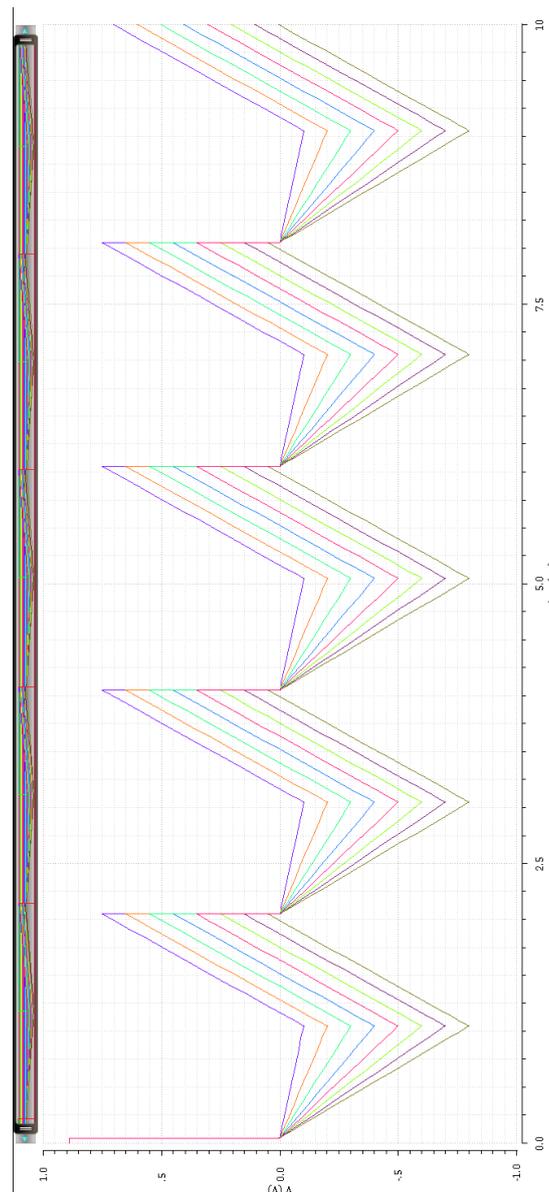


Figura 27 - Resultado da simulação para várias entradas do integrador.

Vale a pena ressaltar a semelhança entre a curva vista na Figura 3 e o resultado da simulação obtido no programa Virtuoso®.

3.3 CONTADOR DE PULSOS

A simulação do contador é bem simples e para sua realização foi feito um circuito de teste, apresentado na Figura 28. É escolhida uma frequência de 1 MHz para o *clock*. A sequência de bits do menos significativo ao mais significativo, é de Q₀ a Q₁₀.

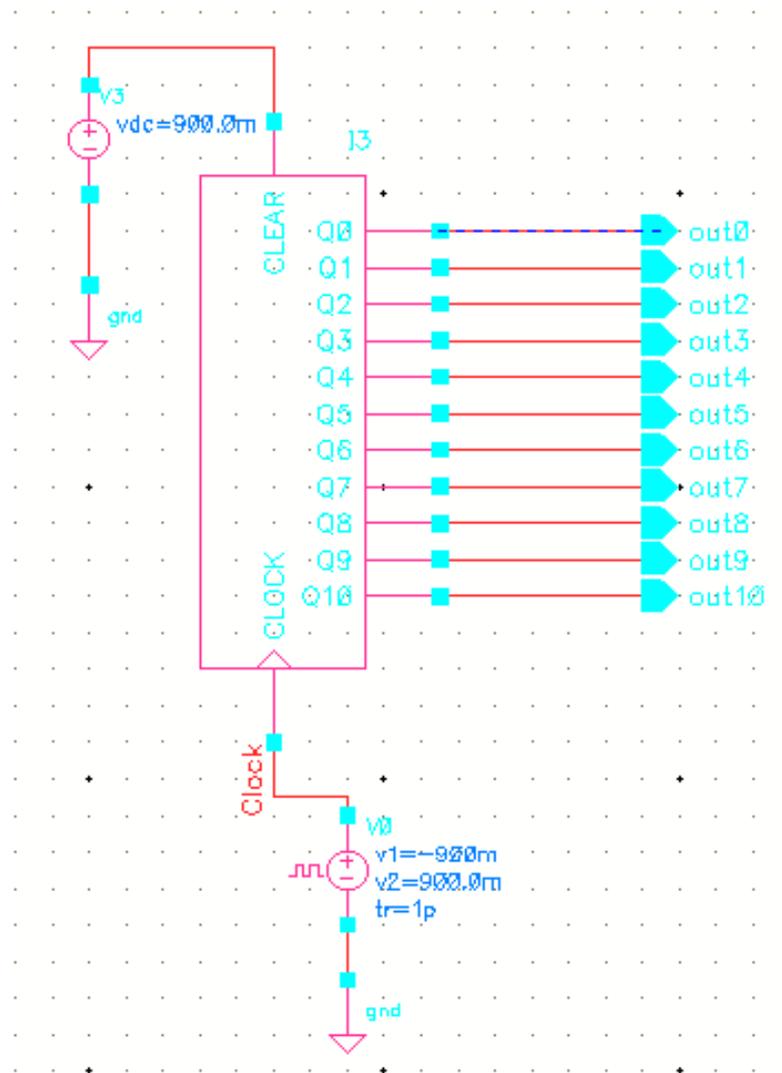


Figura 28 - Circuito de teste do Contador de Pulsos.

O circuito considerado gera uma contagem binária crescente de Q₀ a Q₁₀. Essa contagem fica evidenciada na Figura 29, que apresenta a resposta transitória do circuito para as condições estabelecidas. A resposta do contador ficou um pouco comprometida, devido à incapacidade de processamento do computador utilizado para execução do trabalho que não concluiu a simulação. Assim, valores dos bits mais significativos não chegaram a ser computados.

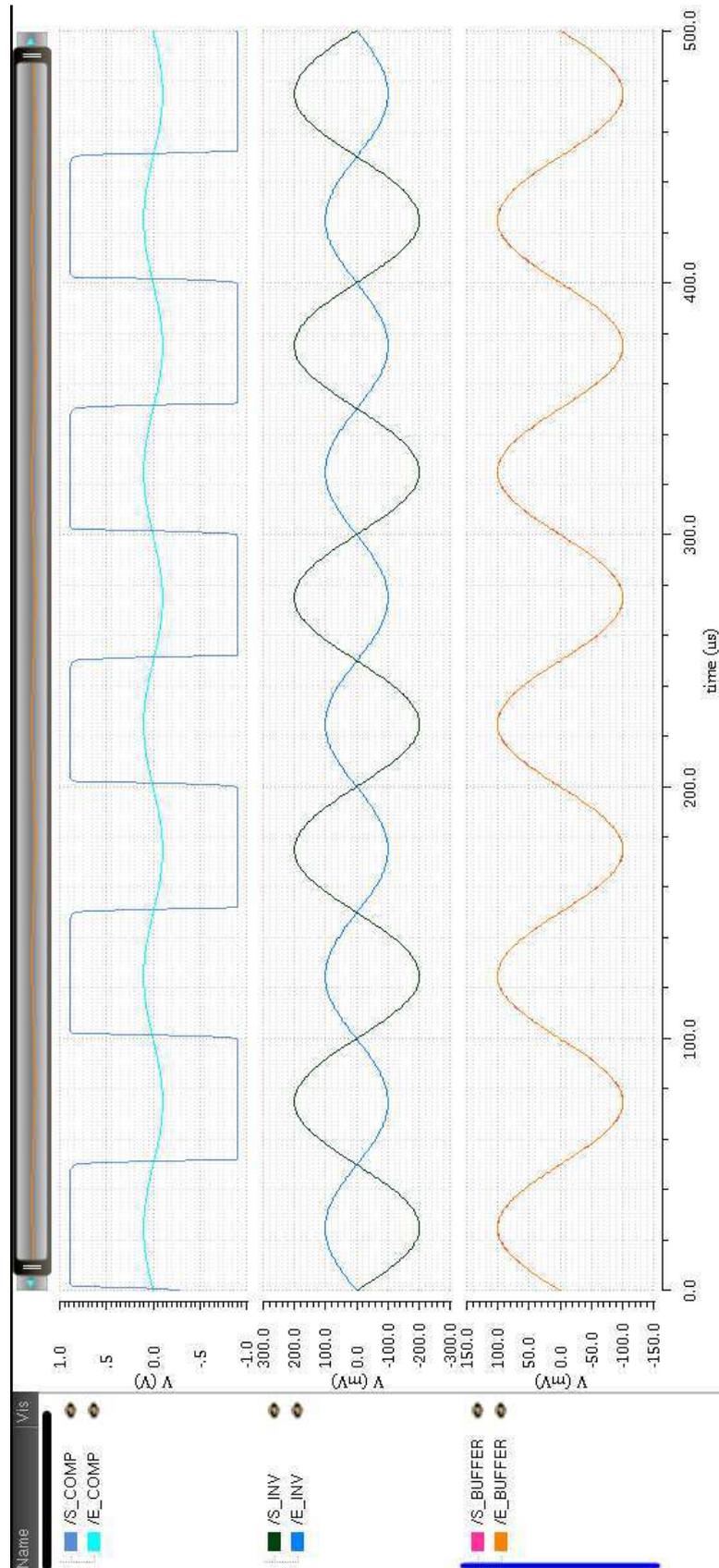


Figura 29 - Resposta transitória do Contador de Pulsos.

3.4 O CIRCUITO GERAL

Com todos os blocos implementados, com esquemático, símbolo e leiaute, uniuse para a construção do conversor A/D proposto. Inicialmente propôs um modelo simples de lógica de controle formada por uma porta AND de duas entradas e um INVERSOR, associados à saída do comparador utilizado. Na figura 30 é apresentado o circuito geral, com todos os componentes integrantes.

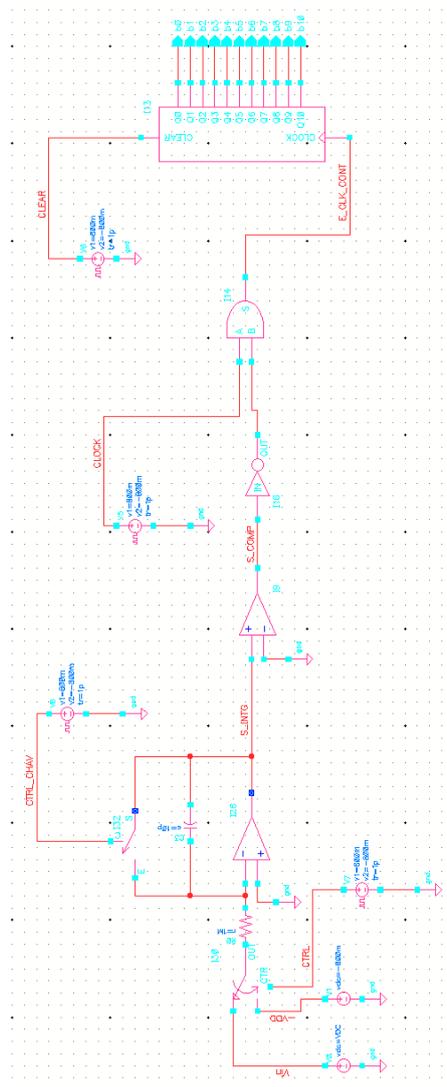


Figura 30 - Circuito esquemático geral do conversor proposto.

Quanto a simulação do circuito, tentou-se executá-la mas houve impossibilidade, devido à incapacidade de processamento do computador associado ao programa.

4 CONCLUSÃO

Neste trabalho de conclusão de curso procurou-se evidenciar a importância da microeletrônica no contexto de desenvolvimento dos sistemas atuais. Propôs-se a concepção de um conversor analógico-digital do tipo rampa dupla, bem como os componentes que o compõe. No trabalho utilizou-se a ferramenta Virtuoso[®], da empresa Cadence[®], que é uma das maiores líderes no desenvolvimento de ferramentas para o projeto de circuitos integrados.

No capítulo 2 foi visto um pouco da topologia do conversor proposto, assim como a topologia dos componentes. Mostrou-se os circuitos esquemáticos, os símbolos associados ao circuito e o leiaute de cada circuito.

No capítulo 3 mostrou-se a simulação e os resultados dos blocos mais importantes na composição do conversor A/D. Verificou-se a integridade de resposta de todos os blocos implementados. Salientando, entretanto, que o conjunto ligado de todos os blocos não pôde ser simulado.

Conclui-se portanto, apesar dos resultados incompletos que o trabalho presta uma contribuição relevante aos que desejam desenvolver projetos analógicos em microeletrônica utilizando a ferramenta Virtuoso[®], uma vez que, explicita a concepção de todos os blocos funcionais de um conversor analógico-digital.

BIBLIOGRAFIA

ALLEN, P. E. **CMOS analog circuit design**. 3rd ed ed. New York ; Oxford: Oxford University Press, USA, 2012.

BAI, X. et al. **Wireless power transfer and a Dual-Slope ADC design for Battery-less TPMS** Wireless and Optical Communications Conference (WOCC), 2010 19th Annual. **Anais...** In: WIRELESS AND OPTICAL COMMUNICATIONS CONFERENCE (WOCC), 2010 19TH ANNUAL. maio 2010

CHIANG, C.-T.; KAO, L.-L.; HUANG, Y.-C. **A Low-Cost CMOS Integrated Dual-Mode Dual-Slope ADC with Synchronous Rectification Circuit for AC/DC Signal Measuring** IEEE Instrumentation and Measurement Technology Conference Proceedings, 2008. IMTC 2008. **Anais...** In: IEEE INSTRUMENTATION AND MEASUREMENT TECHNOLOGY CONFERENCE PROCEEDINGS, 2008. IMTC 2008. maio 2008

HALIM, I. S. A.; YUSOF, N. S. M.; HASSAN, S. L. M. **A low power 0.18 μm CMOS technology integrating dual-slope analog-to digital converter** 2014 IEEE International Conference on Semiconductor Electronics (ICSE). **Anais...** In: 2014 IEEE INTERNATIONAL CONFERENCE ON SEMICONDUCTOR ELECTRONICS (ICSE). ago. 2014

RAZAVI, B. **Design of analog CMOS integrated circuits**. Boston, MA: McGraw-Hill, 2001.

SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. São Paulo (SP): Pearson Prentice Hall, 2007.