



CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA



Universidade Federal
de Campina Grande

GUSTAVO DA CÁS FETTER



Centro de Engenharia
Elétrica e Informática

TRABALHO DE CONCLUSÃO DE CURSO
DESENVOLVIMENTO DE CONVERSOR A/D COM TOPOLOGIA PARALELA



Departamento de
Engenharia Elétrica



Campina Grande
2015

GUSTAVO DA CÁS FETTER

DESENVOLVIMENTO DE CONVERSOR A/D COM TOPOLOGIA PARALELA

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.*

Área de Concentração: Microeletrônica

Orientador:

Professor Raimundo Carlos Silvério Freire, D. Sc.

Campina Grande
2015

GUSTAVO DA CÁS FETTER

DESENVOLVIMENTO DE CONVERSOR A/D COM TOPOLOGIA PARALELA

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.*

Área de Concentração: Microeletrônica

Aprovado em / /

Professor Avaliador
Universidade Federal de Campina Grande
Avaliador

Professor Raimundo Carlos Silvério Freire, D. Sc.
Universidade Federal de Campina Grande
Orientador, UFCG

Dedico este trabalho à minha família, que sempre esteve presente nos momentos mais importantes de minha vida.

AGRADECIMENTOS

Eu gostaria de agradecer primeiramente à minha família, em especial ao meu pai Mauricio José Fetter e minha mãe Rosane da Cás Fetter. Vocês são meus exemplos, vocês sempre estiveram disponíveis para me ajudar em todas as situações que passei em minha vida. E todas as vitórias que obtive, são por causa de vocês.

Eu agradeço também à minha namorada, Karla Keitianne Ferreira de Sousa, você me ensinou um novo jeito de viver. Você é formidável e eu tenho certeza que conquistará tudo que deseja em sua vida. Agradeço por todos os momentos de alegria, pelos diversos conselhos e, principalmente, pelo imenso amor que temos.

Aos meus professores da Universidade Federal de Campina Grande (UFCG), meus sinceros agradecimentos por acreditarem em meu potencial. E especialmente ao professor Raimundo Freire, que me incentivou a continuar meus estudos na França e aceitou ser meu orientador na defesa deste projeto.

Finalmente, agradeço a todos meus colegas, que estiveram sempre disponíveis para me auxiliar, em especial a Arthur e Vanuza, que disponibilizaram tempo para me aconselhar em diversas ocasiões.

*“Só se pode alcançar um
grande êxito quando nos
mantemos fiéis a nós mesmos.”*

Friedrich Nietzsche.

RESUMO

Com a crescente demanda por conversores A/D (analógico/digital) mais rápidos, este trabalho visa descrever as etapas de desenvolvimento de um conversor A/D com topologia paralela, que apresenta velocidade de conversão elevada e seu maior fator limitante (dimensão do circuito integrado) diminui a cada nova geração de tecnologia de fabricação de circuitos integrados. O conversor foi desenvolvido em tecnologia 180nm e possui três bits de saída. As etapas de desenvolvimento deste trabalho se resumem à elaboração de um esquema elétrico base a partir de componentes discretos; conversão dos componentes discretos em circuitos em nível de transistores (validando os mesmos através de simulações) e desenvolvimento de um conversor A/D em circuito integrado, apresentando os resultados obtidos na simulação. O conversor elaborado foi capaz de converter valores de tensões analógicas aplicados na entrada para valores binários nas saídas.

Palavras-chave: Topologia Paralela, 180nm, Circuito Integrado, Simulação, Leiaute.

ABSTRACT

With the growing demand for faster A/D converters (analog / digital), this paper aims to describe the development stages of an A/D converter with flash topology, which has high conversion speed and its most limiting factor (size of the integrated circuit) decreases with each new generation of integrated circuit manufacturing technology. The converter is designed in 180nm technology and has an output with three bits. Development stages of this work are summarized to the preparation of a basic electric diagram from discrete components; reconstruct those discrete components in transistors-level circuits (validating them through simulations) and development of an A/D converter in integrated circuit, presenting the results obtained in the simulation. The developed converter was capable of converting the analog voltage values applied to the input to the outputs binary values.

Keywords: Flash Topology, 180nm, Integrated Circuit, Simulation, Leiate.

LISTA DE ILUSTRAÇÕES

| | |
|---|----|
| Figura 1 – Esquema elétrico em componentes discretos | 15 |
| Figura 2 – Esquema elétrico da porta Ou-Exclusivo | 17 |
| Figura 3 – Símbolo da porta Ou-Exclusivo | 18 |
| Figura 4 – Esquema elétrico da plataforma de testes..... | 18 |
| Figura 5 – Resultado de simulação da porta Ou-Exclusivo (A,B e OUT)..... | 19 |
| Figura 6 – Leiaute da porta Ou-Exclusivo..... | 20 |
| Figura 7 – Comparador Katyal | 21 |
| Figura 8 – Comparador dinâmico..... | 22 |
| Figura 9 – Símbolo do comparador | 23 |
| Figura 10 – Plataforma de testes do comparador dinâmico | 23 |
| Figura 11 – Resultado de simulação do comparador dinâmico | 24 |
| Figura 12 – Leiaute do comparador dinâmico | 25 |
| Figura 13 – Esquema Elétrico do Conversor A/D | 26 |
| Figura 14 – Símbolo do conversor A/D..... | 27 |
| Figura 15 – Plataforma de testes do Conversor A/D | 27 |
| Figura 16 – Resultados dos testes do Conversor AD (Entrada e saídas: Out0, Out1 e Out2) | 28 |
| Figura 17 – Resultados dos testes do Conversor AD (com níveis de tensão de referência) | 29 |

SUMÁRIO

| | |
|---|------|
| Agradecimentos..... | v |
| Resumo..... | vii |
| Abstract | viii |
| Lista de Ilustrações..... | ix |
| Sumário | x |
| 1 Introdução..... | 11 |
| 2 Desenvolvimento..... | 12 |
| 2.1 Fundamentação Teórica..... | 12 |
| 2.1.1 Conversor A/D..... | 12 |
| 2.1.1.1 Tipos de Conversores A/D | 12 |
| 2.1.1.2 Parâmetros do Conversor A/D | 13 |
| 2.1.2 Circuito Integrado..... | 14 |
| 2.2 Esquema Elétrico Base | 15 |
| 2.3 Componentes do Conversor..... | 16 |
| 2.3.1 Porta Ou-Exclusivo (XOR)..... | 16 |
| 2.3.1.1 Esquema Elétrico | 17 |
| 2.3.1.2 Simulação..... | 18 |
| 2.3.1.3 Leiaute..... | 20 |
| 2.3.2 Comparador Dinâmico | 20 |
| 2.3.2.1 Esquema Elétrico | 22 |
| 2.3.2.2 Simulação..... | 23 |
| 2.3.2.3 Leiaute..... | 25 |
| 2.4 Conversor A/D..... | 26 |
| 2.4.1 Esquema Elétrico..... | 26 |
| 2.4.2 Simulação | 27 |
| 2.5 Análise dos resultados..... | 30 |
| 3 Conclusão | 31 |
| Referências | 32 |
| Anexos..... | 33 |

1 INTRODUÇÃO

Este trabalho visa descrever o processo de desenvolvimento de um conversor Analógico/Digital com topologia paralela. O conversor possui três bits de saída e a tecnologia utilizada na elaboração do circuito integrado do conversor foi de 180nm e foi utilizado a tensão nominal do conversor (Vdd) igual a 1.8V.

Para a elaboração do conversor, fez-se necessário o uso de dois softwares:

- Multisim: onde foi elaborado o esquema elétrico em componentes discretos para, a partir deste, desenvolver o circuito integrado.

- Cadence Virtuoso: onde o esquema elétrico, a simulação e o leiaute dos componentes do conversor e do próprio conversor foram elaborados.

O desenvolvimento deste trabalho está distribuído da seguinte forma: primeiramente apresentou-se a fundamentação teórica, onde serão apresentados os princípios de funcionamento dos conversores A/D e uma visão geral sobre circuitos integrados. Posteriormente será apresentado o esquema elétrico base que permitiu a elaboração desse projeto. Os componentes foram expostos através de esquemas elétricos, simulações e leiautes. O conversor A/D foi evidenciado através do esquema elétrico em nível de transistores e das simulações realizadas.

Uma análise dos resultados obtidos através da simulação do conversor foi executada, a fim de aferir a confiabilidade do conversor, onde foram verificados os valores reais da tensão da entrada que provocariam uma alteração nos sinais da saída e os mesmos foram comparados com os valores obtidos nos testes.

2 DESENVOLVIMENTO

Neste capítulo foram apresentadas as etapas de desenvolvimento do conversor A/D em topologia paralela, onde primeiramente foi apresentada a fundamentação teórica do projeto, posteriormente foi exibido o esquema elétrico base do conversor, os elementos desse conversor, em nível de transistores, o conversor A/D concebido e, finalmente, foi apresentada a análise dos resultados de simulação do conversor.

2.1 FUNDAMENTAÇÃO TEÓRICA

2.1.1 CONVERSOR A/D

A maioria dos sinais presentes na natureza é analógica, logo, para possibilitar o processamento desses sinais em sistemas digitais, faz-se necessário a utilização de um conversor Analógico/Digital. Assim sendo, o conversor A/D permite uma representação digital de uma grandeza analógica.

2.1.1.1 TIPOS DE CONVERSORES A/D¹

Existem diversas estratégias para obter a conversão analógica/digital, abaixo são citadas as principais:

- Rampa: onde o sinal de entrada é comparado com um sinal rampa com amplitude e frequência conhecida. O momento em que a tensão de entrada supera o valor do sinal rampa de referência é registrado e o tempo que esse processo levou para ocorrer define a saída digital. A maior desvantagem desse método é o elevado tempo de conversão (que é variável de acordo com o nível da tensão de entrada, quanto maior, mais tempo levará para efetuar a conversão).

¹ Uma descrição mais detalhada dos tipos de conversores A/D encontra-se em anexo.

- Aproximações Consecutivas: similar ao funcionamento do conversor citado acima, porém o mecanismo agora assume valores para a saída e os compara com o valor real, do bit mais significativo para o menos significativo, chegando ao valor correto após um número fixo de passos. A desvantagem desse método continua sendo o tempo elevado, porém esse tempo não varia com o nível da tensão da entrada.
- Dupla rampa: a conversão é obtida através da aplicação de uma rampa negativa na entrada e uma rampa positiva do sinal de referência em um circuito integrador, a rampa resultante possui uma inclinação que depende do valor da tensão de entrada e é utilizada para definir a saída digital. Este conversor apresenta boa linearidade e precisão, porém também possui um tempo elevado de conversão.
- Topologia Paralela: Utiliza diversas comparações paralelas para definição da tensão de saída, isto possibilita uma conversão rápida, porém exige a presença de diversos comparadores ($2^n - 1$, onde n é o número de bits). Além disso, sua precisão possui relação direta com a precisão dos resistores utilizados nas comparações. Esta topologia foi escolhida para ser utilizada neste trabalho.

2.1.1.2 PARÂMETROS DO CONVERSOR A/D

Os principais parâmetros de avaliação de um conversor A/D são:

- Resolução: este parâmetro resulta da escolha do número de bits da saída do conversor, onde a resolução é dada pela gama da tensão de entrada, onde neste trabalho é definido pela tensão de alimentação do circuito ($V_{dd} = 1.8 \text{ V}$), dividida por dois elevado ao número de bits do conversor ($n = 3$):

$$R = \frac{V_{dd}}{2^n} \quad R = \frac{1.8 \text{ V}}{2^3} = 0.225 \text{ V}$$

- Precisão: medida da diferença entre a tensão de saída analógica obtida e a tensão que deveria estar na saída. Os principais fatores contribuintes para uma baixa precisão são valores elevados da tensão de resolução, falta de linearidade do conversor, precisão das resistências e as características dos comparadores.

- Tempo de conversão: tempo em que o conversor consegue identificar uma alteração na entrada e transferir a mesma para a saída. Este parâmetro define a capacidade do conversor em converter sinais de frequência elevada.
- Tensão analógica de entrada: gama de tensão que pode ser analisada e convertida pelo conversor.

2.1.2 CIRCUITO INTEGRADO

Pode-se definir circuito integrado como um circuito eletrônico miniaturizado com diversos componentes (principalmente transistores) dispostos em um substrato de algum semicondutor (geralmente silício).

Os circuitos integrados surgiram na década de 1970 como uma solução aparentemente definitiva para o problema da miniaturização e do consumo dos circuitos eletrônicos.

Uma vasta gama de componentes integrados passou a ser disponibilizada aos projetistas e a eletrônica sofreu um substancial avanço. Os equipamentos aumentaram de complexidade e tornaram-se mais confiáveis.

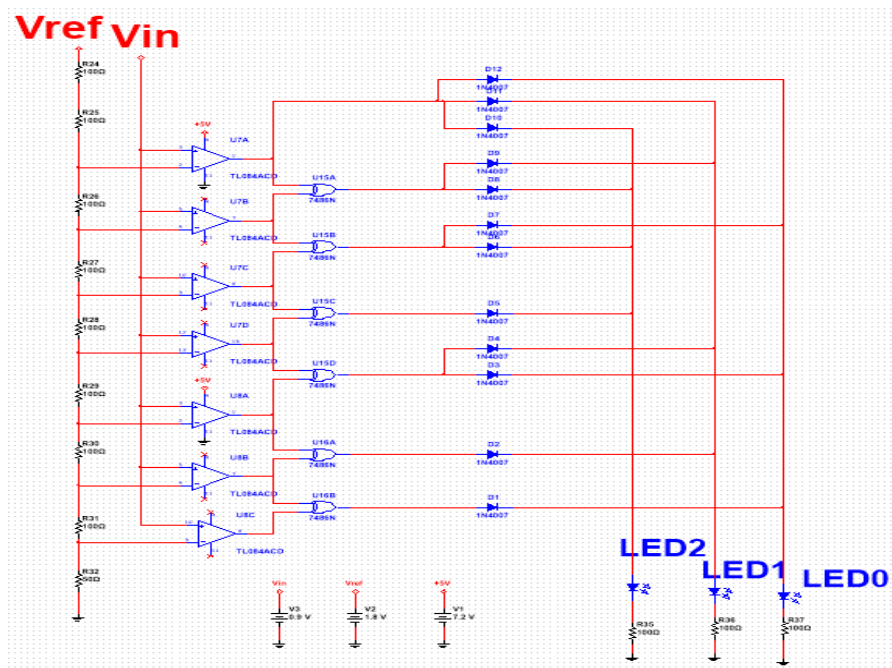
Com a utilização de circuitos integrados a tecnologia de computadores e microcomputadores teve um elevado desenvolvimento, chegando-se a integrar milhões de transistores em um único chip.

Atualmente, existe uma tendência e um objetivo claro de desenvolver equipamentos em um único chip, que reúne tanto os circuitos digitais quanto os analógicos. Esta tendência tem gerado uma grande necessidade de conversores A/D integrados com elevadas taxas de conversão.

2.2 ESQUEMA ELÉTRICO BASE

Para desenvolver o conversor, foi primeiramente definido um esquema elétrico em componentes discretos, possibilitando assim um direcionamento para, posteriormente, substituir esses componentes por seus equivalentes em circuitos integrados. Segue abaixo o esquema elétrico desenvolvido no software Multisim:

Figura 1 – Esquema elétrico em componentes discretos



Fonte: o próprio autor.

O conversor opera da seguinte forma, a tensão de referência (no nosso caso 1.8V) aplicada em diversos resistores em série acarreta em diferentes níveis de tensões nos resistores. Essas tensões são utilizadas como referência para comparar o valor da tensão de entrada, ou seja, se a tensão de entrada for superior que a tensão naquele ponto, o amplificador transfere uma tensão de saída elevada para a saída, e caso não seja superior, um nível baixo de tensão será projetado na saída do amplificador. A lógica combinacional das portas Ou-Exclusivo e dos diodos permite a conversão desses resultados das comparações em uma sequência binária representada através dos leds.

Note que foi utilizado o amplificador operacional TL084 para possibilitar a comparação entre os níveis de tensão do conversor. Esse amplificador foi posteriormente substituído por um comparador dinâmico.

2.3 COMPONENTES DO CONVERSOR

Abaixo seguem as descrições dos principais componentes do conversor: a porta Ou-Exclusivo e o Comparador Dinâmico. Foram apresentados os esquemas elétricos, a simulação e o leiaute dos mesmos.

2.3.1 PORTA OU-EXCLUSIVO (XOR)

A porta lógica Ou-Exclusivo (XOR) deverá apresentar a seguinte tabela verdade:

Tabela 1 – Tabela verdade da porta Ou-Exclusivo

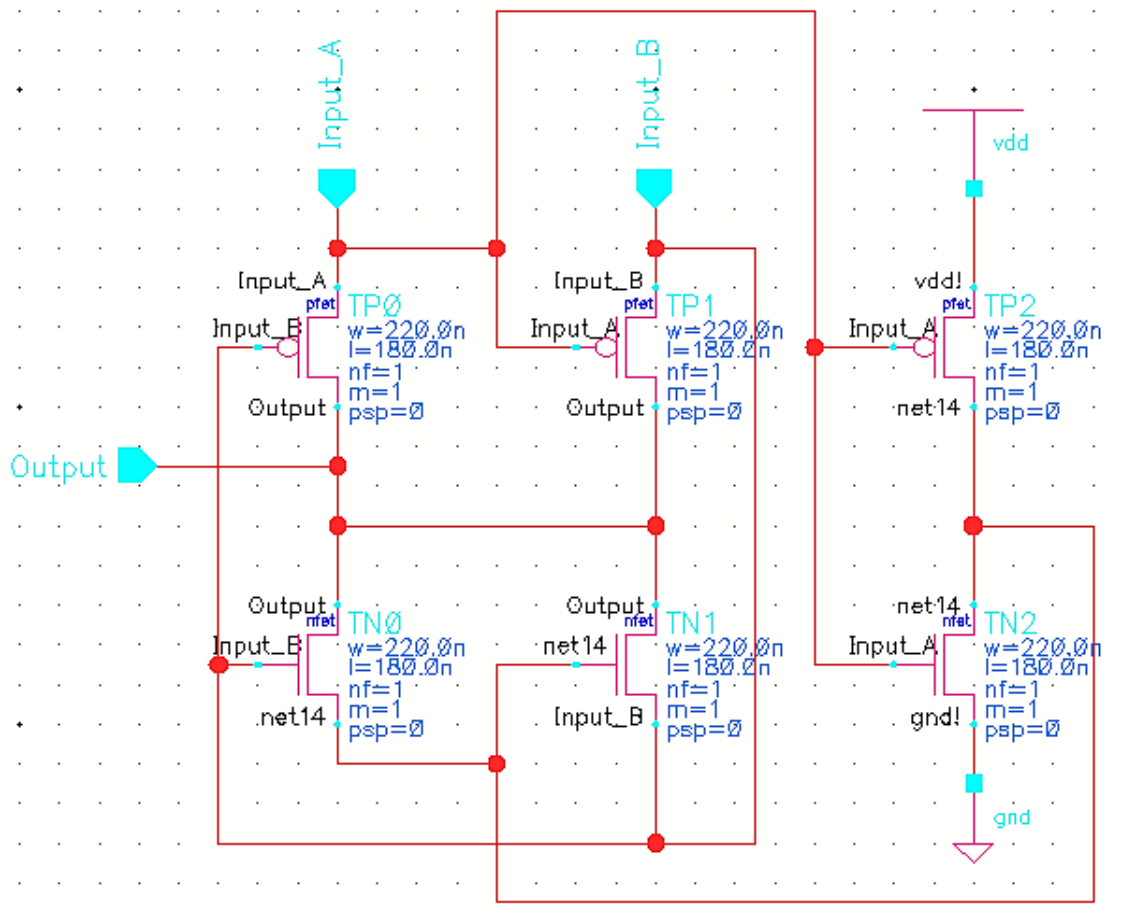
| A | B | Saída |
|----------|----------|--------------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Fonte: o próprio autor

2.3.1.1 ESQUEMA ELÉTRICO

O esquema elétrico apresentado na figura 2 foi utilizado para desenvolver o comportamento da porta lógica Ou-Exclusivo:

Figura 2 – Esquema elétrico da porta Ou-Exclusivo

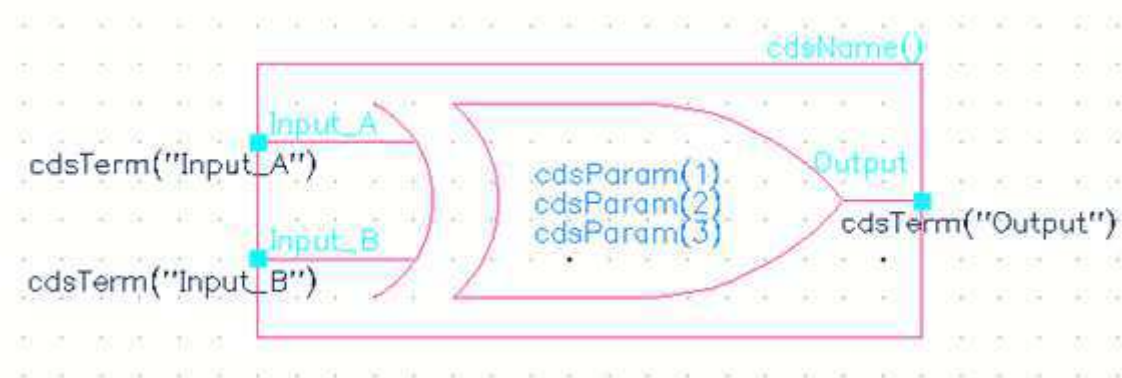


Fonte: o próprio autor.

Note que a tecnologia de transistor utilizada nesse projeto é de 180nm e que a largura da base foi de 220nm. Assim como todos os demais transistores deste projeto, o substrato dos transistores P foi conectado ao Vdd e o substrato dos transistores N foi conectado à terra.

O seguinte símbolo foi desenvolvido para representar esse componente:

Figura 3 – Símbolo da porta Ou-Exclusivo

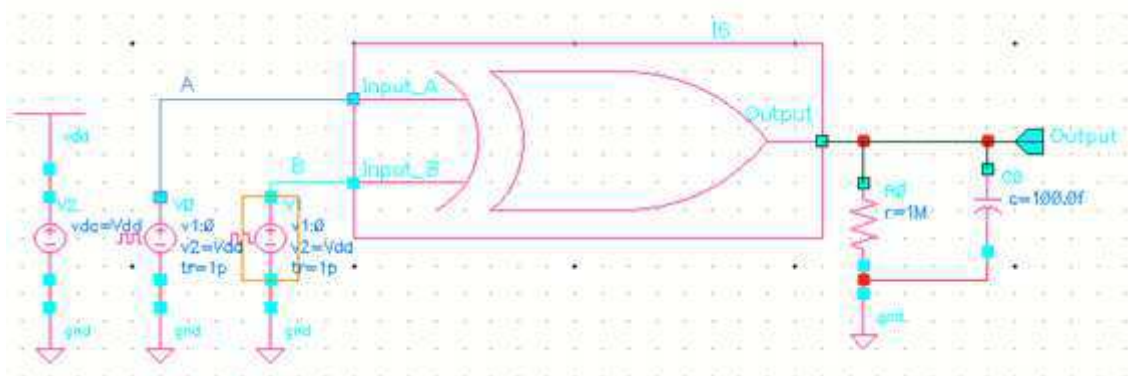


Fonte: o próprio autor.

2.3.1.2 SIMULAÇÃO

Para simular esse componente, foi desenvolvida a seguinte plataforma de testes:

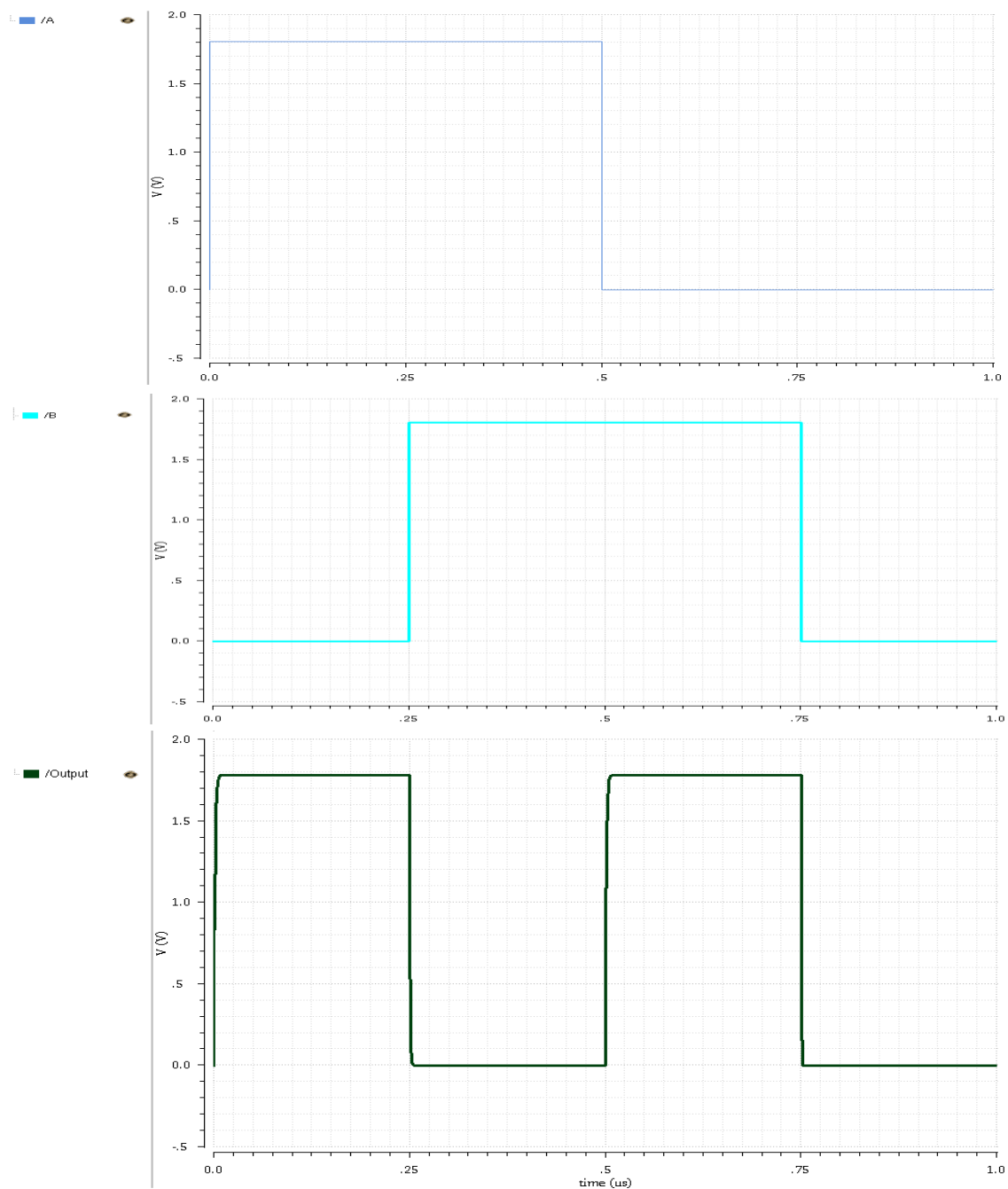
Figura 4 – Esquema elétrico da plataforma de testes



Fonte: o próprio autor.

Com isso, foi obtido o resultado de simulação apresentado na Figura 5, note que a resposta obtida apresenta o mesmo comportamento da tabela-verdade da porta Ou-Exclusivo, onde a saída (Output) apresenta valor elevado (1.8 V) somente quando apenas uma das entradas apresenta valor elevado:

Figura 5 – Resultado de simulação da porta Ou-Exclusivo (A,B e OUT)

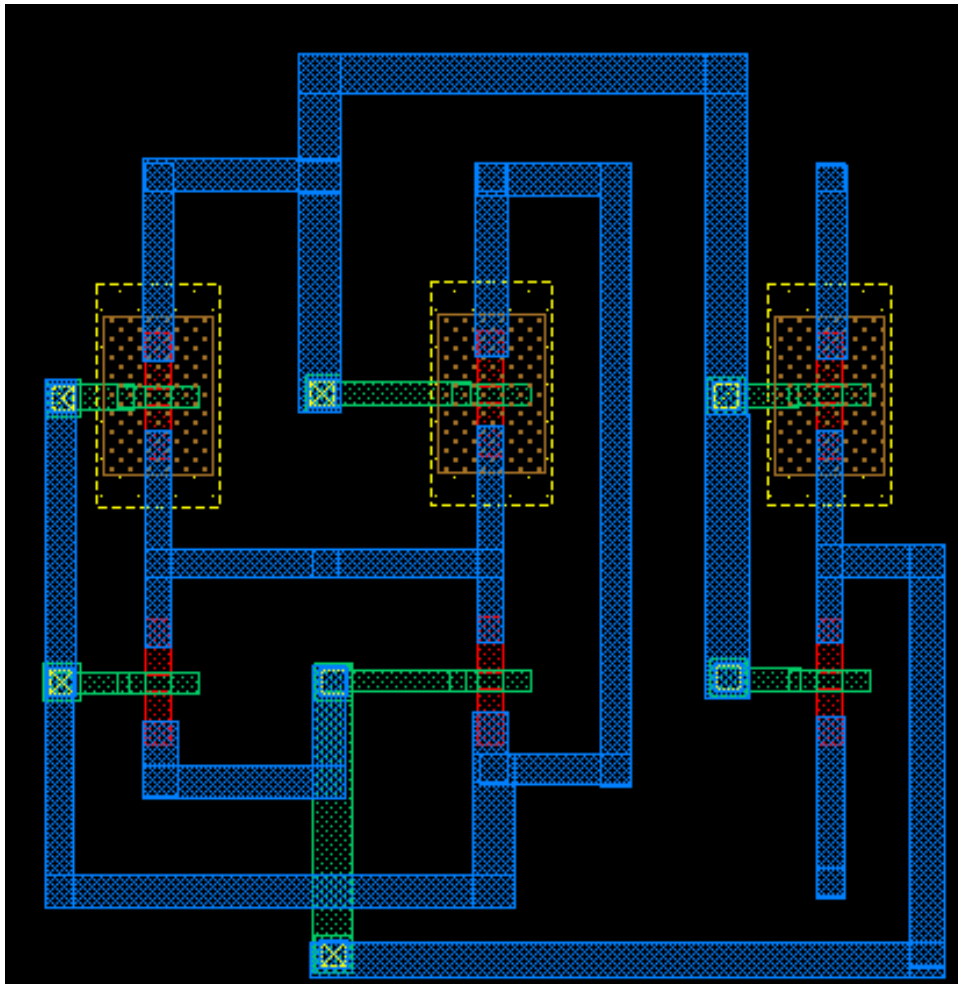


Fonte: o próprio autor.

2.3.1.3 LEIAUTE

O seguinte leiaute de circuito integrado foi desenvolvido para o componente:

Figura 6 – Leiaute da porta Ou-Exclusivo



Fonte: o próprio autor.

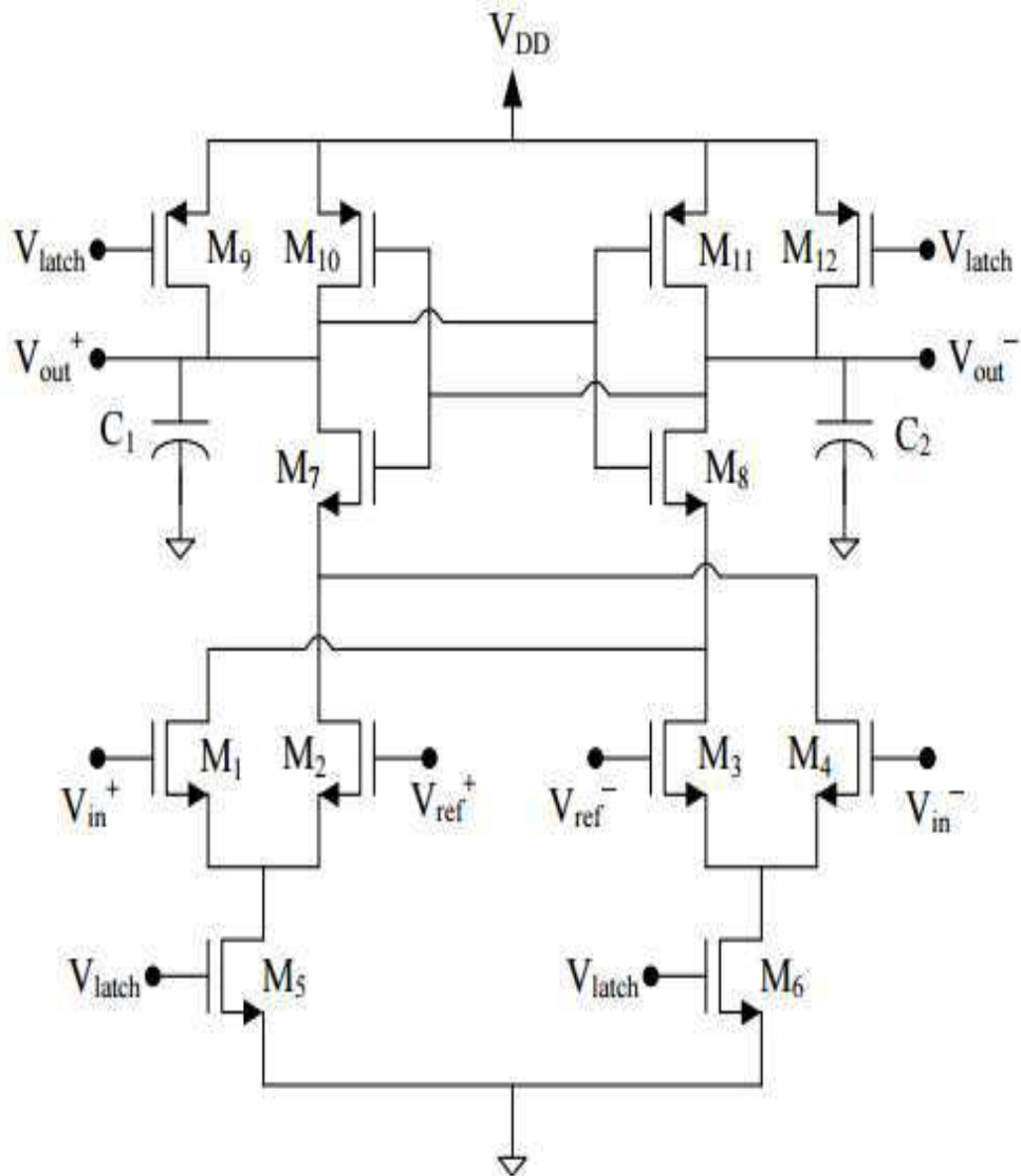
2.3.2 COMPARADOR DINÂMICO

Para efetuar a comparação entre os diferentes níveis de tensão de referência e a tensão de entrada no conversor A/D em topologia paralela, faz-se necessário a utilização de um comparador com as seguintes características:

- Elevado ganho, ou seja, pequenas variações de tensão devem ser capazes de gerar níveis elevados de tensão na saída;
- Alta velocidade de operação, permitindo uma elevada taxa de conversão.

A partir dessas especificações, foi escolhido o comparador dinâmico Katyal para o desenvolvimento do conversor. Uma vez que ele permite um elevado ganho e pode operar em elevadas frequências. A figura 7 apresenta o esquema elétrico do comparador Katyal.

Figura 7 – Comparador Katyal

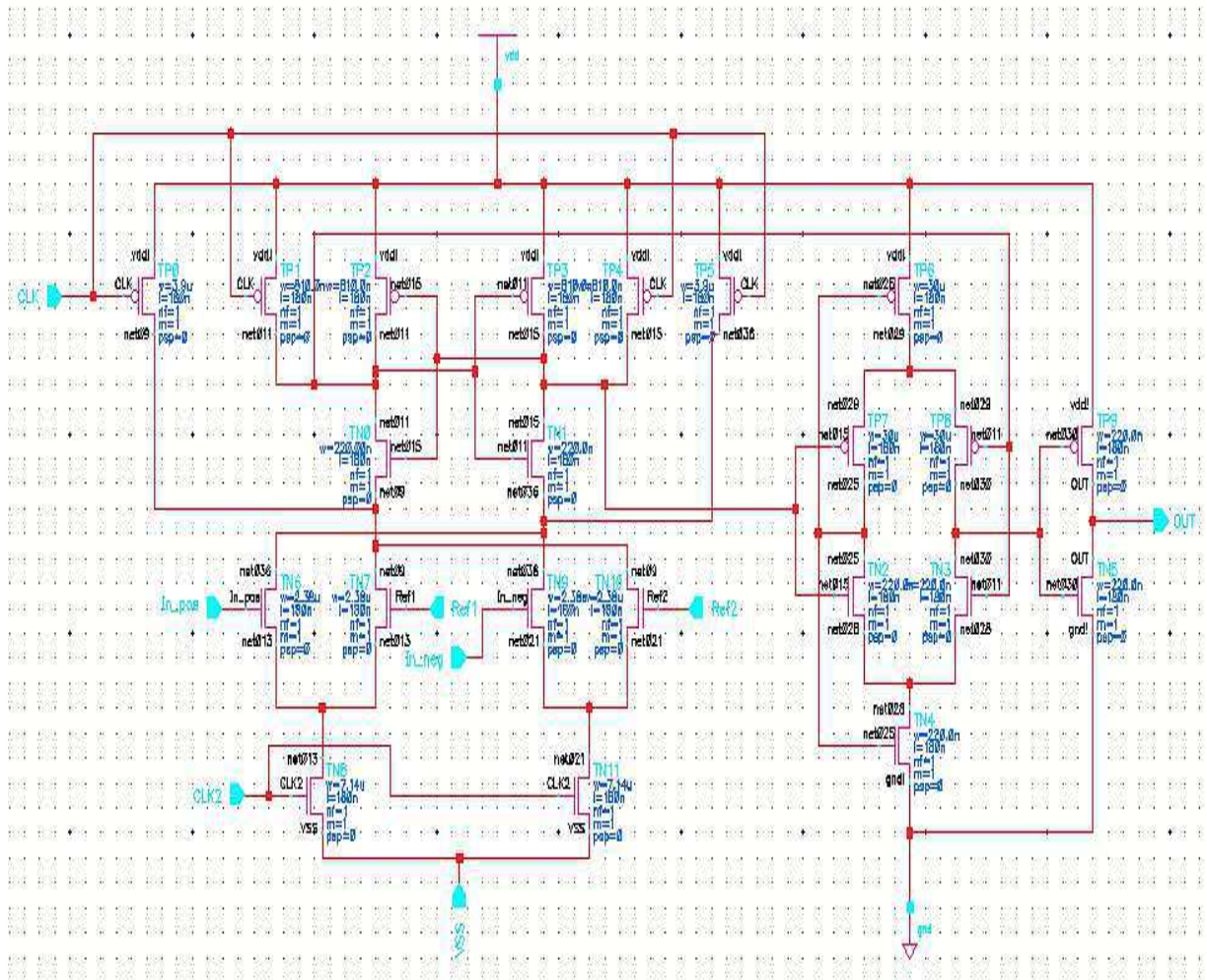


Fonte: Iowa State University.

2.3.2.1 ESQUEMA ELÉTRICO

A figura 8 apresenta o esquema elétrico do comparador, a parametrização desse comparador foi obtida através da tese de mestrado de Silpakesav Velagaleti no National Institute of Technology Rourkela.

Figura 8 – Comparador dinâmico



Fonte: o próprio autor.

A parte esquerda do circuito é o comparador diferencial dinâmico Katyal, que é simétrico e possui realimentação regenerativa. São utilizados dois sinais de clock com níveis de tensão diferentes, assim como dois sinais de referência, o que permite um maior controle do offset do comparador. Ao lado do comparador existe um estágio amplificador, que permite obter um ganho mais elevado na saída e os últimos dois transistores à direita compõem um inversor, assim, o conjunto dos dois últimos blocos atua como um amplificador não inversor da saída do comparador.

O seguinte símbolo foi desenvolvido para representar esse componente:

Figura 9 – Símbolo do comparador

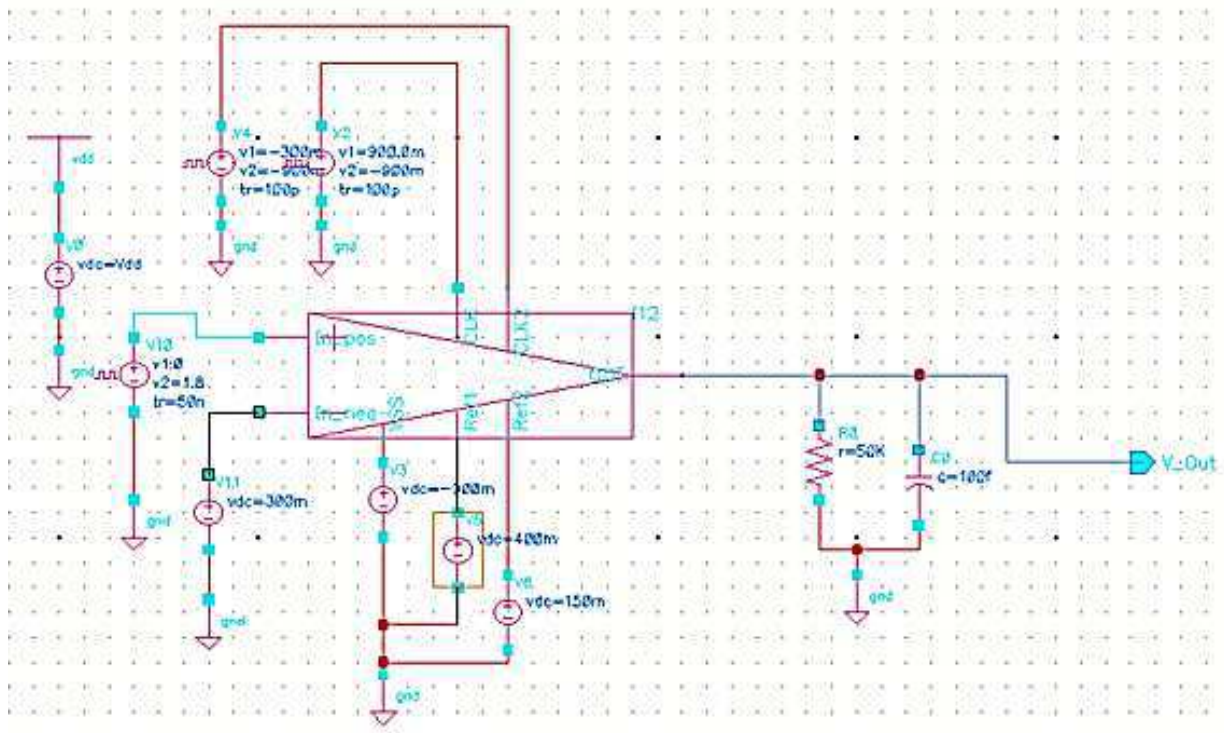


Fonte: o próprio autor.

2.3.2.2 SIMULAÇÃO

Para efetuar a simulação desse comparador, adotamos a seguinte plataforma de testes, onde aplicamos uma tensão de 300 mV no terminal negativo e um sinal rampa no terminal positivo.

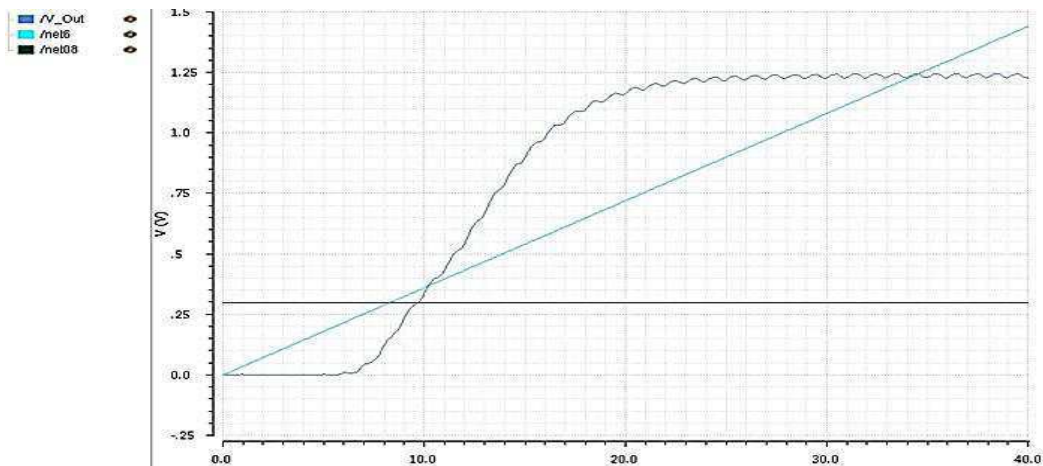
Figura 10 – Plataforma de testes do comparador dinâmico



Fonte: o próprio autor.

O seguinte resultado de simulação da plataforma de testes foi obtido.

Figura 11 – Resultado de simulação do comparador dinâmico



Fonte: o próprio autor.

Observe que após o momento em que a tensão na entrada positiva do comparador ultrapassa os 300 mV da tensão da entrada negativa, o comparador permite a elevação da tensão na saída.

O momento exato dessa elevação deve ser regulado através das tensões de referência (Ref1 e Ref2), onde para este caso foi utilizado os seguintes valores:

- Vref1 = 400mV
- Vref2 = 150mV

Na aplicação desse comparador no conversor, as tensões de referências utilizadas foram obtidas da seguinte forma:

- Vref1 = Vin-
- Vref2 = Vin- do comparador imediatamente abaixo (ou 50% da tensão de Vin- para o caso do primeiro comparador).

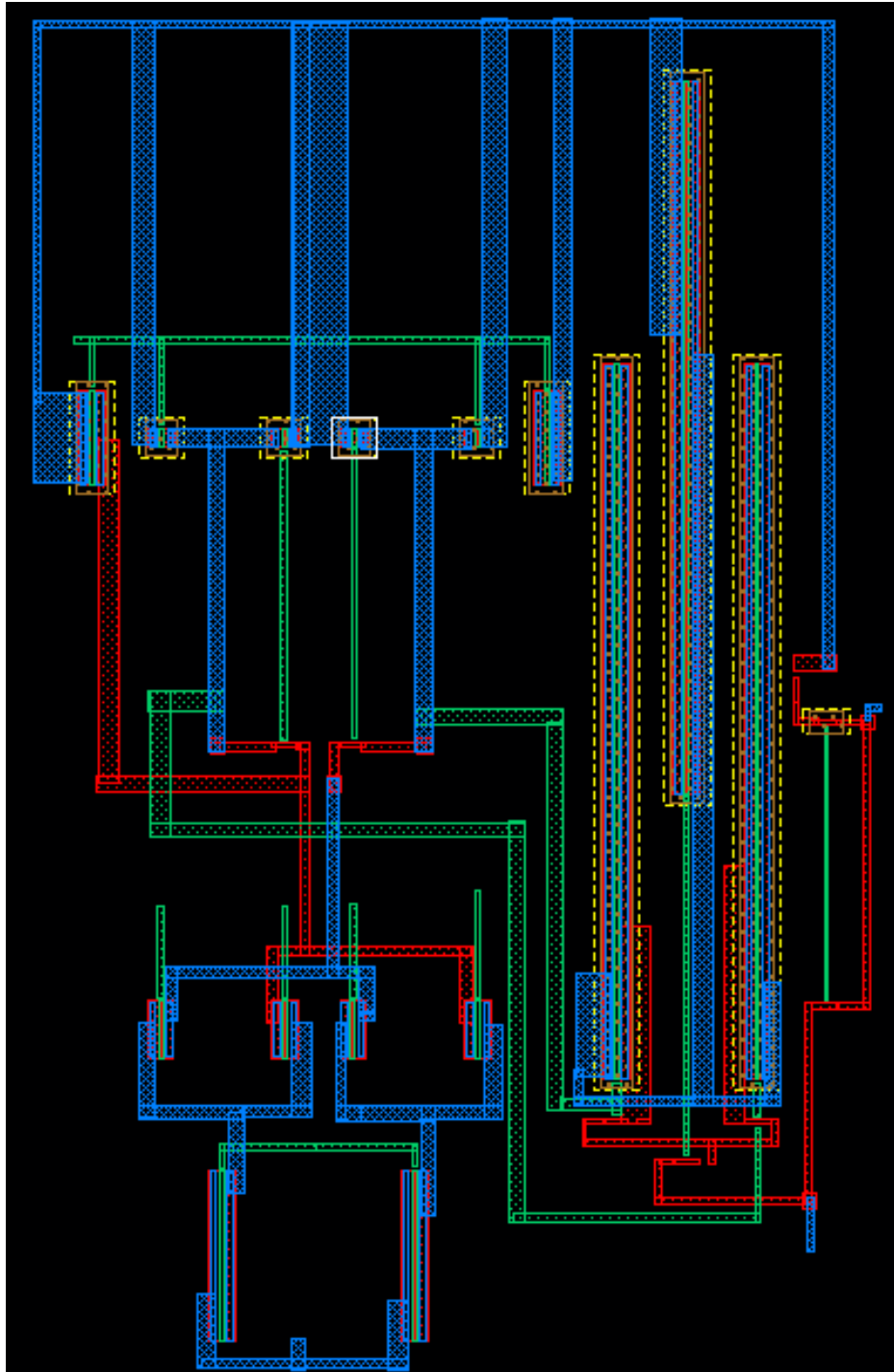
Um fator importante que define o tempo que a tensão leva para chegar ao nível alto foi o valor do capacitor da saída, onde, neste caso, adotamos o capacitor de 100 fF, uma vez que essa capacitância deve ser muito pequena para permitir um menor tempo de subida da tensão de saída. Porém deve estar presente para evitar oscilações e garantir maior estabilidade.

O resistor utilizado (50 K Ω) permite um descarregamento rápido do capacitor e estabelece um nível de tensão de saída um pouco maior que 1 V. Se reduzirmos o valor do resistor permitimos um descarregamento mais rápido do capacitor, porém isso implicará em um nível de tensão de saída menor.

2.3.2.3 LEIAUTE

A partir do esquema elétrico foi possível obter o seguinte leiaute do comparador dinâmico Katyal.

Figura 12 – Leiaute do comparador dinâmico



Fonte: o próprio autor.

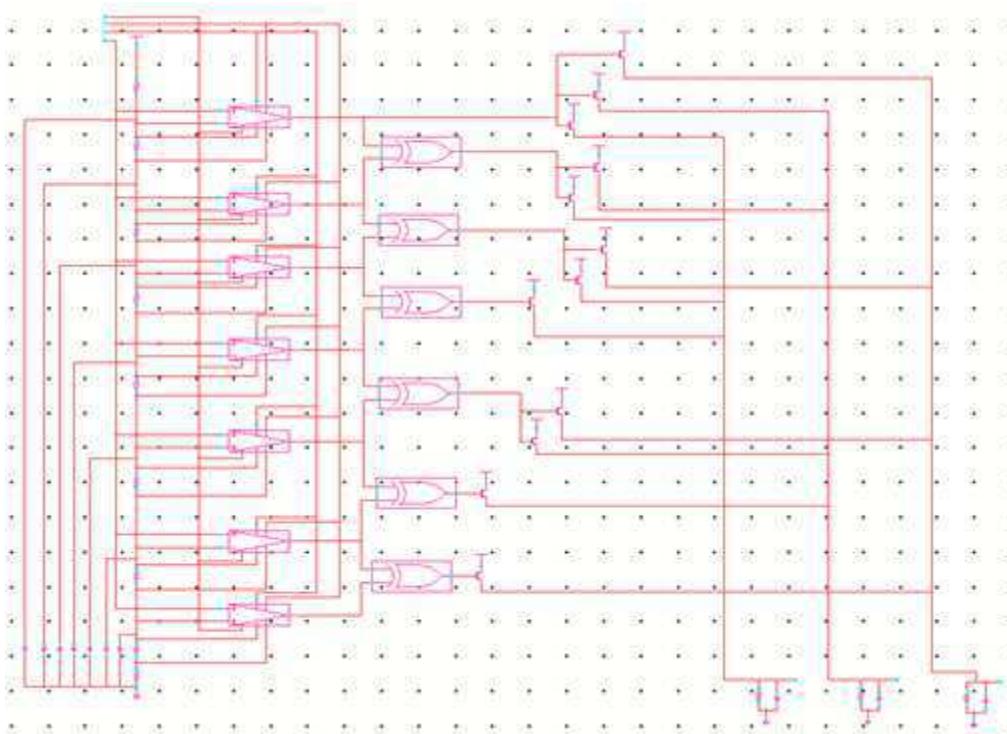
2.4 CONVERSOR A/D

Utilizando os componentes desenvolvidos nas seções anteriores, foi possível reproduzir o esquema elétrico obtido através do Multisim. Abaixo seguem o esquema elétrico e a simulação do conversor.

2.4.1 ESQUEMA ELÉTRICO

O esquema elétrico do conversor é mostrado abaixo, onde as seguintes adaptações (em relação ao circuito em componentes discretos) se fizeram necessárias: substituição dos diodos por transistores com o coletor conectado à Vdd, adição de capacitores ligados à terra juntamente com os níveis de tensão de referência, para estabilização dos mesmos.

Figura 13 – Esquema Elétrico do Conversor A/D

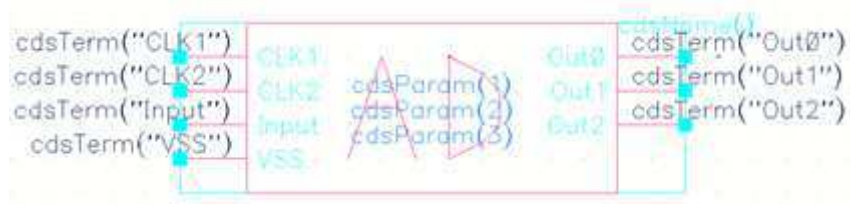


Fonte: o próprio autor.

É importante perceber que as tensões de referência dos comparadores foram ligadas as tensões de referência das entradas negativas dos comparadores, seguindo a lógica citada anteriormente.

O seguinte símbolo foi desenvolvido para representar o conversor:

Figura 14 – Símbolo do conversor A/D

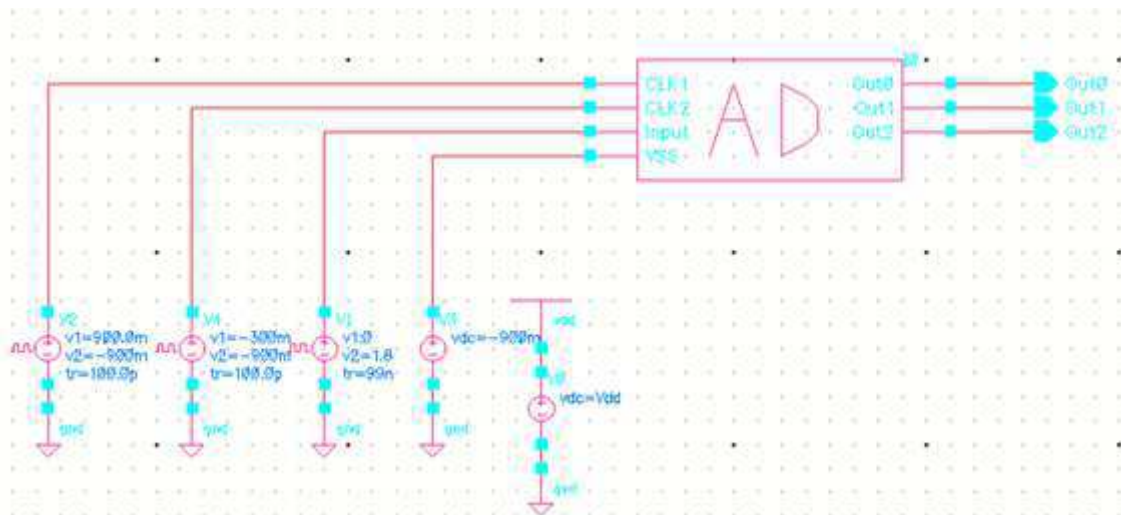


Fonte: o próprio autor.

2.4.2 SIMULAÇÃO

A seguinte plataforma de testes foi desenvolvida para os testes do conversor A/D:

Figura 15 – Plataforma de testes do Conversor A/D



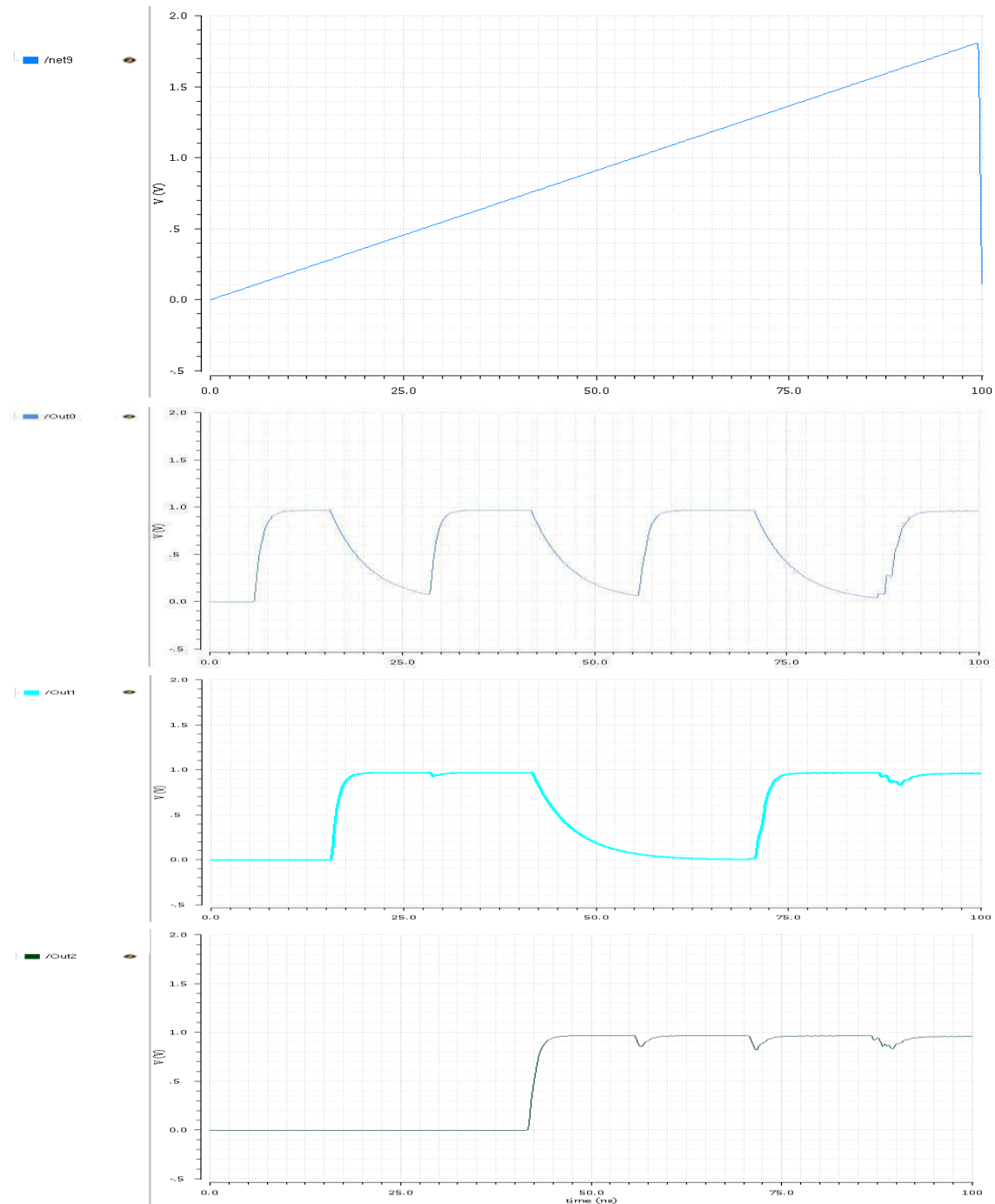
Fonte: o próprio autor.

Observe que os seguintes sinais devem ser fornecidos ao circuito para o funcionamento do conversor:

- Vdd: Nível de tensão CC de 1.8 V
- Vin: Sinal rampa de 0 a 1.8V
- VSS: Nível de tensão CC de -900 mV
- CLK: Clock de frequência 1 GHz com nível de tensão entre 900 mV e - 900 mV.
- CLK2: Clock de frequência 1 GHz com nível de tensão entre -300 mV e -900 mV.

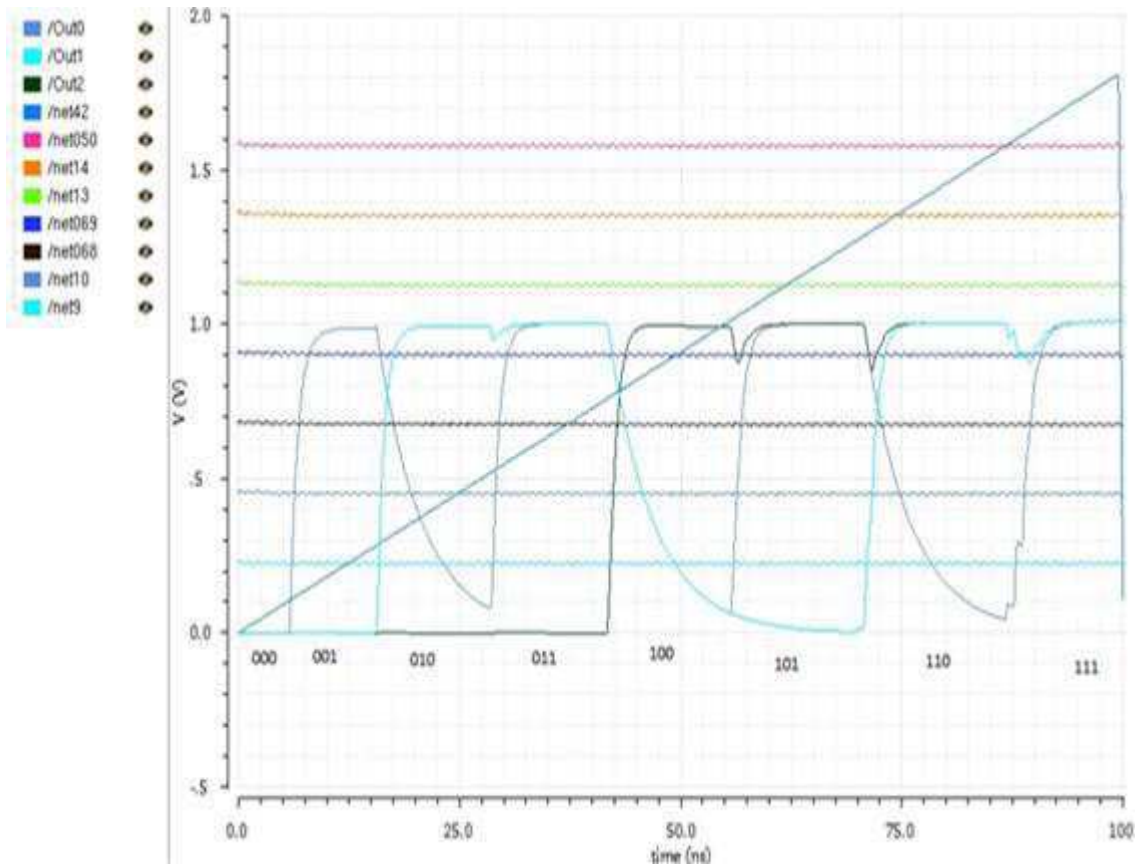
O resultado apresentado nas figuras 16 e 17 foi obtido, onde é possível observar que os valores das saídas apresentam a sequência correta para a rampa aplicada na entrada do conversor (de frequência igual a 10 MHz).

Figura 16 – Resultados dos testes do Conversor AD (Entrada e saídas: Out0, Out1e Out2)



Fonte: o próprio autor.

Figura 17 – Resultados dos testes do Conversor AD (com níveis de tensão de referência)



Fonte: o próprio autor.

Observa-se também que as variações entre os níveis de tensão de saída não estão exatamente centradas no momento onde a transição entre a tensão de referência é ultrapassada. Isto ocorre devido às tensões de referência que definem o offset dos comparadores, sendo que as mesmas não estão ajustadas para o nível de tensão de operação, uma parametrização deve ser realizada para a definição do nível ótimo dessas tensões e um novo sinal de referência deveria ser atribuído para garantir isso. Porém isso aumentaria o consumo do conversor e a complexidade do circuito.

2.5 ANÁLISE DOS RESULTADOS

Os resultados obtidos com as simulações mostraram que o conversor é capaz de quantificar a tensão de entrada e convertê-la para as tensões binárias da saída, porém foi possível verificar que os intervalos de modificação da tensão de saída não ocorrem simultaneamente à superação do nível das tensões de referência pela tensão de entrada.

Observe a tabela abaixo que relaciona as tensões onde deveria ocorrer a mudança dos sinais da saída com as obtidas nas simulações:

Tabela 2 – Dados de simulação

| Saída | Tensão Esperada (mV) | Tensão Obtida (mV) |
|-------|-------------------------|-----------------------|
| 000 | 0 | 0 |
| 001 | 225 | 110 |
| 010 | 450 | 310 |
| 011 | 675 | 550 |
| 100 | 900 | 780 |
| 101 | 1125 | 1100 |
| 110 | 1350 | 1320 |
| 111 | 1575 | 1650 |

Fonte: o próprio autor

Isto acarreta na não linearidade da conversão, gerando possíveis erros. Para eliminar esses erros, deve-se efetuar a modificação dos valores das tensões de referências dos comparadores, buscando encontrar o melhor offset para cada comparador. Assim seria possível definir com precisão em que nível de tensão ocorrerá a variação da tensão de saída.

Com a correta parametrização das tensões de referência dos comparadores, a frequência de conversão ficará limitada somente pelo sinal clock (1 GHz) e pelo tempo de descarregamento dos capacitores da saída.

3 CONCLUSÃO

Neste documento descreveram-se as etapas necessárias para o desenvolvimento de um conversor A/D com topologia paralela em circuito integrado. Foram apresentados os esquemas elétricos dos elementos e do conversor (em nível de transistores), assim como os respectivos leiautes e resultados de simulação, permitindo uma ampla visão das etapas do processo de desenvolvimento do conversor.

Os resultados obtidos mostraram que o conversor consegue fornecer uma relação entre a tensão analógica de entrada e a tensão digital na saída. O que comprova o funcionamento do conversor.

Ajustes para melhorar a relação entre a tensão de entrada e o valor equivalente nas saídas digitais ainda são necessários a fim de melhorar a precisão do conversor e permitir maiores frequências de conversão.

Através dos conhecimentos obtidos no curso, foi possível realizar as etapas de desenvolvimento do conversor e analisar os resultados obtidos nas simulações.

REFERÊNCIAS

SEDRA, Adel S. ;SMITH, Kenneth C. Microeletrônica. 4. edição. São Paulo : Pearson Makron Books, 2000.

VELAGALETI, Silpakesav. A novel high speed dynamic comparator with low power dissipation and low offset. Dissertação(Mestrado em Tecnologia) – Departament of Electronics & Communication Engineering, National Institute of Technology Rourkela, Índia. 2009.

RAZAVI, Behzad. Design of analog CMOS integrated circuits. 1ª Edição. New York:McGraw-Hill Education, 2000, 684.

HAYASAKA, Henrique M. Fluxo de projeto utilizando IBM180nm em ambiente Cadence. 2011

DIAS, Morgado. Lição sobre conversores de analógico para digital e de digital para analógico. Universidade da Madeira, em: <http://cee.uma.pt/edu/el2/acetatos/Conversores.FMD>: 2006.

Dynamic Comparators. Iowa State University, em: <http://class.ece.iastate.edu/ee435/lectures/Dynamic%20Comparators.pdf>: 2009.

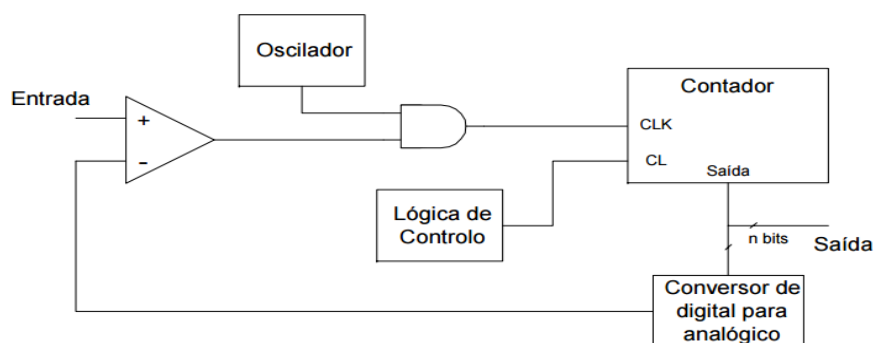
RODRIGUES, Carlos Barreto. Circuitos Integrados. Em: <http://carlosrodrigues/circuitos-integrados-7548386> : 2011

BARÚQUI, Fernando Antônio Pinto Introdução ao Projeto de Circuitos Integrados Analógicos. Apostila de Eletrônica IV. Departamento de eletrônica Escola Politécnica Universidade Federal do Rio de Janeiro, 2012.

ANEXOS²

CONVERSOR A/D EM RAMPA:

Considere-se o contador num estado em que a saída está em zero e um sinal de entrada em tensão superior a zero. O comparador da entrada dará uma saída correspondente ao valor de alimentação positiva uma vez que a saída do contador está ligada a um conversor de digital para analógico. Isto permitirá que o sinal de relógio atravessa a porta lógica “And” e seja utilizado como sinal clock para o contador. Logo que o sinal de saída for superior ao de entrada, o comparador da entrada terá como saída o valor de alimentação inferior, terminando o processo de conversão.



Antes de uma nova conversão o bloco de lógica de controle terá de recolocar o contador a zero (através do sinal CL). A designação comum de rampa (ou escada) resulta do fato da saída de um conversor deste tipo descrever uma rampa (ou escada) até estabilizar no valor correto da conversão. Deve notar-se que, de acordo com este princípio de funcionamento, o conversor terminaria com a saída contendo o valor digital imediatamente superior à entrada.

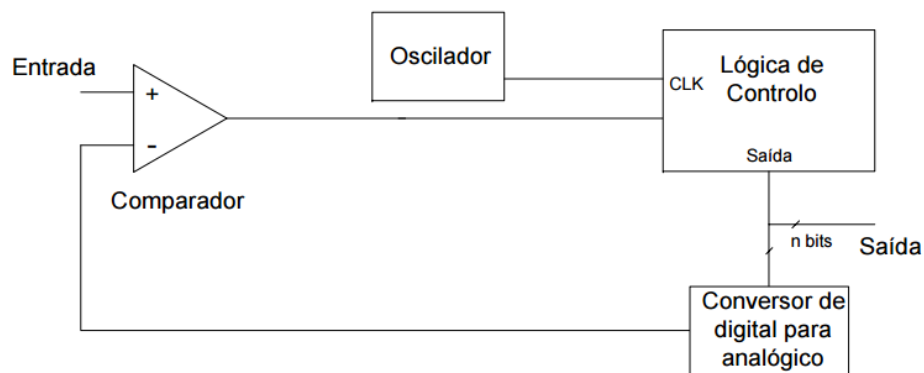
Desvantagem:

- Tempo de conversão elevado e variável. Como é facilmente perceptível pelo princípio de funcionamento a conversão poderá ficar pronta em apenas um passo, no caso de a entrada ter um valor inferior ao bit menos significativo, ou alongar-se até 2^n passos, no caso de um conversor de n bits.

² Informações provenientes da apresentação de Morgado Dias intitulada “*Lição sobre conversores de analógico para digital e de digital para analógico*” da Universidade da Madeira

CONVERSOR A/D POR APROXIMAÇÕES CONSECUTIVAS:

O contador foi substituído por um bloco de lógica de controle para que o conversor passe a efetuar sempre o mesmo número de passos em cada conversão, tantos quanto o número de bits. Em cada conversão a lógica de controle coloca o valor lógico 1 em cada um dos bits da saída, do mais significativo para o menos significativo, e testa o resultado. Se a tensão de saída de digital para analógico exceder o valor do sinal de entrada o bit em questão é recolocado a zero e testado o bit seguinte, caso contrário o bit é mantido em 1 e é testado o bit seguinte.



No final dos n passos, para um contador de n bits, obtém-se a conversão de analógico para digital. Deve notar-se que, de acordo com este princípio de funcionamento o conversor terminaria com a saída a conter o valor digital imediatamente inferior à entrada.

Vantagens/desvantagens:

- (V) Iniciando a verificação pelo bit mais significativo o sinal de saída fica mais rapidamente próximo do seu valor final.
- (VD) Este conversor, apesar de mais rápido do que o anterior é ainda lento.

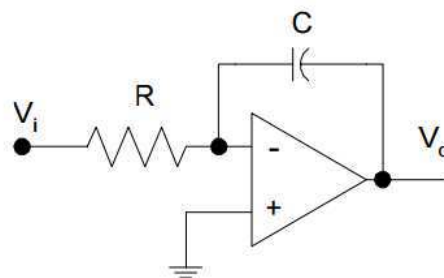
CONVERSOR A/D EM DUPLA RAMPA:

O conversor de analógico para digital de dupla rampa faz uso do circuito integrador que, com algumas limitações práticas, implementa a seguinte equação:

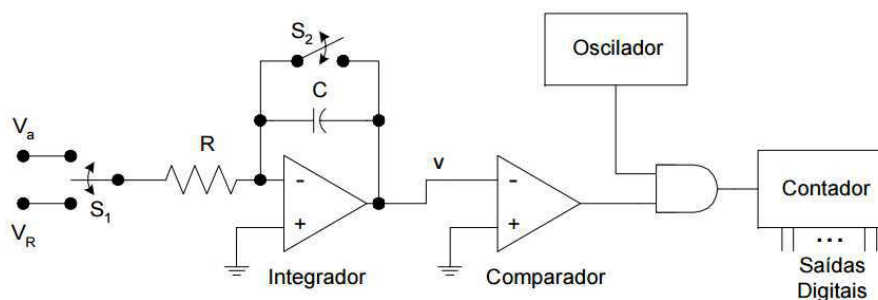
$$V_0 = -\frac{1}{RC} \int_{t_i}^{t_f} V_i \cdot dt, \text{ onde } t_i \text{ representa o instante inicial da integração e}$$

t_f representa o instante final da integração.

Com base neste circuito pode-se construir o ADC de dupla rampa.

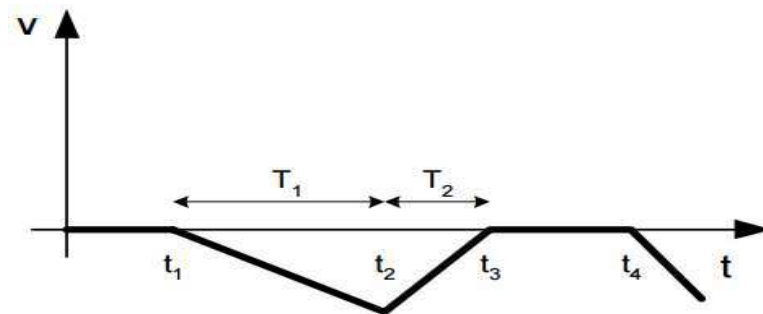


Considere-se o contador em estado de reset, o interruptor S1 em aberto, S2 fechado, o sinal V_a positivo e o sinal V_R negativo, mas com $|V_R| > V_a$. Se no instante $t=t_1$ o interruptor S1 passar a ligar o sinal V_a ao integrador e S2 abre, em resultado V_a será integrado. Admitindo que esta integração ocorra durante uma fração de tempo T_1 , este tempo poderá ser expresso em função do período do sinal do oscilador T como sendo $T_1 = nT$.



A saída do integrador nesta fase tem o sinal negativo pelo que a porta E deixará passar o sinal do oscilador para o contador. Se o tempo T_1 for escolhido de forma a que $nT_1 = 2^n$, sendo n o número de flip-flops do contador, então o contador que partiu de uma situação de reset estará agora novamente a zero. O interruptor S1 comuta para ligar o sinal V_R no instante de tempo t_2 , correspondente a $t_1 + T_1$. Como V_R é negativo o sinal v começa agora a subir e como o módulo é superior a V_a então o tempo necessário para o sinal regressar a zero e fazer o comparador comutar e desligar o contador é inferior a T_1 .

Para funcionar corretamente o sistema necessita de lógica de controle para fazer o reset do contador entre t_3 e t_4 e para controlar os interruptores S1 e S2.



Resta agora verificar que o valor de contagem guardado no contador no instante t_3 é proporcional ao sinal de entrada V_a , para que um circuito deste tipo possa ser usado para conversor. O valor do sinal v no instante t_3 é dado pela equação:

$$v = -\frac{1}{RC} \int_{t_1}^{t_2} V_a \cdot dt - \frac{1}{RC} \int_{t_2}^{t_3} V_R \cdot dt = 0$$

Como V_R e V_a são constantes pode escrever-se:

$$V_a(t_2 - t_1) + V_R(t_3 - t_2) = 0 \quad \therefore V_a = V_R \frac{t_2}{t_1}$$

Se o número de períodos de T_2 for n_2 , então pode escrever-se:

$$V_a = V_R \frac{n_2}{n_1} = V_R \frac{n_2}{2^n}$$

Como n_2 é uma fracção de 2^n temos V_a expresso com o valor digital n_2 em função de V_R .

A designação de conversor de dupla rampa resulta do fato da forma de onda do sinal v apresentar duas retas com declives diferentes, correspondentes aos dois períodos de integração.

Vantagens/desvantagens:

- (V) Necessita de pouco hardware.
- (V) Tem boa linearidade e precisão.
- (V) Não depende dos valores da resistência e condensador.
- (V) Tem boa imunidade ao ruído.
- (D) Este tipo de conversor é ser demasiado lento.

CONVERSOR A/D EM TOPOLOGIA PARALELA:

Este conversor está baseado numa topologia de conversão paralela por comparação do sinal de entrada V_i com um sinal de referência V_r . O sinal de referência está disponível à entrada dos comparadores através de um conjunto de divisores de tensão permitindo comparar a entrada com uma parte da referência. A informação resultante de cada um dos comparadores é depois codificada permitindo obter a saída num conjunto de n bits.

