

CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA



Universidade Federal
de Campina Grande

FRANCISCO FLÁVIO DAS CHAGAS



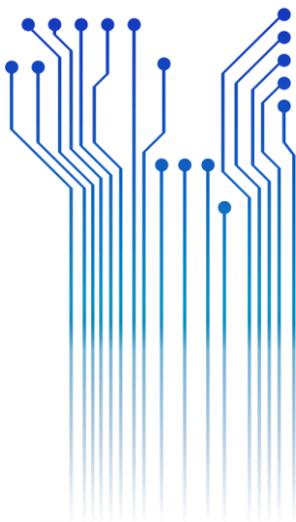
Centro de Engenharia
Elétrica e Informática

TRABALHO DE CONCLUSÃO DE CURSO

DESENVOLVIMENTO DE UM FASÍMETRO
UTILIZANDO
MICROCONTROLADOR



Departamento de
Engenharia Elétrica



Campina Grande
2018

FRANCISCO FLÁVIO DAS CHAGAS

DESENVOLVIMENTO DE UM FASÍMETRO UTILIZANDO MICROCONTROLADOR

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande como
parte dos requisitos necessários para a obtenção
do grau de Bacharel em Ciências no Domínio da
Engenharia Elétrica.*

Área de Concentração: Eletrônica

Orientador:

Professor Dr. Edmar Candeia Gurjão

Campina Grande
2018

FRANCISCO FLÁVIO DAS CHAGAS

DESENVOLVIMENTO DE UM FASÍMETRO UTILIZANDO MICROCONTROLADORES

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande como
parte dos requisitos necessários para a obtenção
do grau de Bacharel em Ciências no Domínio da
Engenharia Elétrica.*

Área de Concentração: Eletrônica

Aprovado em / /

Professor Dr. Jalberth Fernandes de Araújo
Universidade Federal de Campina Grande
Avaliador, UFCG

Professor Dr. Edmar Candeia Gurjão
Universidade Federal de Campina Grande
Orientador, UFCG

AGRADECIMENTOS

Aos meus pais Avelino José das Chagas e Maria do Céu Chagas, que tanto batalharam para que eu chegasse até aqui, dedicados ao meu crescimento como pessoa. Sem eles nada disso seria possível.

A minha irmã, Josefa Maria das Chagas e meu irmão José Wellington das Chagas que estiveram constantemente presentes durante toda a jornada do curso.

Aos meus amigos e colegas de universidade Olavo Barreto, Jordane e Gonçalves dos Santos e Cristian Reinaldo pela parceria e todo o apoio ao longo dessa jornada.

Em especial, ao professor Edmar Candeia Gurjão, pela oportunidade de realizar este trabalho sob sua orientação e, por seu auxílio e ensinamentos durante não somente o desenvolvimento deste trabalho, mas também ao longo do curso de graduação.

Ao meu supervisor Válber de Aragão Bezerra, pela paciência e por todos os ensinamentos a mim transferidos.

A Adail e Tchai, pela dedicação com que executam suas funções, pela preocupação verdadeira com o sucesso de todos os estudantes e sobretudo pelo aspecto humano com que tratam as pessoas.

À Universidade Federal de Campina Grande, em geral, por ter me proporcionado a oportunidade de adquirir uma grande carga de novos conhecimentos e ensinamentos.

A todos vocês meu muito obrigado!

*“A tarefa não é tanto ver aquilo que ninguém viu, mas
pensar o que ninguém ainda pensou sobre
aquilo que todo mundo vê.”
(Arthur Schopenhauer)*

RESUMO

Este trabalho descreve as etapas do processo de desenvolvimento de um equipamento com capacidade de identificar a sequência de fases em um sistema elétrico trifásico, assim como designar em que fases uma determinada carga está conectada. Foram realizados estudos sobre o tema, e fazendo uso dos conhecimentos adquiridos foi possível desenvolver algoritmos que foram implementados em um microcontrolador da família AVR, o ATmega 328. Estes algoritmos foram baseados no comportamento periódico da rede. O equipamento demonstrou resultados satisfatórios no que diz respeito à estabilidade, sincronismo com a rede elétrica e identificação das fases, e para verificar esses resultados o aparelho desenvolvido foi submetido a testes no Laboratório de Metrologia (LabMet). Esses testes foram realizados nas condições de frequência e tensões constantes em 60Hz e 220V, respectivamente. Quando comparados aos demais existentes no mercado o protótipo demonstrou desempenho relativamente superior, pois além de não necessitar de acesso as três fases simultaneamente, ele se manteve calibrado por um tempo maior que equipamentos similares.

Palavras-chave: Fasímetro, microcontrolador, Atmega328, sistemas trifásicos, identificação de fases, sequência de fases.

ABSTRACT

This work describes the development process of an equipment to identify the sequence of phases in a three phase electrical power system, as well as to designate in which phases a given load is connected. Developed algorithms were implemented in a ATmega 328 AVR microcontroller, and they are based on the periodic behavior of the voltages. The equipment showed satisfactory results regarding stability, synchronization with the electrical network and phases identification. To verify these results the developed equipment was tested in the Lab of Metrology (LabMet). These tests were performed on frequency and constant voltage conditions at 60Hz and 220V, respectively. When compared to the other similar equipment in the market, the prototype showed a relatively superior performance, since besides not needing access to the three phases simultaneously, it remained calibrated for a longer time than the other existing equipment.

Keywords: Phasimeter, Microcontroller, Atmega328P, three-phase systems, phase identification, phase sequence.

LISTA DE ILUSTRAÇÕES

Figura 1 - Esquema das ligações internas de um fasímetro monofásico.	15
Figura 2 - Esquema das ligações internas de um fasímetro trifásico.	16
Figura 3 - Gerador conectado a uma carga equilibrada em Y.	17
Figura 4 - Diagrama fasorial das tensões do gerador (sequência positiva).....	17
Figura 5- Tensões do Gerador (sequência Positiva).	17
Figura 6 - Diagrama esquemático de um microcontrolador típico.	19
Figura 7 - Diagrama esquemático da estrutura de um microcontrolador ATmega 328P.....	23
Figura 8 - Pinagem do Atmega 328, encapsulamento PDIP.....	26
Figura 9 - Diagrama em blocos da CPU do AVR, incluindo os periféricos.	27
Figura 10 - Geradores de função interligados no mesmo referencial.	29
Figura 11 - Geradores de Sinais, emulando um sistema trifásico equilibrado.....	30
Figura 12 - Sinal referente a fase A, com 5 Vpp e 0°de defasagem.....	31
Figura 13 - Sinal referente a fase B, com 5 Vpp e 120° de defasagem.....	31
Figura 14 - Sinal referente a fase C, com 5 Vpp e -120° de defasagem.....	32
Figura 15 - Circuito projetado no Simulador ISIS Proteus.....	33
Figura 16 - Sinais gerados pelas fontes defasados em 120° entre si, antes do condicionamento.....	33
Figura 17 - Sinais condicionados após passar pelo circuito projetado.	34
Figura 18 - Fluxograma da função principal (<i>Main</i>).	36
Figura 19 - Rotina da interrupção por captura.	37
Figura 20 - Montagem do circuito condicionador.	38
Figura 21 - Sinal da rede elétrica não condicionado.....	39
Figura 22 - Sinal da rede elétrica condicionado.	39
Figura 23 - Simulação do circuito do Fasímetro.	40
Figura 24 - Circuito do Fasímetro.	40
Figura 25 -Sinal gerado internamente, sincronizado com a rede elétrica.	41
Figura 26 - Leitura atual coincidindo com a primeira fase sincronizada (LED verde).....	42
Figura 27 - Leitura atual coincidindo com a segunda fase sincronizada (LED vermelho).....	42
Figura 28 - Leitura atual coincidindo com a terceira fase sincronizada (LED azul).	42

LISTA DE TABELAS

Tabela 1 – Descrição geral dos pinos do ATmega 328P.....	24
--	----

LISTA DE ABREVIATURAS E SIGLAS

RAM	Memória de acesso aleatório
ULA	Unidade Lógica Aritmética
CPU	Central Processing Unit
SRAM	Memória estática de acesso aleatório
EEPROM	Electrically-Erasable Programmable Read-Only
ADC	Conversor analógico-digital
USB	Universal Serial Bus (Porta Universal)
USART	Transmissão e Recepção Assíncrona Universal
DAC	Digital-to-Analog Converter
SPI	Serial Peripheral Interface
JTAG	Joint Test Access Group
LCD	Liquid Crystal Display
RISC	Reduced Instructions Set Computers
CISC	Complex Instructions Set Computers
TQFP	Thin Profile Plastic Quad Flat Package
PDIP	Plastic Dual Inline Package
PC	Program Counter
IDE	Integrated development platform
TC1	Timer/Counter 1
GPS	Global Positioning System
AC	Corrente alternada (do inglês “alternated current”)
DC	Corrente contínua (do inglês “direct current”)

SUMÁRIO

1	Introdução.....	13
1.1	Objetivo	13
1.2	Estrutura do Trabalho	14
2	Fundamentação Teórica.....	14
2.1	Fasímetros.....	14
2.2	Sistemas trifásicos Equilibrados	16
2.3	Microcontroladores	18
2.4	Família AVR.....	20
2.4.1	ATmega 328	21
2.4.2	Descrição dos Pinos.....	24
2.5	Ambiente de Desenvolvimento.....	28
3	Desenvolvimento do Fasímetro	28
3.1	Circuito Condicionador.....	32
3.2	Desenvolvimento do Algoritmo.....	34
3.2.1	Calibração do Equipamento.....	35
3.2.2	Identificação das Fases	35
3.2.3	Funcionamento do Código.....	35
3.3	Montagem e testes do Circuito.....	38
3.3.1	Componentes utilizados.....	43
3.3.2	Equipamentos utilizados para realização dos testes.....	43
4	Conclusão	44
4.1	Sugestões para Trabalhos Futuros.....	44
	Referências	45

1 INTRODUÇÃO

É comum na rotina de trabalho que os engenheiros eletricitas se deparem com situações que necessitam da identificação da fase (A, B ou C de um sistema trifásico) que está sendo manuseada, ou das sequências dessas fases. Desta forma, torna-se necessária a utilização de um equipamento com habilidade de realizar essas tarefas de forma eficiente.

Sendo assim, foram realizados estudos para compreensão de equipamentos com essas funcionalidades, ou seja, com a capacidade de identificar a sequência de fases de um sistema elétrico trifásico ou a fase em que um determinado sistema está ligado.

Equipamentos com essa característica, normalmente são denominados de fasímetros que, de um modo geral, possuem a capacidade de identificar a defasagem entre as fases e consequentemente a sequência de fases dos sistemas elétricos.

Os fasímetros existentes no mercado podem determinar as sequências de fase, identificar faltas e alguns até o sentido de rotação de motores. Todavia, para desempenhar suas funções, os equipamentos existentes atualmente necessitam ter acesso às três fases simultaneamente para identificá-las, o que muitas vezes pode ser um problema, pois nem sempre o acesso às três fases é possível.

O fasímetro aqui proposto não tem a limitação do acesso as três fases simultaneamente, já que, fazendo uso de microcontrolador foi possível desenvolver um equipamento que possibilitou fazer as leituras de forma individual e salvar as informações internamente de forma síncrona com a rede elétrica.

1.1 OBJETIVO

Desenvolver um equipamento que realize a identificação da sequência de fases de um sistema trifásico e a fase que uma determinada carga está conectada, apresentando como principal diferencial, em relação aos existentes no mercado, a eliminação da necessidade de acesso simultâneo às três fases do sistema elétrico para fazer suas medições.

1.2 ESTRUTURA DO TRABALHO

Este trabalho está organizado em quatro capítulos, além deste capítulo introdutório, da seguinte forma:

No Capítulo 2 é apresentada a fundamentação teórica do funcionamento dos fasímetros atuais, seguido de estudos teóricos dos sistemas trifásicos equilibrados, microcontroladores com ênfase para família AVR, em especial o ATmega 328, onde são expostos os pinos, o ambiente de desenvolvimento (IDE) e seus periféricos.

Em seguida, é detalhado no Capítulo 3, o desenvolvimento do fasímetro, desde a simulação do circuito condicionador de sinal ao desenvolvimento dos algoritmos, a montagem e teste do circuito e os componentes e equipamentos utilizados.

No capítulo 4 é apresentada a conclusão do trabalho e as propostas para futuras melhorias para esse projeto.

2 FUNDAMENTAÇÃO TEÓRICA

A seguir serão apresentados os conceitos fundamentais relacionados ao processo de desenvolvimento do fasímetro, incluindo as noções básicas sobre os existentes no mercado, sistemas trifásicos equilibrados, arquitetura dos microcontroladores, com ênfase para os microcontroladores da família AVR, em especial o ATMEGA 328 e seus periféricos. Após o detalhamento de todas as noções necessárias para entendimento do projeto, será apresentado o método que foi empregado para desenvolver esse equipamento.

2.1 FASÍMETROS

Os fasímetros são aparelhos úteis na vida de todos os profissionais atuantes na área de instrumentação de medidas elétricas, pois possibilitam a verificação de parâmetros como: faltas nas fases, sequência de fases, sentido de rotação de motores e fator de potência.

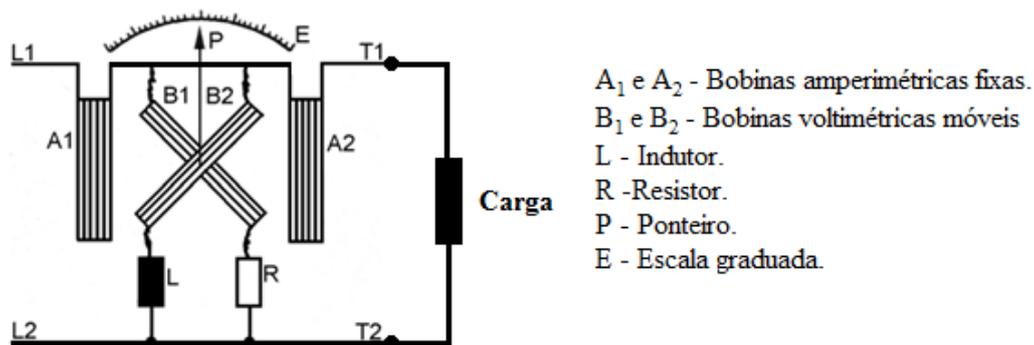
Geralmente os fasímetros monofásicos com capacidade de medir fator de potência se baseiam no princípio eletrodinâmico entre bobinas fixas e bobinas cruzadas que possuem eixos geométricos com ângulo de 90°, que podem girar livremente ao redor de seu eixo transversal,

possuindo um ponteiro como indicador. Nos instrumentos eletrodinâmicos, a bobina fixa é comumente a bobina de corrente, que está conectada em série com a carga. Já as bobinas móveis (voltimétricas) estão conectadas uma em série com um resistor R e a outra em série com um indutor L (adaptado de PINTO, 2008).

A corrente chega ao arranjo de bobinas móveis por meio de três espirais, que inicialmente não exercem nenhum torque sobre o sistema, de tal forma que quando não circula corrente, o ponteiro fique detido em qualquer ponto da escala. A corrente que circula pela bobina móvel B_1 , que se encontra na Figura 1, está em fase com a tensão de linha. Já a corrente que circula pela bobina móvel B_2 é defasada de 90° em relação à tensão devido a conexão com a indutância L. Quando a corrente de linha circulante nas bobinas fixas estiver em fase com a tensão, as correntes de B_1 e da bobina fixa encontram-se em fase e o par motor que surge entre elas tende a alinhar os eixos, indicando com o ponteiro um fator de potência igual a 1 (Adaptado de PINTO, 2008).

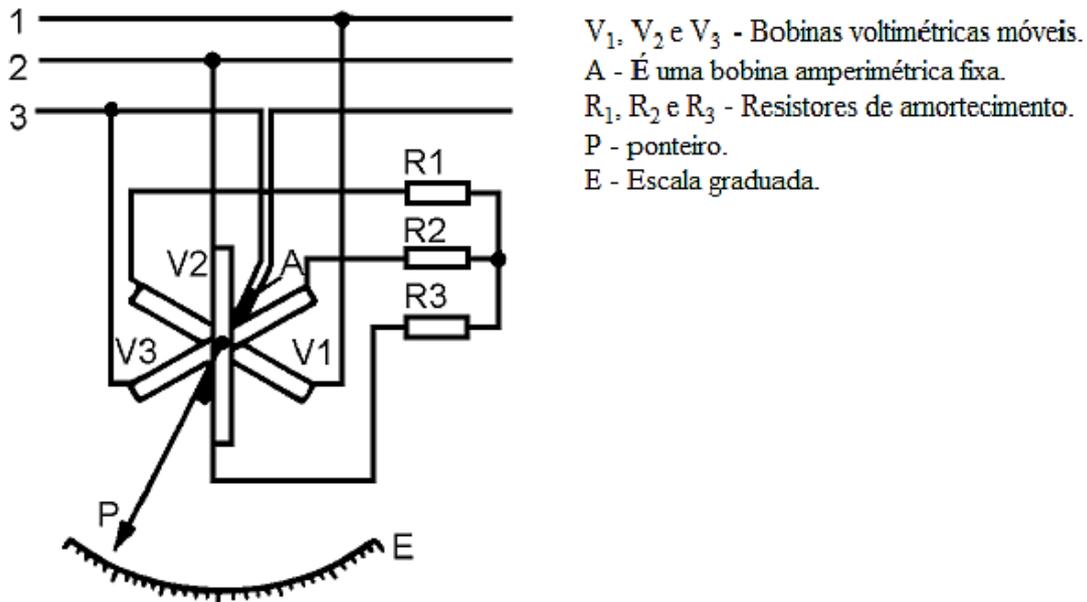
Os fasímetros são construídos seguindo um padrão: o lado direito indica atraso (cargas indutivas) e o esquerdo indica adiantado (cargas capacitivas). Os esquemas básicos de um fasímetro monofásico e um trifásico podem ser visualizados na Figura 1 e na Figura 2, respectivamente.

Figura 1 - Esquema das ligações internas de um fasímetro monofásico.



Fonte: SENAI-SP, 2005.

Figura 2 - Esquema das ligações internas de um fasímetro trifásico.



Fonte: SENAI-SP, 2005.

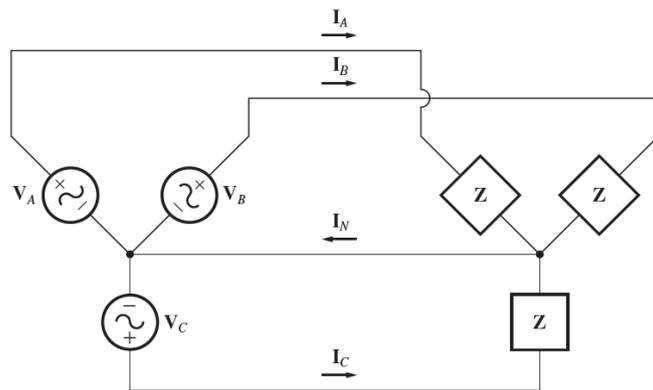
2.2 SISTEMAS TRIFÁSICOS EQUILIBRADOS

A maior parte da geração e transmissão de energia elétrica no mundo ocorre na forma de sistemas de potência trifásicos (Corrente alternada - CA), que consistem em geradores trifásicos, linhas de transmissão e cargas. Tais sistemas são mais vantajosos do que os sistemas de corrente contínua (CC) já que a partir de transformadores é possível modificar os níveis de tensão, sendo possível a redução das perdas na transmissão (CHAPMAN, 2013). Além disso, os sistemas trifásicos entregam a mesma potência que um sistema monofásico equivalente utilizando menor quantidade de cobre ou alumínio (SETTE, 2006).

Geralmente, nos sistemas de potência trifásicos, os geradores alimentam cargas trifásicas equilibradas (mesma impedância nas três fases), tendo em vista que os sistemas de distribuição de energia elétrica são projetados de forma que todas as fases sejam essencialmente equilibradas. Estas cargas podem ser ligadas em estrela ou delta (STEVENSON, 1986).

Na Figura 3, é apresentado o diagrama de um gerador ligado em estrela conectado a uma carga equilibrada também ligada em estrela. Os neutros do gerador e da carga são comuns.

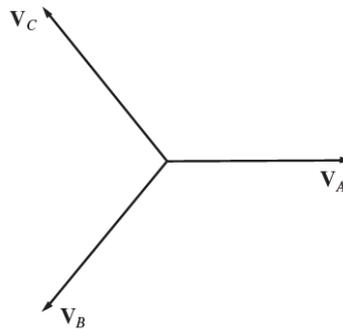
Figura 3 - Gerador conectado a uma carga equilibrada em Y.



Fonte: CHAPMAN, 2013.

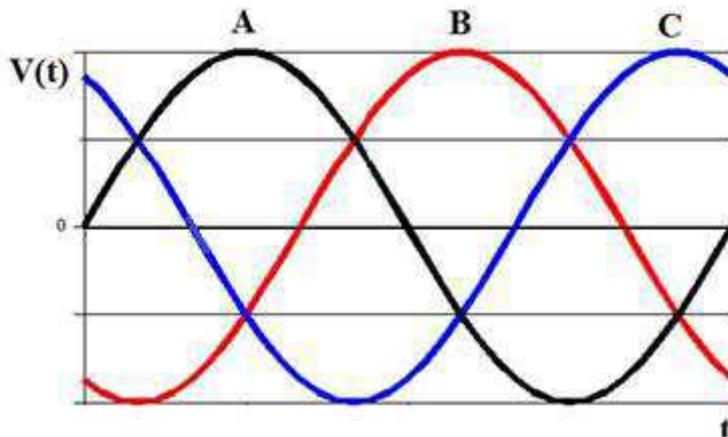
Sabe-se que um gerador trifásico é construído de forma que as tensões em cada fase são iguais em módulo e defasadas de 120° , como apresentado no diagrama fasorial da Figura 4 e no gráfico da Figura 5.

Figura 4- Diagrama fasorial das tensões do gerador (sequência positiva).



Fonte: CHAPMAN, 2013.

Figura 5- Tensões do Gerador (sequência Positiva).



Fonte: Própria do autor.

Como apresentado no diagrama fasorial da Figura 4, a tensão na fase A é tomada como referência. Logo, as tensões nas três fases são dadas por:

$$\mathbf{V}_A = V \angle 0^\circ \quad (1)$$

$$\mathbf{V}_B = V \angle -120^\circ \quad (2)$$

$$\mathbf{V}_C = V \angle +120^\circ \quad (3)$$

A impedância em cada fase é dada por:

$$\mathbf{Z} = Z \angle \theta^\circ \quad (4)$$

Utilizando a Lei de Kirchhoff das tensões, percorrendo cada malha encontra-se as seguintes correntes em cada fase:

$$\mathbf{I}_A = \frac{\mathbf{V}_A}{\mathbf{Z}} = \frac{V \angle 0^\circ}{Z \angle \theta^\circ} = I \angle -\theta^\circ \quad (5)$$

$$\mathbf{I}_B = \frac{\mathbf{V}_B}{\mathbf{Z}} = \frac{V \angle -120^\circ}{Z \angle \theta^\circ} = I \angle -120^\circ - \theta^\circ \quad (6)$$

$$\mathbf{I}_C = \frac{\mathbf{V}_C}{\mathbf{Z}} = \frac{V \angle +120^\circ}{Z \angle \theta^\circ} = I \angle +120^\circ - \theta^\circ, \quad (7)$$

em que $I = \frac{V}{Z}$.

Aplicando a Lei de Kirchhoff das correntes no nó do neutro, é possível encontrar a corrente do neutro:

$$\mathbf{I}_N = \mathbf{I}_A + \mathbf{I}_B + \mathbf{I}_C \quad (8)$$

$$\mathbf{I}_N = I \angle -\theta^\circ + I \angle -120^\circ - \theta^\circ + I \angle +120^\circ - \theta^\circ = 0 \text{ A} \quad (9)$$

Portanto, em um sistema trifásico equilibrado, a corrente do neutro é igual a zero e as correntes em cada fase são iguais em módulo e defasadas de 120° , assim como as tensões do gerador.

2.3 MICROCONTROLADORES

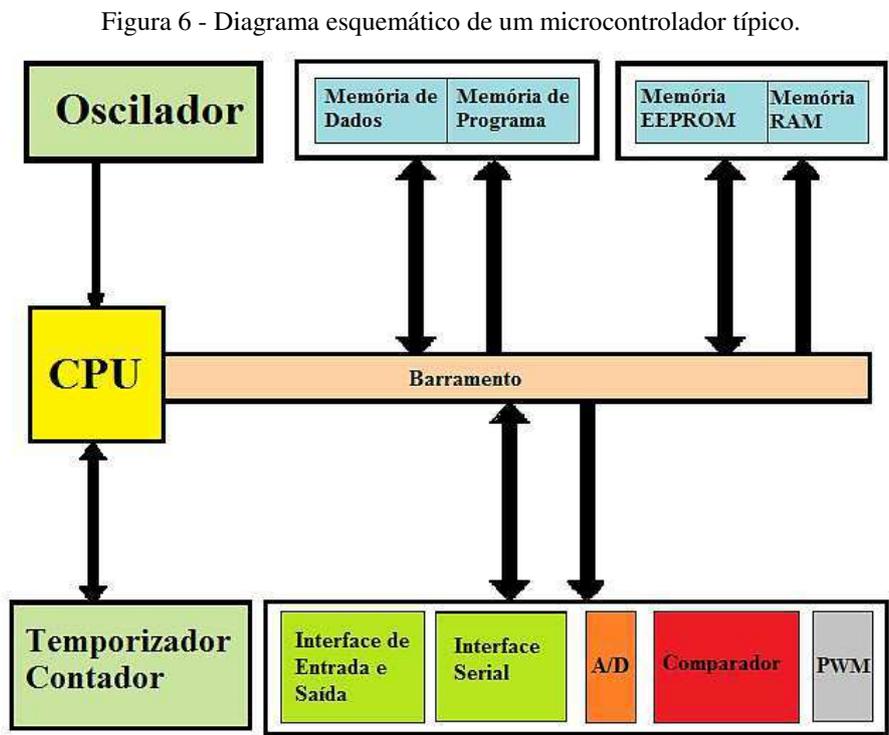
Os microcontroladores são sistemas microprocessados com várias funcionalidades disponíveis em um único *chip*. Basicamente, um microcontrolador consiste de um microprocessador com memórias de programa, de dados e RAM, temporizadores e circuitos de *clock* embutidos. Os microprocessadores ou CPU (*Central Processing Unit*), por sua vez, são circuitos integrados responsáveis por processar dados e executar instruções que, em síntese,

consistem de caminho de dados (ULA + Registradores + Multiplexadores) responsáveis por executar ou processar as instruções e Unidade de controle, responsável por gerenciar o tráfego de informação nos barramentos (LIMA e VILLAÇA, 2012).

O único componente externo que pode ser necessário é um cristal para determinar a frequência de trabalho. A grande vantagem de se colocar várias funcionalidades em um único circuito integrado é a possibilidade de desenvolvimento rápido de sistemas eletrônicos com o emprego de um pequeno número de componentes.

Dentre as funcionalidades encontradas nos microcontroladores, pode-se citar: gerador interno independente de *clock*, o que torna desnecessário o uso do cristal ou componentes externos; memória SRAM, EEPROM e flash; conversores analógico-digital (ADCs), conversores digital-analógico(DACs); vários temporizadores/contadores; comparadores analógicos; saídas PWM; diferentes tipos de interface de comunicação, incluindo USB, USART, I2C, CAN, SPI, JTAG, *Ethernet*; relógio de tempo real; circuitos para gerenciamento de energia no *chip*; circuitos para o controle de inicialização (*reset*); alguns tipos de sensores; interface para LCD e outros periféricos de acordo com o fabricante (LIMA e VILLAÇA, 2012).

A Figura 6 apresenta o diagrama esquemático de um microcontrolador típico.



Fonte: Adaptado de LIMA e VILLAÇA, 2012.

2.4 FAMÍLIA AVR

Os microcontroladores da família AVR surgiram em 1992, na Norwegian (Noruega), onde dois estudantes de doutorado defenderam uma tese sobre um microcontrolador de 8 bits com memória de programa *flash* e arquitetura RISC avançada. Desde então, seu aperfeiçoamento é crescente, juntamente com a sua popularidade (Adaptado de LIMA e VILLAÇA, 2012).

O AVR utiliza um processamento e um núcleo compacto (poucos milhares de portas lógicas) de boa eficiência. O desempenho do seu núcleo de 8 bits é superior ao da maioria das outras tecnologias de 8 bits disponíveis atualmente no mercado. Com uma arquitetura RISC avançada, o AVR apresenta mais de uma centena de instruções e uma estrutura voltada à programação C, permitindo a produção de códigos compactos (menor número de *bytes* por funcionalidade). Também, apresenta inúmeros periféricos que o tornam adequado para uma infinidade de aplicações. (Adaptado de LIMA e VILLAÇA, 2012).

Como citado anteriormente, os microcontroladores AVR utilizam uma arquitetura RISC avançada nos seus microprocessadores, de modo a fazer referência ao conjunto de instruções, pois os microprocessadores são classificados em duas arquiteturas: Computadores com Conjunto Complexo de Instruções (CISC – *Complex Instructions Set Computers*) e Computadores com Conjunto Reduzido de Instruções (RISC – *Reduced Instructions Set Computers*). A arquitetura RISC utiliza um conjunto de instruções simples, pequenas e geralmente com extensão fixa. Semelhante a RISC, a arquitetura CISC utiliza um conjunto simples de instruções, porém utiliza também instruções mais longas e complexas, semelhantes às de alto nível, na elaboração de um programa. As instruções CISC são geralmente variáveis em extensão. Assim, a arquitetura RISC necessita de mais linhas de código para executar a mesma tarefa que uma arquitetura CISC, a qual possui muito mais instruções. Assim, podemos dizer que os microprocessadores CISC têm por objetivo executar a tarefa com o menor número de códigos possíveis (*assembly*). Dizemos que o microprocessador RISC emprega o conceito de carga e armazenamento (*Load and Store*) através da utilização de registradores de uso geral. Os dados a serem manipulados necessitam primeiro ser carregados nos registradores apropriados e, posteriormente, o resultado é armazenado na posição de memória desejada. Para o microprocessador CISC, o dado pode ser armazenado sem a necessidade do uso explícito de registradores (Adaptado de LIMA e VILLAÇA, 2012).

Todavia apesar dos microprocessadores RISC empregarem mais códigos para executar a mesma tarefa que os CISCs, eles são mais rápidos, pois geralmente executam uma instrução por ciclo de *clock*, ao contrário dos CISCs, que levam vários ciclos de *clock*. Entretanto, o código em um microprocessador RISC será maior.

Os processadores RISC empregam mais transistores nos registradores de memória, enquanto que os CISC fazem uso de um grande número deles no seu conjunto de instruções.

Deve-se ressaltar que o emprego de registradores nas operações de um processador RISC é uma vantagem, pois os dados podem ser utilizados posteriormente sem a necessidade de recarga, reduzindo o trabalho da CPU.

Pode-se destacar algumas características importantes dos microcontroladores da família AVR (LIMA e VILLAÇA, 2012):

- Executam a maioria das instruções em 1 ou 2 ciclos de *clock* e operam com tensões entre 1,8 V e 5,5 V, com velocidades de até 20 MHz. Estão disponíveis em diversos encapsulamentos;
- Alta integração e grande número de periféricos com efetiva compatibilidade entre toda a família AVR;
- Possuem modos para redução do consumo de energia, inclusive para sistemas críticos;
- Possuem 32 registradores de propósito geral e instruções de 16 bits;
- Programados e com *debug in-system* via interface simples, ou com interfaces JTAG compatível com 6 ou 10 pinos;
- Um conjunto completo e gratuito de *softwares*;
- Grande popularidade no mercado e de preço acessível.

2.4.1 ATMEGA 328

Pelo fato do microcontrolador ATmega 328 ter sido o modelo de microcontrolador escolhido para o projeto, agora serão abordadas as suas funcionalidades e a descrito seu *hardware*: memórias, pinos, sistema de *clock* e sistema de *reset*.

O ATmega 328 foi escolhido pelo fato de apresentar algumas características atrativas ao projeto tais como: compacto, uma memória *flash* maior quando comparado aos demais microcontroladores da família AVR com o mesmo número de pinos e grande disponibilidade no mercado. Esse microcontrolador utiliza uma arquitetura RISC avançada.

(Adaptado de LIMA e VILLAÇA, 2012)

As principais características do ATmega 328 são:

- 131 instruções, a maior parte executada em 1 ou 2 ciclos de *clock* (poucas em 3 ou 4 ciclos);
- Operação de até 20 MIPS a 20 MHz;
- 32 registradores de trabalho de propósito geral (8 bits cada). Alguns trabalham em par para endereçamentos de 16 bits;
- 32 kbytes de memória de programa *flash*;
- 1 kbytes de memória EEPROM;
- 2 kbytes de memória SRAM;
- Bits de bloqueio para proteção contra a cópia do *firmware*.

O ATmega 328 possui os seguintes periféricos:

- 23 entradas e saídas (I/Os) programáveis;
- 2 Temporizadores/Contadores de 8 bits com *Prescaler* separado, com modo de comparação;
- 1 Temporizador/Contador de 16 bits com *Prescaler* separado, com modo de comparação e captura;
- Contador de tempo real (com um cristal externo de 32,768 kHz conta precisamente 1 s);
- 6 canais PWM;
- 8 canais AD com resolução de 10 bits na versão TQFP (*Thin Profile Plastic Quad Flat Package*) e 6 canais na versão PDIP (*Plastic Dual Inline Package*);
- Interface serial USART;
- Interface serial SPI *Master/Slave*;
- *Watchdog Timer* com oscilador interno separado;
- 1 comparador analógico.

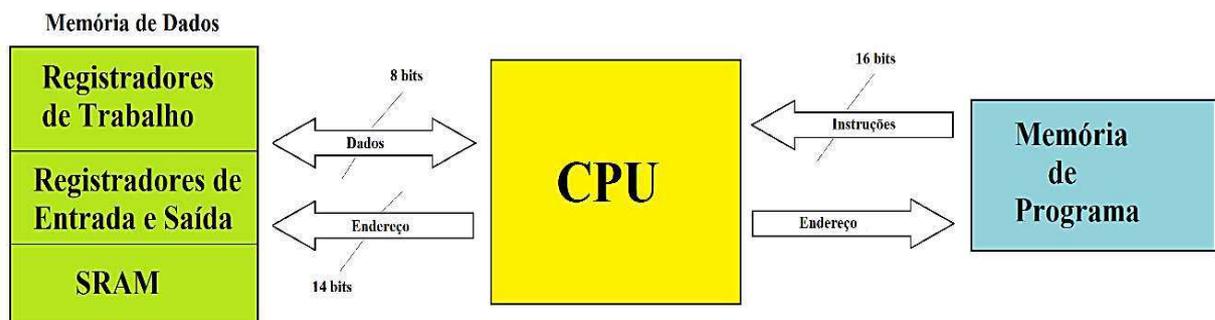
Além das características já citadas, o ATmega 328 conta com as seguintes características especiais:

- *Power-on Reset*;
- Oscilador interno RC (não há a necessidade do uso de cristal externo ou de outra fonte de *clock*);
- Saída de *clock* em um pino de I/O (PB0);

- Fontes de interrupções internas e externas (em todos os pinos de I/O);
- *Pull-up* habilitáveis em todos os pinos de I/O;
- Medição de temperatura do encapsulamento;
- 6 modos de *Sleep*: Idle, Redução de ruído do ADC, *Power-down*, *Powersave*, *Standby* e *Extended Standby*;
- Tensão de operação: 1,8 - 5,5 V;
- Consumo de corrente a 1 MHz (1,8 V, 25 °C): modo ativo = 0,2 mA e modo *Power-down* = 0,1 μ A.

Na Figura 7 é apresentado o diagrama esquemático da estrutura interna de um ATmega 328P, no qual se observa o barramento de dados de 8 bits, caracterizando o número de bits do microcontrolador. As instruções são de 16 ou 32 bits, de modo que cada instrução consome 2 ou 4 *bytes* na memória de programa. O contador de programa (*Program Counter* - PC) é responsável pelo acesso às posições de memória que são realizadas de dois em dois *bytes*, começando da posição par. Sendo assim, o barramento de endereços sempre irá endereçar posições de pares da memória de programa. Logo, o bit menos significativo do barramento de endereços pode ser desprezado. (LIMA e VILLAÇA, 2012)

Figura 7 - Diagrama esquemático da estrutura de um microcontrolador ATmega 328P.



Fonte: Adaptado de LIMA e VILLAÇA (2012).

Destaca-se no diagrama esquemático da Figura 7, os barramentos internos de dados de 8 bits e o de instruções de 16 bits, o que viabiliza a busca de dados e instruções a serem executadas simultaneamente. Esses barramentos caracterizam os microprocessadores com arquitetura *Harvard*. Desta forma, quando se diz que o ATmega 328 apresenta uma arquitetura

RISC avançada, está fazendo referência a arquitetura *Harvard/RISC* utilizada nesses microcontroladores.

2.4.2 DESCRIÇÃO DOS PINOS

Nesse tópico apresentar-se-á uma breve explanação dos pinos do ATmega 328. Será observado que os mesmos acumulam várias funções que podem ser selecionadas pelo programador e que as nomenclaturas utilizadas nos pinos resumem as funcionalidades.

Na Tabela 1 é possível ver como os pinos do ATmega 328 são organizados.

Tabela 1 – Descrição geral dos pinos do ATmega 328P.

PINOS DE ALIMENTAÇÃO	
VCC	Tensão de alimentação.
AVCC	Pino para a tensão de alimentação do conversor AD. Deve ser externamente
AREF	Pino para a tensão de referência analógica do conversor AD.
GND	Terra.
PORTB	
PB0	ICP1 – Entrada de captura para o Temporizador/Contador 1. CLKO – Saída de <i>clock</i> do sistema. PCINT0 – Interrupção 0 por mudança no pino.
PB1	OC1A – Saída da igualdade de comparação A do Temporizador/Contador 1 (PWM). PCINT1 – Interrupção 1 por mudança no pino.
PB2	SS – Pino de seleção de escravo da SPI (<i>Serial Peripheral Interface</i>). OC1B – Saída da igualdade de comparação B do Temporizador/Contador 1 (PWM). PCINT2 – Interrupção 2 por mudança no pino.
PB3	MOSI – Pino mestre de saída e escravo de entrada da SPI. OC2A – Saída da igualdade de comparação A do Temporizador/Contador 2 (PWM). PCINT3 – Interrupção 3 por mudança no pino.
PB4	MISO – Pino mestre de entrada e escravo de saída da SPI. PCINT4 – Interrupção 4 por mudança no pino.
PB5	SCK – Pino de <i>clock</i> da SPI. PCINT5 – Interrupção 5 por mudança no pino.
PB6	XTAL1 – Entrada 1 do oscilador ou entrada de <i>clock</i> externa. TOSC1 – Entrada 1 para o oscilador do temporizador (RTC). PCINT6 – Interrupção 6 por mudança no pino.
PB7	XTAL2 – Entrada 2 do oscilador. TOSC2 – Entrada 2 para o oscilador do temporizador (RTC). PCINT7 – Interrupção 7 por mudança no pino.

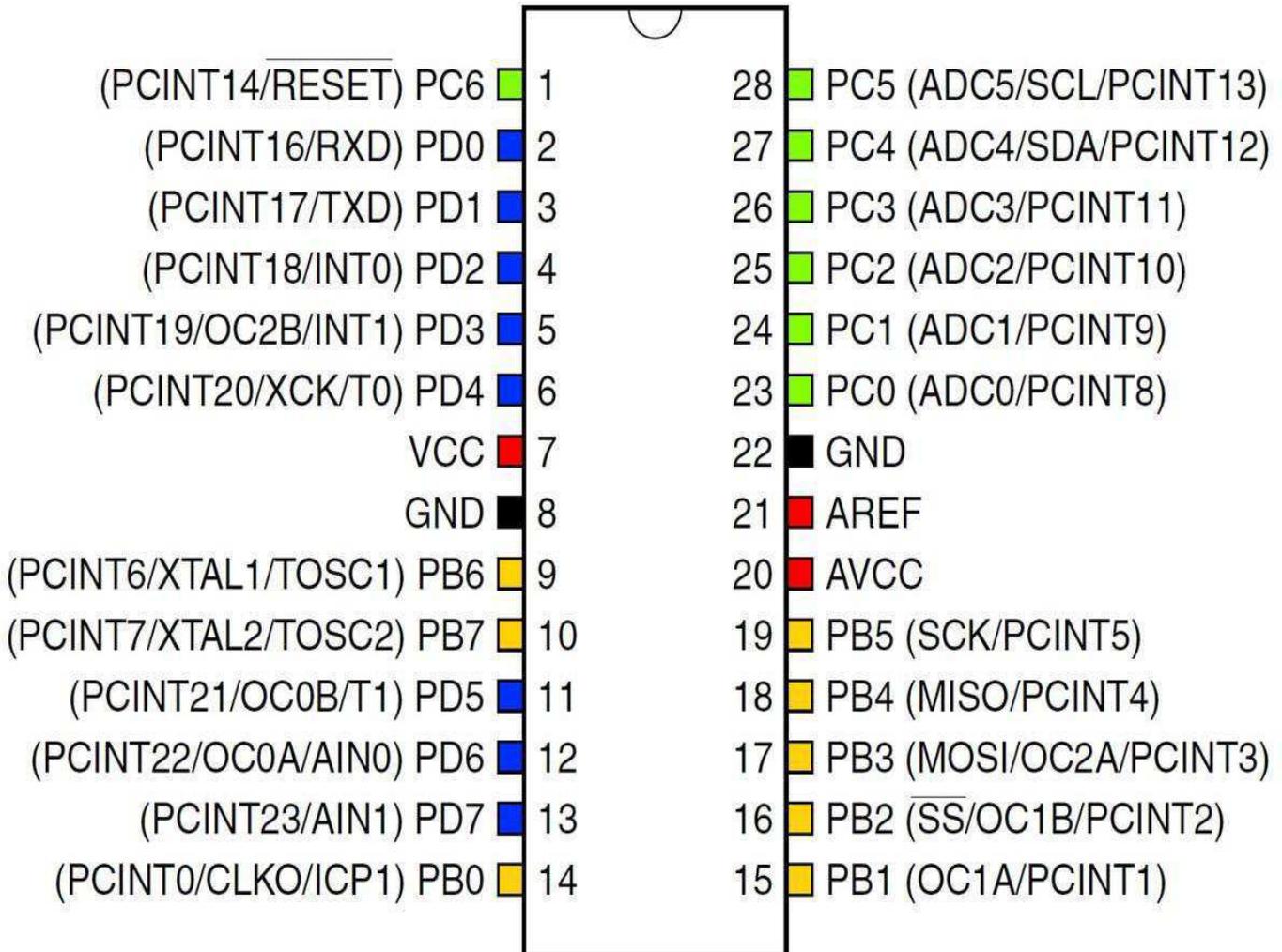
PORTC	
PC0	ADC0 – canal 0 de entrada do conversor AD. PCINT8 – interrupção 8 por mudança no pino.
PC1	ADC1 – canal 1 de entrada do conversor AD. PCINT9 – interrupção 9 por mudança no pino.
PC2	ADC2 – canal 2 de entrada do conversor AD. PCINT10 – interrupção 10 por mudança no pino.
PC3	ADC3 – canal 3 de entrada do conversor AD. PCINT11 – interrupção 11 por mudança no pino.
PC4	ADC4 – canal 4 de entrada do conversor AD. SDA – entrada e saída de dados da interface a 2 fios (TWI – I2C). PCINT12 – interrupção 12 por mudança no pino.
PC5	ADC5 – canal 5 de entrada do conversor AD. SCL – <i>clock</i> da interface a 2 fios (TWI – I2C). PCINT13 – interrupção 13 por mudança no pino.
PC6	RESET – pino de inicialização. PCINT14 – interrupção 14 por mudança no pino.
PORTD	
PD0	RXD – pino de entrada (leitura) da USART. PCINT16 – interrupção 16 por mudança no pino.
PD1	TXD – pino de saída (escrita) da USART. PCINT17 – interrupção 17 por mudança no pino.
PD2	INT0 – entrada da interrupção externa 0. PCINT18 – interrupção 18 por mudança no pino.
PD3	INT1 – entrada da interrupção externa 1. OC2B – saída da igualdade de comparação B do Temporizador/Contador 2 (PWM) PCINT19 – interrupção 19 por mudança no pino.
PD4	XCK – <i>clock</i> externo de entrada e saída da USART. T0 – entrada de contagem externa para o Temporizador/Contador 0. PCINT 20 – interrupção 20 por mudança no pino.
PD5	T1 – entrada de contagem externa para o Temporizador/Contador 1. OC0B – saída da igualdade de comparação B do Temporizador/Contador 0 (PWM). PCINT 21 – interrupção 21 por mudança no pino.
PD6	AIN0 – entrada positiva do comparador analógico. OC0A – saída da igualdade de comparação A do Temporizador/Contador 0 (PWM). PCINT 22 – interrupção 22 por mudança no pino.
PD7	AIN1 – entrada negativa do comparador analógico. PCINT 23 – interrupção 23 por mudança no pino.

Fonte: LIMA & VILLAÇA, 2012.

Na Tabela 1, constata-se que os pinos do ATmega 328 são organizados em conjuntos designados de PORTB, PORTC e PORTD. Dentre os quais, o PORTC apresenta 7 pinos e os PORTB e PORTD 8 pinos, de modo que cada PORT é uma porta bidirecional de I/O de 8 bits com resistores internos de *Pull-up* selecionáveis para cada bit. Os registradores de saída possuem características simétricas, com capacidade de fornecer e receber corrente suficiente

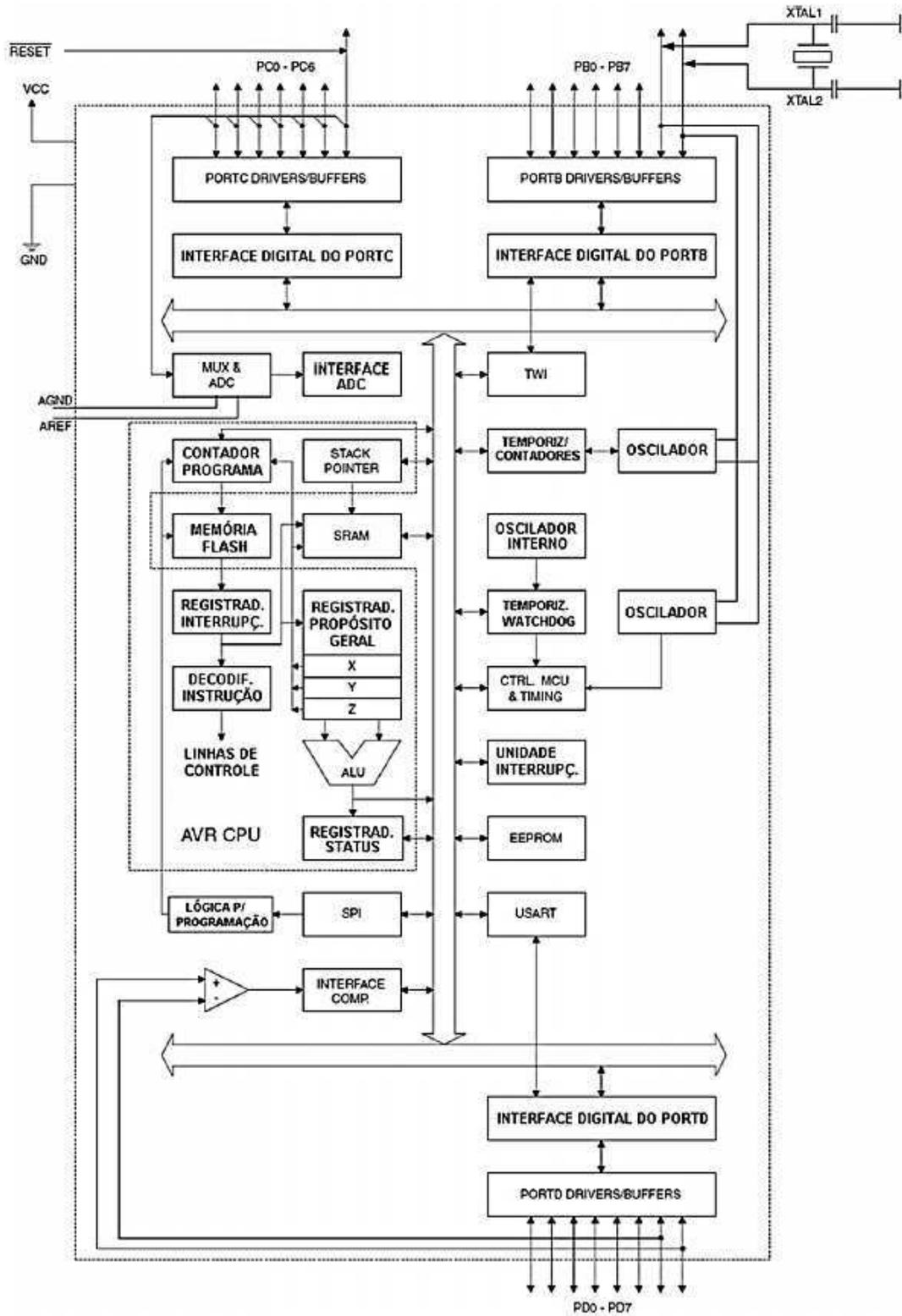
para o acionamento direto de cargas de até 40 mA. Outra característica importante é que todos os pinos apresentam pelo menos duas funções distintas. A fim de melhor elucidar as posições dos pinos e a estrutura do ATmega 328, são apresentados na Figura 8, o chip com a posição de cada pino e as respectivas nomenclaturas e na Figura 9, o diagrama em blocos da CPU do AVR, incluindo os periféricos.

Figura 8 - Pinagem do Atmega 328, encapsulamento PDIP



Fonte: Datasheet Atmel.

Figura 9 - Diagrama em blocos da CPU do AVR, incluindo os periféricos.



Fonte: Datasheet Atmel.

2.5 AMBIENTE DE DESENVOLVIMENTO

Para trabalhar com microcontroladores é necessário o uso de *softwares* adequados, já que o código fonte para o microcontrolador necessita ser escrito, compilado, depurado e gravado. Dessa forma, essas tarefas são realizadas com o suporte de *softwares* adequados, que no caso do projeto em questão foi feito usando a IDE (*integrated development platform*) da Atmel (Atmel Studio 7.0), que oferece um ambiente simples e fácil de escrever, criar e depurar códigos escritos em C / C ++ ou código de montagem. O Atmel Studio 7.0 é obtido gratuitamente no site: www.microchip.com.

Para a gravação dos microcontroladores, deve-se fazer uso de um *hardware* específico. Para isso foi utilizado o Atmel-ICE, que é uma poderosa ferramenta de desenvolvimento para depuração e programação baseado em ARM Cortex-M de emulação e *debug in system* (depuração no sistema físico) possuindo interface JTAG, a qual foi utilizada juntamente com a ferramenta de análise disponível no Atmel Studio 7.0, que é o seu depurador. Essa ferramenta foi de grande importância para achar erros e compreender o funcionamento detalhado das rotinas implementadas.

3 DESENVOLVIMENTO DO FASÍMETRO

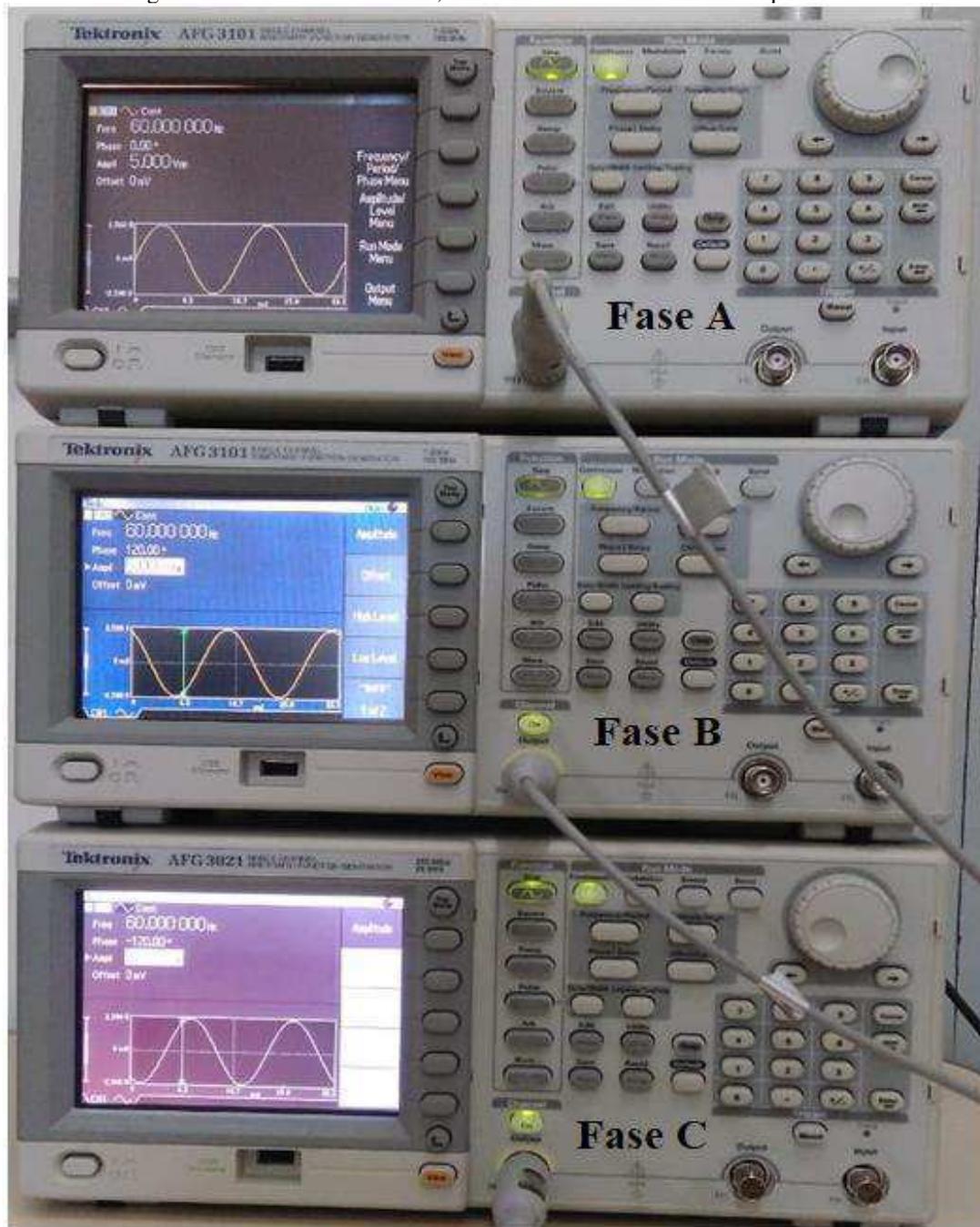
Para o desenvolvimento do fasímetro foi montando um sistema com três geradores de funções, os quais foram configurados cada um para gerar três sinais defasados de 120° entre si, de modo a emular um sistema elétrico trifásico equilibrado conforme representado nas Figuras 11, 12, 13 e 14, onde tem-se os geradores de funções e as suas respectivas configurações de saída. Para isso foi necessário interligar os três geradores de sinais no mesmo referencial. Desta forma, as saídas de referência externa existente na parte de posterior dos geradores de funções foram interligadas e configuradas para que o gerador de funções responsável pela fase A fosse a referência para as demais fases, conforme mostrado na Figura 10.

Figura 10 - Geradores de função interligados no mesmo referencial.



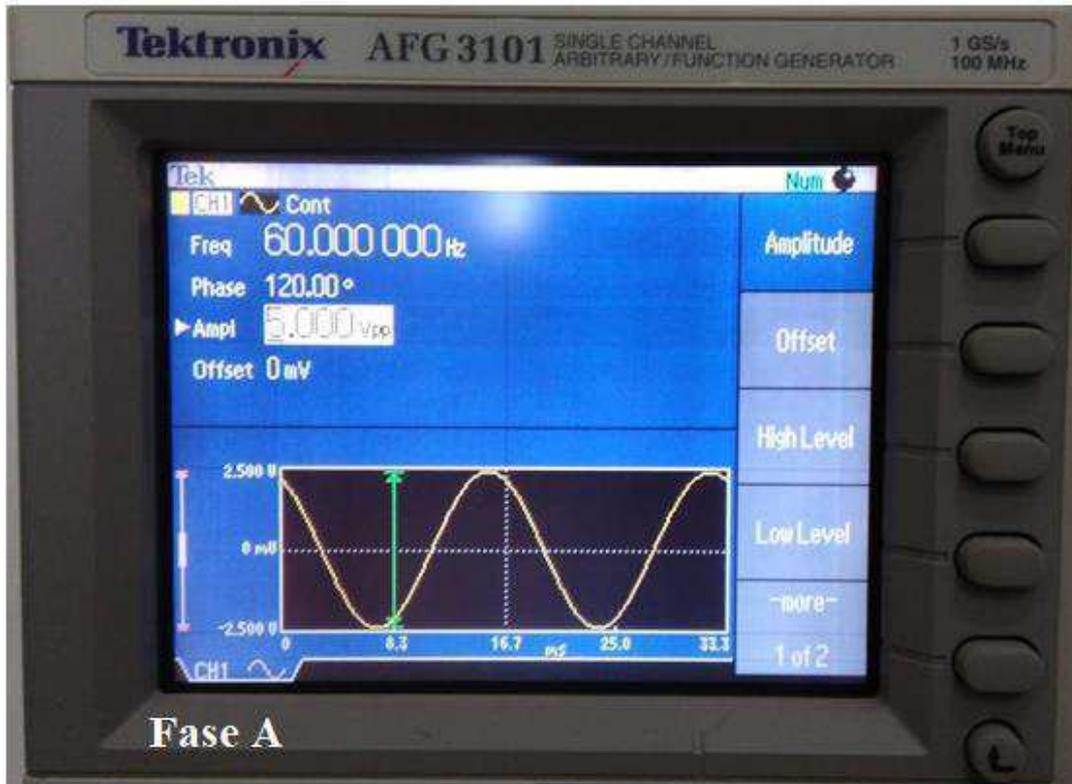
Fonte: Elaborada pelo autor.

Figura 11 - Geradores de Sinais, emulando um sistema trifásico equilibrado.



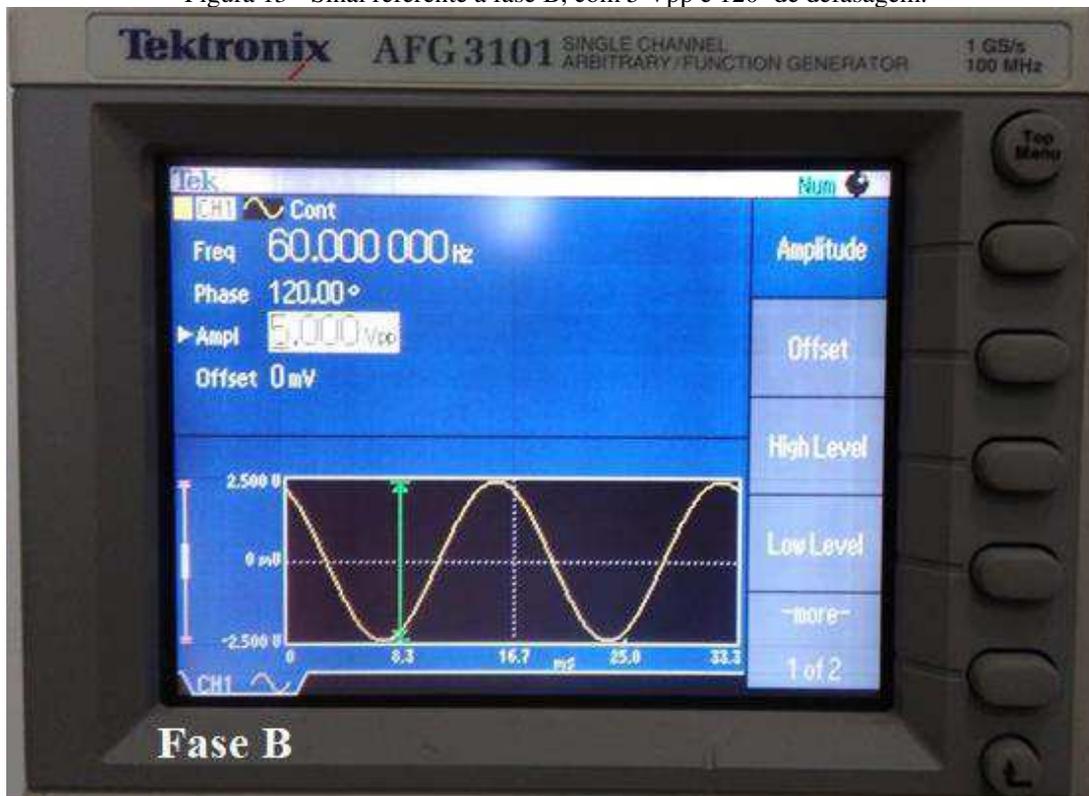
Fonte: Elaborada pelo autor.

Figura 12 - Sinal referente a fase A, com 5 Vpp e 0° de defasagem.



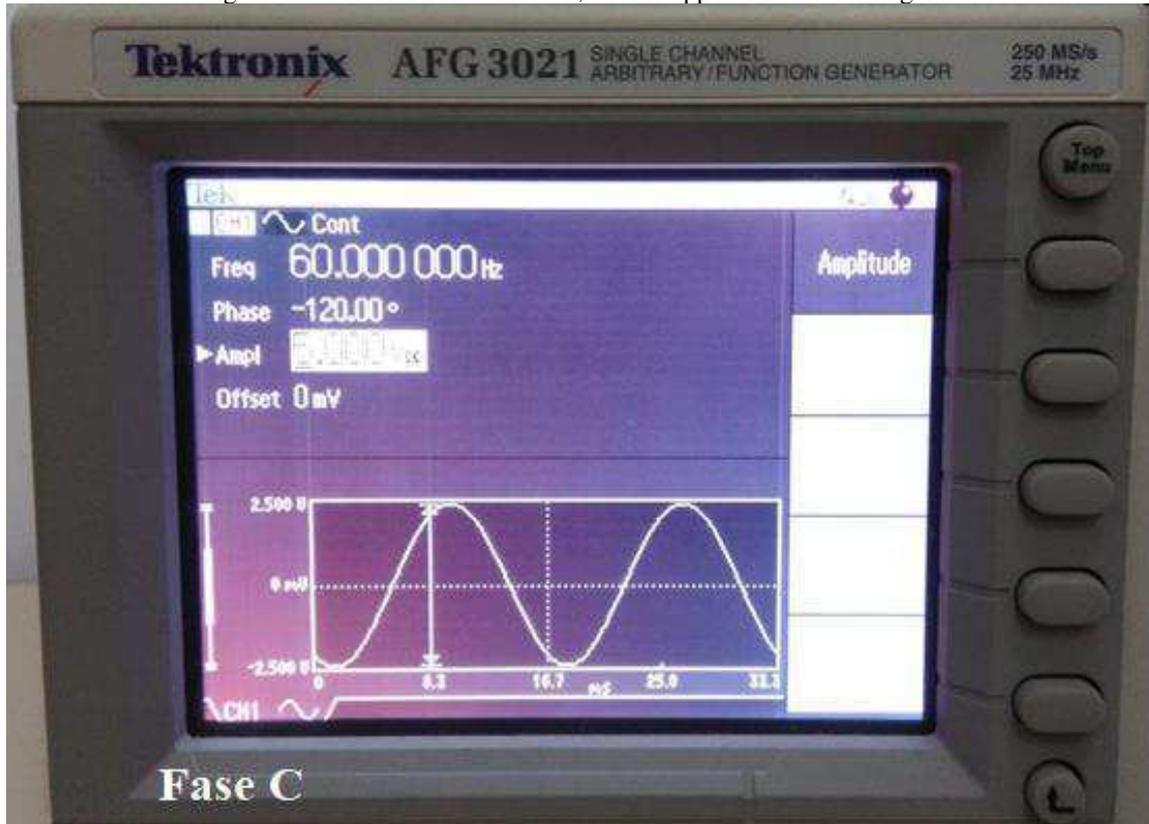
Fonte: Elaborada pelo autor,

Figura 13 - Sinal referente a fase B, com 5 Vpp e 120° de defasagem.



Fonte: Elaborada pelo autor.

Figura 14 - Sinal referente a fase C, com 5 Vpp e -120° de defasagem.



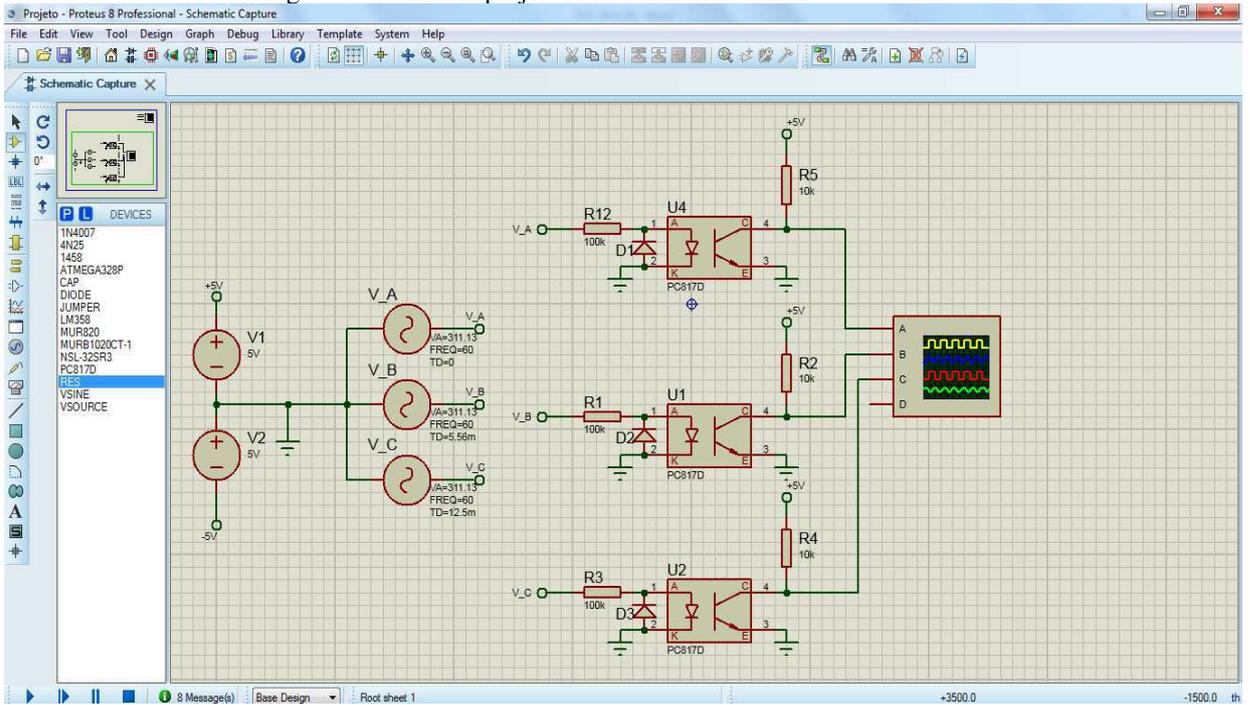
Fonte: Elaborada pelo autor.

3.1 CIRCUITO CONDICIONADOR

Os microcontroladores não suportam leituras de valores de tensão acima de 5 V, bem como de valores negativos. A tensão da rede elétrica utilizada foi de 220 V, logo estava fora da faixa de valores suportados. Assim, para isso, um circuito condicionador foi elaborado para fazer essas leituras de forma segura e eficiente. O circuito condicionador consiste de um acoplador óptico com resistores limitadores de corrente. Para testar os circuitos, inicialmente foram feitas as simulações no *software* ISIS Proteus, o qual pode ser adquirido no site <https://www.labcenter.com>. O *software* possibilitou a verificação do funcionamento dos circuitos e fazer alguns testes antes da sua implementação.

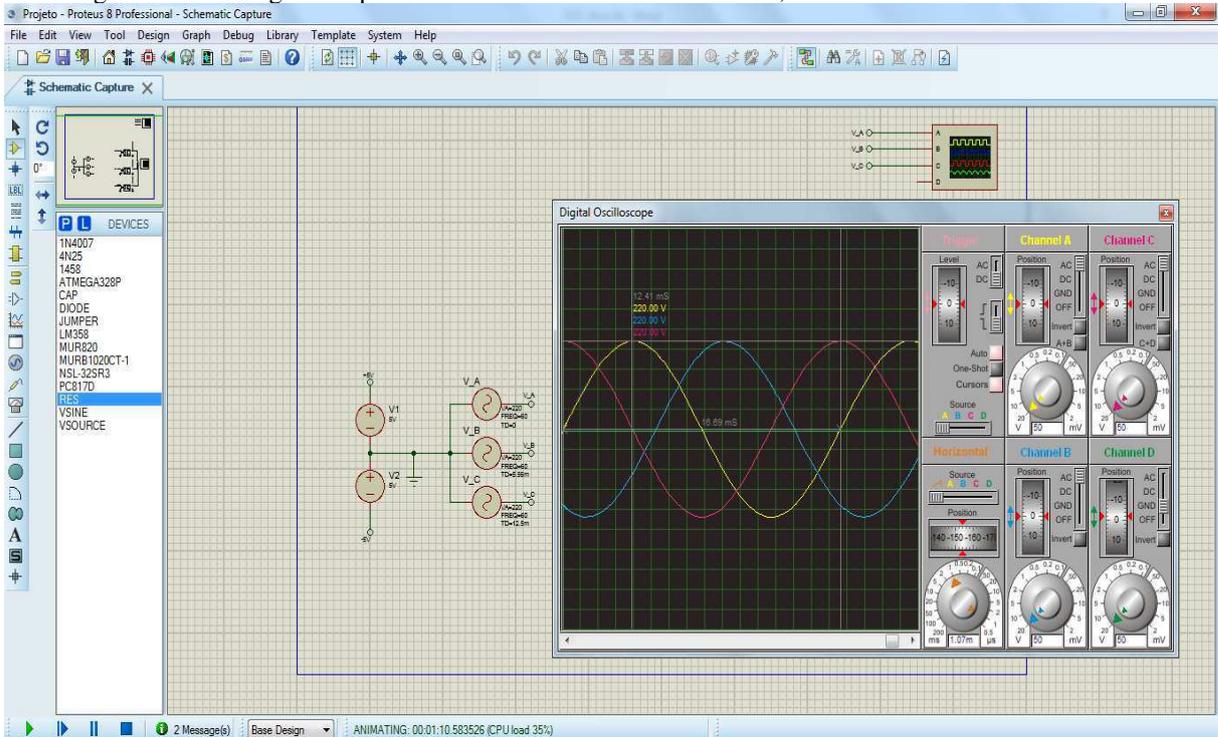
Nas figuras 15, 16 e 17 estão os resultados obtidos nesse simulador.

Figura 15 - Circuito projetado no Simulador ISIS Proteus.



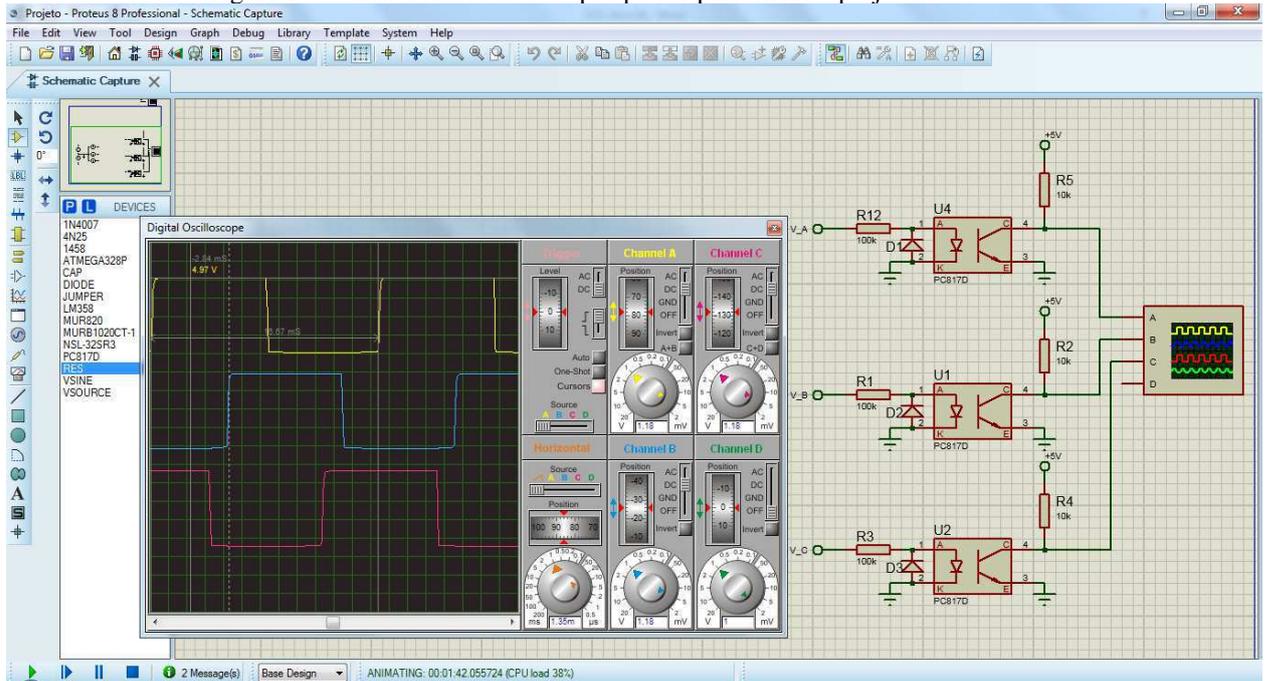
Fonte: Elaborada pelo autor.

Figura 16 - Sinais gerados pelas fontes defasados em 120° entre si, antes do condicionamento.



Fonte: Elaborada pelo autor.

Figura 17 - Sinais condicionados após passar pelo circuito projetado.



Fonte: Elaborada pelo autor.

Como pode ser observado na Figura 17 o circuito condicionador de sinais funcionou de forma satisfatória, tornando o sinal da rede apropriado para a captura no microcontrolador. Este circuito também atua com um isolamento, pois o mesmo através do uso de fotoacopladores faz o isolamento do lado de alta que seria a entrada da rede elétrica, com o lado de baixa que seria a saída do fotoacoplador ou a entrada do microcontrolador.

3.2 DESENVOLVIMENTO DO ALGORITMO

A próxima etapa consistiu no desenvolvimento do algoritmo para a leitura dos sinais condicionados da rede, seguidos do processamento e identificação das fases, de forma que a lógica básica do algoritmo consiste em duas etapas: a primeira é a etapa referente à calibração e a segunda consiste na identificação das fases.

O algoritmo de calibração e identificação das fases será agora descrito passo a passo.

3.2.1 CALIBRAÇÃO DO EQUIPAMENTO

Os tópicos a seguir irá descrever as etapas que serão seguidas para que a calibração do equipamento ocorra de forma satisfatória.

- Captura as características da primeira fase;
- Cria uma base de tempo interna sincronizada com a rede;
- Cria internamente uma réplica do sinal medido na primeira amostragem;
- Sincroniza a réplica do sinal criado internamente com o sinal da rede;

Assim, repete-se o processo para as outras fases, sincronizando-as todas com a base de tempo interna. Após o término da captura e processamento, não havendo nenhum erro, o equipamento estará apto para posteriormente identificar as fases.

3.2.2 IDENTIFICAÇÃO DAS FASES

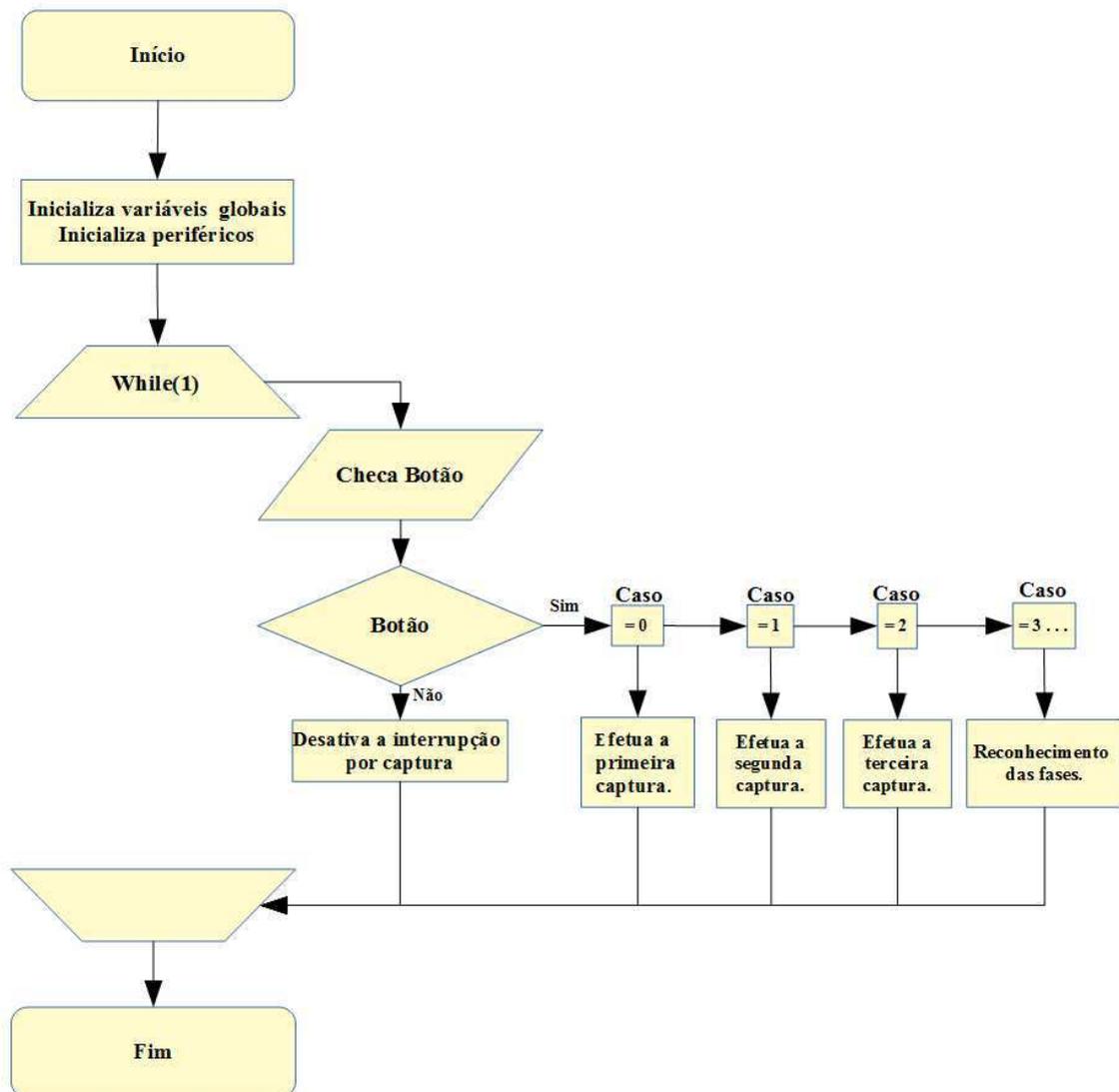
Nesta etapa, o equipamento já se encontra calibrado, de forma que, quando conectado a uma determinada fase, o mesmo irá comparar o sinal capturado na medição presente com as três referências internas que foram criadas no processo de calibração.

A identificação da fase sob teste se dará quando ocorrer a sincronia entre a fase em teste e uma das três fases de referência que foram geradas internamente. Quando a sincronia ocorrer, o equipamento irá mostrar uma mensagem ou um sinal luminoso através de LED, avisando ao usuário que ocorreu sincronia entre uma das fases específicas que foram usadas anteriormente para calibrar o fasímetro e a fase que está em teste no presente instante.

3.2.3 FUNCIONAMENTO DO CÓDIGO

Com o intuito de mostrar a rotina criada para executar as tarefas descritas anteriormente, foi criado um fluxograma dos códigos (Figura 18 e Figura 19). A seguir temos os fluxogramas da rotina principal na Figura 18 e da rotina associada a interrupções de captura do TC1 na Figura 19, responsável por capturar os instantes em que ocorrem as bordas de subida da onda capturada.

Figura 18 - Fluxograma da função principal (*Main*).

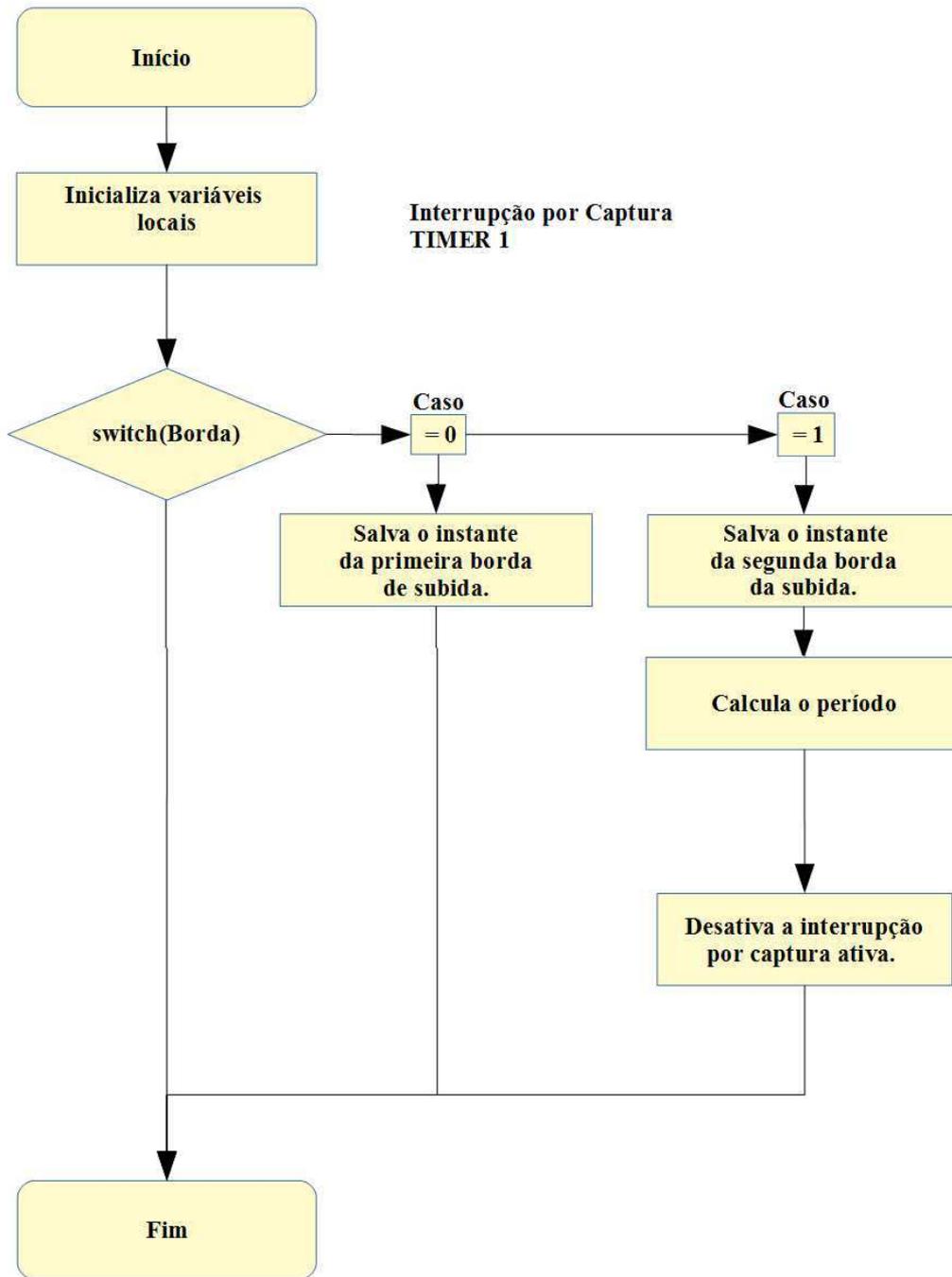


Fonte: Elaborada pelo autor.

Esta função executa a inicialização dos periféricos e das variáveis, que após o botão ser pressionado começa o processo de captura através da rotina associada à interrupção de captura do TC1.

Após ter capturado todas as referências, o sistema cairá no caso três (=3) ou maior, que é a rotina responsável pelo reconhecimento de fases. Esta rotina compara os sinais de referência internos e sincronizados com a rede com os sinais medidos no instante atual.

Figura 19 - Rotina da interrupção por captura.



Fonte: Elaborada pelo autor.

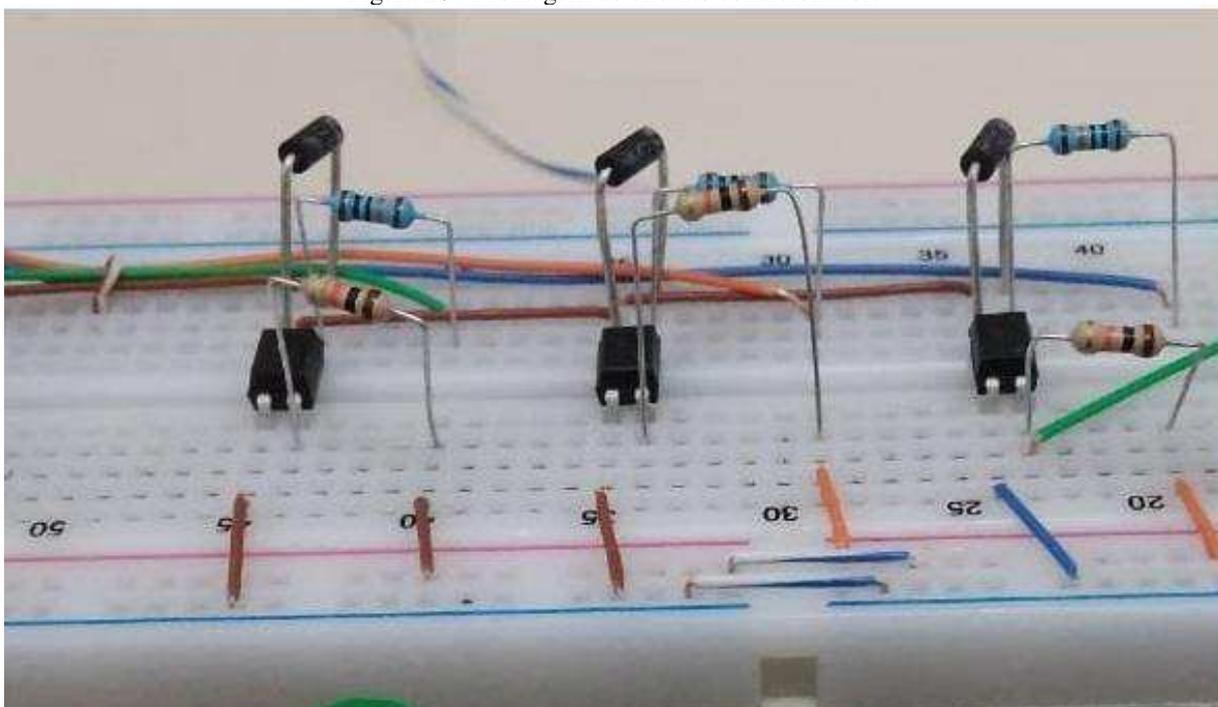
Esta rotina executa a inicialização das variáveis locais, após isso ela irá salvar o instante da primeira borda de subida, depois salvará o instante da segunda borda de subida. Assim ela calculará o período e o salvará internamente, gerando assim um sinal interno sincronizado com a rede. Esse processo se repetirá para as demais fases do sistema. Após o término da captura, a rotina irá desativar a interrupção por captura, finalizando por completo o processo de sincronização.

3.3 MONTAGEM E TESTES DO CIRCUITO

A seguir serão apresentadas as montagens e os resultados obtidos a partir dos testes feitos no circuito do fasímetro. As tensões de entrada do fasímetro são de 110V a 220V.

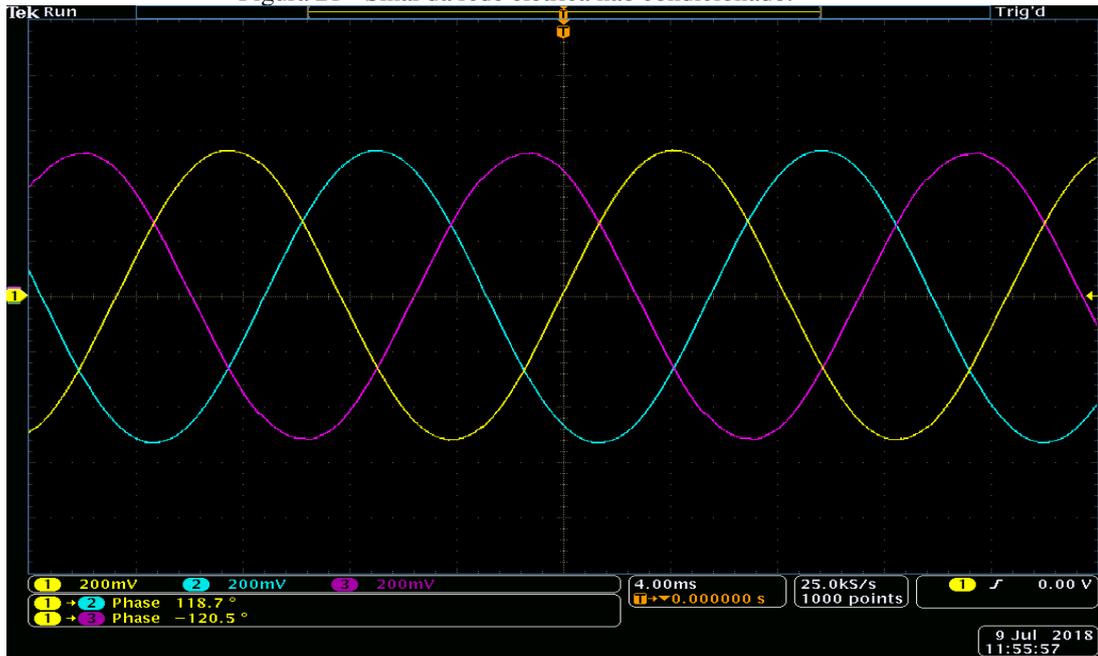
Como as tensões de entrada extrapolam os valores limites de leitura do microcontrolador, o sinal deve ser condicionado a uma faixa de tensão que possa ser lida. Então, conforme visto na Figura 15, que mostra a simulação do circuito condicionador de sinal e fazendo uso do mesmo, executou-se a montagem do circuito como exposto na Figura 20. Nas figuras 21 e 22, temos o sinal de tensão da rede não condicionado e o sinal após passar pelo circuito, respectivamente. Como esperado, observamos na Figura 21 que o sinal foi devidamente condicionado.

Figura 20 - Montagem do circuito condicionador.



Fonte: Elaborada pelo autor.

Figura 21 - Sinal da rede elétrica não condicionado.



Fonte: Elaborada pelo autor.

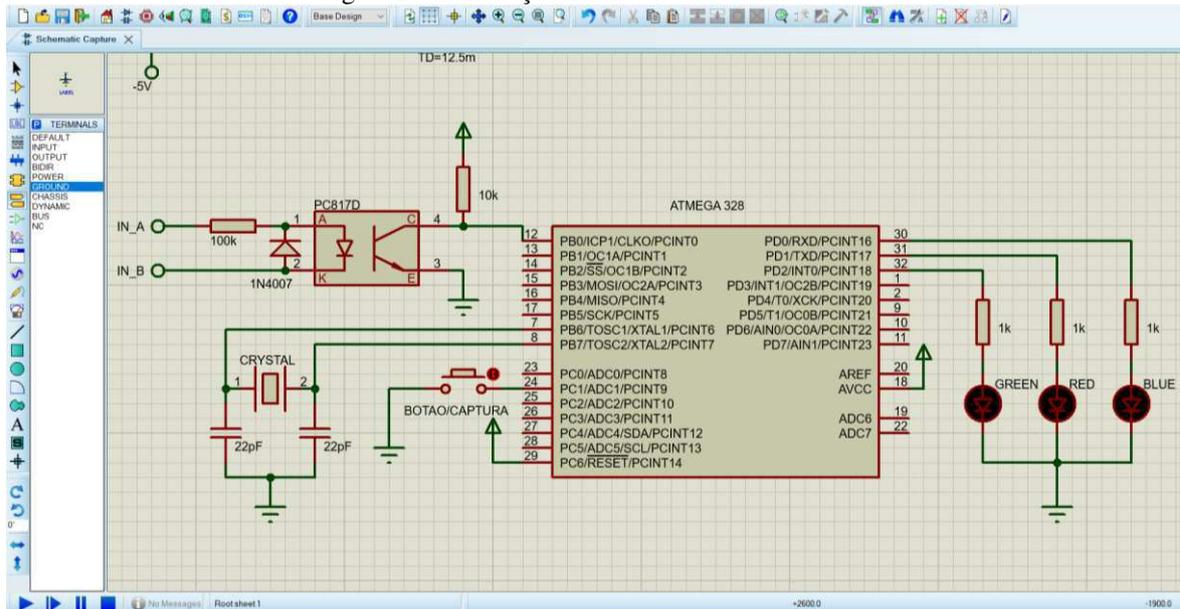
Figura 22 - Sinal da rede elétrica condicionado.



Fonte: Elaborada pelo autor.

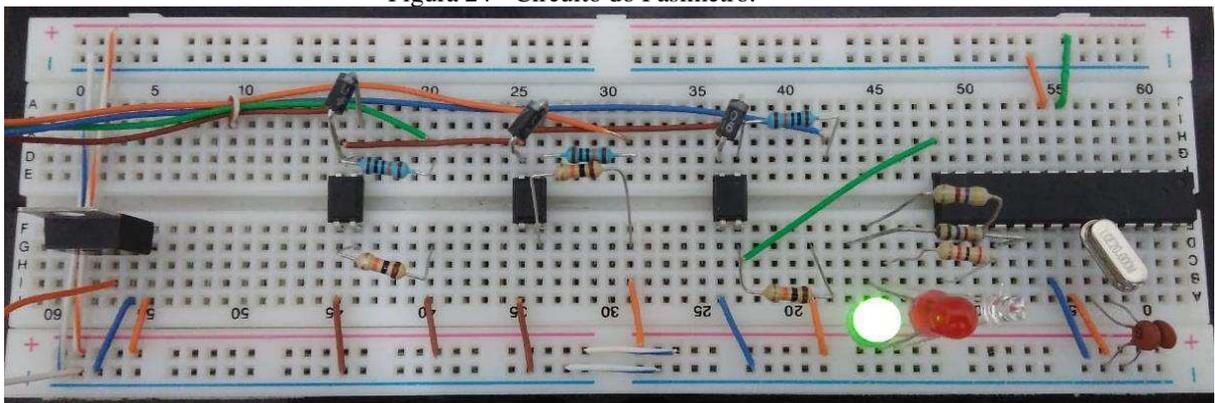
Com o circuito condicionador testado e o microcontrolador ATmega 328 devidamente programado, fizemos a montagem do circuito do fasímetro. Na Figura 23 é apresentada a simulação do circuito do fasímetro na Figura 24 a montagem do circuito simulado do fasímetro e na Figura 25, o sinal gerado internamente a partir da referência obtida da rede elétrica. Esse sinal gerado internamente deve ser mantido sincronizado com a rede elétrica.

Figura 23 - Simulação do circuito do Fasímetro.



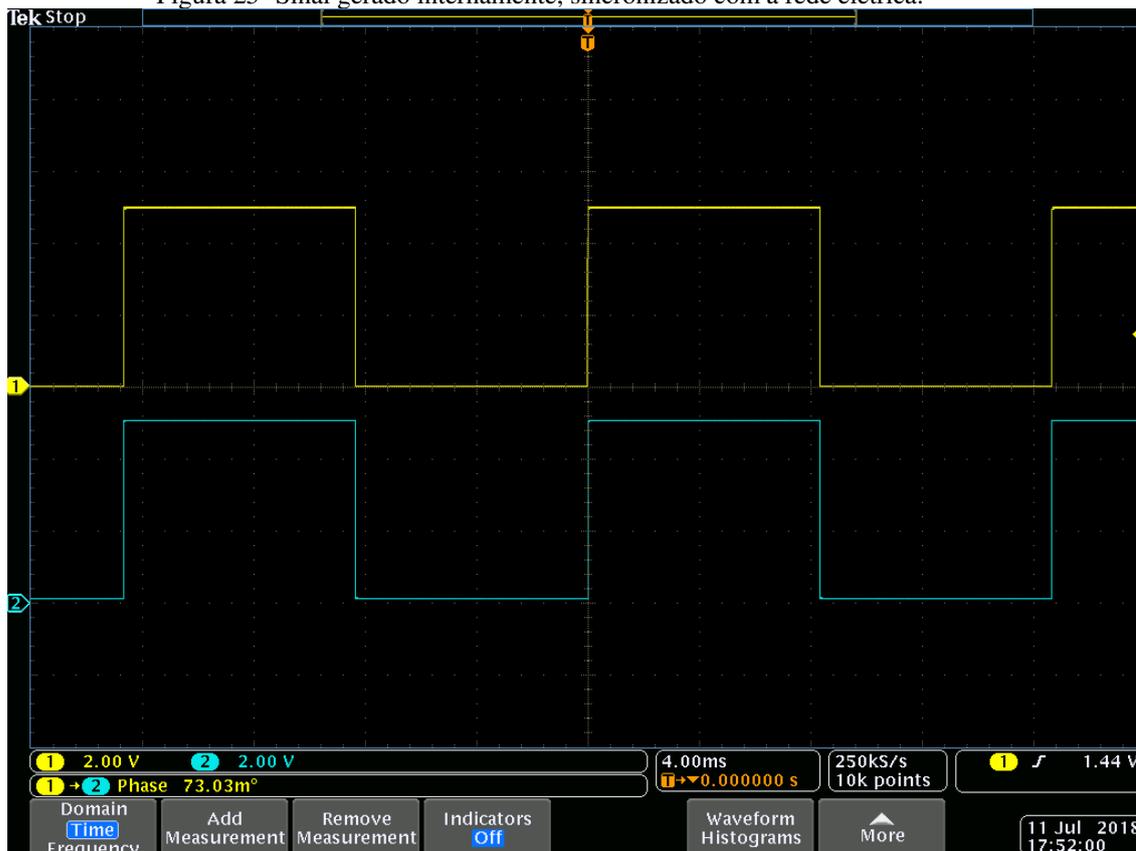
Fonte: Elaborada pelo autor.

Figura 24 - Circuito do Fasímetro.



Fonte: Elaborada pelo autor.

Figura 25 -Sinal gerado internamente, sincronizado com a rede elétrica.



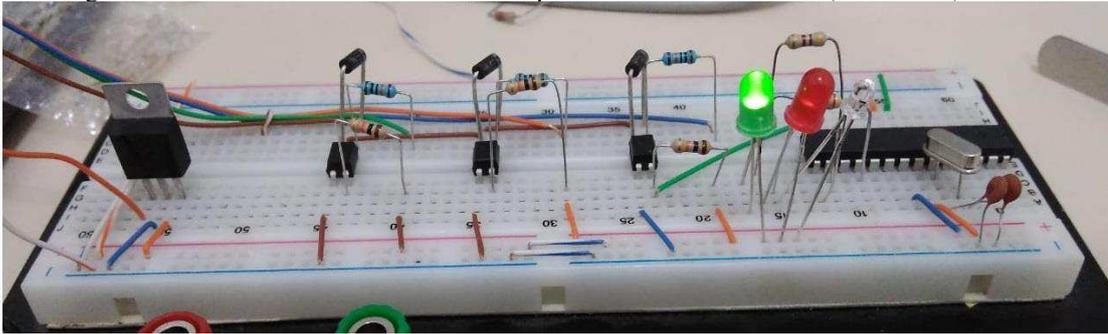
Fonte: Elaborada pelo autor.

Na Figura 25 pode-se ver claramente os sinais da rede (amarelo) e o sinal gerado internamente (azul), os quais apresentam uma defasagem mínima de $73,3 \text{ m}^\circ$. Agora, já de posse do sinal interno sincronizado, foram feitas as demais leituras de tensões referentes às outras fases do sistema elétrico e projetadas sobre o sinal sincronizado, salvando internamente no microcontrolador os instantes nos quais ocorrem as bordas de subida das demais fases.

Com isso, tem-se o fasímetro já devidamente calibrado, de forma que quando o mesmo for conectado novamente com qualquer uma das fases anteriores ele poderá identificá-las. Fazendo uso das informações sincronizadas com a rede elétrica, o equipamento bastará verificar onde ocorrerá a coincidência do sinal medido no presente instante com os sinais internos.

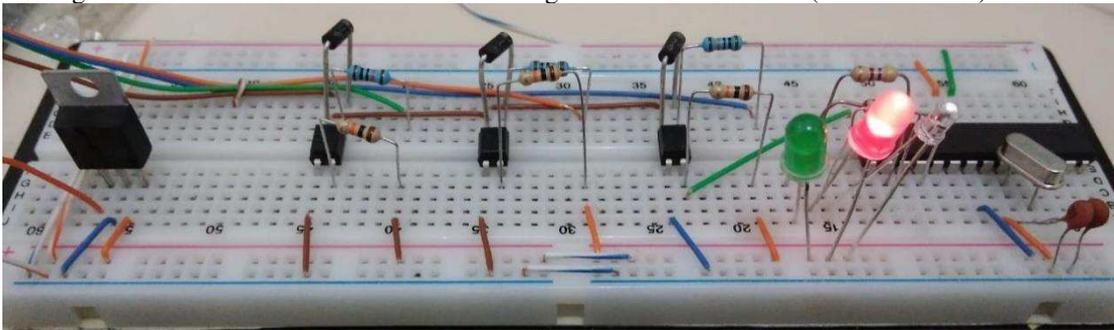
O fasímetro foi programado com três LED, um verde, um vermelho e um azul. Esses LED são usados para identificar as sequências de leituras. Esse equipamento irá atribuir a cada leitura uma cor, para a primeira leitura temos a cor verde, para a segunda temos a cor vermelha e para a terceira temos a cor azul. Ao conectar o equipamento à rede, ele irá acender o LED referente à fase que foi calibrada, de modo a identificá-la. A seguir, são mostradas a identificação das fases e os respectivos LED acesos para cada fase identificada nas figuras 26, 27 e 28.

Figura 26 - Leitura atual coincidindo com a primeira fase sincronizada (LED verde).



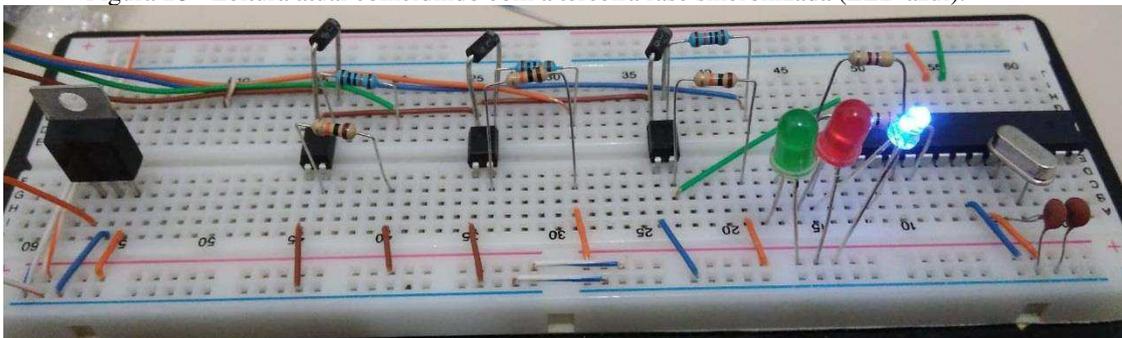
Fonte: Elaborada pelo autor.

Figura 27 - Leitura atual coincidindo com a segunda fase sincronizada (LED vermelho).



Fonte: Elaborada pelo autor.

Figura 28 - Leitura atual coincidindo com a terceira fase sincronizada (LED azul).



Fonte: Elaborada pelo autor.

3.3.1 COMPONENTES UTILIZADOS

- 1 Microcontrolador Atmega 328P;
- 1 Regulador de tensão LM7805;
- 1 LED Verde;
- 1 LED Vermelho;
- 1 LED Azul;
- 1 Cristal 16 MHz;
- 1 Protoboard;
- 2 Capacitores Cerâmicos 22 pF;
- 3 Resistores de 100 K Ω ;
- 3 Resistores de 10 k Ω ;
- 3 Resistores de 1 k Ω ;
- 3 Fotoacoplador PC817;
- 3 Diodos UF4007.

3.3.2 EQUIPAMENTOS UTILIZADOS PARA REALIZAÇÃO DOS TESTES

- Geradores de Padrões Fluke modelo 6100A;
- Osciloscópio Tektronix modelo MDO4104B-3;
- Três Geradores de Sinais Tektronix modelo AFG3101.

4 CONCLUSÃO

Nesse trabalho foi apresentado o desenvolvimento de um fasímetro com capacidade de identificar as fases de um sistema após ser devidamente calibrado.

Esse equipamento quando comparado aos produtos já existentes no mercado, mostra relativa vantagem na função que desempenha, já que o mesmo não necessita estar conectado às três fases de forma simultânea facilitando consideravelmente o trabalho do operador do mesmo. Os conhecimentos adquiridos durante o curso, principalmente nas disciplinas que tratam sobre programação, arquitetura de computadores e eletrônica foram imprescindíveis para a realização desse trabalho.

Além disso, o conhecimento adquirido na elaboração desse dispositivo resultou em um grande aprendizado sobre o próprio microcontrolador e sistemas embarcados.

4.1 SUGESTÕES PARA TRABALHOS FUTUROS

Como trabalho futuro, será refinado o algoritmo com o objetivo de melhorar o processo de identificação das fases e serão feitas as configurações que permitam a utilização de um *display* gráfico e o acoplamento de um módulo de GPS, possibilitando implementar rotinas que possam fornecer ao operador do equipamento informações de tensão e defasagem entre as fases, que serão facilmente lidas nesse *display*.

O intuito do uso do módulo GPS é melhorar a sincronização dos sinais, pois o fasímetro pode tornar-se descalibrado após passar algum tempo sem uso, dessa forma o módulo GPS possibilitará ao equipamento ficar sempre sincronizado, por meio do uso da base de tempo gerado pelo GPS.

REFERÊNCIAS

LIMA, C. B; VILLAÇA, .M.V.M. *AVR e Arduino Técnicas de Projeto*. 2. ed. – Florianópolis: Ed. dos autores, 2012.

ALMEIDA, R. M; MORAIS, C. H. V; SERAOHIM, T. F. P. *Programação de Sistemas Embarcados*. 1. Ed. Rio de Janeiro, 2016.

MICROCHIP *Datasheet*. 2018.

PINTO L, A. V. *Instrumentos de Medidas Elétricas*. 2008

MEIRELES, V. *Curso de Formação de Eletricistas Especializados – Medidas Elétricas*, SENAI-São Paulo, 2005

STEVENSON, W. D. *Elementos de Análises de Sistemas de Potência*. 2ed. São Paulo- McGraw-Hill, 1986.

CHAPMAN, S. J. *Fundamentos de Máquinas Elétricas*. 5. Ed. Porto Alegre- AMGH, 2013.

FITZGERALD, A. E; KINGSLEY, C. *Máquinas Elétricas*. 7. Ed. Porto Alegre- AMGH, 2014.

SETTE, H. Vantagem dos Sistemas Trifásicos. Technical Report. – DOI:10.13140/RG.2.2.35227.77607 Junho 2006

ALEXANDRE, C. K; SADIKU, M, N, O. *Fundamentos de Circuitos Elétricos*. 5. Ed. Porto Alegre- AMGH, 2013.

HOROWITS, P; HILL, W. *A arte da eletrônica*. 3. Ed. Porto Alegre- Bookman, 2017.