

CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA



Universidade Federal
de Campina Grande

JOÃO LUCAS PEIXOTO MEDEIROS

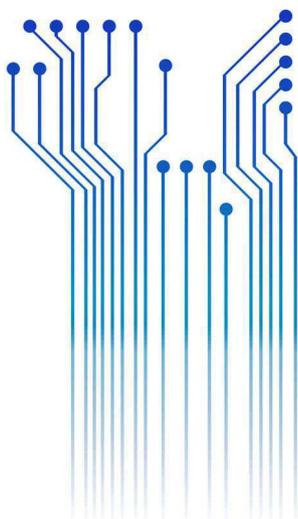


Centro de Engenharia
Elétrica e Informática

TRABALHO DE CONCLUSÃO DE CURSO
DESIGN FÍSICO DE UM IP



Departamento de
Engenharia Elétrica



Campina Grande
2018

JOÃO LUCAS PEIXOTO MEDEIROS

DESIGN FÍSICO DE UM IP

*Trabalho de Conclusão de Curso submetido à
Coordenação do Curso de Graduação em
Engenharia Elétrica da Universidade Federal de
Campina Grande como parte dos requisitos
necessários para a obtenção do grau de
Bacharel em Ciências no Domínio da
Engenharia Elétrica.*

Área de Concentração: Microeletrônica

Orientador:

Professor Gutemberg Gonçalves dos Santos Júnior, D.Sc.

Campina Grande
2018

JOÃO LUCAS PEIXOTO MEDEIROS

DESIGN FÍSICO DE UM IP

*Trabalho de Conclusão de Curso submetido à
Coordenação do Curso de Graduação em
Engenharia Elétrica da Universidade Federal de
Campina Grande como parte dos requisitos
necessários para a obtenção do grau de
Bacharel em Ciências no Domínio da
Engenharia Elétrica.*

Área de Concentração: Microeletrônica

Aprovado em 07 / 08 / 2018

Professor Marcos Ricardo Alcântara Moraes, D.Sc.
Universidade Federal de Campina Grande
Avaliador

Professor Gutemberg Gonçalves dos Santos Júnior, D.Sc.
Universidade Federal de Campina Grande
Orientador, UFCG

Dedico este trabalho a minha irmã Sofia.

AGRADECIMENTOS

Aos meus pais, pelo apoio incondicional e por fazerem todos os esforços possíveis para realização deste sonho.

A toda a minha família, pelo suporte, incentivo e por se alegrarem comigo a cada vitória.

Aos Pseudomitos, grupo de estudo no qual participei durante toda a graduação, realizando várias reuniões para discutir resoluções de questões, tirar dúvidas e conversar sobre os diversos assuntos da universidade, principalmente nas vésperas de avaliações.

Aos amigos de outrora, aos que vieram só agora, mas principalmente aos que ficaram para sempre.

Aos professores e colegas da Monitoria de Introdução a Programação e do Laboratório de Visão Computacional, por terem proporcionado um ótimo ambiente de convivência e de desenvolvimentos de competências que até hoje levo.

A todos que fazem parte do X-MEN Lab (PEM) que durante o fim da graduação se tornou minha segunda casa.

A Samuel Mendes, Roberto Luiz e Rodrigo Guercio, responsáveis pelo incentivo para o desenvolvimento deste trabalho e indispensáveis para o seu término dentro do prazo.

Aos professores Marcos Morais e Gutemberg Júnior, por todos os ensinamentos, orientação e oportunidades concedidas, permitindo que eu descobrisse áreas de interesse da minha formação e por acreditarem na microeletrônica no Brasil.

A todos os colegas da Idea!, em especial a equipe do Backend, que pacientemente me ensinaram os conhecimentos presentes neste trabalho.

“ Tenho-vos dito isto, para que em mim tenhais paz; no mundo tereis aflições, mas tende bom ânimo, eu venci o mundo. ”

João 16:33.

RESUMO

O ciclo de projeto dos chips consiste em diferentes etapas consecutivas, desde a síntese de alto nível até a sua fabricação. O design físico é o processo de transformar uma descrição de circuito em layout físico, que descreve a posição das células e as rotas para as interconexões entre elas. Neste trabalho, será explicado em detalhes cada etapa do design físico, passando pelas etapas iniciais de planejamento, especificações, otimizações e verificação, e em seguida, resultados envolvendo a aplicação desse fluxo de projeto em um bloco digital.

Palavras-chave: design físico, síntese, layout físico, chips.

ABSTRACT

The chip design cycle consists of different consecutive steps, from high-level synthesis to production. Physical design is the process of transforming a circuit description into the physical layout, which describes the position of the cells and the routes to the interconnections between them. In this work, each stage of the physical design will be explained in detail, going through the initial stages of planning, specifications, optimizations and verification, and then results involving the application of this design flow in a digital block.

Keywords: physical design, synthesis, physical layout, chips.

LISTA DE ILUSTRAÇÕES

Figura 1 - Fluxo de Design físico	14
Figura 2 - Trunk and rings	17
Figura 3 - Grid uniforme.....	18
Figura 4 - Compartilhamento de GND	19
Figura 5 - Células no Design após placement	20
Figura 6 - Reordenamento de scan chain	20
Figura 7 - Clock tree.....	21
Figura 8 - Jitter	23
Figura 9 - Antes e depois do roteamento	24
Figura 10 - Gcells.....	25
Figura 11 - Correção de pAE	27
Figura 12 - Sinal Acelerado	28
Figura 13 - Sinal atrasado	28
Figura 14 - Componentes do consumo de energia.....	29
Figura 15 - Eletromigração	32
Figura 16 - Mapa de IR drop.....	34
Figura 17 - OCV.....	38
Figura 18 - Pinos distribuídos	43
Figura 19 - Power grid superior.....	44
Figura 20 - End caps e well taps.....	45
Figura 21 - Stripes inferiores M2 (vermelho) e M3 (verde).....	45
Figura 22 - Distribuição do placement.....	46
Figura 23 - Figura 22 ampliada	47
Figura 24 - Células e followpins	47
Figura 25 - Trial route após placement	48
Figura 26 - Roteamento em metal 1.....	49
Figura 27 - Roteamento da clock tree	50
Figura 28 - Figura 27 ampliada	50
Figura 29 - Shielding (VSS) em volta das nets de clock	51
Figura 30 - Design roteado.....	51
Figura 31 - Figura 30 ampliada	52
Figura 32 - Design com Fillers e Decaps	53
Figura 33 - Violações no relatório de DRC.....	54
Figura 34 - Mapa de queda de tensão do design.....	55
Figura 35 - Relatório de eletromigração	56

SUMÁRIO

Agradecimentos.....	v
Resumo.....	vii
Abstract.....	viii
Lista de Ilustrações.....	ix
Sumário.....	x
1 Introdução.....	12
1.1 Objetivos.....	12
1.1.1 Objetivo Geral.....	12
1.1.2 Objetivos Específicos.....	13
2 Fluxo de Design.....	14
2.1 Floorplanning.....	15
2.1.1 Power Planning.....	16
2.2 Placement.....	18
2.3 Clock Tree Synthesis.....	21
2.3.1 Clock skew.....	22
2.3.2 Latência.....	22
2.3.3 Jitter.....	22
2.3.4 Objetivo da Clock tree synthesis.....	23
2.4 Roteamento.....	23
2.4.1 Global routing.....	24
2.4.2 Detail routing.....	25
2.4.3 Trial routing.....	26
2.4.4 Prioridades no roteamento.....	26
2.4.5 Process Antenna Effect.....	27
2.4.6 Efeito de Integridade de Sinal (SI).....	27
2.5 Consumo de Energia (Power Consumption).....	29
2.5.1 Análise do consumo de energia.....	30
2.6 Análise da power grid.....	31
2.6.1 Queda de tensão (IR drop).....	31
2.6.2 Ground bounce.....	31
2.6.3 Eletromigração.....	32
2.6.4 Abordagens para análise de power grid.....	33
2.6.5 Técnicas de Baixo Consumo (Low Power).....	34
2.7 Extração de parasitas.....	35
2.8 Cálculo de Delay.....	35
2.9 Static Timing Analysis (STA).....	36
2.9.1 STA na CTS.....	36
2.9.2 Setup e Hold.....	37

2.9.3	Exceções na STA.....	37
2.9.4	Condições de operação	37
2.9.5	MMMC (Multi Mode Multi Corner)	38
2.10	Otimizações no design	39
2.10.1	Otimização de timing.....	39
2.10.2	Otimização de SI.....	39
2.10.3	Otimização de power	39
2.10.4	Otimização de área	40
2.10.5	Estágios das otimizações.....	40
2.11	Verificação de Design.....	41
2.11.1	Verificação DRC	41
2.11.2	Verificação LVS.....	42
3	Resultados	43
3.1	Floorplanning	43
3.2	Placement.....	46
3.3	CTS.....	49
3.4	Roteamento	51
3.5	Verificação.....	53
4	Conclusão e trabalhos futuros.....	57
5	Referências bibliográficas	58

1 INTRODUÇÃO

No projeto de circuitos integrados, o design físico é uma etapa do ciclo de projeto padrão que segue após o projeto do circuito. Nesta etapa, as representações de circuito dos componentes (dispositivos e interconexões) do projeto são convertidas em representações geométricas de formas que, quando fabricadas nas correspondentes camadas de materiais, garantirão o funcionamento necessário dos componentes. Essa representação geométrica é chamada de layout de circuito integrado. Essa etapa geralmente é dividida em várias sub etapas, que incluem projeto, do inglês, design, verificação e validação do layout.

O design do Circuito Integrado (CI) moderno é dividido em design de front-end usando HDLs, Verificação e Design de Back-end ou Design Físico. O próximo passo após o design físico é o processo de fabricação, que é feito nas casas de fabricação de wafer, como Global Foundries, TSMC e Samsung, onde se fabricam desenhos em moldes de silício que são então empacotados em CIs.

Cada uma das fases mencionadas acima tem fluxos de design associados a elas. Esses fluxos de projeto estabelecem o processo e as diretrizes para cada fase. O fluxo de design físico usa as bibliotecas da tecnologia fornecidas pelas casas de fabricação. Esses arquivos de tecnologia fornecem informações sobre o tipo de wafer de silício usado, as células padrão usadas, do inglês, standard cells, a caracterização dessas células, as regras de layout (como regras de DRC), etc.

1.1 OBJETIVOS

1.1.1 OBJETIVO GERAL

Esse trabalho tem como objetivo descrever as principais etapas do projeto físico de circuitos integrados digitais (Back-end ou Layout), conforme ilustrado na Figura 1.

Com relação a etapa do fluxo, nas sessões que se seguem, será descrito em detalhes o projeto físico do floorplanning, passando pelo roteamento e verificação física

do circuito obtido. Já na sessão de resultados, um exemplo prático será dado considerando um bloco digital com 500k células, implementado em tecnologia 28nm.

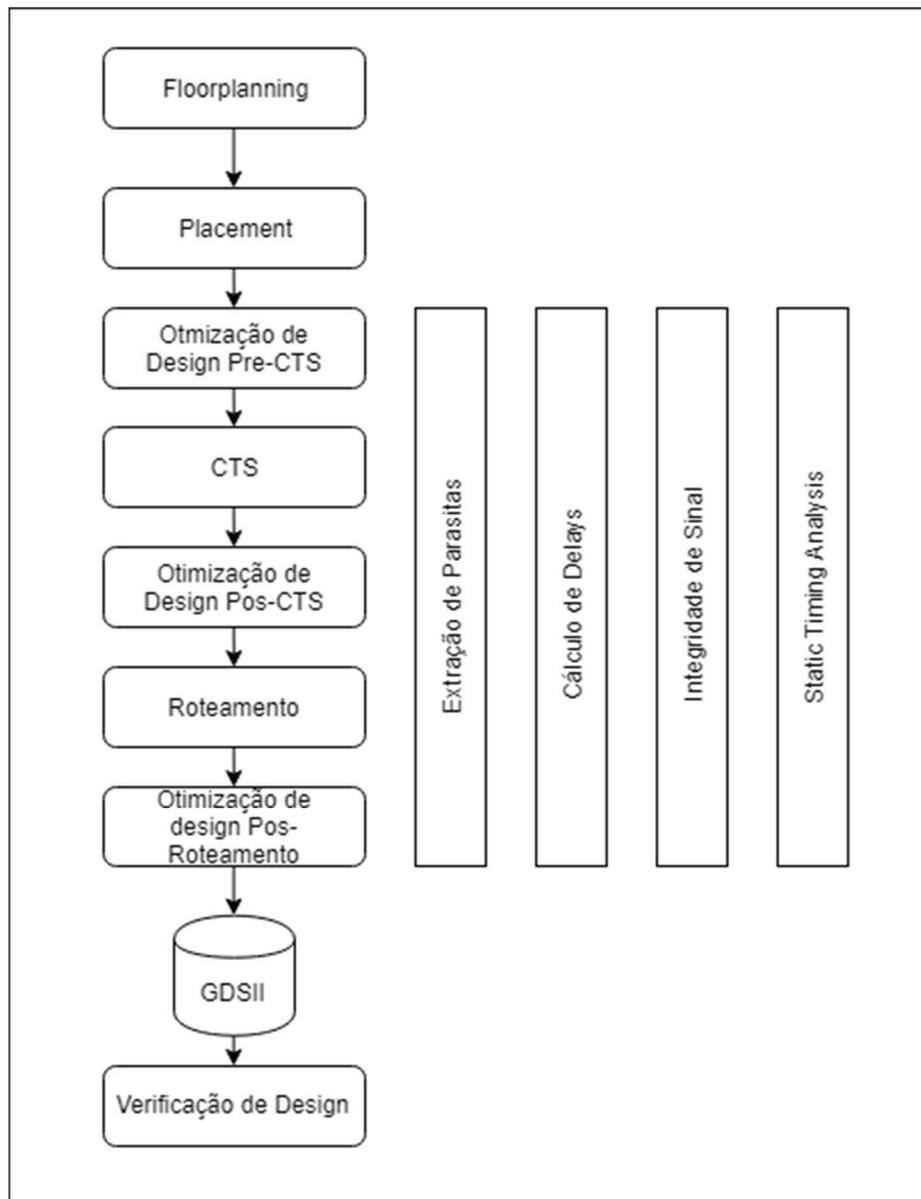
1.1.2 OBJETIVOS ESPECÍFICOS

- Revisão bibliográfica acerca de implementação física de IP's;
- Implementação física de um IP.

2 FLUXO DE DESIGN

O fluxo de design físico consiste em várias etapas, que podem ser vistas na Figura 1. Neste trabalho, será explicado em detalhes cada uma dessas etapas.

Figura 1 - Fluxo de Design físico



Fonte: O próprio autor.

2.1 FLOORPLANNING

O primeiro passo no fluxo de Design Físico é chamado floorplanning. Floorplanning é o processo de identificar estruturas que devem ser colocadas próximas, e alocar espaço para elas de uma maneira que a área ocupada esteja de acordo com os requisitos do produto, visando também melhorar desempenho, visto que a organização dos blocos pode facilitar ou prejudicar a interconexão entre eles.

O floorplanning leva em conta memórias usadas no design, outros ips, sua necessidade de estar em uma região do chip e viabilidade de roteamento, pois deve ser levado em conta que blocos que possuem muitas conexões entre si devem ser posicionados mais próximos um dos outros. É também no floorplanning que é determinada a localização dos pinos de entrada e saída dos blocos. Um floorplanning mal projetado pode levar a um desperdício de área e a congestionamento de roteamento. Existem duas abordagens mais comuns usadas para fazer o posicionamento dos pinos em um bloco. São elas:

- Bottom-up
 - Os pinos são posicionados juntamente com as células para otimizar a localização de acordo com cada bloco.
 - Quando o topo do floorplan é terminado, a posição dos pinos é rearranjada considerando a estrutura de topo do chip.
- Top-down
 - Os pinos são inicialmente colocados no topo para otimizar o placement de uma forma geral
 - A localização é fixada dentro do bloco, e só então as células são colocadas.

A escolha de umas das abordagens acima depende do nível de conclusão do topo do chip final. Se está próximo de concluído, a abordagem top-down é mais recomendada, pois os resultados são mais próximos do ideal, visto que é implementado levando em conta a estrutura do topo. Se o topo ainda não está pronto, a abordagem bottom-up é importante para que o trabalho no bloco já seja iniciado.

Os objetivos maiores de posicionamentos dos pinos são: Identificar caminhos críticos e fazer compensações para otimizá-los, reduzir a quantidade dos fios entre blocos fazendo com que as rotas sejam mais diretas, resultando em um bom timing e menor congestionamento de fios.

Na metodologia de design, área e desempenho são objetos de ponderação. Isso é devido a uma limitação de recursos de roteamento, que quanto mais usado, mais devagar são feitas as operações (os sinais precisam percorrer distâncias maiores). Otimizar o design para usar uma área menor permite que seja usado menos recursos de roteamento e, ao mesmo tempo, que os blocos fiquem mais próximos uns dos outros. Isso leva a distâncias menores de interconexão e caminhos de sinal mais curtos.

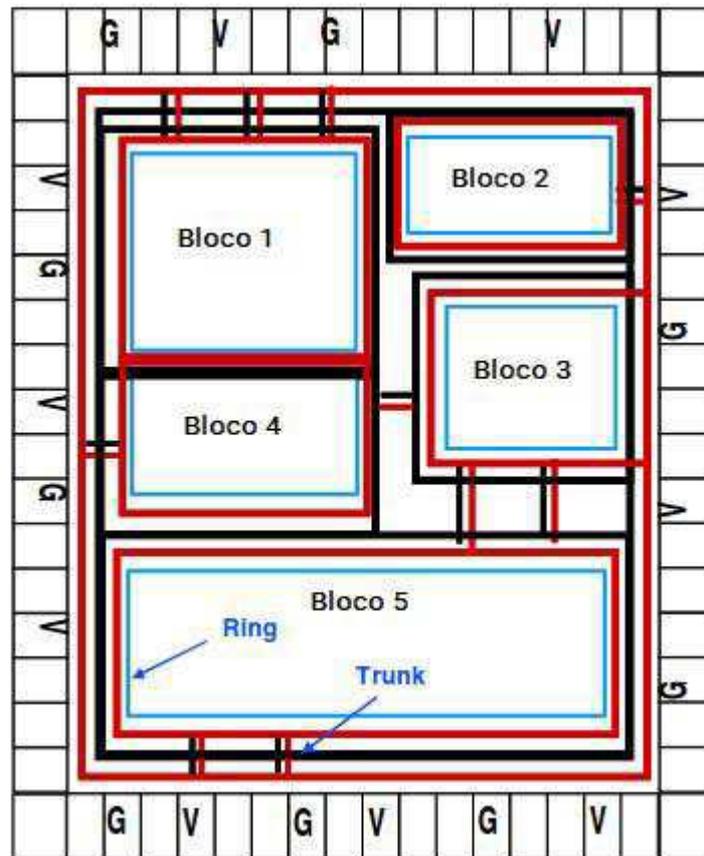
2.1.1 POWER PLANNING

É na fase de Floorplanning que acontece também o power planning. É aqui que é criado o plano de alimentação do chip, com o objetivo de fornecer energia devida para todas as instâncias.

É nessa fase que é decidido o tamanho dos fios de alimentação, do inglês, power stripes, os espaços entre eles, de forma que obedeça às larguras mínimas e espaçamentos mínimos para a tecnologia, e de forma que evite efeitos de queda de tensão (IR drop), deslocamento de terra (ground bounce) e eletromigração (electromigration). Tipos de power plan são:

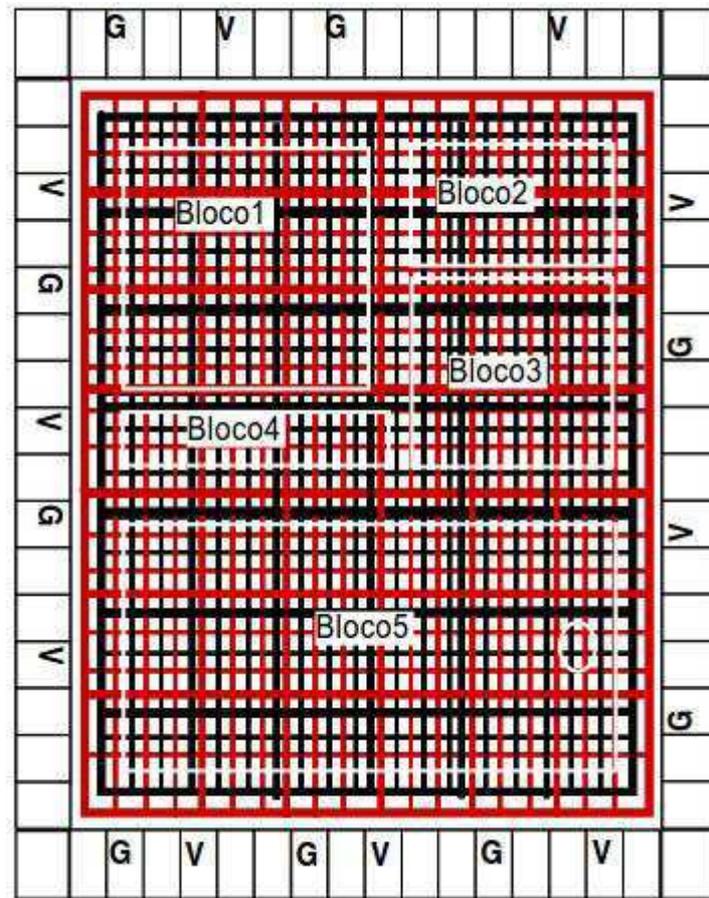
- Trunk and rings (Figura 2)
 - Roteamento alto nível, para distribuir energia para os blocos.
 - Cada bloco tem sua estrutura de anel.
- Grid uniforme (Figura 3)
 - Fios de alimentação redundantes nas camadas superiores de metal.
 - Mais robusta, porém, demanda mais recurso de roteamento.

FIGURA 2 - TRUNK AND RINGS



Fonte: O próprio autor.

FIGURA 3 - GRID UNIFORME



Fonte: O próprio autor.

2.1.1.1 POWER STRIPES

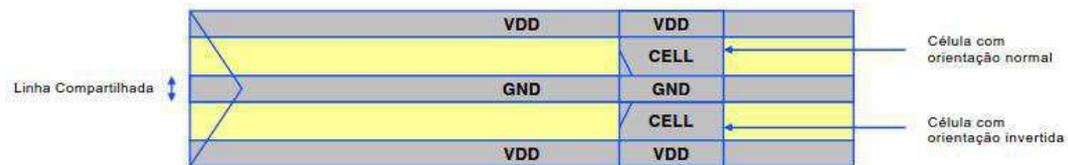
As power stripes são as trilhas de metal que alimentam as células do design. Distribuída de forma horizontal em uma camada e vertical na camada superior. Essa camada superior tem objetivo de reforçar a grid, com objetivo de reduzir IR drop. As stripes que estão diretamente conectadas às células são chamadas de followpins.

2.2 PLACEMENT

Placement é o processo de posicionar as standard cells em um design planejado (após floorplanning). Tem como objetivo posicionar as standard cells de uma maneira que permita que o roteamento seja viável, visando diminuir congestionamento e caminhos críticos. As células são posicionadas em linha, com mesma altura, de forma a ser

alimentadas pelos followpins. Células que estão emparelhadas podem compartilhar o mesmo vdd ou vss, sendo necessário somente mudar sua orientação, como pode ser visto na figura 4.

FIGURA 4 - COMPARTILHAMENTO DE GND



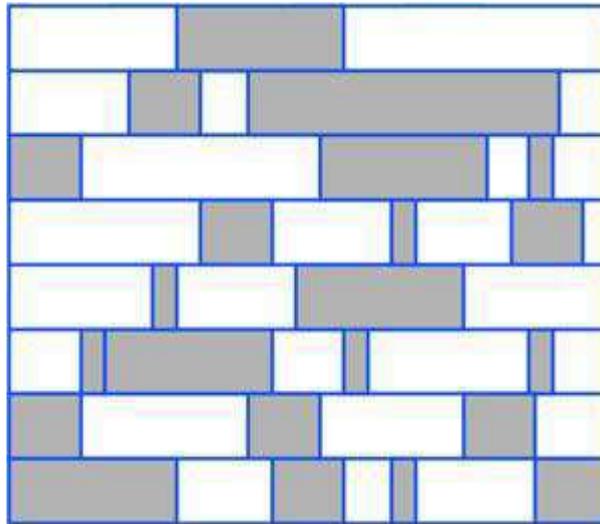
Fonte: O próprio autor

O primeiro passo da ferramenta no placement é chamado de global placement. Nessa etapa, as células são espalhadas de forma um pouco mais grosseira, havendo muitas vezes sobreposição entre células. O objetivo maior nesse passo é ter um posicionamento global.

Após o global placement, é feita uma etapa de legalização, onde as sobreposições são corrigidas, e as células também são corrigidas para ficarem com a mesma altura, que é a distância entre os followpins.

A terceira etapa é chamada de detailed placement. É nessa etapa onde são feitas melhorias, pois até agora, o placement só foi distribuído de forma grosseira. A ferramenta de placement irá tentar minimizar a distância de células que se conectam, com objetivo de diminuir quantidade de fios. Visa também diminuir congestionamento, pensando na viabilidade do roteamento. Essas mudanças são feitas a partir do reposicionamento das células no design. Pode ser visto na Figura 5 um esboço de um design após placement.

FIGURA 5 - CÉLULAS NO DESIGN APÓS PLACEMENT

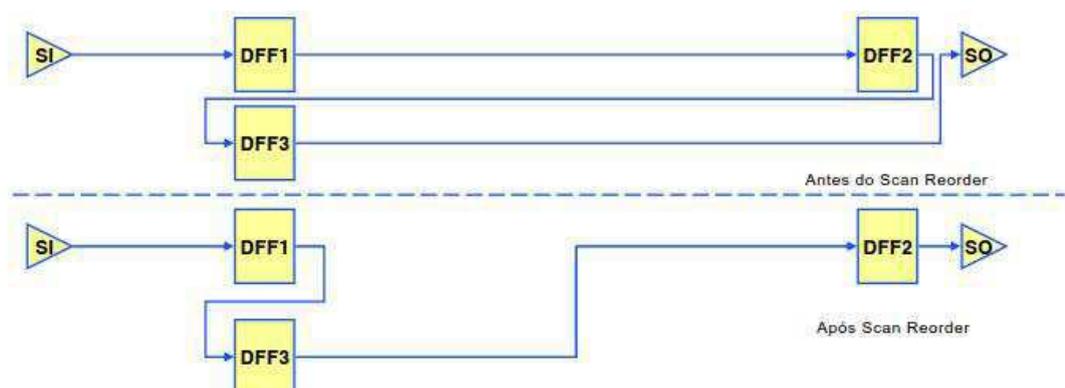


Fonte: O próprio autor

É no placement também que é feito um processo chamado de reordenamento de scan chain. Scan chains é uma técnica usada em DFT(Design for Testability), que tem como objetivo testar o chip de forma rápida. Todos os registradores do design são conectados em uma scan chain para que suas entradas possam ser controladas e suas saídas observadas.

É possível selecionar se a entrada do registrador é a do seu funcionamento normal ou uma entrada externa a partir do scan enable. Com isso, o testador pode passar um vetor de teste para todos os registradores do design, deixar o chip trabalhar no modo funcional e observar se as saídas dos registradores estão conforme as esperadas. O reordenamento das scan chains serve para re-arranjar as scan chains para minimizar congestionamento. Um exemplo dessa reordenação pode ser visto na Figura 6.

FIGURA 6 - REORDENAMENTO DE SCAN CHAIN

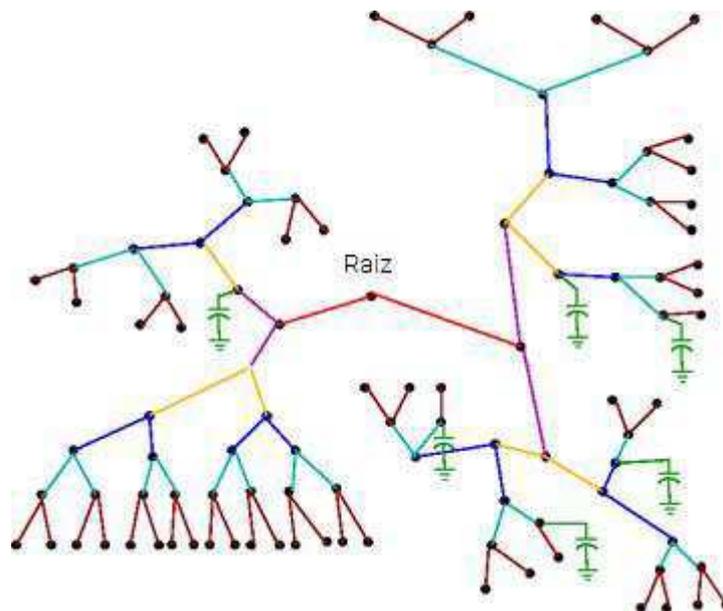


Fonte: O próprio autor

2.3 CLOCK TREE SYNTHESIS

O sinal de relógio, do inglês, clock, é um sinal usado para coordenar as ações do circuito. A rede de distribuição de clock leva o sinal de um ponto até todos os elementos que precisam dele. A dificuldade para fazer essa distribuição aumenta quando temos um chip grande, com distribuição não uniforme, e o clock precisa chegar ao mesmo tempo para todas as instâncias. Uma visão geral de uma árvore de clock (clock tree) pode ser vista na Figura 7.

FIGURA 7 - CLOCK TREE



Fonte: O próprio autor

Numa clock tree grande, em um design muito extenso, existe uma grande quantidade de fios para poder fazer toda as ligações. Fios longos significa um atraso no tempo de chegada do clock. O desempenho pode ser impactado pelo grande fanout da clock tree, que causa atraso de sinal e também prejuízo no tempo de transição. O processo de corrigir algumas dessas dificuldades inclui a inserção de buffers para adiantar o sinal de clock e assim reduzir o atraso, delay, entre a fonte de clock e os registradores de destino. As propriedades mais comuns na clock tree são: clock skew, latência e jitter.

2.3.1 CLOCK SKEW

Clock skew é a diferença de tempo entre o tempo máximo e mínimo que o clock leva para alcançar diferentes registradores de destino. Esse fenômeno é causado por diferentes tipos de buffer, variação do processo interno ao chip (on chip variation), capacitância e resistência ao longo dos caminhos.

Zero skew é uma abordagem clássica para gerar a árvore de clock. O objetivo é fazer com que o skew seja zero, ou seja, todos os registradores do design são ativados ao mesmo tempo, tomando vantagem de todo o período de clock. Isso não implica necessariamente em melhor desempenho.

Useful skew é a técnica que tira vantagem do skew presente, podendo ajudar a alcançar tempo de setup, deixando alguns caminhos com período de clock maior ou menor, a depender da lógica combinacional presente. O que acontece é que um tempo é pegado emprestado de caminhos que tem slack positivo, ajustando os delays nos caminhos de sinal de clock com slack negativo.

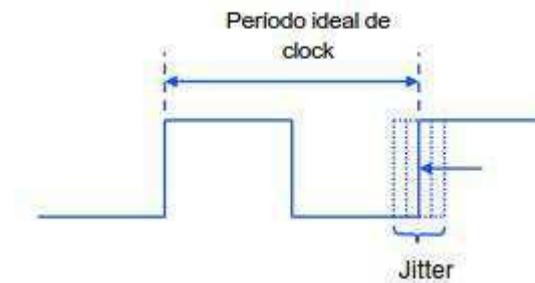
2.3.2 LATÊNCIA

Latência: Também conhecido como insertion delay, É o tempo que o clock demora para propagar da sua raiz até o pino de clock dos registradores.

2.3.3 JITTER

Jitter, ou Uncertainty, é uma variação aleatória do sinal de clock em relação ao seu período ideal. Pode ser causado por ruído mecânico do cristal de vibração, crosstalk, IR drop, ground bounce, interferência eletromagnética. O jitter é considerado desde o projeto RTL, pois pode impactar bastante o desempenho, e se não considerado desde o início, pode inviabilizar o design físico. O jitter pode ser visto na figura 8.

FIGURA 8 - JITTER



Fonte: O próprio autor

2.3.4 OBJETIVO DA CLOCK TREE SYNTHESIS

O objetivo da clock tree synthesis é assegurar que o sistema funcione corretamente com a frequência de clock planejada, inserindo buffers para minimizar skew e latência, otimizando timing. Ao final da síntese, a árvore de clock tem que entregar o clock com uma transição aceitável, minimizando consumo de energia, já que o clock está sempre comutando.

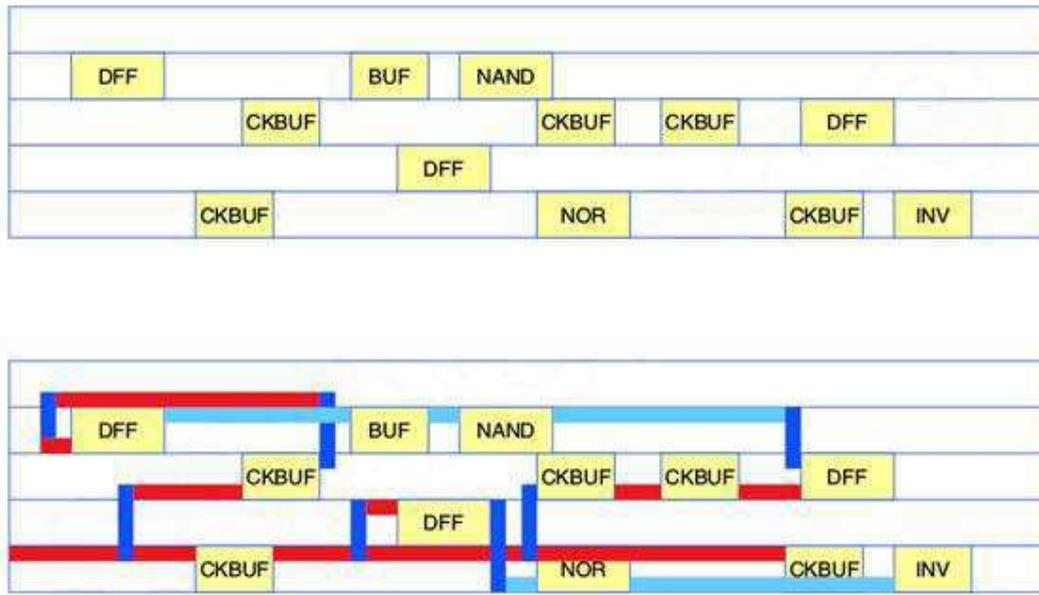
Para que a ferramenta usada consiga fazer a clock tree, o projetista deve informar alguns parâmetros que ele quer que seja obedecido. Deve ser definido quais as camadas que a clock tree deve ocupar, constraints (regras limitantes) que devem ser satisfeitas, como máximo insertion delay, máximo skew, mínimo skew, definir tipos de buffer que devem ser colocados, máximo fanout desses buffers, entre outros parâmetros.

Após os buffers serem inseridos a CTS é roteada, além de passar por otimizações para atingir timing.

2.4 ROTEAMENTO

Após o placement das células e das macros, as conexões entre as células precisam ser formadas usando metal e vias, caracterizado a etapa de roteamento, como pode ser visto na Figura 9. É após esse passo que as medidas de timing ficam mais exatas. Todas essas conexões precisam obedecer às regras de design, levando em consideração fatores como: largura dos fios, regras de área mínima, espaçamento entre fios, integridade de sinal.

FIGURA 9 - ANTES E DEPOIS DO ROTEAMENTO



Fonte: O próprio autor.

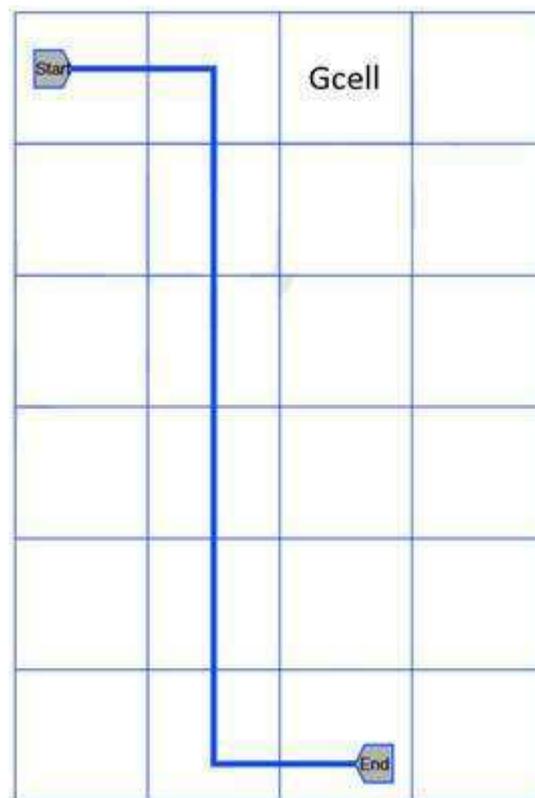
A ferramenta de roteamento vê o design como uma malha, dividida em linhas horizontais e verticais, onde essa malha serve como um guia para roteamento, pegando uma área como referência nessa malha e algumas vizinhas a ele para rotear. Isso é feito com objetivo de economizar memória, mas também com foco em poder paralelizar a atividade, fazendo com que o tempo de projeto seja viável em grandes chips.

As linhas de metal precisam ter uma largura mínima, e devem ser espaçadas por um intervalo mínimo, a depender a tecnologia de fabricação. Essas larguras e espaçamentos existem, pois, deve-se evitar curto circuito ou circuito aberto durante a fabricação. Congestionamento acontece quando existem mais fios a ser passados do que fios disponíveis para roteamento.

2.4.1 GLOBAL ROUTING

A primeira etapa do roteamento é chamada de global routing. O roteador quebra a área disponível para roteamento em retângulos, chamados gcells. O roteador atribui os sinais pelas gcells, tentando encontrar o menor caminho que passe entre elas. Essa ligação pode ser vista na Figura 10.

FIGURA 10 - GCELLS



Fonte: O próprio autor.

Nessa etapa, os fios não são criados ainda. É nela que é criado um plano grosseiro de roteamento que servirá de base para o roteamento detalhado. Esse planejamento tenta minimizar o comprimento dos fios e otimizar rotas pensando em timing (setup e hold) e SI (Signal Integrity). Evita passar mais fios por um caminho do que ele pode comportar, e no fim gera um mapa de congestionamento, indicando os locais do design onde estão os pontos mais congestionados.

2.4.2 DETAIL ROUTING

A segunda etapa do roteamento é chamada detail routing. É nessa etapa que a ferramenta conecta os pinos às suas respectivas nets. Aqui, as regras de design devem ser conhecidas, pois a ferramenta tenta completar todas as conexões sem violar nenhuma.

O detail routing, a cada tentativa, vai completar todas as rotas, mesmo aquelas com violação, podendo criar curtos ou violação de espaços em vez de deixar algum caminho sem fio. Ele segue o guia do roteamento global, fazendo a colocação dos fios que conectam os pinos às suas nets correspondentes. Após cada iteração, na tentativa de

completar tudo sem violações, executa o search-and-repair, localizando as violações e curtos, re-roteando essas áreas para corrigir os erros.

2.4.3 TRIAL ROUTING

Um tipo particular de roteamento é denominado Trial Route. É o primeiro passo após a etapa de placement. No trial route, a ferramenta faz um rápido roteamento global e detalhado, porém, de forma não muito precisa, pois não faz correção de DRC.

O propósito maior do trial route é estimar congestionamento. Com o mapa de congestionamento, o projetista já tem um bom feedback para saber viabilidade do roteamento nas próximas etapas. Se o design estiver muito congestionado, o ideal é voltar para a etapa de floorplan e tentar melhorar. O mapa de congestionamento mostra onde estão os pontos mais críticos do design.

Como no trial route existem fios reais, a estimativa de parasitas é mais realista. Porém, essa etapa foca em saber timing e não problemas de SI. Apesar disso, não corrige os problemas de timing. No geral, nessa etapa é só visto um esboço da condição do seu design.

2.4.4 PRIORIDADES NO ROTEAMENTO

A etapa de roteamento tem que fazer uma escolha entre melhorar timing ou congestionamento. É por isso que existem duas abordagens na etapa de roteamento chamada timing-driven e congestion-driven.

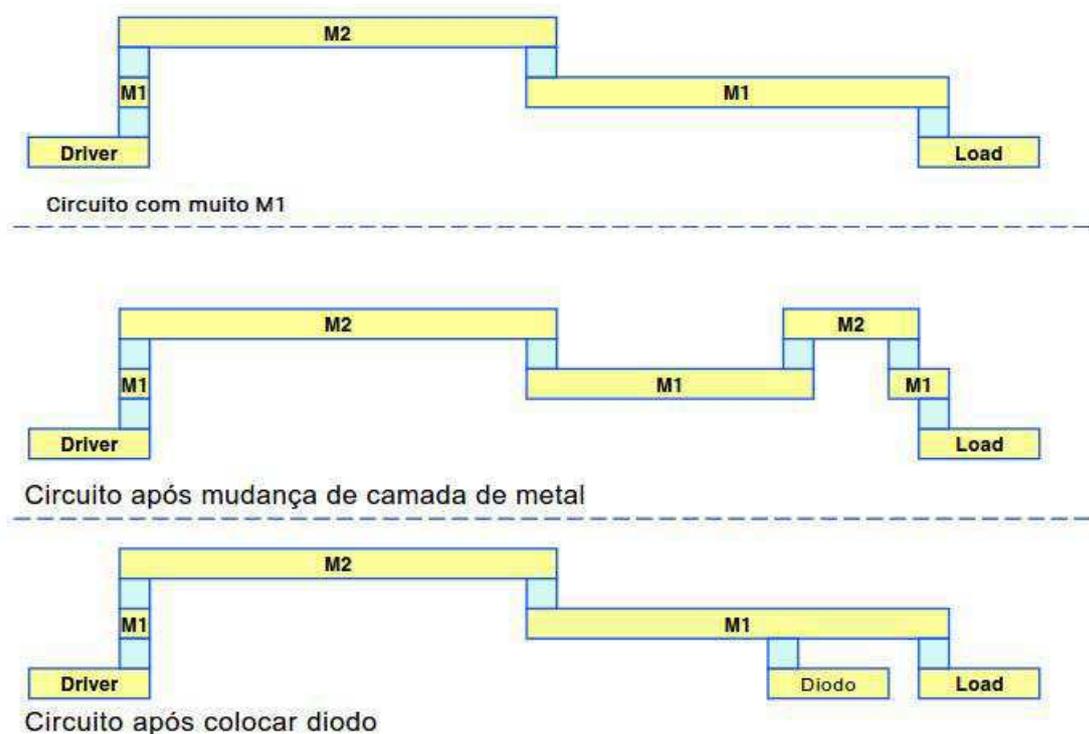
- Timing-driven routing
 - Roteamento ao longo de caminhos críticos é prioridade, criando conexões mais curtas e mais rápidas ao longo desses caminhos. Caminhos não críticos são roteados em volta de caminhos críticos, diminuindo problemas de congestionamento para caminhos críticos, e não impactando tanto no resultado final de timing.
- Congestion-driven routing
 - O roteador tenta diminuir congestionamento, realocando nets que estão em uma área congestionada para áreas menos congestionadas, e roteando essas nets por lá.

2.4.5 PROCESS ANTENNA EFFECT

Durante o processo de fabricação de um chip, cargas podem ficar acumuladas no metal se a área que ele ocupar for muito grande. Essa carga pode ser descarregada no gate, passando uma alta corrente por ele. Essa descarga pode danificar o gate e causando falha no funcionamento do chip. Esse fenômeno é chamado de Process Antenna Effect, ou simplesmente PAE.

Para corrigir esse problema, pode-se fazer desvios no metal com grande área ocupada, usando camadas superiores para rotear parte do sinal. Também é possível corrigir colocando diodos para proporcionar um caminho alternativo de descarga. O uso do diodo para resolver essa situação tem mais penalidade de timing, pois o diodo aumenta a capacitância da net. Mudança de layer aumenta congestionamento pois usa mais metais. Uma visualização dessas correções pode ser vista na Figura 11.

FIGURA 11 - CORREÇÃO DE PAE

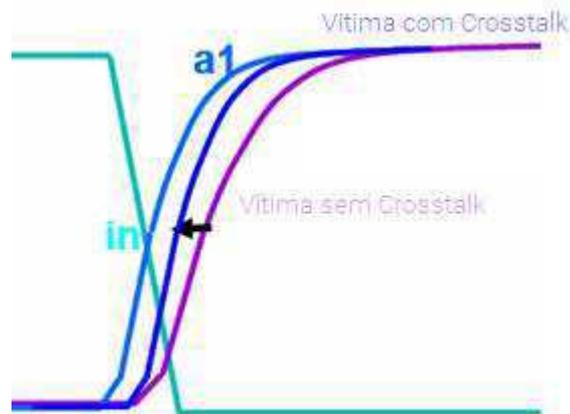


Fonte: O próprio autor.

2.4.6 EFEITO DE INTEGRIDADE DE SINAL (SI)

Tecnologias mais novas são muito sensíveis à efeitos de SI, como crosstalk. Crosstalk é medido após os fios serem colocados. Esse efeito pode modificar o delay de uma net, e assim, causando problemas de setup e hold. Um sinal pode ser acelerado caso o sinal agressor esteja subindo e a vítima também (Figura 12). Um sinal pode ser atrasado se o sinal agressor estiver descendo e a vítima subindo (Figura 13).

FIGURA 12 - SINAL ACELERADO



Fonte: O próprio autor.

FIGURA 13 - SINAL ATRASADO



Fonte: O próprio autor.

Outro problema de integridade de sinal é o glitch, onde pode acontecer uma mudança do valor lógico da vítima devido á uma transição do sinal agressor. Isso pode causar, por exemplo, um reset inesperado.

Problemas de integridade de sinal podem ser resolvidos pelo roteador usando um maior espaçamento entre os fios, aumentando o drive strength da vítima, o que deixa o sinal mais forte, usar shielding em áreas afetadas, que é usar nets de VDD ou VSS em

volta de sinais mais fracos, fazer mudança de metais para outras camadas e evitar fios paralelos.

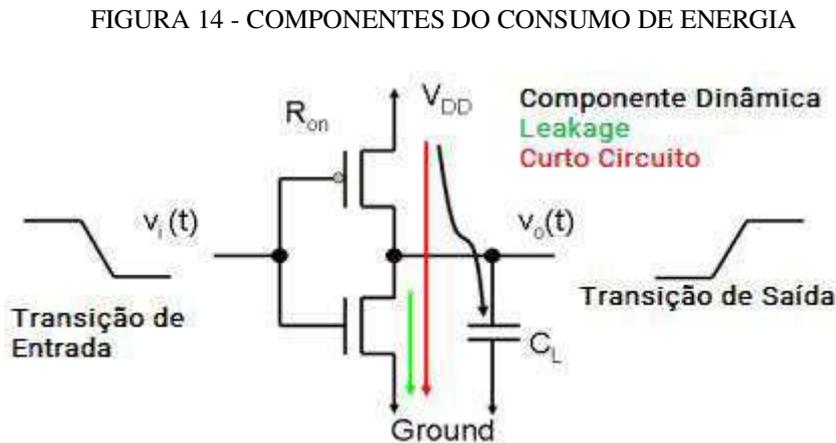
2.5 CONSUMO DE ENERGIA (POWER CONSUMPTION)

Power consumption é a quantidade de energia que deve ser fornecida para o circuito para que ele mantenha o modo de operação normal. Reduzir esse consumo é importante para aumentar a vida útil do dispositivo, além de reduzir temperatura, resultando em: Melhor timing, reduz leakage, custo menor para resfriamento e simplifica a fonte de alimentação. É na biblioteca de power que as células são descritas de tal forma que representam as características de consumo de energia delas.

O consumo e energia de um chip tem duas componentes, a estática e a dinâmica:

- Componente estática
 - Dispositivos de silício não são chaves ideais, existindo uma dissipação de potência quando os sinais do circuito não estão comutando. Essa dissipação inclui o leakage.
- Componente dinâmica
 - Energia consumida devido à carga e descarga da carga capacitiva, e também composta pela energia de curto circuito, que é a energia consumida quando os dois transistores estão ligados ao mesmo tempo.

Uma visão dessas componentes de energia pode ser vista na Figura 14.



Fonte: O próprio autor.

2.5.1 ANÁLISE DO CONSUMO DE ENERGIA

A ferramenta pode fazer dois tipos de análise do consumo de energia de um design. É a análise estática e a análise dinâmica.

2.5.1.1 ANÁLISE ESTÁTICA

Na análise dinâmica, o consumo é computado baseado em algumas suposições, como:

- Área
 - É assumido um consumo por unidade de área e feito uma multiplicação pelo tamanho do chip. Não é acurado, usado mais no passo de floorplanning, onde as estimações não têm necessidade de ser tão precisas.
- Célula
 - Consumo de cada célula é levado em conta a partir da biblioteca de power. O cálculo é mais exato, e também mais comumente usado pelas ferramentas de síntese antes do place and route.
- Instância
 - Leva em consideração a carga de saída de cada instância. Calcula o consumo a partir de tabelas da biblioteca. A mais acurada, mas precisa de informações do place and route.

Não é feita simulação para saber qual a atividade verdadeira da net, sendo mais usado na fase inicial do projeto, pois é rápido, ideal para usar durante as muitas interações iniciais, durante o amadurecimento do fluxo de projeto e do bloco.

2.5.1.2 ANÁLISE DINÂMICA

É o consumo de energia de cada instância durante o tempo, usando a real atividade da net, e não uma estimativa, resultando em um maior esforço computacional para fazer a tarefa.

Precisa de estímulos de teste na entrada para fazer a análise. Esses estímulos podem ser:

- Baseado em vetor

- Solução mais exata se os vetores para simulação forem bem elaborados. Vetores de teste são passados para as entradas dos blocos.
- Sem vetor
 - Usa um número percentual de chaveamento para variar os sinais de entrada dos blocos.

Além disso, a análise dinâmica tem dois níveis de profundidade de análise: nível de transistor e nível de porta lógica.

- A análise a nível de transistor não usa a abstração de célula e faz análise em nível de transistor, fazendo ela ser muito exata, porém, muito lenta.
- A análise a nível de porta lógica, apesar de não ser em nível de transistor, é bem precisa, e suficiente, devido a boa modelagem do comportamento de consumo das células feito pelas fabricantes, além de fazer essa análise bem mais rápido do que transistor level.

2.6 ANÁLISE DA POWER GRID

Um sistema de distribuição em um circuito integrado tem como objetivo disponibilizar tensões e correntes aos transistores para que façam funções lógicas no chip. A power grid deve minimizar os efeitos de IR drop, ground bounce e Eletromigração para garantir que a energia que vem da fonte seja distribuída corretamente e uniformemente para todas as células.

2.6.1 QUEDA DE TENSÃO (IR DROP)

IR drop é a queda de tensão causada pelo fluxo de corrente através de caminhos resistivos pelo chip. Se ocorre no caminho do sinal, pode atrasar um dado, e assim podendo violar tempo de setup. Se ocorre no caminho do clock, pode causar problema de hold em todos os registradores desse caminho.

2.6.2 GROUND BOUNCE

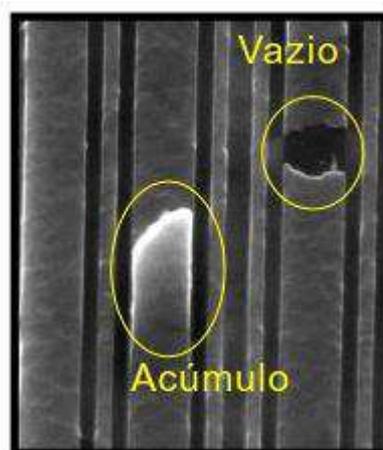
Ground bounce são picos de tensão causados pelo alto fluxo de corrente através de um terra resistivo. O terra acaba variando sua tensão original, e assim, não proporciona um caminho ideal para escoar as cargas corretamente.

2.6.3 ELETROMIGRAÇÃO

A eletromigração é uma palavra derivada da conjunção de duas palavras que causam o fenômeno, ou seja, elétron em migração, ou corrente. À medida que os elétrons se movem através do fio de metal, colidem com os íons metálicos estacionários presentes no metal. Esta colisão com os elétrons de alta energia faz com que uma parte do momento do elétron seja transferida para os íons metálicos.

Isso pode levar a um deslocamento de átomos de metal no material condutor. O deslocamento gradual de átomos de metal causa a formação de espaços vazios ou acúmulos de metal no fio, podendo ser visto na Figura 15. Um vazio pode levar à formação de uma abertura no fio, enquanto um acúmulo de metal pode formar um curto com um fio adjacente. Este efeito torna-se mais proeminente em aplicações que envolvem altas densidades de corrente, podendo levar a danos permanentes do fio. Então, o roteador deve ter o cuidado de observar onde existe altas densidades de corrente no circuito e tentar resolver esse tipo de situação.

FIGURA 15 - ELETROMIGRAÇÃO



Fonte: <http://www.diei.unipg.it/RICERCA/voidhill.gif>

2.6.4 ABORDAGENS PARA ANÁLISE DE POWER GRID

A análise da power grid pode ser feita usando duas abordagens, a estática e a dinâmica. Ambas análises precisam que as resistências e as capacitâncias parasitas da power grid sejam extraídas.

2.6.4.1 ANÁLISE ESTÁTICA

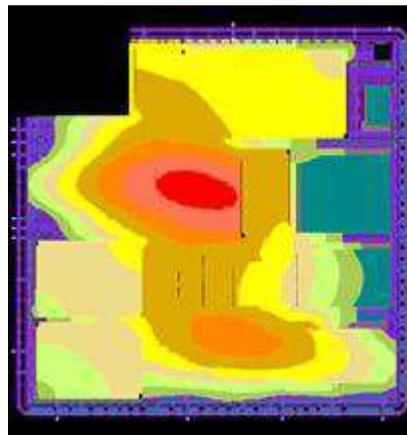
A análise estática da power grid é uma abordagem simples, que consegue analisar muitos aspectos da grid sem extensivas simulações de circuito. Não precisa de simulação real do funcionamento, mas em contrapartida, perde em precisão. A análise estática resolve lei de ohm e kirchoff para uma dada network, detectando e consertando maiores problemas de alimentação na grid, como vias faltando, vias insuficientes, falta de conexões de energia ou largura dos fios insuficiente.

2.6.4.2 ANÁLISE DINÂMICA

A análise dinâmica da power grid é uma abordagem mais completa, pois calcula as características da power grid durante o tempo. Simula vetores de teste específicos, identificando qual estímulo de teste ativou um defeito de implementação. Obtém melhor estimativa da magnitude da queda de tensão, já que temos os valores reais de análise, e não uma média aproximada como na análise estática.

Algumas medidas para corrigindo IR drop são: Usar power stripes mais largos, diminuindo a queda de tensão. Adicionar mais metal de camadas superiores na grid para distribuir melhor a energia. Adicionar decoupling capacitors, que fazem o papel de uma fonte de carga local. Uma visão geral de IR drop, dada como relatório da análise de power grid, pode ser vista na Figura 16.

FIGURA 16 - MAPA DE IR DROP



Fonte: O próprio autor.

2.6.5 TÉCNICAS DE BAIXO CONSUMO (LOW POWER)

A necessidade por designs low power aumentou exponencialmente com o aumento da densidade do chip. Consumo de energia é uma constraint como timing e área. Então quanto mais cedo no design o consumo de energia é abordado, melhor são as economias. Além disso, existem mais graus de liberdade para mudanças se os problemas forem identificados nos passos iniciais da implementação.

2.6.5.1 CLOCK GATING

Uma abordagem para low power é o clock gating, que tem como foco principal desligar clock de alguns registradores durante períodos de inatividade, evitando consumo de energia desnecessário. A implementação do clock gate tem pequeno impacto na arquitetura, e é de fácil implementação. Consiste em inserir células de clock gate no caminho do clock. Uma desvantagem é que pode causar problemas de setup e hold.

2.6.5.2 MULTI-THRESHOLD LOGIC

Outra abordagem de low power muito usada é a multi-threshold logic, que visa utilizar bibliotecas com múltiplos v_t (tensão de threshold do transistor). Hoje, as bibliotecas disponibilizam normalmente 3 versões de cada célula: pequeno (low) v_t , v_t padrão (standard) e grande (high) v_t . Maior v_t implica em power menor, porém, a célula fica mais lenta. Com menor v_t , a célula é mais rápida, porém, consome mais energia.

Cabe ao projetista escolher os tipos célula para poder melhorar tanto power quanto timing, a depender da necessidade.

2.7 EXTRAÇÃO DE PARASITAS

Extração de parasitas é o processo de medir a capacitância e resistência de todos os fios do circuito. A extração irá lidar com fios ou conexões no design. Para cada tecnologia, esses fios ou conexões tem suas regras e especificações associadas a cada camada de metal, como por exemplo: largura, pitch (largura mais espaçamento), espaçamento, resistência por unidade quadrada (RPSQ). O cálculo da resistência é simples, sendo somente necessário somar as resistências de cada layer e das vias. Cálculo da capacitância pode ser mais complicado, pois temos que levar em consideração a capacitância da linha pra terra, entre linhas na mesma camada, ou entre camadas diferentes.

SPEF (Standard Parasitic Exchange Format) é o padrão IEEE para representação dos dados parasitas de fios em um chip no formato ASCII. O arquivo de saída SPEF é usado em muitos outros passos no fluxo, necessário no cálculo de delay, SI e STA. O SPEF é gerado a partir de DEF ou GDSII. A descrição da net pode ser detalhada ou reduzida, dependendo o nível da análise (otimização ou sign-off).

2.8 CÁLCULO DE DELAY

É nessa etapa que se calcula os delays dos caminhos do design, considerando propagation delay, slew de entrada, delay da célula e interconnect delay.

O delay da célula é o delay relativo ao caminho representado por uma célula, determinado pelo delay intrínseco da célula, carga da célula e o slew do sinal na sua entrada. A relação do delay a partir do load e slew da célula é obtido a partir de uma tabela dentro de uma biblioteca da tecnologia. Na biblioteca tem as células já caracterizadas para timing. Então, dado um slew e um load, é consultado na tabela da célula o delay correspondente.

O delay através das nets ou interconnects de um design é calculado a partir da resistência e capacitância das nets, e esses valores podem ser:

- Estimado: usa wire load model.

- Reduzido: Usa SPEF reduzido, com valor aproximado de RC da net.
- Detalhado: Usa SPEF detalhado e tem valores detalhados de RC da net.

Quanto mais avançado no fluxo, melhor é a estimativa de delay, pois as medidas passam a não ser baseadas em estimativas, mas sim baseadas nos fios reais colocados com o passar das etapas.

SDF é o padrão IEEE para representação e interpretação dos dados de timing para uso em qualquer estágio durante o fluxo de implementação de um design. O SDF é usado em muitos outros passos do fluxo, como na etapa de análise de signal integrity, onde o delay calculation cria um SDF incremental para análise de timing, baseado nos SI parasitas. Na STA, o arquivo SDF é usado para anotar timing em células e nets.

2.9 STATIC TIMING ANALYSIS (STA)

O objetivo de fazer uma análise de tempo é verificar se o design bate os requerimentos de timing, dado certas constraints de timing. Deixa determinar o quão rápido um design pode rodar sem violar timing.

A etapa de STA adiciona delays a todos os elementos em um caminho e compara com as constraints de timing, analisa todos os possíveis caminhos ligeiramente. STA ignora funcionalidade do circuito, analisando caminhos que logicamente podem não percorridos. Esses caminhos devem ser definidos como false path pelo projetista. Essa etapa pode ser executada em qualquer estágio no fluxo de back-end.

As timing constraints representam os objetivos do seu design, como definição de clock, delay de entrada, delay de saída e condições de operação. As constraints são verificadas antes de entrar no processo de STA, para verificar se foram definidas todos os delays de entrada e saída, ou se existem erros, como múltiplos clocks chegando em uma célula.

2.9.1 STA NA CTS

No passo de pre-CTS (antes da clock tree), é usado um clock ideal com incerteza, que consiste em uma margem (delay adicional no design), clock skew e clock jitter. A latência também é uma estimativa.

Já no passo de post-CTS, a incerteza consiste apenas em margem e jitter, já que o clock skew pode ser calculado com mais precisão, pois a clock tree já foi implementada e o skew é real, e não estimado. A latência também é calculada a partir dos delays reais.

2.9.2 SETUP E HOLD

A etapa de STA vai analisar se os caminhos do circuito estão violando setup e hold. Setup é o tempo que o sinal deve estar estável antes da borda de subida do clock. Se o sinal atrasa, ocorre violação de setup. Hold time é o tempo que o sinal deve ficar estável após a borda de subida. Se o sinal chega muito rápido, ocorre violação de hold.

Para consertar algumas dessas violações de timing, a ferramenta faz uso de algumas técnicas. Para consertar violação de setup, é necessário acelerar o sinal, então a ferramenta pode aumentar o drive strength da célula ou adicionar buffers para diminuir fanout da célula. Para consertar violação de hold, é necessário atrasar o sinal, então pode-se adicionar células de delay no caminho ou reduzir drive o strength da célula.

2.9.3 EXCEÇÕES NA STA

Na etapa de STA, alguns caminhos devem ser excluídos ou manipulados durante a análise. Os dois casos mais conhecidos para se tomar atenção são:

- False path
 - Um caminho que não tem propósito funcional (nunca é percorrido ou só é possível acontecer em modos de operação especial) devem ser definidos como false path nas constraints.
- Multicycle paths
 - Ocorre em casos onde um dado gerado por um domínio de clock é passado para outro domínio de clock. Então, pode ter uma espera de um pelo outro. Isso deve ser especificado nas constraints como multicycle path.

2.9.4 CONDIÇÕES DE OPERAÇÃO

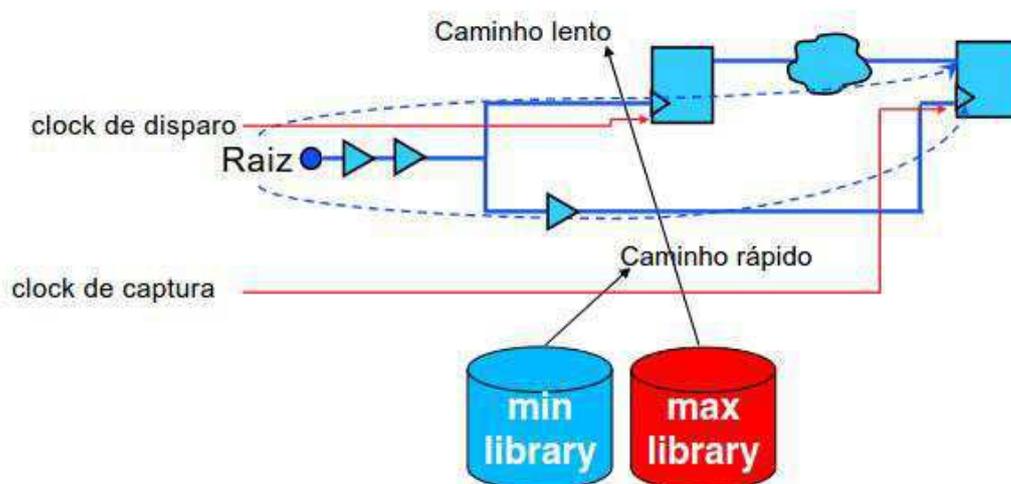
Circuitos integrados apresentam diferenças de performance dependendo das características de tensão, temperatura e processo de fabricação (PVT). Cada wafer é fabricado de uma maneira minimamente diferente, e assim, rodam em velocidades

ligeiramente diferentes. Além disso, podem existir diferenças dentro do mesmo chip (On chip variation, OCV). As condições de operação são normalmente divididas em três: worst, best e typical. Essas condições podem estar numa mesma biblioteca (min, typ ou max), ou pode ter uma biblioteca para cada modo de operação. Nessas bibliotecas, temos a caracterização da célula para as variadas condições de operação.

Não podemos assumir que o PVT é constante por todo o chip, então, dentro de um chip, pode ocorrer variações que podem impactar em mudanças. É importante avaliar o impacto dessas mudanças. Na análise de tempo considerando On Chip Variation (OCV), podemos ter diferentes condições de operação pelo chip.

Por exemplo, o caminho do sinal de dado de um registrador pode ter condição de operação diferente do sinal do caminho do clock. O objetivo nesse modo de análise é avaliar o timing de cada caminho, usando diferentes condições de operação (typical, min e max). No geral, a análise deve satisfazer o timing para essas diferentes combinações. Uma visão desse problema pode ser vista na Figura 17.

FIGURA 17 - OCV



Fonte: O próprio autor.

2.9.5 MMMC (MULTI MODE MULTI CORNER)

Hoje, os chips podem possuir vários modos de operação, como diferentes modos de teste. Cada modo de operação tem um certo conjunto de constraints (SDC). Então,

MMMC (Multi Mode Multi Corner) permite que as análises levem em conta diferentes condições de operação, OCV e modos de operação.

Esse tipo de análise também verifica alguns aspectos de DRC. Design rule constraints (DRC) são requisitos que dependem da biblioteca da tecnologia. As regras são estabelecidas pelo fabricante da tecnologia para que o circuito fabricado tenha um funcionamento correto. O designer pode adicionar regras, mas não pode remover restrições do fabricante. Por exemplo, a saída de cada gate normalmente tem as seguintes design rules: Max transition, max fanout e max capacitance.

2.10 OTIMIZAÇÕES NO DESIGN

A otimização é o processo de iteração através de um design de forma que atenda vários requisitos do projeto, como timing, SI, Power, Área.

2.10.1 OTIMIZAÇÃO DE TIMING

Otimização para timing pode aumentar o tamanho dos gates, aumentando assim o drive strength das células, e assim, reduzindo o tempo de transição do sinal para uma determinada carga. Outra abordagem para otimizar timing é reduzir capacitância dos fios. Normalmente envolve adicionar buffers ou mudar fios para outras camadas que possuem menor resistência. Por fim, se a ferramenta não consegue mais otimizar timing no back-end, resta mudar algumas funções do rtl (lógica de um somador por exemplo), ou adicionar um pipeline extra na lógica.

2.10.2 OTIMIZAÇÃO DE SI

Otimizações para SI (Signal Integrity) consistem normalmente em aumentar drive strength da net vítima para diminuir o efeito de crosstalk ou inserir buffers em um caminho para diminuir fanout. Pode-se também distanciar mais os fios que se agredem, mudar ele de layer ou fazer fazer shielding em volta dele.

2.10.3 OTIMIZAÇÃO DE POWER

Otimizações de power inclui diminuir tamanho das standard cells ou mudar células LVT por HVT (conflita diretamente com otimizações de timing).

2.10.4 OTIMIZAÇÃO DE ÁREA

Otimizações de área englobam diminuir tamanho das memórias de um design, porém é tarefa do rtl designer. Diminuir gates melhora um pouco, mas o custo de SI e timing é maior.

2.10.5 ESTÁGIOS DAS OTIMIZAÇÕES

Tipicamente, as etapas de otimização nas etapas antes da CTS, após a CTS e após roteamento. Cada etapa dessa possui algumas características, que são:

2.10.5.1 PRÉ-CTS

Otimização acontece logo depois do placement. Temos o maior grau de liberdade de todas as etapas, pois a clock tree ainda não foi definida e não aconteceu nenhum roteamento. As técnicas mais usadas durante essa etapa de otimização são:

- Inserir buffers para diminuir fanout alto.
- Redimensionamento de células.
- Reestruturação lógica.

Como ainda não temos roteamento, então otimizações que mudam camada de metal ainda não são feitas nesse estágio.

2.10.5.2 PÓS-CTS

Otimização acontece após a árvore de clock ser implementada. Nesse ponto, já temos o clock skew. Se o skew for prejudicial, pode ter violação de timing. Para diminuir efeitos do skew, podemos:

- Inserir buffers para diminuir skew.
- Usar métodos já citados de consertar timing.

Como a CTS tem fanout alto e muda de valor constantemente, é um dos principais responsáveis por problemas de SI. Shielding pode ser feito em volta do clock para prevenir esses problemas. Nesse estágio, a clock tree já pode estar roteada.

2.10.5.3 PÓS-ROTEAMENTO

Otimização acontece logo após roteamento. Esse estágio é o que tem menos liberdade para fazer modificações, pois nesse ponto já temos a clock tree, junto com suas otimizações. O foco dessa etapa é maior em consertar problemas de violação de setup e hold, usando técnicas como:

- Mudar camadas de metal.
- Redimensionar gates.

2.11 VERIFICAÇÃO DE DESIGN

A verificação física é um processo pelo qual um projeto de layout de circuito integrado (layout IC) é verificado por meio de ferramentas de software EDA para verificar se ele atende a determinados critérios. A verificação envolve etapas como verificação de regra de design (DRC) e layout versus esquema (LVS).

2.11.1 VERIFICAÇÃO DRC

Verificação da regra de projeto (DRC) é a área da automação de design eletrônico que determina se o layout físico de um determinado chip satisfaz uma série de parâmetros recomendados denominados regras de design. Essas regras envolvem, por exemplo:

- Conectividade
 - Verifica se o circuito possui circuitos abertos, pinos não conectados, fios soltos ou roteamento incompleto.
- Geometria
 - Verifica medidas como largura, comprimento, espaçamento, área e extensão dos fios.
- Antena check

- Evita deixar muito metal numa camada só, prevenindo acumulação de cargas nesse metal. Resolve fazendo desvios nesse caminho usando outras camadas de metal ou usando diodos.
- Manufaturabilidade (Yield)
 - Procura usar vias redundantes, células mais robustas e usar fios mais grossos, com o objetivo de, mesmo com uma falha de fabricação do wafer, o design ainda mantenha funcionalidade.

2.11.2 VERIFICAÇÃO LVS

O Layout Versus Schematic (LVS) é a etapa de verificação de design que determina se um determinado layout de circuito integrado corresponde ao esquema original ou diagrama de circuito do projeto.

Uma verificação de regra de design bem-sucedida (DRC) garante que o layout esteja de acordo com as regras exigidas para fabricação sem falhas. No entanto, não garante se representa realmente o circuito que deseja fabricar. É aqui que uma verificação LVS é usada.

LVS compara netlist com GDSII para assegurar funcionalidade. Na maioria dos casos, o layout não passa no LVS pela primeira vez, exigindo que o engenheiro de layout examine os relatórios do software LVS e faça alterações no layout. Erros típicos encontrados durante o LVS incluem:

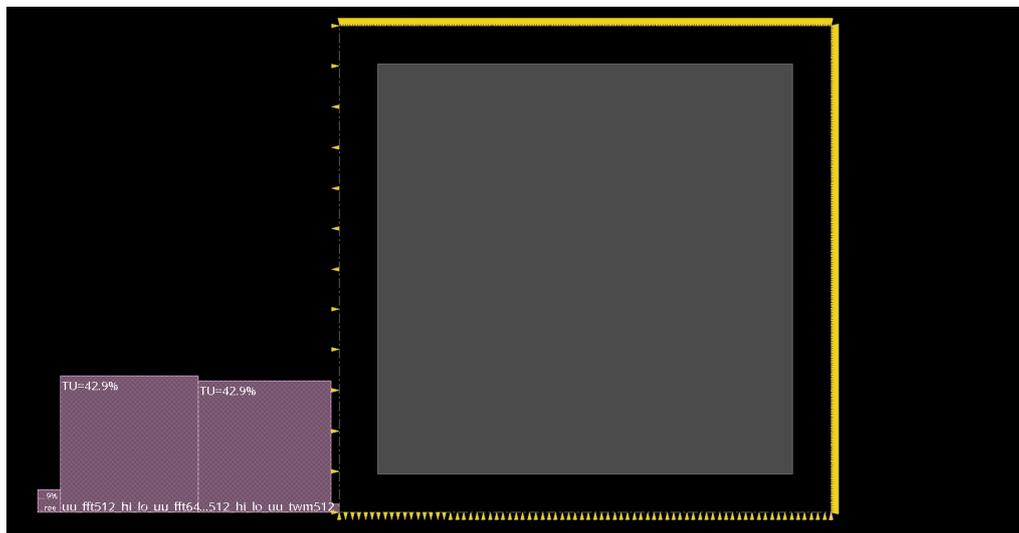
- Curtos: Dois ou mais fios que não devem ser conectados foram e devem ser separados.
- Circuito aberto: Os fios ou componentes que devem ser conectados ficam pendurados ou parcialmente conectados. Estes devem estar conectados corretamente para corrigir isso.
- Incompatibilidade de células: Células de um tipo incorreto foram usadas.
- Componentes ausentes: Um componente esperado foi deixado de fora do layout.

3 RESULTADOS

3.1 FLOORPLANNING

Para colocar em prática os conhecimentos apresentados na teoria, foi usado um bloco que possui 490125 instâncias. Para o floorplanning, foi definido uma densidade de 40%, com dimensões quadradas. O primeiro passo no floorplanning foi fixar os pinos em suas posições. Foi usado uma distribuição das entradas nas quatro paredes do design, como pode ser visto na Figura 18.

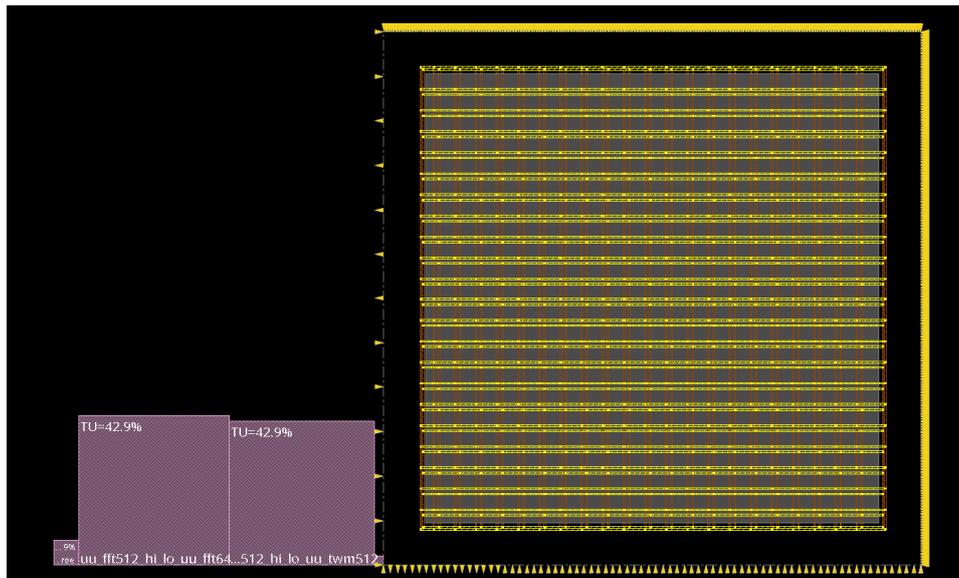
FIGURA 18 - PINOS DISTRIBUÍDOS



Fonte: O próprio autor.

Após isso, deu-se início ao power plan. Primeiramente, foi adicionado o power ring externo, usando as duas camadas mais superiores de metal, comumente chamadas de IA e IB (independente da tecnologia). O metal IA é roteado na vertical, e o IB na horizontal. Também foi usado esses metais para fazer a power grid superior, sendo usado metais de largura de 5 micrômetros, espaçamento de 10 micrômetros entre VDD e VSS, e uma distância entre cada dupla de VDD e VSS de 60 micrômetros. Esses metais podem ser vistos na Figura 19.

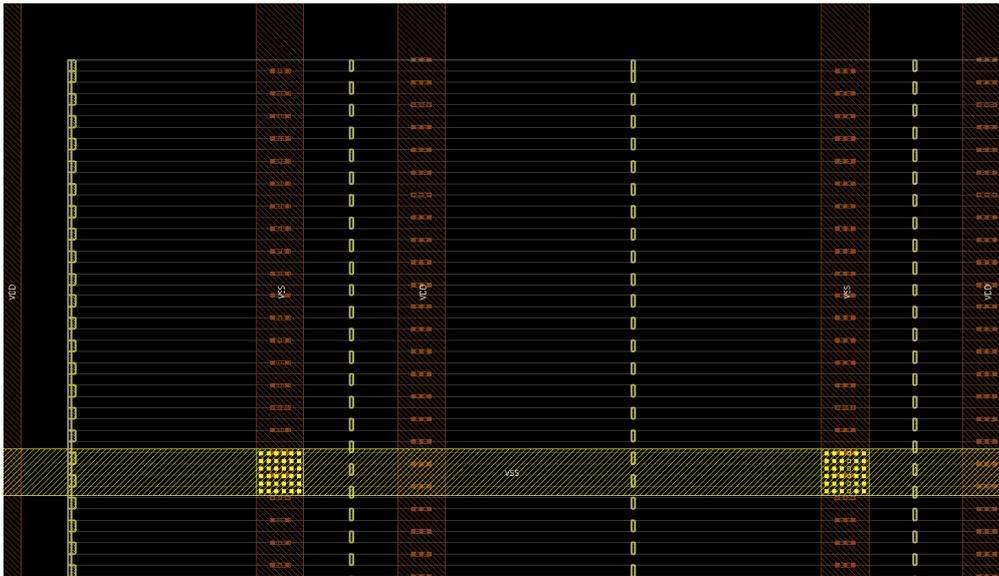
FIGURA 19 - POWER GRID SUPERIOR



Fonte: O próprio autor.

Após a etapa de power grid, foi feito a colocação dos chamados End caps e Well taps. Os well taps são tradicionalmente usados para que o VDD e GND de uma célula sejam conectados aos seus substratos e n-well respectivamente. Isso é para ajudar a vinculá-los aos seus níveis de VDD e GND, para que eles não se desviem demais e causem latchup. Cada tecnologia tem uma distância mínima entre well taps para garantir o funcionamento. Células end-cap são apenas células físicas que são adicionadas para identificar o fim das linhas em chips ou blocos digitais. Essas células podem ser vistas na Figura 20.

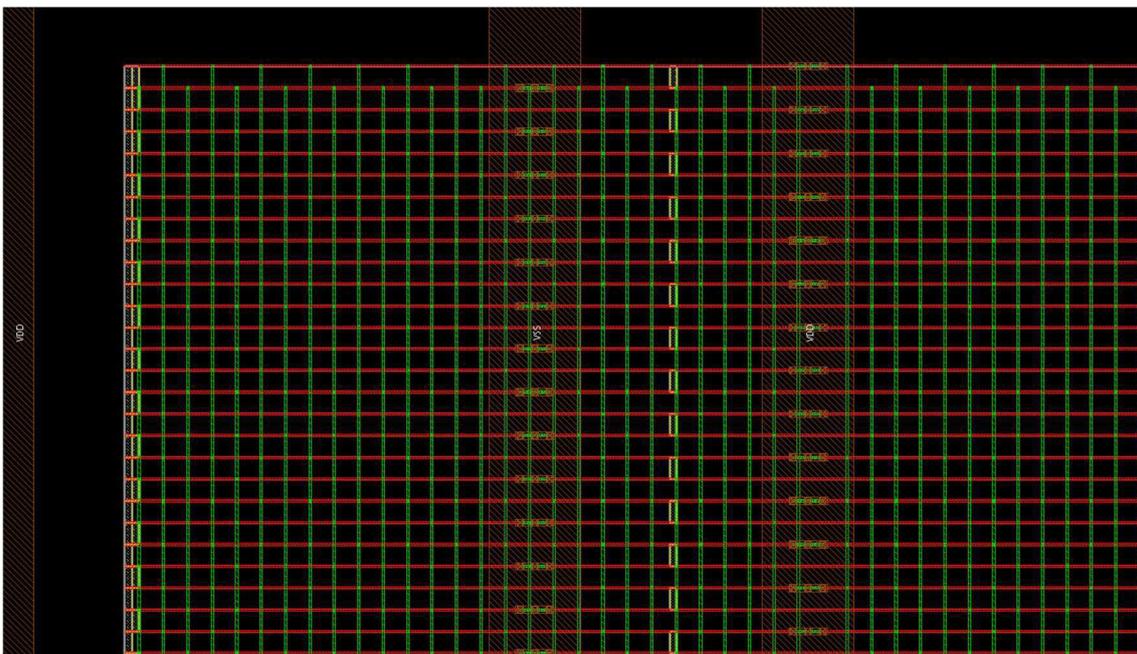
FIGURA 20 - END CAPS E WELL TAPS



Fonte: O próprio autor.

Em seguida, realizou-se o posicionamento das power stripes, colocadas nas camadas de metal mais inferiores, sendo os followpins M2 (horizontal) e stripes de redundância em M3 (vertical). Foram usadas stripes de largura de 0.134 micrômetros e espaçados de 1.206 micrômetros. Após passar as stripes, a ferramenta passa as vias conectando a grid superior até as power stripes inferiores, podendo ser visto na Figura 21.

FIGURA 21 - STRIPES INFERIORES M2 (VERMELHO) E M3 (VERDE)

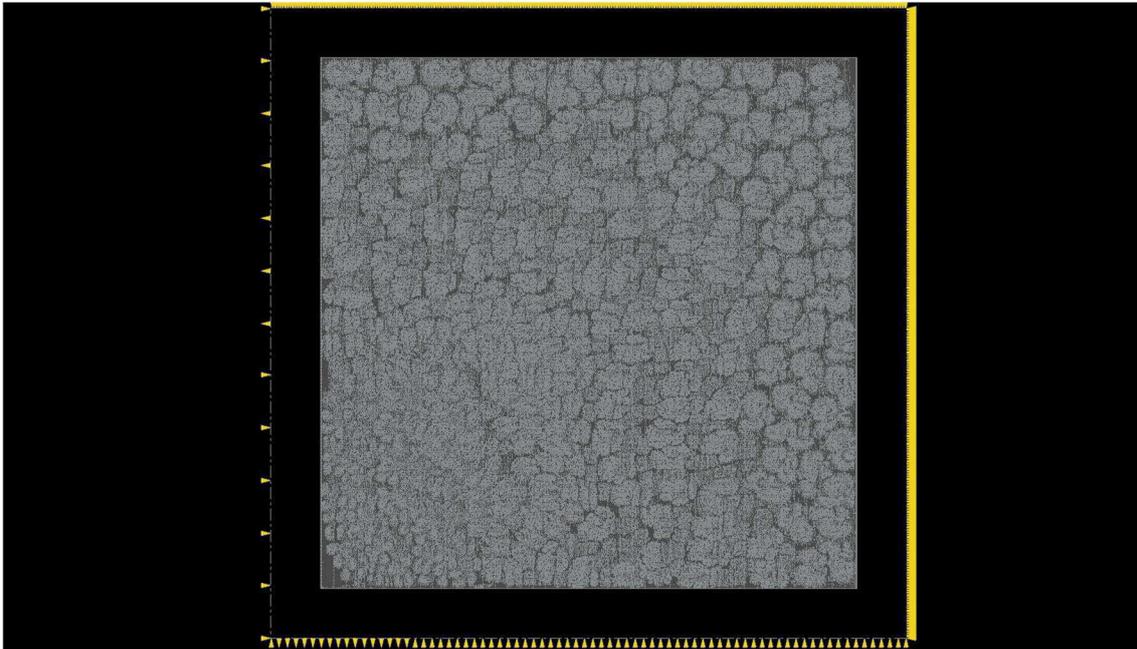


Fonte: O próprio autor.

3.2 PLACEMENT

Posteriormente, após terminado o floorplanning, foi feita a etapa de placement. As células lógicas foram de fato distribuídas pelo design. Uma visão geral dessa distribuição pode ser vista na Figura 22 e na Figura 23.

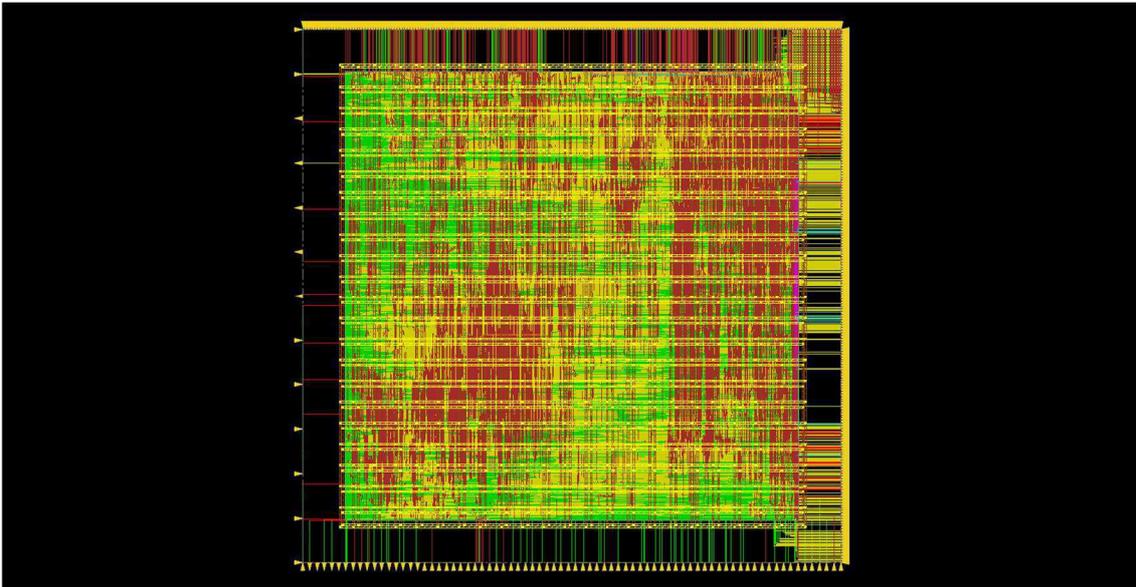
FIGURA 22 - DISTRIBUIÇÃO DO PLACEMENT



Fonte: O próprio autor.

É possível observar também que a etapa de trial route (Figura 25), feita após o placement, deixa um roteamento no design. A partir dele, seria possível já identificar pontos de congestionamento previamente.

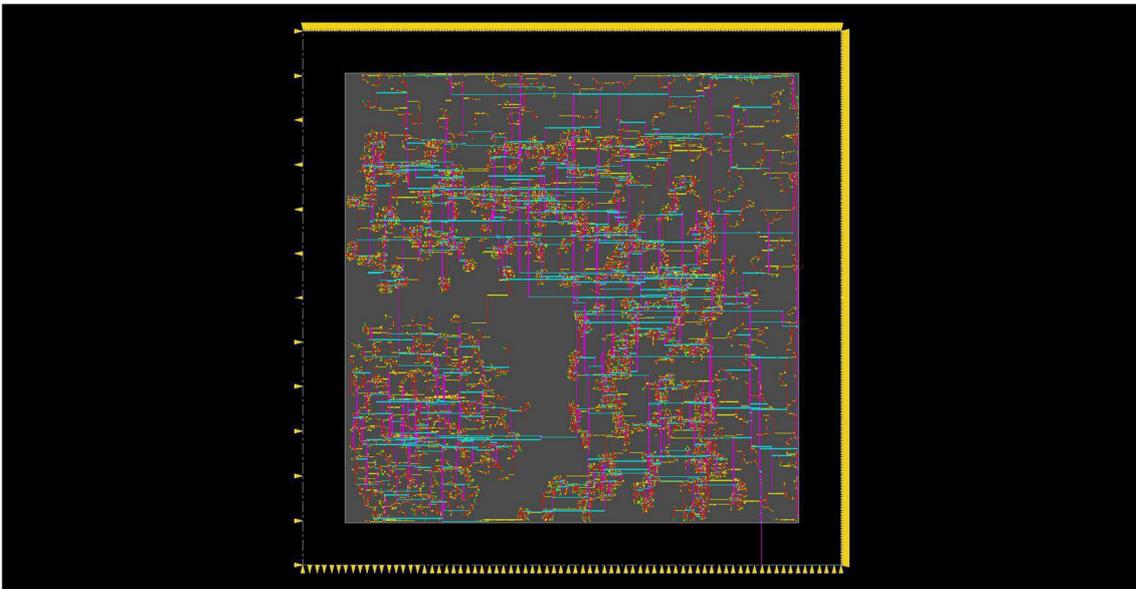
FIGURA 25 - TRIAL ROUTE APÓS PLACEMENT



Fonte: O próprio autor.

Outra curiosidade a ser observada é a explicação do uso de tracks em M2 e M3. A primeira camada de metal (M1) não poderia ser utilizada pois ela é de uso exclusivo de roteamento entre pinos das células do design. Esse roteamento em M1 (azul) pode ser observado na Figura 26.

FIGURA 27 - ROTEAMENTO DA CLOCK TREE



Fonte: O próprio autor.

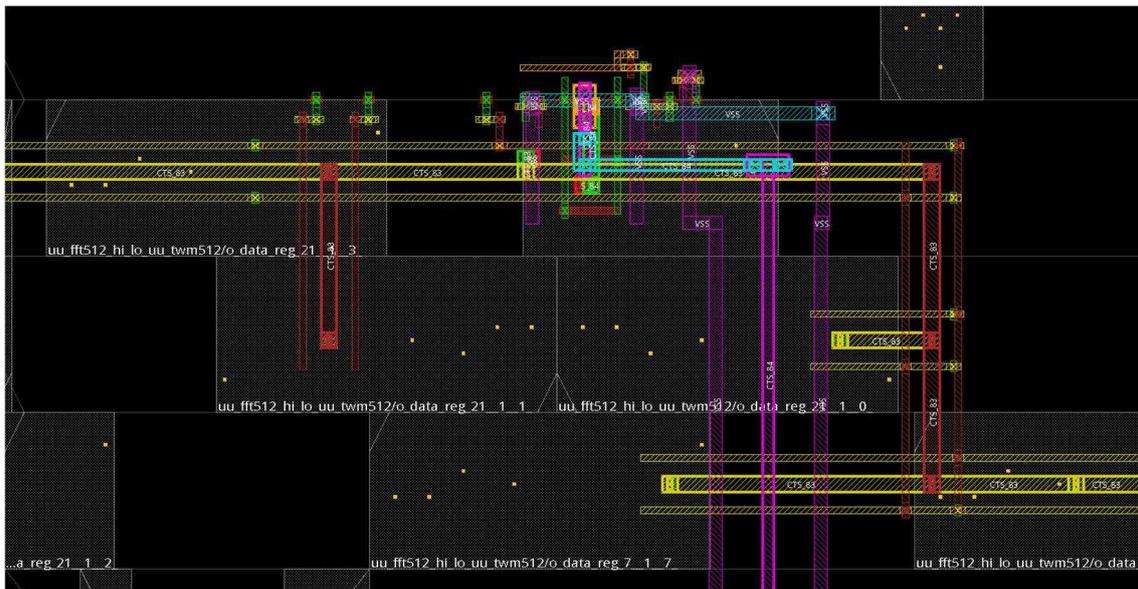
FIGURA 28 - FIGURA 27 AMPLIADA



Fonte: O próprio autor.

O shielding também foi feito na etapa de CTS. No caso dessa implementação, foi implementado shielding em ambos os lados do caminho do clock, sendo usado para isolamento o sinal de VSS. O shielding pode ser observado na Figura 29.

FIGURA 29 - SHIELDING (VSS) EM VOLTA DAS NETS DE CLOCK

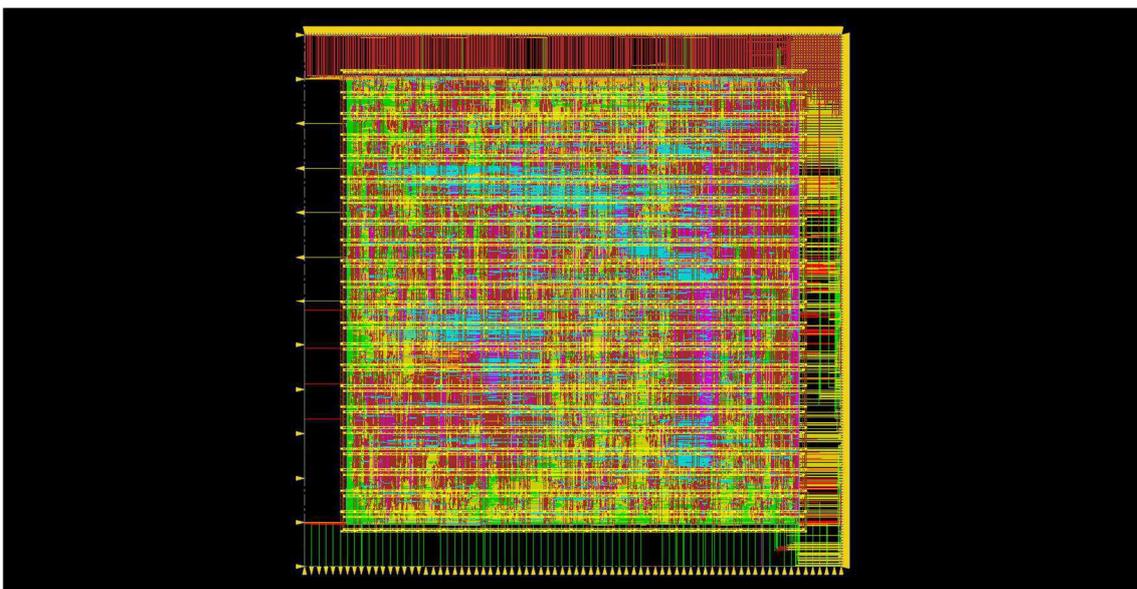


Fonte: O próprio autor.

3.4 ROTEAMENTO

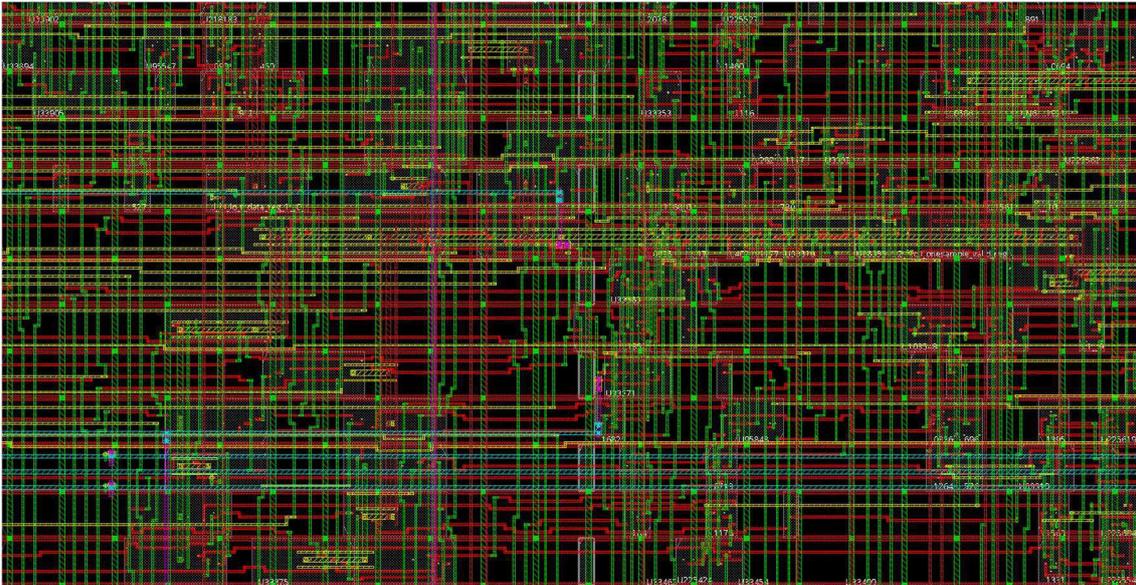
No passo de roteamento, assim como na CTS, foi feita a seleção dos buffers e inversores para serem usados durante a otimização, camadas de roteamento, espaçamento dos fios e outros parâmetros. Na Figura 30 e na Figura 31 pode ser visto o design roteado.

FIGURA 30 - DESIGN ROTEADO



Fonte: O próprio autor.

FIGURA 31 - FIGURA 30 AMPLIADA



Fonte: O próprio autor.

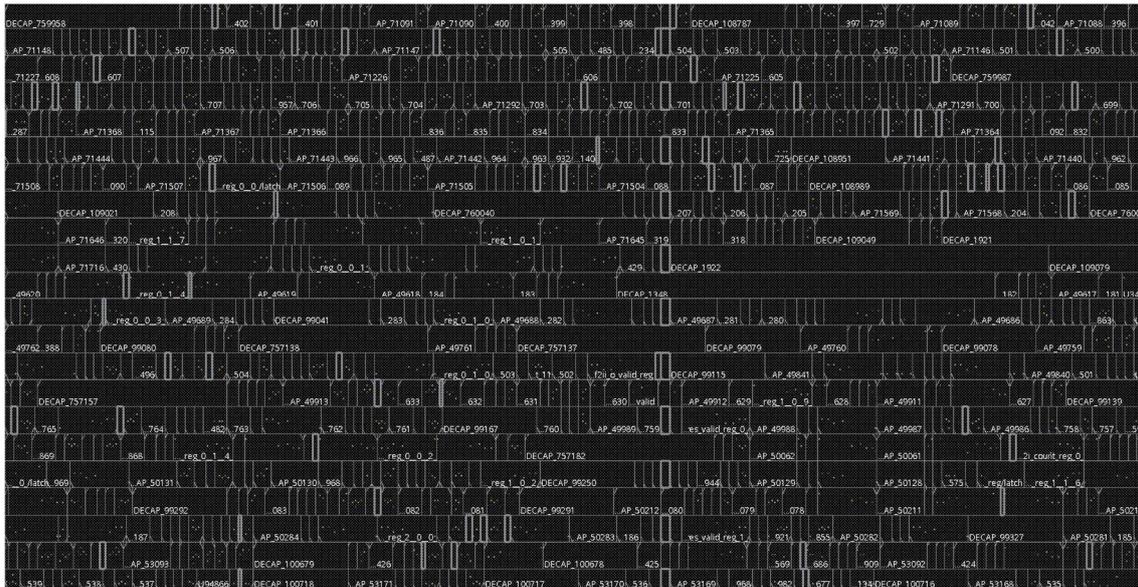
Agora que o design está roteado, e conferido que está sem violações, é necessário que os espaços entre as células sejam preenchidos. Todos os wells e linhas de energia das células do design devem ser amarrados para manter a continuidade. Esse preenchimento é feito com células denominadas Fillers e Decoupling Capacitors.

Decoupling Capacitors (Decaps) são capacitores adicionados no design entre os trilhos de energia e terra para combater as falhas funcionais devido à queda dinâmica de tensão, funcionando como uma bateria local para as células.

As células de preenchimento (Fillers) são principalmente células não funcionais usadas para dar continuidade aos trilhos VDD e VSS. Além disso, as células de enchimento são usadas para estabelecer a continuidade do N-well e as camadas de implante nas linhas das células do design.

Na Figura 32, pode ser visto uma imagem do design, agora, sem nenhum espaço entre as células, sendo esses espaços todos ocupados por Fillers e Decaps.

FIGURA 32 - DESIGN COM FILLERS E DECAPS



Fonte: O próprio autor.

3.5 VERIFICAÇÃO

Após o design ter sido todo roteado e preenchido, pode-se fazer os testes de DRC, LVS e análise da power grid.

O teste de LVS foi feito e ele passou em todas as condições, garantindo que o layout e o esquemático estavam representando a mesma funcionalidade, porém a análise de DRC retornou alguns erros. Na análise de DRC, os erros reportados foram referentes a densidade mínima das camadas (DENS.MIN). Isso era esperado, pois não foi feito antes disso um procedimento chamado de Metal Fill. Metal Fill é um procedimento necessário para fabricação do chip, pois as camadas de metal necessitam ter densidades uniformes, para impedir erros durante a gravação dos padrões no silício. Podemos ver na imagem abaixo as regras violadas na etapa de DRC.

FIGURA 33 - VIOLAÇÕES NO RELATÓRIO DE DRC

CELL top	TOTAL Result	Count = 13	(13)
RULECHECK	GRRXDENS.MIN.3.RX	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRPCDENS.MIN.3.PC	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRMXDENS.MIN.2.M1	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRMXDENS.MIN.2.M3	...	TOTAL Result	Count = 2 (2)
RULECHECK	GRMXDENS.MIN.2.M2	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRMXDENS.MIN.2.M4	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRMXDENS.MIN.2.M5	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRMXDENS.MIN.2.M6	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRBXDENS.MIN.2.B1	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRBXDENS.MIN.2.B2	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRIXDENS.MIN.2.IA	...	TOTAL Result	Count = 1 (1)
RULECHECK	GRIXDENS.MIN.2.IB	...	TOTAL Result	Count = 1 (1)

Fonte: O próprio autor.

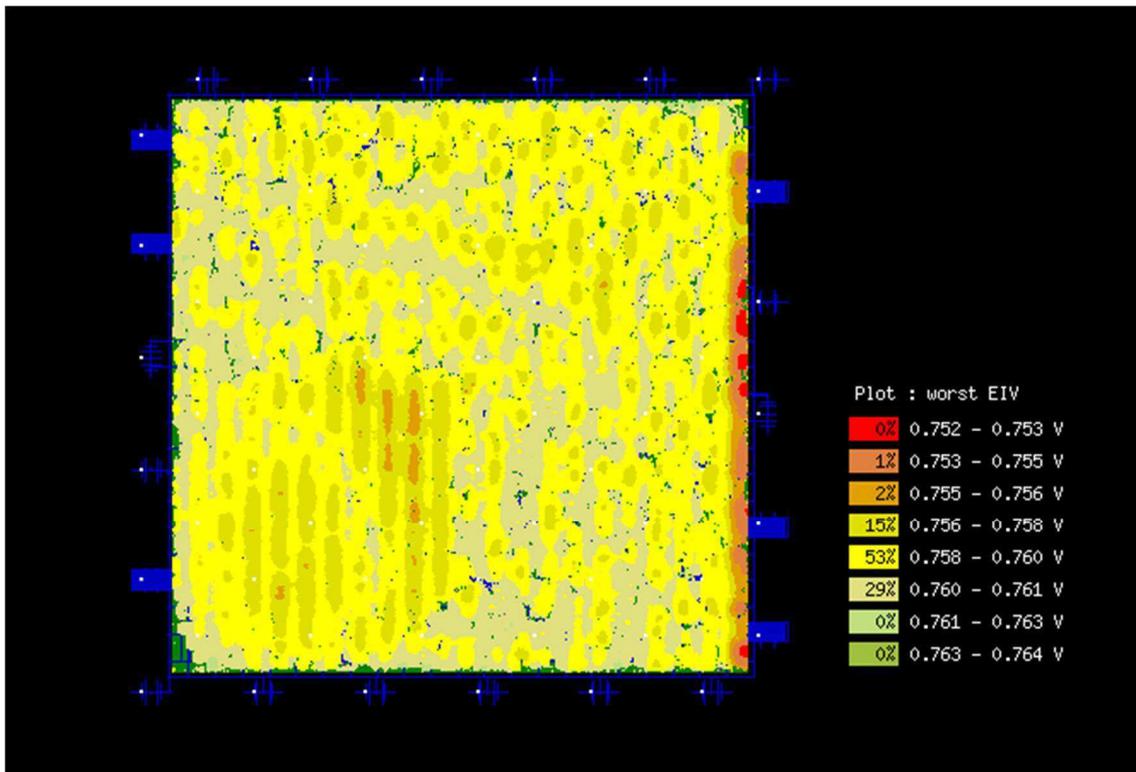
Por fim, foi feita uma avaliação da qualidade da power grid, sendo observado onde existiam as maiores quedas de tensão e se existia algum problema de eletromigração.

O relatório de EIV da ferramenta (Effective Instance Voltage) mostra se a diferença de tensão nas células está próxima da tensão esperada. No design deste trabalho, VDD é igual a 0.765 V e VSS é 0 V, portanto, a diferença de tensão esperada seria 0.765 V.

No entanto, o circuito não é ideal, mostrando algumas quedas de tensão. Na Figura 34, podemos ver um histograma classificando no circuito onde estão essas imperfeições. As maiores quedas de tensão estão no lado direito do design. Investigando a causa dessa queda maior em relação ao restante do design, foi possível observar que na etapa de power planning, as duas últimas linhas de VDD e VSS do metal IA no lado direito ficaram a uma distância maior da borda comparando com o lado esquerdo. Essa distância causou uma queda de tensão maior.

Avaliando numericamente essa queda, ela representa uma queda de 1.2% em relação a tensão esperada. A depender da aplicação, uma queda dessa pode ser ignorada ou pode impactar diretamente no funcionamento do produto. Portanto, esse número de maior queda aceita deve ser estipulado desde o início do projeto, para que durante as análises, em um cenário como esse, tais problemas sejam ignorados ou necessitem de reparos.

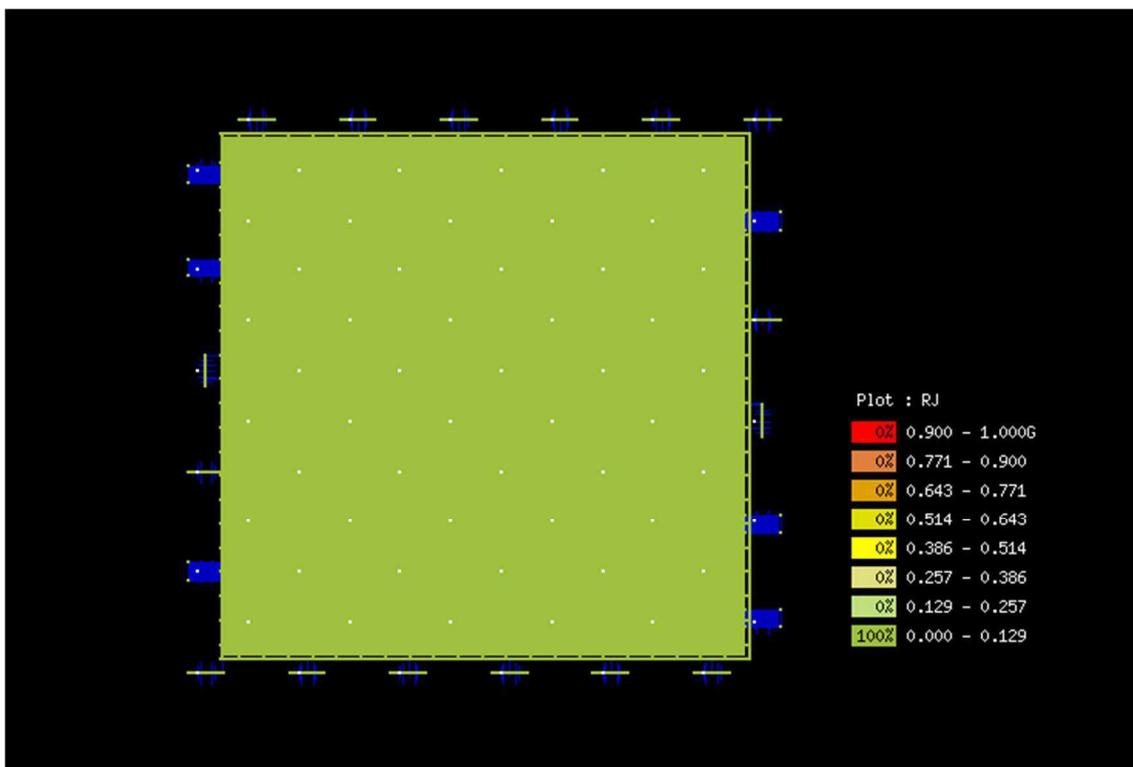
FIGURA 34 - MAPA DE QUEDA DE TENSÃO DO DESIGN



Fonte: O próprio autor.

A análise de eletromigração avalia se existem grandes densidades de corrente no design. Para isso, para cada pedaço do circuito, é feito uma divisão entre a corrente calculada e a corrente máxima permitida. Sendo assim, o maior valor permitido seria 1. Podemos observar na figura abaixo que o design está bem longe desse valor, onde 100% dos valores estão no intervalo de 0 e 0.129, dando uma grande margem geral.

FIGURA 35 - RELATÓRIO DE ELETROMIGRAÇÃO



Fonte: O próprio autor.

4 CONCLUSÃO E TRABALHOS FUTUROS

O design físico na microeletrônica é uma área muito respeitável. Sem ela, todos os códigos sintetizados não poderiam ser fabricados e materializados em um chip. Este trabalho foi relevante para explicar de forma didática muitos dos detalhes envolvidos.

Além disso, nos resultados, foi possível ver que a atenção durante as etapas é muito importante, pois, para passar para um próximo passo do fluxo, deve-se ter o cuidado de conferir a qualidade do fim de cada estágio. Por exemplo, uma falta de simetria no floorplanning resultou em uma queda de tensão desproporcional em uma das bordas do bloco.

Como sugestão de trabalhos futuros nesta área, tem-se um melhor aprofundamento na análise dos relatórios de cada etapa, como por exemplo, observar mapas de densidade e congestionamento no placement, ver como a árvore de clock e seus caminhos estão distribuídos na CTS, e também dar mais ênfase na análise de STA.

5 REFERÊNCIAS BIBLIOGRÁFICAS

KAHNG, Andrew B. **VLSI physical design: from graph partitioning to timing closure**. [s.l.]: Springer, 2011.

PREAS, Bryan T.; LORENZETTI, Michael J. and ACKLAND, Bryan D. **Physical design automation of VLSI systems**. [s.l.]: Benjamin/Cummings, 1988.

SAIT, Sadiq M. and YOUSSEF, Habib. **VLSI physical design automation: theory and practice**. [s.l.]: World Scientific, 2001.

WESTE, Neil H. E. and HARRIS, David Money. **CMOS VLSI design: a circuits and systems perspective**. [s.l.]: Pearson, 2015.