



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
Centro de Engenharia Elétrica e Informática
Curso de Graduação em Engenharia Elétrica

Trabalho de Conclusão de Curso

**ANÁLISE DE UM RETIFICADOR DE
ONDA COMPLETA CMOS NA REGIÃO
DE INVERSÃO FRACA**

Moabe Rodrigues Ramos

Campina Grande - PB

JULHO - 2019



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
Centro de Engenharia Elétrica e Informática
Curso de Graduação em Engenharia Elétrica

ANÁLISE DE UM RETIFICADOR DE ONDA COMPLETA CMOS NA REGIÃO DE INVERSÃO FRACA

Moabe Rodrigues Ramos

Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica
da Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.

Área de Concentração: Microeletônica

Prof. Dr. Benedito Antonio Luciano
Avaliador

Prof. Dr. Raimundo Carlos Silvério Freire
Orientador

Campina Grande - PB
JULHO - 2019

Dedicatória

Dedico este trabalho à minha filha Beatriz, que me motiva todos os dias para lutar pelos meus objetivos.

Agradecimentos

Agradeço, em primeiro lugar, ao meu bom Deus, pelas graças derramadas em minha vida e por me fortalecer todos os dias, me ergueu em tantos momentos difíceis ao longo da caminhada da graduação.

À minha família, em especial, aos meus pais, por todo amor, cuidado, carinho e por todo esforço para criar e educar a mim e aos meus irmãos, nos dando sempre o melhor que podiam. E a meus Tios Crymerio e Cicera, que abriram as portas de sua casa em Campina Grande e me trataram como um filho.

Ao Professor Freire, meu orientador, agradeço pela oportunidade me dada, por toda ajuda e suporte que me foi oferecido ao longo desses anos em que fui membro do LIMC.

Aos meus professores do ensino, meus mestres Helder George e Sidney Rocha que me aconselharam e acreditaram na minha capacidade quando nem eu mesmo acreditava.

Aos colegas de curso, agradeço por todo apoio, por toda ajuda recebida e pelos conhecimentos compartilhados, em especial, a Jesney Pires, Antônio Fernando, Arthur Freitas, William Nobrega e ao grupo “Pseudomitos”.

Aos meus colegas do LIMC, que me fizeram crescer e amadurecer durante graduação, em especial, a Tarcísio Oliveira de Moraes Júnior, Marcos Bernardo, Larissa de Melo, Arthur Luiz Alves de Araújo, que contribuíram de maneira significativa no desenvolvimento desse trabalho.

Lista de Figuras

Figura 1 – Blocos básica de um circuito de condicionamento de energia.	14
Figura 2 – Circuito de condicionamento de energia.	15
Figura 3 – Esquema de transmissão e colheita do sinal RF para alimentar uma determinada carga.	16
Figura 4 – Quadro 1: Frequências dos sinais RF, abaixo e acima de 1 GHz fornecidas pelas operadoras nas regiões do Brasil.	17
Figura 5 – Retificador de Onda Completa utilizando diodos ideais alimentando uma carga R	19
Figura 6 – Tensão de saída do Retificador de Onda Completa com filtro capacitivo.	19
Figura 7 – Retificador de Onda Completa com transistores MOS.	20
Figura 8 – Estrutura Física da tecnologia CMOS e os símbolos dos transistores NMOS e PMOS.	21
Figura 9 – Regiões de operação do transistor MOSFET do tipo n.	21
Figura 10 – Característica do transistor MOSFET para uma baixa tensão de V_{GS}	22
Figura 11 – Retificador de Meia Onda ligado a um sinal RF.	24
Figura 12 – Configuração dos Retificadores PMOS. a) Transistor conectado a diodo (CR1). b) Porta ligado ao sinal antifase. c) Substrato e porta ligados ao sinal antifase.	25
Figura 13 – Sinais RF_{in+} e RF_{in-} , com destaque para os pontos de transição fonte-dreno.	26
Figura 14 – Resultado das simulações das equações de dreno das topologias CR1, CR2 e CR3.	27
Figura 15 – Comportamento da potência e tensão das três topologias em função de uma carga puramente resistiva.	28
Figura 16 – Estrutura básica montada para o Retificador de Onda Completa.	29
Figura 17 – Representação do problema ao se utilizar um sinal antifase.	30
Figura 18 – Representação do sinal de entrada RF_{in} e as fases de análise da corrente de dreno.	31
Figura 19 – Retificadores de Onda completa. a) Substrato do transistor PMOS ligado à tensão de entrada. b) Substrato ligado a carga. c) Substrato ligado à porta.	32
Figura 20 – a) Análise do SMP, b) Análise do SMN.	33
Figura 21 – Simulação da eq. (22) das topologias TPO1, TPO2 e TPO3.	35
Figura 22 – Tensões médias e os pontos de transição fonte-dreno.	36
Figura 23 – Pontos P1 e P2 utilizados no software virtuoso para calcular a corrente de carga.	37

Figura 24 – Calculadora do Cadence Virtuoso.	38
Figura 25 – Função Average utilizada para calcular as médias da tensão e corrente de saída.	38
Figura 26 – Análise Paramétrica variando a carga R.	39
Figura 27 – Simulação da corrente de carga no <i>software</i> Cadence Virtuoso.	40
Figura 28 – Pontos de transição fonte e dreno.	41
Figura 29 – Potência e tensão fornecida pela variação da carga.	42

Lista de Tabelas

Tabela 1 – Parâmetros físicos e tecnológicos 180 nm	35
---	----

Lista de abreviaturas e siglas

CC	Estado Estacionário ou Corrente Contínua
CCE	Circuito de Condicionamento de Energia
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CR1	Topologia 1 para o retificador de meia onda
CR2	Topologia 2 para o retificador de meia onda
CR3	Topologia 3 para o retificador de meia onda
IF	Inversão Fraca
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
RF	Radiofrequência
RIF	Região de Inversão Fraca
RFID	<i>Radio-Frequency IDentification</i>
RMO	Retificador de Meia Onda
ROC	Retificador de Onda Completa
SMN	Semiciclo Negativo
SMP	Semiciclo Positivo
TL	Tensão de Limiar
TN1	Transistor NMOS 1
TN2	Transistor NMOS 2
TP1	Transistor PMOS 1
TP2	Transistor PMOS 2
TPO1	Topologia 1 do Retificador de Onda Completa
TPO2	Topologia 2 do Retificador de Onda Completa
TPO3	Topologia 3 do Retificador de Onda Completa

Resumo

O retificador é um dispositivo essencial na estrutura de circuitos de condicionamento de energia aplicados em baixa potência. Neste trabalho foi desenvolvido um estudo sobre um retificador de onda completa CMOS, com transistores operando na região de Inversão Fraca. O objetivo é criar um modelo matemático e verificar por meio de simulações no Cadence Virtuoso o comportamento da corrente de saída do retificador que alimenta a carga, para diferentes tipos de ligação do terminal do substrato, na tentativa de aumentar a corrente direta e diminuir a corrente reversa, melhorando assim sua eficiência. Com base em estudos anteriores e utilizando a tecnologia padrão de 180 nm foi aplicado um sinal senoidal, simulando um sinal RF de 100 kHz com uma amplitude de 200 mV na entrada de três retificadores, com o terminal do substrato posicionado em locais diferentes do circuito. Chegou-se a conclusão que, das três topologias analisadas, a que apresentou a melhor eficiência foi o retificador com o substrato do transistor PMOS ligado à porta. Entregando uma potência de 32 nW com uma tensão de saída de 106,8 mV para uma carga na faixa de 1,45 M Ω a 2,41 M Ω .

Palavras-chaves: retificador de onda completa, transistor Mosfet, região de inversão fraca, radiofrequência.

Abstract

The rectifier is an essential device in the structure of power conditioning circuits applied at low-power. In this work, a study on the full-wave CMOS rectifier was developed, with transistors operating in the Weak Inversion region. The objective is to create a mathematical model and verify through simulations in Cadence Virtuoso the behavior of the output current of the rectifier that feeds the load, for different types of connection of the terminal of the substrate, in an attempt to increase direct current and decrease the reverse current, thus improving its efficiency. Based on previous studies and using the standard 180 nm technology a sine wave signal was applied, a 100 kHz RF signal was simulated with a magnitude of 200 mV at the input of three rectifiers, with the substrate terminal positioned in different places of the circuit. It was concluded that of the three topologies analyzed, the one that presented the best efficiency was the rectifier with the substrate of the PMOS transistor connected to the port. Delivering a power of 32.8 nW with an output voltage of 106.8 mV for a load in the range of 1.45 M Ω to 2.41 M Ω .

Keywords: full-wave rectifier, CMOS transistor, weak inversion region, radiofrequency.

Sumário

1	INTRODUÇÃO	11
1.1	Objetivos	12
1.2	Estrutura do trabalho	13
2	FUNDAMENTAÇÃO TEÓRICA	14
2.1	Circuito de Condicionamento de Energia (CCE)	14
2.2	Sinal de Radiofrequência Utilizado na Colheita de Energia	15
2.2.1	Frequência de Operação, Potência do Sinal RF e Tensão de Amplitude . . .	16
2.3	O Retificador de Onda Completa	18
2.4	A Região de Inversão Fraca	20
2.5	Retificador de Meia Onda e a Variação da Ligação dos Seus Terminais	23
2.5.1	Corrente Direta e Corrente Reversa do Retificador	23
2.5.2	Resultado das Simulações da Corrente de Dreno de CR1, CR2, CR3.	26
3	METODOLOGIA	29
3.1	Análise do Retificador de Onda Completa na Fraca Inversão, com mudanças na ligação do terminal do substrato	29
3.2	Procedimento de Simulação Utilizado no Cadence Virtuoso	36
4	RESULTADOS E DISCUSSÕES	40
5	CONCLUSÃO	43
	Referências	44

1 Introdução

Com o avanço tecnológico, principalmente na área de circuitos integrados, mais especificamente no campo dos transistores *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET), os retificadores transistorizados ganharam mais uma aplicação, a capacidade de converter um sinal CA de baixa potência em um sinal CC na utilização de Circuito de Condicionamento de Energia (CCE). Isso foi permitido devido à grande diminuição da tensão de condução ou Tensão de Limiar V_{t0} (TL), dos transistores MOSFETs assim como o seu consumo, o que aumentou significativamente a eficiência dos circuitos que utilizam esses tipos de transistores.

A necessidade de substituir as baterias dos circuitos de baixa potência, por circuitos autônomos capazes de converter algum tipo de energia proveniente do meio ambiente em energia elétrica, com a finalidade de fornecer corrente contínua para alimentar algum dispositivo, vem ganhando espaço nos últimos anos, seja na parte da saúde com as aplicações biomédicas, ou em sensores como na área de *Radio-Frequency IDentification* (RFID) ou nó sensor [1], [2], [3]. Com a justificativa de dá mais liberdade e conforto para quem utiliza algum tipo de dispositivo de baixo consumo, diminuindo as manutenções, carregamento ou troca de baterias. Para isso, Hugo Gonçalves [1] analisou o comportamento de retificadores de meia onda na Região de Inversão Fraca (RIF), para serem aplicados em dispositivos de baixo consumo em geral. Tarcísio Oliveira de M. Júnior [2], desenvolveu um CCE para alimentar um nó sensor. João Ricardo C. Louzada [3] projetou um retificador ativo CMOS (*Complementary Metal-Oxide-Semiconductor*) para aplicá-lo em implantes médicos.

Os estudos sobre fontes e condicionadores de energia são realizados com diferentes métodos em diferentes aplicações. Esses métodos têm sempre como base o mesmo objetivo, converter a energia do ambiente em energia elétrica. Alguns desses métodos são aplicados como por exemplo, em ondas ultrassônicas que converte a energia mecânica em energia elétrica, no efeito térmico que utiliza o princípio do efeito Seebeck, para gerar uma corrente elétrica entre dois terminais de um dispositivo que está com suas duas fases expostas a temperaturas diferentes, no eletromagnetismo em que a corrente elétrica pode ser gerada por acoplamentos indutivos, capacitivos e radiofrequências (RF). Sendo o sinal de RF uma onda eletromagnética, que tem um comportamento semelhante a um sinal senoidal, que tem origem em uma fonte chamada de emissor e pode ser captada por uma antena (receptor) [3].

A proposta desse trabalho é analisar o Retificador de Onda Completa (ROC) quando este recebe em sua entrada um sinal CA de baixa potência e baixa amplitude. Para isso, um sinal senoidal de baixa amplitude que simula um sinal do tipo RF é aplicado

na entrada desse retificador. Para que esse circuito possa ser aplicado em dispositivos de baixa potência.

O desafio dos projetistas de CCE é fornecer a máxima potência captada do receptor para carga. Para isso os blocos de circuitos que compõem o CCE, devem ser extremamente eficientes, uma vez que em aplicações de baixa potência a energia fornecida pela ponte é bastante escassa. Como o retificador é um dos circuitos que compõem o CCE, o objetivo desse trabalho é realizar simulações com um ROC, semelhante ao que foi feito no trabalho de [1], em que foi criado três topologias de Retificadores de Meia Onda (RMO), ligados a um sinal RF, em que os transistores que compõem os retificadores estão operando na RIF. Para encontrar o retificador mais eficiente, foram feitas mudanças nas ligações dos terminais porta e substrato dos transistores PMOS, com a finalidade de criar mais um grau de liberdade na expressão da corrente de dreno, dessa forma encontrando o melhor tipo de ligação nos terminais que forneça mais corrente (energia) para a carga, encontrando assim a topologia mais eficiente.

O tipo de retificador escolhido para o estudo desse trabalho é o retificador com transistores MOS complementares utilizados para ser aplicados em CCE, como no trabalho de [2]. Onde foi realizado um cancelamento do V_{t0} para que os transistores pudessem conduzir com uma baixa tensão porta-fonte V_{GS} . Com o objetivo de tentar aperfeiçoar o retificador de [2] será utilizado o método da Inversão Fraca (IF) que é uma região de operação do transistor que ainda vem sendo estudada, e que para aplicação no ROC ainda não foi utilizada, até o presente momento.

1.1 Objetivos

O objetivo geral deste trabalho é compreender o funcionamento dos retificadores de meia onda e onda completa, operando na RIF, com modificações nas ligações nos terminais da porta e substrato dos transistores.

Os objetivos específicos são:

- Projetar um Retificador de Onda Completa com transistores MOS
- Modificar as ligações dos terminais do substrato e analisar o comportamento da corrente de saída do retificador para cada tipo de ligação.
- Encontrar as expressões matemáticas que representa o comportamento da corrente de dreno e a corrente que alimenta a carga do retificador para cada tipo de ligação.

- Realizar simulações e interações matemáticas em *softwares* para verificar o comportamento gráfico da corrente de dreno e da corrente de carga. E analisar qual tipo de ligação dos terminais é melhor, ou seja, encontrar a topologia mais eficiente.

1.2 Estrutura do trabalho

Esse trabalho foi dividido da seguinte forma: na fundamentação teórica é feito uma abordagem sobre os princípios básicos do o CCE, o sinal de RF, o funcionamento ROC, a RIF e por último, o comportamento dos retificadores de meia onda na RIF. Na metodologia é apresentado os tipos de retificadores de onda completa, além das expressões da corrente que descrevem o comportamento dos retificadores. Foi feito um breve comentário sobre como foi feito as simulações no Candence Virtuoso. Em seguida resultados e discussões e, por último, a conclusão.

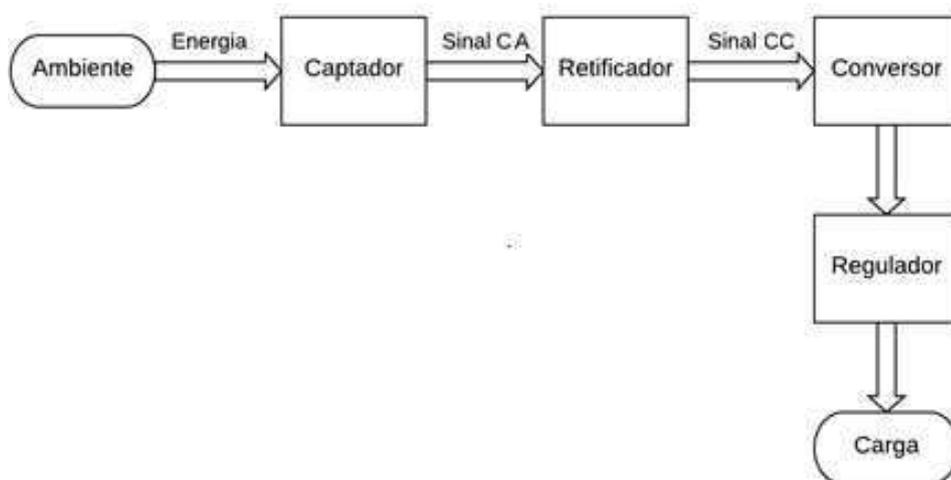
2 Fundamentação teórica

Nesse capítulo são abordados temas básicos fundamentais para o entendimento do trabalho proposto. Primeiramente é apresentado o conceito básico dos circuitos de condicionamento de energia e quais os tipos de energia que podem virem a ser utilizadas, afim de serem convertidas em energia elétrica. Em seguida, é apresentado o sinal RF e algumas de suas características, e como ele pode ser captado no meio ambiente. Por último, é feita uma abordagem breve da Inversão Fraca e como os retificadores funcionam nessa região de operação.

2.1 Circuito de Condicionamento de Energia (CCE)

A função do CCE é converter a energia proveniente do meio ambiente em energia elétrica, além de fornecer a potência necessária para alimentar um determinado dispositivo de maneira mais eficiente possível. O propósito desse tipo de circuito é torna-lo independente de uma alimentação externa, como fontes de alimentação ou baterias. Para isso, um captador é utilizado para captar a energia, que na grande maioria dos casos tem um caráter oscilatório (sinal CA), necessitando de um circuito retificador para converter o sinal CA em CC. Se a tensão do sinal CC for muito baixa, pode ser utilizado um conversor elevador ou bomba de carga para elevar a tensão, por último é utilizado um regulador para controlar a tensão de saída que será fornecida a carga [2]. O diagrama básico de um CCE pode ser visto na Figura 1.

Figura 1 – Blocos básica de um circuito de condicionamento de energia.



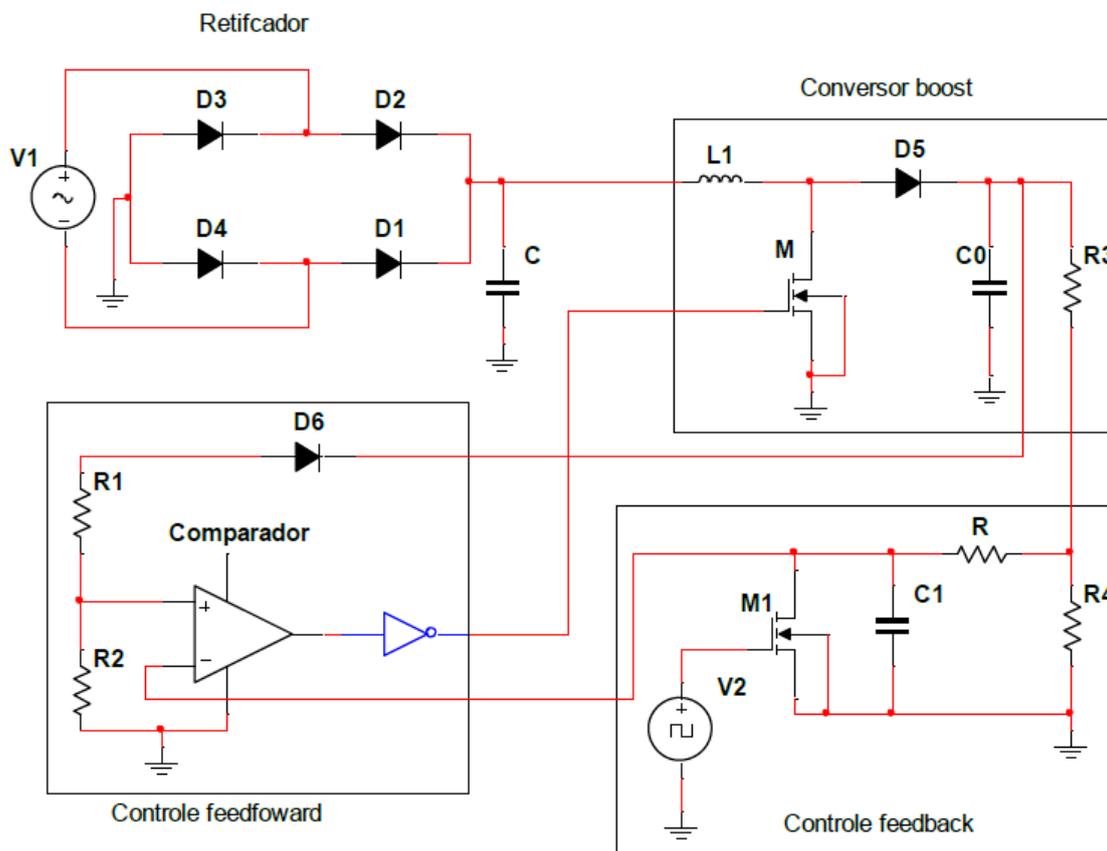
Fonte: Elaborada pelo autor.

De acordo com [2] e [4] o tipo de energia que será captada do ambiente dependerá da aplicação. Os tipos de energia mais frequentes que são captadas do meio ambiente são:

Ultrassônicas (Ondas mecânicas), as Ondas Térmicas, Eletromagnéticas que engloba o acoplamento indutivo, capacitivo e radiofrequência (RF). Basicamente a única estrutura da Figura 1 que depende do tipo de energia a ser convertida é o captador que pode vir a ser: núcleos toroidais, sensores piezoelétricos, células de peltier, antenas. Na Figura 2 é apresentando o esquema de CCE de [2], em que foi utilizado um ROC para retificar um sinal RF de baixa potência.

O foco desse trabalho é analisar apenas o comportamento do retificador na RIF, para diferentes tipos de ligações do terminal do substrato dos transistores MOS, quando o retificador recebe em sua entrada um sinal RF de baixa tensão de amplitude. Para futuramente aplicar o retificador em projetos autônomos e de baixo consumo. Os outros blocos do CCE não serão abordados nesse trabalho.

Figura 2 – Circuito de condicionamento de energia.



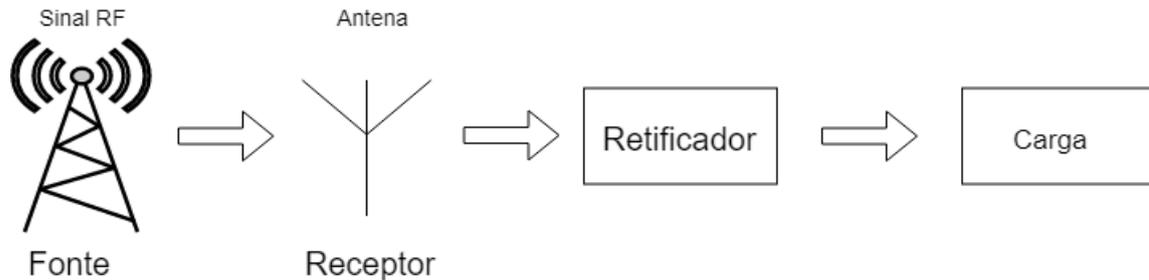
Fonte: [2]

2.2 Sinal de Radiofrequência Utilizado na Colheita de Energia

O sinal RF é um tipo de sinal eletromagnético, em que sua transmissão pode ser proveniente de vários tipos de antenas transmissoras como telefonia móvel, rádios AM

e FM, canais de TV, Wi-Fi. A captação do sinal RF é feita através de uma antena de micro-ondas apropriada para esse tipo de aplicação, [1], [2] e [4]. A Figura 4 é apresentado o esquema da transmissão e colheita do sinal RF para alimentar uma carga.

Figura 3 – Esquema de transmissão e colheita do sinal RF para alimentar uma determinada carga.



Fonte: Elaborada pelo autor.

O projeto da antena em si não será abordado, pois foge do escopo desse trabalho. Nesse caso, seguindo o mesmo procedimento do trabalho de [1], considera-se que o sinal já foi captado pela antena e apresenta um comportamento senoidal, dado pela Eq. 1.

$$RF = V_a \text{sen}(2\pi ft) \quad (1)$$

Em que V_a é a amplitude, f é a frequência e t o tempo do sinal.

2.2.1 Frequência de Operação, Potência do Sinal RF e Tensão de Amplitude

O circuito CCE será mais eficiente, se ele operar na mesma faixa de frequência que o sinal RF de maior potência, que se encontra no meio ambiente. Para encontrar esse faixa de frequência, foi realizado uma medição periódica da potência do sinal RF próxima a uma antena de transmissão de sinal digital em Tóquio no Japão. Foi constatado que a potência média transmitida era -16,28 dBm O que é suficiente para alimentar circuitos de baixo consumo, como um nó sensor de uma rede sem fio. O tipo de sinal que foi medido estava na faixa de frequência *Ultra High Frequency* (UHF), que podem variar de 300 MHz a 3 GHz. [2], [4], [5]. Logo a antena que deverá captar o sinal, deve ser projetada para receber o sinal nessa faixa de frequência para um melhor desempenho.

Com o crescimento no uso de celulares, conseqüentemente o de redes móveis fornecido pelas operadoras, os sinais que são fornecidos pelas antenas de transmissão aos celulares, são boas opções de fornecimento de energia para circuitos de baixo consumo. No Quadro 1 constam as informações das frequências dos sinais RF, que estão abaixo e acima de 1 GHz, fornecidas para as regiões do Brasil pelas operadoras de celulares.

Figura 4 – Quadro 1: Frequências dos sinais RF, abaixo e acima de 1 GHz fornecidas pelas operadoras nas regiões do Brasil.

< 1 GHz	Vivo	TIM	Claro	Oi	Nextel
São Paulo (Capital)	45	25	64	5	15
São Paulo (Interior)	59	25	50	5	15
Rio de Janeiro/ Esp Santo	50	39	50	5	15
Minas Gerais	64	50	25	5	15
Paraná/ Santa Catarina	50	64	25	5	15
Rio Grande do Sul	50	25	50	19	15
Centro Oeste+ Norte (parcial)	50	25	50	19	15
Norte	50	25	59	5	15
Bahia Sergipe	50	50	39	5	15
Nordeste	59	50	50	5	15
>1 GHz	Vivo	TIM	Claro	Oi	Nextel
São Paulo (Capital)	90	90	80	80	50
São Paulo (Interior)	95	90	90	90	20
Rio de Janeiro/ Esp Santo	90	80	90	95	40
Minas Gerais	90	70	110	80	40
Paraná/ Santa Catarina	90	70	110	90	20
Rio Grande do Sul	90	85	90	95	20
Centro Oeste+ Norte (parcial)	90	85	90	95	20
Norte	95	80	95	80	40
Bahia Sergipe	90	60	105	95	40
Nordeste	120	60	80	80	40

Fonte: Adaptada de [6]

Com as informações disponíveis no Quadro 1 aparece alguns problemas de logísticas, pois as frequências variam de região para região, e de operadora para operado. Logo, se o receptor for projetado com a finalidade de captar os sinais de celulares, ele só será eficiente para uma determinada operadora e em uma determinada região do país. Uma outra opção seria captar os sinais de rede sem fio (Wireless), que dependendo do roteador utilizado, podendo fornecer sinais de 2.4 GHz ou 5 GHz. A desvantagem de captar os sinais de rede sem fio, é que eles só são abundantes em interiores de casas, comércios, empresas, indústrias que usam esse tipo de sistema para ter acesso a internet. Outra desvantagem é a alta frequência, pois de acordo com [7] quanto maior for a frequência de chaveamento do

transistor maior será o seu consumo.

Para medir a potência recebida pela antena tem-se a expressão de Friis Eq. 2.

$$P_R = \left(\frac{\gamma}{4\pi d} \right) G_T G_R P_T \quad (2)$$

Em que a quantidade de potência recebida pela a antena P_R depende da distância d entre o transmissor e receptor, o comprimento de onda γ , o ganho e a potência do transmissor G_T e P_T e o ganho do receptor G_R [2].

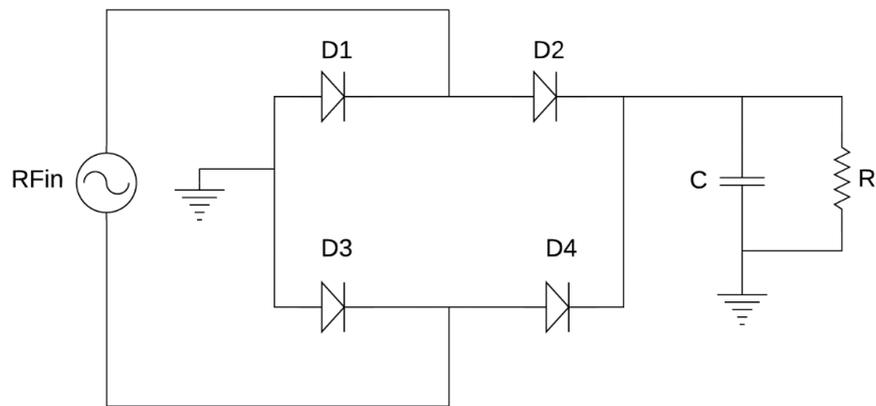
Importante também é conhecer a amplitude do sinal RF disponível no ambiente, para saber em qual região de operação (corte, triodo, saturação) o transistor irá operar durante o período T do sinal. De acordo com [8] a tensão induzida nas antenas projetadas para captar os sinais de RF é da ordem de 200 mV ou ainda menor, sendo conveniente a utilização de transistores MOS de baixa TL nos retificadores. Nas próximas seções será explicada como os transistores se comportam quando estão operando com tensões abaixo da TL.

2.3 O Retificador de Onda Completa

Como foi dito, uma vez que o sinal de RF tem caráter oscilatório é necessário um retificador para converter o sinal CA para um sinal CC. Existem basicamente dois tipos de retificadores o de Meia Onda e o de Onda Completa. A escolha do retificador a ser utilizado dependerá se nível de tensão captada for suficiente para polarizar o transistor. Se a tensão for o suficiente usa-se o de onda completa, uma vez que a dissipação de energia nesse circuito é maior devido a quantidade de componentes utilizados. A vantagem de utilização do ROC é que com a retificação completa, mais ciclos de tensão são disponibilizados para a carga capacitiva, ocasionando em uma diminuição da tensão de *ripple* (V_{ripple}) e uma diminuição do capacitor de carga. Caso a tensão captada não for suficiente para a polarização dos transistores utilizasse o RMO. Sua vantagem é o baixo consumo devido aos poucos componentes utilizados, porem sua desvantagem é a necessidade da utilização de um capacitor de carga maior em comparação com o de ROC para diminuir a tensão de *ripple* [2].

Nesse projeto, os transistores MOS funcionaram como diodos, lembrando que para CCE a utilização dos diodos nos retificadores não é recomendável devido a sua alta tensão de condução. Na Figura 5 é apresentado um ROC utilizando diodos ideais para simplificar a explicação do seu funcionamento.

Figura 5 – Retificador de Onda Completa utilizando diodos ideais alimentando uma carga R .

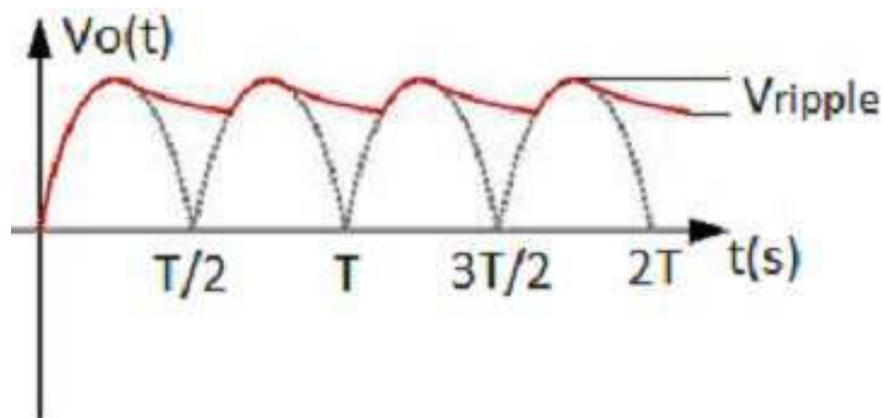


Fonte: Elaborada pelo autor

Na entrada do retificador tem-se a representação de um sinal RF, em que seu comportamento será considerado puramente senoidal eq. (1). No semiciclo positivo (SMP) do sinal RF os diodos D2 e D3 estão diretamente polarizados (em condução), enquanto que D1 e D4 estão reversamente polarizados (em corte), já no semiciclo negativo (SMN) os diodos D1 e D4 estarão diretamente polarizados enquanto D2 e D3 estão reversamente polarizados.

O objetivo do capacitor de saída C é armazenar a energia de cada semiciclo do retificador buscando manter uma tensão constante na saída em regime permanente. Quanto maior o capacitor menor será a variação da tensão de saída. A Figura 6 apresenta o comportamento da tensão de saída em cada semiciclo do ROC com um capacitor ligado a uma carga R [7].

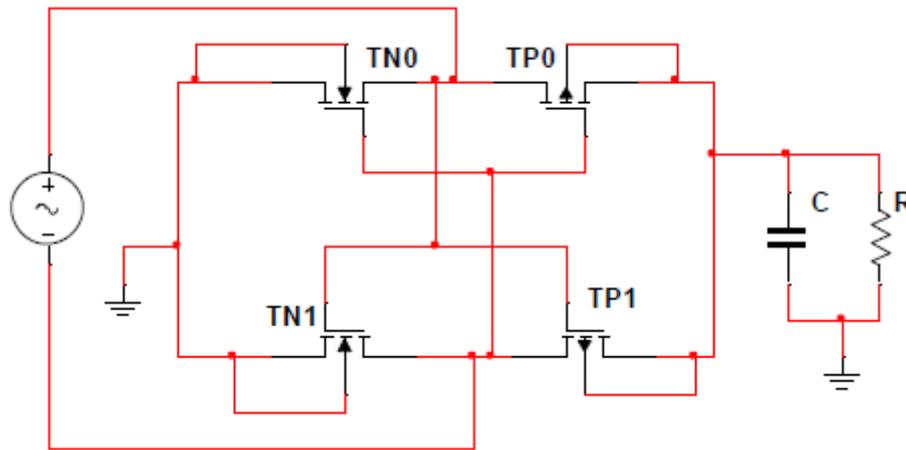
Figura 6 – Tensão de saída do Retificador de Onda Completa com filtro capacitivo.



Fonte: Elaborada pelo autor

Os transistores MOS foram escolhidos para compor o ROC, pois os mesmos possuem uma baixa TL, além disso, esse tipo de retificador, foi utilizado no trabalho [2] (Figura 7) para compor o seu CCE. O retificador recebia em sua entrada um sinal do tipo RF, em que para sua polarização foi utilizado o método de cancelamento da TL. O autor também cita em seus trabalhos futuros a utilização do método da IF nos blocos construtivos do seu CCE, na tentativa de melhorar eficiência.

Figura 7 – Retificador de Onda Completa com transistores MOS.



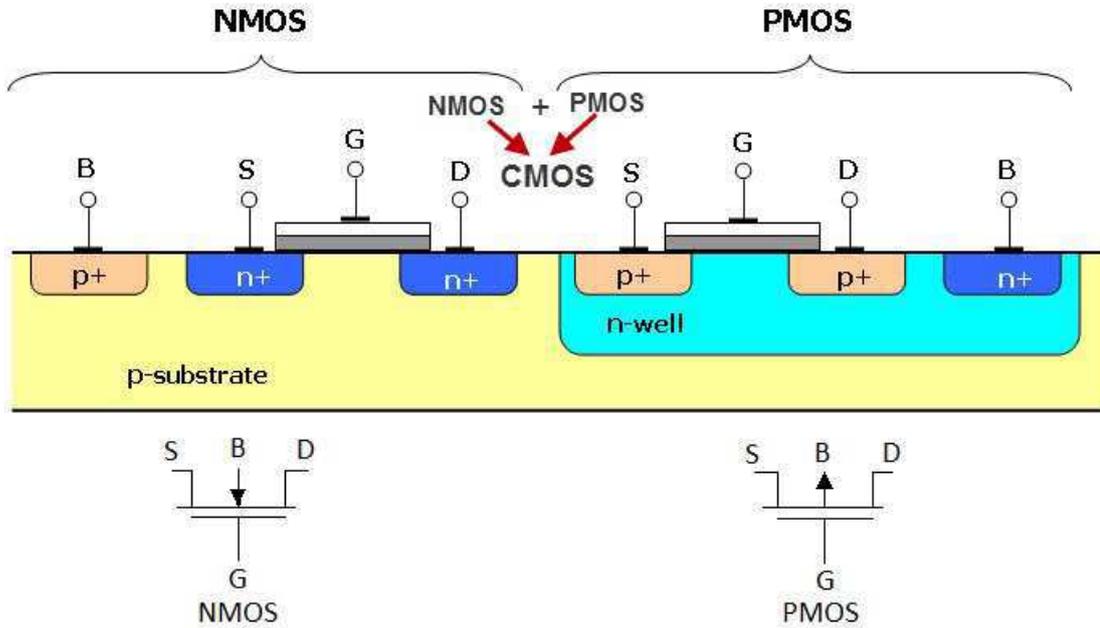
Fonte: [2].

Geralmente os estudos dos retificadores na IF estão concentrados no RMO [1], [5], [8]. Porém o princípio de funcionamento do RMO e ROC são os mesmos, logo a base teórica de um vale para o outro.

2.4 A Região de Inversão Fraca

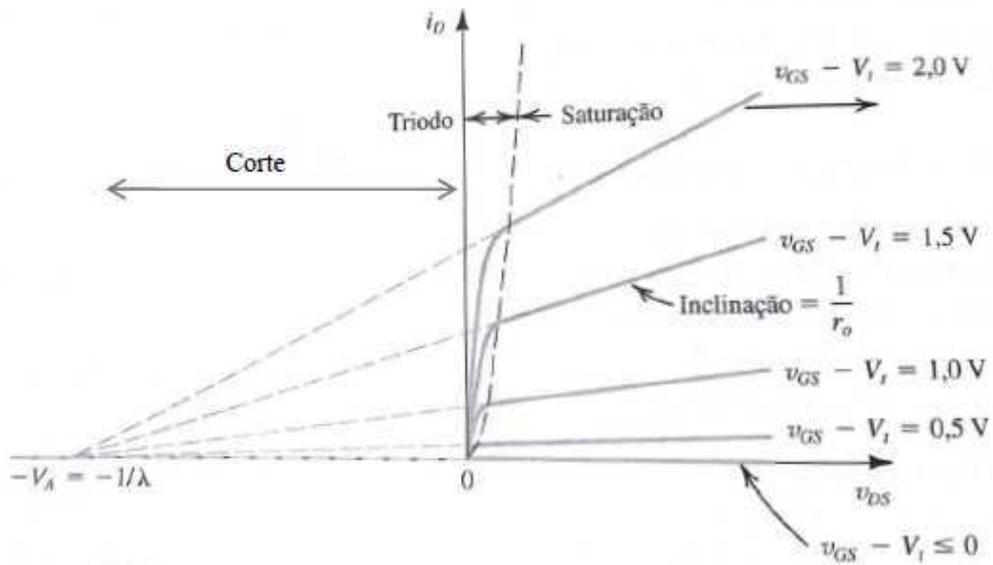
Os transistores MOSFET do tipo n e tipo p, representados na Figura 8 pelas suas estruturas físicas em tecnologia CMOS, assim como os seus símbolos, possuem basicamente três regiões de operação: corte, triodo e saturação para o controle da corrente de dreno pelas tensões v_{DS} e v_{GS} , ou seja, tensão dreno-fonte e porta-fonte respectivamente. Como pode ser visto na Figura 9. De acordo com [7] e [9], considerando o transistor NMOS, para operar na região de corte $v_{GS} \leq V_{t0}$, na região de triodo $v_{DS} \leq v_{GS} - V_{t0}$ e na região de saturação $v_{DS} \geq v_{GS} - V_{t0}$.

Figura 8 – Estrutura Física da tecnologia CMOS e os símbolos dos transistores NMOS e PMOS.



Fonte: Adaptada de [10].

Figura 9 – Regiões de operação do transistor MOSFET do tipo n.



Fonte: Adaptada de [7].

De acordo com [7], em aplicações mais gerais (circuitos digitais, circuitos de potência, amplificadores) quando o transistor opera na região de corte a sua corrente de dreno (i_D) é considerada zero. Porém, em aplicações específicas de baixo consumo

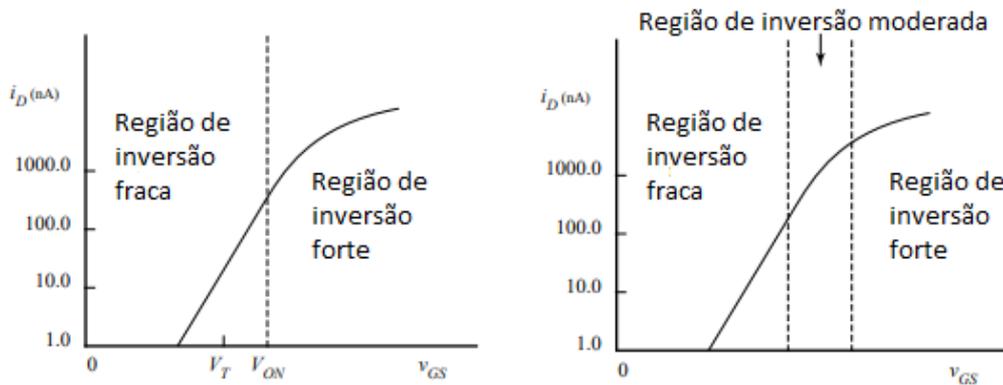
e baixa TL, em que o v_{GS} é muito pequeno, a corrente de dreno não pode mais ser considerada zero. O que na verdade acontece nessa condição (v_{GS} abaixo da TL) é que algumas cargas provenientes da fonte começam a migrar para o dreno, em maior ou em menor escala dependendo da tensão aplicada no transistor. Nesse caso a região de corte pode ser subdividida em mais duas regiões: Inversão Fraca e Inversão Moderada. A região que compõem o triódo e a saturação podem também serem chamadas de Inversão Forte (Figura 10). Na Figura 10 tem-se que V_{ON} representa a tensão que separa a região de inversão fraca e inversão forte, a região de inversão moderada é extremamente difícil de ser determinada, ela não será abordada nesse trabalho.

O comportamento da corrente de dreno na IF tem um caráter exponencial e pode ser aproximado pela Eq. 3 [11].

$$i_D \cong \frac{W}{L} I_{D0} \exp\left(\frac{v_{GS}}{n(KT/q)}\right) \quad (3)$$

em que W e L são a largura e o comprimento do canal respectivamente, k é a constante de Boltzmann, a temperatura (K), q é a carga elementar do elétron, n é o fator de inclinação compreendido entre 1 e 3 ($1 < n < 3$), $I_{D0} = 2nV_T^2\mu C_{OX}$. Em que V_T é a tensão térmica, μ é a mobilidade de carga, C_{OX} é a capacitância de porta.

Figura 10 – Característica do transistor MOSFET para uma baixa tensão de V_{GS} .



Fonte: Adaptada de [11]

De acordo com [11] a RIF a pode ter como limite a condição da Eq. 4

$$v_{GS} < V_{t0} + \frac{nKT}{q} \quad (4)$$

2.5 Retificador de Meia Onda e a Variação da Ligação dos Seus Terminais

Nesta seção será apresentado uma revisão do trabalho de [1], em que o autor descreve o comportamento do retificador RMO com baixa tensão de entrada e o aparecimento da corrente reversa, que abaixa a eficiência do retificador. Na maioria dos circuitos de captação de energia RF esses retificadores (Figura 11) estão em cascata para aumentar a tensão de saída, porém para simplificar a análise será apresentado apenas um retificador.

2.5.1 Corrente Direta e Corrente Reversa do Retificador

Na RIF a corrente de dreno do NMOS e PMOS são dadas, respectivamente, por

$$i_{dN} = I_{nz} e^{\frac{V_{t0} - V_{BG}}{nV_T}} \left(e^{\frac{V_B - V_S}{V_T}} - e^{\frac{V_B - V_D}{V_T}} \right) \quad (5)$$

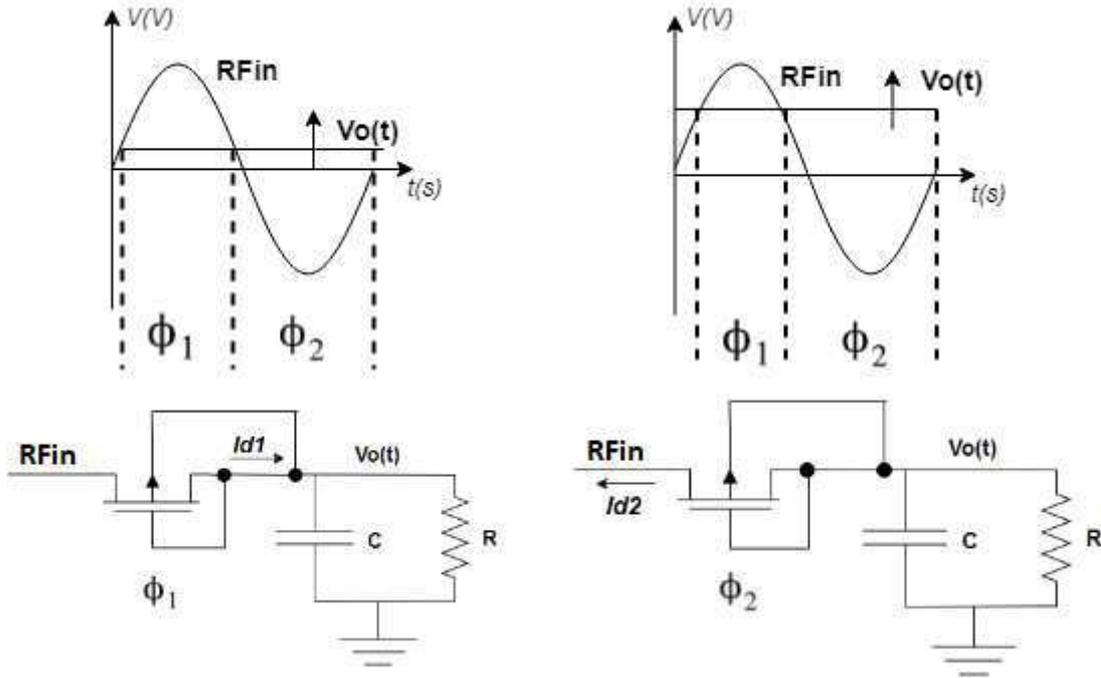
e

$$i_{dP} = I_{pz} e^{\frac{V_{BG} - V_{t0}}{nV_T}} \left(e^{\frac{-V_B - V_S}{V_T}} - e^{\frac{-V_B - V_D}{V_T}} \right), \quad (6)$$

sendo $I_{nz} = 2nV_T^2 \mu_n C_{OX} W/L$ e $I_{pz} = 2nV_T^2 \mu_p C_{OX} W/L$ [1], [12]. Na Figura 11 pode ser ver um transistor PMOS recebendo um sinal de entrada e em sua saída um capacitor, que tem a finalidade de armazenar carga e manter a tensão constante. Ligado em paralelo com o capacitor, tem-se uma carga para analisar o comportamento da corrente de dreno.

Analisando apenas a eq. (6) da corrente de dreno do transistor PMOS, considerando um transistor ideal e sem vazamentos do capacitor para o terra. A análise do retificador deve ser feita em duas fases (ϕ_1 e ϕ_2). Em ϕ_1 ocorre quando $RF_{in} > 0$, nesse caso a corrente flui da fonte para o dreno do transistor alimentando o capacitor, já ϕ_2 quando $RF_{in} < 0$ o dreno e a fonte invertem de posição, ou seja o terminal da fonte passa a ser o terminal do dreno e vice-versa, fazendo a corrente fluir no sentido contrário, descarregando o capacitor pelo transistor. No início o intervalo de carga e descarga do capacitor é o mesmo, ou seja 50% do período da onda de entrada, porém com o tempo a tensão de saída aumenta o que reduz o tempo de descarga do capacitor.

Figura 11 – Retificador de Meia Onda ligado a um sinal RF.



Fonte: Adaptada de [1].

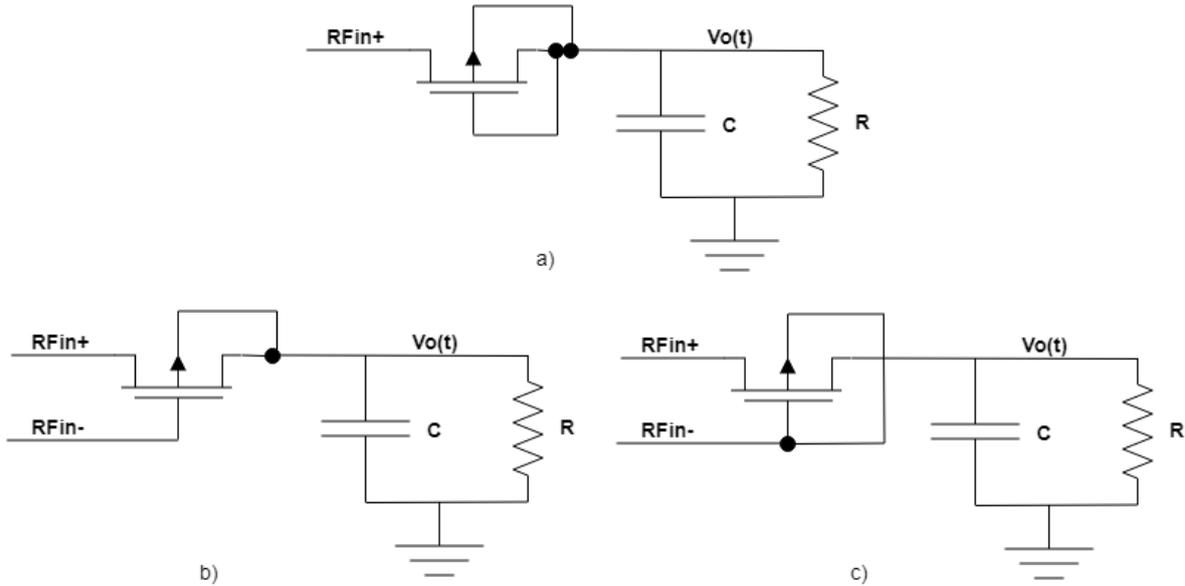
Por conta da comutação da fonte-dreno em cada fase, a eq. (6) deve ser reescrita de forma a surgir duas equações de dreno que se adequem a cada fase. Logo a eq. 6 pode ser reescrita da forma da eq. (7).

$$\begin{aligned} i_{d1} &= I_{zp} e^{\frac{-V_{t0}}{nV_T}} \left(e^{\frac{RF_{in+} - V_0}{V_T}} - 1 \right) : RF_{in+} > V_0 \\ i_{d2} &= I_{zp} e^{\frac{-V_{t0}}{nV_T}} \left(1 - e^{\frac{RF_{in+} - V_0}{V_T}} \right) : RF_{in+} \leq V_0 \end{aligned} \quad (7)$$

Na fase ϕ_1 a fonte está ligado a RF_{in} e o dreno está ligado a V_0 , já em ϕ_2 as posições se invertem, a fonte fica ligado a V_0 enquanto que o dreno fica ligado a RF_{in} . I_{d1} é chamada de corrente direta é ela que carrega o capacitor, já I_{d2} é chamada de corrente reversa, é uma corrente indesejável que diminui a eficiência do retificador, fazendo baixar a carga do capacitor. Dessa forma é importante encontrar uma maneira de aumentar I_{d1} e diminuir I_{d2} . Analisando a eq. (7) é praticamente impossível controlar as correntes direta e reversa, pois para aumentar I_{d1} deve-se aumentar a amplitude de RF_{in} e para diminuir I_{d2} deve-se controlar RF_{in} para ficar próximo de V_0 para zerar o termo $(RF_{in} - V_0)$. A dificuldade é justamente na manipulação de RF_{in} , pois como se sabe ele é um sinal proveniente do meio ambiente que não é controlável. A conclusão, é que não existe grau de liberdade na eq. (7), afim de aumentar a corrente direta e diminuir a corrente reversa.

Para criar mais um grau de liberdade na eq. (7), pode ser feito diferentes tipos de ligação nos terminais da porta e do substrato. Dessa forma encontrando qual o tipo de ligação que apresenta o melhor desempenho. Esses diferentes tipos de ligações do retificador podem ser vistos na Figura 12.

Figura 12 – Configuração dos Retificadores PMOS. a) Transistor conectado a diodo (CR1). b) Porta ligado ao sinal antifase. c) Substrato e porta ligados ao sinal antifase.



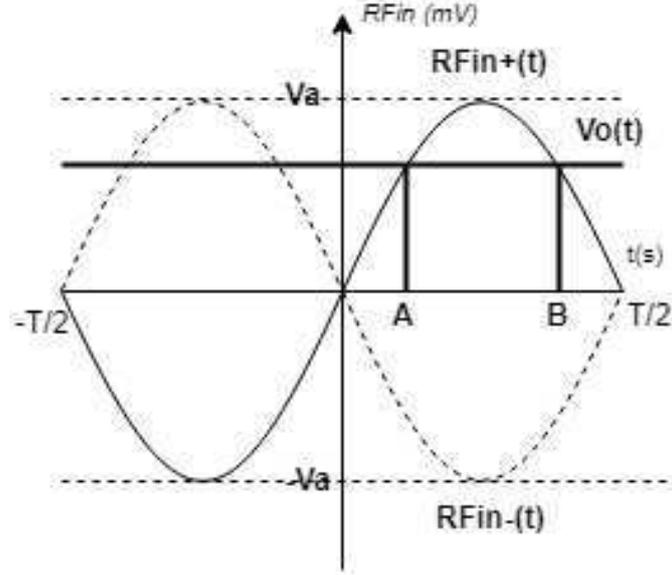
Fonte: Adaptada de [1].

Com a mudança das ligações dos terminais da porta e do substrato, tem-se três topologias diferentes (CR1, CR2 e CR3) em que cada uma é ligada a um capacitor de carga. Em CR2 e CR3 é ligado um sinal chamado RF_{in-} , que é um sinal em antifase a RF_{in+} . Logo RF_{in+} e RF_{in-} podem ser definidas da forma das eqs. (8) e (9).

$$RF_{in} = RF_{in+}(t) = V_a \text{sen}(2\pi ft) \quad (8)$$

$$RF_{in-}(t) = -V_a \text{sen}(2\pi ft) \quad (9)$$

Ou seja $RF_{in-} = -RF_{in+}$. Na Figura 13 tem-se a representação desses sinais com destaques para os pontos A e B que são os pontos onde acontece a inversão fonte-dreno.

Figura 13 – Sinais RF_{in+} e RF_{in-} , com destaque para os pontos de transição fonte-dreno.

Fonte: Adaptada de [1].

Partindo do mesmo raciocínio feito na eq. (7), tem-se a eq. (10) da corrente de dreno para a topologia 2 (CR2).

$$\begin{aligned} i_{d1} &= I_{zp} e^{\frac{V_0 - RF_{in-} - V_{t0}}{nV_T}} \left(e^{\frac{RF_{in-} - V_0}{V_T}} - 1 \right) : RF_{in} > V_0 \\ i_{d2} &= I_{zp} e^{\frac{V_0 - RF_{in+} - V_{t0}}{nV_T}} \left(1 - e^{\frac{RF_{in+} - V_0}{V_T}} \right) : RF_{in} \leq V_0 \end{aligned} \quad (10)$$

Para a topologia 3 (CR3) a corrente de dreno é definida pela eq. (11):

$$\begin{aligned} i_{d1} &= I_{zp} e^{\frac{-V_{t0}}{nV_T}} \left(e^{\frac{2RF_{in+}}{V_T}} - e^{\frac{V_0 - RF_{in-}}{V_T}} \right) : RF_{in} > V_0 \\ i_{d2} &= I_{zp} e^{\frac{-V_{t0}}{nV_T}} \left(e^{\frac{V_0 - RF_{in-}}{V_T}} - e^{\frac{2RF_{in+}}{V_T}} \right) : RF_{in} \leq V_0 \end{aligned} \quad (11)$$

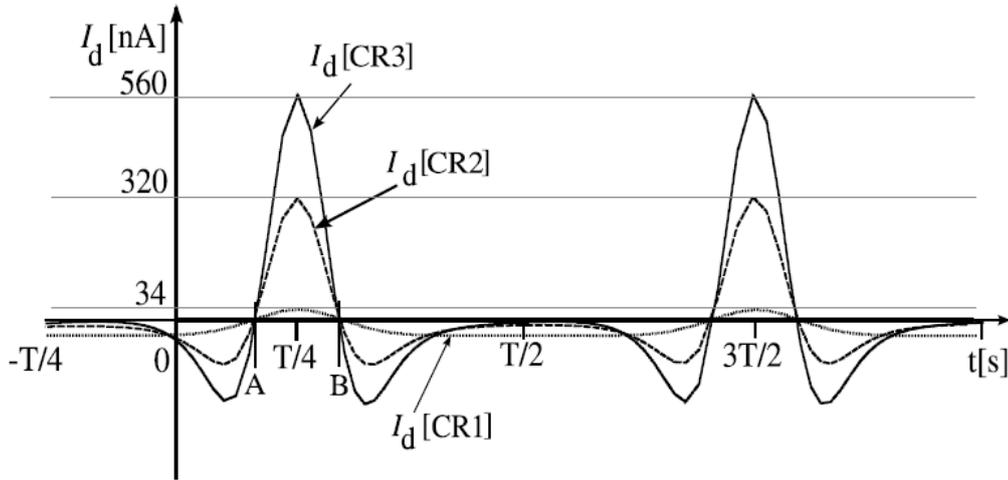
Os resultados das simulações das expressões (7), (10) e (11) das três topologias do trabalho de [1] encontra-se na seção 2.5.2.

2.5.2 Resultado das Simulações da Corrente de Dreno de CR1, CR2, CR3.

De acordo com o resultado do gráfico da Figura 14, percebe-se um aumento da corrente direta I_{d1} entre os pontos A e B de CR1 para CR2 seguido por CR3. Sabendo que a área sob a curva é a quantidade de carga entregue ao capacitor, percebe-se que aplicando um

sinal antifase entre os terminais porta-fonte, melhora de maneira significativa a corrente direta do RMO. Já para a corrente reversa I_{d2} , analisando o intervalo $[B, T/2]$, por inspeção pode-se ver que a área a acima da curva é praticamente a mesma para as três topologias. Antes do ponto de intersecção das três curvas (próximo ao indicador de CR1), a corrente reversa de CR1 é menor que CR2 que é menor que CR3, depois do ponto de intersecção, CR2 e CR3 tem praticamente o mesmo comportamento da corrente reversa e apresentam uma melhora em relação a CR1. Embora a perda de carga de CR3 seja ligeiramente maior do que CR1 dentro do intervalo $[B, T/2]$, a vantagem de CR3 em relação ao próprio CR1 e a CR2 no intervalo de carregamento do capacitor $[A, B]$ é muito maior, uma vez que a magnitude das correntes diretas das três topologias são da ordem de (34 nA, 320 nA e 560 nA) ou seja a topologia CR3 é mais eficiente dentro do período de tempo .

Figura 14 – Resultado das simulações das equações de dreno das topologias CR1, CR2 e CR3.



Fonte: Adaptada de [2]

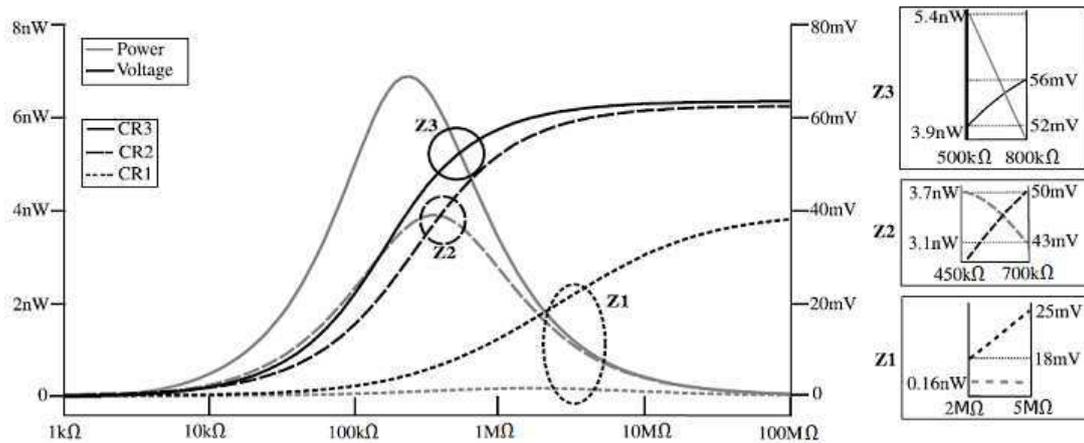
Para medir a potência entregue continuamente para uma carga foi realizado uma variação da carga de saída do RMO das três topologias, em que a corrente de carga I_{carga} e a tensão de saída V_0 foram medidas no estado estacionário (CC), logo o cálculo da potência de saída é simplesmente o produto de ambas (12).

$$P_{cargaMed} = I_{cargaMed} \times V_{0Med} \quad (12)$$

Foi feito também uma simulação da tensão de saída em relação a carga, com a finalidade de medir a eficiência das três topologias, além de encontrar a região onde a transferência de potência para a carga é máxima. Pelo gráfico da Figura 15 a potência entregue de CR3. CR3 é superior a CR2, que é superior a potência de CR1 que é extremamente baixa. Os pontos de potência máxima para as três topologias estão demarcados

como Z1, Z2 e Z3 e foram ampliados no lado direito da Figura 15. Z1 apresenta os piores resultados, com o ponto de potência máxima 22 mV/0,16 nW na faixa de 2 MΩ a 5 MΩ. A potência máxima de CR2 (Z2) é 47 mV/3,5 nW na faixa de 450 kΩ e 700 kΩ. Finalmente, a potência máxima de CR3 (Z3) é 55 mV/4,5 nW na faixa de 500 kΩ e 800 kΩ. Logo CR3 apresenta um melhor resultado em comparação com as outras topologias.

Figura 15 – Comportamento da potência e tensão das três topologias em função de uma carga puramente resistiva.



Fonte: Adaptada de [2]

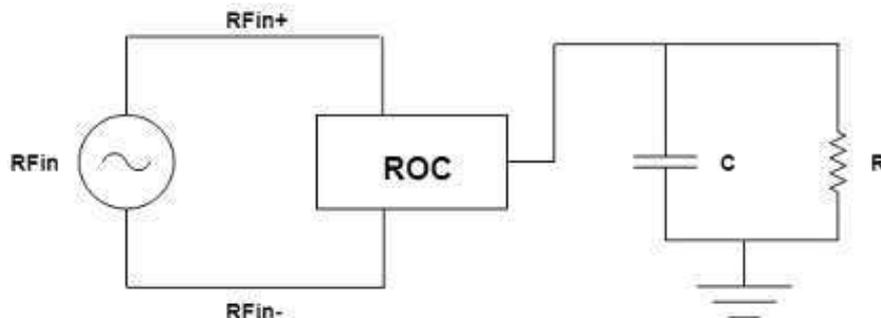
3 Metodologia

Na metodologia é abordado como foi feito a análise do ROC com base na fundamentação teórica. São apresentadas os modelos de expressões para o comportamento da corrente que alimenta a carga (corrente de saída do ROC), que nada mais é que a soma das correntes de dreno do transistor PMOS geradas pelo SMP mais SMN do sinal de entrada. Em seguida foi realizado uma simulação no *software* Matlab para verificar o comportamento da corrente de carga. Por fim, é feita uma breve abordagem de como foi realizado as simulações no Cadence Virtuoso.

3.1 Análise do Retificador de Onda Completa na Fraca Inversão, com mudanças na ligação do terminal do substrato

O objetivo dessa seção é fazer a mesma análise feita na seção 2.5.2, mas agora utilizando o ROC. Para isso foi montada a estrutura da Figura 16. Diferente do que foi realizado em CR2 e CR3, não foi utilizado um sinal em antifase em nenhuma das topologias do ROC, pois em cada semiciclo, enquanto uma das fontes está alimentando a carga a outra fonte entra em curto circuito, provocando perda de potência do sistema, uma vez que as portas dos transistores NMOS e PMOS estão ligadas ao mesmo terminal como apresenta a Figura 17. Considerando os transistores ideais, quando TN2 e TP1 estão conduzindo e TN1 e TP2 estão em corte, nota-se que a fonte antifase RF_{in-} está com os seus dois terminais ligados ao terra do circuito. Os ramos em vermelho indicam o curto circuito da fonte.

Figura 16 – Estrutura básica montada para o Retificador de Onda Completa.



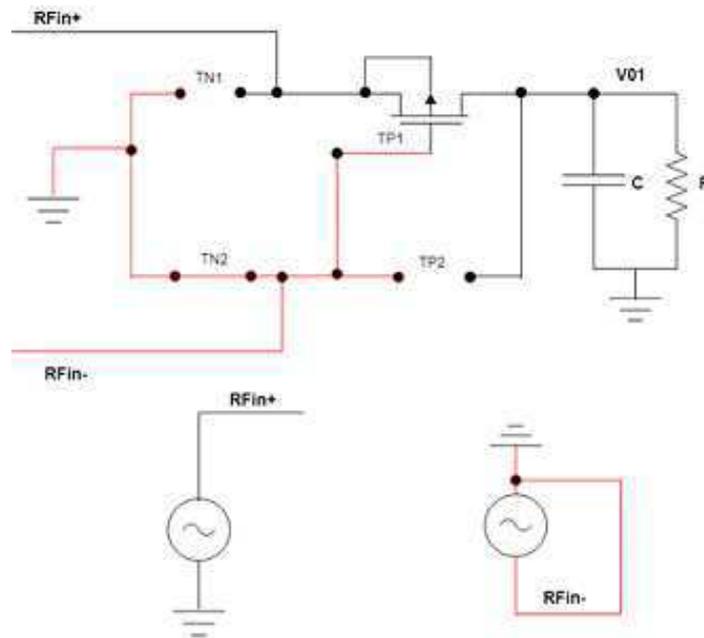
Fonte: Elaborada pelo autor.

Sendo assim, só será utilizado uma única fonte RF_{in} que tem a mesma eq. (8). E para manter a mesma lógica das expressões das correntes de dreno das topologias CR1,

CR2 e CR3 do RMO. RF_{in+} e RF_{in-} agora serão apenas os semiciclos positivo e negativo respectivamente do sinal de entrada RF_{in} (eq. 13).

$$\begin{aligned} RF_{in+} &= RF_{in} : t \leq T/2 \\ RF_{in-} &= RF_{in} : t > T/2 \end{aligned} \quad (13)$$

Figura 17 – Representação do problema ao se utilizar um sinal antifase.



Fonte: Elaborada pelo autor.

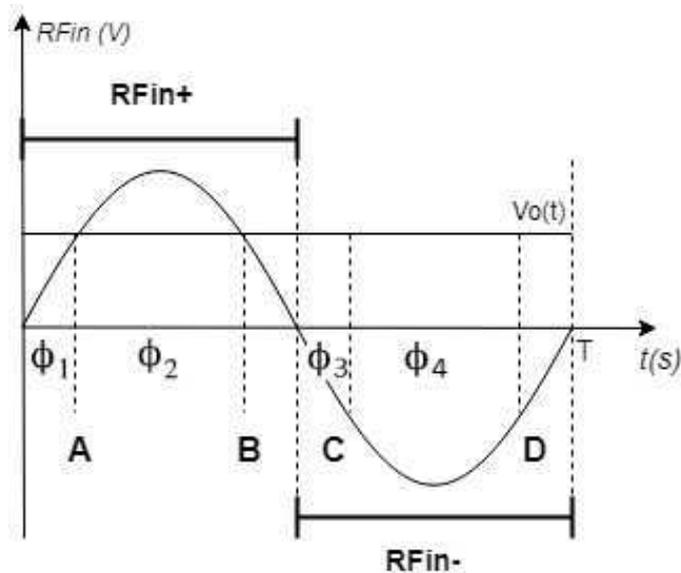
Uma vez que agora o retificador será de onda completa, tanto o SMP como o SMN devem ser analisados, o que faz aparecer duas fases a mais do que foi apresentado na Figura 11. A nova análise deve ser feita a partir da Figura 18, em que é apresentado o sinal com o seu SMP representado por RF_{in+} e o SMN representado por RF_{in-} , além das quatro fases para análise ϕ_1 , ϕ_2 , ϕ_3 e ϕ_4 . Para o SMP ϕ_1 e ϕ_2 , para o SMN ϕ_3 e ϕ_4 . Além dos pontos de transição dos terminais fonte-dreno (A, B, C e D). Na Figura 18 no o SMP, ϕ_1 corresponde ao intervalo quando $RF_{in+} \leq V_0$, ϕ_2 quando $RF_{in+} \geq V_0$, os pontos A e B representam a comutação da fonte-dreno do transistor TP1. Para o SMN foi considerado nas análises o módulo de RF_{in-} ($|RF_{in-}|$), uma vez que o sentido da corrente de carga do retificador, em cada semiciclo permanece o mesmo. Sendo assim ϕ_3 é quando $|RF_{in-}| \leq V_0$ e é quando $|RF_{in-}| > V_0$, Os pontos C e D representa a comutação fonte-dreno do transistor TP2.

No ROC foram feitas as modificações apenas nos terminais do substrato dos transistores PMOS. Para simplificar a análise, o transistor NMOS será considerado um

diodo ideal, se comportando como um fio quando estiver diretamente polarizado e como um circuito aberto, quando estiver reversamente polarizado. Sendo assim, se chegou em três topologias que serão chamadas de TPO1, TPO2 e TPO3 (Figura 19). Será visto adiante que essas topologias apresentam um comportamento semelhante aos retificadores de meia onda apresentados na seção 2.5.1.

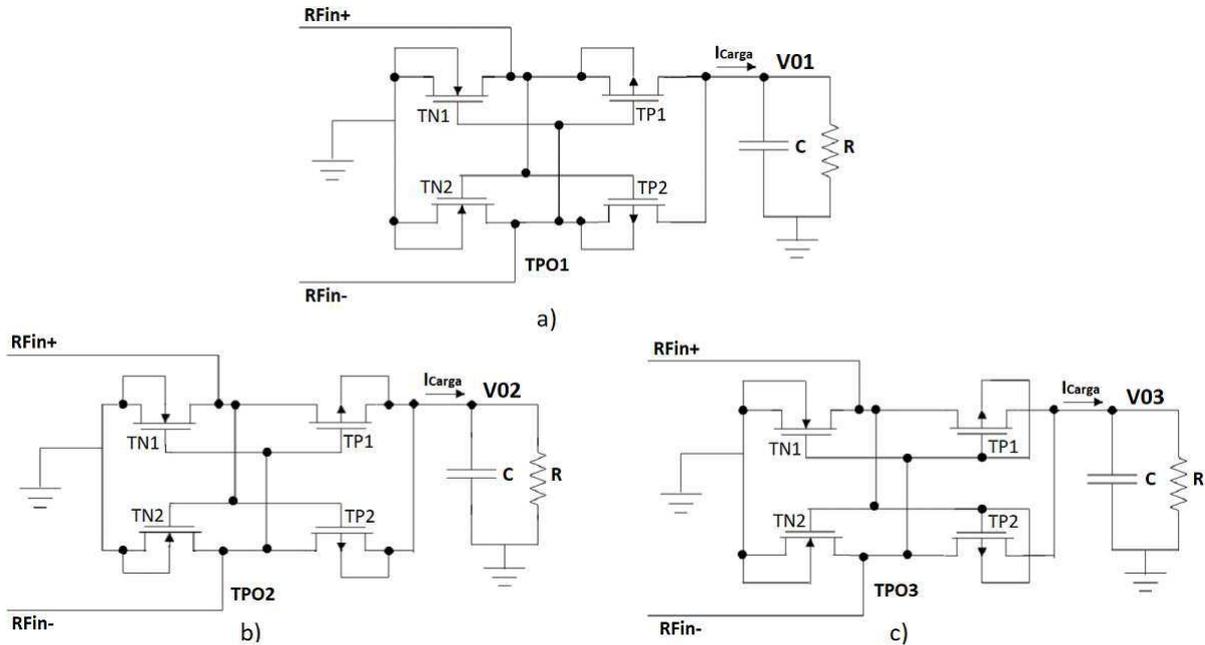
Outros tipos de ligações com os terminais dos transistores foram testados, mas não serão abordados no trabalho pois apresentavam problemas como falta de simetria na retificação da corrente fornecida para carga (I_{carga}) ou apresentavam uma eficiência extremamente baixa.

Figura 18 – Representação do sinal de entrada RF_{in} e as fases de análise da corrente de dreno.



Fonte: Elaborada pelo autor.

Figura 19 – Retificadores de Onda completa. a) Substrato do transistor PMOS ligado à tensão de entrada. b) Substrato ligado a carga. c) Substrato ligado à porta.

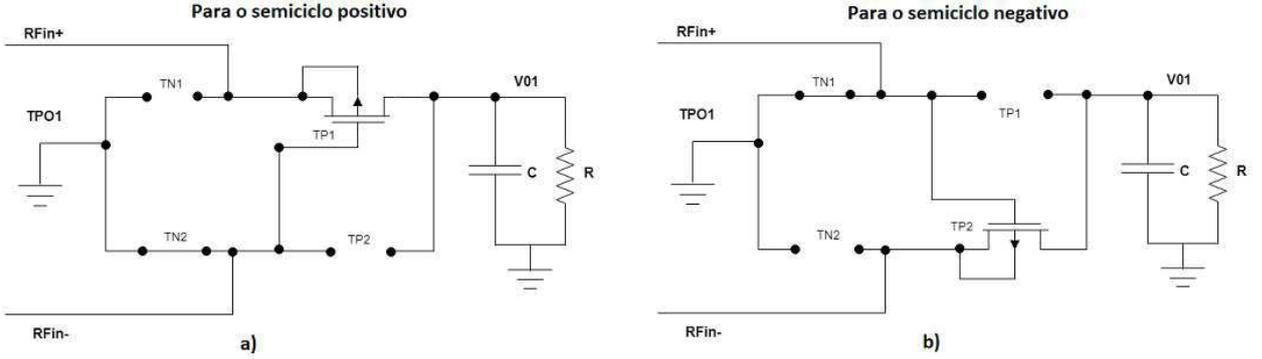


Fonte: Elaborada pelo autor.

Foram feitas duas análises para encontrar a expressão da corrente de dreno dos dois transistores PMOS (TP1 e TP2), que alimentam a carga do ROC, uma para a parte positiva da tensão de entrada de RF_{in} (RF_{in+}) e outra para a parte negativa (RF_{in-}). Em cada intervalo de duração das fases ϕ_1 , ϕ_2 , ϕ_3 e ϕ_4 deve-se verificar o sentido da corrente de dreno do transistor PMOS, pois como foi dito anteriormente, o sentido da corrente de dreno depende da posição dos terminais da fonte e do dreno dos transistores, que depende se o valor da tensão de entrada é maior ou menor que a tensão de saída V_0 do ROC. Se $|RF_{in}| > V_0$ tem-se a corrente direta que carrega o capacitor, se for menor, surge a corrente reversa que descarrega o capacitor. No SMP, os transistores TP1 e TN2 estão conduzindo enquanto que TP2 e TN1 estão em corte, já no SMN ocorre o contrário. TP1 e TN2 estão em corte enquanto que TP2 e TN1 conduzem. Para simplificar a análise os transistores PMOS serão considerados ideias (capacitâncias e resistências parasitas), e não há fuga de corrente pelo capacitor.

Com o auxílio da Figura 20, para topologia TPO1, analisando primeiro o SMP da tensão de entrada, tem-se nas fases ϕ_1 e ϕ_2 as correntes direta e reversa (i_{dp1} e i_{dp2}) do transistor TP1, partindo da eq. (6), tem-se a eq. (14):

Figura 20 – a) Análise do SMP, b) Análise do SMN.



Fonte: Elaborada pelo autor.

$$\begin{aligned}
 i_{d1} &= I_z e^{\frac{RF_{in+} - V_{t0}}{nV_T}} \left(1 - e^{\frac{V_{01} - RF_{in-}}{V_T}} \right) : RF_{in+} \geq V_{01} \\
 i_{d2} &= I_z e^{\frac{RF_{in+} - V_{t0}}{nV_T}} \left(e^{\frac{V_{01} - RF_{in+}}{V_T}} - 1 \right) : RF_{in+} < V_{01}
 \end{aligned} \tag{14}$$

Agora, analisando o SMN da tensão de entrada para as fases e as correntes direta e reversa (i_{dn1} e i_{dn2}) do transistor TP2 são dadas por (15):

$$\begin{aligned}
 i_{dn1} &= I_z e^{\frac{|RF_{in-}| - V_{t0}}{nV_T}} \left(1 - e^{\frac{V_{01} - |RF_{in-}|}{V_T}} \right) : |RF_{in-}| \geq V_{01} \\
 i_{dn2} &= I_z e^{\frac{|RF_{in-}| - V_{t0}}{nV_T}} \left(e^{\frac{V_{01} - |RF_{in-}|}{V_T}} - 1 \right) : |RF_{in-}| < V_{01}
 \end{aligned} \tag{15}$$

Fazendo a mesma análise para TPO2. Para o SMP, tem-se a eq. (16).

$$\begin{aligned}
 i_{dp1} &= I_z e^{\frac{V_{02} - V_{t0}}{nV_T}} \left(e^{\frac{RF_{in+} - V_{02}}{V_T}} - 1 \right) : RF_{in+} \geq V_{02} \\
 i_{dp2} &= I_z e^{\frac{V_{02} - V_{t0}}{nV_T}} \left(1 - e^{\frac{RF_{in+} - V_{02}}{V_T}} \right) : RF_{in+} < V_{02}
 \end{aligned} \tag{16}$$

Para o SMN tem-se a eq. (17).

$$\begin{aligned}
 i_{dn1} &= I_z e^{\frac{V_{02} - V_{t0}}{nV_T}} \left(e^{\frac{|RF_{in-}| - V_{02}}{V_T}} - 1 \right) : |RF_{in-}| \geq V_{02} \\
 i_{dn2} &= I_z e^{\frac{V_{02} - V_{t0}}{nV_T}} \left(1 - e^{\frac{|RF_{in-}| - V_{02}}{V_T}} \right) : |RF_{in-}| < V_{02}
 \end{aligned} \tag{17}$$

Por último TPO3. Para o SMP, tem-se eq. (18).

$$\begin{aligned} i_{dp1} &= I_z e^{\frac{-V_{i0}}{nV_T}} \left(e^{\frac{RF_{in+}}{V_T}} - e^{\frac{V_{03}}{V_T}} \right) : RF_{in+} \geq V_{03} \\ i_{dp2} &= I_z e^{\frac{-V_{i0}}{nV_T}} \left(e^{\frac{V_{03}}{V_T}} - e^{\frac{RF_{in+}}{V_T}} \right) : RF_{in+} < V_{03} \end{aligned} \quad (18)$$

Para o SMN tem-se a eq. (19):

$$\begin{aligned} i_{dn1} &= I_z e^{\frac{-V_{i0}}{nV_T}} \left(e^{\frac{|RF_{in-}|}{V_T}} - e^{\frac{V_{03}}{V_T}} \right) : |RF_{in-}| \geq V_{03} \\ i_{dn2} &= I_z e^{\frac{-V_{i0}}{nV_T}} \left(e^{\frac{V_{03}}{V_T}} - e^{\frac{|RF_{in-}|}{V_T}} \right) : |RF_{in-}| < V_{03} \end{aligned} \quad (19)$$

De acordo com [12] a corrente de dreno resultante é definida pela diferença entre a corrente direta e a reversa ao longo do tempo eq. (20).

$$i_d(t) = i_{d1}(t) - i_{d2}(t) \quad (20)$$

Logo, a corrente de dreno resultante de cada semiciclo para as três topologias, pode ser escrita pela eq. (21):

$$\begin{aligned} i_{dp}(t) &= i_{dp1} - i_{dp2} : t \leq T/2 \\ i_{dn}(t) &= i_{dn1} - i_{dn2} : t > T/2 \end{aligned} \quad (21)$$

A corrente de carga das três topologias do ROC durante o intervalo de um período T , é dada pela soma de $i_{dp}(t)$ e $i_{dn}(t)$, logo tem-se a eq. (22).

$$\begin{aligned} i_{carga} &= i_{dp}(t) + i_{dn}(t) \\ i_{carga}(t) &= (i_{dp1} - i_{dp2}) + (i_{dn1} - i_{dn2}) \end{aligned} \quad (22)$$

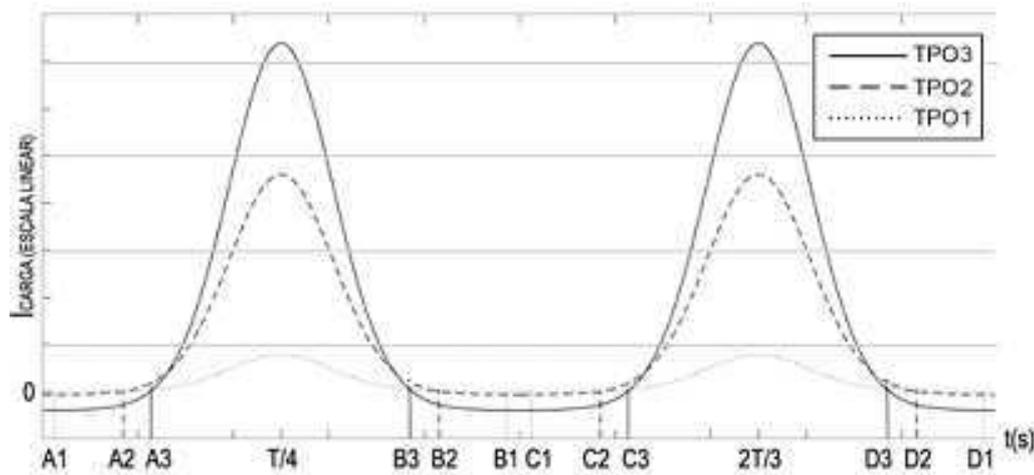
Para realizar a simulação e verificar o comportamento da corrente de carga das três topologias. Os parâmetros físicos e tecnológicos utilizados para a resolução numérica da expressão (29), estão presentes na Tabela 1. A razão de aspecto (W/L) os mesmos para os três casos. Para simplificar a resolução o fator de inclinação foi considerado como sendo $n = 1$.

Tabela 1 – Parâmetros físicos e tecnológicos 180 nm

Parâmetros Físicos e Tecnológicos (180 nm)	Valores
Constante de Boltzmann - k	$1,38 \times 10^{-23} (JK^{-1})$
Temperatura - T	$273(K)$
Carga elementar do elétron - q	$1,6 \times 10^{-19} (C)$
Capacitância Parasita da Camada de óxido - C_{OX}	$8,6(fF/\mu m^2)$
Mobilidade dos elétrons - μ_p	$100(cm^2/Vs)$
Camada de óxido - t_{OX}	$4(nm)$
Tensão de limiar do PMOS - V_{t0}	$330(mV)$
Razão de aspecto - (W/L)	$2000/7$
Capacitor de saída - C	$40(pF)$
Resistência de saída - R	$1,5(M\Omega)$

Na Figura 21 é apresentada a corrente de carga das três topologias da Figura 19. Percebe-se que o comportamento é semelhante ao apresentado na Figura 14. Porém, diferente da Figura 14, os pontos de comutação dreno-fonte da Figura 20, para as três topologias não são os mesmos. Isso acontece devido a tensão média das topologias serem diferentes para uma mesma carga ligada a saída. Como pode se ver na Figura 20.

Figura 21 – Simulação da eq. (22) das topologias TPO1, TPO2 e TPO3.

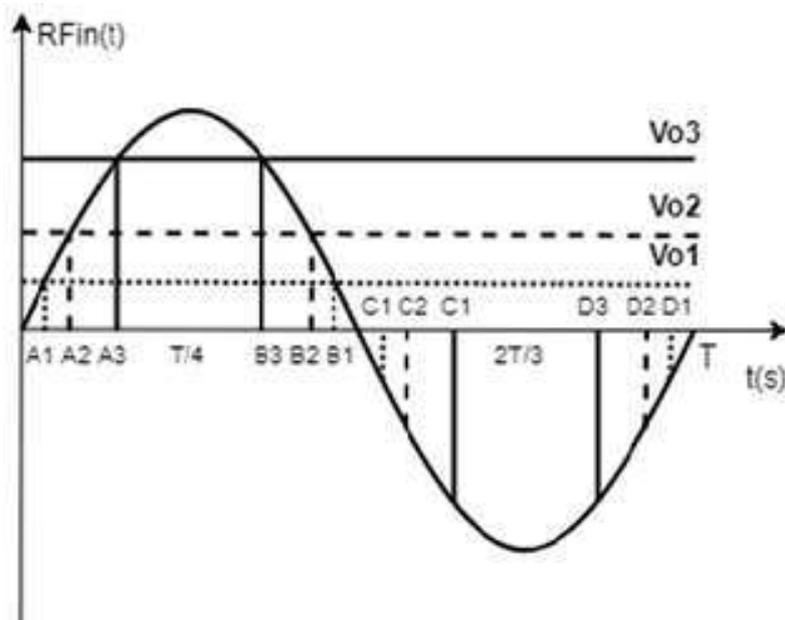


Fonte: Elaborada pelo autor.

As letras A, B, C e D corresponde aos pontos de transição fonte-dreno, enquanto que os índices 1, 2 e 3 correspondem as topologias TPO1, TPO2 e TPO3 respectivamente. Por inspeção, pegando como referência apenas o SMP e analisando primeiramente o intervalo da corrente direta [A, B], percebe-se uma melhora significativa de TPO1 para TPO2 e de TPO2 para TPO3. Mesmo que o intervalo de tempo de duração da corrente direta de TPO3 ([A3, B3]) seja menor que as outras duas topologias ([A2, B2], [A1, B1]) a área sob a curva de TPO3 para o intervalo [A3, B3] é muito maior que TPO2 e TPO1,

ou seja, a quantidade de carga fornecida por TPO3 entre os pontos A e B é maior. Para a corrente reversa, analisando o intervalo de tempo [B, C] para as três topologias, percebe-se que a ordem de magnitude das três é muito pequena, se comparada com a corrente direta, sendo TPO1 a que apresenta o menor valor e um menor intervalo de tempo das três topologias, isso quer dizer que TPO1 é que apresenta uma menor perda de cargas pelo capacitor devido a corrente reversa. Porém, devido a corrente direta ser muito maior que a magnitude da corrente reversa, nos três casos, conclui-se que a corrente reversa é praticamente desprezível. Logo, pode-se concluir que a topologia TPO3 é a mais eficiente, De acordo com o modelo matemático.

Figura 22 – Tensões médias e os pontos de transição fonte-dreno.



Fonte: Elaborada pelo autor.

3.2 Procedimento de Simulação Utilizado no Cadence Virtuoso

Nessa seção é feita uma pequena abordagem sobre o uso do ambiente de simulação e a calculadora do *software* Cadence Virtuoso. Que terá a função de validar a expressão (20) para as três topologias. Além de gerar as curvas da potência e tensão fornecida, no estado estacionário, pela variação de carga. Da mesma forma que foi realizado por [1] na Figura 15.

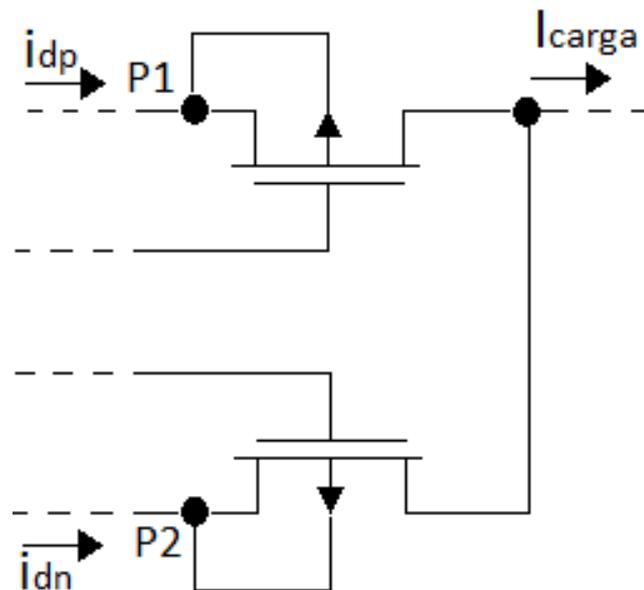
Foi montado o esquemático das três topologias da Figura 19 utilizando a tecnologia padrão 180 nm para gerar as curvas da corrente de carga. Os transistores apresentam tensões de limiar de $V_{t0n} = 300$ mV e $V_{t0p} = 330$ mV para o NMOS e PMOS respectivamente. Devido à tecnologia disponível não ser a ideal para ser utilizada em altas frequências por conta da sua baixa velocidade de chaveamento e alta tensão de limiar. O sinal de entrada

será de 100 kHz, que é a mesma frequência utilizada no trabalho de [1] e com amplitude $V_a = 200$ mV para que os transistores operem na RIF, dessa forma respeitando o critério da expressão (4) em que:

$$\begin{aligned} v_{GS} &< V_{thn} + \frac{nKT}{q} \\ 0,2 &< 0,3 + 0,0235 \\ 0,2 &< 0,3235 \end{aligned} \quad (23)$$

A primeira simulação a ser realizada é a corrente de carga (I_{carga}) que é o resultado da soma da corrente de dreno do ciclo positivo e negativo da expressão (20). O cálculo foi gerado a partir da análise transiente disponibilizada pelo *software*, realizando a soma das correntes que passa pelos pontos P1 e P2 representadas na Figura 23.

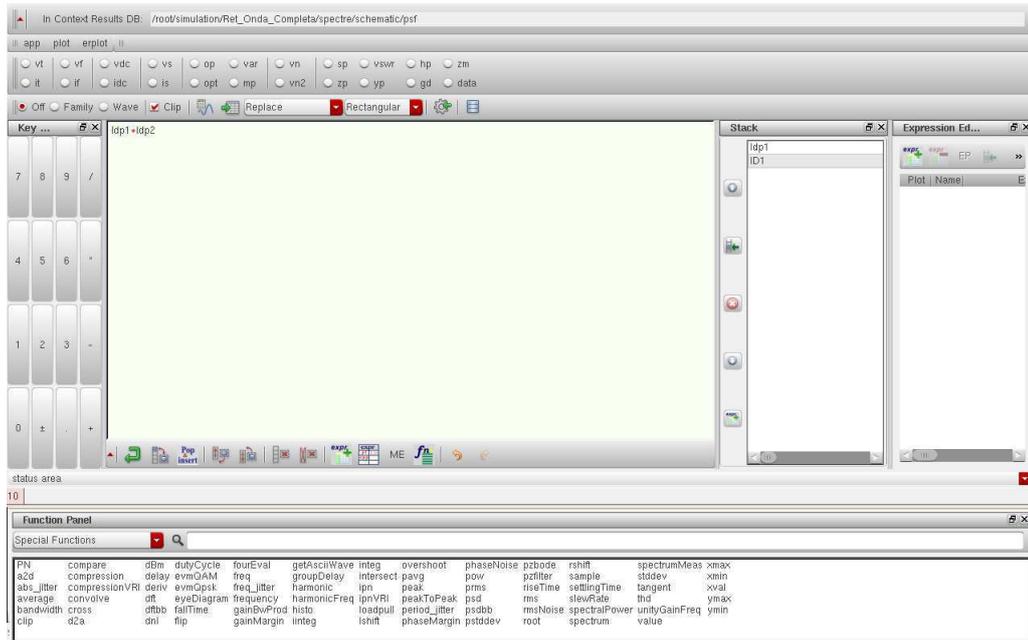
Figura 23 – Pontos P1 e P2 utilizados no software virtuoso para calcular a corrente de carga.



Fonte: Elaborada pelo autor.

As correntes que passam pelos pontos P1 e P2 foram somadas utilizando à calculadora Figura 23.

Figura 24 – Calculadora do Cadence Virtuoso.

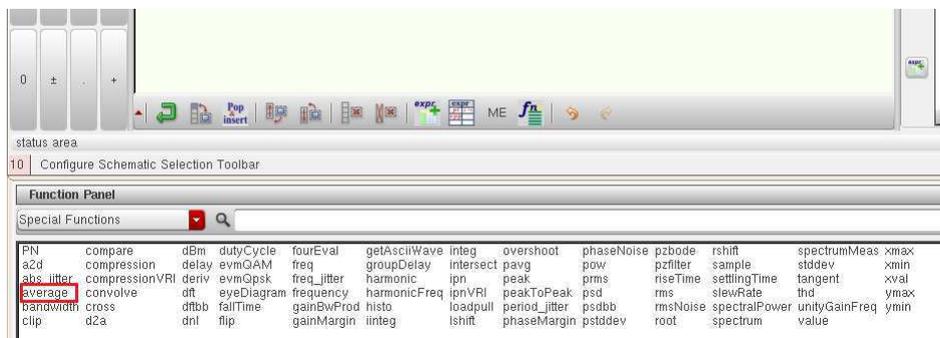


Fonte: Elaborada pelo autor.

Para realizar o cálculo da tensão média V_{0med} da saída do retificador, foi utilizado a função average (retângulo vermelho) Figura 24 na tensão de saída $V_0(t)$. A potência média de saída P_{0med} foi calculada a partir da expressão (23). Em que $I_{cargaMed}$ foi calculada da mesma forma que V_{0med} utilizando a função average da calculadora.

$$P_{0med} = V_{0med} \times I_{cargaMed} \tag{24}$$

Figura 25 – Função Average utilizada para calcular as médias da tensão e corrente de saída.



Fonte: Elaborada pelo autor.

Para colocar a tensão média e potência média em função da carga foi utilizado a

análise paramétrica (Parametric Analysis) Figura 25. Em que a carga foi variada de 1 k Ω a 40 M Ω .

Figura 26 – Análise Paramétrica variando a carga R.

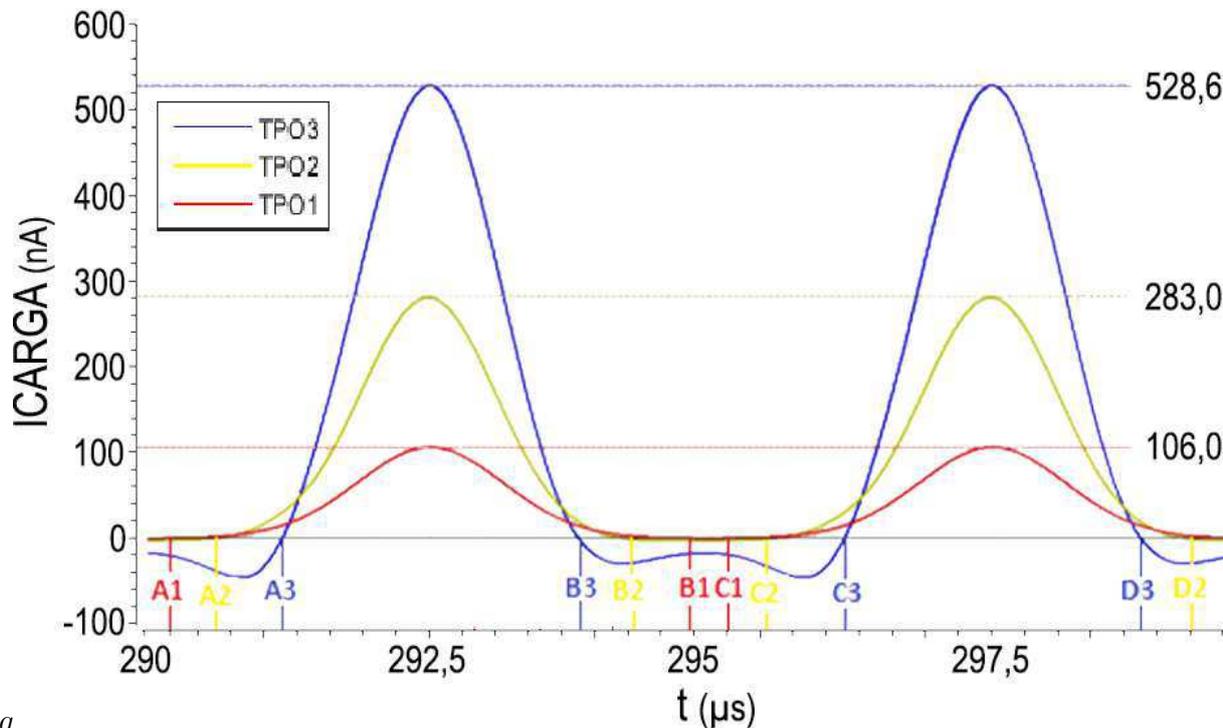


Fonte: Elaborada pelo autor.

4 Resultados e Discussões

A Figura 27 é apresentada o comportamento da corrente de carga das três topologias a partir da simulação transiente do Cadence Virtuoso. No intervalo de tempo de simulação compreendido entre 290 μs e 300 μs o circuito já se encontra no regime permanente. Percebe-se que assim como foi apresentado no gráfico da Figura 19 a TPO3 apresenta um valor de pico mais alta seguida das TPO2 e TPO1. Os valores de pico das correntes foram aproximadamente 106,04 nA, 283,02 nA e 528,68 nA para TPO1, TPO2 e TPO3 respectivamente.

Figura 27 – Simulação da corrente de carga no *software* Cadence Virtuoso.



3Moabe.png

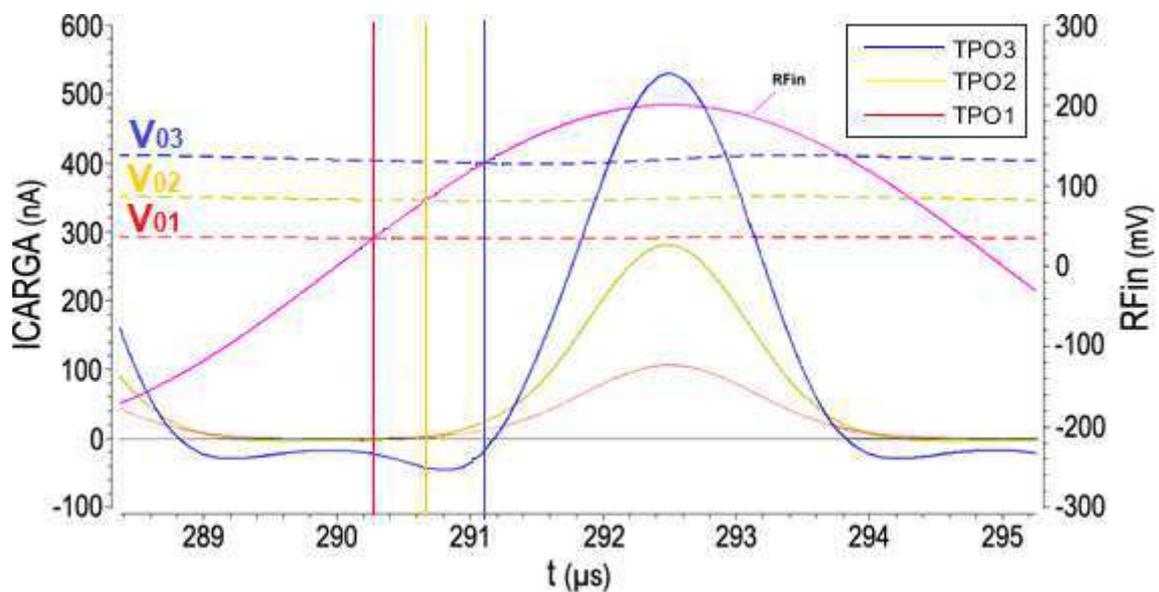
Fonte: Elaborada pelo autor.

Analisando a corrente direta I_{d1} no intervalo [A, B], percebe-se que área sob a curva de TPO3 (azul), é maior do que TPO2 (Amarelo) que é maior do que TPO1 (Vermelho), mesmo tendo um intervalo de tempo menor [A3, B3]. Logo, TPO3 entrega mais carga para o capacitor dentro do intervalo [A, B] do que as outras topologias. Já a corrente reversa I_{d2} , presente no intervalo [B, C] é muito pequena nas três topologias, sendo TPO1 apresentando o menor valor em magnitude e também o menor intervalo [B1, C1], em relação as demais. Em comparação com a corrente direta, a corrente reversa

praticamente não está influenciando na descarga do capacitor, sendo assim pode-se chegar a mesma conclusão apresentada na seção 3.1.1 em que a topologia TPO3 é a melhor das três.

Para uma melhor visualização do ponto onde ocorre a inversão fonte-dreno, ou seja, quando $RF_{in} = V_0$, O gráfico de RF_{in} foi plotado junto com a tensão de saída e a corrente de carga das três topologias, no regime permanente (Figura 28). Nota-se que o ponto onde RF_{in} toca as tensões saídas não coincidem de forma perfeita com o ponto zero de I_{carga} , isso ocorre devido aos componentes parasitas que estão presentes nos transistores.

Figura 28 – Pontos de transição fonte e dreno.



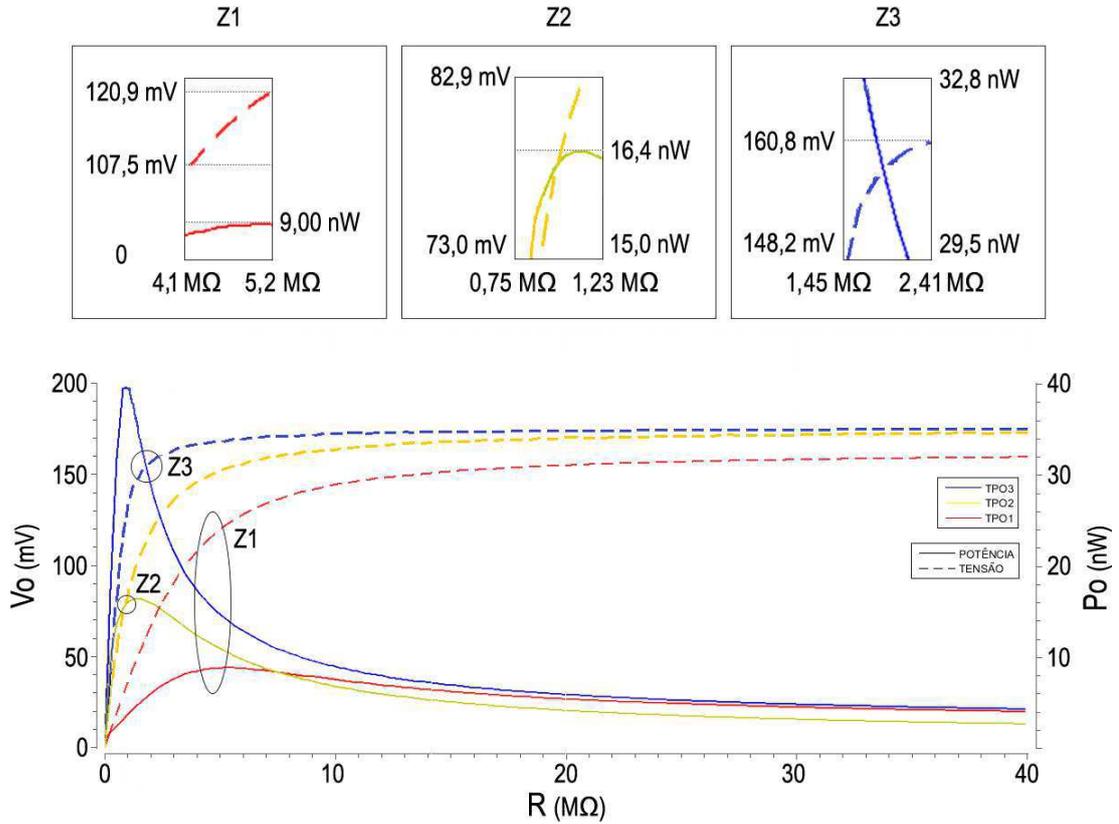
Fonte: Elaborada pelo autor.

Para verificar a eficiência entre as três topologias. Foi realizado o mesmo gráfico feito na Figura 15 do trabalho de [1]. Os gráficos da potência e tensão em relação a carga foi plotada na Figura 29, os passos dessa simulação no Virtuoso encontram-se na seção 3.2. De acordo como foi dito por [1] o retificador será mais eficiente quando este fornece mais corrente para carga em uma tensão constante. Percebe-se que TPO1 fornece uma energia muito baixa se comparada com TPO2 e TPO3, e que TPO3 é mais eficiente do que TPO2.

Para observar a potência máxima entregue a carga foram demarcadas três regiões em cada topologia, com os nomes de Z1, Z2 e Z3. Elas podem ser observadas acima do gráfico da Figura 30. Em Z1 encontra-se a potência máxima fornecida por TPO1 que é de 9 nW para 120,9 mV em uma faixa de carga entre 4,1 MΩ e 5,2 MΩ. Em Z2, TPO2 tem-se a região de potência máxima próximo de 16,4 nW/82,9 mV para uma faixa de carga de 0,75 MΩ e 1,23 MΩ. E em Z3 para TPO a potência máxima fica próximo do

trecho compreendido em 32,8 nW/106,8 mV para uma faixa de carga entre 1,45 MΩ e 2,41 MΩ. Esses resultados confirmam que TPO3 é a melhor entre as três topologias.

Figura 29 – Potência e tensão fornecida pela variação da carga.



Fonte: Elaborada pelo autor.

5 Conclusão

Nesse trabalho foi proposto uma análise do retificador de Onda Completa com transistores MOS, ligados a um sinal RF de tensão de amplitude abaixo da tensão de limiar V_{t0} , ou seja polarizando os transistores na RIF.

Com o objetivo de verificar como a corrente de saída do retificador se comporta, devido a modificação dos terminais do substrato, com a finalidade de aumentar a corrente direta e diminuir a corrente reversa. Com os resultados das simulações feitas no Matlab e Cadence Virtuoso, chegou-se a mesma conclusão de [1], que a melhor escolha para ligar o terminal do substrato é na porta do transistor PMOS, tornando o retificador mais eficiente e entregando uma potência maior.

Para trabalhos futuros, deve ser realizado o projeto de layout das três topologias de retificadores analisados nesse trabalho, para validar o estudo. Testar outros tipos de tecnologia com uma tensão de limiar mais baixa, e procurar utilizar transistores especiais que possam chavear em altas frequências o que é ideal em aplicações RF. Aplicar o retificador mais eficiente em circuitos de condicionamento de energia como no trabalho de [2].

Referências

- [1] H. Gonçalves, M. Martins, and J. Fernandes, “A study on mosfet rectifiers with transistors operating in the weak inversion region,” in *2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012)*. IEEE, 2012, pp. 665–668. Citado 12 vezes nas páginas 11, 12, 16, 20, 23, 24, 25, 26, 36, 37, 41 e 43.
- [2] T. de Oliveira Moraes, “Circuito de condicionamento de energia aplicado a sistemas de colheita de energia por radiofrequência,” Ph.D. dissertation, Universidade Federal de Campina Grande, 2017. Citado 10 vezes nas páginas 11, 12, 14, 15, 16, 18, 20, 27, 28 e 43.
- [3] J. R. d. C. LOUZADA, “Um retificador ativo cmos de baixa potência para aplicações biomédicas implantadas.” 2017. Citado na página 11.
- [4] L. H. C. de Oliveira, “Uma referência de tensão cmos baseada na tensão threshold em ultra-baixa tensão e ultra-baixa potência,” Ph.D. dissertation, Universidade Federal de Itajubá, 2008. Citado 2 vezes nas páginas 14 e 16.
- [5] H. Nishimoto, Y. Kawahara, and T. Asami, “Prototype implementation of ambient rf energy harvesting wireless sensor networks,” in *SENSORS, 2010 IEEE*. IEEE, 2010, pp. 1282–1287. Citado 2 vezes nas páginas 16 e 20.
- [6] T. I. em Telecomunicações, “Frequências de celular,” 2019. [Online]. Available: <https://www.teleco.com.br/areasc.asp> Citado na página 17.
- [7] A. Sedra, *Microeletrônica. Volume único. 5ª Edição*. Pearson, 2000. Citado 4 vezes nas páginas 17, 19, 20 e 21.
- [8] J. Yi, W.-H. Ki, and C.-Y. Tsui, “Analysis and design strategy of uhf micro-power cmos rectifiers for micro-sensor and rfid applications,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 1, pp. 153–166, 2007. Citado 2 vezes nas páginas 18 e 20.
- [9] B. Razavi, *Fundamentos de microeletrônica*. Grupo Gen-LTC, 2000. Citado na página 20.
- [10] E. P. Focus, “Cmos versus nmos,” 2019. [Online]. Available: <https://www.elprocus.com/wp-content/uploads/2014/10/CMOS-Vs-NMOS.jpg> Citado na página 21.
- [11] P. E. Allen and D. R. Holberg, “Cmos analog circuit design,” 2002. Citado na página 22.

-
- [12] T. M. Bhatti and F. Bhatti, “Charged based mos transistor modeling in weak inversion,” in *2008 IEEE International Conference on Electro/Information Technology*. IEEE, 2008, pp. 294–299. Citado 2 vezes nas páginas 23 e 34.

