



Universidade Federal de Campina Grande

Centro de Engenharia Elétrica e Informática

Curso de Graduação em Engenharia Elétrica

RAPHAEL TAVARES DE ALENCAR

CONCEPÇÃO DE UM LEITOR PARA ETIQUETAS RFID SEM
CHIP

Campina Grande, Paraíba
Julho de 2012

RAPHAEL TAVARES DE ALENCAR

CONCEPÇÃO DE UM LEITOR PARA ETIQUETAS RFID SEM
CHIP

*Relatório de Estágio Integrado submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.*

Área de Concentração: Processamento de Informação

Orientador:

Professor Waslon Terlizzie Araújo Lopes, Dr.

Campina Grande, Paraíba
Julho de 2012

RAPHAEL TAVARES DE ALENCAR

CONCEPÇÃO DE UM LEITOR PARA ETIQUETAS RFID SEM *CHIP*

Relatório de Estágio Integrado submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande como
parte dos requisitos necessários para a obtenção
do grau de Bacharel em Ciências no Domínio da
Engenharia Elétrica.

Área de Concentração: Processamento de Informação

Aprovado em ____ / ____ / _____

Professor Avaliador
Universidade Federal de Campina Grande
Avaliador

Professor Waslon Terlizzie Araújo Lopes, Dr.
Universidade Federal de Campina Grande
Orientador, UFCG

ÍNDICE

Resumo.....	1
Abstract.....	1
Agradecimentos.....	2
Introdução.....	3
Apresentação do laboratório.....	5
1. Definições Gerais (Contexto de Estudo).....	7
1.1 Introdução.....	7
1.2 Sistema de identificação.....	7
1.2.1 RFID Tradicional.....	8
1.2.2 Código de Barras.....	9
1.2.3 RFID sem <i>Chip</i>	10
1.3 Aspectos de Regulação.....	15
1.3.1 Órgão Regulador.....	15
1.3.2 Banda ISM (<i>Industrial Scientific and Medical</i>).....	16
1.3.3 UWB (<i>Ultra Wide Band</i>).....	16
1.4 Conclusão.....	18
2. Pesquisa em RFID sem <i>Chip</i>	19
2.1 Introdução.....	19
2.2 Leitor RFID Chipless.....	19
2.2.1 Abordagem Freqüencial.....	23
2.2.1.1 Arquitetura para a Abordagem Freqüencial.....	24
2.2.1.2 Radar FMWC.....	28
2.2.2 Abordagem Temporal.....	33
2.2.2.1 Radar UWB.....	34
2.2.2.2 Arquitetura para a Abordagem Temporal.....	36
2.3 Conclusão.....	43
3. Concepção e Caracterização dos Leitores.....	44
3.1 Introdução.....	44
3.2 Concepção do Protótipo.....	44
3.2.1 Simulação com Ansoft Designer.....	46
3.2.2 Programação do FPGA.....	50
3.2.3 Roteamento da placa de circuito impresso.....	51
3.2.4 Resultado Final.....	57
3.3 Caracterização dos Dispositivos.....	57
3.4 Conclusão.....	63
Referências Bibliográficas.....	64
Conclusões Gerais e Perspectivas.....	66
Revisão Financeira.....	67
Anexos.....	68

LISTA DE FIGURAS

Figura 1 – Esquema do princípio de um sistema de identificação.....	8
Figura 2 – Ilustração da modulação de carga.....	8
Figura 3 – (a) Sistema RFID Tradicional e (b) Etiqueta RFID com <i>chip</i>	9
Figura 4 – O princípio de funcionamento da tecnologia RFID sem <i>chip</i>	11
Figura 5 – (a) Abordagem temporal usando a codificação de impulsos (b) <i>On-Off Keying</i> (c) <i>Pulse Position</i>	11
Figura 6 – <i>Tag SAW</i>	12
Figura 7 – <i>Tag</i> baseado numa linha de atraso.....	13
Figura 8 – Estrutura do <i>tag</i> baseado em múltiplas estruturas ressonantes.....	13
Figura 9 – Etiqueta desenvolvida no laboratório LCIS.....	14
Figura 10 – Código de barras RF.....	14
Figura 11 – Gráfico dos limites máximos de Densidade Espectral de Potência na banda desejada.....	18
Figura 12 – Diagrama de blocos de um leitor RFID.....	21
Figura 13 – Varredura do espectro a partir de saltos de frequência (<i>frequency stepping</i>).....	23
Figura 14 – Varredura do espectro com a variação contínua de frequência (<i>chirping</i>).....	24
Figura 15 – Esquema do leitor RFID sem <i>chip</i> baseado na abordagem frequencial.....	25
Figura 16 – Seção digital do leitor baseado na abordagem frequencial.....	26
Figura 17 – Fotografia da seção RF do leitor baseado na abordagem frequencial.....	28
Figura 18 – Sinal de frequência em função do tempo de um radar FMCW.....	29
Figura 19 – Circuito FMCW usado para recuperar a assinatura espectral de um <i>tag</i> sem <i>chip</i>	30
Figura 20 – (a) Módulo radar FMCW de Sivers IMA (b) Placa de controle para o radar.....	31
Figura 21 – Uso do <i>dead time</i> para diminuir a densidade espectral de potência do sinal enviado pelo radar FMCW.....	33
Figura 22 – Leitor RFID <i>chipless</i> baseado num radar UWB que envia pulsos eletromagnéticos curtos.....	33
Figura 23 – Correspondência espectral de um pulso no tempo.....	34
Figura 24 – (a) CIs NVA6000 e 6100. (b) kit de desenvolvimento.....	35
Figura 25 – Técnica de amostragem em tempo real (RTS).....	36
Figura 26 – Princípio de amostragem em tempo equivalente (ETS).....	37
Figura 27 – Esquema de um leitor <i>chipless</i> temporal.....	38
Figura 28 – Esquema do leitor RFID sem <i>chip</i> , usando um divisor de frequência e um contador	41
Figura 29 – Circuito do leitor baseado na abordagem temporal.....	45
Figura 30 – Simulação no Ansoft Designer de uma parte do leitor RFID sem <i>chip</i>	47
Figura 31 – Bloco do gerador de impulsos.....	47
Figura 32 – (a) O contador composto de 10 flip-flops JK em série (b) Detalhe do flip-flop usado no contador	48
Figura 33 – (a) Gerador de atrasos (b) Detalhe do <i>switch</i> realizado a partir de componentes lógicos.....	49
Figura 34 – Resultado da simulação com Ansoft Designer para o circuito de amostragem em tempo equivalente.....	50
Figura 35 – Placa FPGA Nexys2, da Digilent.....	51
Figura 36 – Esquema das conexões dos elementos do circuito impresso com o <i>software</i> KiCAD (EESchema).....	54
Figura 37 – Escolha dos formatos físicos dos componentes do circuito com KiCAD (CvPCB).....	54
Figura 38 – Esquema físico do circuito impresso realizado com KiCAD (PCBNew).....	55
Figura 39 (a) – Circuito impresso desenvolvido com KiCAD, fabricado pela empresa CIRE e soldado no laboratório LCIS (frente).....	55
Figura 39 (b) – Circuito impresso desenvolvido com KiCAD, fabricado pela empresa CIRE e soldado no laboratório LCIS (verso).....	56
Figura 40 – Protótipo completo, com a placa do FPGA, placa de roteamento elaborada, o amostrador e o gerador de impulsos.....	57
Figura 41 – O impulso enviado pelo gerador de impulsos e o espectro em frequência do impulso.....	59
Figura 42 – Amostragem dos sinais senoidal, quadrado e triangular de frequência 100 kHz com o amostrador HL9200 com um relógio de 50 MHz.....	59

Figura 43 (a) – Sinal de relógio atrasado na saída do gerador de atrasos visto no osciloscópio. Vê-se que a descida do relógio está sobre o pico do impulso.....	60
Figura 43 (b) Vê-se que o relógio foi deslocado de 300 os.....	60
Figura 43 (c) – Sinal de relógio atrasado na saída do gerador de atrasos visto no osciloscópio.....	61
Figura 44 - Etiqueta de área 20x20 cm ² usada para avaliação do funcionamento do leitor.....	61
Figura 45 – Resposta temporal subtraída do ambiente em vazio, para o leitor fabricado.....	62
Figura 46 – Resposta frequencial, para a leitura feita pelo leitor fabricado.....	62

LISTA DE TABELAS

Tabela 1 – Comparação entre as três tecnologias : RFID padrão, RFID <i>chipless</i> e o código de barras.....	15
Tabela 2 – Valores Máximos de Densidade Espectral de Potência Média (dBm/MHz).....	17
Tabela 3 – Modulos de radar FMCW da empresa Sivers IMA.....	31
Tabela 4 –Valores referentes ao radar FMCW RS3400S/00, de Sivers IMA.....	32
Tabela 5 – Informações de radares UWB Novelda.....	35
Tabela 6 – Resumo dos componentes principais do leitor.....	46

Resumo

A RFID (*Radio Frequency Identification* – Identificação por Radiofrequência) sem *chip* é uma tecnologia recente, baseada na utilização de etiquetas completamente passivas, dispendo de uma assinatura espectral eletromagnética que permita a sua identificação. Um estudo e comparação de diferentes sistemas leitores para esse tipo de etiqueta sem *chip* foi realizado durante o estágio. Um leitor específico para essas etiquetas sem *chip* não existe no mercado e as leituras para essas formas de etiquetas inovadoras são realizadas usando equipamentos de laboratório. Durante o estágio, um protótipo de leitor RFID para etiquetas sem *chip* para uma banda de frequência cobrindo entre 3 e 10 GHz foi concebida e parcialmente testada. Uma atenção especial foi dada à conformidade com as normas de telecomunicações em vigor. Uma avaliação tecnológica em relação à possibilidade de reutilização de leitores comerciais de uma maneira modificada foi igualmente realizada. Um Radar FMCW (*Frequency-Modulated Continuous Wave* – Onda Contínua Modulada em Frequência) foi adquirido com esse propósito.

Palavras-Chave : Leitor RFID sem *chip*, Assinatura espectral, RCS, Radar FMCW, Radar UWB

Abstract

Chipless RFID (Radio Frequency Identification) is a recent technology, based on the use of completely passive tags with a specific electromagnetic spectral signature, which allows the identification of the *tag*. A study and comparison of different reader systems for this type of chipless *tag* has been conducted. A specific reader for chipless tags is still commercially unavailable and the measurements on chipless RFID tags are done using laboratory equipment. During the internship a chipless RFID reader prototype disposing of a frequency band going from 3 and 10 GHz has been conceived and partially tested. A particular attention has been addressed to the compliance to the regulations in effect. A technology watch concerning the possibility of reusing commercial readers in a modified manner has equally been conducted. A FMCW (Frequency-Modulated Continuous Wave) Radar has been acquired for such intent.

Keywords: Chipless RFID reader, Spectral signature, Radar Cross Section, Ultraw Wide Band, FMCW Radar, UWB Radar

Agradecimentos

O projeto descrito nesse relatório foi realizado no Laboratório de Concepção e Integração de Sistemas (LCIS), em Valence, França. Dirigido por Mr. Eduardo Mendes, a quem agradeço por me ter acolhido no laboratório.

Agradeço a meu orientador de estágio Waslon Terllizzie pelo empenho e correções detalhadas do relatório.

Também devo agradecer de forma especial ao meu orientador de estágio do LCIS, Etienne Perret pela atenção, paciência e disponibilidade. E igualmente a Arnaud Vena, que me ajudou durante todo o estágio.

Agradeço igualmente a Smail Tedjini, professor e responsável do grupo de Sistemas Optoeletrônicos e Radiofrequências (ORSYS).

Sou também grato a Lina Hijazi, minha orientadora do Esisar, pelos conselhos e diversas vezes em que me ajudou.

Também dirijo meus agradecimentos a Laurent Lefevre, Responsável de Relações Internacionais e a Florence Galli, Secretária de Direção de Estudos, por ter me recebido em seu estabelecimento e pelo apoio durante o período de estudos na França.

Agradeço aos meus amigos Ranayana de Almeida, Kevin Ressegaire e Ines Kharrat, pela assistência durante a escrita do relatório e pela ajuda em diversos momentos.

Agradeço aos meus amigos e parceiros de viagem: Mariana, Ana Maria, Helga, Diego, Felipe, Mathew e Elias.

E aos meus colegas de estágio: Vu Treng, Raji, Emna, Khaoula, Anissa, Boutheina, Francesc, Diemer, Ngoc Quang, Dat Son, Farid, Tsitoha, Mazen, Filippo, Jennyfer e Carole.

E exprimo minha gratidão sobretudo aos meus pais.

Introdução

A RFID (*Radio Frequency Identification* – Identificação por Radiofrequência) é uma tecnologia de captura de dados sem fio que usa ondas de radio-frequência para identificação automática de pessoas e objetos. A tecnologia continua a avançar, desde suas primeiras aplicações na II Guerra Mundial, na identificação de aviões aliados. Outras aplicações surgiram mais recentemente, abrangendo uma variedade de áreas, como em documentos oficiais, segurança, controle de acesso, bilhetagem, postos de pedágio, área farmacêutica, transporte, logística, manufatura, casinos.

No que concerne o domínio extremamente vasto que é a identificação, encontra-se outra tecnologia ainda mais disseminada, a identificação por código de barras óptico. As vantagens e desvantagens de cada uma dessas abordagens são discutidas e servirão para introduzir a nova tecnologia que é o objeto principal desse trabalho de estágio, chamada a RFID sem *chip* (*Chipless RFID*) ou mesmo “Código de Barras RFID”. É conveniente posicioná-la em relação à RFID tradicional e ao código de barras padrão.

À guisa de introdução, a tecnologia RFID sem fio tem a particularidade de abrir mão do uso de um *chip* eletrônico no nível da etiqueta. Mais frequentemente, a informação da etiqueta é codificada em frequência, nesse caso a onda refletida pela etiqueta deve guardar a assinatura espectral eletromagnética específica. O leitor nesse tipo de sistema é encarregado de enviar um sinal que cobrirá uma banda de frequência de operação da etiqueta e de recuperar o sinal refletido para que seja possível associá-lo a seu identificador único. O tema do estágio consiste em desenvolver um leitor portátil compatível com essa abordagem, visto que atualmente as medidas são feitas com o uso de aparelhos de laboratório.

A Seção 1 posiciona a tecnologia RFID sem *chip* em relação às outras tecnologias de identificação. Os componentes principais de um sistema de identificação são introduzidos e um estado da arte sobre as principais concepções de etiquetas RFID chipless são apresentados, bem como são evocados os aspectos regulamentares, importantes no caso da realização de um leitor.

Na Seção 2 introduz-se o leitor de etiquetas RFID sem *chip*, faz-se a descrição das especificações do leitor e apresentam-se diferentes topologias viáveis, pondo em evidência duas abordagens de leitura: as abordagens no domínio da frequência e do tempo. Um paralelo é traçado com os dispositivos de tipo radar que têm funcionalidades próximas do leitor a ser desenvolvido.

Na Seção 3 é descrito o trabalho realizado sobre o leitor baseado na abordagem temporal, retomando o esquema do princípio de funcionamento e são descritas as etapas seguidas na elaboração do leitor: Simulações no *software* Ansoft Designer, programação de uma carta FPGA, o roteamento de uma placa de circuito impresso usando o software Kicad e os testes aplicados ao leitor fabricado.

Na conclusão, um resumo do trabalho feito é apresentado assim como uma recapitulação sobre a experiência vivida no laboratório LCIS. Além disso, as competências adquiridas durante o estágio são evocadas.

Apresentação do Laboratório

O Laboratório de Concepção e Integração (LCIS), fundado em outubro de 1996, é uma organização anfitriã de estagiários desde janeiro de 2003.

É o primeiro laboratório de pesquisa universitária em Valence, França, e é localizado na Escola Nacional Superior de Sistemas Avançados e Redes (Grenoble INP – Evisar). O laboratório comporta cerca de cinquenta pessoas, dentre professores e pesquisadores. As atividades de pesquisa feitas no LCIS são principalmente orientadas a sistemas embarcados e comunicações. Estas atividades estão em sinergia com as especialidades de formação da Evisar e com as diferentes especialidades representadas pelos professores-pesquisadores na Evisar e no Instituto Universitário de Tecnologia (IUT) de Valence. Os temas abordados concernem à especificação, modelagem, concepção, comunicação, validação e diagnóstico destes sistemas. Dentro destes temas, o laboratório propõe novos métodos e modelos, e elabora ferramentas que são frequentemente aplicadas no meio industrial.

Os grupos de pesquisa são estruturados em torno de quatro temáticas principais:

Concepção e Teste de Sistemas Embarcados (CTSIS). Suas atividades envolvem o desenvolvimento e a segurança do funcionamento de sistemas embarcados e repartidos.

Sistemas Complexos Cooperativos (COSY). Seu objetivo é propor soluções e protocolos para a engenharia de sistemas complexos abertos, baseados na concepção do agente.

Modelagem, Análise e Comando de Sistemas Dinâmicos (MACSY). Os trabalhos feitos por esse grupo têm principalmente como objetivo o desenvolvimento e a aplicação de leis de comando e/ou supervisão eficientes de sistemas dinâmicos e distribuídos.

Sistemas Opto-eletrônicos e de Radiofrequência (ORSYS). Os trabalhos desenvolvidos no ORSYS se articulam em torno do uso de tecnologias e sinais RF e ópticos para a comunicação, o tratamento de sinais e medidas. Ele trata fundamentalmente de circuitos e sistemas explorando os fenômenos de propagação e os componentes distribuídos, sejam eles ópticos ou de radiofrequência. Suas pesquisas concernem à concepção e otimização de funções elementares, e sua subsequente integração a fim de desenvolver sistemas integrados. Dentre os sistemas considerados cita-se os sensores em óptica integrada, os sistemas sem-fio como etiquetas RFID e conjuntos UWB. Os trabalhos da equipe se desenvolvem em torno da modelagem e simulação eletromagnética, a concepção e otimização de sistemas mistos, a medida e caracterização experimental. Quanto à realização tecnológica,

ela é obtida graças às colaborações com laboratórios universitários e/ou industriais dotados de meios tecnológicos.

O presente projeto de estágio constitui uma temática de pesquisa do grupo ORSYS. A equipe é coordenada pelo professor Smail Tedjini e sob orientação de Dr. Etienne Perret.

1 Definições Gerais (Contexto de Estudo)

1.1 Introdução

Nessa seção procura-se definir os componentes principais de um sistema de identificação. Faz-se um paralelo entre o sistema RFID padrão, o sistema de identificação com código de barras e o RFID sem *chip*. Mostrando o interesse dessa recente técnica de identificação e os princípios básicos envolvidos. Também são mostrados exemplos de etiquetas (ou “*tags*”) sem *chip*, assim como os aspectos de regulamentação desse tipo de comunicação.

1.2 Sistema de Identificação

Apresenta-se, nessa parte, de maneira geral o que se entende por sistema de identificação. Na Figura 1 pode-se ver um sistema de identificação de forma esquemática, contendo:

- 1) um leitor cuja função é de enviar um sinal de interrogação e receber o sinal de resposta, oriundo do *tag*;
- 2) um *tag*, ou seja, uma etiqueta que ao ser interrogada pelo leitor reenvia seu identificador (ID) próprio;
- 3) uma base de dados, que guarda todas as informações dos tags utilizados no sistema e traduz o código recebido pelo leitor para o usuário, dado o contexto da informação recuperada.

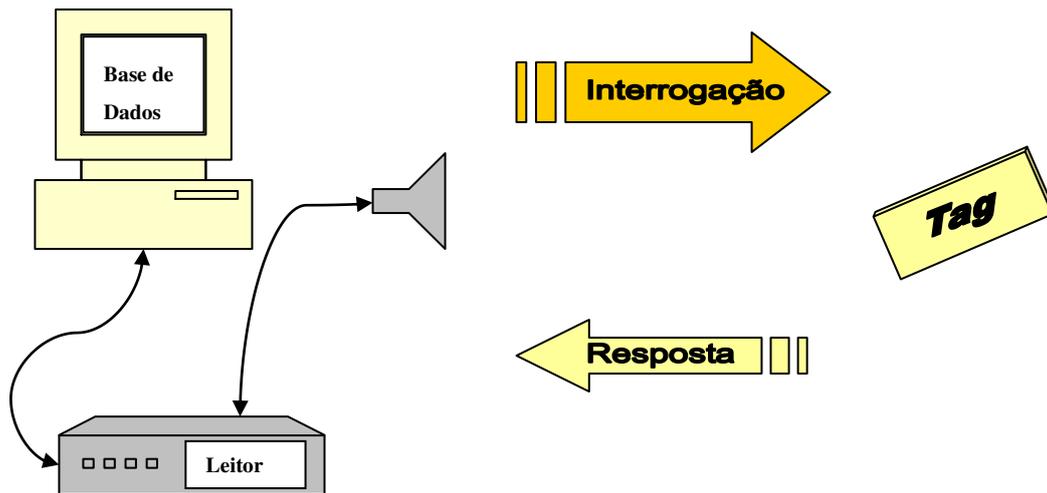


Figura 1 – Esquema de um sistema de identificação.

1.2.1 RFID Tradicional

Num sistema clássico de RFID, os tags são compostos de uma antena, ligada a um *chip*, sobre um substrato geralmente bastante fino. Existe um grande número de tecnologias RFID diferentes de acordo com as diferentes bandas de frequência associadas à RDIF (HF, UHF e micro-ondas), em que cada tipo apresenta suas próprias vantagens em certas aplicações. Por escolha, ilustra-se o princípio geral da RFID tradicional detalhando-se a RFID UHF.

O leitor nesse tipo de sistema envia um trem de pulsos quadrados que é modulado pelo *chip* (num processo denominado modulação de carga que é ilustrado na Figura 2), a fim de indicar os dados guardados pelo *tag*. Comumente, é o leitor que proporciona a potência elétrica para alimentar o funcionamento do *chip* durante sua resposta.

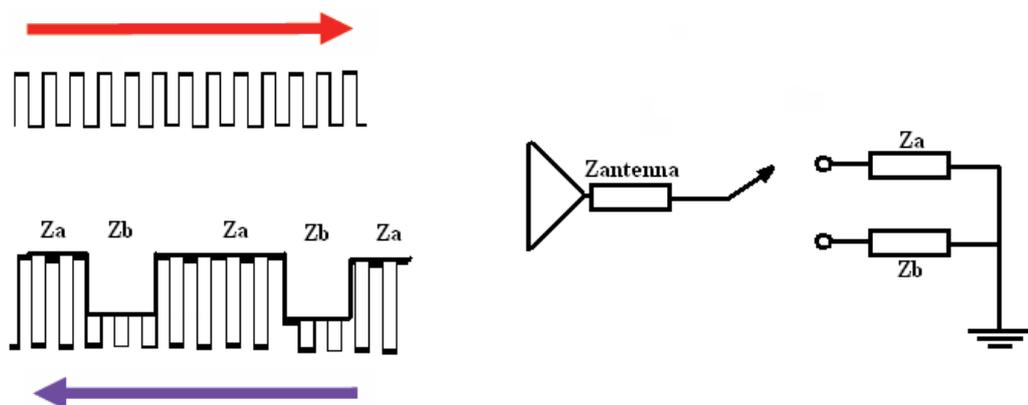


Figura 2 – Ilustração da modulação de carga.

Definições Gerais (Contexto de Estudo)

Nesses sistemas os tags podem, graças à presença do *chip*, realizar operações de leitura e escrita, assim como exigir uma senha para acessar os dados contidos no *tag* e poderem ser desativados completamente a partir de um comando específico.

Tags com *chip* têm normalmente uma memória na ordem de kilobits e a comunicação com o leitor é feita a partir de um protocolo específico.

Na Figura 3 pode-se ver a imagem de um sistema de RFID padrão ao lado da figura de um *tag* clássico

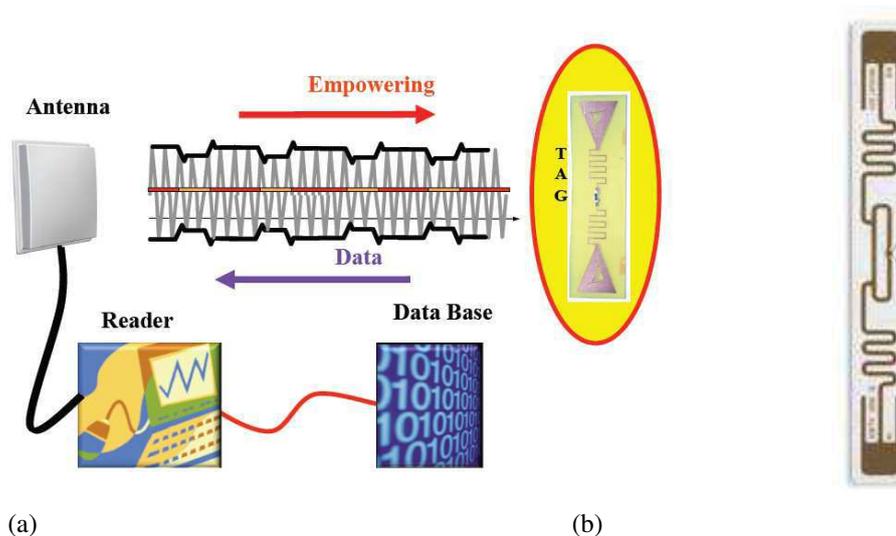


Figura 3 – (a) Sistema RFID Tradicional e (b) Etiqueta RFID com *chip*.

As vantagens dessa tecnologia são as várias possibilidades de operação que ela permite, a grande quantidade de bits de dados que os tags podem armazenar. Por outro lado, ela precisa de um protocolo de comunicação entre o leitor e o *tag* e de uma potência mínima proveniente do leitor para alimentar o *chip*. Os tags com *chip* não podem ainda ser impressos diretamente sobre os produtos e o preço dos tags (na ordem de centavos) com *chip* é ainda um fator limitante para o uso mais generalizado da tecnologia (RFID SOLUTIONS, 2011).

1.2.2. Código de Barras

O código de barras é uma solução óptica e a mais comum para a identificação automática de objetos, o leitor de código de barras emite um raio luminoso no espectro visível que percorre as barras. A diferença entre as partes escuras e brancas no código determinam o identificador do produto.

Os códigos de barras são extremamente simples e são largamente utilizados no mercado. Geralmente são impressos diretamente nas embalagens dos produtos, custam muito pouco e podem ser feitos por impressoras comuns.

Definições Gerais (Contexto de Estudo)

Além do mais, sua principal vantagem reside no custo, tanto das etiquetas (custo unitário de décimos de centavos) quanto dos leitores ópticos (na ordem de centenas de dólares).

Pontos negativos desse sistema estão na praticidade da leitura das etiquetas, em que é necessário curta distância entre o leitor e a etiqueta (ordem de centímetros) e a necessidade de uma linha direta de visão entre os dois de modo que sujeira ou danificação da embalagem podem impedir a leitura correta das etiquetas, contrariamente à utilização de ondas RF.

1.2.3. RFID sem *Chip*

A demanda por um sistema de rastreamento com tags que tivessem um preço baixo (tomando como referência o código de barras), que pudessem ser impressos diretamente nas embalagens dos produtos e que pudessem ser lidos a longas distâncias (superior a 1m) em qualquer posição fez surgir a busca por um sistema que se posiciona entre a RFID clássica e o código de barras (PRERADOVIC, 2008).

Tags sem *chip*, como o código de barras, são completamente passivos, contrariamente aos tags RFID tradicionais, não têm *chip* de silício. São dispositivos somente de leitura e funcionam sem protocolos de transmissão. Esses tipos de tags também são conhecidos como códigos de barras RF e apresenta vantagens e desvantagens. Por exemplo, a ausência de sistemas de leitura compatíveis com as normas em vigor a um preço razoável limita consideravelmente a aplicação dessa nova tecnologia (VENA, 2011).

Uma descrição gráfica do funcionamento do código de barras RF pode ser visto na Figura 4: o leitor envia um sinal que varia abrangendo uma larga faixa de frequência e o *tag* é composto de estruturas metálicas que refletem ou absorvem a potência do sinal vindo do leitor, dependendo da frequência. De fato, as estruturas metálicas têm frequências de ressonância eletromagnética específicas, que modificam o sinal em função da geometria das estruturas. Com esse princípio é possível codificar um identificador único na resposta do *tag* sem *chip*, numa assinatura espectral do *tag*.

Outras abordagens de codificação existem. Por exemplo, uma forma de proceder é utilizando o tempo de separação que se pode criar entre múltiplas reflexões de impulsos eletromagnéticos. O leitor envia um impulso eletromagnético e no *tag* a presença ou ausência de um refletor específico pode indicar um “0” ou “1” (Codificação *On-Off Keying*). Da mesma forma, a posição relativa entre refletores pode ser usada em outra abordagem (Codificação *Pulse Position*). Uma descrição gráfica destes dois métodos pode ser vista na Figura 5.

Definições Gerais (Contexto de Estudo)

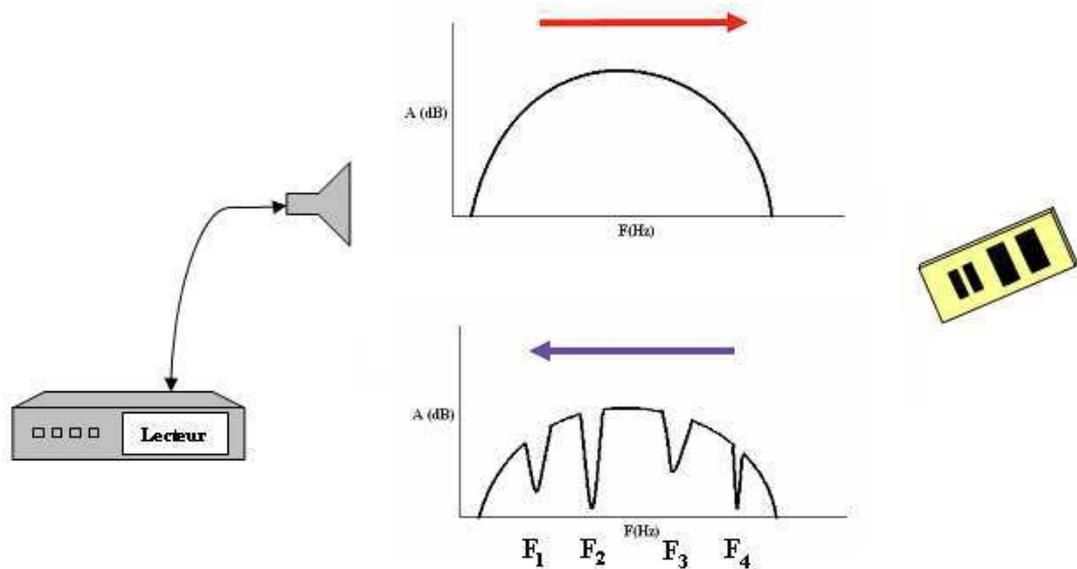


Figura 4 – O princípio de funcionamento da tecnologia RFID sem *chip*. Vê-se a curva espectral da amplitude (dB) em função da frequência (Hz) para os sinais enviado e recebido. No sinal recebido, vales ou picos correspondem às frequências de ressonância do *tag*.

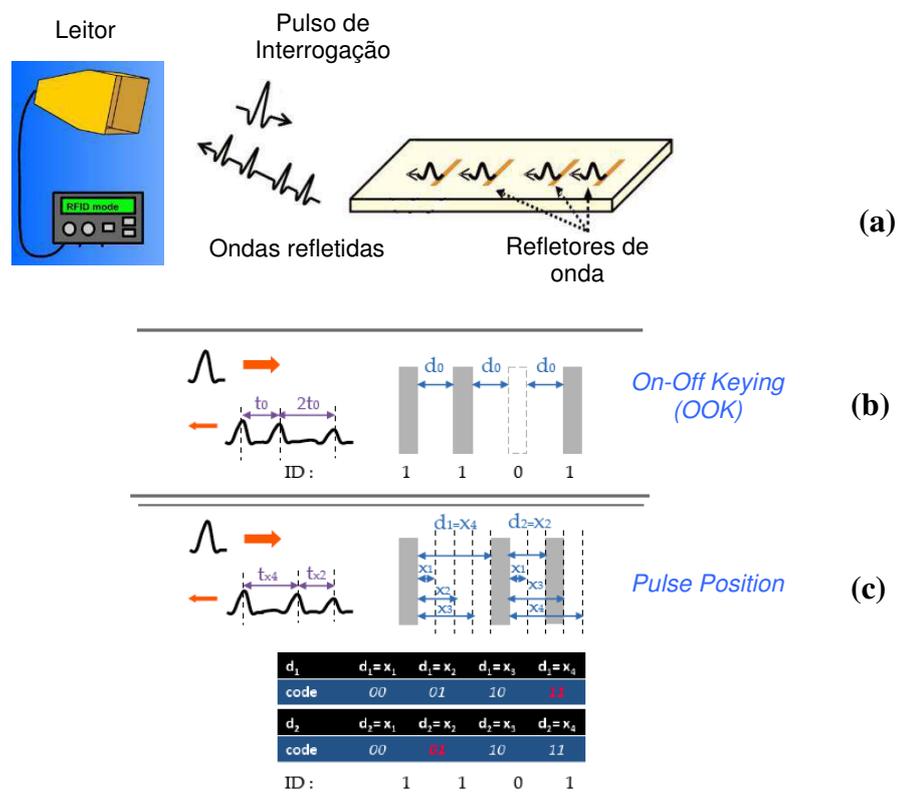


Figura 5 – (a) Abordagem temporal usando a codificação de impulsos. O leitor envia um pulso de interrogação e o *tag* os reflete seguindo um código: (b) *On-Off Keying* e (c) *Pulse Position*. Em ambos os casos, o exemplo permite codificar o mesmo número: 1101.

Definições Gerais (Contexto de Estudo)

Alguns exemplos de tags sem *chip* são mostrados para colocar em evidência duas categorias: os comercializados (que têm leitores) e os que não são. Esses exemplos nos permitiram obter as especificações do leitor para o projeto [5,9].

O primeiro sistema RFID sem *chip* comercializado, tendo um leitor característico utiliza a tecnologia SAW (*Superficial Acoustic Waves* - Ondas Acústicas Superficiais), que segue a abordagem temporal. Esse tipo especial de *tag* é composto de uma antena ligada a um transdutor que transforma a tensão da onda eletromagnética recebida em uma onda superficial acústica, que se propaga num substrato composto por um cristal piezo-elétrico (Ex.: quartz), daí a velocidade de propagação da onda no *tag* é cerca de 100 mil vezes mais lenta que a velocidade da luz. Esse tipo de *tag* chega a armazenar até 256 bits. A codificação nesse sistema é baseado na reflexão dos impulsos enviados para o leitor seguindo as técnicas apresentadas na Figura 5 (b,c).

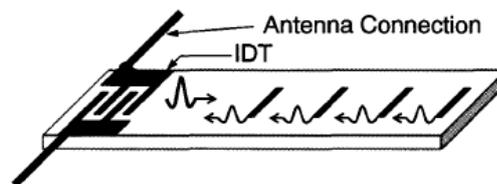


Figura 6 – *Tag* SAW (HARTMANN, 2002).

O leitor para tags SAW envia impulsos que ocupam uma parte da banda ISM centrada em 2,4 GHz, e recupera os impulsos refletidos pelo *tag*.

À parte dessa tecnologia particular, atualmente não existem leitores RFID sem *chip* universais para ler a grande variedade de tags sem *chip*. Assim, as medidas são efetuadas com aparelhos de laboratório.

Os exemplos seguintes apresentam tags sem *chip* que não têm leitores associados e que codificam a informação em um grande espectro conforme as bandas ISM.

A Figura 7 coloca em evidência um outro *tag* baseado no princípio da reflexão de impulsos. O *tag* apresenta uma linha de atraso construída sobre um substrato de baixa permissividade. É equivalente à codificação do *tag* SAW, mas a velocidade de propagação na linha é muito maior e o espaçamento entre os refletores também. O que se traduz em um comprimento de linha e em dimensões maiores. Nesse caso, os refletores são feitos com capacitâncias localizadas sobre a linha de transmissão.

Definições Gerais (Contexto de Estudo)

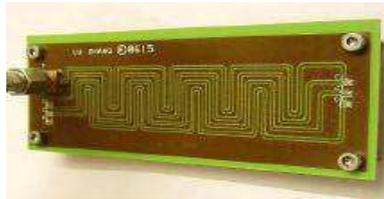


Figura 7 – Tag baseado numa linha de atraso (ZHANG, 2006).

Nas Figuras 8 e 9 é mostrado um *tag* que está sendo atualmente testado no laboratório LCIS. Seu princípio de funcionamento repousa sobre o uso de ressoadores à base de linhas coplanares, não precisando de plano de terra. Esses ressoadores fazem o papel por vezes de receptor, de filtro e de emissor. Eles usam o princípio de codificação frequencial em amplitude. A presença de microfistas para frequências predefinidas permite codificar um identificador particular.

O *tag* é composto de quatro estruturas ressonantes marcadas 1, 2, 3 e 4 independentes uma das outras, exceto pela parte 3 que faz o papel de isolamento entre as estruturas 1,2 de um lado e a estrutura 4 do outro. Em efeito, a frequência de ressonância de 4 varia ligeiramente em função ao comprimento das frestas dos outros ressoadores.

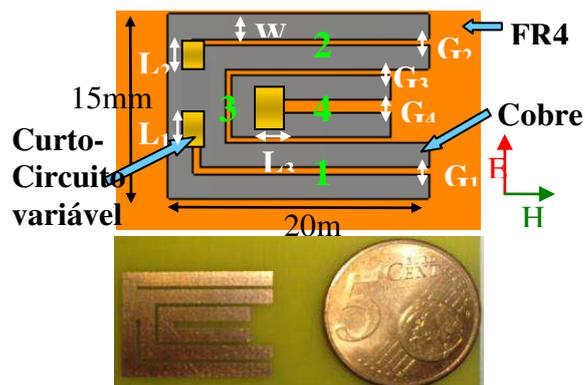


Figura 8 – Estrutura do *tag* baseado em múltiplas estruturas ressonantes (VENA, 2011).

Definições Gerais (Contexto de Estudo)

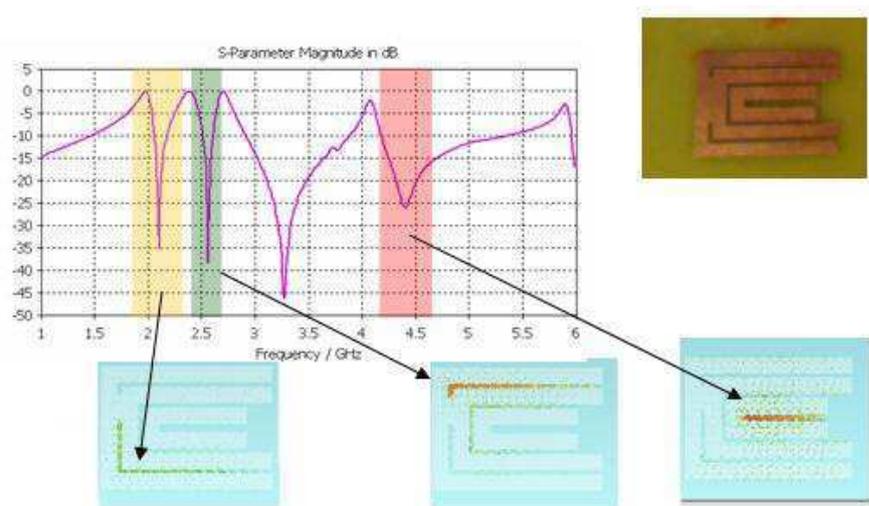


Figura 9 – Etiqueta desenvolvida no laboratório LCIS (VENA, 2011).

Para variar a frequência de uma ressonância, um elemento de curto-circuito é colocado no interior da fresta para variar seu comprimento. Assim, um lote de tags virgens pode ser produzido em grande escala para em uma segunda fase aplicar os elementos de curto-circuito, personalizando cada *tag*. Os curto-circuitos são representados por retângulos amarelos na Figura 8. Essa abordagem difere das outras formas baseadas na presença ou ausência de estruturas ressonantes em frequências fixas, a exemplo do código de barras RF da Figura 10.

O leitor a ser elaborado deve ser capaz de ler esse *tag*. Existe uma relação entre a capacidade de codificação do *tag* e a banda de frequência usada, da ordem de 10 bits por GHz. A banda sobre a qual o leitor deve operar é idealmente entre 3,1 e 10,6 GHz, o que permite uma capacidade de codificação em torno de 75 bits.

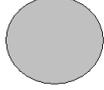
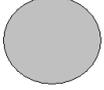
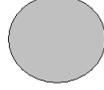
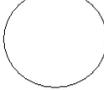
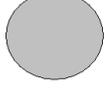
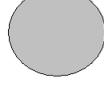
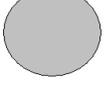
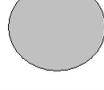
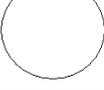
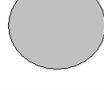
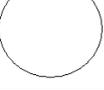
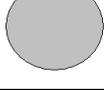
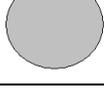


Figura 10 – Código de barras RF. As linhas de variados tamanhos têm frequências de ressonância diferentes e a codificação é feita a partir da presença ou ausência das fitas metálicas de frequências específicas (JALALY, 2005).

Na Tabela 1 é apresentado um resumo comparativo qualitativo de três tecnologias: RFID tradicional, RFID sem *chip* e o código de barras. Os círculos cheios representam um melhor desempenho e os vazios significam características piores referentes aos itens em questão.

Definições Gerais (Contexto de Estudo)

Tabela 1 – Comparação entre as três tecnologias : RFID padrão, RFID *chipless* e o código de barras

	RFID padrão	Código de Barras	RFID <i>chipless</i>
Preço			
Memória/Tamanho			
Impressão			
Distância de leitura			
Anticolisão			
Tolerância/Robustez			
Reescritura			
Interferência			
Preço do Leitor			

1.3 Aspectos de Regulação

O aspecto regulamentário é fundamental para o desenvolvimento do leitor. Para ser usado na prática, ele deverá respeitar as normas em vigor. Convém, então, apresentar rapidamente as normas.

As normas nesse domínio se referem às restrições no uso de bandas assim como os níveis de potência que se pode transmitir para cada frequência. Essa seção trata de normas que serviram como orientação durante a concepção do leitor RFID sem *chip*.

Definições Gerais (Contexto de Estudo)

1.3.1. Órgão Regulador

Duas entidades importantes na normatização das comunicações são a ETSI (*European Telecommunications Standards Institute*) e a FCC (*Federal Communications Commission*) (FCC, 2011).

A primeira é uma organização sem fins lucrativos com mais de 700 organizações membros em 62 países no mundo inteiro. É oficialmente reconhecida pela União Europeia e elabora normas aplicáveis em todo o mundo para Tecnologias de Informação e Comunicações, incluindo tecnologias fixas, móveis, de rádio, convergidas, de difusão e de internet.

A FCC regula as normas referentes a comunicações por rádio, televisão, por fio, satélite e cabo nos Estados Unidos.

Mais importância é dada às determinações da ETSI, por serem mais restritivas que as da FCC.

1.3.2. Banda ISM (*Industrial, Scientific and Medical*)

ISM refere-se a bandas de frequência para usos Industrial, Científico e Médico. São diferentes faixas livres para utilização. Os sistemas de RFID padrão mais comuns operam dentro das bandas ISM: 125 e 134 kHz, 13,56 MHz, 860 a 960 MHz 2,4 a 2,45 GHz.

1.3.3. UWB (*Ultra Wide Band*)

UWB se refere à tecnologia de comunicação sem fio para baixos níveis de energia e curtas distâncias que usam uma larga (ou ultralarga) faixa de frequência. Suas aplicações são usualmente para radares. A FCC define UWB em termos de transmissão de uma antena em que a largura de banda exceda 500 MHz ou 20% da frequência central. Enquanto a ETSI tem a definição de 20% ou 250 MHz como largura de banda.

Os limites de potência instaurados pela ETSI estão agrupados no documento “*ETSI EN 302 065: harmonized European Padrão (Telecommunications series)*”, especificamente na parte de Dispositivos de Curta Distância e utilizando a Tecnologia UWB (ETSI, 2011).

1.3.4. Limites de Potência

Tabela 2 – Valores Máximos de Densidade Espectral de Potência Média (dBm/MHz)

Frequência (GHz)	Valor Máximo de Densidade Espectral de Potência Média (dBm/MHz)	
	Dispositivos com Mitigação Adicional (ex.: DAA, LDC)	Dispositivos sem Mitigação Adicional
$f \leq 1,6$	-90	
$1,6 < f \leq 2,7$	-85	
$2,7 < f \leq 3,1$	-70	
$3,1 < f \leq 3,4$	$\leq -41,3$	-70
$3,4 < f \leq 3,8$	$\leq -41,3$	-80
$3,8 < f \leq 4,8$	$\leq -41,3$	-70
$4,8 < f \leq 6$	-70	
$6 < f \leq 8,5$	$\leq -41,3$	
$8,5 < f \leq 9$	$\leq -41,3$	-65
$9 < f \leq 10,6$	-65	
$f > 10,6$	-85	

Os valores da Tabela 2 possibilitam construir o gráfico indicativo na Figura 11, no qual são mostrados também os valores limite de acordo com as normas da FCC.

Os limites de potência são importantes a considerar e quando se compara os valores para circuitos de RFID tradicional, vê-se que, os sistemas comuns são baseados no uso de um sinal modulado por uma portadora e usam uma banda restrita de frequência (da ordem de dezenas MHz), porém com relativamente altas potências de transmissão (em torno de 1500 a 2000 mW).

Para a RFID sem *chip*, a quantidade de informação que se pode codificar é globalmente proporcional à banda de frequência usada, daí o uso de bandas mais largas e a necessidade de seguir as normas UWB.

Ao contrário de um sistema de transmissão de ondas contínuas (CW), um circuito com o envio de pulsos curtos para o leitor permite obter relações cíclicas bastante baixas, diminuindo a densidade espectral de potência transmitida. Essa é uma das razões que motivou a escolha de uma concepção baseada nessa abordagem.

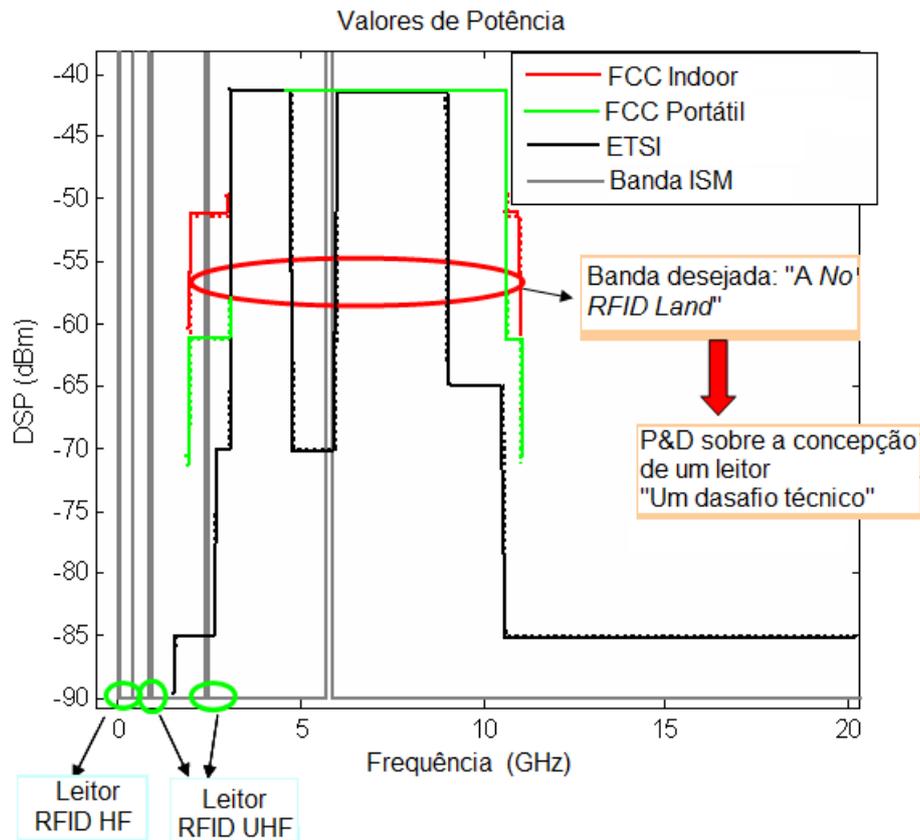


Figura 11 – Gráfico dos limites máximos de Densidade Espectral de Potência na banda desejada.

1.4. Conclusão

Nessa seção introduziu-se alguns aspectos básicos de sistemas de identificação e RFID sem *chip* que são parte dos assuntos estudados durante o estágio, fez-se uma distinção entre a tecnologia RFID padrão e a tecnologia RFID sem *chip*, de maneira a ficar claro que cada categoria tem suas aplicações próprias.

Os tags RFID sem *chip* deverão poder se colocar, em termos de mercado, entre o código de barras óptico e a RFID clássica UHF. De fato, diferente do código de barras ópticos, o código de barras RF são flexíveis em sua utilização (menos restrição no nível de leitura), têm uma distância de leitura maior e com um preço comparável. Com relação aos sistemas RFID com *chip* para uma aplicação similar, os tags sem *chip* são consideravelmente mais baratos (quanto ao preço do leitor, esse é tema de estudo dentro desse relatório) e apresentam um ótimo comportamento, principalmente em termo de robustez ou ainda de sensibilidade.

Definições Gerais (Contexto de Estudo)

Exemplos de tags sem *chip* foram apresentados para ilustrar o princípio e a necessidade de um leitor para esse tipo de tecnologia. Assim como foram tratadas as normas relativas ao uso de sistemas de comunicação UWB, que foram fatores essenciais para todas as escolhas durante o estágio.

Um leitor universal de banda larga para tags sem *chip* não existe no mercado atual e a construção de um leitor desse tipo, portátil e robusto, constitui o objetivo do estágio.

2 Pesquisa em RFID sem *chip*

2.1 Introdução

Essa seção apresenta as diferentes arquiteturas para o leitor de tags sem *chip*. Duas abordagens de leitura para as arquiteturas são definidas: a abordagem frequencial e a abordagem temporal, juntamente com esquemas propostos para a concepção do leitor.

Também são postos em evidência blocos de base – isso é, dispositivos como radares e sensores em radiofrequência – que tenham um funcionamento que pode ser aplicado ao leitor.

2.2 Leitor RFID Chipless

A tecnologia de etiquetas RFID sem *chip* é recente, e somente é presente em laboratório. O leitor para esse tipo de *tag* é um dispositivo que ainda não pode ser encontrado no mercado e é necessário o desenvolvimento do leitor específico, tendo em vista que existem claras diferenças entre as tecnologias RFID padrão e sem *chip*, quando se considera o sistema de leitura. Enumera-se: (i) leitores convencionais que trabalham principalmente em HF (13.56 MHz), UHF (915 MHz) e micro-ondas (2,45 GHz) enquanto o leitor de tags sem *chip* opera fora destas bandas; (ii) leitores convencionais usam *Amplitude Shift Keying* (ASK) e *Binary Phase Shift Keying* (BPSK) como técnicas de modulação baseadas no tempo, enquanto para a tecnologia sem *chip* decodifica-se o *tag* a partir de uma varredura do espectro de frequência, obtendo a assinatura espectral do *tag*; (iii) um leitor para tags sem *chip* pode processar os dados do *tag* mesmo depois que o *tag* tenha saído da zona de interrogação, enquanto leitores convencionais requerem que o *tag* esteja na zona de interrogação devido aos algoritmos de comunicação (*handshaking*) entre o *tag* e o leitor, o que também significa um processo de comunicação mais rápido entre os dois dispositivos no caso sem *chip*.

Um leitor é dividido em três partes básicas: o *back-end* digital, o *front-end* RF e as antenas, como pode ser visto na Figura 12.

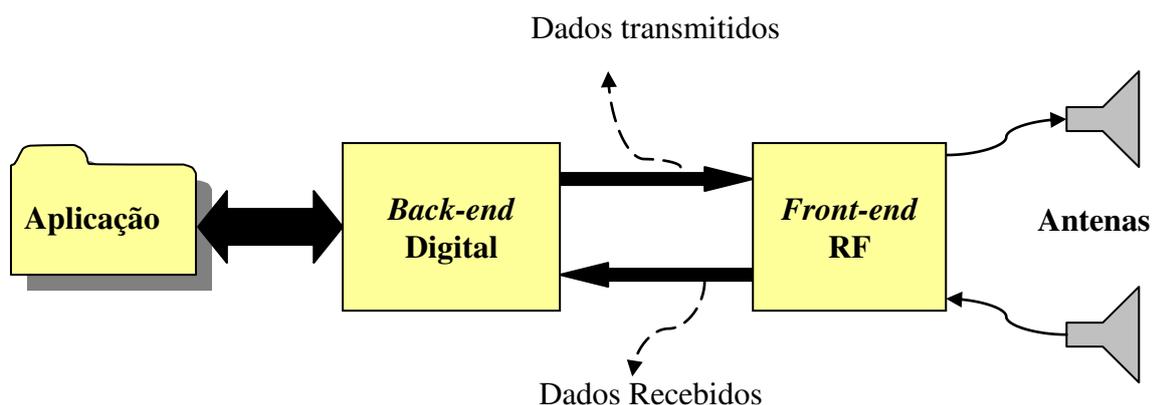


Figura 12 – Diagrama de blocos de um leitor RFID.

O *back-end* digital realiza o tratamento do sinal e é composto normalmente de um microprocessador, um bloco de memória e alguns conversores de dados, analógico-digital, assim como um bloco de comunicação para o *software* de supervisão do sistema.

O *front-end* RF é usado para a transmissão e recepção do sinal e consiste de dois caminhos separados de recepção e de transmissão, que variam em configuração dependendo de como o circuito do leitor é elaborado. Na seção RF normalmente configuram amplificadores para os sinais de recepção e para o envio, anterior às antenas, e gaiolas metálicas podem ser usadas para proteção contra interferências eletromagnéticas.

As antenas podem estar dispostas numa configuração monostática, usando uma antena que por vezes emite e recebe, ou bistática, usando duas antenas – para as duas funções. No laboratório são usadas duas antenas, que dão resultados mais precisos, porém a configuração com uma antena é frequentemente preferível por ser mais barata e ocupar menos espaço. Nesse caso faz-se a separação dos sinais de emissão e recepção com ajuda de um circulator

O objetivo do estágio é construir um leitor que:

- Possa medir o RCS de tags sem *chip*;
- Seja compatível com as normas europeias;
- Funcione em uma larga banda de frequência, de 3 GHz a 10 GHz;
- Seja portátil;
- Seja de baixo custo.

Os aspectos de antena e amplificadores não são levados em conta, visto que ocupou-se principalmente da parte *front-end* RF do leitor.

Pesquisa em RFID sem chip

Para a concepção do leitor durante o estágio, entre as primeiras tarefas estava a busca de dispositivos existentes no mercado que pudessem ser usados para interrogar os tags sem *chip* e obter as medidas desejadas. Entre os dispositivos pesquisados e rejeitados, estão:

- Radares de recuo – esse tipo de radar, usado para assistir o recuo de carros, na maior parte dos casos, não usa ondas eletromagnéticas mas sim ondas acústicas, e todos os modelos vistos trabalhavam em frequências de centenas de kHz, bastante abaixo da desejada.
- Radares de velocidade – radares usados pela polícia que medem a velocidade de carros usando o efeito Doppler. Esses radares enviam ondas eletromagnéticas de 24 GHz, com uma banda de frequência relativamente estreita, de 80 MHz. Tanto a frequência central quanto a banda são inapropriadas para o leitor, que deve ser entre 3 e 10 GHz.
- Leitores para tags SAW – leitores que funcionam para uma abordagem específica de RFID sem *chip*. Os produtos encontrados funcionavam ou enviando impulsos eletromagnéticos de curta duração, como os da empresa RFSAW, ou com passos de frequência em ondas contínuas (FSCW), como o da empresa CTR. Eles tinham frequências de operação incompatíveis, na banda ISM de 2,4 GHz.
- Leitores para tags específicos – procurou-se igualmente leitores para tags funcionando em frequências diferentes das bandas ISM e com largas faixas de frequência. Os tags *Tagent* têm uma faixa de 500 MHz, entre 6,45 e 6,95 GHz, enviam pulsos UWB porém só funcionam para tags da mesma marca, pois funciona com um protocolo de comunicação próprio entre o leitor e os tags. Outro sistema RFID de banda larga é o leitor para localização *Sapphire*, da empresa *Zebra*, com mais de 1 GHz de banda, enviando pulsos UWB, esse sistema exige tags ativos específicos.

Outros radares com a possibilidade de uso como leitor RFID Chipless foram encontrados próximo ao final do estágio. Esse dispositivos são igualmente detalhados nas seções seguintes. As soluções a detalhar são um radar FMCW e dois radares UWB, que foram encomendados para serem caracterizados.

As duas principais abordagens de funcionamento do leitor são descritas: frequencial e temporal.

2.2.1 Abordagem Freqüencial

A abordagem freqüencial refere-se à forma como é composto o sinal de interrogação enviado pelo leitor. Nesse caso, o leitor realiza uma varredura em freqüência, dentro da banda desejada, de forma a recuperar a assinatura espectral criada pelo *tag*. O leitor pode fazer tanto a detecção da amplitude quanto da fase.

A passagem de uma freqüência a outra pode ser feita de diferentes formas. Pode-se enviar diversos sinais senoidais, um de cada vez, mudando a freqüência do sinal a cada envio, técnica denominada *frequency stepping*. Outra forma consiste em fazer variar a cada instante, de maneira contínua, a freqüência do sinal. Essa técnica, muito utilizada em radares, é chamada de *chirping*.

Com o sinal fazendo a varredura do espectro de freqüência, o *tag* terá uma reação diferente para cada valor de freqüência e é a partir da reflexão do sinal no *tag* que se estabelece a assinatura espectral.

Na Figura 13 pode-se ver ilustrada a realização da varredura fazendo de saltos em freqüência. É a partir desse princípio que funciona, por exemplo, um Analisador de Rede Vetorial (VNA).

A Figura 14 ilustra a mudança contínua de freqüência para cobrir uma dada faixa. Um circuito para esse propósito é possível de realizar a partir de um oscilador controlado por tensão (VCO), em que uma variação contínua da tensão resulta em uma variação contínua da freqüência do sinal. Os radares FMCW, que têm esse princípio de funcionamento, são apresentados na Seção 2.2.1.2.

Na Seção 2.2.1.1 é descrita a arquitetura do leitor baseado na abordagem freqüencial, permitindo realizar as funcionalidades desejadas. Na Seção 2.2.1.2 é apresentado um radar FMCW que corresponde parcialmente às especificações e que foi adquirido durante o estágio.

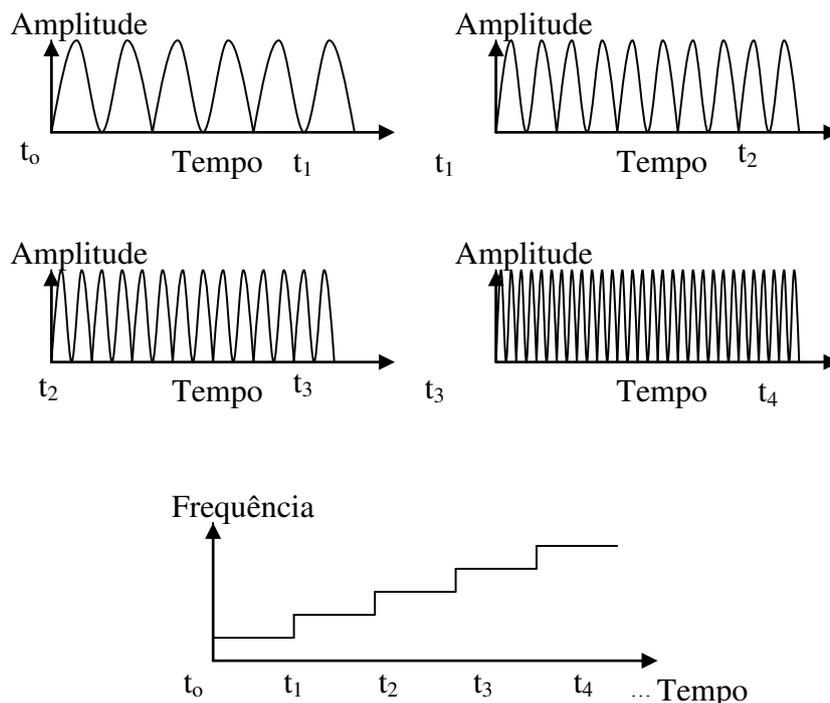


Figura 13 – Varredura do espectro a partir de saltos de frequência (*frequency stepping*).

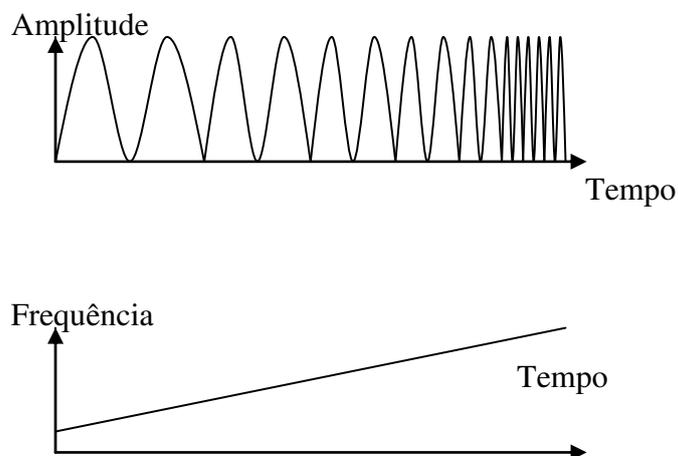


Figura 14 – Varredura do espectro com a variação contínua de frequência (*chirping*).

2.2.1.1 Arquitetura para a Abordagem Frequencial

Essa arquitetura para responder a problemática do leitor RFID sem *chip* é introduzida em dois artigos [14, 15]. Ela é apresentada na Figura 15 e a compreensão do funcionamento dos leitores descritos foi parte importante do estágio. Para a parte de emissão, um YIG (*Yttrium-Iron-Garnet* – Granada de Ferro-Ítrio) é utilizado para fazer a varredura de

Pesquisa em RFID sem chip

de recuperar os sinais analógicos do detector de ganho/fase e convertê-los em sinais digitais para serem armazenados e tratados pelo microcontrolador e usados para a aplicação determinada. Um computador ligado ao leitor pode servir tanto para aplicar as informações controladas quanto para controlar a seção digital do leitor.

A Figura 16 é a foto da seção digital construída e discutida no artigo (PRERADOVIC, 2010).

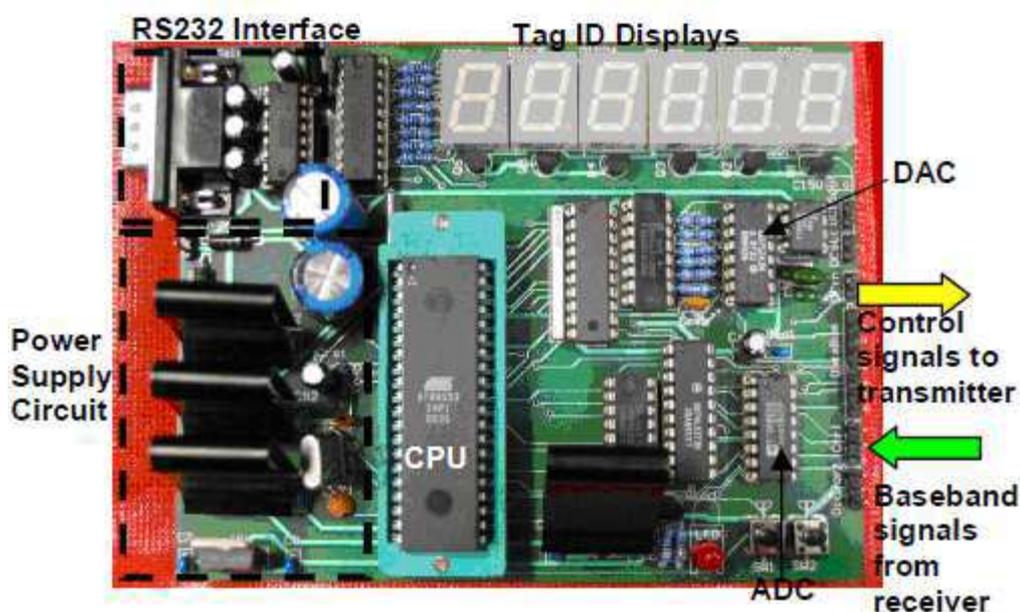


Figura 16 – Seção digital do leitor baseado na abordagem frequencial (PRERADOVIC, 2010).

- A seção RF do leitor é usada para a transmissão e recepção do sinal de interrogação e de resposta, tendo dois caminhos, para cada direção do fluxo de dados – transmissão e recepção.

O YIG (*Yttrium-Iron-Garnet*) é um oscilador controlado por tensão com uma larga gama de regulação de frequência (entre 2-20 GHz). Os YIGs são regulados usando um campo magnético externo com efeitos de histerese que tornam difíceis mudanças precisas e rápidas de frequência. O sinal de tensão que controla o YIG vem do D/A e o aumento de tensão representa um aumento de frequência.

O sinal saído do oscilador YIG passa por um acoplador que transfere parte da energia para um mixer, esse sinal serve como referência necessária para o detector de ganho/fase, a outra parte da energia é enviada para a antena de transmissão, que transmite o sinal para o *tag*. Dependendo do nível de potência, talvez seja necessário um amplificador de banda larga antes da antena, para aumentar o nível do sinal.

Pesquisa em RFID sem chip

O sinal que é refletido do *tag* chega à antena de recepção e é amplificado por um LNA (amplificador de baixo ruído) e em seguida é multiplicado por um sinal de um oscilador local (LO). Tanto o sinal de referência quanto o sinal refletido pelo *tag* são multiplicados pelo LO e depois filtrados, num processo chamado de *downconversion*, de forma a trazer o sinal para uma frequência mais baixa, que corresponda à banda de frequência do detector de ganho e fase. Ao multiplicar-se dois sinais senoidais de frequências constantes obtém-se como resultado a soma de duas senoides de frequências iguais a soma e a subtração das frequências originais. Assim após passarem pelos mixers, os sinais refletido e de referência são filtrados por filtros passa baixa para que na entrada do detector de ganho/fase estejam os sinais levados para abaixo de 2,5 GHz.

O detector AD8302 compara o sinal recebido com a referência em amplitude e em fase e a diferença entre os sinais é dado como valores DC pelo detector. E os dois são multiplexados e em seguida enviados à seção digital onde são tratados.

O limite da faixa de operação do detector de ganho/fase determina o limite da banda de frequência do leitor, de forma que o leitor pode enviar e receber sinais entre 5 e 10 GHz, tendo o oscilador LO regulado para uma frequência de 7,5 GHz (pois $7,5 - 5 = 2,5$ GHz e $10 - 7,5 = 2,5$ GHz).

Em uma configuração similar o oscilador local pode oscilar em duas frequências a fim de cobrir uma faixa de frequência mais larga, como de 3,1 a 10,6GHz, a banda pretendida. Para isso o oscilador pode ser controlado por tensão que faça a frequência variar entre dois estados: 5,6 e 8,1 GHz. O LO teria uma frequência de 5,6 para transmitir sinais entre 3,1 e 5,6 e uma frequência de 8,1 para 5,6 a 10,6 GHz.

Os resultados mostrados em (PRERADOVIC, 2010) mostram que uma configuração como a descrita, usando mixers para trazer para frequências mais baixas, rende bons resultados, conseguindo realizar leituras com etiquetas a até 1 m de distância. A captura da assinatura espectral na fase tem geralmente resultados mais confiáveis pois a fase do sinal é menos afetada pelo ruído que a amplitude.

Na Figura 17 vê-se a foto da seção RF feita pelos autores de (PRERADOVIC, 2010).

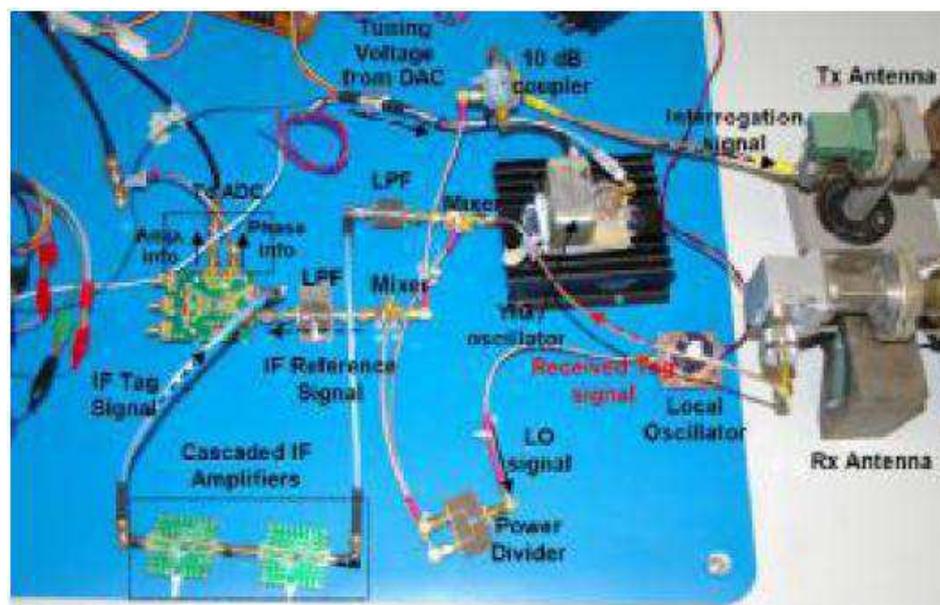


Figura 17 – Fotografia da seção RF do leitor baseado na abordagem frequencial (PRERADOVIC, 2010).

Resumidamente, o leitor funciona mudando sua frequência de transmissão em passos e para cada sinal com uma frequência diferente enviado, o sinal refletido do *tag* é capturado e armazenado por um computador ou microcontrolador, que processa essas informações de maneira conveniente.

Estimou-se precisamente o custo de um leitor similar. O preço total para a construção do leitor é aproximadamente 2500 € sem a presença de antenas e de amplificadores. No Anexo A, uma tabela apresenta cada componente. Esse estudo permite ter uma boa ideia sobre o princípio de funcionamento de um leitor em “Frequencial”.

O leitor descrito tem uma potência de transmissão de 15 dBm, o que é bastante elevado com relação às normas da ETSI. Essa abordagem não respeita as normas e isso nos impulsionou a procurar outras soluções.

2.2.1.2 Radar FMWC

O Radar FMCW (*Frequency Modulated Continuous Wave* – Onda Contínua Modulada em Frequência) é usado para determinar a distância do radar com relação a objetos a partir da diferença entre o sinal enviado e recebido. O radar funciona enviando um sinal que varia periodicamente em frequência, dentro de um limite. Basicamente um sinal dente-de-serra é aplicado a um oscilador VCO no radar, que envia o sinal de saída do oscilador por uma antena. O sinal enviado é refletido no objeto e a reflexão é o sinal de varredura em frequência

Pesquisa em RFID sem chip

enviado, porém com um atraso relativo à distância percorrida pelo sinal. A descrição desse processo pode ser vista na Figura 18.

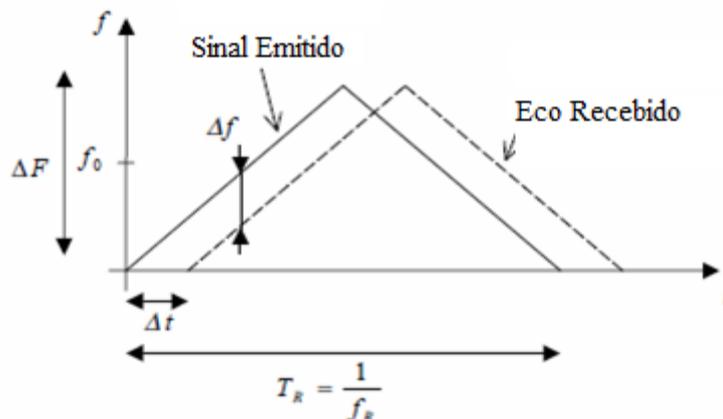


Figura 18 – Sinal de frequência em função do tempo de um radar FMCW. O sinal refletido volta com um atraso que é proporcional à distância entre o radar e o objeto.

De volta no radar, o sinal refletido tem uma diferença de tempo Δt em relação ao sinal emitido, devido ao percurso de ida e volta do sinal. Como mostrado na Figura 18, observa-se que a esse tempo corresponde uma diferença de frequência entre os sinais recebido e enviado, Δf .

No interior do circuito, a reflexão é multiplicada com o sinal emitido mediante o uso de um *mixer* e o resultado é um sinal senoidal com uma frequência igual a Δf , denominada como *beat frequency*. A frequência é proporcional ao tempo de viagem do sinal e como consequência, é possível determinar a distância ao radar. Pode-se exprimir a relação existente entre Δf e Δt . Tem-se assim

$$\Delta t = 2R/c$$

em que c é a velocidade da luz e R é a distância entre o radar e o objeto.

Considerando que Δt é da ordem de nanosegundos enquanto que o período da variação de frequência é $T_R \gg \Delta t$ (conferir Figura 18), a cada instante t a diferença de frequência entre as curvas da figura é constante e vale

$$4 \frac{\Delta F R}{T_R c}$$

em que ΔF corresponde à variação máxima em frequência, e $2\Delta F/T_R$ é a constante de proporcionalidade entre o tempo e a frequência. Assim, recupera-se a distância até o objeto isolando R da frequência de *beat* do sinal resultante (ΔF , T_R sendo parâmetros do leitor):

$$s_{\text{filtre}}(t) = a_e a_r \cos(2\pi \Delta F t)$$

Pesquisa em RFID sem chip

O radar é interessante para o projeto, tendo em vista sua compacidade e a facilidade de utilização, além de ser um produto que é encontrado comercialmente. Para realizar a funcionalidade desejada (medida do RCS), é necessário tratar o sinal de saída do radar. No caso, o termo a_r é proporcional a σ , sendo σ o RCS do alvo. Medindo a amplitude da senóide de frequência Δf pode-se extrair o RCS do *tag* (VOYER, 2005).

Na Figura 19 observa-se um circuito descritivo de como funciona o FMCW. Considera-se que o sinal é refletido de um *tag* sem *chip*, a assinatura espectral do *tag* é um sinal em função da frequência, $A_{tag}(f)$, que pode ser recuperado a partir de um detector de amplitude. A incerteza da medida é definida essencialmente pela linearidade da varredura de frequência e pela replicabilidade dessa varredura.

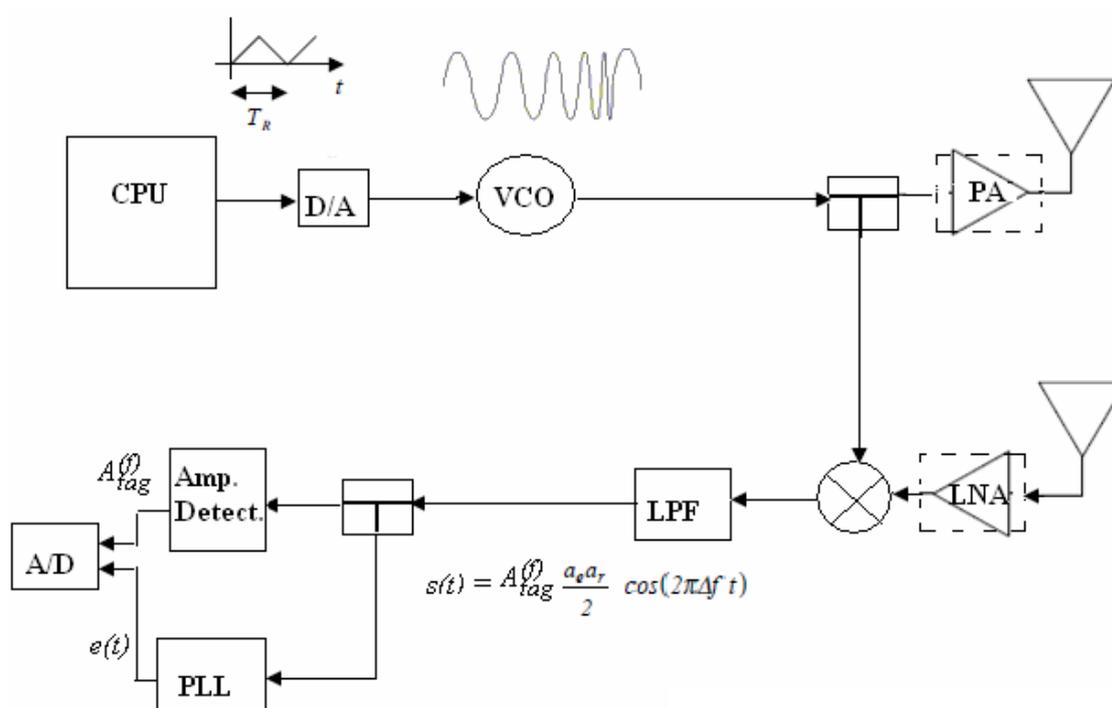


Figura 19 – Circuito FMCW usado para recuperar a assinatura espectral de um *tag* sem *chip*.

Para o projeto, contatou-se a empresa sueca, Sivers IMA (www.siversima.com), que fabrica esse tipo de radar. Na Tabela 3 são apresentados três módulos comercializados pela empresa, que funcionam para bandas de frequência distintas.

Pesquisa em RFID sem chip

Tabela 3 – Módulos de radar FMCW da empresa Sivers IMA.

Módulo FMCW	Frequência	Banda
RS3400S/00	5 GHz	750 MHz
RS3400X/00	10 GHz	1500 MHz
RS3400K/00	24 GHz	1500 MHz

Na Figura 20 vê-se a foto do módulo de radar FMCW ao lado da placa de controle, que é pré-carregada com um software básico que permite a avaliação e teste do módulo de forma mais fácil.

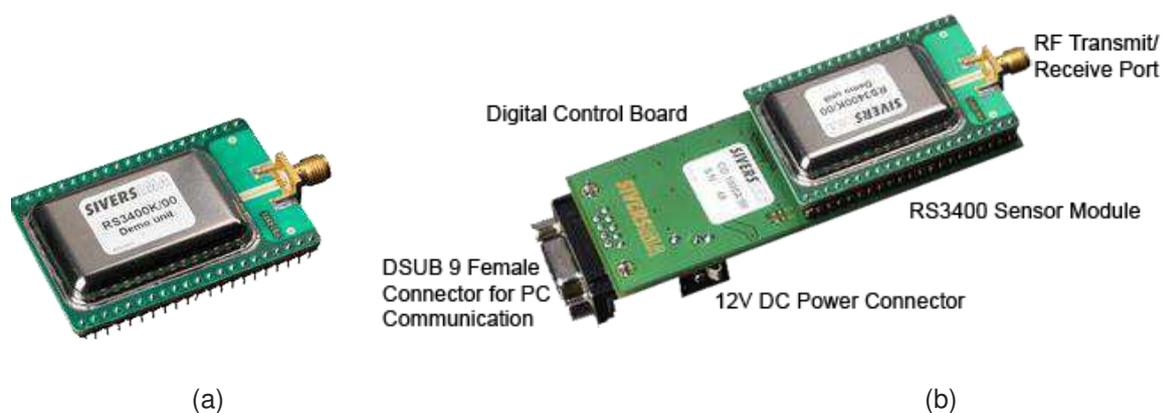


Figura 20 – (a) Módulo radar FMCW de Sivers IMA (b) Placa de controle para o radar.

Dentre os módulos, optou-se pelo módulo RS3400/00, com frequência central 5 GHz e banda de 750 MHz, juntamente com a placa de controle. A frequência é digitalmente controlada a partir de uma interface serial de 3 fios, e com a placa de controle é possível programar o circuito usando Matlab. Os preços dos dispositivos são 617 € para o módulo e 238 € a placa de controle.

Os valores de desempenho garantidos pela empresa são mostrados na Tabela 4.

Tabela 4 –Valores referentes ao radar FMCW [RS3400S/00](#), de Sivers IMA.

Parâmetro	Mínima	Típica	Máxima	Unidade
Frequência de saída mínima			4625	MHz
Frequência de saída máxima	5375			MHz
Resolução de ajuste de frequência	10			kHz
Potência de saída RF	-5	0	5	dBm
Variação de Potência RF com a frequência			5	dB
Consumo de potência		400		mW

Com uma banda de 750 MHz, para o caso dos tags desenvolvidos no laboratório LCIS, é possível codificar até 8 bits de informação. Então é possível usar esse radar como leitor RFID para etiquetas sem *chip* em modo reduzido, ou seja, para tags comportando quantidade menor de informação. A questão das limitações quanto às normas da FCC e ETSI foi igualmente levada em conta.

Nota-se que a densidade espectral máxima para a faixa de operação do radar é -70 dBm/MHz. Em funcionamento normal, a densidade espectral de potência do radar é superior à norma em vigor.

O módulo RS3400/00 foi adquirido, para ser testado e validar sua funcionalidade como parte do leitor RFID *chipless*. Nas condições típicas de utilização, a potência emitida ultrapassa os limites permitidos pela legislação da ETSI. Porém, uma das funcionalidades que foi discutida com o fornecedor foi a possibilidade de adicionar um *dead time*, um tempo em que é cortado o envio do sinal no módulo, de forma que a densidade espectral de potência caia razoavelmente, para abaixo do limite permitido. Uma ilustração desse princípio é vista na Figura 21.

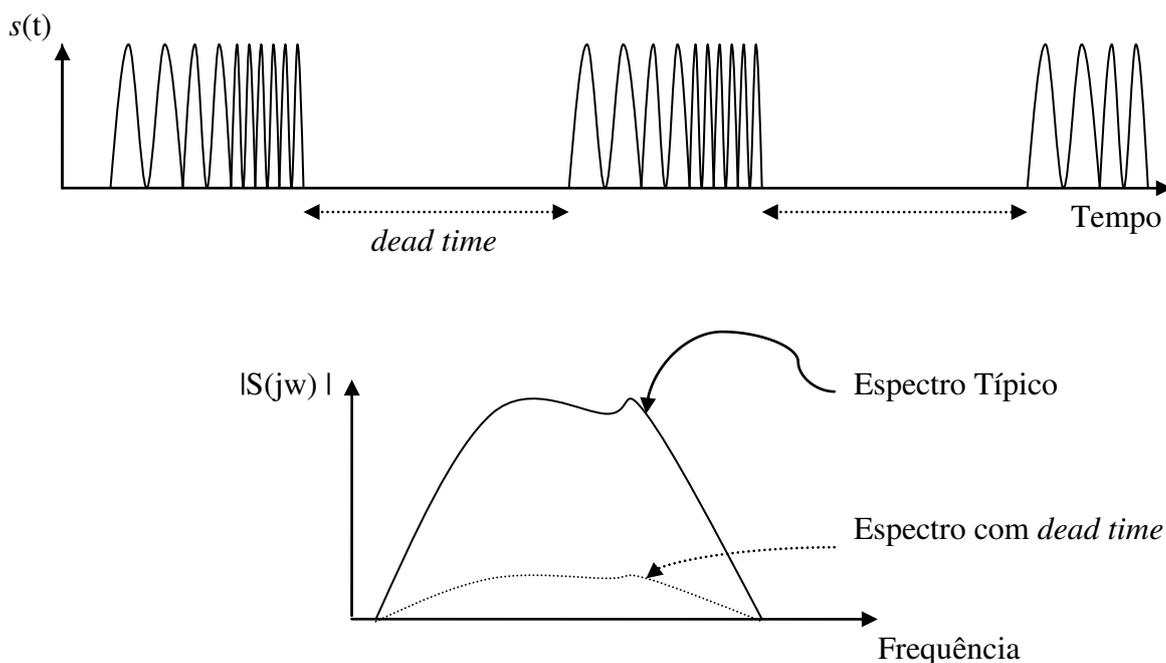


Figura 21 – Uso do *dead time* para diminuir a densidade espectral de potência do sinal enviado pelo radar FMCW.

2.2.2 Abordagem Temporal

Na abordagem temporal, o circuito envia pulsos curtos por meio da antena do leitor para o *tag*, onde são refletidos contendo a assinatura espectral do *tag* (Figura 22). Um pulso no tempo tem sua representação como sendo um espectro de banda larga no domínio frequencial (Figura 23). Esse é o princípio de radares UWB.

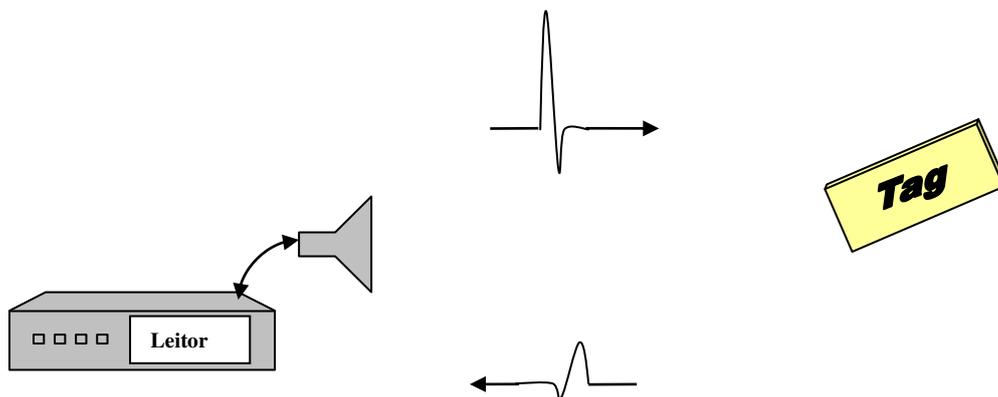


Figura 22 – Leitor RFID *chipless* baseado num radar UWB que envia pulsos eletromagnéticos curtos.

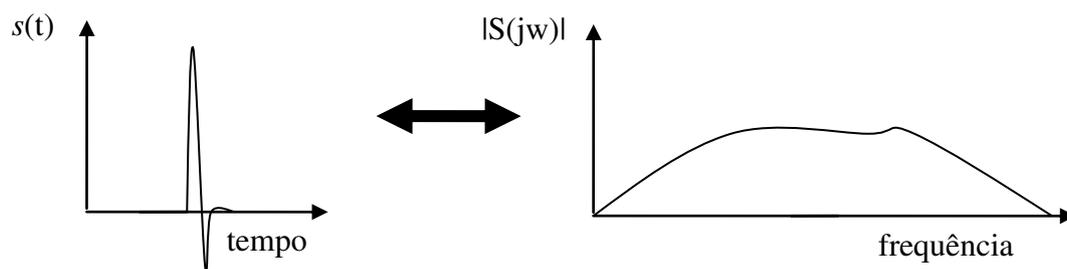


Figura 23 – Correspondência espectral de um pulso no tempo.

Um leitor baseado na abordagem temporal foi concebido durante o estágio e na Seção 3 o procedimento de concepção é descrito. Na Seção 2.2.2.2 é introduzido o esquema do leitor assim como os componentes escolhidos para a construção do leitor.

A motivação para se escolher construir o circuito baseado na abordagem temporal é principalmente ditada pela regulação europeia. Contrariamente a um sistema de ondas contínuas (CW), esse princípio permite obter razões cíclicas de potência bastante baixas, de forma a diminuir a densidade espectral de potência transmitida a fim de respeitar as normas estabelecidas pela ETSI.

2.2.2.1 Radar UWB

O radar UWB envia um impulso que cobre uma larga banda de frequência. É um dispositivo que permite localizar um ou diversos objetos.

Os componentes NVA6000 e NVA6100 são dois radares UWB de grande resolução da empresa Novelda, que funcionam com bandas de frequência diferentes entre 1 e 10 GHz. Os impulsos criados pelos componentes são tipicamente mais curtos que 1 ns e suas bandas cobrem diversos GHz. Eles são capazes de transmitir impulsos curtos, mostrar o sinal refletido e armazená-lo como uma sequência de amostras discretas.

A arquitetura do receptor é baseado em um esquema complexo que faz uma média para recuperar os sinais abaixo no nível de ruído. Paralelizando a estrutura de amostragem, o receptor é capaz de capturar até 512 pontos por vez. O que corresponde a uma amostragem em torno de 39 GS/s.

Pesquisa em RFID sem chip

Tabela 5 – Informações de radares UWB Novelda.

	NVA6000	NVA6100
Banda de Frequência	6.0 - 8.5 GHz Em conformidade com ETSI e FCC	0.7 - 2.4 GHz e 3.1 - 5.6 GHz Facilmente adaptável para FCC e ETSI (Filtragem externa)
Distância de Detecção	0 - 60 m	0 - 60 m
Resolução espacial	4 mm (< 1mm disponível)	4 mm (< 1mm disponível)
Transmissor	On chip	On chip
Receptor de ganho controlável	On chip	On chip
Amostrador programável	On chip	On chip
Pontos de amostragem simultâneos	512	512
Taxa de amostragem	Até 39 GS/s	Até 39 GS/s

Os kits de desenvolvimento para os radares são constituídos de um circuito RF montado sobre um circuito de entradas/saídas. O conjunto é acompanhado de uma biblioteca em software (C-library com API, exemplos de Matlab, C# GUI demo application) e o suporte completo de uma equipe técnica. Os kits de desenvolvimento NVAR620, NVAR630, NVAR640 têm bandas de frequência de 6-8.5 GHz, 0.7-2.4 GHz e 3.1-5.6 GHz respectivamente.

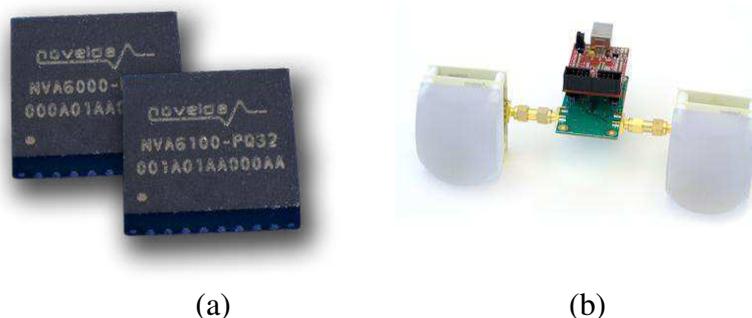


Figura 24 – (a) CI's NVA6000 e 6100. (b) kit de desenvolvimento.

2.2.2.2 Arquitetura para a Abordagem Temporal

Em um sistema de impulsos UWB, o sinal é enviado pela antena e após ser recebido, é amostrado e armazenado para outros tratamentos, o sinal é analisado em frequência a fim de recuperar a assinatura espectral do *tag* interrogado.

Porém, os impulsos enviados pelo leitor têm duração muito curta e uma problemática que se evidencia é que o tempo de captura dos conversores A/D é mais curto que a duração do impulso. O impulso enviado pelo leitor dura cerca de 70 ps, e o sinal refletido do *tag* tem uma duração de aproximadamente 3000 ps após sofrer dispersão na trajetória da onda. Enquanto que o tempo de aquisição do conversor A/D leva em torno de 400 ns. De forma que uma amostragem simples não pode ser feita para recuperar o sinal. Daí, surge a necessidade de lançar mão de uma técnica de amostragem particular.

A técnica usual de amostragem parte do uso de uma frequência de amostragem que seja maior que duas vezes a frequência máxima do sinal a tomar amostras (frequência de Nyquist) para que o sinal original possa ser reconstruído a partir da amostragem. Isso significa que um grande número de pontos da curva é capturada com um só envio do sinal, em tempo real. Essa técnica de amostragem é chamada de RTS (*Real-Time Sampling*) e funciona para sinais mais lentos. A Figura 25 representa a técnica descrita.

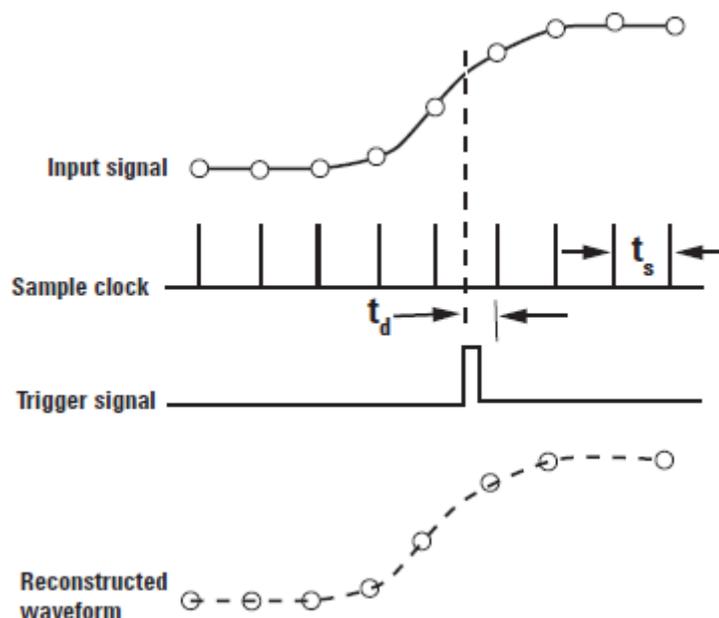


Figura 25 – Técnica de amostragem em tempo real (RTS).

Pesquisa em RFID sem chip

Visto as limitações dos conversores A/D, essa técnica de amostragem não pode ser usada, por isso nos orientamos em direção a outra solução, que consiste em usar a técnica de amostragem em tempo equivalente, ETS (*Equivalent Time Sampling*).

A ETS consiste em capturar apenas a amplitude instantânea da forma de onda no instante de amostragem. De forma que a onda é enviada diversas vezes e um ponto da curva é registrada por envio. A cada envio da onda um pequeno atraso no tempo de amostragem é adicionado e um ponto diferente da curva é capturado. O número de amostras determina o número de envios necessários para reproduzir o pulso pretendido.

A amostragem funciona conforme ilustrado na Figura 26, em que cada ciclo corresponde ao envio e à recepção de um impulso pelo leitor.

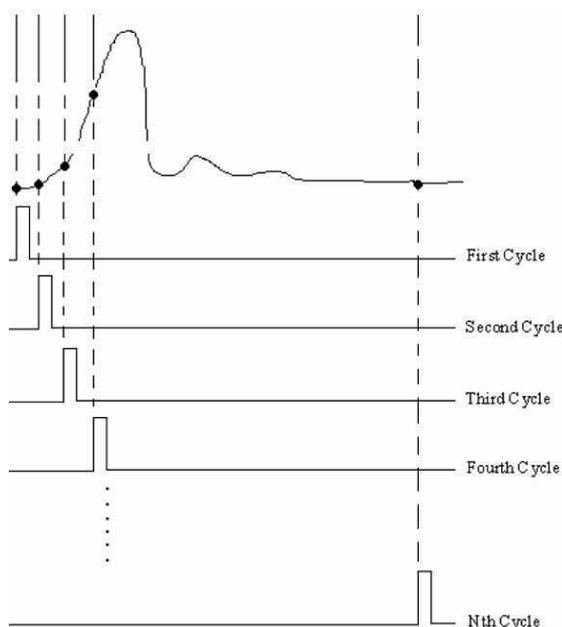


Figura 26 – Princípio de amostragem em tempo equivalente (ETS).

Na Figura 27 vê-se um circuito que serve para enviar o sinal e amostrá-lo usando a técnica ETS. Vê-se na figura um gerador de impulsos controlado por um bloco de sincronismo, que põe em sincronia os impulsos enviados e os tempos de captura no conversor A/D e no Amostrador, o amostrador que captura um valor do sinal recebido e fixa-o tempo suficiente para que o conversor A/D faça a aquisição do ponto na curva e o converta e envie para ser armazenado em um dispositivo exterior.

Antes da antena de transmissão, nota-se uma rede de formatação, que é usada para modificar o espectro do sinal transmitido de forma a estar de acordo com as normas definidas. Após a antena de recepção há um sistema opcional de proteção para o leitor e um amplificador para o sinal refletido, que é bastante atenuado na trajetória do sinal.

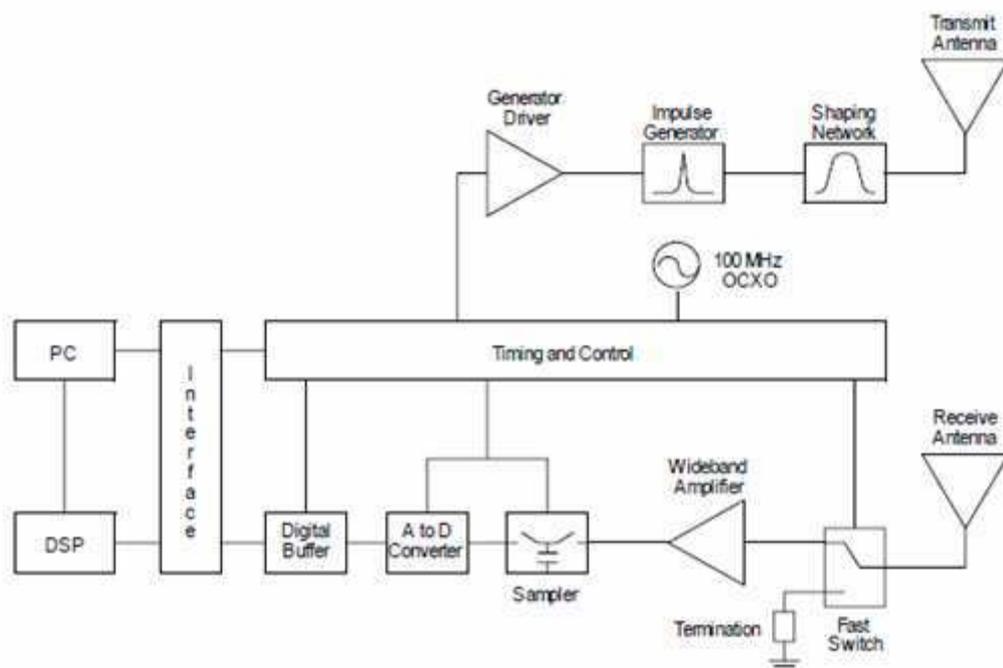


Figura 27 – Esquema de um leitor *chipless* temporal. Circuito para envio e recepção de pulsos curtos, com um bloco de sincronismo que controla o envio dos pulsos e os tempos de amostragem no *Sampler* (amostrador) e no conversor A/D.

O elemento mais importante nesse circuito é o sistema de sincronização da transmissão de impulsos com o instante preciso de captura do sinal refletido. O amostrador é igualmente um componente muito importante, o amostrador utilizado permite obter taxas de amostragem de 2GS/s. Para realizar o sistema de sincronização, duas topologias são propostas (vide Figuras 28 e 30). E os componentes de ambas topologias são descritas em sequência:

- Um **Gerador de atrasos Programável** (*Delay Generator*): é um bloco essencial para a função desejada. O componente usado, o **MC100EP196** da ON Semiconductor, permite criar um atraso com passo de 10ps a partir de um comando de 10 bits.

Os bits determinam o caminho pelo qual o sinal passa no circuito do gerador de atrasos, que pode ser visto na Figura B.1 em anexo. A Tabela B.1, em anexo, retirada da folha de dados do componentes indica os valores dos bits correspondentes a cada atraso. É possível obter um atraso de 0ps a 10240ps. O gerador de atrasos pode ser programado usando um contador sincronizado com a transmissão de impulsos. Para cada envio, o contador muda de estado, produzindo assim a modificação desejada do tempo de atraso.

Pesquisa em RFID sem chip

A entrada do gerador de atrasos é o relógio do leitor enquanto a saída será o relógio comportando um certo atraso que servirá para pilotar o **conversor A/D** assim como o **amostrador**.

- **O Amostrador:** é usado para manter o valor do sinal amostrado durante um tempo suficiente para que o conversor A/D possa recuperar o valor nesse ponto.

O amostrador adquirido é o **1321TH** da empresa INPHI, que tem uma banda passante analógica de 13GHz e uma frequência de amostragem máxima de 2GS/s.

A entrada relógio do amostrador é a saída do **gerador de atrasos programável**.

- **Conversor A/D:** Converte o sinal analógico em um sinal digital para que em seguida esse possa ser tratado pela seção digital do leitor. Na configuração escolhida (amostragem ETS) a entrada do conversor é a saída do **amostrador** e seu relógio é a saída do **gerador de atrasos programável**. O conversor adquirido é o **AD9215** de 10 bits, da Analog Devices com uma taxa de conversão entre 65 e 105 MS/s e um tempo de aquisição de cerca de 10ns, daí a necessidade de um amostrador de alto desempenho.
- **O Gerador de impulsos:** A cada subida do sinal de entrada do gerador de impulsos, o gerador envia um impulso da ordem de 70ps (gerador comprado: **HL9200** da empresa Hyperlabs). Ele é comandado pelo sinal de relógio do leitor. A sincronização com o resto do sistema pode ser realizada usando um *D Latch* ou um divisor de frequência do relógio. Não se utiliza diretamente a frequência de relógio pois a frequência de emissão dos impulsos deve ser menor.
- **Um Contador:** serve para obter os bits do gerador de atrasos, cada incremento é sincronizado com a transmissão dos impulsos, de forma que cada envio é acompanhado de um aumento do atraso sobre o relógio controlando o **amostrador** e o **conversor A/D**.

Em seguida, é visto que o contador é realizado diretamente pelo FPGA, que permite uma flexibilidade de utilização e de programação, de modificar a geração dos bits de forma livre, o que é importante durante a fase de

Pesquisa em RFID sem chip

avaliação do protótipo. O FPGA é útil também para aplicações de tratamento do sinal.

- Um **Divisor de Frequência** (estas funções podem ser realizadas diretamente pelo FPGA): ele serve para controlar a transmissão dos impulsos provenientes do circuito gerador de impulsos.
- **O Relógio** é igualmente realizado pelo FPGA.

O esquema proposto para a sincronização dos impulsos permitindo gerar um sinal de retardo é mostrado na Figura 28, usando um divisor de frequência e um contador:

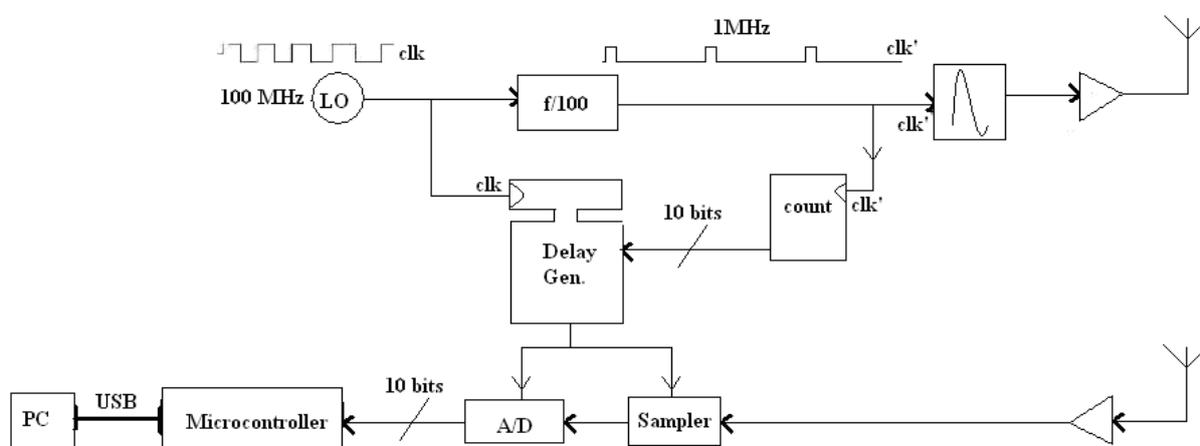


Figura 28 – Esquema do leitor RFID sem *chip*, usando um divisor de frequência e um contador.

A outra forma de sincronizar os componentes no circuito repousa sobre a utilização de um divisor de frequência, que pode ser feito pelo FPGA. Divide-se a frequência com um contador pondo-se o relógio como entrada do contador e usando a saída do sétimo bit. Como para cada bit de saída do contador, a frequência do sinal de relógio é dividida por $2^{(\text{número do bit})}$, obtém-se uma frequência de relógio dividida por $2^7 = 128$.

A Seção 3 desse relatório trata da parte colocação em prática dessa solução.

2.3 Conclusão

Nessa seção, foram apresentadas diferentes abordagens possíveis para realizar a função de leitor de etiquetas sem *chip* procurada. Cada uma das abordagens (frequencial e temporal) foi descrita e discutida.

A abordagem retida e colocada em prática é baseada na abordagem temporal: o leitor envia impulsos de curta duração na direção da etiqueta. Ele recupera o sinal EM refletido usando um esquema de amostragem em tempo equivalente (ETS). A curta duração dos impulsos não permite ao conversor A/D fazer a aquisição da curva de uma só vez.

Além disso, as informações técnicas de duas soluções comerciais, potencialmente utilizáveis para a realização do leitor, foram introduzidas. Essas duas soluções comerciais são baseadas no princípio de radar: seja do tipo FMCW, seja do tipo UWB que são normalmente dedicados à localização de objetos.

3 Concepção e Caracterização dos Leitores

3.1 Introdução

Essa seção é reservada à descrição do trabalho realizado referente à concepção e à realização do protótipo do leitor RFID *chipless*, baseado na abordagem temporal. As etapas seguidas durante o estágio compreendem: a simulação com Ansoft Designer do circuito de sincronização descrito na Seção 2; a implementação do bloco de sincronização em um FPGA usando a linguagem VHDL e o roteamento de um circuito impresso com ajuda do software Kicad. As etapas de validação do protótipo serão igualmente descritas.

A caracterização dos dispositivos radares adquiridos faz também parte do trabalho realizado com o objetivo de verificar o funcionamento do radar FMCW e seu papel na medida do RCS de tags sem *chip*.

3.2 Concepção do Protótipo

Nessa seção é descrito, passo a passo, a elaboração e realização do protótipo do leitor.

Lembra-se que uma das restrições na elaboração do leitor é a banda de frequência de 3,1 a 10,6 GHz, isso é, uma banda que não é compatível com as bandas ISM. Também é preciso assegurar que a densidade espectral de potência enviada pelo leitor esteja em conformidade com a norma UWB imposta pela ETSI.

O leitor é baseado na abordagem temporal discutida na Seção 2. Um contador permite controlar uma linha de atraso com passo de 10ns, o que permite realizar a amostragem do sinal em tempo equivalente.

No esquema elétrico do leitor, uma parte dos componentes elementares serão implementados diretamente dentro do FPGA. Os outros componentes deverão ser colocados sobre um circuito impresso que será conectado ao FPGA e igualmente às antenas. A Figura 29 é uma representação sinóptica do protótipo, em que as partes internas e externas do FPGA são assinaladas.

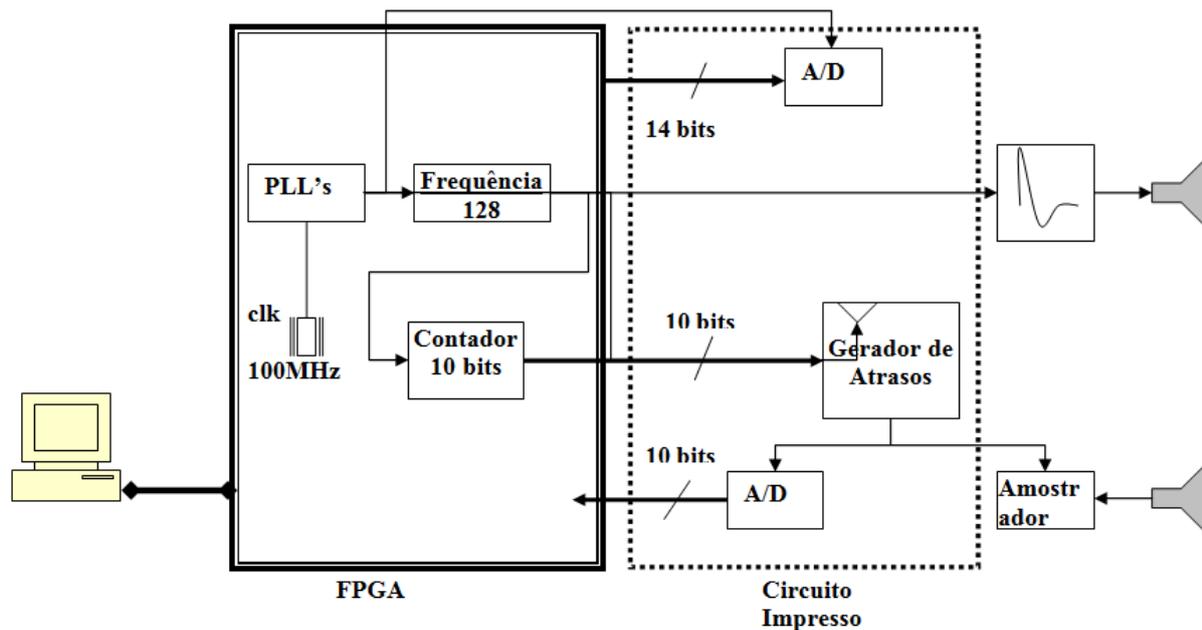


Figura 29 – Circuito do leitor baseado na abordagem temporal.

Uma parte da elaboração do leitor compreende as primeiras simulações do circuito completo, simulação realizada com ajuda do software Ansoft Designet. Essa etapa permitiu validar o princípio e ajudou a compreender o funcionamento do circuito de sincronização, para o envio e captura de impulsos. A parte de simulação é apresentada na Seção 3.2.1.

A etapa seguinte na concepção do leitor foi a programação do FPGA, descrita na Seção 3.2.2.

O roteamento de um circuito impresso é a parte seguinte. Sobre o circuito foram soldados o gerador de atrasos programável, assim como o conversor A/D. Um conversor D/A foi igualmente colocado, para uso durante a primeira fase de aplicação. O circuito impresso deve comportar um conector RF do tipo SMA, para encaminhar os sinais em direção a : 1) o gerador de impulsos ; 2) o amostrador externo de banda larga (Esses elementos podem ser vistos na Figura 32). Os detalhes dessa parte são abordados na Seção 3.2.3.

A última etapa foi a validação do protótipo, elemento por elemento, seguido do protótipo por completo. Essa etapa muito importante serve para perceber os problemas de ordem prática e as modificações necessárias que devem ser trazidas à montagem. Além de algumas correções que são feitas para resolver problemas referentes ao sinal e ao ruído.

Tabela 6 – Resumo dos componentes principais do leitor

Seção RF	Nome	Informações	Preço
Amostrador	INPHI - 1321TH	Taxa de amostragem: 2 GS/s Banda de frequência: 13 GHz	1469 €
Gerador de impulsos	Hyperlabs – HL9200	Duração de impulso : 70 ps	690 €
Gerador de Atrasos	ON Semiconductor – MC100EP196	Incrementos de 10 ps	25,70 €
Conversor A/D	Analog Devices – AD9215	10 bits	13,93 €
Conversor D/A	Analog Devices – AD9754	14 bits	25,20 €

3.2.1 Simulação com Ansoft Designer

O objetivo da simulação é de confirmar o princípio de amostragem em tempo equivalente discutido na seção precedente (Figura 30). Se o relógio de base estiver operando com frequência de 100MHz, diminui-se essa frequência para 1MHz a fim de gerar a transmissão de um impulso a cada μ s. A cada nova impulsão o gerador de atrasos é reprogramado para gerar um atraso suplementar de 10ps para atrasar o instante de amostragem.

Ansoft Designet é um software para simular modelos de aplicações com sistemas mistos analógicos-numéricos. A plataforma permitiu simular os blocos :

- Relógio
- Divisor de frequência
- Gerador de impulsos
- Contador para controlar os atrasos do gerador de atrasos
- O gerador de atrasos
- Amostrador

A Figura 30 apresenta o circuito completo simulado.

Para a elaboração do circuito de simulação, os elementos « contador », « gerador de impulsos » e o « gerador de atrasos » foram criados a partir de outros blocos. Para verificar o funcionamento do circuito, os blocos foram testados separadamente, a fim de constatar e corrigir os problemas que surgissem. Os blocos individuais são apresentados nas Figuras 31, 32 e 33.

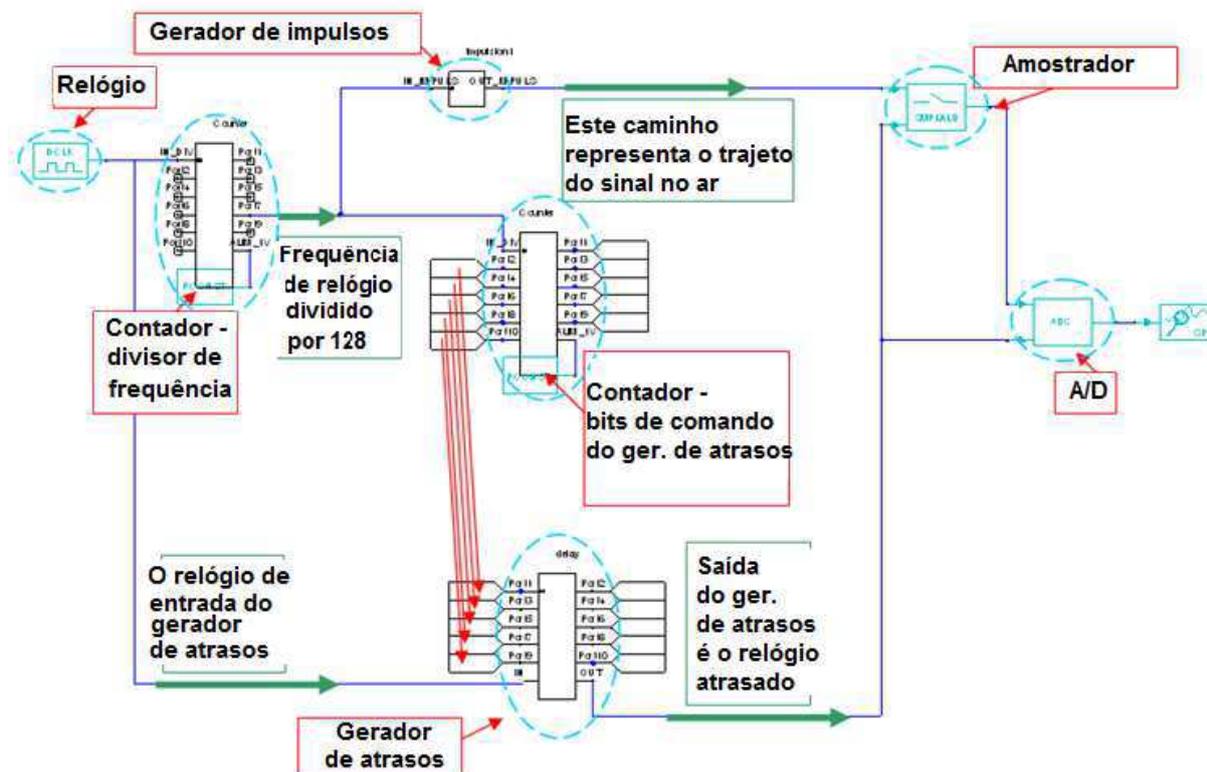


Figura 30 – Simulação no Ansoft Designer de uma parte do leitor RFID sem *chip* : sistema de envio de impulsos sincronizado com o gerador de atrasos, que modifica o relógio do conversor A/D e do amostrador para cada ciclo. As ligações entre as saídas do contador e as entradas de bits D[0 :9] do gerador de atrasos são representadas pelos traços vermelhos.

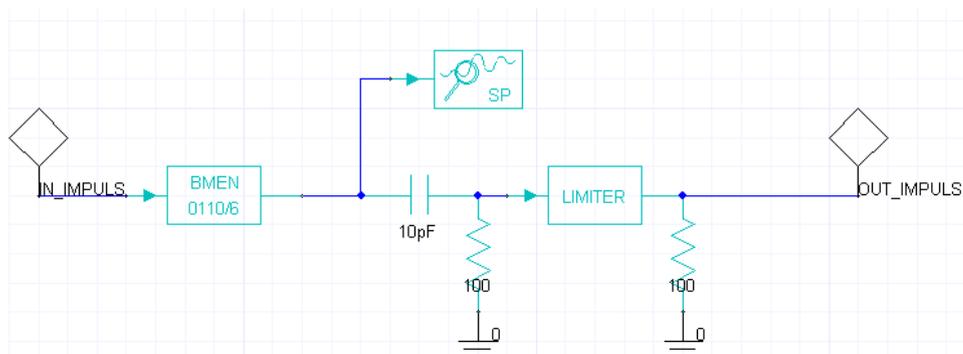


Figura 31 – Bloco do gerador de impulsos. A entrada desse bloco é o relógio com a frequência dividida por 128. Ele é composto de um bloco para converter o sinal digital do relógio em analógico, e depois de um circuito RC de derivação (a derivada de um degrau resulta em um impulso). Coloca-se um limitante para suprimir os impulsos negativos devidos à derivada da descida do sinal de relógio.

Concepção e Caracterização dos Leitores

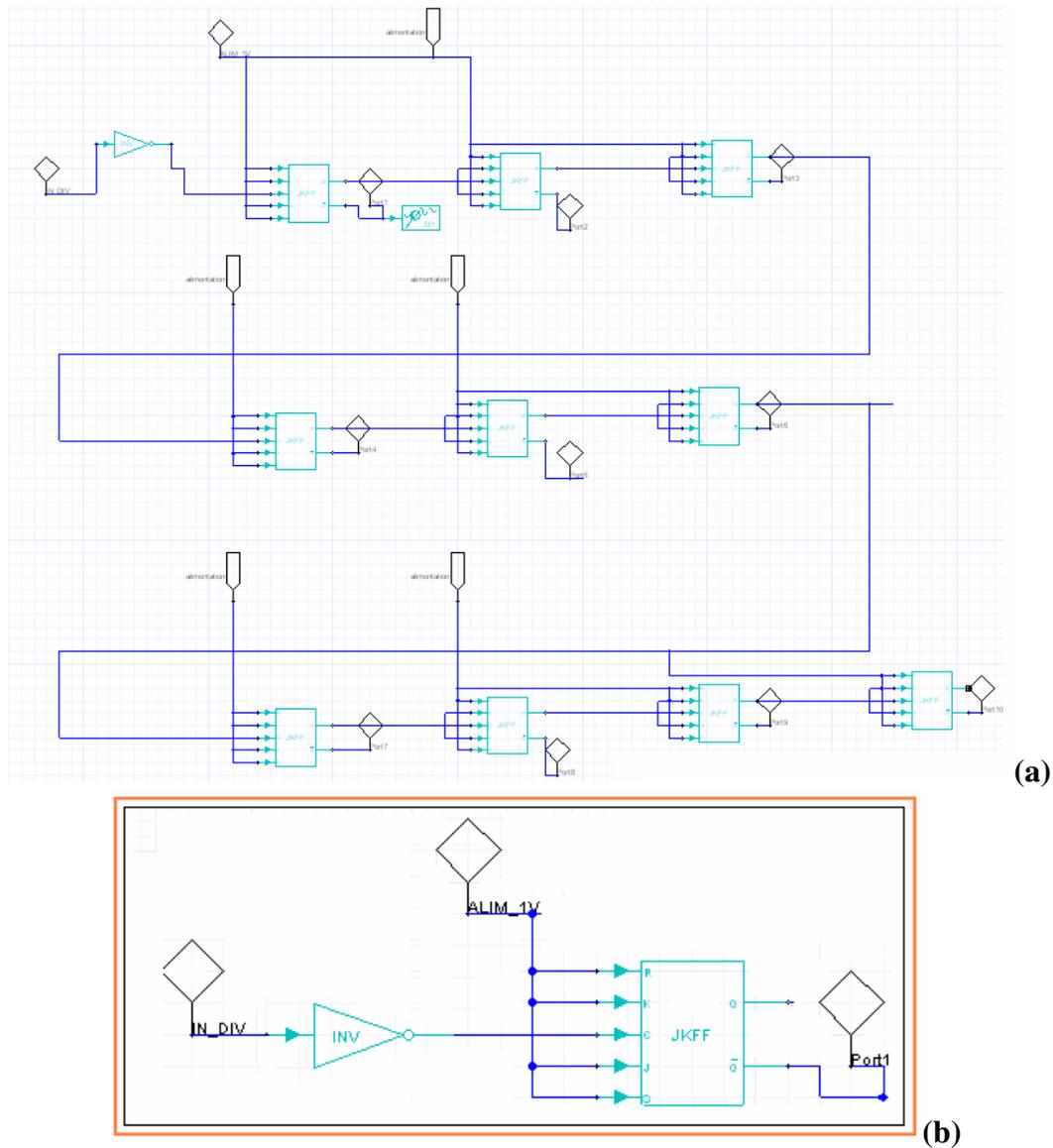


Figura 32 – (a) O contador composto de 10 flip-flops JK em série. As entradas J e K são fixados em « 1 » e para cada flip-flop, a saída Q está na entrada de $clock$ do flip-flop seguinte. Os losangos representam as entradas e saídas do contador. O sinal útil (frequência dividida) é obtido na saída do sétimo flip-flop.

(b) Detalhe do flip-flop usado no contador. Com as entradas J e K fixadas no estado « 1 ». O estado da saída Q muda a cada subida da entrada de $clock$. O que faz dobrar o período de relógio.

Concepção e Caracterização dos Leitores

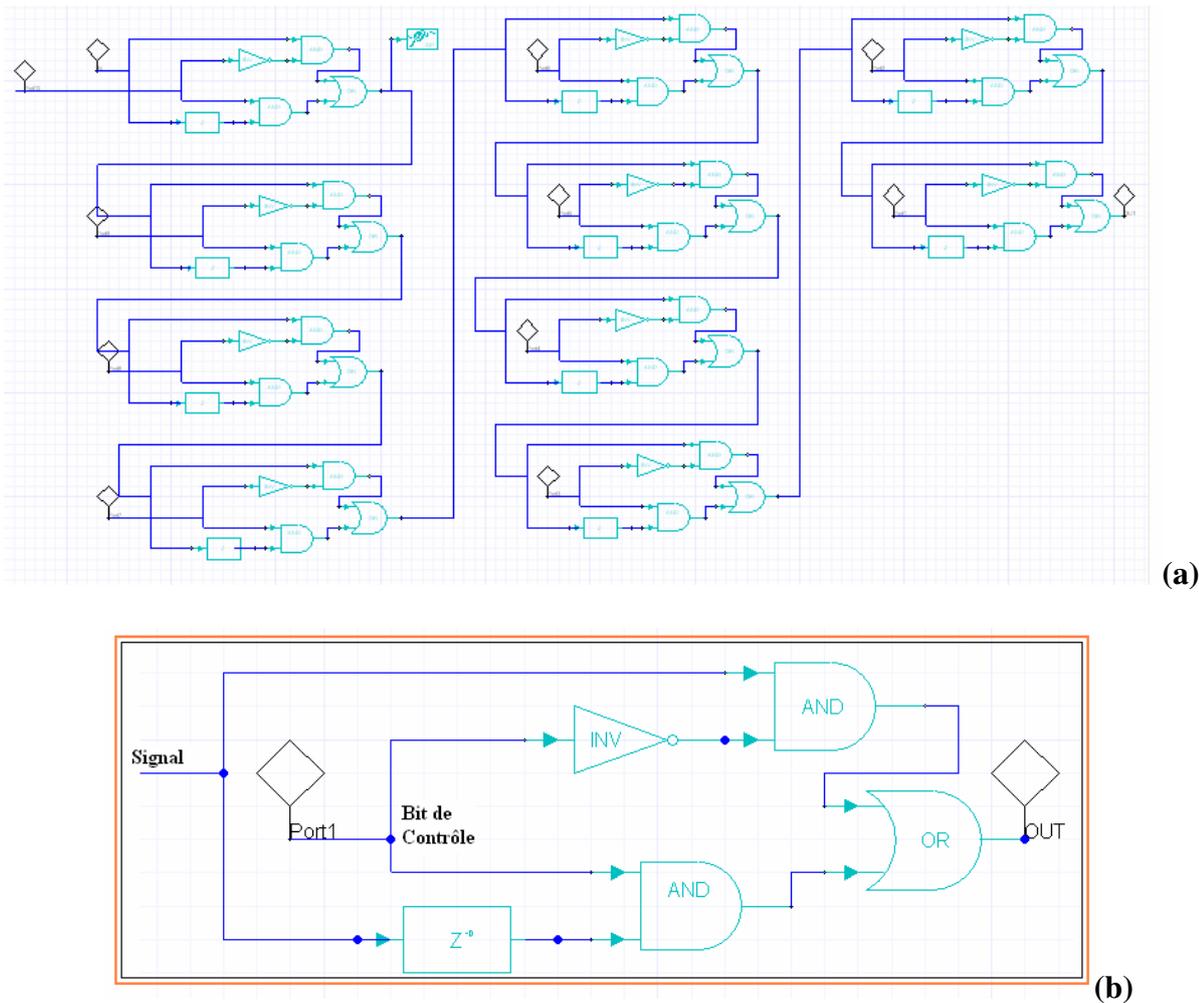


Figura 33 – (a) **Gerador de atrasos.** O circuito é composto de *switchs* digitais, em que cada *switch* é comandado por um bit. O tempo de atraso do sinal no bloco depende do caminho imposto pela sequência de bits que é inserida na entrada.
(b) Detalhe do *switch* realizado a partir de componentes lógicos. Em cada *switch* o sinal pode passar por um caminho direto ou um caminho comportando um atraso (criado pelo bloco Z^{-D}). O atraso correspondente ao bit D_n é igual a $2^n \cdot 10$ ps, o que está conforme a Tabela 5.

A Figura 34 apresenta o resultado de simulação obtidos: pode-se ver os impulsos enviados, o sinal de relógio com a frequência dividida por 128 (clk'), o sinal de amostragem, e a saída do gerador de atrasos. Para tornar a figura mais legível, o sinal clk' sofre um atraso com um passo de 10ps para cada envio.

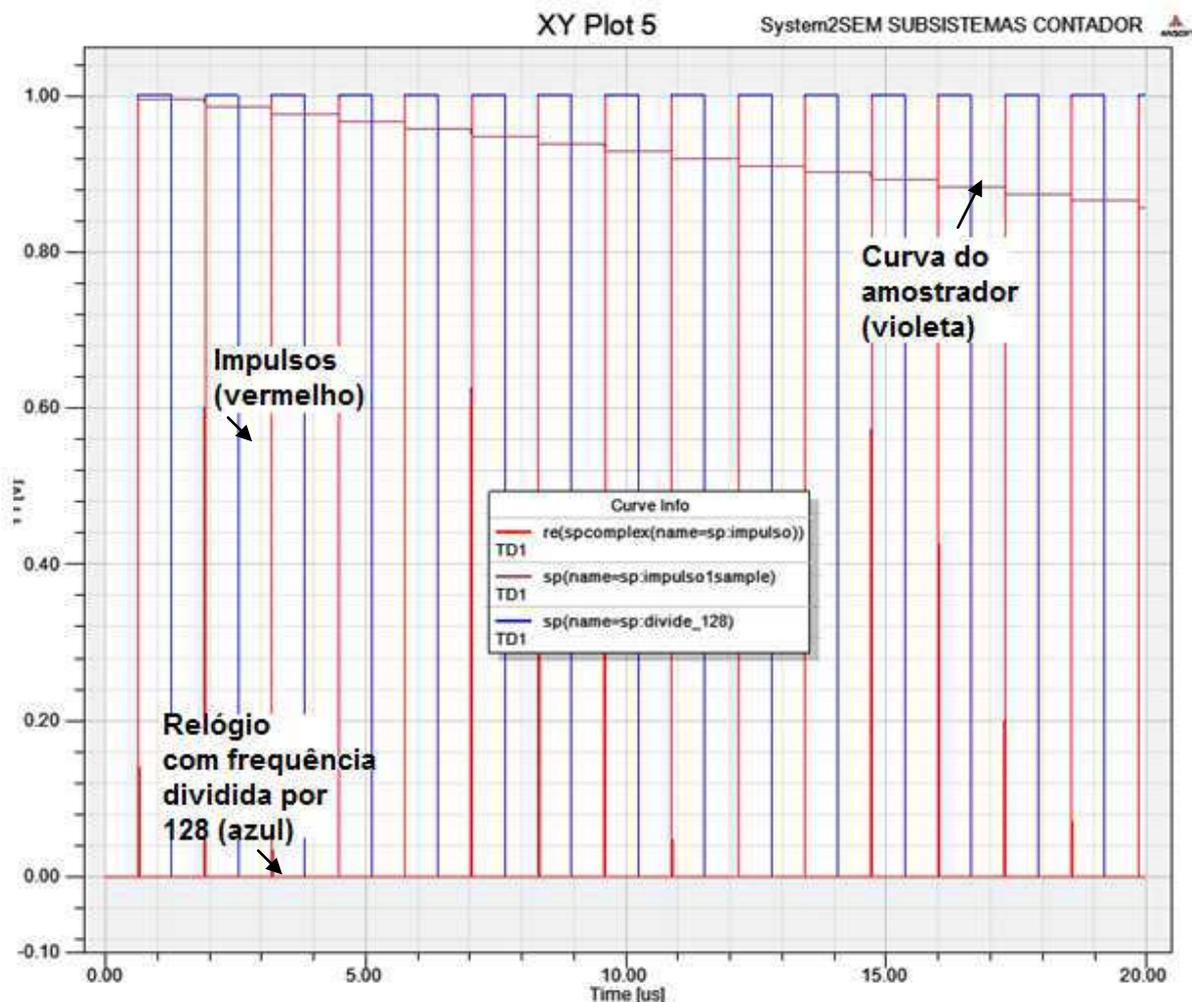


Figura 34 – Resultado da simulação com Ansoft Designer para o circuito de amostragem em tempo equivalente. Os impulsos (em vermelho) são enviados a cada subida do relógio (em azul) e para cada envio o amostrador tem seu tempo de gatilho atrasado de 10ps, de modo que ele captura uma nova posição do impulso (o que é mostrado pela curva violeta).

A simulação dá uma ideia clara do funcionamento do circuito para a realização do leitor. Simulações mais realistas podem ser obtidas adicionando ao modelo ruído, ou ainda procurando usar um sinal de impulso mais próximo do sinal real.

3.2.2 Programação do FPGA

O relógio, o PLL, os contadores, as entradas para o comando do gerador de atrasos, o conversor D/A assim como as saídas do conversor A/D são realizados com uma placa de desenvolvimento Nexys2, comportando um FPGA Xilinx Spartan 3E. Esse dispositivo é programável com o uso da linguagem de programação VHDL, com ajuda do software Xilinx ISE Design Suite. O uso de um FPGA se faz devido a sua flexibilidade de utilização,

Concepção e Caracterização dos Leitores

permitindo, principalmente, reprogramar com facilidade o funcionamento do circuito e ainda mostrar uma robustez para realizar funções de tratamento do sinal.

VHDL é uma linguagem de descrição material, destinada a representar o comportamento assim como a arquitetura de um sistema eletrônico digital. O interesse de uma tal descrição reside no seu caráter executável: a especificação descrita em VHDL pode ser verificada por simulação, antes que a concepção detalhada esteja terminada. Além disso, as ferramentas de concepção assistida por computador permitem passar diretamente de uma descrição funcional em VHDL a um esquema de portas lógicas.

A placa Nexys 2 tem um relógio interno de 50MHz, que pode ser dobrado ou quadruplicado por um bloco PPL. Há duas alimentações de 3,3V e uma de 5V, assim como 42 pinos de plano de terra e 75 E/S roteadas a um conector de extensão Hirose FX2. Esse conector permite fazer a ligação entre o FPGA e o circuito impresso que comportará as outras funções do leitor. A Figura 35 mostra a placa FPGA utilizada.

A programação foi feita selecionando os pinos a serem usados a partir do documento de configuração específica do Nexys2 que contém todas as posições dos pinos sobre o FPGA. A escolha dos pinos é descrita no Anexo C, seus nomes foram modificados para corresponder aos nomes dos sinais usados no programa em VHDL desenvolvido.

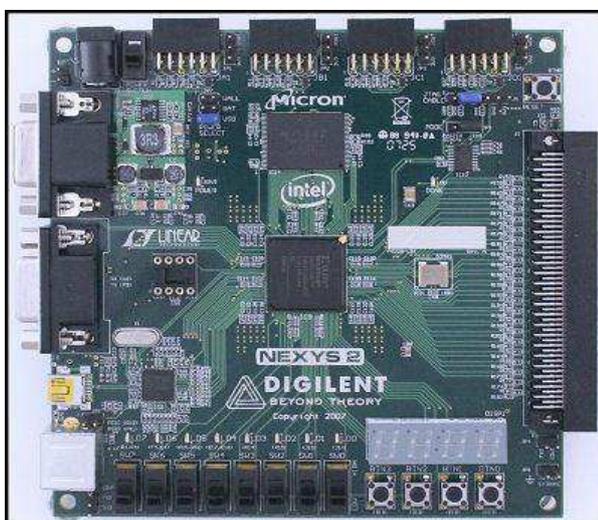


Figura 35 – Placa FPGA Nexys2, da Digilent.

3.2.3 Roteamento da placa de circuito impresso

Os conversores A/D e D/A, o gerador de atrasos e elementos passivos (capacitores e resistores) são roteados sobre uma placa. Essa placa também tem a função de fazer a conexão de diferentes dispositivos que não são integrados diretamente sobre o circuito impresso, por de conectores SMA. Esses dispositivos externos são: o amostrador, o gerador de impulsos e a

Concepção e Caracterização dos Leitores

saída do D/A para ser conectada ao aparelho de medida. Esse trabalho foi realizado com assistência do *software* de roteamento KiCAD.

Para essa parte, foi necessário compreender bem as folhas de dados de todos os componentes em questão, de maneira a poder levar em conta as especificações associadas a cada elemento. Capacitâncias e resistências foram conectadas aos conversores, conforme as indicações para que tivessem funcionamentos desejados.

O gerador de atrasos entrega sinais no formato ECL (*emitter-coupled logic*), o que permite que os sinais de alta frequência possam se propagar com um *overshoot* e reflexões reduzidos.

O conversor A/D funciona com uma alimentação de 3,3 V. Ele usa uma referência interna de 0,5 V e uma entrada analógica diferencial. O modo de funcionamento usando um estabilizador de *duty cycle* e código binário *offset* foi escolhido. O nível da entrada analógica foi fixado em 2 V_{p-p} para obter uma melhor qualidade da razão sinal-ruído. Após a concepção da placa, viu-se que era necessário adicionar um comparador para o sinal de relógio do conversor, devido ao fato de que o nível do sinal (ECL) na saída do gerador de atrasos era incompatível com a entrada do relógio do conversor A/D (LVTTTL).

Para o conversor D/A, utilizou-se alimentações de 3,3 V (para a parte digital do circuito) e 5V (para a parte analógica), fornecidas pelo FPGA. Escolheu-se utilizar a referência interna de 1,2 V fornecida internamente pelo CI e utilizar as saídas diferenciais do D/A ligadas a um amplificador diferencial.

Visto que se trata de um sistema de precisão, há pontos essenciais no âmbito de compatibilidade eletromagnética a considerar:

- A utilização de uma placa de dupla face, devido ao grande número de sinais a rotear, e para ter uma placa de tamanho reduzido;
- Os caminhos dos sinais de dados entre o FPGA, conversores e gerador de atrasos devem ser os mais curtos possíveis;
- Os dispositivos externos à placa são conectados por um cabo SMA de impedância 50 ohms. As linhas para os sinais roteados a Esses dispositivos são adaptados a 50 ohms, segundo a teoria de linhas de microfita (Anexo D). Com um substrato de 0,8 mm e uma constante dielétrica de 4,6 a largura W das linhas é aproximadamente de 1,47 mm.
- Assegurou-se a presença de um plano de terra cobrindo o máximo possível da superfície da placa, assim como uma boa equipotencialidade do plano de

Concepção e Caracterização dos Leitores

terra, ligando os planos de terra de ambas as faces da placa, para reduzir o ruído.

- Considera-se o tempo de retardo dos sinais devido ao comprimento dos caminhos, então o caminho para os dois relógios de saída do gerador de atrasos têm exatamente o mesmo comprimento.
- Para limitar a distorção dos sinais mais importantes, Estes devem estar roteados sobre uma mesma face da placa. Interessou-se também em reduzir ao máximo os efeitos de *crosstalk* entre os sinais, mantendo uma maior distância entre as linhas, quando possível.
- Os pinos de terra foram todos ligados ao plano de terra da placa. As conexões entre os planos de terra das duas camadas foram feitas para diminuir a diferença potencial. As duas alimentações de 3,3 V do FPGA foram ligadas de maneira a não ter quedas de tensão.

As etapas relacionadas à utilização do *software* KiCAD são descritas em sequência:

- As conexões elétricas entre os elementos do circuito são feitas com o módulo EESchema (Figura 36). Para essa parte, todos os blocos foram criados pois não existiam dentro da biblioteca do *software*.
- Uma vez as conexões estabelecidas, a escolha do formato físico (ou “pegada”) de cada elemento é feita com o módulo CvPCB (Figura 37). Nesse caso, também foi necessário criar as “pegadas” dos componentes usados (exceto para os passivos).
- Para terminar, com o módulo PCBNew do KiCAD, realizou-se o esquema físico do roteamento. Depois de posicionados todos os componentes, efetuamos o roteamento entre eles e escolhemos as dimensões das pistas metálicas. Nesse ponto, todas as considerações físicas detalhadas foram levadas em conta, como pode ser visto na Figura 38.

Concepção e Caracterização dos Leitores

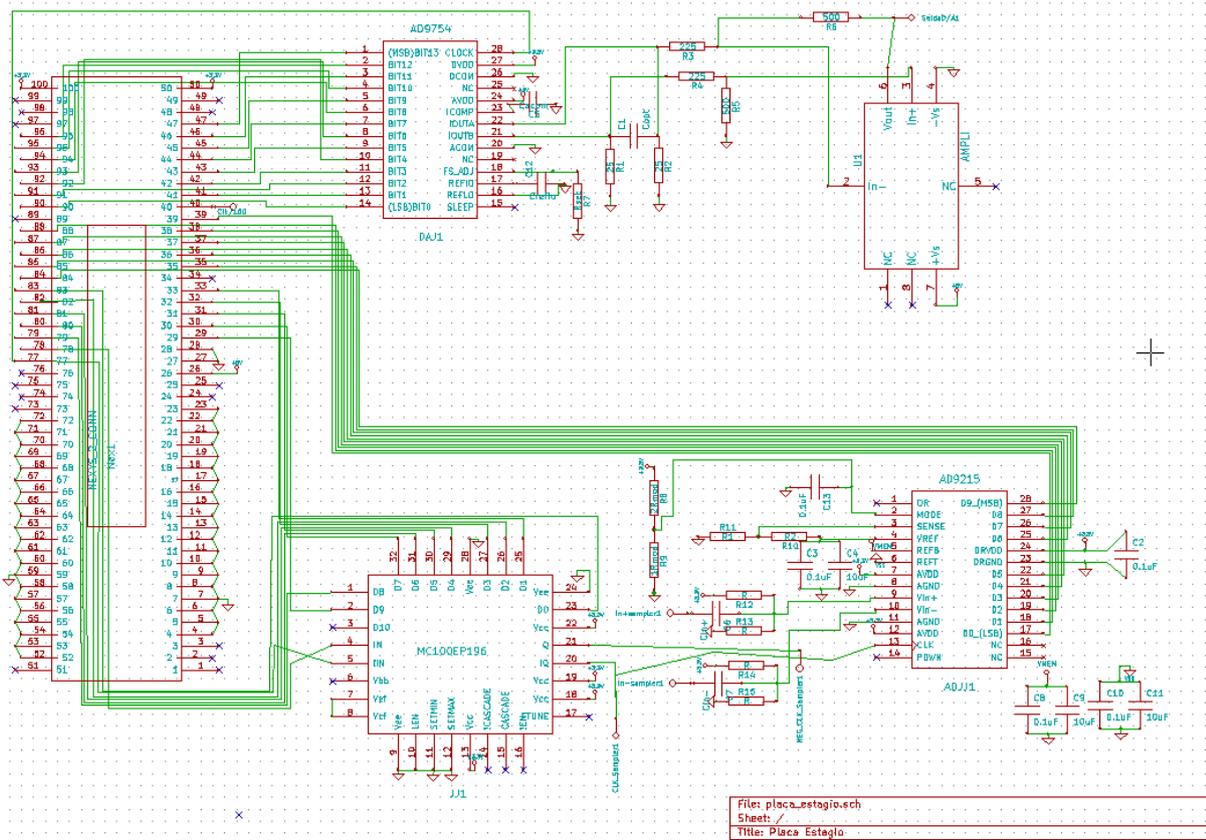


Figura 36 – Esquema das conexões dos elementos do circuito impresso com o software KiCAD (EESchema).

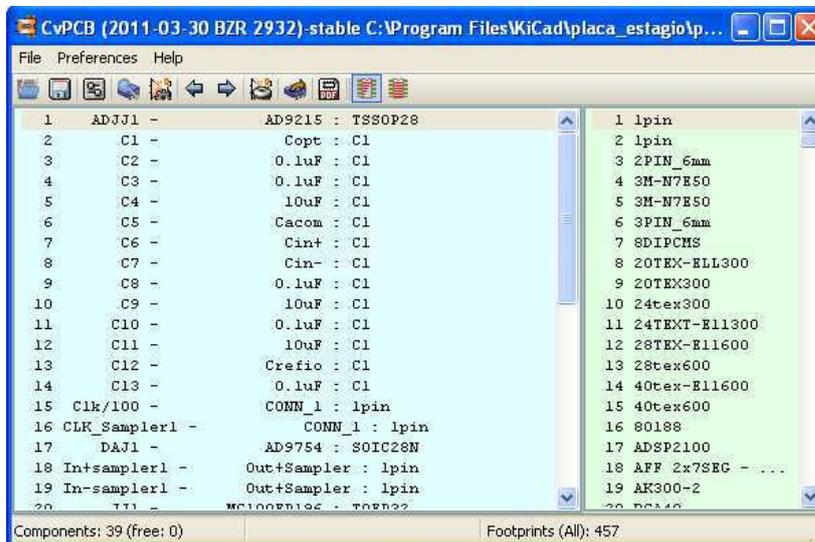


Figura 37 – Escolha dos formatos físicos dos componentes do circuito com KiCAD (CvPCB).

Concepção e Caracterização dos Leitores

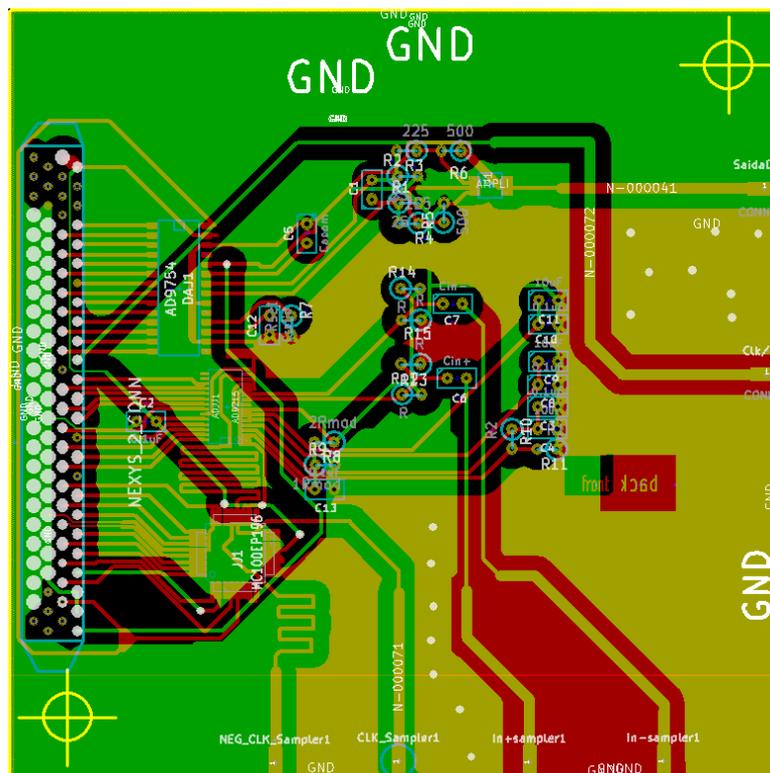


Figura 38 – Esquema físico do circuito impresso realizado com KiCAD (PCBNew).

Após a elaboração da placa, ela foi construída sobre um substrato FR4 de 0,8 mm pela empresa CIRE, empresa especializada na fabricação de circuitos impressos. Os elementos foram soldados no laboratório. O circuito realizado é mostrado na Figura 39 (a,b).

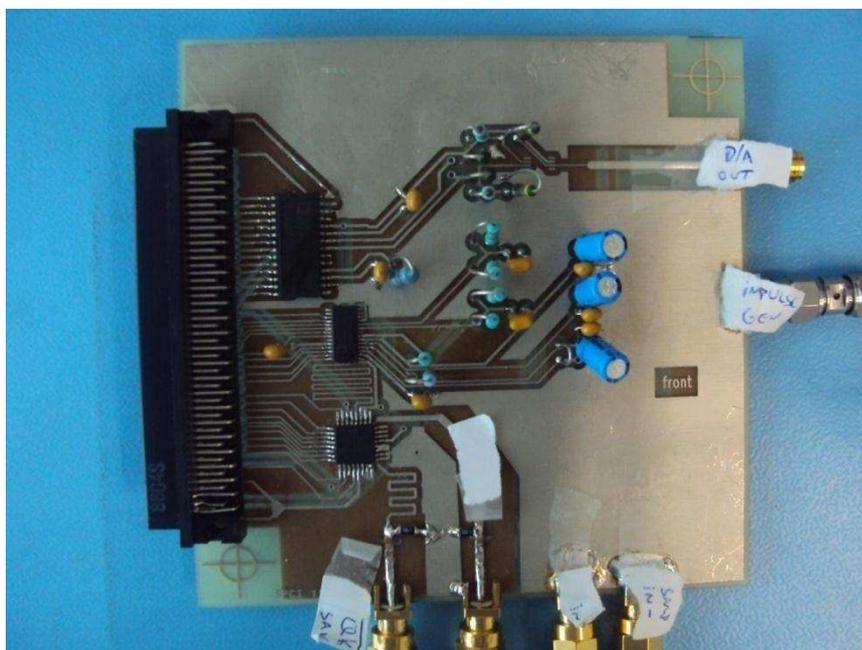


Figura 39 (a) – Circuito impresso desenvolvido com KiCAD, fabricado pela empresa CIRE e soldado no laboratório LCIS (frente).

Concepção e Caracterização dos Leitores

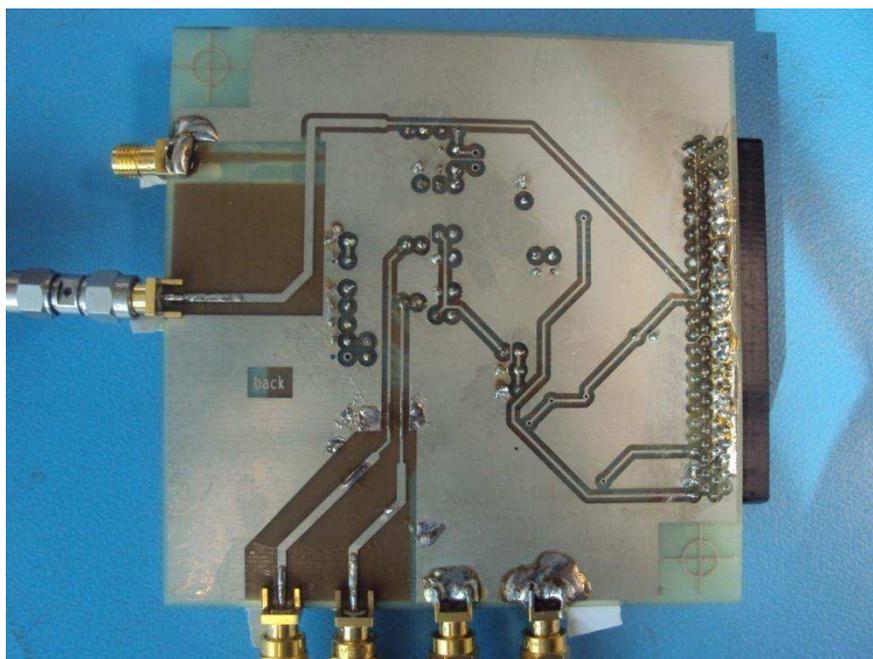


Figura 39 (b) – Circuito impresso desenvolvido com KiCAD, fabricado pela empresa CIRE e soldado no laboratório LCIS (verso).

3.2.4 Resultado Final

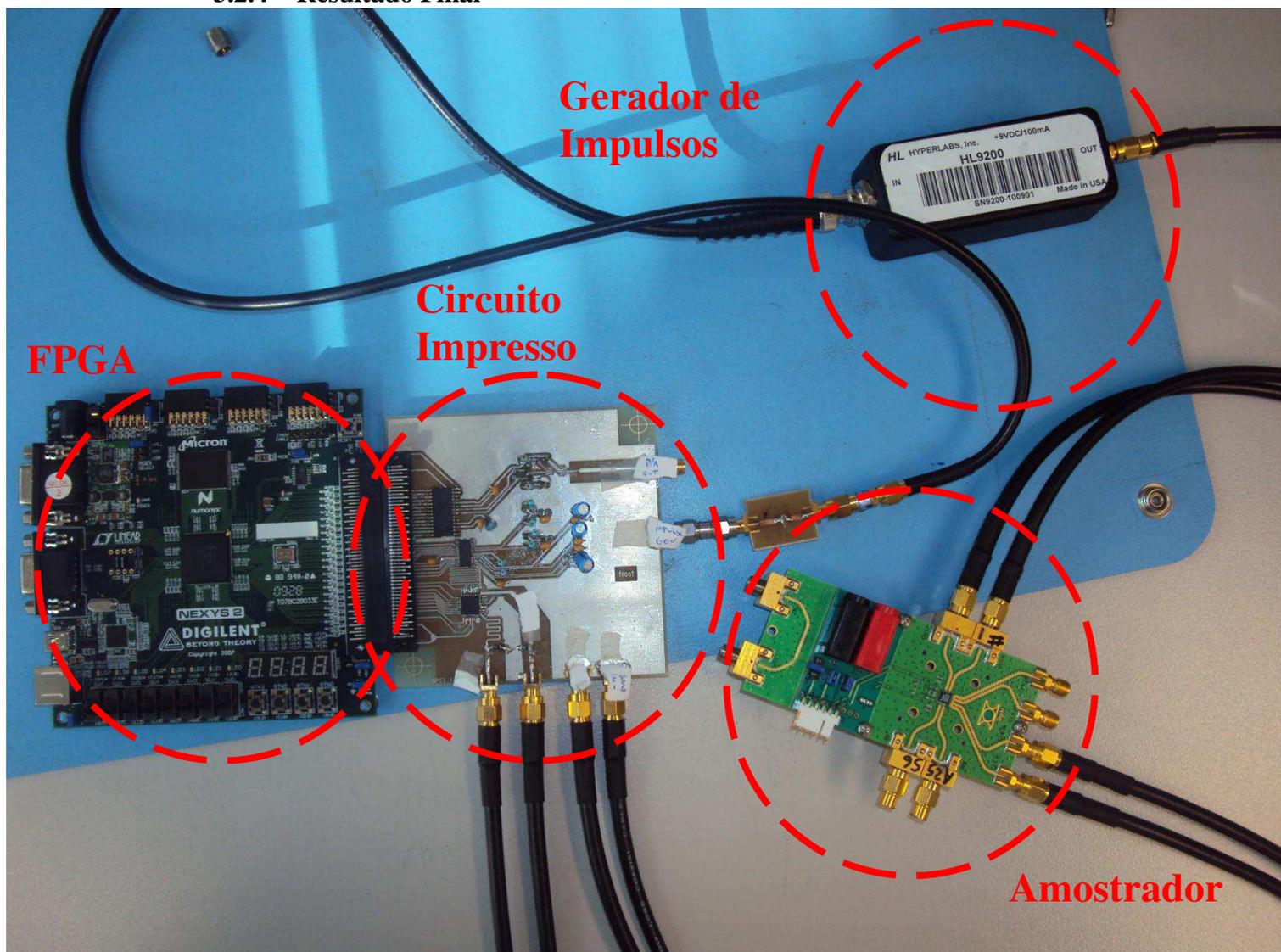


Figura 40 – Protótipo completo, com a placa do FPGA, placa de roteamento elaborada, o amostrador e o gerador de impulsos.

3.3 Caracterização dos Dispositivos

A caracterização do protótipo foi feita por etapas para garantir o bom funcionamento do circuito final:

- A verificação do esquema de roteamento para garantir que o circuito é similar ao encomendado à empresa de fabricação de CIs.
- A verificação das soldas, checando todas as ligações a cada componente e verificando especialmente se na havia curtos-circuitos indesejáveis.
- Todas as alimentações de 5 V e 3,3 V e os planos de terra foram verificados no circuito impresso, assim como a alimentação de todos os componentes (5 V para o FPGA, 9 B para o gerador de impulsos e 5,2 V para o amostrador).

Concepção e Caracterização dos Leitores

- A verificação do gerador de impulsos adquirido. Mediu-se a duração do sinal assim como a banda de frequência que ele ocupa (Figura 41). Também se verificou se o sinal de relógio era capaz de controlar o envio de impulsos. A duração do impulso é de aproximadamente 2,7 ns e seu espectro ocupa uma faixa entre 0,5 GHz e 9,68 GHz com potência acima de -47 dBm. Usando-se uma configuração com um filtro ativo, pode-se modificar a forma do espectro para que esse seja compatível com as normas.
- Para verificar o funcionamento do amostrador, testou-se diversos sinais (quadrado, triangular, senoidal) mudando suas frequências e amplitudes (Figura 42).
- Em seguida, validou-se a conexão entre o FPGA e a placa fabricada. Verificou-se os sinais transitando pelos pinos do conector Hirose.
 - Verificou-se primeiro o sinal de relógio e o sinal de comando do gerador de impulsos.
 - Validou-se o gerador de atrasos observando-se a saída enquanto o contador mudava de estado. Na Figura 43 (a,b c) vê-se a variação da posição do relógio em relação ao impulso no osciloscópio. As imagens mostram um passo de deslocamento do relógio de 300ps para que o funcionamento do relógio possa ser visto. A frequência do relógio é a frequência interna do FPGA, de 50 MHz.

Concepção e Caracterização dos Leitores

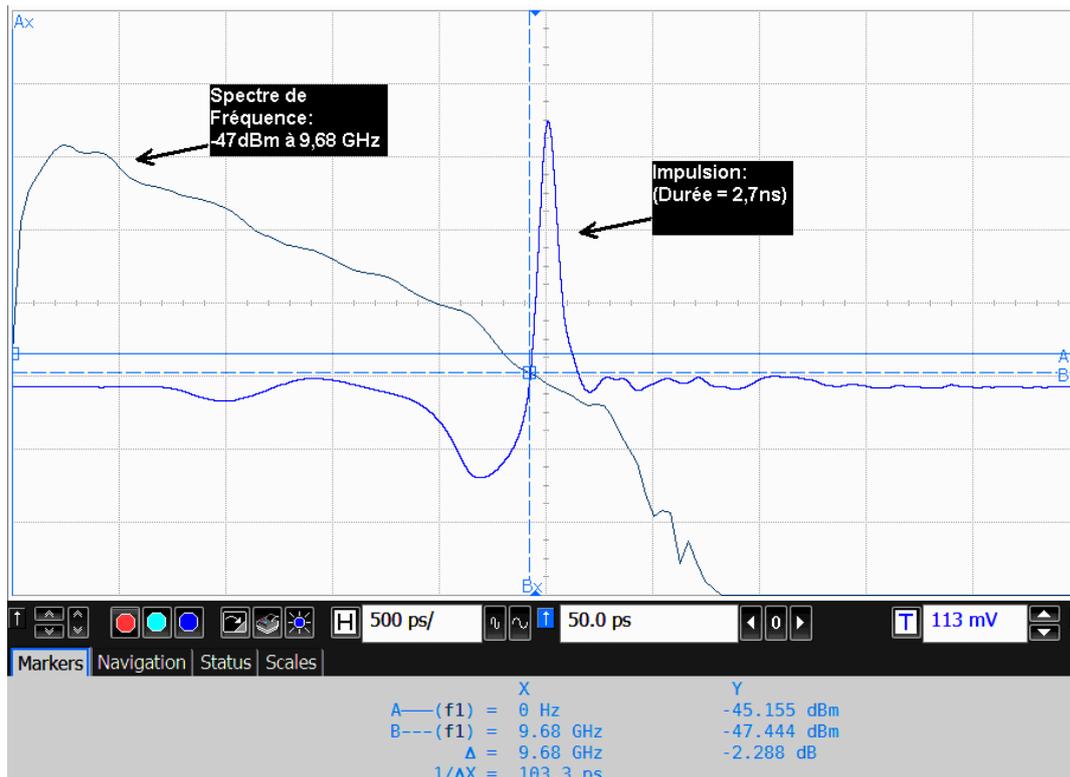


Figura 41 – O impulso enviado pelo gerador de impulsos e o espectro em frequência do impulso. O impulso tem duração aproximada de 2,7 ns e seu espectro ocupa uma banda de cerca de 10 GHz.

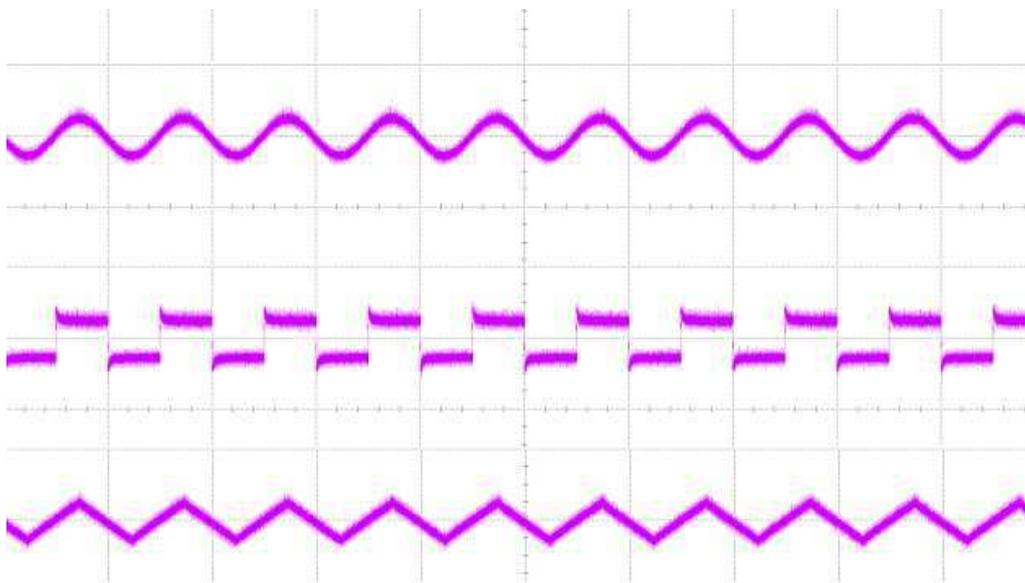


Figura 42 – Amostragem dos sinais senoidal, quadrado e triangular de frequência 100 kHz com o amostrador HL9200 com um relógio de 50 MHz.

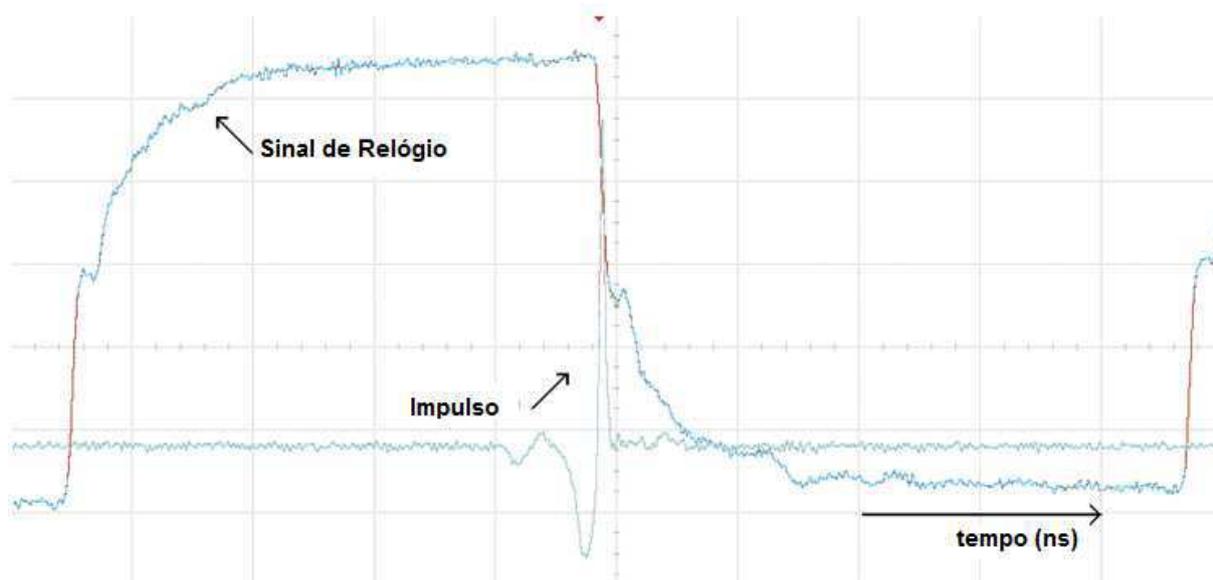


Figura 43 (a) – Sinal de relógio atrasado na saída do gerador de atrasos visto no osciloscópio. Vê-se que a descida do relógio está sobre o pico do impulso.

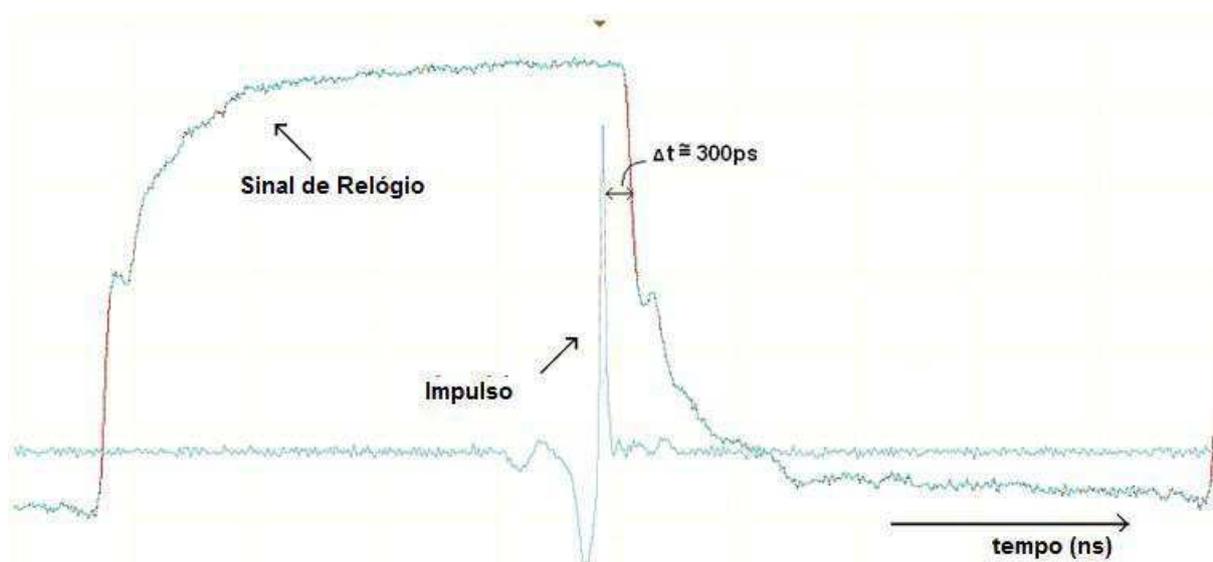


Figura 43 (b) – Sinal de relógio atrasado na saída do gerador de atrasos visto no osciloscópio. Vê-se que o relógio foi deslocado de 300 ps.

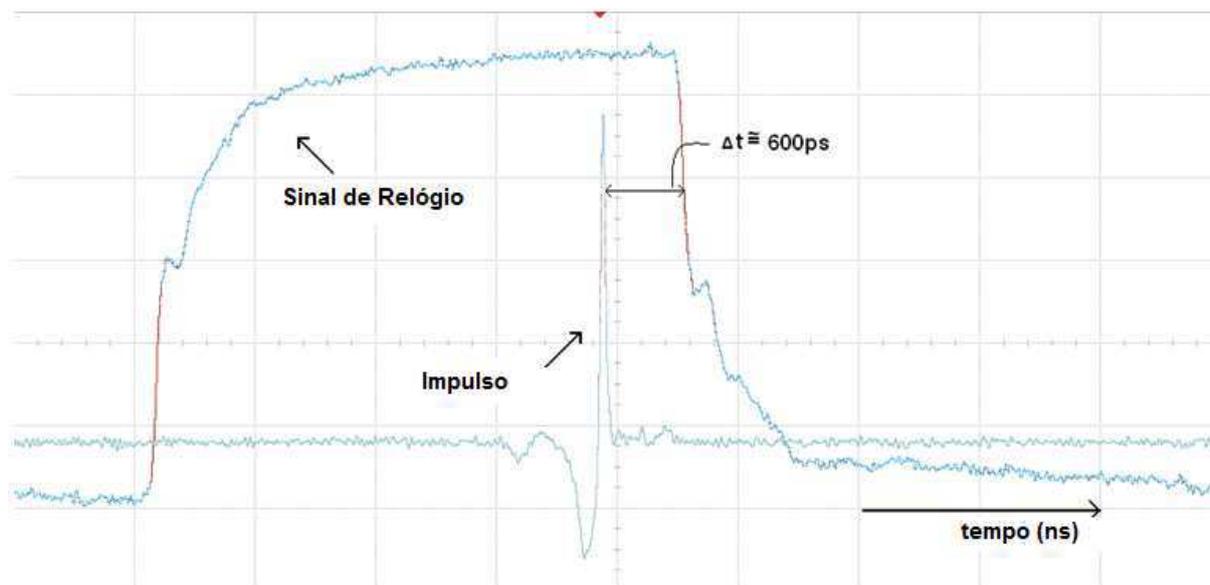


Figura 43 (c) – Sinal de relógio atrasado na saída do gerador de atrasos visto no osciloscópio.

Foram feitas leituras preliminares com o protótipo de leitor desenvolvido, para uma etiqueta fabricada no laboratório, de área $20 \times 20 \text{cm}^2$. A etiqueta em questão tem seis frequências de ressonância, de 3 a 5,52 GHz e pode ser vista na Figura 44.



Figura 44 - Etiqueta de área $20 \times 20 \text{cm}^2$ usada para avaliação do funcionamento do leitor.

A medição foi feita em uma câmara anecóica, com uma distância de 50 cm entre a etiqueta e a antena do leitor. Na Figura 45 pode ser vista a resposta temporal da leitura da etiqueta. Para a obtenção dessa leitura, é subtraída a medida realizada em vazio da medida realizada com a presença da etiqueta.

Na Figura 46 pode-se ver o resultado em frequência da leitura da etiqueta (RCS), observando bem as seis frequências de ressonância correspondentes aos *bits* de informação contidos na etiqueta.

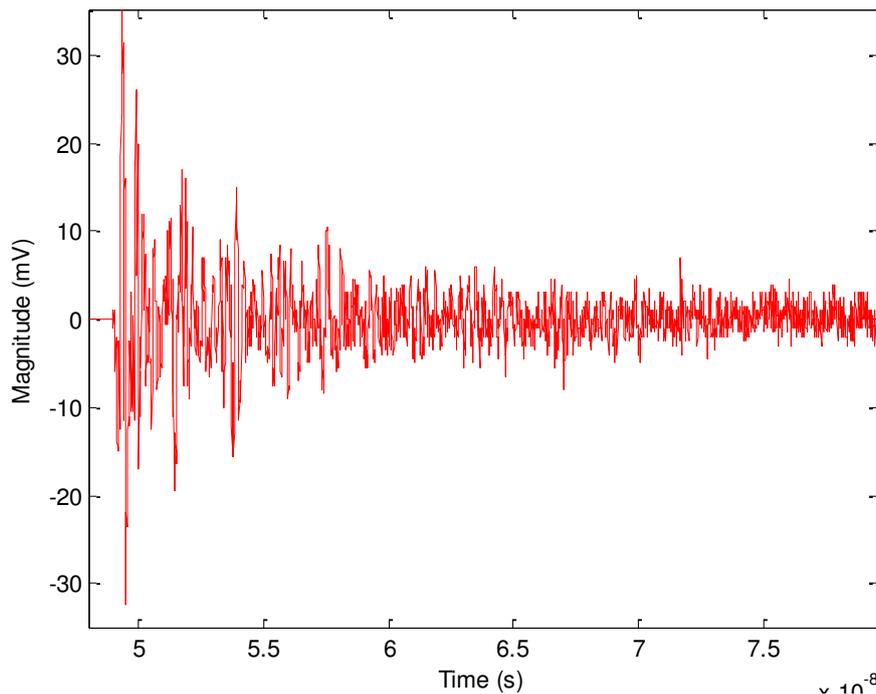


Figura 45 – Resposta temporal subtraída do ambiente em vazio, para o leitor fabricado.

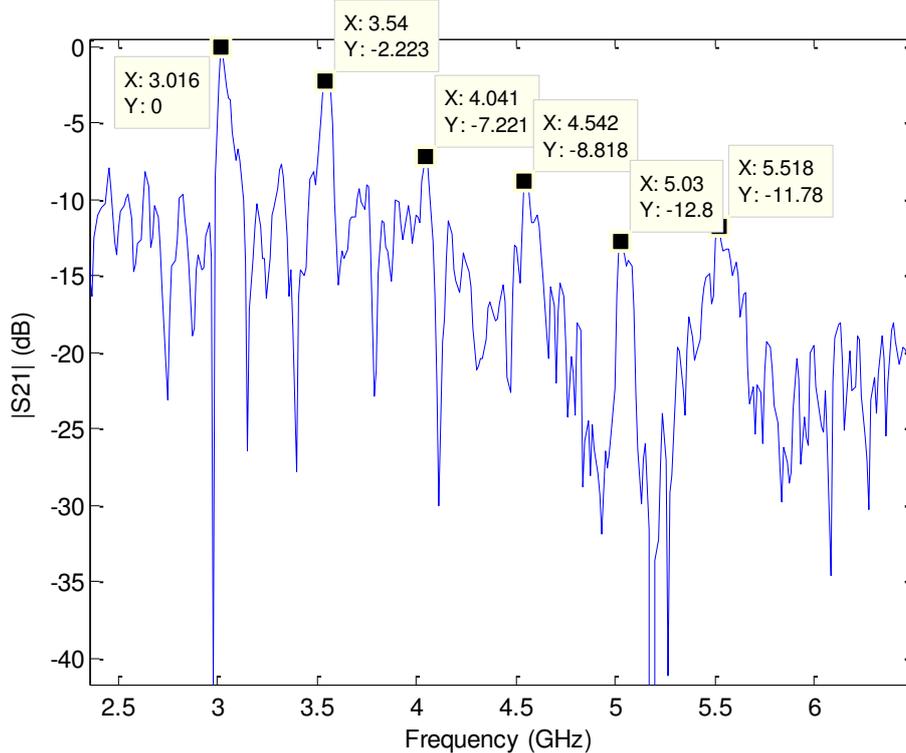


Figura 46 – Resposta frequencial, para a leitura feita pelo leitor fabricado. Ressonâncias em (GHz): 3.016; 3.54; 4.041; 5.542; 5.03; 5.518.

Concepção e Caracterização dos Leitores

3.4 Conclusão

Essa seção apresenta a concepção do protótipo de um leitor RFID sem *chip* baseado na abordagem temporal. Esse dispositivo envia um impulso curto e recupera o sinal refletido da etiqueta realizando uma amostragem em tempo equivalente do sinal.

A concepção do protótipo exigiu o uso de diversas ferramentas: uma simulação foi feita com o Ansoft Designer; a programação de um FPGA foi realizada em linguagem VHDL e um circuito impresso foi construído com ajuda do *software* KiCAD.

Para verificar o protótipo, uma série de procedimentos foi seguida de forma a validar o funcionamento de cada bloco do dispositivo. Em seguida, um trabalho suplementar consiste em automatizar a medida de etiquetas sem *chip* com o protótipo desenvolvido e os radares UWB e FMCW selecionados.

Referências Bibliográficas

ETSI. **ETSI Official Website**. Disponível em <<http://www.etsi.org>>. Acessado em 3 de junho de 2011.

FCC. **FCC Official Website**. Disponível em: <<http://www.fcc.gov>>. Acessado em 3 de junho de 2011.

FINKENZELLER, K. **RFID Handbook**, 2. ed. John Wiley & Sons. Munich, 2003.

HARTMANN, C. S. **A global SAW ID Tag with Large Data Capacity**. IEEE Ultrasonics Symposium. USA, 2002.

JALALY I., ROBERTSON I. D. **RF Barcodes using Multiple Frequency Bands**. UK, 2005

PRERADOVIC S., BALBINI., KARMAKAR N. **The Development and Design of a Novel Chipless RFID System for Low-Cost Item Tracking**. Monash University, Australia, 2008.

RFID Solutions Online. Disponível em <<http://www.rfidsolutionsonline.com>>. Acessado em 3 de junho de 2011.

VENA, A.; PERRET, E.; TEDJINI, S. **Nouvelle Génération de Tags RFID sans Puce**. 17èmes Journées Nationales Microondes, Brest, 2011.

ZHANG L., RODRIGUEZ S., TENHUNEN H., ZHENG L. R. **An Innovative Fully Printable RFID Technology Based on High Speed Time-Domain Reflections**. Proceedings of HDP, Chine, 2006.

Agilent Technologies **What is the difference between an equivalent time sampling oscilloscope and a real-time oscilloscope: Application note 1608**. Disponível em <<http://cp.literature.agilent.com/litweb/pdf/5989-8794EN.pdf>>. Acessado em 8 de junho de 2011.

Novelda. **Nanoscale Impulse Radar**. Disponível em <<http://www.novelda.no/>>. Acessado em 8 de junho de 2011.

On Semiconductors. **MC100EP196 Datasheet**. Disponível em: <http://pdf1.alldatasheet.com/datasheet-pdf/view/120643/ONSEMI/MC100EP196.html>>. Acessado em 8 de junho de 2011.

PRERADOVIC S. **Chipless RFID System for Barcode Replacement**. Monash University, 2009.

PRERADOVIC S., KARKAMAR N. C. **Design of Short Range Chipless RFID Reader Prototype**. ISSNIP, Australia, 2009.

S., KARKAMAR N. C. ZENERE M. **UWB Chipless Tag RFID Reader Design**. IEEE International Conference on RFID-Technology and Applications, China, 2010.

Sivers IMA. **FMCW Radar Sensor Front Ends**. Disponível em <<http://www.siversima.com/products/fmcw-sensor-front-ends>>. Acessado em 8 de junho de 2011..

VOYER M. D. **Modélisation électromagnétique par changement d'échelle appliquée aux structures fractales planaires**. Ecole doctorale GEET, France 2005

Analog Devices. Analog Devices. **AD9215 A/D Converter Datasheet**. Disponível em: <http://www.analog.com/static/imported-files/data_sheets/AD9215.pdf>. Acessado em 10 de junho de 2011.

Analog Devices. **AD9754 D/A Converter Datasheet**. Disponível em: <http://www.analog.com/static/imported-files/data_sheets/AD9754.pdf>. Acessado em 10 de junho de 2011.

Digilent Inc. **Digilent Nexys2 Reference Manual**. Disponível em: <<http://www.digilentinc.com>>. Acessado em 10 de junho de 2011.

(JAHSHAN, 2011) JAHSHAN D. **KiCad Step by Step Tutorial**. Phil Hutchinson, USA, 2011.

On Semiconductors. **MC100EP196 Datasheet**. Disponível em: <<http://pdf1.alldatasheet.com/datasheet-pdf/view/120643/ONSEMI/MC100EP196.html>>. Acessado em 10 de junho de 2011.

Wikipédia. **VHDL**. Disponível em: <<http://fr.wikipedia.org/wiki/VHDL>> Acessado em 10 de junho de 2011.

Conclusões Gerais e Perspectivas

Esse estágio multidisciplinar consistiu em colocar em prática os seguintes pontos:

Um estado da arte sobre dispositivos de leitura em RFID sem *chip*, a pesquisa de documentos técnicos e científicos; a compreensão da tecnologia RFID sem *chip* (etiquetas, interesse na tecnologia, a necessidade de um leitor específico).

O aprendizado das regras referentes a comunicações, mais especificamente a tecnologia UWB.

O aprendizado sobre a arquitetura material que compõe um leitor, cobrindo duas abordagens – frequencial e temporal.

A aplicação dos conhecimentos práticos de engenharia – utilização de folhas de dados, funcionamento dos conversores de dados, solda de componentes do circuito, fabricação do circuito impresso, validação do protótipo, funcionamento de base de uma empresa, a comunicação com outras sociedades e a manipulação de aparelhos de medida.

A aquisição de um radar FMCW e um radar UWB (o que implicou no estudo do funcionamento de ambos os aparelhos, compreensão dos detalhes técnicos, em conversas com os fabricantes assim como a apresentação dos produtos internamente, para motivar decisões de compra).

Uma grande parte do projeto foi a construção de um protótipo do leitor de etiquetas RFID sem *chip* (o que implicou no aprendizado dos *softwares* Ansoft Designer e KiCAD e da linguagem VHDL).

As perspectivas para os próximos trabalhos são de automatizar as medições com os dois dispositivos caracterizados para comparar os resultados de RCS de diferentes etiquetas sem *chip*.

Revisão Financeira

Estimação Financeira		
Descrição dos gastos		Custo estimado
Burocrático	Estrutura Física	250,00€*
	Material de escritório	100,00€
Salário de Estagiário	(5 meses)	2750 €
Gerador de Impulsos	HL9200	700 €
Amostrador	INPHI	1469 €
Componentes Passivos	Condensadores, resistores, cabos e conectores	150 €
Componentes ativos	Gerador de atrasos, amplificador, comparador	200 €
Fabricação de um circuito impresso	CIRE	200 €
Radar FMCW	Sivers IMA	617 €
TOTAL		6.436 €

*Valores equivalentes a 5 meses de uso

ANEXOS

ANEXO A – Leitor Baseado na abordagem frequencial

Tabela A.1 – Componentes para um leitor baseado na abordagem frequencial.

SEÇÃO RF	Nome	Frequência (GHz)	Preço
YIG	Teledyne FS1021C	2 -10	45+2035 €
	AD8302ARUZ	LF-2.7	15.18\$
Mixer (2x)	ZX05-14+	3.7 – 10	47.95\$
	MC0512-XX SMA-F'S (10dB)	0.5 – 12.4	350 \$
Filtro (2x)	LFCN 2500	DC – 2.5	1,99 \$
LO	RFVC1801	5 - 10	95\$
Gain Block (2x)	CGB7001-BD	DC - 6	5.32 €
Total	2505 €		

ANEXO B – Gerador de Retardos Programável MC100EP196

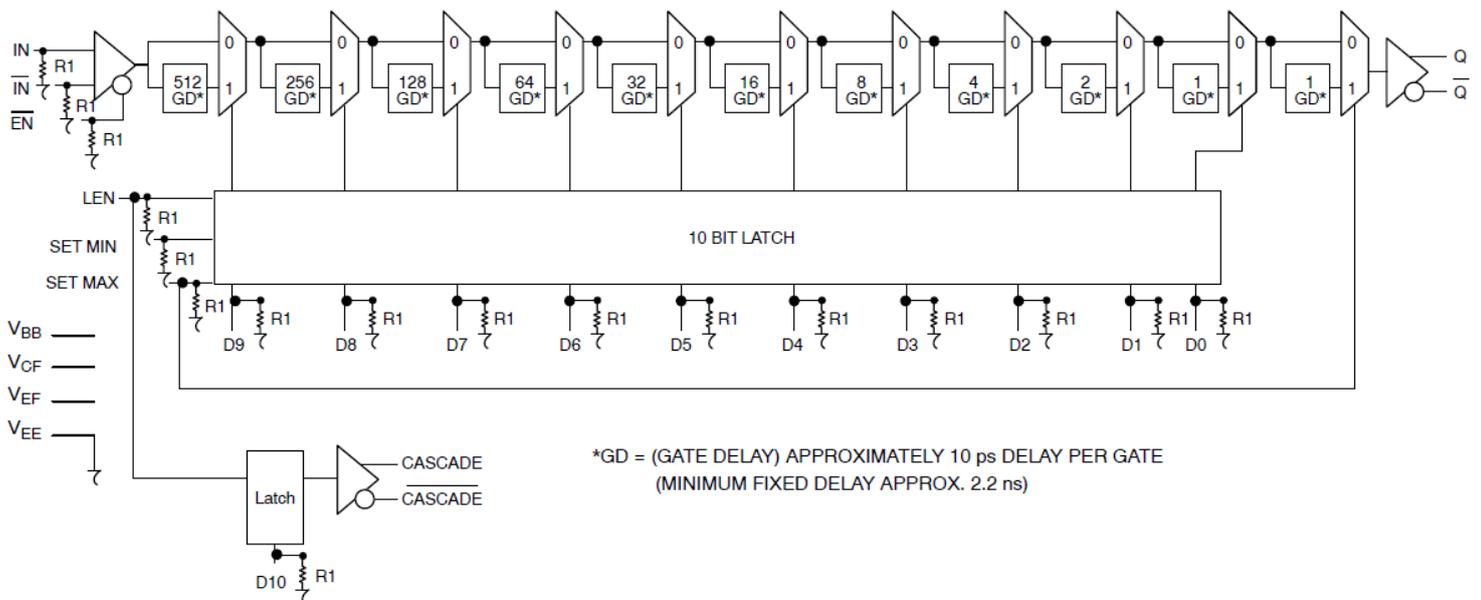


Figura B.1- Esquema de princípio do gerador de atrasos programável MC100EP196.

Tabela B.1–Valores de atraso (ps) do gerador de atrasosMC100EP196para cada *bit* de comando D(9:0).

D(9:0) Value	SETMIN	SETMAX	Programmable Delay*
XXXXXXXXXX	H	L	0 ps
000000000	L	L	0 ps
000000001	L	L	10 ps
000000010	L	L	20 ps
000000011	L	L	30 ps
000000100	L	L	40 ps
000000101	L	L	50 ps
000000110	L	L	60 ps
000000111	L	L	70 ps
000001000	L	L	80 ps
0000010000	L	L	160 ps
0000100000	L	L	320 ps
0001000000	L	L	640 ps
0010000000	L	L	1280 ps
0100000000	L	L	2560 ps
1000000000	L	L	5120 ps
1111111111	L	L	10230 ps
XXXXXXXXXX	L	H	10240 ps

ANEXO C – Configuração dos pinos do FPGA utilizados para o circuito do protótipo de leitor.



Table 4: Hirose FX2 Connector Pin Assignments

J1A	Name	FPGA	J1B	Name	FPGA
1	VCC3V3		1	SHIELD	
2	VCC3V3		2	GND	
3	TMS	D15	3	TDO-ROM	
4	JTSEL		4	TCK	A17
5	TDO-FX2		5	GND	
6	FX2-IO1	B4	6	GND	
7	FX2-IO2	A4	7	GND	
8	FX2-IO3	C3	8	GND	
9	FX2-IO4	C4	9	GND	
10	FX2-IO5	B6	10	GND	
11	FX2-IO6	D5	11	GND	
12	FX2-IO7	C5	12	GND	
13	FX2-IO8	F7	13	GND	
14	FX2-IO9	E7	14	GND	
15	FX2-IO10	A6	15	GND	
16	FX2-IO11	C7	16	GND	
17	FX2-IO12	F8	17	GND	
18	FX2-IO13	D7	18	GND	
19	FX2-IO14	E8	19	GND	
20	FX2-IO15	E9	20	GND	
21	FX2-IO16	C9	21	GND	
22	FX2-IO17	A8	22	GND	
23	FX2-IO18	G9	23	GND	
24	FX2-IO19	F9	24	GND	
25	FX2-IO20	D10	25	GND	
26	FX2-IO21	A10	26	GND	
27	FX2-IO22	B10	27	GND	
28	FX2-IO23	A11	28	GND	
29	FX2-IO24	D11	29	GND	
30	FX2-IO25	E10	30	GND	
31	FX2-IO26	B11	31	GND	
32	FX2-IO27	C11	32	GND	
33	FX2-IO28	E11	33	GND	
34	FX2-IO29	F11	34	GND	
35	FX2-IO30	E12	35	GND	
36	FX2-IO31	F12	36	GND	
37	FX2-IO32	A13	37	GND	
38	FX2-IO33	B13	38	GND	
39	FX2-IO34	E13	39	GND	
40	FX2-IO35	A14	40	GND	
41	FX2-IO36	C14	41	GND	
42	FX2-IO37	D14	42	GND	
43	FX2-IO38	B14	43	GND	
44	FX2-IO39	A16	44	GND	
45	FX2-IO40	B16	45	GND	
46	GND		46	FX2-CLKIN	B9
47	FX2-CLKOUT	D9	47	GND	
48	GND		48	FX2-CLKIO	M9
49	VCCFX2		49	VCCFX2	
50	VCCFX2		50	SHIELD	

Alim. 3,3V → pins 1, 2

A l'entrée du convertisseur N/A → pins 8-19 (D13-D0)

A l'entrée du générateur d'impulsions → pin 20 (D0)

A la sortie du convertisseur A/N → pins 21-32 (D0-D9)

Bits de Contrôle du Générateur de délais → pins 33-43 (D0-D9)

Horloge → pins 46, 47

Alim. 5V → pins 49, 50

ANEXO D - Cálculo de uma microfita.

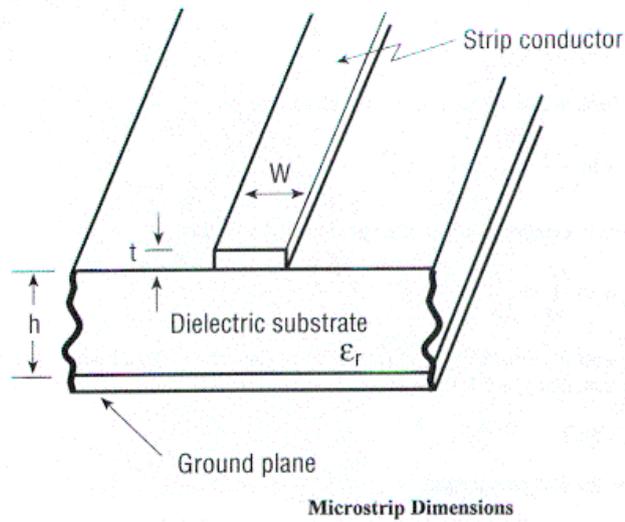


Figura D.1 – Dimensões de uma microfita.

Para obter a razão W/h para certa impedância Z_0 especificada, utiliza-se as equações empíricas:

$$\frac{W}{d} = \begin{cases} \frac{8.e^A}{e^{2A} - 2} & \text{Para } \frac{W}{d} \leq 2 \\ \frac{2}{\pi} \left[B - 1 - \ln(2B - 1) + \frac{\epsilon_r - 1}{2.\epsilon_r} \left\{ \ln(B - 1) + 0.39 - \frac{0.61}{\epsilon_r} \right\} \right] & \text{Para } \frac{W}{d} \geq 2 \end{cases}$$

em que A e B são:

$$A = \frac{Z_0}{60} \cdot \sqrt{\frac{\epsilon_r + 1}{2}} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \cdot \left(0,23 + \frac{0,11}{\epsilon_r} \right)$$

$$B = \frac{377.\pi}{2.Z_0.\sqrt{\epsilon_r}}$$

A partir destas equações, estabelecem-se os valores para a construção do circuito de microfita.