



Universidade Federal de Campina Grande - UFCG

Centro de Engenharia Elétrica e Informática

Departamento de Engenharia Elétrica

Ingrid Almeida Costa e Silva

**Estágio na empresa BrPhotonics: Estimação e otimização
de potência de um ASIC-DSP**

Campina Grande, Paraíba

Setembro de 2017

Ingrid Almeida Costa e Silva

Estágio na empresa BrPhotonics: Estimação e otimização de potência de um ASIC-DSP

Relatório de Estágio Integrado submetido à
Unidade Acadêmica de Engenharia Elétrica
da Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.

Universidade Federal de Campina Grande - UFCG

Centro de Engenharia Elétrica e Informática

Departamento de Engenharia Elétrica

Área de Concentração: Microeletrônica

Orientador: Gutemberg Gonçalves dos Santos Júnior

Supervisor: Carlos Geraldo Krüger

Campina Grande, Paraíba

Setembro de 2017

Universidade Federal de Campina Grande - UFCG
Centro de Engenharia Elétrica e Informática
Departamento de Engenharia Elétrica

Ingrid Almeida Costa e Silva

**Estágio na empresa BrPhotonics: Estimação e otimização
de potência de um ASIC-DSP**

Relatório de Estágio Integrado submetido à
Unidade Acadêmica de Engenharia Elétrica
da Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.

Aprovado em 08/09/2017

**Gutemberg Gonçalves dos Santos
Júnior, D.Sc.**

Universidade Federal de Campina Grande
Professor Orientador

Marcos Ricardo Alcantara Moraes
Universidade Federal de Campina Grande
Professor Avaliador

Campina Grande, Paraíba
Setembro de 2017

Agradecimentos

Agradeço à minha família por todo o apoio e assistência dados nas preparações e durante a realização deste estágio.

Ao meu esposo Beto, pelo suporte, amor e companhia ao longo da execução do estágio, mesmo sendo longe de nosso estado.

Ao meu supervisor, Carlos Krüger, e a BrPhotonics pela oportunidade e ensinamentos proporcionados, e ainda a Camila Berti, pela assistência e paciência com todos os processos requeridos pelo estágio.

À equipe com a qual trabalhei durante o estágio, Tomaz Vilela, Lívia Almeida e Augusto Ribas, pelo auxílio constante e ensinamentos que só a experiência é capaz de possibilitar.

Aos amigos que fiz e me ajudaram a passar por todos os momentos, além de terem comemorado todas as minhas conquistas comigo nesse período, Felipe Fideles, Leonardo Tomazine, Ruby Ospina, Fábio Barbosa, João Marangoni, Vinícius Ribeiro e Gabriela Kaori.

A Daniel Abrantes, por ter sido de um apoio inestimável durante todo o processo de estágio, de mudança de cidade e durante a realização das atividades.

Ao professor Gutemberg Gonçalves, por todo o auxílio oferecido durante o processo de estágio e orientação, sendo muito mais solícito do que o se deve esperar.

Resumo

Este relatório descreve as atividades realizadas durante o período de estágio integrado no setor de microeletrônica da empresa BrPhotonics. Foram desenvolvidas atividades de estimativa e otimização de potência no projeto de um ASIC responsável pelo processamento digital de sinais (DSP) em desenvolvimento pela empresa, voltado para sistemas de comunicação óptica. Além disso, o estágio contou com atividades de verificação funcional do módulo modulador e do demodulador digital do DSP como forma de incentivar a familiarização da estagiária com os conceitos e o fluxo de projeto adotado.

Palavras Chave: BrPhotonics; DSP; Sistemas ópticos coerentes.

Abstract

This report describes activities performed in an internship at the BrPhotonics' Microelectronics sector. Activities of power estimation and optimization of an ASIC responsible for the digital signal processing DSP embedded in the context of optical communication systems were developed. This internship also privileged functional verification activities of the digital modulator and demodulator modules as a way of incentive and familiarization for the intern with the concepts and project flow adopted.

Key-words: BrPhotonics; DSP; Coherent Optical Systems.

Lista de ilustrações

Figura 1 – Fachada da sede da BrPhotonics em Campinas-SP.	16
Figura 2 – Sala limpa classe 100 pertencente as instalações da BrPhotonics em Campinas-SP.	17
Figura 3 – Estrutura simplificada de um detector coerente.	19
Figura 4 – Estrutura de um sistema de comunicação óptico com uso de um detector coerente	20
Figura 5 – Ilustração da constelação da modulação QPSK	21
Figura 6 – Ilustração da constelação da modulação 16-QAM	22
Figura 7 – Sinais multiplexados em polarizações ortogonais.	22
Figura 8 – Esquemático de um receptor DSP coerente.	22
Figura 9 – Exemplo de um dissipador para ASIC.	23
Figura 10 – Célula de <i>clock gating</i>	24
Figura 11 – Esquema do modulador digital.	27
Figura 12 – Esquema do demodulador digital.	27
Figura 13 – Esquema do ambiente de verificação.	28
Figura 14 – Funções do PowerPro.	30
Figura 15 – Interface gráfica do PowerPro.	31
Figura 16 – Análise de pico de potência instantânea calculada dentro das áreas azuis. O eixo esquerdo pertence aos sinais em vermelho, mostrando nível de atividade total no instante e o eixo direito pertence ao pico de potência, em verde.	31
Figura 17 – Estimativas de potência no RTL original realizadas pela ferramenta PowerPro.	32
Figura 18 – Resultados obtidos a partir da análise de observabilidade da ferramenta PowerPro.	33
Figura 19 – Estimativas de potência no RTL com a inserção de observabilidade realizada pela ferramenta PowerPro.	33
Figura 20 – Estimativa de potência do bloco CDC realizada pela ferramenta PowerPro.	34
Figura 21 – Visualização do arquivo VCD gerado.	37

Lista de tabelas

Tabela 1 – Testes de redução de potência em contrabalanço ao aumento de área. . 35

Siglas

- ADC** analog to digital converter. 20, 22
- ASIC** Application-Specific Integrated Circuit. 7, 9, 11, 15, 23–25, 27, 34
- BER** bit error rate. 28, 29
- CDC** compensador de dispersão cromática. 11, 34–37
- CG** clock gating. 24, 30, 32
- CGIC** Clock Generator IC. 32
- CMOS** Complementary Metal Oxide Semiconductor. 16, 23, 32
- DAC** digital to analog converter. 20
- DC** Design Compiler. 35
- DSP** Digital Signal Processing. 7, 9, 11, 15, 19–24, 27, 29, 30, 33, 34, 36, 37
- FFT** Fast Fourier Transform. 35, 37
- HDL** hardware description language. 23
- IFFT** Inverse Fast Fourier Transform. 35
- LO** local oscillator. 19, 21
- PTPX** PrimeTime PX. 33–36
- QAM** Quadrature Amplitude Modulation. 11, 21, 22, 27
- QPSK** Quadrature Phase Shift-Keying. 11, 21, 27
- RTL** Register Transfer Level. 11, 28–33, 36
- SAIF** Switching Activity Interchange Format. 30, 31
- SDF** Standard Delay Format. 30, 36
- UVM** Universal Verification Methodology. 29
- VCD** Value Change Dump. 11, 30, 36, 37

Sumário

	Lista de ilustrações	11
	Lista de tabelas	12
	Lista de siglas	13
	Sumário	14
1	INTRODUÇÃO	15
1.1	Local de estágio: BrPhotonics	15
2	FUNDAMENTAÇÃO TEÓRICA	19
2.1	Sistemas de comunicação óptica de detecção coerente	19
2.2	Processamento Digital de Sinais	20
2.3	Métodos de otimização de potência	23
3	ATIVIDADES REALIZADAS	27
3.1	Verificação funcional do modulador e do demodulador digital	27
3.2	Avaliação da ferramenta PowerPro	29
3.3	Estimativa e otimização do bloco compensador de dispersão cromática	34
3.3.1	Compensador de dispersão cromática de 1024 coeficientes	34
3.3.2	Compensador de dispersão cromática de 512 coeficientes	36
4	CONCLUSÃO	39
	REFERÊNCIAS	41

1 Introdução

Este relatório descreve as atividades desenvolvidas durante a execução da disciplina curricular Estágio Integrado, da aluna Ingrid Almeida Costa e Silva. Tal estágio foi realizado na empresa BrPhotonics, no setor de microeletrônica, entre 17 de Abril de 2017 e 05 de Setembro de 2017, totalizando uma carga horária de 810 horas.

Durante o estágio a aluna desenvolveu as seguintes atividades:

- Entendimento do funcionamento do processamento digital de sinais (*Digital Signal Processing (DSP)*) em sistemas de comunicação óptica de detecção coerente;
- Entendimento das modulações utilizadas no projeto do DSP coerente em desenvolvimento na empresa, através do estudo e verificação funcional dos blocos responsáveis pela modulação e demodulação digital;
- Aprendizado sobre a estimativa e otimização de potência em circuitos integrados de aplicações específicas (*Application-Specific Integrated Circuit (ASIC)*);
- Aprendizado sobre a utilização da ferramenta PowerPro, da Mentor, para a estimativa e otimização de potência dos módulos do DSP, com posterior avaliação de suas funcionalidades; e
- Auxílio na otimização de potência de um dos módulos de maior consumo do DSP, o corretor de dispersão cromática.

O estágio foi realizado sob orientação do professor D.Sc. Gutemberg Gonçalves dos Santos Júnior, por parte da Universidade Federal de Campina Grande (UFCG). Por parte da empresa BrPhotonics, o gerente de microeletrônica M.Sc. Carlos Krüger foi o responsável pela supervisão.

1.1 Local de estágio: BrPhotonics

A empresa BrPhotonics é uma *startup* que teve sua origem em 2014, ela foi considerada uma das seis melhores *startups* do setor de fotônica do mundo, durante o 2º *European Photonics Venture Fórum*, realizado no mês de junho de 2016, em Eindhoven, na Holanda (NEGÓCIOS, 2016).

A missão da empresa é a seguinte: "A BrPhotonics (BrP) é fornecedora de dispositivos optoeletrônicos avançados de alta velocidade e microeletrônica digital para

transceptores e subsistemas integrados de forma pequeno. Através do uso de tecnologias avançadas como o *Silicon Photonics* (SiPh), o *Thin Film Polymer on Silicon* (TFPS) e o CMOS (*Complementary Metal Oxide Semiconductor*), a BrPhotonics prevê a convergência entre fotônica e microeletrônica para permitir transmissões a partir de 100 Gb/s através de links ópticos de menor consumo de energia e maior densidade" (BRPHOTONICS, 2017).



Figura 1 – Fachada da sede da BrPhotonics em Campinas-SP.

Fonte: (BRPHOTONICS, 2017)

A BrPhotonics conta com 31 colaboradores, sendo 23 de contrato direto e 8 bolsistas e estagiários. Ela conta também com duas unidades: sua sede, e principal unidade, se localiza em Campinas, São Paulo, sua fachada pode ser observada na figura 1; já a sua segunda unidade consiste em um escritório localizado nos Estados Unidos das Américas. Na figura 2 é possível observar a sala limpa classe 100 presente nas instalações da empresa em Campinas, onde também há uma classe 10000.

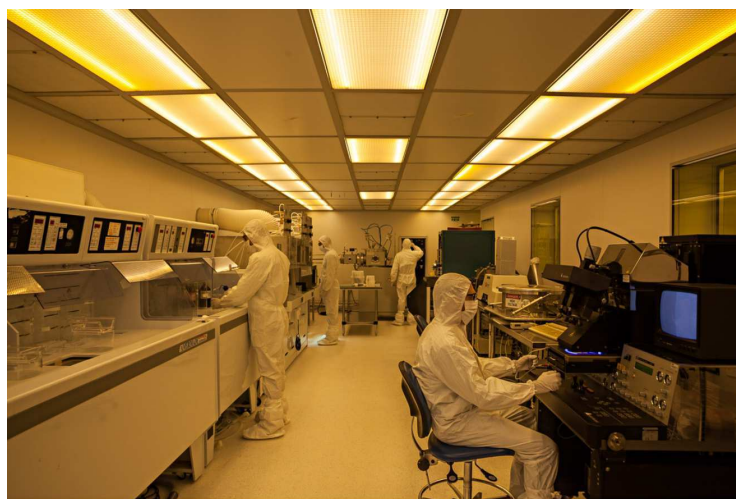


Figura 2 – Sala limpa classe 100 pertencente as instalações da BrPhotonics em Campinas-SP.

Fonte: (BRPHOTONICS, 2017)

2 Fundamentação teórica

2.1 Sistemas de comunicação óptica de detecção coerente

Os sistemas de comunicação óptica de detecção coerente estão em destaque atualmente, pois são uma solução real para as crescentes demandas de velocidade que os sistemas de comunicação passam. Tais sistemas consistem no uso de técnicas avançadas de processamento digital de sinais (*Digital Signal Processing (DSP)*) para tratar no domínio elétrico os dados transmitidos no domínio óptico, com o uso de formatos de modulação e multiplexação complexos, .

Para se obter uma maior eficiência espectral, utiliza-se a detecção coerente, que existe em contraposição a detecção direta. A detecção direta consiste no uso de fotodiodos para a conversão da amplitude do sinal óptico em um sinal elétrico. Na detecção coerente, outras características da onda luminosa eletromagnética podem ser aproveitadas, como a polarização, a frequência e a fase, o que a permite ter uma eficiência espectral maior (ZHOU, 2016). A alta sensibilidade da detecção coerente a estas características luminosas permite o uso de técnicas de modulação e multiplexação mais complexas que os utilizados pela detecção direta.

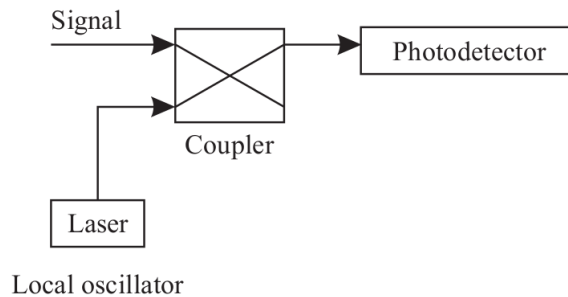


Figura 3 – Estrutura simplificada de um detector coerente.
Fonte: (RAMASWAMI, 2010)

A figura 3 mostra uma estrutura simplificada de um detector coerente. Ele consiste na utilização de um laser oscilador local (*local oscillator (LO)*), de um *coupler* de 3 db e de uma unidade fotodetectora (RAMASWAMI, 2010). De forma simplificada, o sinal recebido em forma de onda luminosa é misturado à onda luminosa gerada pelo LO através do *coupler* de 3 db e o sinal resultante é enviado para o fotodetector, que converte o sinal luminoso em sinal elétrico (RAMASWAMI, 2010). Existe uma estrutura *coupler* de 3 db associada a um par de fotodetectores para cada polarização, e tal estrutura *coupler* contém uma híbrida de 90°, a qual permite que ocorra a isolação das componentes reais e imaginárias do sinal, cada uma indo para um fotodetector distinto.

Ao se fazer uso de tal detector, o sistema óptico consiste no esquema representado na figura 4. No transmissor, a sequência de bits que constitui a informação a ser transportada é mapeada em uma constelação de acordo com o formato de modulação. O símbolo gerado passa então por um modelador de pulso, que converte o sinal digital em um sinal contínuo que pode ser transmitido no meio através do uso de um conversor digital-analógico (*digital to analog converter*). Então, o sinal elétrico obtido modula a portadora óptica, a qual é injetada na fibra óptica para sua transmissão (OSPINA, 2017). A fibra óptica consiste em um guia de ondas luminosas comumente composto por vidro extremamente puro (PASCHOTTA, 2017), feito idealmente no formato cilíndrico.

Como a fibra óptica degrada o sinal devido as imperfeições de sua estrutura e material, o que causa efeitos como a dispersão cromática, ruído de fase, erro de frequência, etc; o receptor precisará contar com um DSP. O DSP deve ser capaz de reverter os efeitos lineares aplicados ao sinal recebido no detector coerente e amostrado pelo conversor analógico-digital (*analog to digital converter (ADC)*), deixando-o o mais próximo possível do sinal originalmente enviado pela fibra óptica. Após essa etapa, os símbolos passarão por um demodulador digital e a informação será recuperada na forma de uma sequência de bits (OSPINA, 2017).

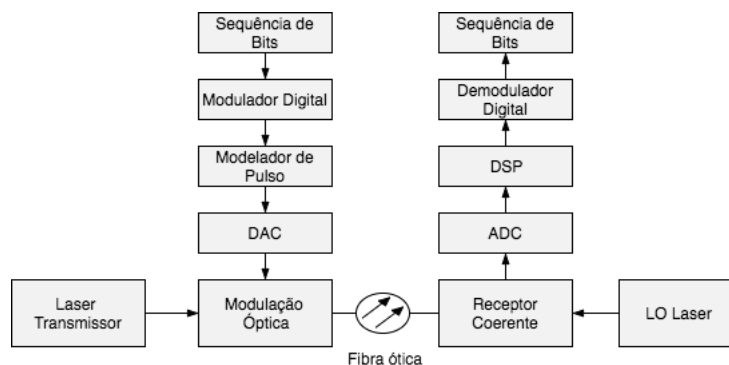


Figura 4 – Estrutura de um sistema de comunicação óptica com uso de um detector coerente

Fonte: (OSPINA, 2017)

2.2 Processamento Digital de Sinais

O DSP é a unidade do sistema coerente responsável pela correção dos efeitos lineares causados pela fibra sobre a onda luminosa que trafega nela. Para ilustrar um dos efeitos causados pela fibra óptica, temos a dispersão dos modos de polarização. Ela ocorre devido a diferença no índice de refração da sílica (material de que é feita a fibra) ocasionada pela diferença do diâmetro da fibra entre eixos ortogonais, dado que a fibra real não é perfeitamente cilíndrica, tendendo a uma elipse. Ao se usar uma multiplexação

em polarizações ortogonais, haverá uma diferença no tempo de propagação entre as polarizações, ocasionando tal efeito.

Além dele, há também efeitos como a dispersão cromática, causada pelo fato de que componentes espectrais de frequências diferentes trafegam em velocidades diferentes, chegando em momentos diferentes no receptor; o desvio de frequência, que se dá por conta da utilização de detectores coerentes do tipo *intradyn*e, cuja frequências centrais dos lasers do LO e do transmissor se distanciam por um frequência menor do que suas largura de linha; e o desvio de fase, que constitui o principal efeito a ser corrigido, dada a dependência das modulações em destaque atualmente da fase do sinal (RAMASWAMI, 2010).

As modulações utilizadas no DSP de alta capacidade trabalhado durante o estágio consistem na modulação por chaveamento de fase em quadratura (*Quadrature Phase Shift-Keying (QPSK)*) e na modulação de amplitude em quadratura (*Quadrature Amplitude Modulation (QAM)*). A modulação QPSK consegue enviar dois bits de informação a cada ciclo do sinal. Nela, se lida ao mesmo tempo com a fase e com a intensidade do sinal, tendo na saída a soma de sinais senoidais e cossenoidais (BRAGA, 2017). A figura 5 ilustra os símbolos da constelação dessa modulação, no eixo horizontal tem-se a informação sobre a componente em fase (I) e no eixo vertical tem-se a informação sobre a componente em quadratura (Q).

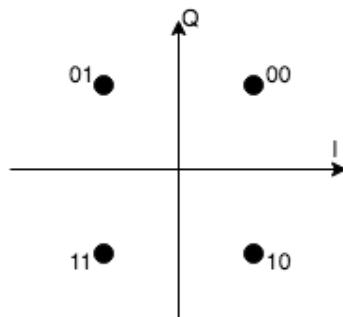


Figura 5 – Ilustração da constelação da modulação QPSK

Já a QAM permite o envio de uma quantidade "m" de símbolos por ciclo do sinal (níveis utilizados) (SOUTO, 2017), sendo referenciada normalmente como "m-QAM". Dentre essas quantidades, há a 16-QAM e a 64-QAM, exploradas durante o estágio. A escolha da quantidade "m" de símbolos depende da qualidade do meio (menor nível de ruído) e do receptor utilizado. O receptor precisa ser mais sensível a pequenas variações de fase e intensidade do sinal (BRAGA, 2017), contando com algoritmos avançados de remoção de ruídos.

Além da modulação, o processo de multiplexação também é significativamente importante quando se deseja aumentar a eficiência espectral. A multiplexação explorada no DSP foco do estágio consistiu na multiplexação por dupla polarização, que tira vantagem da propriedade da polarização da onda luminosa, pois ondas que viajam ortogonalmente

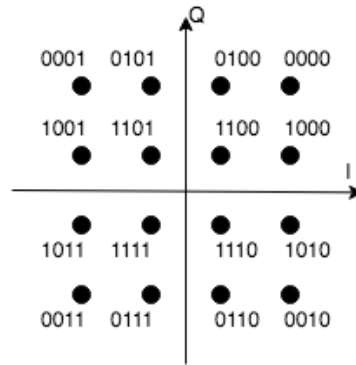


Figura 6 – Ilustração da constelação da modulação 16-QAM

uma a outra não interferem diretamente entre si. A utilização desse conceito leva a uma duplicação na capacidade de transmissão de dados do sistema (SOUTO, 2017). A atividade de separar as ondas polarizadas cabe ao domínio elétrico, sendo feita pelo DSP.

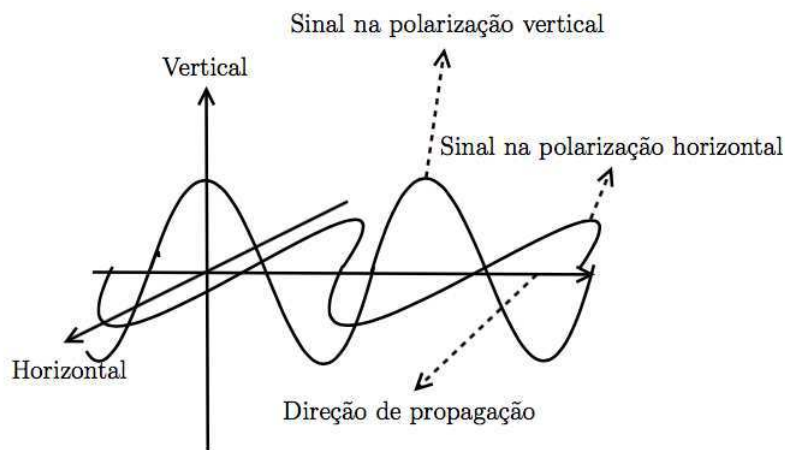


Figura 7 – Sinais multiplexados em polarizações ortogonais.
Fonte: (SOUTO, 2017)

Após essas considerações, é possível resumir o papel do DSP como o responsável por realizar a demultiplexação e demodulação do sinal, além de remover os efeitos lineares causados pela fibra óptica durante a transmissão, recuperando o sinal recebido ao estado em que ele se encontrava no momento do envio da melhor forma possível. Para tanto, ele precisa compensar os erros lineares inseridos pela fibra através do uso de filtros inversos e realizando recuperação de tempo para compensar a diferença entre a taxa de amostragem do sistema e o clock do conversor analógico-digital (*analog to digital converter (ADC)*). Um esquemático simplificado das etapas presentes no DSP é ilustrado na figura 8.

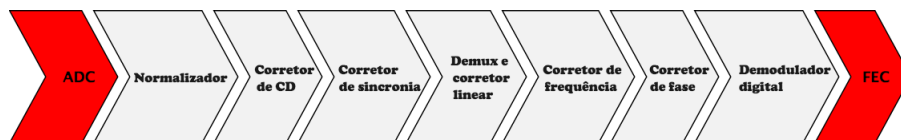


Figura 8 – Esquemático de um receptor DSP coerente.

2.3 Métodos de otimização de potência

Um Circuito Integrado de Aplicação Específica (*Application-Specific Integrated Circuit*) consiste em um circuito integrado dedicado a uma aplicação ou domínio de aplicação (CHEN, 2003). A título de exemplo, um dispositivo decodificador de arquivos de áudio pode possuir em seu circuito um ASIC projetado especificamente para essa atividade. Os sistemas ópticos coerentes contam com o DSP através de um ASIC, que é produzido com a tecnologia CMOS.

Uma importante característica de um ASIC é o seu consumo de energia. Enquanto a quantidade de transistores duplica com o passar de dois anos (Lei de Moore), a densidade de energia aumenta exponencialmente nesse intervalo (PANDA, 2010). A alta densidade de transistores existente em um ASIC moderno faz com que todo o desenvolvimento dele seja focado no limite de potência disponível (*power budget*), havendo a necessidade de ter seu consumo levado em consideração no momento da especificação, da definição de algoritmos a serem usados e da implementação do algoritmo em linguagem de descrição de hardware (*hardware description language (HDL)*).

O consumo de energia é de grande importância por conta de vários motivos, entre eles existe o fato de que a potência consumida por um ASIC é dissipada dentro do próprio dispositivo, o que resulta em um aumento da temperatura interna (CHADHA, 2013). Isso faz com que haja a necessidade da utilização de estruturas dissipadoras de calor, que aumentam o custo do dispositivo final e a área ocupada por ele, como ilustrado na figura 9. Esse dissipadores devem ser utilizados para permitir que o dispositivo opere dentro das faixas operacionais de temperatura, do contrário, o dispositivo poderia vir a queimar. Há também o fator da disponibilidade de energia para o dispositivo, seja por conta do meio pelo qual a energia chega nele com utilização de baterias ou cabos de potência máxima fixa (Ethernet ou USB, por exemplo), seja por conta do limite de custos de operação (CHADHA, 2013).



Figura 9 – Exemplo de um dissipador para ASIC.

Fonte: (ATS, 2017)

Em prol de criar um ASIC-DSP de consumo competitivo no mercado, deve-se

realizar estimativas precisas do seu consumo e otimiza-lo da melhor maneira possível, para que ele consiga cumprir a especificação de desempenho desejada ao mesmo tempo em que se mantém dentro do *power budget*. Para proceder com a otimização de um ASIC-DSP que consiste na implementação de vários módulos distintos, cada um responsável por uma etapa do processamento e recuperação do sinal, há a possibilidade de se atuar segundo o princípio de Pareto, também conhecido como a regra 80/20, que descreve causalidade e resultados, semelhantemente a como ocorre em engenharia de software (KIREMIRE, 2011).

O princípio de Pareto diz que 80% dos efeitos vem de 20% das causas (KIREMIRE, 2011). Por tanto, para seguir este princípio, os esforços de otimização de potência deverão privilegiar os módulos que consomem mais energia individualmente, somando um total de 20% do todo. Do contrário, seria dispendioso e de difícil ação atuar sobre a potência dissipada pelos módulos pequenos individualmente, além de desnecessário. Em outras palavras, deve-se concentrar no menor grupo que consegue ser responsável por 20% do consumo do todo.

Uma vez que a atuação está concentrada nos módulos de maior consumo de energia, uma alternativa é a redução da quantidade de bits que são utilizados pelos sinais internos ao módulo, está sendo uma das formas mais eficientes de se atuar. Para tanto, uma prática comum é a redução da precisão utilizada nos cálculos internos dos módulos. Porém, deve-se ter o cuidado de permanecer dentro da especificação de desempenho ao realizar tais cortes, além da especificação de área ocupada pelo circuito lógico.

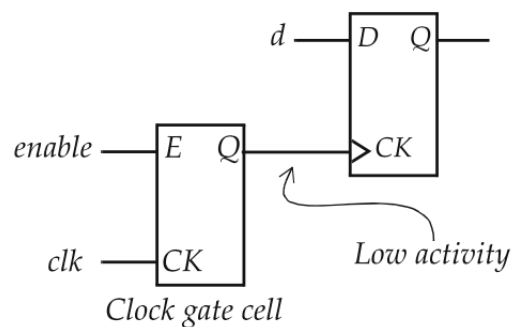


Figura 10 – Célula de *clock gating*.
Fonte: (CHADHA, 2013)

Há também a possibilidade de utilização de células de *clock gating* (CG), como ilustrado na figura 10. Como o DSP em questão trata-se de um circuito síncrono, o clock é o sinal que está chaveando 100% do tempo, tendo um fator de atividade igual a 1 (numa escala de de 0 a 1), pois toda vez que o clock chaveia, o pino de entrada de um flip-flop muda de estado, consumindo energia. O fator de atividade é um demonstrativo também da potência dinâmica dissipada, sendo o número de operações realizadas em um intervalo de tempo (PANDA, 2010). Dito isto, desligar o clock de áreas do circuito que

não estão operacionais por certo período de tempo, através de um sinal de habilitação, é uma das formas mais utilizadas de se atuar em hardwares de características sequenciais para otimizar o consumo de energia, uma vez que diminui o fator de atividade desse sinal (PANDA, 2010).

Há ainda diversas outras formas de atuar na otimização de potência em um ASIC, porém elas não foram exploradas pela estagiária durante o estágio. Uma delas seria a realização de alterações dos algoritmos dos blocos de maior consumo, o que deve ser realizado uma vez que se tenha chegado ao limite da troca entre desempenho e consumo de energia, pois a redução da precisão deve ser parada uma vez que o desempenho seja ameaçado. Há também a possibilidade de utilização de *power gating*, de diminuição nas taxas de amostragem, de diminuição da frequência do clock, entre várias outras técnicas (PANDA, 2010).

3 Atividades realizadas

3.1 Verificação funcional do modulador e do demodulador digital

No processo de desenvolvimento de um ASIC, após o algoritmo escolhido ser implementado, há a fase de verificação do módulo criado. Em prol de facilitar a familiarização e compreensão do funcionamento do DSP desenvolvido pela empresa, ter conhecimento do fluxo de projeto adotado e aprender sobre as modulações utilizadas, a atividade inicial desenvolvida no âmbito do estágio consistiu na verificação dos módulos responsáveis pela modulação e demodulação digital, implementados em *System Verilog*.

O modulador digital é o último bloco presente no lado transmissor do DSP, ele recebe o fluxo (*stream*) de bits que representam os valores das posições em fase (I) e em quadratura (Q) e os mapeia em símbolos de acordo com as constelações da modulação escolhida. Um esquema simplificado de tal modulador pode ser visto na figura 11.

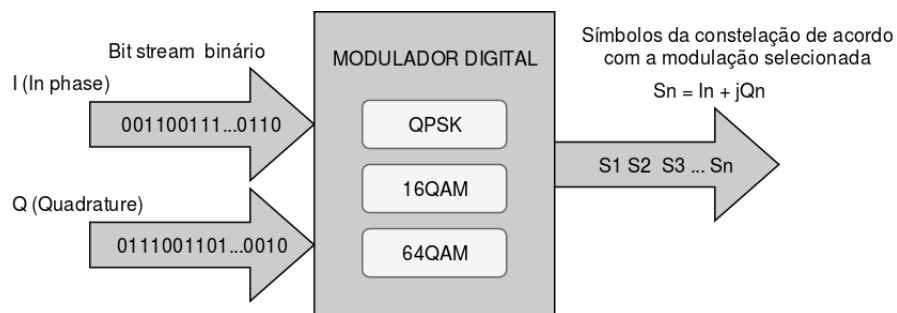


Figura 11 – Esquema do modulador digital.

Se a modulação escolhida for a QPSK, cada símbolo contará com 2 bits, variando de 00 a 11, se for a 16-QAM, contará com 4 bits (0000 a 1111), se for 64-QAM, contará com 6 bits (000000 a 111111).

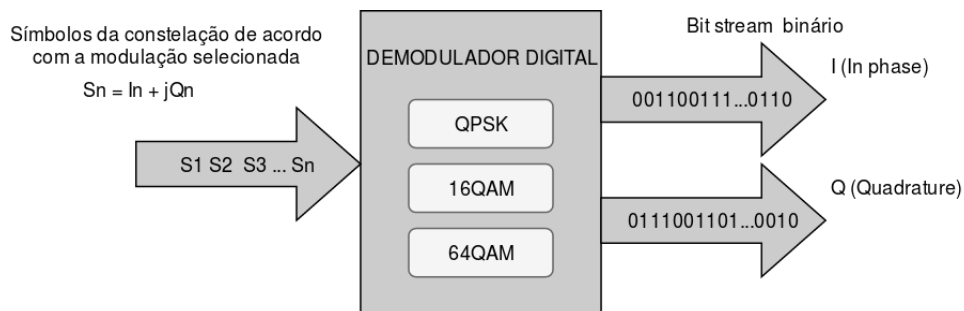


Figura 12 – Esquema do demodulador digital.

Já o demodulador digital, ilustrado na figura 12, é o último bloco presente no lado do receptor do DSP, ele recebe os símbolos tratados pelo DSP e os serializa na forma de

um fluxo de bits, realizando a atividade oposta do modulador digital.

Ambos os blocos possuem dois modos de operação, o modo sequencial e o modo diferencial. No modo sequencial, o mapeamento e de-mapeamento de cada símbolo ocorre independentemente do símbolo anterior, enquanto que no modo diferencial há uma dependência entre o símbolo atual e o anterior. Os dois modos de operação foram verificados para cada tipo de modulação.

Para que a verificação pudesse ocorrer, houve a necessidade de se utilizar um *golden model*, que é uma implementação referencial em linguagem de alto nível, no caso, desenvolvido em linguagem MATLAB, o qual é 100% confiável. O critério de aprovação é uma taxa de erro de bit (*bit error rate (BER)*) nula, devendo haver 100% de acerto na conversão de bit stream para símbolos e vice-versa. A BER é definida como a probabilidade média de identificação incorreta do bit (AGRAWAL, 2002).

Os estímulos de entrada utilizados foram gerados através de um algoritmo pseudo-aleatório pertencente ao *golden model*, o qual gerava os símbolos em binário. Após isso, os bits eram convertidos em decimal e salvos em um arquivo para uso posterior no ambiente de verificação do RTL.

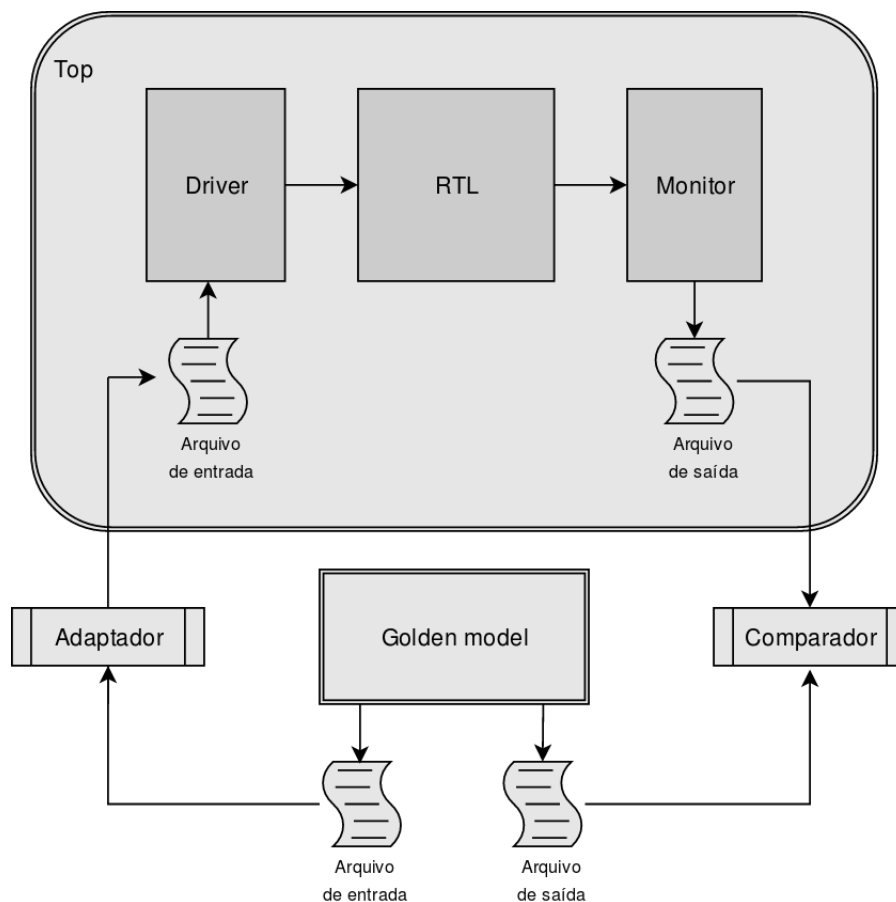


Figura 13 – Esquema do ambiente de verificação.

O ambiente de verificação construído não utilizou a metodologia universal de verifi-

cação (*Universal Verification Methodology (UVM)*), dado que os profissionais responsáveis pela verificação funcional do Register Transfer Level (RTL) não eram engenheiros de verificação, mas sim desenvolvedores de hardware. Logo, o ambiente foi padronizado para ser desenvolvido em *SystemVerilog* ou *SystemC*, de acordo com o grau de facilidade que o desenvolvedor responsável possuía.

A estagiária escolheu, então, desenvolver o ambiente em *SystemC*, para aprender mais sobre a linguagem. O ambiente foi constituído por um bloco responsável pela leitura dos estímulos de entrada salvos no documento de texto e geração dos estímulos de controle, chamado de *driver*, um segundo bloco responsável pela gravação das saídas dos módulos em um arquivo de texto, chamado *monitor*, e um terceiro módulo responsável pela instanciação e conexão entre o *driver*, o *monitor* e o RTL, chamado *top*. A simulação dos testes foi realizada através do uso da ferramenta Incisive, da Cadence, com o comando *irun* e a utilização do SimVision para acompanhamento do funcionamento dos sinais internos a cada RTL e auxílio na depuração dos problemas encontrados.

A comparação entre os arquivos de saída se deu através da utilização de um script *C Shell*, utilizando a função *cksum*, que calcula a quantidade de bytes do texto inserido e escreve na saída padrão (FORUNS, 2017). Uma vez que o *cksum* da saída do RTL e do *golden model* fossem iguais, significava que houve uma BER nula, ou seja, que o teste foi bem sucedido.

Além dos testes de funcionamento normal, foram feitos testes de funcionamentos atípicos, como resets ativados no meio da simulação, sinais de *valid* (que indicam que há um dado válido na entrada, dando permissão para que o processamento ocorra) em *burst* e intercalados, e também a ativação aleatória do reset inativo, dado que o DSP em desenvolvimento possui duas estratégias de reset distintas, uma assíncrona e uma síncrona.

Ao longo dos testes, foram encontrados erros no modo de operação diferencial. O problema veio do fato que o RTL não conseguia processar o fluxo de entrada continuamente, ele recebia entradas de 128 bits por vez. Dessa forma, o último dado da rodada $t - 1$ não era salvo, impedindo que o primeiro dado da rodada t fosse calculado corretamente, uma vez que no modo diferencial há uma dependência inter-simbólica. Tal problema foi diagnosticado tanto no modulador, quanto no demodulador.

Uma vez identificado, o problema foi tratado pelo desenvolvedor de hardware responsável e a verificação pôde ser encerrada.

3.2 Avaliação da ferramenta PowerPro

Uma vez tendo aprendido o suficiente sobre os tipos de modulação e o funcionamento geral de um DSP, foi dado início as atividades de estimativa de potência, para uma posterior

atividade de otimização. A ferramenta PowerPro, da Mentor, era uma ferramenta que estava sob avaliação da empresa BrPhotonics, sendo introduzida pela primeira vez no fluxo do projeto, porém somente sob caráter de teste.

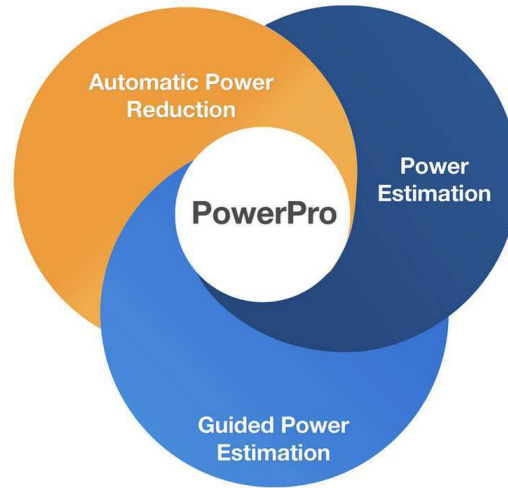


Figura 14 – Funções do PowerPro.

Fonte: (MENTOR, 2017)

PowerPro é uma plataforma que permite que o desenvolvedor estime a potência consumida pelo RTL alvo, além de mostrar possibilidades de otimização e de executar certas medidas de otimização automaticamente, como a inserção de lógicas sequenciais condicionais (clock gating) que desligam temporariamente parte do circuito lógico gerado enquanto este não está sendo utilizado. Ele também provê informações importantes como a taxa de chaveamento de elementos hierárquicos, a taxa de atividade de estruturas multiplexadoras, picos de potência, a potência de fuga dos transistores e a potência da árvore de clock (*clock tree*) do circuito (MENTOR, 2017).

Para auxiliar na etapa de avaliação, a Mentor enviou um especialista na ferramenta, o desenvolvedor de hardware Gustavo Alencar. Ele permaneceu na BrPhotonics por uma semana e a estagiária foi a única responsável por acompanhar o especialista e aprender a utilizar a ferramenta, devendo fazer um relatório de avaliação posteriormente.

A avaliação da ferramenta teve início através da realização das atividades de teste disponibilizadas pelo programa, as quais foram executadas com o auxílio do especialista. Após a compreensão do funcionamento básico da ferramenta e de como estruturar e configurar o script de comando, foi possível dar início a uma atividade prática com um dos blocos pertencentes ao DSP em desenvolvimento, o demultiplexador e equalizador dinâmico.

Para realizar a estimativa foi necessária a utilização do RTL desse bloco, de um arquivo do tipo *Standard Delay Format (SDF)* resultante da síntese, que dá informações sobre o tempo de propagação requerido pelos caminhos (*nets*) de dados presentes no módulo, e de um arquivo Value Change Dump (VCD), posteriormente convertido em Switching

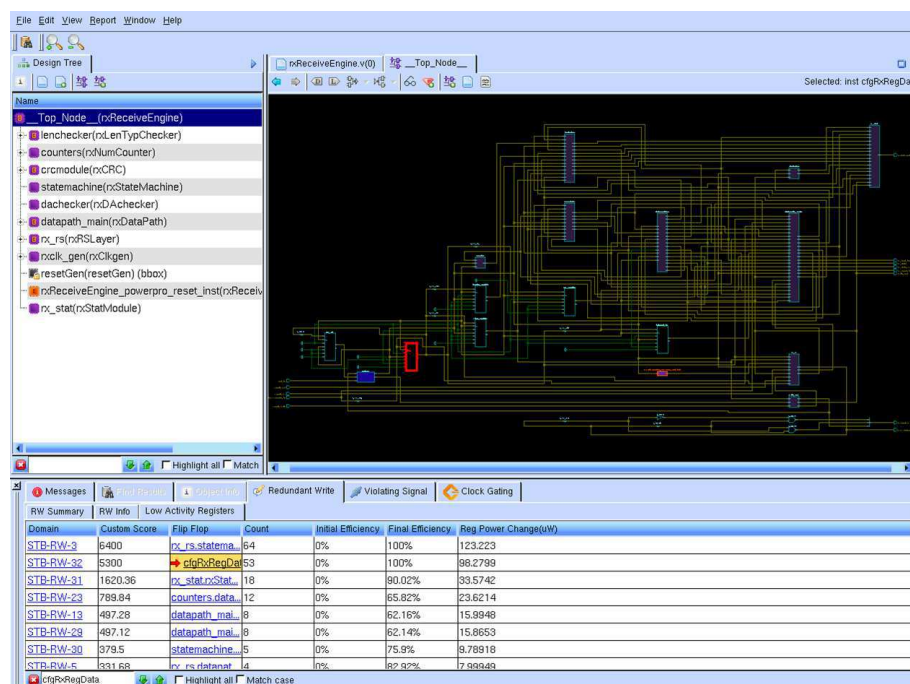


Figura 15 – Interface gráfica do PowerPro.
Fonte: (MENTOR, 2017)

Activity Interchange Format (SAIF), que contém informações sobre o chaveamento dos sinais internos e da interface do RTL anotados a partir da simulação (execução do ambiente de teste com ferramentas de simulação, como a Incisive, da Cadence).

Para este bloco, foi inicialmente rodada uma seção com análise de estimativa, sem opção de otimização, para se ter uma noção prévia. Com a utilização da interface gráfica disponibilizada, foi possível ter acesso a informações como o pico de potência presente em determinada janela de atividades, como ilustrado na figura 16.

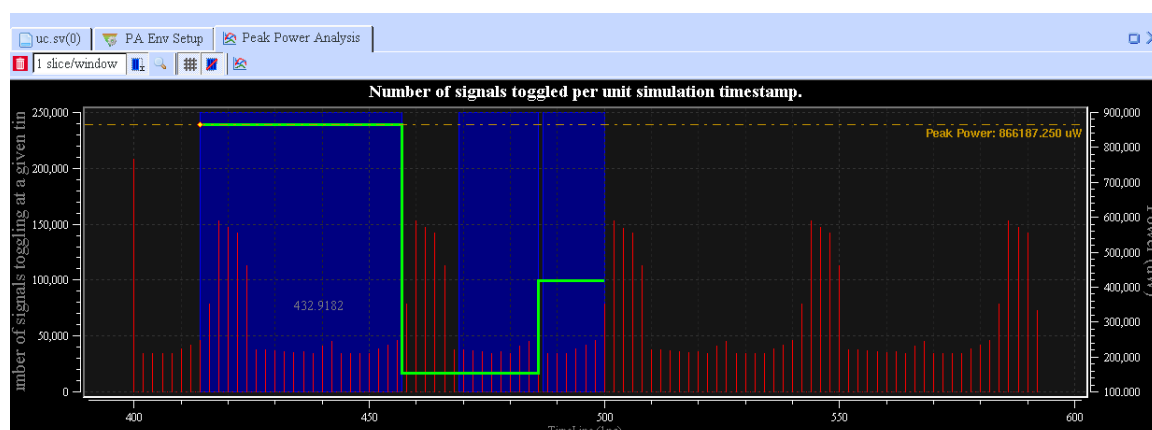


Figura 16 – Análise de pico de potência instantânea calculada dentro das áreas azuis. O eixo esquerdo pertence aos sinais em vermelho, mostrando nível de atividade total no instante e o eixo direito pertence ao pico de potência, em verde.

O programa também gerou logs que continham informações importantes sobre o

sistema, como é possível visualizar na figura 17. Nela, é possível visualizar informações sobre a potência de fuga (*Leakage Power*), que varia de acordo com a tecnologia CMOS adotada, uma vez que ela é a potência que o transistor dissipa por simplesmente se manter ativo (PANDA, 2010). Na tecnologia de 14 nm, por exemplo, essa potência tem um gasto bastante reduzido se comparada a tecnologia de 28 nm.

As demais informações consistem, para cada grupo de consumo, na contagem de células do bloco em análise, a potência consumida ativamente pelo bloco (*Internal Power*), o somatório das duas potências dadas (*Total Power*) e, ainda a porcentagem que cada tipo de grupo consome. Nos grupos de consumo, tem-se os seguintes termos:

- *Black box*: referencia estruturas que são instanciadas em alguma parte do módulo, mas não foram adicionados ao RTL fornecido para análise os arquivos fonte (em Verilog, por exemplo);
- *Memory*: referencia todos os objetos de memória identificados.
- *Combinational*: se refere ao circuito lógico combinacional criado, em que os gates respondem a lógica combinacional;
- *Sequential*: se refere os objetos *Clock Generator IC (CGIC)*;
- *Clock network*: referencia a árvore de clock (clock tree).

Power Summary Report					
Power Group	Count	Leakage Power(uW)	Internal Power(uW)	Total Power(uW)	Percentage(%)
io_pad	0	0	0	0	0%
memory	0	0	0	0	0%
black_box	0	0	0	0	0%
register	57919	10.0213	863.53	873.551	1.26%
combinational	3859158	203.557	67033.2	67236.7	96.78%
sequential	0	0	0	0	0%
clock_network	1	3.65745	1357.15	1360.81	1.96%
total	3917078	217.236	69253.9	69471.1	100%

Figura 17 – Estimativas de potência no RTL original realizadas pela ferramenta PowerPro.

Após a estimativa, foi feita a inserção de observabilidade, que é responsável pela inserção de clock gating no circuito, gerando um novo RTL alterado. As informações cedidas pela análise de observabilidade podem ser vistas na figura 18. Os *enable flops* se referem aos sinais de comando das células de CG. A estimativa de potência feita após a inserção de observabilidade está presente na figura 19

Após as análises dos dados obtidos pela ferramenta, foi possível observar que o módulo em estudo tem grande caráter combinacional e pouco caráter sequencial, dessa forma, grande parte do seu consumo se concentra na lógica combinacional. Foi notado que o PowerPro atua na otimização de consumo principalmente através da lógica sequencial, "desligando" os registros não utilizados através de clock gating, o que a torna ineficaz

```

-----
Total PowerPro Enabled Flops           : 12753(22.02%)
Additional PowerPro Enabled Flops      : 8401(14.5%)
Strengthened PowerPro Enabled Flops    : 4352(7.514%)
CGIC Inferred PowerPro Enabled Flops   : 0(0%)
Clock Gating Domains for Newly Enabled Flops : 2
-----
Observability Based Enabled Flops      : 12753(22.02%)
New Observability Based Enabled Flops   : 8401(14.5%)
Strengthened Observability Based Enabled Flops : 4352(7.514%)
CGIC Inferred Observability Based Enabled Flops : 0(0.00%)
-----
Stability Based Enabled Flops          : 0(0.00%)
New Stability Based Enabled Flops       : 0(0.00%)
Strengthened Stability Based Enabled Flops : 0(0.00%)
CGIC Inferred Stability Based Enabled Flops : 0(0.00%)
-----
Total Number of Enabled Flops          : 57905(99.97%)
Clock Gating Efficiency                 : 62.91%

```

Figura 18 – Resultados obtidos a partir da análise de observabilidade da ferramenta PowerPro.

```

Power Summary Report
-----
Power Group   Count      Leakage Power (uW)  Internal Power (uW)  Total Power (uW)  Percentage (%)
-----
io_pad        0           0                   0                   0                   0%
memory        0           0                   0                   0                   0%
black_box     0           0                   0                   0                   0%
register      57921      10.0217            747.415            757.437            1.1%
combinational 3859165    203.557            66989.1            67192.7            97.34%
sequential    0           0                   0                   0                   0%
clock_network 1           3.65925            1077.76            1081.41            1.57%
total        3917087    217.238            68814.3            69031.5            100%

```

Figura 19 – Estimativas de potência no RTL com a inserção de observabilidade realizada pela ferramenta PowerPro.

perante circuitos majoritariamente combinacionais. Por isso, verificou-se uma mudança pouco significativa no consumo total após a inserção de observabilidade. A análise de estabilidade não foi feita por ser útil apenas para circuitos sequenciais, onde há áreas do circuito lógico que ficam inativas por certo tempo, em vez de só continuarem ativas desnecessariamente, como estados de uma *finite machine states*. Também foram realizadas estimativas de alguns outros blocos do DSP em desenvolvimento, à caráter de teste sobre a precisão da estimativa.

A avaliação final da ferramenta realizada pela estagiária apontou que o PowerPro não é adequado para otimizar os blocos desenvolvidos para o DSP, uma vez que a maioria deles é baseada em lógica combinacional, o que reduz as funcionalidades da ferramenta a serem aproveitadas. A segunda função mais importante do PowerPro, que é a estimativa de consumo, não justifica a contratação da sua licença, dado que a empresa já conta com licenças de ferramentas líderes no mercado para a estimativa de consumo, como a PrimeTime PX (PTPX), da Synopsys. Outro fator importante é que as ferramentas presentes no pacote do PTPX são capazes de, além de estimar potência com o um grau de acurácia melhor (mais próximo do consumo real do circuito), realizar a síntese lógica, tendo funções de interesse muito maior para a empresa. Logo, a aquisição da ferramenta

foi desconsiderada.

3.3 Estimativa e otimização do bloco compensador de dispersão cromática

3.3.1 Compensador de dispersão cromática de 1024 coeficientes

Após o término do treinamento referente a ferramenta PowerPro, a estagiária foi responsável pelo auxílio na otimização do bloco compensador de dispersão cromática (CDC). Como foi utilizada a multiplexação por modos de polarização, o DSP em desenvolvimento contava com um CDC para cada polarização, a vertical (V) e a horizontal (H). O CDC teve uma estimativa inicial *post layout* de 2,7 W de potência, tal valor tendo sido obtido pela equipe através do uso da ferramenta PTPX.

A estimativa de consumo total do chip, obtida também com o uso da ferramenta PTPX pela equipe, consistia em 18 W. Porém, o *power budget* total do DSP em desenvolvimento consistia em 12 W. Logo, o DSP encontrava-se 50% acima do consumo desejado e era necessário realizar severas otimizações de potência.

Como os dois blocos compensadores em conjunto somavam 5,4 W, eles representavam 30% do consumo total do DSP. Portanto, seguindo o princípio de Pareto, o CDC era o principal bloco em que se devia atuar para a resolução do problema de consumo.

Enquanto ainda havia acesso a licença de avaliação da ferramenta PowerPro, a estagiária executou uma estimativa preliminar do consumo do bloco, que pode ser observada na figura 20, tendo o valor igual a 2,35 W. Essa estimativa se mostrou distante da estimativa encontrada pelo PTPX, mostrando que as conclusões tiradas pela estagiária no processo de avaliação da ferramenta estavam corretas.

Power Summary Report					
Power Group	Count	Leakage Power(uW)	Internal Power(uW)	Total Power(uW)	Percentage(%)
io_pad	0	0	0	0	0%
memory	0	0	0	0	0%
black_box	0	0	0	0	0%
register	211301	152.565	200710	200862	8.53%
combinational	2177608	255.437	1.82403e+06	1.82428e+06	77.5%
sequential	0	0	0	0	0%
clock_network	1	0.643359	328645	328646	13.96%
total	2388910	408.665	2.35339e+06	2.3538e+06	100%

Figura 20 – Estimativa de potência do bloco CDC realizada pela ferramenta PowerPro.

Uma das formas de visualizar o problema de potência de um bloco pertencente a um ASIC é a partir da observação do número de portas (*gates*) que ele detém, ou a área de suas células. O fator de atividade do CDC foi estimado como 0,6, o que representa a potência dinâmica e pode ser interpretado como uma densidade de consumo de potência por unidade de área significativo.

Inicialmente, o bloco continha 4 milhões de gates, logo, foram realizados esforços para a diminuição desse número. A área ocupada pelo bloco pode ser utilizada como referência para o consumo porque quanto mais *gates* o bloco tiver, mais transistores ele irá requerir e maior será a potência de fuga, que é uma forma de desperdício de energia, e isso também significa que o circuito combinacional gerado é pouco otimizado na questão da reusabilidade de circuitos lógicos criados, algo passível de otimização.

O bloco CDC é um bloco que funciona basicamente como um filtro. Ele realiza uma transformada rápida de Fourier (*Fast Fourier Transform (FFT)*) de 1024 coeficientes. Logo, como a FFT é realizada de forma hierárquica, é possível trabalhar com a reusabilidade de estágios de cálculo internos, quantidade de pipelines e a precisão dos mesmos para se chegar a um equilíbrio entre a meta de consumo, a área e o desempenho do bloco no sistema.

A estagiária foi solicitada a realizar, então, testes de variações no número de pipelines de multiplicação de um módulo interno ao CDC, o multiplicador. Os resultados encontrados através do uso da ferramenta PTPX e da Design Compiler (Synopsys), podem ser visualizados na tabela 1. As estratégias originais consistiam na utilização de 5 estágios de pipeline, a opção 1 usava 4 estágios e a 2 usava 3 estágios. O DC era a ferramenta responsável por realizar a síntese lógica (gerar a netlist) e estimar a área ocupada pelo bloco. É possível observar nessa tabela que alguns ganhos de potência resultam em aumento da área, uma troca que deve ser avaliada com cuidado, uma vez que um dos objetivos da otimização é a diminuição da área total do bloco.

Estratégia	Coeficiente	Área da célula (μm^2)	Potência consumida (mW)	Redução de potência (%)	Varição em área (%)
Original	Variável	1713	1,91%	-	-
Opção 1		1962	1,56%	22,44%	+12,69%
Opção 2		2200	1,51%	26,49%	+10,82%
Original	Constante	1695	1,74%	-	-
Opção 1		1815	1,3%	33,85%	+6,61%
Opção 2		2118	1,4%	24,29%	+19,98%

Tabela 1 – Testes de redução de potência em contrabalanço ao aumento de área.

Foram também solicitados diversos testes com alterações referentes às precisões (quantidade de bits decimais com utilização de ponto fixo) de estágios internos da FFT e de sua inversa (IFFT). Estes testes foram feitos sempre sintetizando só uma unidade interna da hierarquia do CDC. No caso do pipeline de multiplicação, somente o multiplicador era sintetizado, no caso das mudanças de precisão internas à IFFT, o módulo do filtro era sintetizado. Isso era feito por conta do tempo computacional requerido para se realizar a síntese lógica do bloco CDC completo. Todos os resultados obtidos foram julgados pela equipe responsável pela otimização. Os promissores tiveram sua síntese lógica efetivada

para o bloco completo.

Após sucessivas iterações de síntese lógica e mudanças no bloco, foi escolhida a versão final do CDC. A estimativa de potência final fornecida a estagiária pela equipe foi de 2,0 W, o que permitiu que a potência total do DSP descesse para o valor de 14 W, sendo suficientemente próximo do *budget* especificado (12 W), logo, um valor aceitável. Sua área também reduziu dos 4 milhões de gates iniciais para 2,8 milhões, havendo uma diminuição de 30% do número de gates total do bloco.

Portanto, o problema de 50% de extrapolação do *power budget* conseguiu ser resolvido a partir da atuação no bloco que caracterizava o maior consumo individual, sendo uma evidência empírica que a aplicação do princípio de Pareto é válida para o ambiente de desenvolvimento de hardware e sua otimização de potência.

3.3.2 Compensador de dispersão cromática de 512 coeficientes

Uma vez encerrada as atividades com o bloco CDC de 1024 coeficientes, foi também realizado o auxílio na estimativa de potência do bloco CDC de um segundo DSP em desenvolvimento, desta vez de 512 coeficientes. Foi requisitado a estagiária que ela utilizasse uma netlist disponibilizada pela equipe de desenvolvimento juntamente a um arquivo SDF, que define, entre outras coisas, o tempo gasto nos percursos percorridos pelos sinais.

Foi, então, realizada uma simulação com o objetivo de gerar um arquivo que grava o chaveamento interno do módulo em questão, chamado Value Change Dump (VCD). Para tanto, utilizou-se a ferramenta *SDF Annotator*, que realiza a *back-annotation* das informações presentes no arquivo SDF para a correta simulação da netlist, permitindo saber se houve ou não violação de tempo. Uma violação de tempo ocorre quando um sinal leva mais do que a quantidade de tempo que ele possui (informada pelo SDF) para percorrer o caminho necessário, por exemplo, que pode resultar de um síntese lógica realizada com restrições incorretas.

Para realizar a simulação *gate level* foi necessário criar um ambiente de teste simplificado, que consistia somente em um módulo responsável por gerar os estímulos de reset e valid, ler os estímulos de entrada de um arquivo gerado pelo *golden model* e alimentar o RTL, sem realização de nenhum teste de funcionamento. Alguns sinais presentes no arquivo VCD gerado pela ferramenta Incisive podem ser visualizados na figura 21.

Após a correta geração do arquivo VCD, que continha o chaveamento durante um período de 100 ciclos de clock (com frequência de 500 MHz), o arquivo foi encaminhado para o time responsável por realizar a estimativa de potência na ferramenta PTPX. A estimativa obtida teve valor igual a 3,3 W, um valor alarmante. Considerando que o *power budget* do projeto atual consiste em 16 W, o CDC é novamente um problema a ser lidado,



Figura 21 – Visualização do arquivo VCD gerado.

em que somente uma das unidades dele representa 21% do *budget* total. Como esse DSP também conta com duas unidades do CDC, uma para cada polarização, ele é responsável por 42% do consumo total planejado. Porém, essa é uma informação que já traz atenção para o quanto o DSP em desenvolvimento pode estar fora do *budget* disponível.

A partir deste resultado obtido é possível supor que a atividade futura da equipe de desenvolvimento será a realização da otimização do consumo do CDC, atuando da mesma forma que o CDC de 1024 coeficientes requiriu, com diminuição da área (que atualmente é de 3,5 milhões de gates), eliminação de estágios de pipeline e otimização nos cálculos internos da FFT, através de mudanças de precisão e aumento da reusabilidade de circuitos lógicos.

4 Conclusão

O estágio integrado realizado na empresa BrPhotonics foi de suma importância para a formação da aluna, possibilitando o contato com o dia-a-dia de uma empresa e o trabalho em equipe, além de mostrar que é possível se obter êxito ao trabalhar com temas que não foram privilegiados em sua formação.

Todas as atividades realizadas tiveram bons resultados e contribuíram para o bom desenvolvimento do projeto da empresa. A equipe em que a aluna foi inserida foi bastante receptiva e solicita no momento de ajudar a aluna nas atividades e com os conceitos que ela não teve a oportunidade de estudar anteriormente, como o funcionamento de sistemas de comunicação óptica.

Porém, os conhecimentos adquiridos na universidade também foram de grande auxílio para que a aluna conseguisse ter tal êxito. Entre os conhecimentos utilizados, destacam-se os das disciplinas Arquitetura de sistemas digitais, Circuitos lógicos, Técnicas de programação e Princípios de comunicação.

Referências

- AGRAWAL, G. P. *Fiber-Optic Communication Systems*. [S.l.]: Wiley, 2002. ISBN 0-471-22114-7. Citado na página 28.
- ATS. *ASIC Cooling Heat Sinks*. 2017. Disponível em: <<https://www.qats.com/eShop.aspx?q=ASIC%20Cooling>>. Citado na página 23.
- BRAGA, N. C. *Conceitos de modulação digital*. 2017. Disponível em: <<http://www.newtoncbraga.com.br/index.php/telecomunicacoes/5018-tel048>>. Citado na página 21.
- BRPHOTONICS. *BrPhotonics*. 2017. Disponível em: <<http://brphotonics.com/pt/>>. Citado 2 vezes nas páginas 16 e 17.
- CHADHA, J. B. R. *An ASIC Low Power Primer*. [S.l.]: Springer, 2013. ISBN 978-1-4614-4271-4. Citado 2 vezes nas páginas 23 e 24.
- CHEN, W. K. *Memory, Microprocessor, and ASIC*. 1. ed. [S.l.]: CRC PRESS, 2003. v. 7. (Principles and Applications in Engineering, v. 7). ISBN 0849317371. Citado na página 23.
- FORUNS, U. . L. *Man page for cksum*. 2017. Disponível em: <<http://www.unix.com/man-page/posix/1posix/cksum/>>. Citado na página 29.
- KIREMIRE, A. R. *The application of the Pareto principle in software engineering*. 2011. Citado na página 24.
- MENTOR, a. S. B. *PowerPro RTL Low-Power*. 2017. Disponível em: <<https://www.mentor.com/hls-lp/powerpro-rtl-low-power/>>. Citado 2 vezes nas páginas 30 e 31.
- NEGÓCIOS, P. empresas e grandes. *Startup brasileira é reconhecida como uma das mais inovadoras do mundo*. 2016. Disponível em: <<http://revistapegn.globo.com/Startups/noticia/2016/07/startup-brasileira-e-reconhecida-como-uma-das-mais-inovadoras-do-mundo.html>>. Citado na página 15.
- OSPINA, R. S. B. Impact of transceiver imperfections on the performance of digital signal processing in coherent optical systems. Qualificação de mestrado apresentada na Universidade Estadual de Campinas (Unicamp) em Julho de 2017. 2017. Citado na página 20.
- PANDA, e. a. P. R. *Power-efficient System Design*. [S.l.]: Springer, 2010. ISBN 978-1-4419-6387-1. Citado 4 vezes nas páginas 23, 24, 25 e 32.
- PASCHOTTA, R. *Fibers, em Encyclopedia of Laser Physics and Technology*. 2017. Disponível em: <<https://www.rp-photonics.com/fibers.html>>. Citado na página 20.
- RAMASWAMI, e. a. R. *Optical Networks*. [S.l.]: Elsevier, 2010. ISBN 978-0-12-374092-2. Citado 2 vezes nas páginas 19 e 21.

SOUTO, D. V. *Recuperação de fase usando diversidade de polarização e de portadora para sistemas DP-16-QAM*. Dissertação (Mestrado) — Universidade Estadual de Campinas, 2017. Citado 2 vezes nas páginas 21 e 22.

ZHOU, C. X. X. *Enabling technologies for high spectral-efficiency coherent optical communication networks*. [S.l.]: John Wiley Sons, 2016. ISBN 9781118714768. Citado na página 19.