



Centro de Engenharia
Elétrica e Informática



Departamento de
Engenharia Elétrica

Relatório de Estágio Integrado

Concepção e Realização de um Módulo de Potência sobre Substrato Flexível

João André Soares de Oliveira

Campina Grande
2017



Laboratório de Eletrônica
Industrial e Acionamento de
Máquinas

João André Soares de Oliveira

Relatório de Estágio Industrial

Relatório de Estágio Industrial realizado no Laboratório Comum SAFRAN/Ampère – IPES com o objetivo de projetar um módulo de potência sobre substrato flexível para aplicações sobre a futura rede elétrica DC 540 V em sistemas aeronáuticos.

Universidade Federal de Campina Grande - UFCG

Orientador: Gutemberg Gonçalves dos Santos Júnior

Campina Grande, Paraíba

13 de fevereiro de 2017

João André Soares de Oliveira

Relatório de Estágio Industrial

Relatório de Estágio Industrial realizado no Laboratório Comum SAFRAN/Ampère – IPES com o objetivo de projetar um módulo de potência sobre substrato flexível para aplicações sobre a futura rede elétrica DC 540 V em sistemas aeronáuticos.

Trabalho aprovado em: _____ de _____ de 2017:

**Gutemberg Gonçalves dos Santos
Júnior**
Orientador

Montiê Alves Vitorino
Convidado

Campina Grande, Paraíba
13 de fevereiro de 2017

Agradecimentos

Eu gostaria de agradecer, primeiramente, ao meu tutor de estágio Cyril Buttay, por seu acompanhamento sobre o trabalho desenvolvido durante o estágio e, igualmente, ao engenheiro industrial Marwan ALI do grupo Safran.

Agradeço também ao meu tutor de ensino do INSA - Lyon, Florin Doru Hutu, por sua disponibilidade e paciência, além também ao meu orientador da Universidade Federal de Campina Grande, Gutemberg Gonçalves dos Santos Júnior.

Eu me tenho particularmente a agradecer aos estagiários: Joel, Radwan, Pierre, Manuel e Marion por suas participações na elaboração de um ótimo ambiente de trabalho e um verdadeiro espírito de coesão e equipe. Além também dos pesquisadores, pós-doutorandos e engenheiros do Laboratório Ampère do INSA: Dominique P., Dominique T., Jean-Yves, Luong Viêt, Jean-Baptiste, Hervé, Nicolas, Oriol, Maxime et Pascal pelo caloroso recebimento no contexto de equipe.

Além de tudo, agradeço também à equipe administrativa do laboratório Ampère, Sandrine, Marie-Guy, Edwige e Edith pelo apoio nos trâmites administrativos do estágio.

"Que não tenhamos nenhum arrependimento do passado e nenhum remorço do nosso presente, mas cultivemos uma confiança inabalável para o nosso futuro."
(Jean Jaurès)

Resumo

Os *chips* de potência são usualmente conectados no interior dos módulos por fios denominados de *wirebonds*. Se esta tecnologia é utilizada quase universalmente, observa-se que ela limita as performances de novas gerações de componentes como aqueles de carbeto de silício, sendo estes mais rápidos que os componentes de silício. Sobre estes fios, incidem indutâncias parasitas elevadas que, por sua vez, causam sobretensões no momento de abertura dos transistores, aumentando sua perdas.

A partir dos trabalhos de pesquisa realizados no Laboratório Ampère, estudos visam substituir estes fios por outros tipos de interconexões. Um caminho particularmente atrativo é a utilização de circuitos impressos flexíveis. Estes permitem realizar estruturas multicamadas, sendo menos indutivas. Além disso, permitem igualmente adicionar funções periféricas (circuito de comando, por exemplo) aos componentes de potência. Dessa forma, melhora-se ao mesmo tempo as performances elétricas do sistema e sua capacidade.

Alguns trabalhos sobre a utilização de circuitos flexíveis já foram iniciados junto ao laboratório, sendo estes desenvolvidos com o uso de uma tecnologia de montagem própria. O tema do estágio visa melhorar certos pontos do processo de fabricação e conceber (além de fabricar) um protótipo do módulo de potência, bem como avaliar os elementos parasitas sobre o PCB flexível.

Palavras-chave: Estágio Industrial, Módulo de Potência, Encapsulamento, Substrato Flexível.

Tabela de Figuras

Figura 1 – Organograma do Laboratório Ampère.	3
Figura 2 – Desenvolvimento do grupo Safran junto aos sistemas aeronáuticos.	5
Figura 3 – Eixos estratégicos RSE.	6
Figura 4 – Laboratório Commun Safran/Ampère - IPES.	7
Figura 5 – Sistema de potência de um avião mais elétrico.	8
Figura 6 – Consumidores de energia de um avião.	8
Figura 7 – (a) Secção mostrando um <i>chip</i> soldado sobre um DBC, com um fio de ligação de alumínio soldado em face superior. (b) Substrato (AlN) metalizado.	11
Figura 8 – Esquema da secção de uma módulo com circuito flexível.	12
Figura 9 – Esquema da secção de um módulo mostrando o <i>busbar</i>	13
Figura 10 – Esquema de camadas eletricamente dopadas dos MOSFETs (a) e IGBTs (b).	13
Figura 11 – Esquema de camadas eletricamente dopadas em detalhe dos MOSFETs.	14
Figura 12 – Esquema de camadas eletricamente dopadas em detalhe no IGBT.	15
Figura 13 – Braço de um inversor VSI.	16
Figura 14 – Comportamento da tensão e corrente sobre os interruptores.	16
Figura 15 – Comportamento da tensão em materiais semicondutores em função da temperatura de embalamento térmico.	17
Figura 16 – Módulo de potência mostrando os substratos DBC equipados de seus <i>chips</i> : vista transversal (a) e vista em corte (b).	18
Figura 17 – Substrato DBC.	18
Figura 18 – Esquema elétrico com elementos parasitas devido ao encapsulamento.	20
Figura 19 – <i>Drive</i> utilizado para acionar os interruptores.	21
Figura 20 – Esquemático do circuito <i>bootstrap</i>	21
Figura 21 – Comportamento da tensão e corrente sobre um interruptor.	23
Figura 22 – Apresenta-se em (a) a vista superior e em (b) a vista inferior do circuito flexível.	25
Figura 23 – Pode-se ver em (a) o DBC e em (b) a guia de alinhamento.	26
Figura 24 – Protótipo do circuito flexível gerado pelo KiCAD.	26
Figura 25 – Processo físico de evaporação do feixe de elétrons.	28
Figura 26 – Evaporador 300 – Alliance Concept.	29
Figura 27 – Equipamento utilizado para montagem dos <i>chips</i> : máquina de serigrafia (a) e die bonder (b). A junção resultante é caracterizada mecanicamente com auxílio de um banco de teste de cisalhamento (c).	29

Figura 28 – Esquema da tecnologia de sinterização de prata (a) e um perfil típico para a sinterização de nanopartículas de prata (b).	30
Figura 29 – Prensa térmica.	31
Figura 30 – Esquema elétrico do braço de inversor.	32
Figura 31 – Circuito flexível modelado com o Q3D Extractor.	33
Figura 32 – Esquema elétrico do braço de inversor com os elementos parasitas do circuito flexível.	34
Figura 33 – Parâmetros utilizados para a simulação.	34
Figura 34 – Comportamento da tensão e corrente sobre o interruptor.	36
Figura 35 – Formas de onda da tensão e corrente sobre a indutância de carga.	37
Figura 36 – Potência Dissipada sobre o interruptor.	37
Figura 37 – Esquema elétrico representando as indutâncias parasitas do circuito flexível.	39
Figura 38 – Tensão sobre o interruptor sem e com elementos parasitas.	39
Figura 39 – Corrente sobre o interruptor sem e com elementos parasitas.	40
Figura 40 – Potência dissipada sobre o interruptor sem e com elementos parasitas.	40
Figura 41 – Comportamento da tensão sobre o interruptor sem e com elementos parasitas.	41
Figura 42 – Formas de onda da corrente do diodo sem e com elementos parasitas.	42
Figura 43 – Guia de alinhamento para montagem (a) e substrato DBC (b).	43
Figura 44 – Máquina de serigrafia com a tela adaptada aos <i>chips</i> (a) e a prensa térmica (b).	44
Figura 45 – Circuito Flexível depois da montagem.	44
Figura 46 – Desenvolvimento da montagem: deposição da pasta de prata sobre o circuito flexível (a), e alinhamento do IGBT sobre o material de prata feito por uma lâmina de vidro (e observação através da lâmina de vidro) (b).	45
Figura 47 – Vista superior do circuito flexível. Em (a) os IGBTs do lado de alta e em (b) os IGBTs do lado de baixa (com o espalhamento da pasta de prata visível).	46
Figura 48 – Circuito de comando do braço de inversor.	46
Figura 49 – Versão final do circuito flexível.	46
Figura 50 – <i>Routage</i> do PCB Flexível – Camada F.Cuivre.	52
Figura 51 – <i>Routage</i> do PCB Flexível – Camada B.Cuivre.	52
Figura 52 – <i>Routage</i> do PCB Flexível – Camada F.B.Silks.	53
Figura 53 – <i>Routage</i> do PCB Flexível – Camada EdgeCuts.	53

Lista de Tabelas

Tabela 1 – Estados dos interruptores para o braço de um inversor VSI.	17
Tabela 2 – Tabela de Componentes.	25
Tabela 3 – Tabela de valores de indutância parasita. A unidade está em [nH].	38
Tabela 4 – Tabela de medidas efetuadas sobre o protótipo..	45
Tabela 5 – Tabela dos valores de resistência parasita. A unidade está em [mΩ].	54
Tabela 6 – Tabela dos valores de capacitância parasita. A unidade está em [pF].	54

Tabela de Abreviações

IPES	Integrated Power Electronics Systems (Intégration du Puissance en Environnements Sévères).
RSE	Responsabilidade Social das Empresas.
SSPC	Solid-State Power Controller.
CC	Corrente Contínua.
UMR	Unité Mixte de Recherche.
R&D	Recherche et Développement.
ANR	Agence Nationale de la Recherche.
IGBT	Insular Gate Bipolar Transistor.
MOSFET	Metal Oxide Semiconductor Field Effect Transistor.
PPM	Partie par Million.
DBC	Direct Bonded Copper.
VSI	Voltage Source Inverter.
CMS	Composants Montés en Surface.
DBC	Direct Bonded Copper.
SPICE	Simulation Program with Integrated Circuit Emphasis.
PCB	Printed Circuit Board
CAD	Computer Aided Design

Sumário

	Sumário	xi
1	INTRODUÇÃO	1
2	APRESENTAÇÃO	3
2.1	Contexto de Trabalho	3
2.1.1	O Laboratório Ampère	3
2.1.2	A empresa SAFRAN	4
2.1.3	O Laboratório Comum IPES	6
2.2	Contexto de Estudo	7
2.3	Direção da Pesquisa Escolhida	9
2.4	Objetivos do Estágio Industrial	9
3	FUNDAMENTAÇÃO TEÓRICA	11
3.1	Estado da Arte	11
3.1.1	Fios de Ligação	11
3.1.2	Circuito Flexível	12
3.2	Estudo Comparativo: IGBT e MOSFET	12
3.2.1	Transistor MOSFET	14
3.2.2	Transistor IGBT	15
3.3	Teoria dos Inversores	15
3.4	Módulo de Potência (Encapsulamento)	17
4	CONCEPÇÃO DO PROTÓTIPO	20
4.1	Dimensionamento dos Componentes do Módulo de Potência	20
4.1.1	Circuito de Comando	21
4.1.2	Capacitor <i>Bootstrap</i>	22
4.1.3	Diodo <i>Bootstrap</i>	23
4.1.4	Resistência de Porta	23
4.1.5	Especificação dos Componentes	24
4.2	Desenho do Circuito Impresso	24
5	REALIZAÇÃO DO PROTÓTIPO EM LABORATÓRIO	28
5.1	Evaporação por Canhão de Elétrons	28
5.2	Realização da Montagem do <i>Chip</i>	29
5.3	Montagem por Partículas de Prata Sinterizadas	30

6	ESTUDOS POR SIMULAÇÃO	32
6.1	Modelização do Sistema e <i>Software</i> LTSpice	32
6.2	Modelização 3D dos Elementos Parasitas	32
6.3	Simulação Considerando as Perdas Parasitas	33
7	RESULTADOS DE SIMULAÇÃO	36
7.1	Sistema sem Considerar os Elementos Parasitas	36
7.2	Matriz dos Elementos Parasitas	38
7.3	Simulação e Análise Considerando as Perdas Parasitas	38
8	ENSAIOS E RESULTADOS EXPERIMENTAIS	43
8.1	Descrição das Últimas Montagens	45
9	CONCLUSION	48
	REFERÊNCIAS	49
	 ANEXOS	 51
	Anexo A – DESENVOLVIMENTO DO CIRCUITO IMPRESSO COM O KICAD	52
	Anexo B – MATRIZES DOS ELEMENTOS PARASITAS	54

1 Introdução

O trabalho que foi realizado neste relatório faz parte da formação em engenharia elétrica. Ele permitiu implementar várias competências que foram desenvolvidas durante a formação em engenharia elétrica tanto no Brasil, quanto no INSA de Lyon. Todos os trabalhos precedentes tiveram relação direta com a pesquisa e desenvolvimento, sendo em sua maioria no âmbito dos sistemas eletrônicos de potência aplicados aos sistemas renováveis de energia. O domínio de estudo deste estágio, não sendo o foco original da pesquisa realizada no Brasil, permitiu agregar um alto valor no tema dos sistemas embarcados de alta tecnologia.

Durante o estágio, realizado no Laboratório IPES, laboratório comum entre os parceiros Safran e Ampère, no INSA, foi desenvolvido a concepção e implementação de um módulo de potência inovador com a utilização de um substrato flexível ao invés dos tradicionais fios de ligação para redes de bordo dos aviões do futuro. O trabalho foi orientado por Cyril Buttay, pesquisador do CNRS. Os intercâmbios com o setor industrial, representados pelo grupo Safran, foram efetivados por telefone e por reuniões.

O primeiro mês de estágio foi destinado aos estudos bibliográficos, sobretudo sobre o tema de encapsulamento, *packaging*, técnicas de montagem de circuitos tridimensionais e todos os processos necessários para realizar o módulo de potência. Em seguida, um *software* para desenhar circuitos impressos foi escolhido (KiCAD), programa este gratuito e que supriu todas as necessidades. Seguindo tais estudos, as escolhas de tecnologias foram realizadas e, posteriormente, o circuito foi desenhado. Os arquivos para fabricação do circuito flexível e dos outros componentes necessários foram enviados ao fabricante. Esperando a construção dos elementos para montagem do conversor, de forma paralela, realizou-se a modelagem e a simulação dos elementos parasitas utilizando o programa Q3D Extractor da suíte ANSYS. Em sequência, o *software* LTSpice foi utilizado para simulação do sistema completo com os componentes de um ondulador e de seus elementos parasitas. Uma parte da realização prática foi igualmente iniciada mas, por falta de tempo, não foi possível realizar ensaios suficientes que alcançassem a montagem completa e funcional do conversor.

Este relatório está dividido em seis partes, a primeira consiste em uma apresentação do meio de trabalho e do contexto de estudo. A segunda agrupa a fundamentação teórica. A terceira parte detalha os métodos de concepção para o desenvolvimento do circuito flexível bem como todos os dimensionamentos que foram feitos para a construção do módulo de potência. A quarta etapa aborda a realização do protótipo junto com todas as etapas de fabricação. A quinta apresenta os estudos de simulação. Por fim, a última parte

apresenta os ensaios práticos com o conversor. Para a conclusão, foi realizado um balanço deste estudo e as perspectivas possíveis para continuação da pesquisa.

2 Apresentação

2.1 Contexto de Trabalho

O estágio industrial desenvolveu-se no Laboratório IPES, criado pela junção do grupo SAFRAN e a UMR Ampère de Lyon. Esta primeira parte nos permitirá realizar uma rápida apresentação a fim de conhecer o papel e os desafios das três entidades que compõem esta colaboração.

2.1.1 O Laboratório Ampère

O Laboratório Ampère é uma entidade de pesquisa multidisciplinar (Engenharia de Sistemas, Energia Elétrica e Bioengenharia) que engloba vários estabelecimentos de pesquisa e de ensino superior em Lyon (CNRS, INSA, École Centrale, Universidade Claude Bernard Lyon 1) como pode ser vista na Fig. (1).

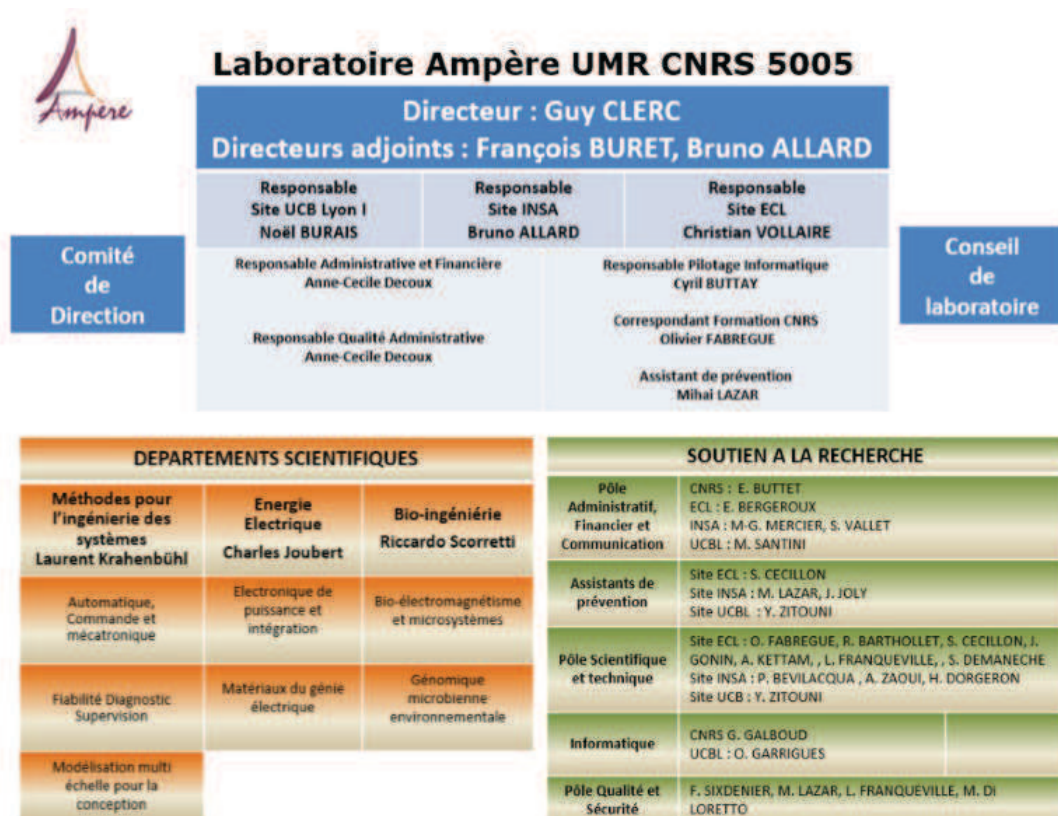


Figura 1 – Organograma do Laboratório Ampère.

Esta entidade nasceu em 2007 a partir da fusão da CEGELY (Engenharia Elétrica), do LAI (Automação), bem como também da integração de pesquisadores em microbiologia

ambiental. Hoje, o grupo conta com cerca de 160 colaboradores. Os principais eixos de pesquisa concentram-se sobre a energia de sistemas com relação direta ao meio ambiente no domínio da eletrônica de potência, pela parte que concerne o desenvolvimento de materiais, da biologia do conjunto e da automação. Este laboratório permite assim um contexto de trabalho interdisciplinar e completo, envolvendo numerosas oportunidades de intercâmbio de conhecimento.

O estágio foi realizado nas dependências do INSA de Lyon no setor de engenharia elétrica, sendo o tutor de estágio membro do Departamento de Engenharia Elétrica do INSA e pesquisador junto ao CNRS.

2.1.2 A empresa SAFRAN

Safran é um grupo internacional de alta tecnologia que trabalha com equipamentos de ponta no domínio da Aeronáutica e Espaço, Defesa e Segurança.

Implantada em todos os continentes, o grupo emprega em torno de 70 000 pessoas que geraram um valor de mercado de 17,4 bilhões de euros em 2015. Composta de numerosas sociedades, o grupo Safran ocupa, com suas parcerias, posições de primeiro plano mundial sobre o mercado. Para responder à evolução de mercado, o grupo realiza diversos programas de pesquisa e desenvolvimento que representaram em 2015 custos de mais de 2 bilhões de euros.

A política RES da Safran incide sobre seis eixos de estratégias determinados em 2012 sobre a base da norma ISO 26000 Fig. (3).

O conceito de responsabilidade social da Safran engloba um conjunto de partes: clientes, acionistas, fornecedores, colaboradores, parceiros sociais, associações, além de poderes públicos e instituições, analistas financeiros e agentes de notações, grande público e médias.

Este percurso envolve valores e uma ética compartilhada por um conjunto de colaboradores do grupo: a responsabilidade do cidadão, a valorização das mulheres e dos homens, o respeito dos trabalhos e o potencial da equipe são, de fato, os valores construtivos da cultura do grupo Safran.

Em seguida, pode-se observar os principais números do primeiro semestre de 2016:

- Um número importante ajustado é estabelecido em 8.936 M€, em audiência de 6,3 % com relação ao primeiro semestre de 2015. O crescimento foi de 6,5 % sobre a base original.
- O resultado operacional corrente ajustado se elevou à 1.309 M€ (14,6 % do volume de negócios), em progressão de 11,8 % sobre um ano. Considerando elementos recorrentes de 13 M€, o resultado operacional ajustado resulta à 1.296 M€.



Figura 2 – Desenvolvimento do grupo Safran junto aos sistemas aeronáuticos.

- O resultado líquido ajustado (parte do grupo) se estabelece à 862 M€ (seja um resultado por ação de base 2,07 € e um resultado por ação diluída de 2,03 €). No primeiro semestre de 2015, o resultado líquido ajustado compreendeu um aumento de valor resultante da cessão de títulos do grupo Ingenico. Fora este aumento de valor, o resultado líquido ficou na progressão de 15,7 %.
- O resultado líquido consolidado - não ajustado (parte do grupo) se estabelece à 1.818 M€, seja 4,37 € por ação. Percebe-se que houve uma melhora, sem incidência sobre o *cash flow*, de 1.015 M€ antes do impactos dos impostos, decorrentes da variação do valor monetário dos instrumentos destinados a cobrir os fluxos futuros.
- A geração de *cash flow* livre do primeiro semestre de 2016 se elevou a 566 M€, comparados aos 96 M€ registrados em 30 de junho de 2015, notadamente graças à um bom controle das necessidades de fundo financeiro.



Figura 3 – Eixos estratégicos RSE.

- A dívida líquida, que se elevou à 1.015 M€ em 30 de junho de 2016, compreendeu uma subinscrição ao aumento de capital reservado da Airbus Safran Launchers para um montagem de 470 M€ no âmbito do reequilíbrio econômico necessário à participação na empresa parceira. Uma segunda subinscrição de 280 M€ foi efetuada no segundo semestre de 2016, assim o montante total de reestabelecimento econômico ao valor precedente ficou de 750 M€.

2.1.3 O Laboratório Comum IPES

O laboratório comum nomeado de Integração de Potência em Ambientes Severos foi inaugurado em 13 de novembro de 2013 por pesquisadores parceiros do Ampère e da Safran.

Esta criação surgiu de um acordo entre os dois parceiros e de uma longa colaboração já realizada tendo em vista a conclusão de inúmeros projetos.

No contexto onde a temática da conversão de energia na aeronáutica está, atualmente, em forte crescimento, o grupo Safran, líder no mercado de equipamentos aeronáuticos, deseja desenvolver pesquisas avançadas sobre a integração de potência em ambientes severos. O laboratório comum IPES gera uma melhor coordenação para a pesquisa entre os dois parceiros, além de oferecer uma maior visibilidade bem como uma melhor capacidade de resposta às chamadas de oferta da ANR e outros órgãos europeus.

A eletrônica de potência tem um papel muito importante na aeronáutica em razão da utilização, cada vez maior, dos acionadores elétricos que visam substituir os acionadores hidráulicos, notadamente para comandos de voo, bombas de combustível ou ainda o funcionamento do trem de aterrissagem.

A implementação dos acionadores elétricos permite melhorar a confiabilidade de todo o sistema, além de diminuir sua massa, bem como seus custos de manutenção. Contudo, o ambiente no qual evolui uma aeronave é dotado de condições extremas e severas com relação aos sistemas que operam no solo, notadamente em termos de temperatura e pressão. Em decorrência da evolução tecnológica, atualmente é conveniente utilizar um meio termo entre os sistemas.



Figura 4 – Laboratório Commun Safran/Ampère - IPES.

Este laboratório concentra suas missões sobre a elaboração de sistemas elétricos e eletrônica de potência inovadores para um avião com mais eletrônica embarcada. De fato, com a multiplicação dos acionadores elétricos a bordo dos aparelhos e a vontade de supressão dos sistemas hidráulicos e pneumáticos há uma grande demanda de sistemas elétricos e eletrônicos que respondam à utilização nas condições severas citadas: fortes variações de temperatura (-50 °C à 220 °C), componentes à comutação rápida, normas de CEM. As barreiras tecnológicas são ainda um desafio, mas os estudos e pesquisas realizadas pelo laboratório permitirão alcançar limites ainda maiores.

2.2 Contexto de Estudo

O tema do estágio insere-se na problemática do avião com mais eletrônica embarcada. Para o momento, nos aviões, encontram-se sistemas hidráulicos e pneumáticos para numerosas funções de transmissão de energia, como por exemplo a frenagem e os acionadores elétricos. O sistema hidráulico é baseado na utilização de bombas que realizam a alimentação dos vários sistemas incluindo os controladores e toda a pilotagem mecânica do avião. A potência pneumática é utilizada para o controle dos sistemas do ambiente. Para este novo avião, os acionadores hidráulicos e pneumáticos são substituídos por acionadores elétricos [1].

A ideia deste avião repousa na supressão dos elementos hidráulicos e pneumáticos enquanto transmissores de energia, havendo a substituição por sistemas de eletrônica de potência. No que concerne os acionadores elétricos, deseja-se implementar uma rede

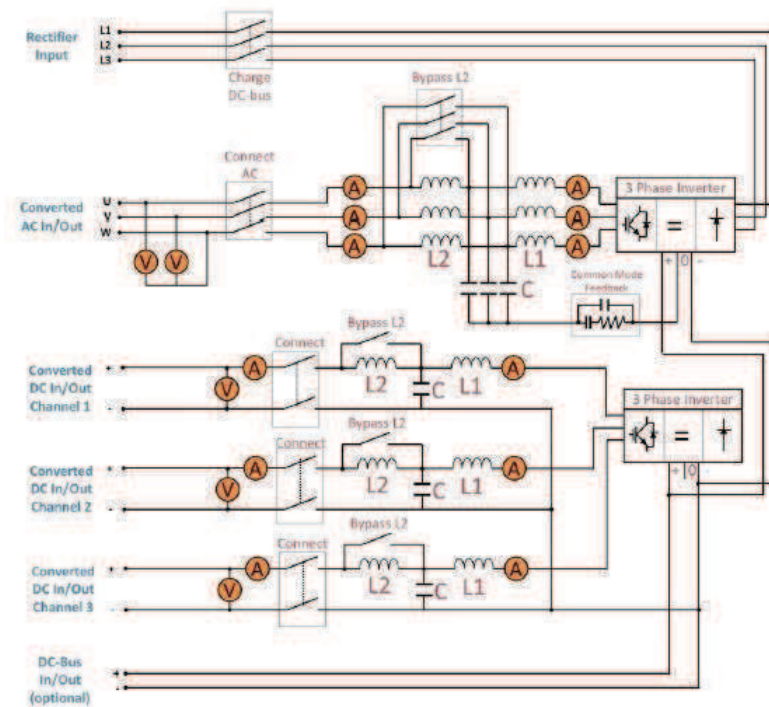


Figura 5 – Sistema de potência de um avião mais elétrico.

Fonte: Applied Dynamics Internacional.

DC 540 V. Pode-se observar na Fig. 5 um esquema elétrico puramente ilustrativo com a representação dos conversores de potência. Esta imagem tem por objetivo mostrar uma visão geral da eletrônica de potência no avião.

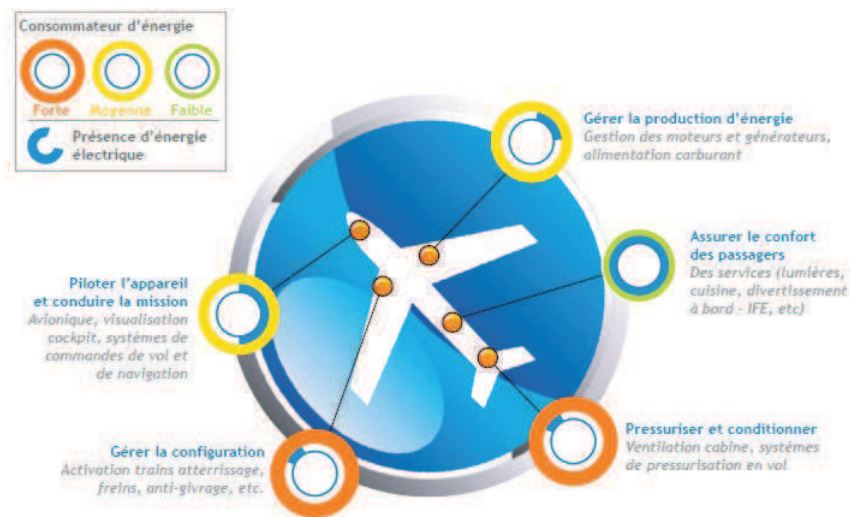


Figura 6 – Consumidores de energia de um avião.

Fonte: Labinal Power Systems/Safran.

De forma geral, as pesquisas sobre este novo avião concentram-se na passagem de uma distribuição elétrica em corrente alternada a uma distribuição em corrente contínua, para permitir as trocas de energia entre os equipamentos, bem como o processo inverso;

limitar as perdas de energia e as perturbações eletromagnéticas; regular os materiais capazes de suportar altas temperaturas (superiores à 200 °C).

2.3 Direção da Pesquisa Escolhida

As aplicações aeronáuticas exigem componentes confiáveis, que possuam boa resistência às ciclagens térmicas e que tenham um tempo de vida útil elevado. Considerando tudo isso, foi escolhido um material de alta performance (o polyimida que é fabricado pela empresa Du Pont, disponível sobre nome comercial de Pyralux Ht) para a construção do circuito impresso flexível. Este material suporta temperaturas que ultrapassam os 200 °C, sendo ideal para as aplicações em ambientes severos.

No que concerne aos interruptores, foram escolhidos os MOSFETs de carbeto de silício (SiC) para a simulação. Estes componentes oferecem uma grande velocidade de comutação e, portanto, possuem maior performance que os componentes de silício. É importante destacar que a característica mais importante que deseja-se colocar em evidência é o melhor comportamento dinâmico das interconexões flexíveis, comparado a um módulo de potência clássico (com fios de ligação). A utilização de componentes rápidos é, portanto, necessária para demonstrar a evolução do módulo. Para a implementação do inversor, contudo, foram utilizados os IGBTs de carbeto de silício, mais fáceis de montar devido as suas interconexões serem mais espessas.

Todas as interconexões são realizadas em cobre, tanto para os sinais de comando quanto aos condutores de potência, este metal oferece excelente performance, além de ser bem adaptado ao processo de fabricação dos circuitos impressos.

2.4 Objetivos do Estágio Industrial

Os objetivos de uma forma geral apresentados por este relatório são os seguintes:

- Realização de um estudo da arte para os circuitos flexíveis, bem como a descrição da técnica de sinterização de prata para a otimização da metalização superior dos *chips*;
- Estudo comparativo entre os componentes IGBTs e MOSFETs;
- Apresentação da teoria básica para os inversores;
- Estudo das técnicas de encapsulamento para os módulos de potência;
- Concepção e realização do protótipo, bem como todos os dimensionamentos necessários;

- Simulação utilizando um modelo real e, após ter calculado os elementos parasitas, comparar o resultado com a simulação do sistema mais próximo possível da realidade;
- Apresentação dos resultados experimentais e explicação das dificuldades encontradas.

3 Fundamentação Teórica

3.1 Estado da Arte

Primeiramente, este capítulo introduz as soluções que utilizam circuitos flexíveis, sendo este o objetivo do projeto de estágio. Geralmente, para a construção dos módulos de potência utilizam-se os fios de ligação que possuem o papel principal de fazer a ligação elétrica entre os *chips*.

3.1.1 Fios de Ligação

As conexões elétricas sobre os *chips* semicondutores são realizadas geralmente por fios de ligação cujo diâmetro é compreendido entre 100 et 500 μm . Eles são constituídos de alumínio associado, ou ouro, em proporções de alguns ppm, às ligas que diminuem o risco de corrosão de alumínio (níquel). Habitualmente, utiliza-se numerosos fios de ligação conectados em paralelo. [2]

A soldagem ultrasônica é a técnica para prender os fios de ligação sobre a parte metálica dos *chips*. Este método trata-se de um processo no qual vibrações são geradas por uma cabeça de soldagem piezoelétrica. Cria-se uma fricção entre o fio e a superfície superior do *chip* e o aquecimento decorrente é suficiente para realizar a conexão soldada. Esta técnica apresenta a vantagem de ser bem rápida: vários fios podem ser colocados por segundo.

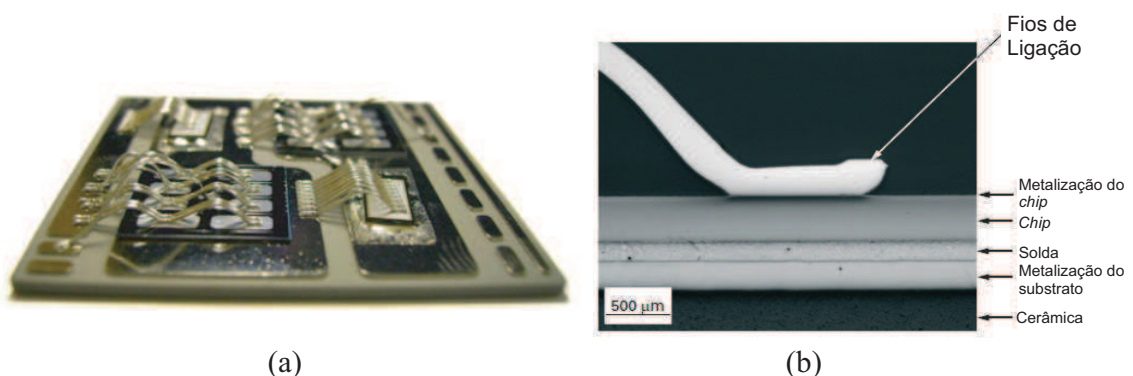


Figura 7 – (a) Secção mostrando um *chip* soldado sobre um DBC, com um fio de ligação de alumínio soldado em face superior. (b) Substrato (AlN) metalizado.

Fonte: Université de Nottingham.

3.1.2 Circuito Flexível

Apesar do desenvolvimento tecnológico, e dos modos de falha sobre os módulos de potência serem bem conhecidos, a técnica de conexão por fios de ligação possui limitações elétricas (indutância parasita de valor considerável) e térmicas. Tais limitações não permitem obter um módulo de potência com uma densidade de potência elevada e com performances eletromagnéticas suficientes para aumentar a potência e frequência de operação. Para responder a estas necessidades, tecnologias de interconexão 3D apareceram e modificaram, assim, o encapsulamento dos módulos passando de uma integração planar (2D) a uma integração tridimensional (3D).

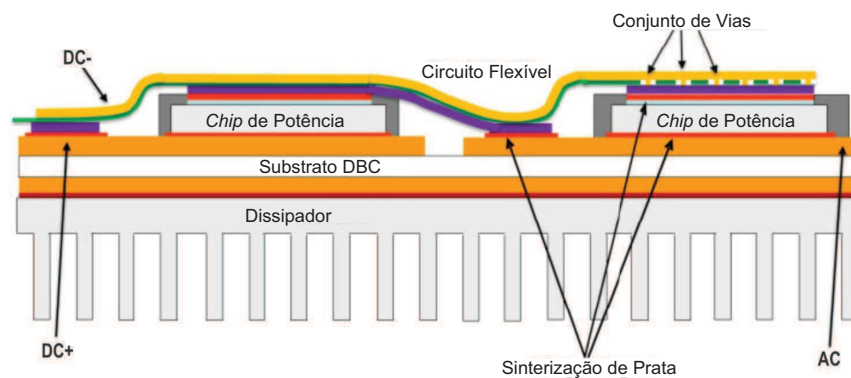


Figura 8 – Esquema da seção de um módulo com circuito flexível.

Fonte: Semikron Internation. Com modificações.

Na tecnologia dos circuitos flexíveis que foi desenvolvida, todas as soldagens que fazem o contato com a metalização são substituídas por junções de prata obtidas pela técnica de sinterização de prata. Todos os *chips* são colocados sobre o substrato DBC. As vias (buracos metalizados que permitem estabelecer conexões elétricas entre duas camadas) são necessárias para formar o caminho de fortes correntes entre diferentes camadas do circuito flexível. Com este tipo de organização, uma baixa indutância parasita pode ser alcançada. [3]

Outra vantagem das conexões massivas: os fios têm uma superfície de contato de aproximadamente 21 % da superfície de um *chip*, enquanto que com a utilização dos circuitos flexíveis a superfície de contato aumenta para aproximadamente 85 %.

3.2 Estudo Comparativo: IGBT e MOSFET

Nesta parte, serão apresentadas as características dos componentes IGBTs (em silício) e MOSFETs (em carbeto de silício, ou SiC). Para a simulação, utilizou-se um modelo MOSFET-SiC, pois ele permite implementar comutações mais rápidas que melhor

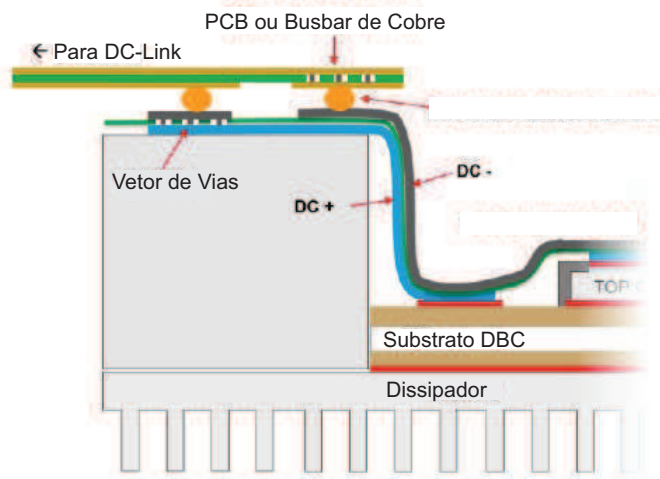


Figura 9 – Esquema da seção de um módulo mostrando o *busbar*.

Fonte: Semikron Internation.

colocam em evidência o efeito dos elementos parasitas de cabeamento (sendo estes os componentes que devem ser utilizados por mais longo prazo). Outro ponto importante para destacar é a frequência de operação: os MOSFETs podem trabalhar com frequências bem elevadas, enquanto que os IGBTs dispõem de um limite de trabalho na casa dos 20 KHz.

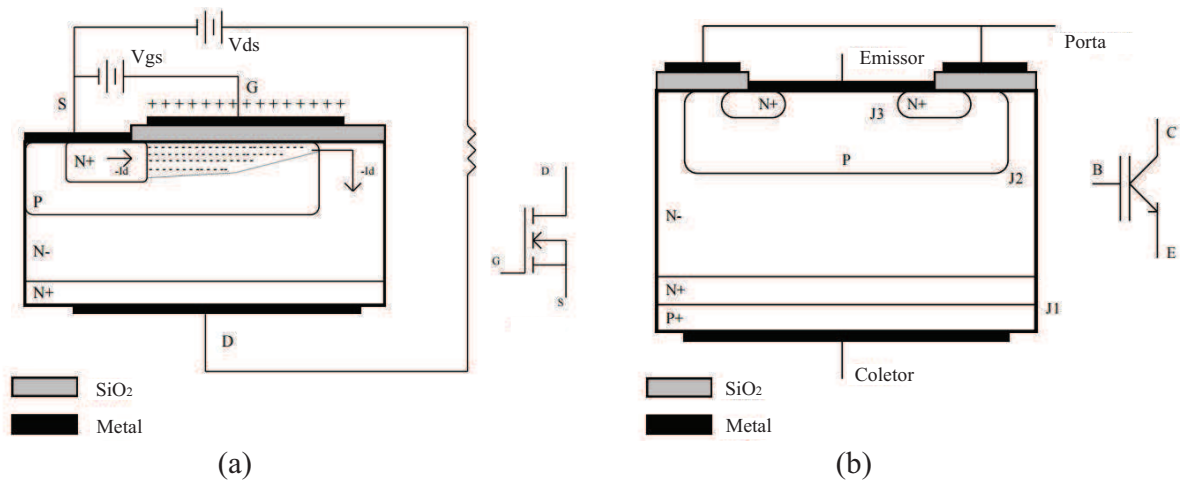


Figura 10 – Esquema de camadas eletricamente dopadas dos MOSFETs (a) e IGBTs (b).

A utilização dos IGBTs destina-se, preferencialmente, para aplicações de altas corrente, porque eles apresentam baixa queda de tensão ao estado passante. Idealmente, um interruptor deve ter as seguintes características: impedância nula ao estado de bloqueio (fechado) e infinita ao estado de abertura (aberto), potência consumida e tempo de comutação nulos. De uma forma geral, há dois componentes que realizam o papel de interruptores: o MOS e o transistor bipolar. A estrutura do IGBT permite resolver o problema do alto valor da resistência $R_{DS(on)}$ dos MOSFETs (silício) em alta tensão, isto é, mais de 500 V.

3.2.1 Transistor MOSFET

O transistor MOSFET (Metal Oxide Silicon Field Effect Transistor), pode ser considerado como uma resistência variável. O transistor possui os portadores majoritários (elétrons para um canal N) que atuam no controle da passagem de corrente. Majoritariamente, os MOSFETs são dopados por um canal N, pois assim podem ser obtidas resistências de passagem mais baixas. De fato, como observa-se na Fig. 11 os diodos que aparecem na estrutura são apenas elementos parasitas, não veiculando a potência distribuída. [4]

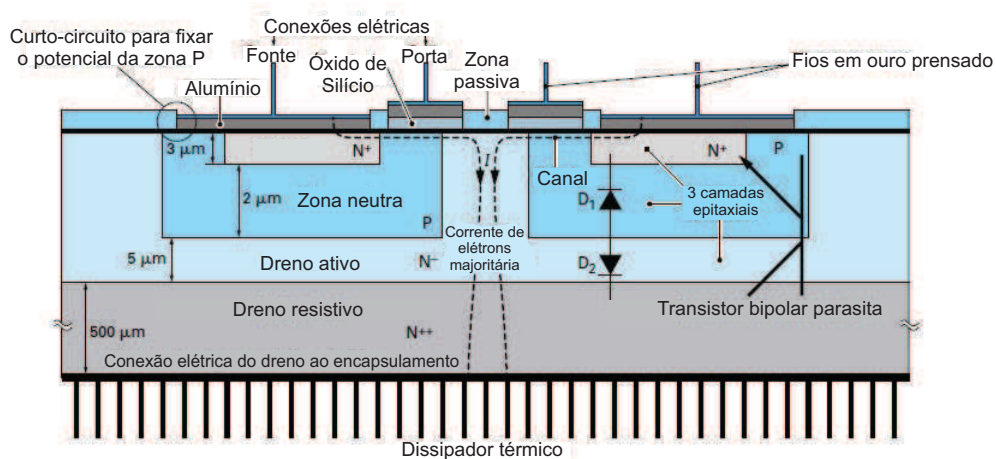


Figura 11 – Esquema de camadas eletricamente dopadas em detalhe dos MOSFETs.

Fonte: Composants de l'électronique de puissance. Techniques de l'ingénieur.

É importante destacar que: a porta deste transistor é isolada por uma camada de óxido de silício e é levada a um potencial positivo com relação à fonte; ela repele os espaços da zona P por um simples efeito eletrostático. Esta repulsão causa uma elevação inversamente proporcional do número de elétrons e um canal de portadores negativos é criado justamente em face da porta do MOSFET. A corrente elétrica pode passar por este canal, em direção ao dreno. No estado de bloqueio, a tensão inversa é principalmente suportada pela camada N^- . Um transistor de alta tensão necessita de uma camada N^- mais espessa e menos dopada, sendo mais resistiva. Há, portanto, um compromisso muito importante entre a resistência a estado passante e a tensão máxima suportada pelo componente a estado de bloqueio [5].

Pode-se constatar que entre as camadas N^+ e a camada P, há uma formação de um diodo que impede a passagem de corrente direta da fonte em direção ao dreno, havendo falta de tensão porta-fonte. Este diodo é exatamente utilizável em um conversor, a condições de considerar sua rapidez, pois ele suporta muito bem a corrente nominal e a baixa carga que é armazenada nele (no caso de um MOSFET SiC).

3.2.2 Transistor IGBT

Há duas características bastante importantes: a baixa queda de tensão direta do bipolar e a facilidade de comando do MOSFET foram unidas para a criação do IGBT, por volta da década de 1980. Sua queda de tensão a estado passante é cerca de 5 V, mas como em todas as tecnologias emergentes, as pesquisas em seu domínio têm rapidamente permitido consagrar o IGBT atual como o componente mais utilizado em aplicações de alta tensão (600 V) à média frequência de corte (20 KHz). [6]

Com respeito a seu funcionamento, nota-se a mesma explicação que para os MOSFETs no contexto de passagem de corrente de elétrons através do canal. Esta corrente excita a região P^{++} por onde passa uma corrente de buracos (lacunas) no sentido oposto. Encontra-se, ainda, um diodo D_3 no sentido direto, seguido pelo diodo D_2 em sentido oposto, este que é bloqueado a princípio pois o canal, de tipo N, inibe a passagem de lacunas, no entanto, estas partículas formam a corrente de base para o transistor PNP. Portanto, pode-se concluir que o MOSFET de comando excita o transistor bipolar de potência. A corrente principal é comandada pelos portadores minoritários. [7]

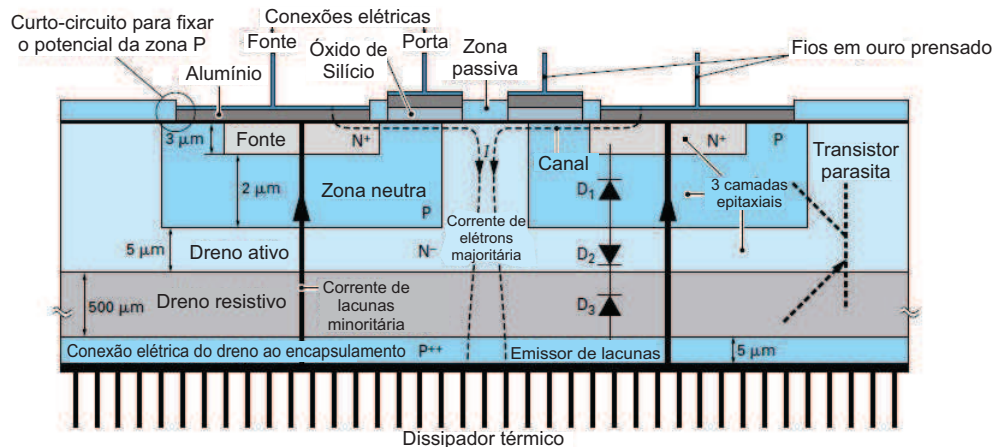


Figura 12 – Esquema de camadas eletricamente dopadas em detalhe no IGBT.

Fonte: Composants de l'électronique de puissance. Techniques de l'ingénieur.

Contudo, vale ressaltar um ponto negativo deste transistor: na comutação de abertura, a corrente decresce rapidamente, mas se mantém em seguida em torno de 10 % de seu valor inicial durante alguns microssegundos, causando perdas importantes nos conversores à comutação forçada [5]. Este é um fenômeno chamado de "cauda de corrente" que limita a frequência de funcionamento dos IGBTs.

3.3 Teoria dos Inversores

Um inversor trata-se de um conversor estático contínuo-alternado que, a partir de uma tensão contínua, deve-se alimentar uma carga em corrente alternada. Com relação às

suas aplicações, destaca-se a variação de velocidade de máquinas à corrente alternada. O projeto de estágio tratou-se do desenvolvimento de um módulo de potência para aplicações aeronáuticas, sendo exatamente esta aplicação o foco do trabalho. A forte evolução desta função se apoia, de uma parte, sobre o desenvolvimento dos componentes semicondutores inteiramente capazes de serem comandados. O objetivo desta exposição é apresentar a arquitetura de um braço de inversor que será utilizado como elemento principal do módulo de potência. [8]

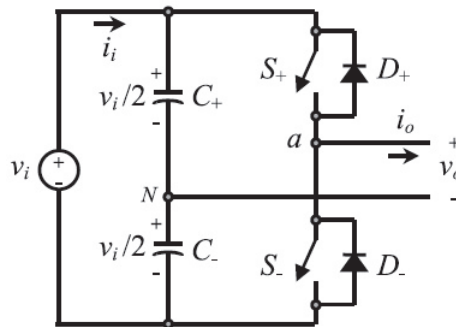


Figura 13 – Braço de um inversor VSI.

Fonte: Power Electronics Handbook.

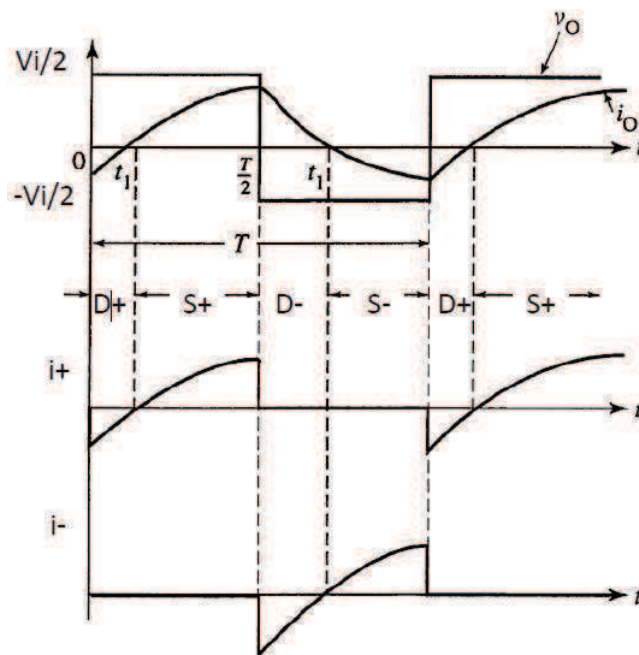


Figura 14 – Comportamento da tensão e corrente sobre os interruptores.

Fonte: Power Electronics Handbook.

Pode-se observar na Fig. 13 a topologia de um braço de inversor VSI, onde dois grandes condensadores são necessários para fornecer um ponto neutro N, tal que cada condensador (ou capacitor) tem uma tensão constante de $v_i/2$. A frequência fundamental do sinal gerado é, classicamente, da ordem de 50 Hz, enquanto que a frequência de corte

Tabela 1 – Estados dos interruptores para o braço de um inversor VSI.

Modo	Estado	V_o
+ é on et - é off	1	$v/2$
- é on et + é off	1	$-v/2$
+ e - são off	1	$-v/2$ ou $+v/2$

do inversor é de vários KHz. Por conta disso, deve-se utilizar grandes capacitores para que eles possam agir como um filtro elétrico a partir da frequência fundamental. Sobre o circuito, é evidente que os dois interruptores não podem conduzir ao mesmo tempo. Daí, estabelece-se dois estados definidos e um estado indefinido como mostra a Tabela 1. Para impedir um curto-circuito sobre a fonte de tensão, uma técnica de modulação deve sempre ser aplicada para assegurar que somente um dos interruptores esteja conduzindo por vez.

3.4 Módulo de Potência (Encapsulamento)

Em torno dos anos 50 os componentes de potência semicondutores apareceram para o mercado. Durante este período, a restrição mais importante era o limite teórico do material: a densidade de potência manipulada pode largamente ultrapassar a casa de vários watts por centímetro quadrado, enquanto que um *chip* de alguns milímetros de lado pode suportar tensões de, por exemplo, 1,2 kilovolts ou correntes de centenas de amperes. [9] [10]

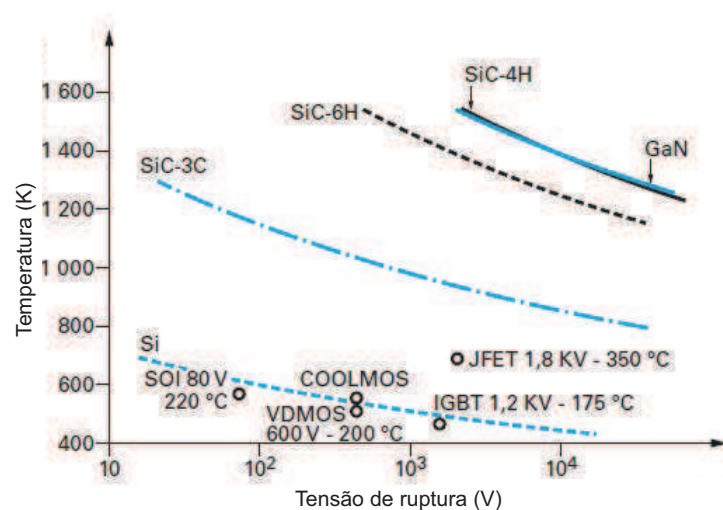


Figura 15 – Comportamento da tensão em materiais semicondutores em função da temperatura de embalamento térmico.

Fonte: Laboratoire Ampère.

O encapsulamento constitui o ambiente que forma o entorno do *chip* de potência. Seu papel é, sobretudo, evacuar o calor dissipando ao exterior, assegurando as conexões elétricas. Os *chips* de potência são muito sensíveis à umidade, poeira e eletricidade; esta proteção é assegurada mecanicamente pela encapsulamento (módulo) impedindo que corpos estranhos entrem. Com relação à gestão térmica de um componente de potência, sabe-se que a temperatura de junção dos *chips* é o fator que limita o domínio de funcionamento. Para um transistor de silício, define-se uma faixa de temperatura entre 125 °C e 175 °C. Além deste limite, o componente pode se tornar incontrolável. Para os elementos de carbeto de silício, este limite é mais alto (200 °C), isto quer dizer que a temperatura máxima é limitada pelos materiais que constituem o encapsulamento. Na Fig. 15, observa-se o comportamento da tensão de materiais semicondutores em função de sua temperatura de junção. No que diz respeito à fadiga termomecânica, o ponto mais importante é a resistência com relação às variações de temperatura: o empilhamento de materiais (e, portanto, de coeficientes de dilatação) diferentes causam a aparição de restrições mecânicas durante a mudança de temperatura. No caso do módulo, pode-se citar as interfaces particularmente sensíveis à este fenômeno: fils de ligação, *chips*-solda, solda-metalização superior, entre outros. [11]

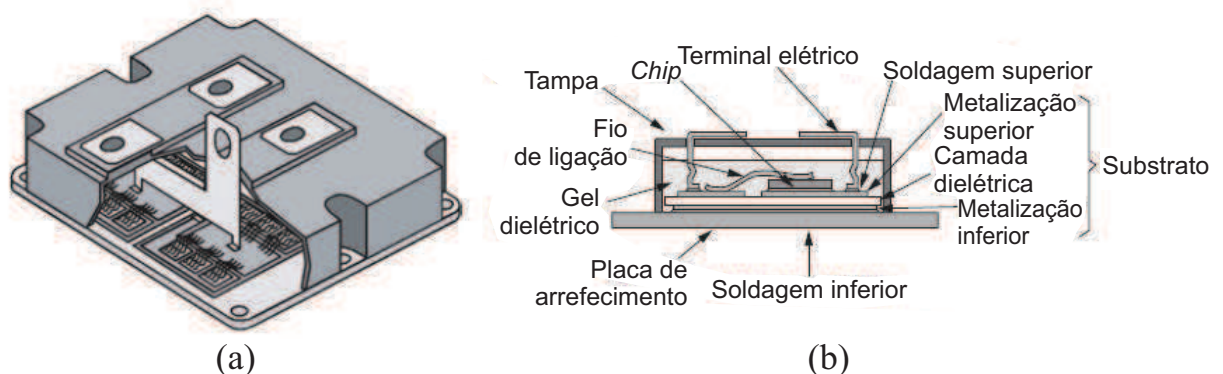


Figura 16 – Módulo de potência mostrando os substratos DBC equipados de seus *chips*: vista transversal (a) e vista em corte (b).

Fonte: Laboratoire Ampère.

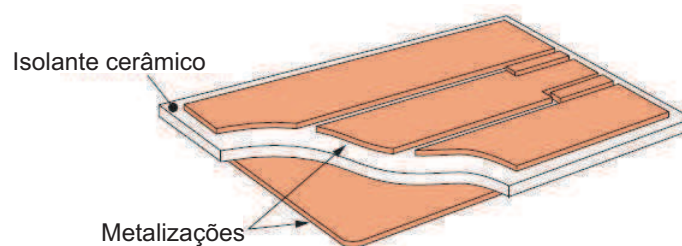


Figura 17 – Substrato DBC.

Fonte: Laboratoire Ampère.

Como observa-se na Fig. 17, o substrato DBC, muito difundido nos módulos de

potência, é constituído de uma parte cerâmica em alumínio policristalino (Al_2O_3), de nitrato de alumínio (AlN) ou óxido de berílio (BeO) sobre a qual é depositada em duas faces uma metalização de cobre. O substrato DBC, como todo isolante elétrico, é também alvo de alguns problemas de descargas elétricas. Este fenómeno, dependente da distribuição e da frequência do campo elétrico, aparece notadamente nas bordas de metalização do substrato DBC. [12]

Um outro componente importante que deve ser mencionado é a placa de arrefecimento que cumpre o papel de superfície de troca térmica e conexão mecânica entre o restante do módulo e o dissipador. Precisa-se também avaliar os diferentes coeficientes de dilatação dos materiais, mesmo que o material usado seja, preferencialmente, o cobre ou alguma liga com o mesmo sendo utilizado como componente principal [2]. Por razão de compactação e simplicidade, o módulo concebido durante este estágio não possuirá placa de arrefecimento.

4 Concepção do Protótipo

Nesta parte, será apresentada a concepção do protótipo bem como os métodos que foram utilizados para o dimensionamento do circuito acionador (*drive*), também serão mostrados os valores para os componentes do braço de inversor que vai ser desenvolvido e, ao final, todas as etapas serão explicitadas para a concepção do circuito impresso utilizando o programa KiCAD.

Observa-se na Fig. 18 o braço de inversor que foi desenvolvido, assim como os elementos parasitas que são ligados aos componentes do circuito. Sabe-se que as indutâncias parasitas causam perdas por comutação e sobretensões, além disso, as capacitâncias parasitas causam as chamadas correntes de modo comum. É por essa razão que se deve evitar ao máximo que estes elementos possam causar tais efeitos indesejáveis ao sistema.

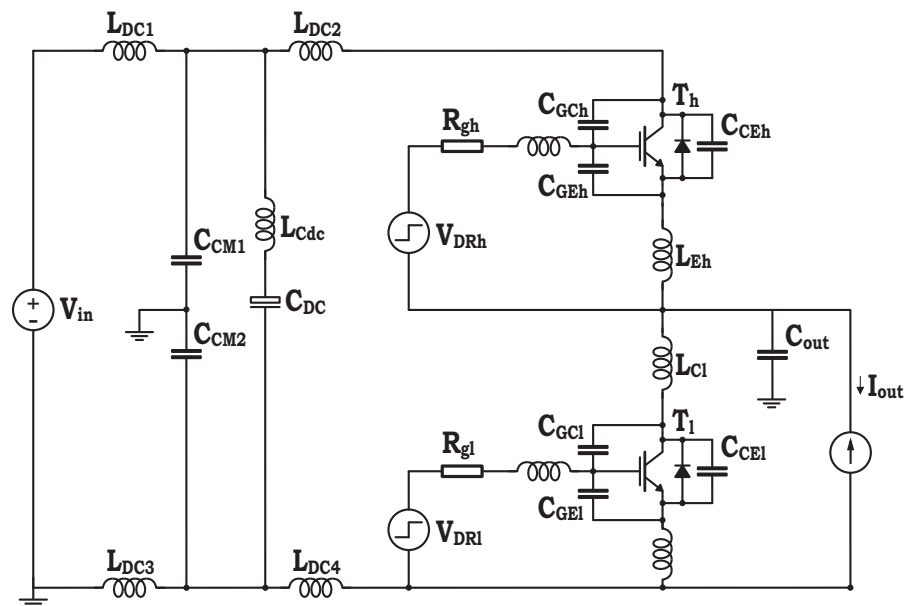


Figura 18 – Esquema elétrico com elementos parasitas devido ao encapsulamento.

4.1 Dimensionamento dos Componentes do Módulo de Potência

O caderno de carga do braço do inversor é: um comportamento de tensão e corrente de 1200 V e 15 A. O circuito acionador escolhido foi o IR2213. Para seu acionamento, há a necessidade de um circuito formado por um diodo, dois capacitores e duas resistências. Todos estes componentes foram dimensionados durante o estágio [13].

4.1.1 Circuito de Comando

Com a utilização de um *drive*, pode-se fazer o acionamento dos interruptores do braço do inversor. Para o circuito de comando, utilizou-se a técnica *bootstrap*. Ela permite criar uma alimentação flutuante para o circuito de comando próximo ao transistor, sobre a parte de alta tensão, por meio do armazenamento de energia em um elemento capacitivo e graças à alimentação do circuito de comando do transistor sobre a parte de baixa tensão.

O método de controle com o circuito *bootstrap* tem como grande vantagem seu baixo custo e facilidade de implementação, bem como uma alta robustez.

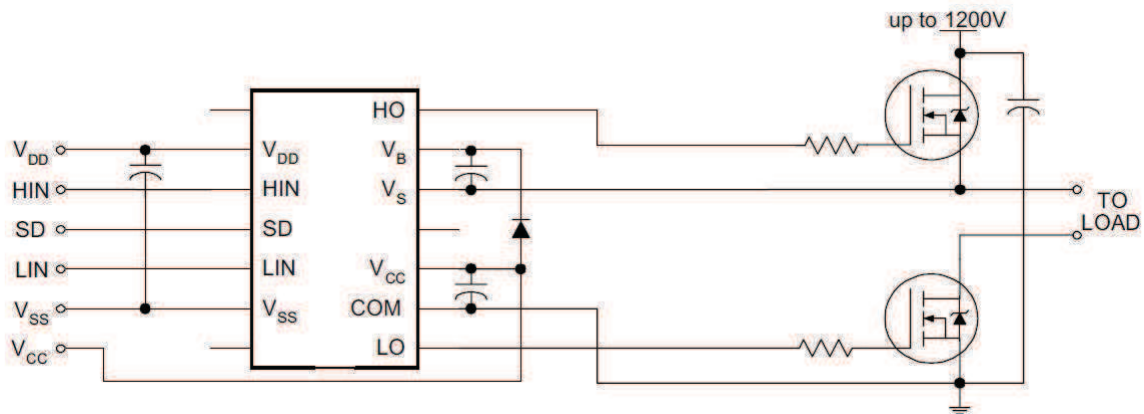


Figura 19 – *Drive* utilizado para acionar os interruptores.

Fonte: Application Notes and DesignTips IRF.

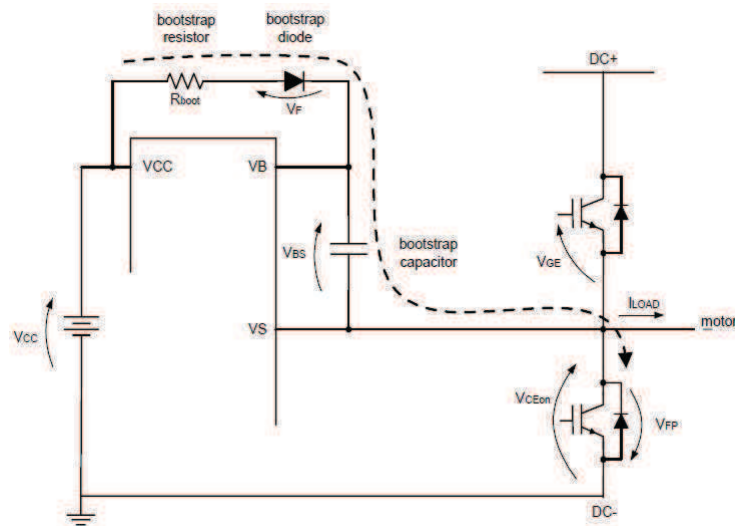


Figura 20 – Esquemático do circuito *bootstrap*.

Fonte: Application Notes and DesignTips IRF.

4.1.2 Capacitor *Bootstrap*

Deve-se estabelecer um valor mínimo para a queda de tensão (ΔV_{BS}) para garantir a comutação do interruptor. Portanto, pode-se definir a variável (4.3). [14]

$$\Delta V_{BS} \leq V_{cc} - V_f - V_{GEmin} - V_{CEon} \quad (4.1)$$

Onde $V_{cc} = 15 \text{ V}$ é a tensão de alimentação, $V_f = 1,65 \text{ V}$ a queda de tensão direta do diodo de bootstrap, $V_{GEmin} = 5 \text{ V}$ é a tensão mínima para comandar o transistor e $V_{CEon} = 3,8 \text{ V}$ é a tensão entre o coletor e o emissor.

Após alguns cálculos, obtém-se: $\Delta V_{BS} \leq 4,55 \text{ V}$. Todos os valores são encontrados no datasheet de cada componente.

Em seguida, é necessário calcular os fatores que influenciam sobre a atenuação da tensão V_{BS} , assim:

$$Q_{TOT} = Q_G + Q_{LS} + (I_{LK_{GE}} + I_{QBS} + I_{LK} + I_{LK_DIODE} + I_{LK_CAP} + I_{DS-})T_{HON} \quad (4.2)$$

Para cada fator, apresenta-se os valores seguintes:

- $Q_G = 145 \text{ nC}$ (carga da porta do interruptor) ;
- $Q_{LS} = 15 \text{ nC}$ (carga necessária para deslocamento interno);
- $I_{LK_{GE}} = 200 \text{ nA}$ (corrente de dispersão entre a porta e o emissor);
- $I_{QBS} = 230 \text{ }\mu\text{A}$ (corrente de repouso);
- $I_{LK} = 50 \text{ }\mu\text{A}$ (corrente de fuga do *drive*);
- $I_{LK_DIODE} = 50 \text{ }\mu\text{A}$ (corrente de fuga do diodo);
- $I_{LK_CAP} = 0$ (corrente de fuga do capacitor de cerâmica);
- $I_{DS-} = 180 \text{ }\mu\text{A}$ (corrente de dessaturação do diodo);
- $T_{HON} = 200 \text{ }\mu\text{s}$ (tempo de comutação)

Com estes valores, pode ser alcançado: $Q_{TOT} = 2,5304 \times 10^{-7} \text{ C}$. E, finalmente, pode-se calcular o valor mínimo para a capacitância, como pode ser visto em seguida:

$$C_{BS} \geq \frac{Q_{TOT}}{\Delta V_{BS}} \Rightarrow C_{BS} \geq 55,6 \text{ nF} \quad (4.3)$$

4.1.3 Diodo Bootstrap

Para o diodo, é suficiente ter um componente que suporte a tensão de operação que é de 1200 V, além disso o diodo deve também ter uma rápida resposta.

4.1.4 Resistência de Porta

A velocidade de comutação do interruptor pode ser controlada pela resistência de porta, logo, esta deve ser muito bem dimensionada.

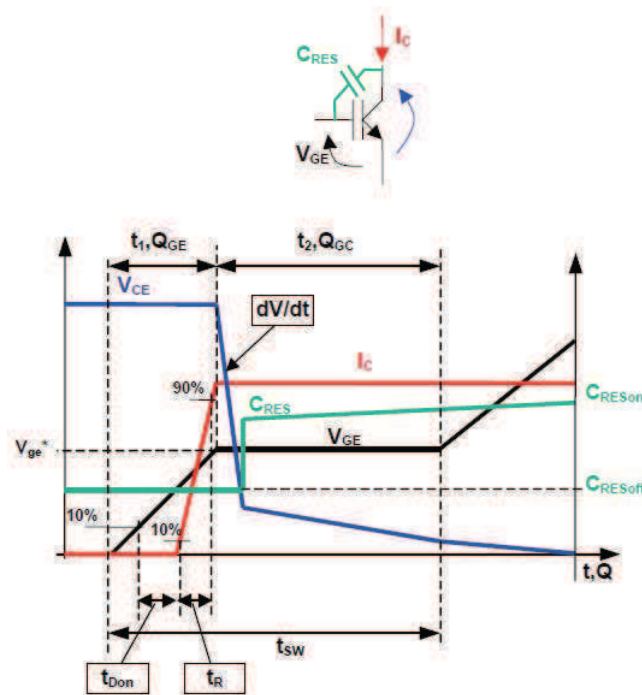


Figura 21 – Comportamento da tensão e corrente sobre um interruptor.

Fonte: Application Notes and DesignTips IRF.

De início, deve-se calcular a corrente de porta média sobre o interruptor (4.4).

$$I_{avg} = \frac{Q_{gc} + Q_{ge}}{t_{sw}} \tag{4.4}$$

Onde $Q_{gc} = 70 \text{ nV}$ é a carga porta-coletor, $Q_{ge} = 15 \text{ nV}$ é a carga porta-emissor e $t_{sw} = 250 \text{ ns}$ é o tempo de comutação que se deseja para o interruptor. Portanto, após alguns cálculos obtém-se $I_{avg} = 36 \text{ mA}$. Em seguida, com o valor de $V_{ge}^* = 8 \text{ V}$ sendo a tensão de *plateau*, pode-se utilizar (4.5).

$$R_{TOT} = \frac{V_{cc} - V_{ge}^*}{I_{avg}} \Rightarrow R_{TOT} = 20 \Omega \tag{4.5}$$

Mas, sabe-se que a resistência total é igual à soma da resistência do *driver* e da porta ($R_{TOT} = R_{DR} + R_G$). Com o *datasheet* do *drive* e a nota de aplicação do circuito, pode-se utilizar (4.6).

$$R_{DR} = \begin{cases} \frac{t_{on1}}{t_{SW}} \left[\frac{V_{cc}}{I_{o1+}} + \frac{V_{cc}}{I_{o2+}} \left(\frac{t_{SW}}{t_{on1}} - 1 \right) \right], & \text{lorsque } t_{SW} > t_{on1} \\ \frac{V_{cc}}{I_{o1+}}, & \text{lorsque } t_{SW} \leq t_{on1} \end{cases} \quad (4.6)$$

O valor desejado para o tempo de comutação foi de 200 ns. Este permite escolher a segunda condição para o cálculo da resistência do *driver*. Finalmente, obtém-se $R_{DR} = 7,5 \Omega$, portanto, para a resistência de porta chega-se a $R_G = 12,5 \Omega$.

Para garantir a operação da resistência de porta, é necessário também calcular a potência dissipada sobre o mesmo. Há alguns métodos que permitem estimar a dissipação de energia. Segundo a referência citada, pode-se calcular com as equações (4.7) e (4.8). Utilizou-se uma frequência de comutação de 20 KHz e um tempo de crista da corrente de 250 ns.

$$I_{G(on)RMS} = I_{G(on)peak} \sqrt{\frac{k}{3}}, \quad k = \frac{t_p}{T} = t_p \times f_{sw} \quad (4.7)$$

$$P_{G(on)} = I_{G(on)RMS}^2 \times R_{G(on)} \quad (4.8)$$

Depois de todos os cálculos e estabelecimento de restrições, encontrou-se a resistência de porta de 10Ω e uma potência de 12,5 mW. É necessário escolher o encapsulamento que permite esta dissipação. Logo, foi escolhido o formato 0806 para o encapsulamento do resistor que suporta uma dissipação máxima de 125 mW.

4.1.5 Especificação dos Componentes

Finalmente, depois destas análises sobre o circuito, escolheu-se os componentes listados na Tabela 3 com os nomes e a referência de cada um deles.

4.2 Desenho do Circuito Impresso

A definição das pistas é realizada com ajuda de um programa apropriado para traçar os caminhos elétricos dos componentes do circuito impresso. O traçado não pode ser feito ao acaso, mas com ajuda de vários parâmetros pré-definidos. Os principais são: cada pista deve suportar a corrente de percurso; considera-se uma espessura de cobre de 35 μm , em média uma largura de 1 mm por ampere. A isolação entre as pistas deve permitir uma diferença de potencial sem riscos de ruptura elétrica. Por fim, as características do

Tabela 2 – Tabela de Componentes.

Componente	Informações	Valor	Réf. Fabricante
Capacitor <i>Bootstrap</i>	EIA 0805, X7R, 50 V	1 μF	0805B104K500CT
Diodo <i>Bootstrap</i>	1,2 kV, 75 ns	-	STTH112A
Resistência de Porta	150 V, 125 mW	10 Ω	MCWR08X10R0FTL
Interruptor	-	-	-
Diodo do Interruptor	1,2 kV, 20 A	-	CPW4-1200S020B
<i>Driver</i>	SOIC, 2,5 A	-	IR2213SPBF
Capacitor de Saída	-	-	-
Capacitor de Entrada 1	EIA 1206, X5R, 35 V	10 μF	GRM31CR6YA106KA12L
Capacitor de Entrada 2	EIA 1206, C0G, 25 V	0.1 μF	C1206H104J3GACT250

traçado das pistas devem considerar o acoplamento entre os sinais de efeito capacitivo e indutivo [15].

Durante a *routage*, trilhagem dos caminhos elétricos, pode-se criar um caminho que atravessa uma camada à outra, a esse caminho dar-se o nome de via. A realização industrial de uma via passa pela criação de um buraco metalizado que permite assegurar a continuidade da pista de um lado ao outro do circuito impresso. A realização artesanal efetua-se com a soldagem de um fio metálico de dois lados sobre o circuito impresso. Daí, supõe-se uma largura de via consideravelmente maior para permitir a passagem do fio e do material de solda, aproximadamente 2 mm em termos práticos.

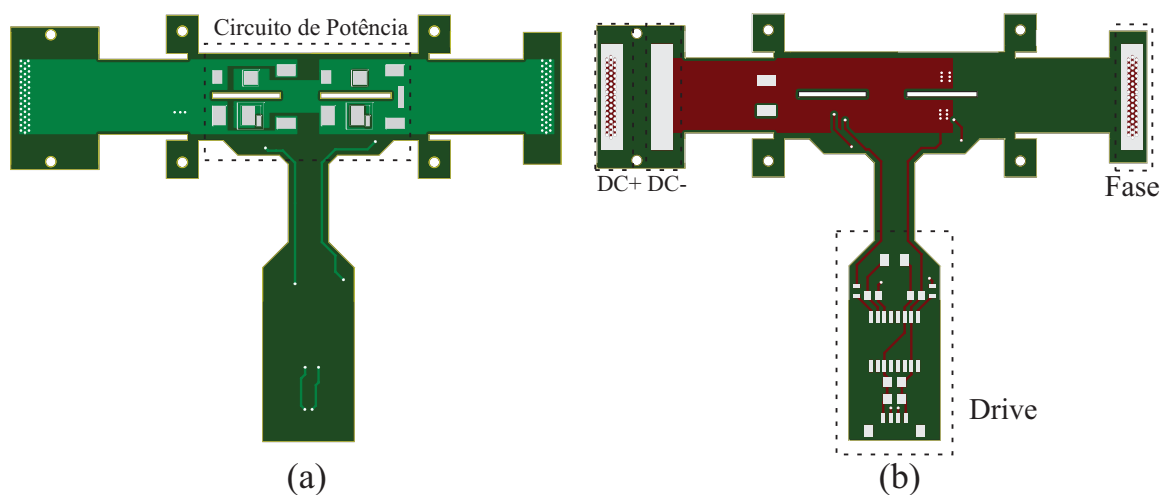


Figura 22 – Apresenta-se em (a) a vista superior e em (b) a vista inferior do circuito flexível.

Para desenhar o PCB, foi escolhida uma topologia que oferecesse uma indutância parasita mais baixa possível. Isso foi obtido traçando as conexões DC+ e DC- (as

principais interconexões de potência) uma sobre a outra, formando assim uma estrutura denominada de *busbar*. Para o circuito de controle, o circuito *driver* foi colocado ao lado do circuito de potência de tal forma que o circuito ficasse com uma estrutura mais flexível possível. A fim de não gerar grandes indutâncias no circuito de comando, foi utilizada também a técnica *stripline* para minimizar a indutância de acoplamento entre as pistas. Os cortes na placa de circuito flexível foram definidos para aumentar o grau de flexibilidade considerando a largura mínima necessária para a passagem da corrente de alimentação do inversor. Uma outra vantagem de colocar o circuito de comando ao lado é a utilização de somente duas camadas de cobre, tornando assim o circuito mais flexível.

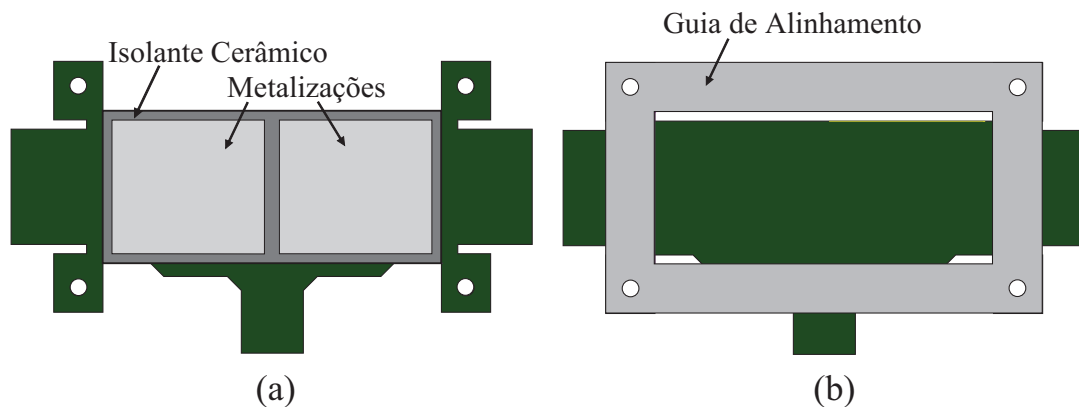


Figura 23 – Pode-se ver em (a) o DBC e em (b) a guia de alinhamento.

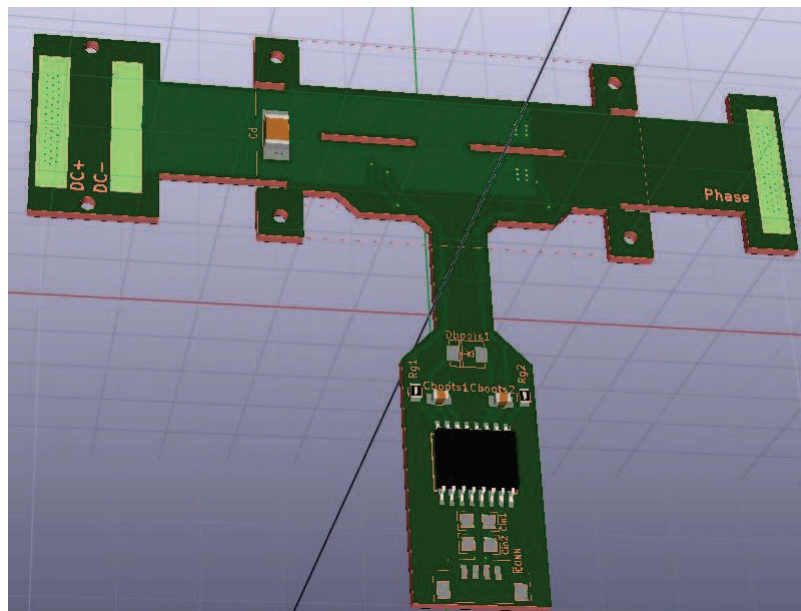


Figura 24 – Protótipo do circuito flexível gerado pelo KiCAD.

Para assegurar as interconexões dos componentes, sua montagem mecânica e uma boa isolamento elétrica, faz-se uso dos clássicos substratos DBC. Estes são como circuitos impressos, porém o material base é constituído de cerâmica, melhor condutor que o époxi

dos PCBs. Para o estágio, foi utilizada uma cerâmica do tipo nitrito de alumínio (AlN), cuja condutividade térmica ultrapassa 150 W/m.K (mais de 200 vezes melhor que o PCB).

Uma guia de alinhamento é necessária durante a montagem para assegurar o bom posicionamento do PCB com relação aos *chips* de potência (bem como em relação ao bloco de silicone que serve para aplicar a pressão mecânica ao conjunto). Uma parte do sistema de alinhamento pode ser visto na Fig. 23.

Para desenhar o protótipo, foi escolhido o programa KiCAD, pois trata-se de um *software opensource* destinado à criação de esquemas eletrônicos e de circuitos impressos. De aparência monolítica, KiCAD é, na realidade, composto de vários programas específicos que oferecem suporte à criação dos circuitos impressos. Além disso, este programa não possui nenhuma limitação com respeito ao tamanho do circuito e pode, facilmente, gerar até 32 camadas de cobre, até 14 camadas técnicas e 4 camadas auxiliares. Para o projeto de estágio, definiu-se duas camadas de cobre para a condução de corrente, além de mais outras camadas que são necessárias, como camadas adesivas, para máscaras, serigrafia e outras. Sobre a Fig. 24 pode-se ver a parte de cima do circuito flexível em vista 3D.

5 Realização do Protótipo em Laboratório

5.1 Evaporação por Canhão de Elétrons

Esta técnica consiste em aquecer, sob vácuo e com ajuda de um canhão de elétrons, uma crista de um material. Ela permite, em teoria, a evaporação de todo o material sem risco de poluição para o suporte. Vale notar que o feixe de elétrons emitido por um filamento, geralmente de tungstênio, é focalizado pontualmente sobre o topo da amostra a ser evaporada. O material assim evaporado começa a condensar-se sobre as superfícies da amostra que será tratada. O material, portanto, repõe-se em prática sobre uma cápsula de grafite resfriada pela circulação de água a fim de evitar que haja evaporação total. Um sistema motorizado permite trocar as amostras, oferecendo assim a possibilidade de depositar vários materiais diferentes. Um diagrama é visível na Fig. 25.

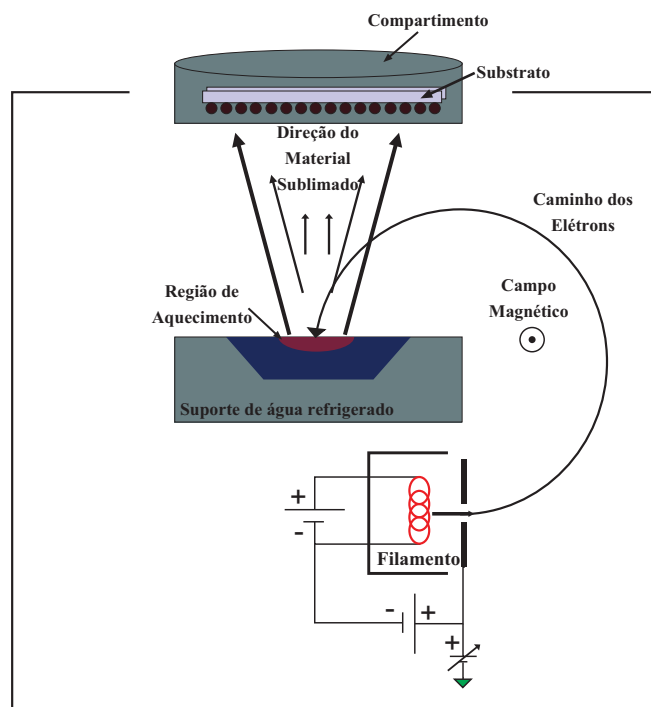


Figura 25 – Processo físico de evaporação do feixe de elétrons.

Fonte: Notas de Utilização (EVA 300).

Para o processo de evaporação a vácuo, foi utilizada a máquina EVA300 (Alliance Concept), Fig. 26 disponível no Laboratório INL. Esta máquina permite realizar camadas finas de filme com alta qualidade e tempo de ciclo reduzido. Em efeito, este aparelho permite o depósito a vácuo do metal pela técnica de evaporação por canhão de elétrons. Os metais disponíveis para evaporação são: Ti, Au, Al, Ni, Cr, Ag et Cu. Para o trabalho corrente, foi depositada uma camada de 50 nm de titânio, seguido de 150 nm de prata na

face superior dos *chips*, através de uma máscara metálica.



Figura 26 – Evaporador 300 – Alliance Concept.

5.2 Realização da Montagem do *Chip*

Para que se possa executar a técnica de sinterização de prata, é necessário seguir três etapas: a preparação do substrato e dos *chips* (transistor ou diodo), em seguida realizar a deposição da pasta de prata e, ao final, a sinterização propriamente dita do material. O substrato metálico, bem como os *chips*, devem ser bem limpos previamente à deposição da pasta, logo, para isso, toda a parte de limpeza será feita com etanol utilizando pinças plásticas (para não riscar as superfícies).

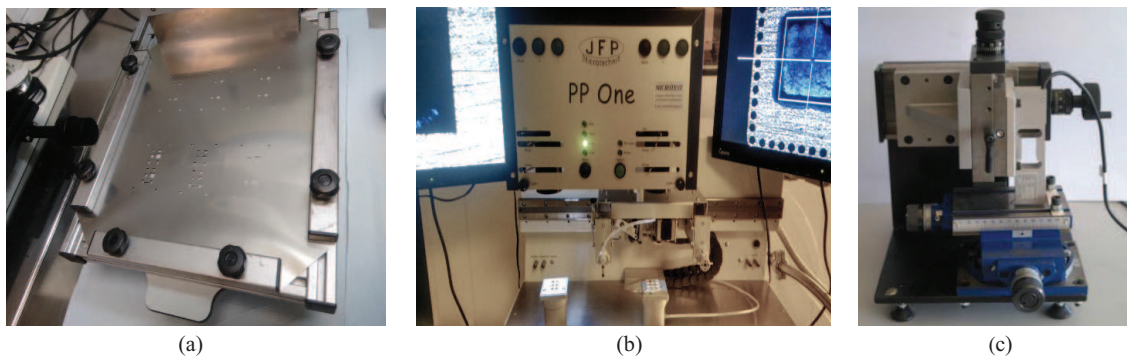


Figura 27 – Equipamento utilizado para montagem dos *chips*: máquina de serigrafia (a) e die bonder (b). A junção resultante é caracterizada mecanicamente com auxílio de um banco de teste de cisalhamento (c).

A deposição da pasta de prata é efetuada utilizando uma máquina de serigrafia manual, como pode ser vista em Fig. 27(a), equipada de máscaras metálicas (*pochoir*

ou tela). Em seguida, é necessário fazer a deposição dos *chips* sobre seu substrato, para isso utilizou-se o die bonder, Fig. 27(b). Durante o alinhamento do chip sobre o retículo esquerdo do die bonder, é feito ao mesmo tempo o alinhamento da pasta de prata sobre o substrato, depois é selecionado o comando *auto* e, em seguida, pressiona-se o pedal para deslocar o *chip*.

A sinterização consiste em um tratamento térmico associado a uma pressão, e é realizada sobre uma prensa (o processo será descrito na seção seguinte). Depois de ter realizado todo o processo, as junções são caracterizadas no teste de cisalhamento, Fig. 27(c), onde é medido seu comportamento submetido à fortes tensões. Os cortes micrográficos permitem medir a espessura da junção e avaliar sua qualidade utilizando imagens do microscópio disponível.

5.3 Montagem por Partículas de Prata Sinterizadas

A prata é um metal que apresenta boas propriedades elétricas, térmicas e mecânicas. Pelo fato de sua temperatura de fusão ser bem elevada, da ordem de 960 °C, a prata é um bom candidato para realizar as montagens à alta temperatura. De fato, a sinterização de uma partícula constituída de micropartículas de prata acontece com uma temperatura em torno de 300 °C. A tecnologia apresentada é empregada essencialmente para montar as duas faces do *chip* de potência sobre o substrato tipo DBC e o circuito flexível. [16]

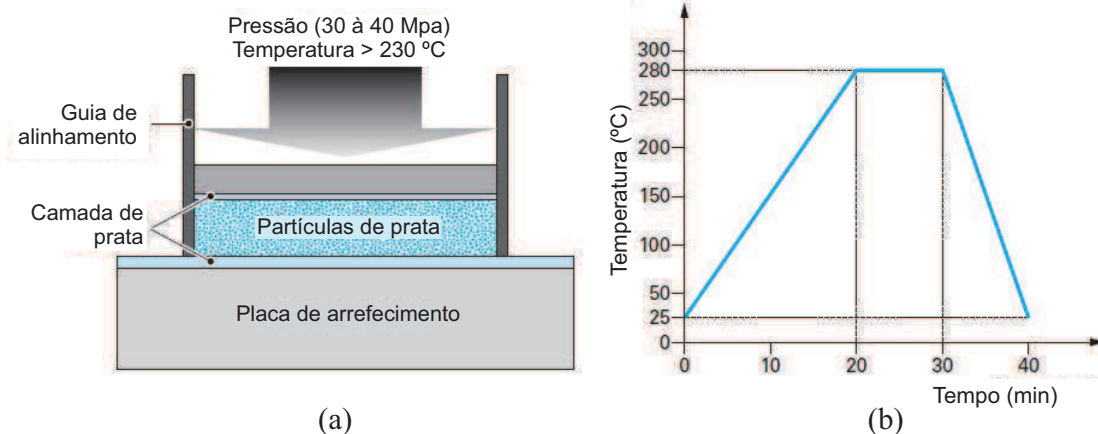


Figura 28 – Esquema da tecnologia de sinterização de prata (a) e um perfil típico para a sinterização de nanopartículas de prata (b).

Fonte: Conditionnement des modules de puissance. Techniques de l'ingénieur.

A sinterização permite obter uma só partícula densa que é formada de nanopartículas de prata, isto é, há uma elevação do tamanho das partículas associadas à diminuição do volume dos poros internos. Na Fig. 28(a), pode-se observar um esquema que mostra o processo de realização da junção, e na Fig. 28(b), apresenta-se um perfil comum para efetuar a montagem. [17]

Para a montagem do projeto de estágio, a prensa térmica foi devidamente programada, Fig. 29, com uma função rampa 3 °C/min até 170 °C, ao chegar ao final desta etapa, a prensa pneumática desce e aplica uma pressão de 3 MPa. Em seguida, a prensa térmica permanece em um mesmo patamar, durante 30 minutos, quando logo após ela modifica a função para uma rampa de velocidade 40 °C/min até 240 °C ficando por 1 hora. Finalmente, a máquina passa por um processo de resfriamento natural até a temperatura ambiente.

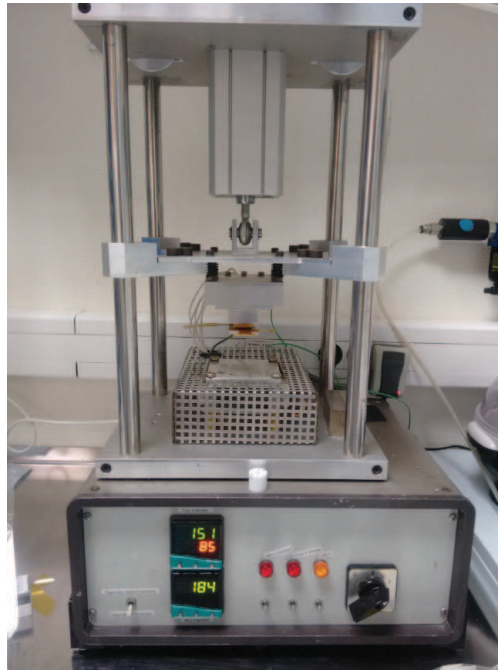


Figura 29 – Prensa térmica.

6 Estudos por Simulação

6.1 Modelização do Sistema e *Software* LTSpice

Para simular o braço de inversor, foi utilizado o programa LTSpice. Este, permite realizar simulações pertinentes e próximas à realidade em termo de comportamento elétrico e eletrônico. A facilidade de utilização do programa, além da possibilidade de trabalhar com modelos SPICE foram pontos fundamentais que contribuíram para sua escolha. Tendo em vista que utilizando a modelagem 3D do circuito flexível, os elementos parasitas do cabeamento são gerados em um modelo SPICE.

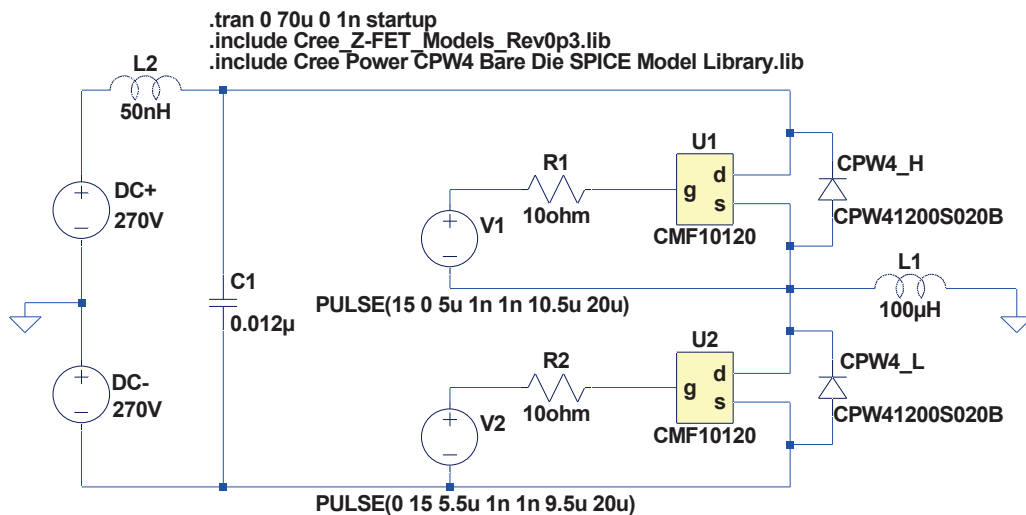


Figura 30 – Esquema elétrico do braço de inversor.

Na Fig. 30 pode-se observar o esquema elétrico do braço de inversor sem considerar os elementos da trilha. Os modelos dos semicondutores são aqueles fornecidos pela CREE, o fabricante do MOSFET e do diodo SiC. Ainda que o modelo do interruptor não corresponda ao componente utilizado na prática (cujo modelo SPICE não é disponível), o objetivo principal da simulação é verificar o impacto dos elementos parasitas a partir do roteamento das pistas sobre efeito de uma comutação rápida. Sabendo que os MOSFETs apresentam uma resposta mais rápida que os IGBTs, isso permite obter efeitos mais visíveis.

6.2 Modelização 3D dos Elementos Parasitas

Depois de ter desenhado o circuito flexível com ajuda do programa KiCAD, é necessário também calcular os elementos parasitas correspondentes ao roteamento das

pistas. Para isso, foi utilizado o programa Q3D Extractor da suíte ANSYS. Com ele é possível, a partir da geometria do circuito, calcular os valores parasitas de resistência, indutância e capacitância de cada pista. Assim, pode-se verificar se o roteamento das pistas foi bem realizado e, eventualmente, modificá-lo antes da fabricação (no caso deste projeto, as restrições do estágio fizeram que a fabricação fosse solicitada antes da modelização dos elementos parasitas). Na Fig. 31 é possível ver o circuito flexível modelado com o Q3D Extractor.

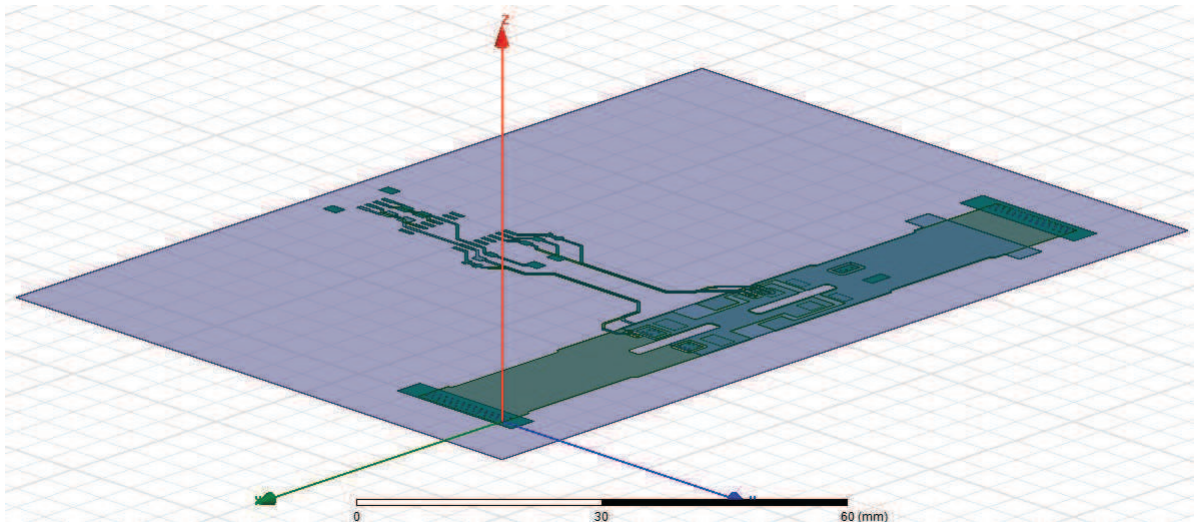


Figura 31 – Circuito flexível modelado com o Q3D Extractor.

Sabe-se que para qualquer tipo de modelização deve-se procurar um modelo mais próximo da realidade em questão. Quando é realizada a importação dos arquivos CAD, vindos do programa KiCAD, alguns problemas são encontrados. O primeiro é que o KiCAD não gera um modelo 3D, mas somente 2D (empilhamento de camadas), assim é necessário criar uma nova dimensão sobre o programa Q3D Extractor, indicando o deslocamento e a espessura de cada camada. Além disso, as vias devem ser definidas manualmente, fazendo a conexão entre as duas camadas de cobre do projeto. Cada camada foi associada a um material correspondente e uma camada de polyimida foi adicionada para o cálculo das capacitâncias parasitas. Tudo isso, levou um tempo considerável de projeto, pois cada detalhe deve ser estudado para que durante a simulação os valores parasitas sejam os mais próximas possíveis dos valores reais.

6.3 Simulação Considerando as Perdas Parasitas

Seguindo as etapas de simulação, depois de ter obtido as matrizes dos elementos parasitas correspondentes às indutâncias, resistências e capacitâncias, pode-se exportar estes valores e introduzi-los no programa LTSpice, efetuando uma simulação do circuito no domínio do tempo. É preciso, para isso, adicionar um bloco com todos os valores parasitas

do PCB que foram calculados com ajuda do Q3D Extractor. Na Fig. 32, observa-se como evoluiu o esquema elétrico. Todas as interconexões são feitas por meio do componente U3 (que está dividido em dois elementos, um à esquerda e outro à direita dos transistores U1 e U2). Este bloco contém a listagem SPICE gerada pelo Q3D que descreve a capacitância, indutância e resistência parasitas de cada interconexão, bem como os acoplamentos entre cada interconexão.

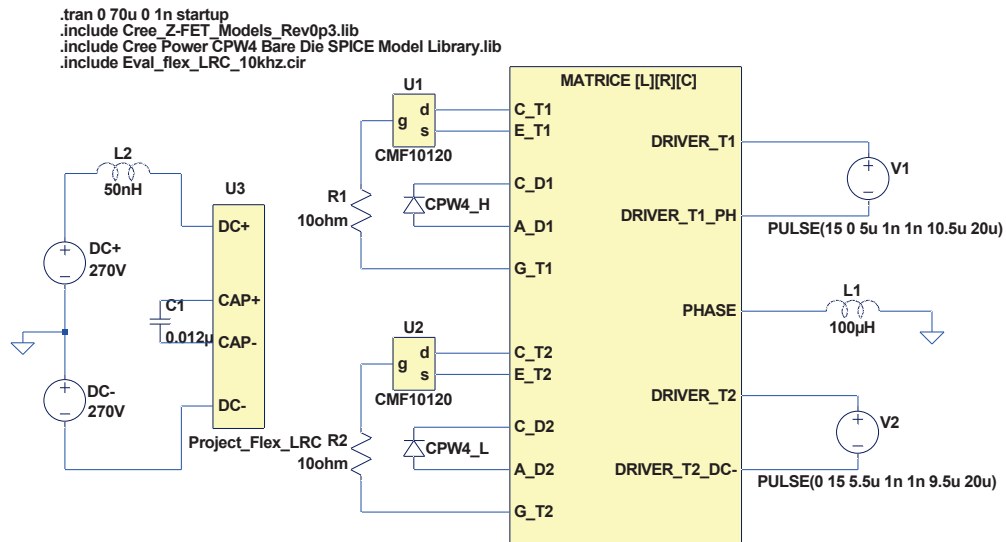


Figura 32 – Esquema elétrico do braço de inversor com os elementos parasitas do circuito flexível.

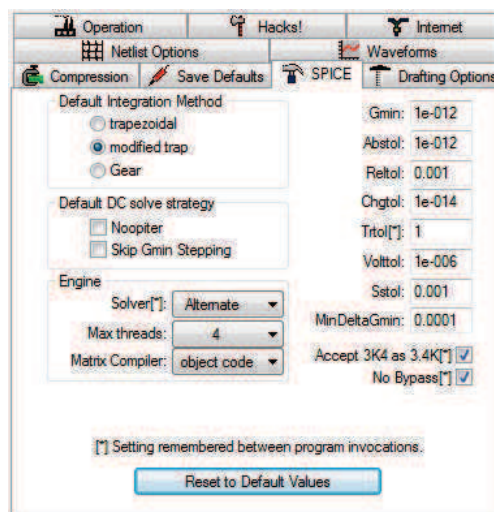


Figura 33 – Parâmetros utilizados para a simulação.

Para bem simular o circuito do projeto e definir um tempo de simulação razoável, precisou-se modificar alguns parâmetros de cálculo do LTSpice. Com isso, pode-se obter também uma solução que convirja mais rapidamente. Em efeito, apesar do relativo baixo número de componentes do esquema, as bruscas variações (durante as comutações

dos componentes) são difíceis para simular pelo LTSpice. Na Fig. 33, são mostrados os parâmetros utilizados.

Vários valores para a carga foram avaliados para a validação do esquema e dos componentes escolhidos.

7 Resultados de Simulação

7.1 Sistema sem Considerar os Elementos Parasitas

Inicialmente, na Fig. 34 apresenta-se o comportamento da tensão e corrente sobre o interruptor MOSFET de alta do braço do inversor. As formas de onda são comparáveis ao componente do lado de baixa. No início, pode-se observar que há um tempo de subida de tensão (até aproximadamente $20 \mu\text{s}$). Este tempo de subida foi definido para garantir a convergência dos valores ao fim da simulação. Além disso, definiu-se também um tempo morto de $0,5 \mu\text{s}$ para garantir que não haja nenhum instante em que os dois interruptores conduzam ao mesmo tempo. Como parâmetro de comutação, foi escolhida uma frequência de 50 KHz.

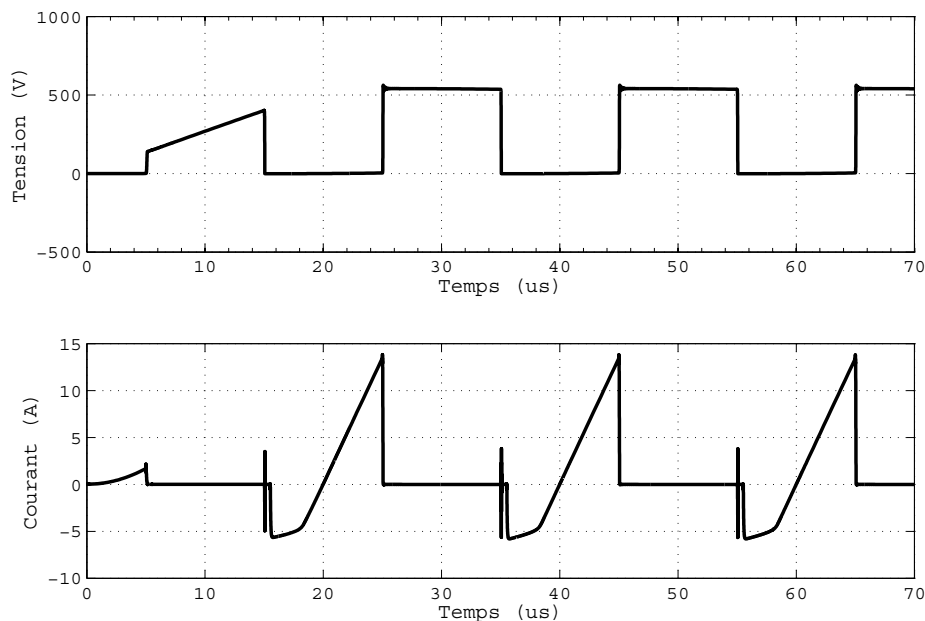


Figura 34 – Comportamento da tensão e corrente sobre o interruptor.

O comportamento do sistema é conforme ao que se esperava, com formas de onda de tensão limpas, sem oscilações ou sobretensões durante a comutação. Para a corrente, o comportamento é também esperado, destaca-se uma elevação de seu valor quando o interruptor é fechado, seguido pela diminuição rápida quando há a abertura do componente.

Um outro componente que é preciso verificar a performance elétrica é a indutância de carga, cujas formas de onda podem ser vistas em Fig. 35. Para a simulação, a corrente média é próxima de zero. Sobre a última Fig. 36, observa-se a potência dissipada no

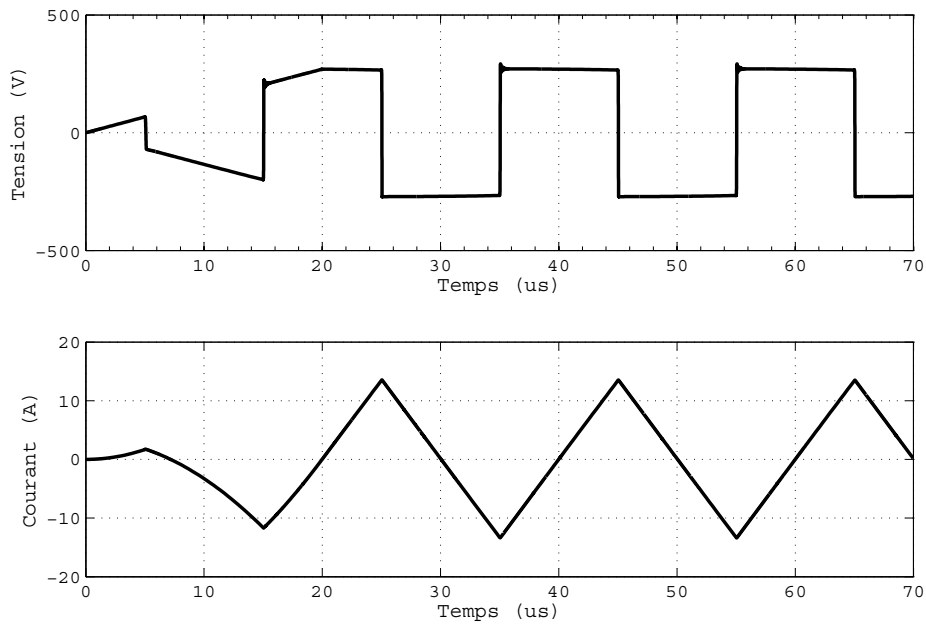


Figura 35 – Formas de onda da tensão e corrente sobre a indutância de carga.

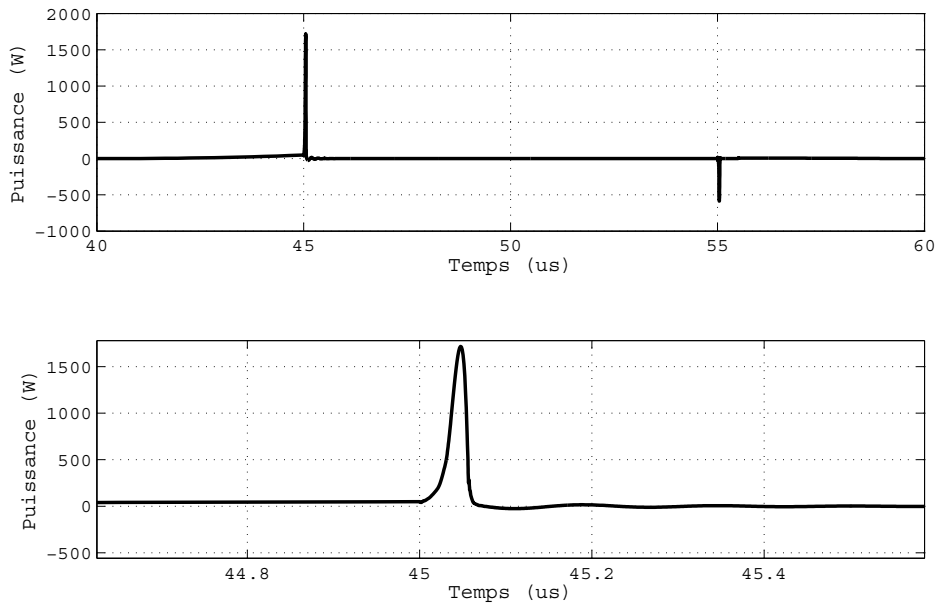


Figura 36 – Potência Dissipada sobre o interruptor.

instante de comutação. Utilizando o programa LTSpice, obtém-se o valor da potência média de 5,74 W, este corresponde a uma energia de comutação de 114,8 μ J.

7.2 Matriz dos Elementos Parasitas

Como já foi descrito, graças ao programa Q3D Extractor foi permitido calcular todos os valores de indutância, resistência e capacitância parasitas para o PCB flexível que foi concebido. Na Tabela 3 pode-se ver todos os valores para as indutâncias parasitas próprias (diagonal da matriz) e mútuas. A Fig. 37 mostra a correspondência entre as linhas e colunas da matriz e o esquema elétrico. Estudando a matriz, é razoável dizer que os valores apresentados são pequenos em comparação àqueles analisados habitualmente nos circuitos impressos. Também, pode-se destacar que para os componentes que são mais distantes uns dos outros, os valores mútuos são praticamente iguais a zero, sendo coerente com a teoria [18] [19].

Os resultados da modelização do cabeamento gera também os elementos parasitas capacitivos e resistivos, contudo a matriz mais importante para efeitos de perturbação de corrente e tensão sobre os componentes é a matriz de indutância. Para título de informação, as matrizes resistivas e capacitivas são dadas no anexo B.

Tabela 3 – Tabela de valores de indutância parasita. A unidade está em [nH].

	AD1	CD2	CT2	DTH	ET1	AD2	CAP-	DT2-	ET2	CD1	CT1	CAP+	GT1	GT2
AD1	31,8	22,7	22,6	27,0	30,5	-15,9	-1,9	-13,0	-15,7	-3,7	-4,4	-2,9	2,0	-2,2
CD2	22,7	20,2	19,2	20,9	22,6	-7,3	-1,1	-6,0	-7,7	-2,2	-2,3	-1,7	1,0	-1,3
CT2	22,6	19,2	20,2	21,6	22,7	-7,9	-1,2	-4,7	-7,0	-2,3	-2,2	-1,6	0,4	-1,9
DTH	27,0	20,9	21,6	69,0	28,6	-12,6	-1,7	1,1	-11,7	-3,4	-2,3	-1,9	-26,2	-12,1
ET1	30,5	22,6	22,7	28,6	31,8	-16,0	-2,1	-12,5	-15,6	-4,5	-3,6	-2,7	1,7	-2,6
AD2	-15,9	-7,3	-7,9	-12,6	-16,0	24,5	8,3	20,7	23,0	13,2	13,1	10,1	-1,6	2,0
CAP-	-1,9	-1,1	-1,2	-1,7	-2,1	8,3	6,6	7,8	8,2	8,3	8,1	7,4	-0,1	0,4
DT2-	-13,0	-6,0	-4,7	1,1	-12,5	20,7	7,8	61,9	22,1	12,4	12,8	9,8	-11,2	-31,8
ET2	-15,7	-7,7	-7,0	-11,7	-15,6	23,0	8,2	22,1	24,1	13,1	13,1	10,1	-2,1	1,6
CD1	-3,7	-2,2	-2,3	-3,4	-4,5	13,2	8,3	12,4	13,1	14,3	13,4	11,7	-0,3	0,7
CT1	-4,4	-2,3	-2,2	-2,3	-3,6	13,1	8,1	12,8	13,1	13,4	14,4	11,9	-0,6	0,3
CAP+	-2,9	-1,7	-1,6	-1,9	-2,7	10,1	7,4	9,8	10,1	11,7	11,9	11,2	-0,4	0,3
GT1	2,0	1,0	0,4	-26,2	1,7	-1,6	-0,1	-11,2	-2,1	-0,3	-0,6	-0,4	42,3	8,8
GT2	-2,2	-1,3	-1,9	-12,1	-2,6	2,0	0,4	-31,8	1,6	0,7	0,3	0,3	8,8	45,5

7.3 Simulação e Análise Considerando as Perdas Parasitas

Como pode ser vista no circuito da Fig. 37, apenas os componentes parasitas mais importantes foram mostrados. No entanto, sabe-se que a capacitância do dispositivo de

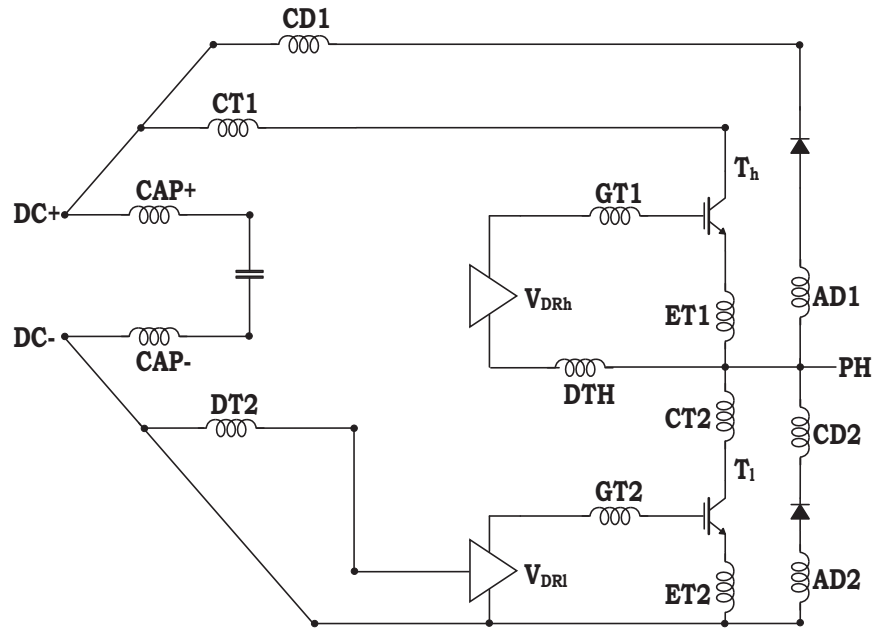


Figura 37 – Esquema elétrico representando as indutâncias parasitas do circuito flexível.

potência, isto é, do módulo de potencia, é mais elevada que aquela resultante devido ao circuito flexível, portanto por efeito de simplificação a sua análise pode ser omitida.

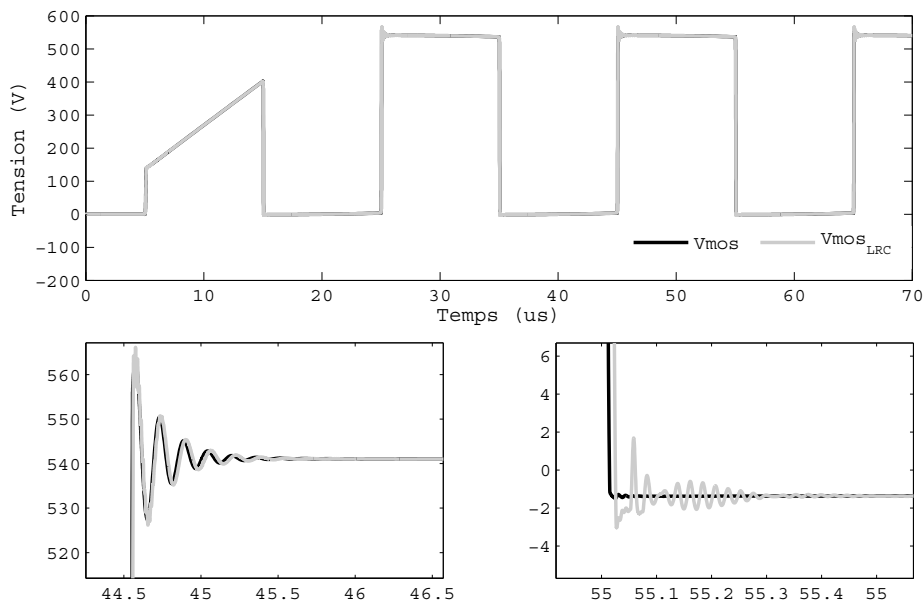


Figura 38 – Tensão sobre o interruptor sem e com elementos parasitas.

A Fig. 38 apresenta a comparação entre as tensões sobre o MOSFET sem e com os elementos parasitas que foram calculados. A matriz que foi adicionada corresponde à matriz [LRC] com todos os elementos parasitas. É notável destacar que o efeito destes elementos é bem próximo de zero na fase de bloqueio do transistor. Durante a abertura,

somente um pequeno efeito pode ser visto. As mesmas observações podem ser tiradas da forma de onda da corrente.

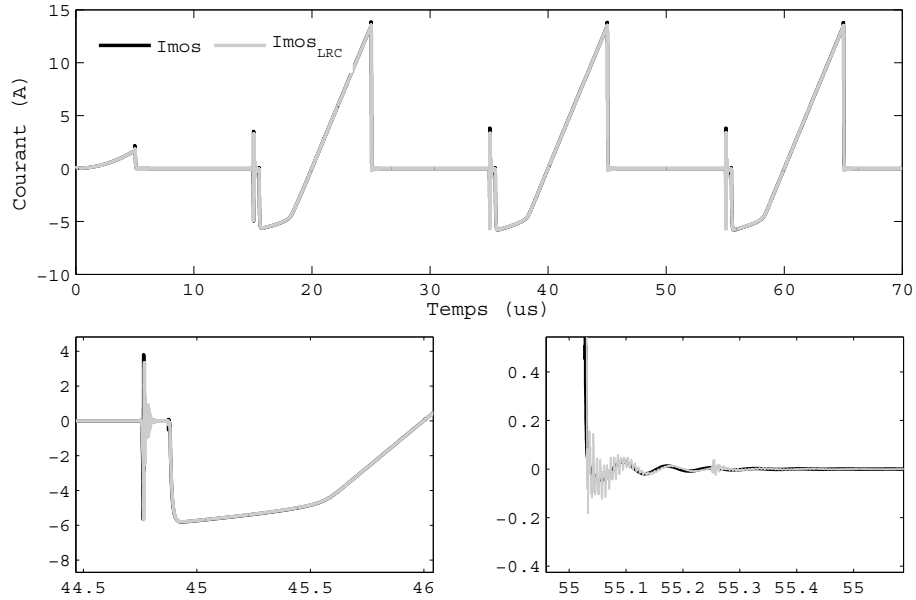


Figura 39 – Corrente sobre o interruptor sem e com elementos parasitas.

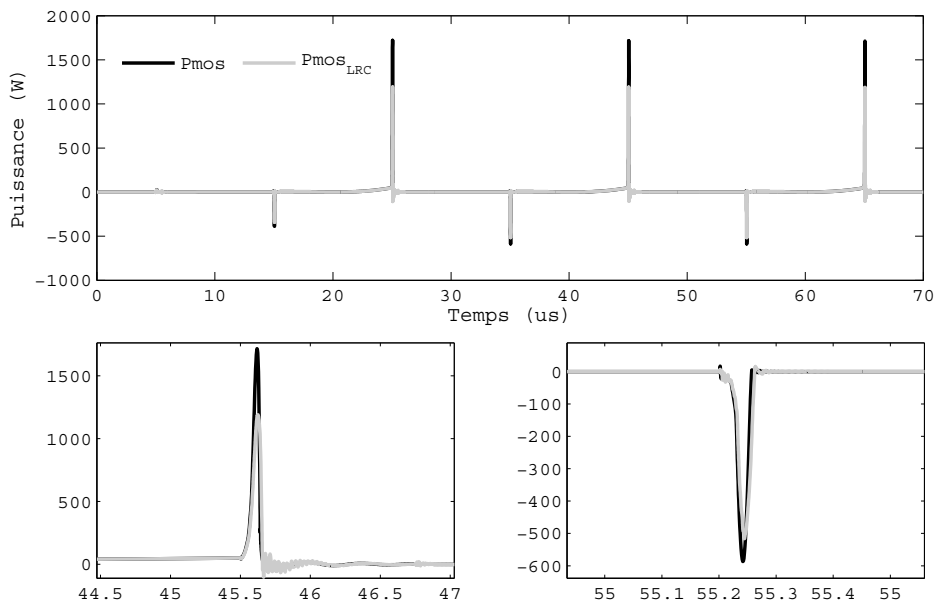


Figura 40 – Potência dissipada sobre o interruptor sem e com elementos parasitas.

Um efeito indesejável dos elementos parasitas pode ser explicado pelo fato que há um armazenamento de energia nas indutâncias parasitas quando o transistor está no

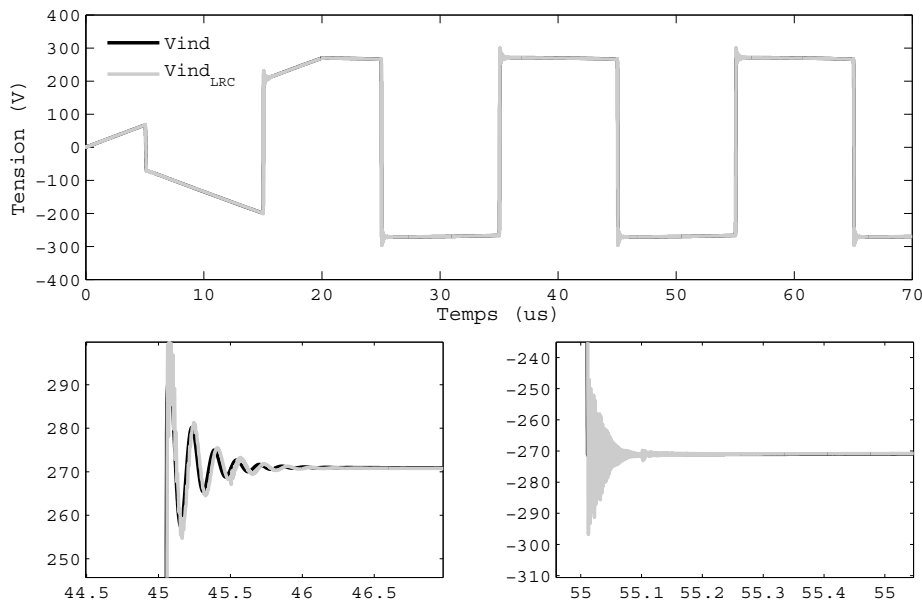


Figura 41 – Comportamento da tensão sobre o interruptor sem e com elementos parasitas.

estado passante. Quando a corrente é cortada, surge uma sobretensão sobre o interruptor. Na Fig. 40, pode-se observar a potência dissipada sobre o MOSFET. Utilizando o programa LTSpice, para este caso, é obtida uma potência média de 5,45 W, isso que corresponde a uma energia de 109,1 μJ . Na Fig. 42, observa-se a corrente no diodo que, mesmo após consideração dos efeitos parasitas, não mostra mudança notável.

Com relação ao indutor (a carga), percebeu-se o mesmo efeito de ondulação. De uma maneira semelhante ao caso dos interruptores, no momento da abertura, a energia armazenada na indutância deve ser dissipada até que a corrente se anule. Isso resultou em oscilações com as capacitâncias intrínsecas dos *chips* (junto com as capacitâncias parasitas das pistas). Estas oscilações podem ultrapassar a tensão de ruptura do MOSFET, causando uma mudança abrupta para o estado passante em condição de avalanche. Contudo, as sobretensões observadas na simulação podem ser negligenciadas ($<30\text{ V}$), não havendo risco de avalanche para este caso. [20] [2]

As capacitâncias parasitas são sobretudo formadas pelo substrato flexível metalizado, onde há uma estrutura de capacitor plano com duas armaduras metálicas separadas por um dielétrico. Um outro efeito indesejável que merece atenção é a corrente de modo comum, causa maior das perturbação eletromagnéticas. A face inferior dos módulos é, habitualmente, religada à terra, e quando há uma variação rápida de um dos potenciais do módulo, uma corrente circula na capacitância parasita. Trata-se da corrente de modo comum. [21] [22]

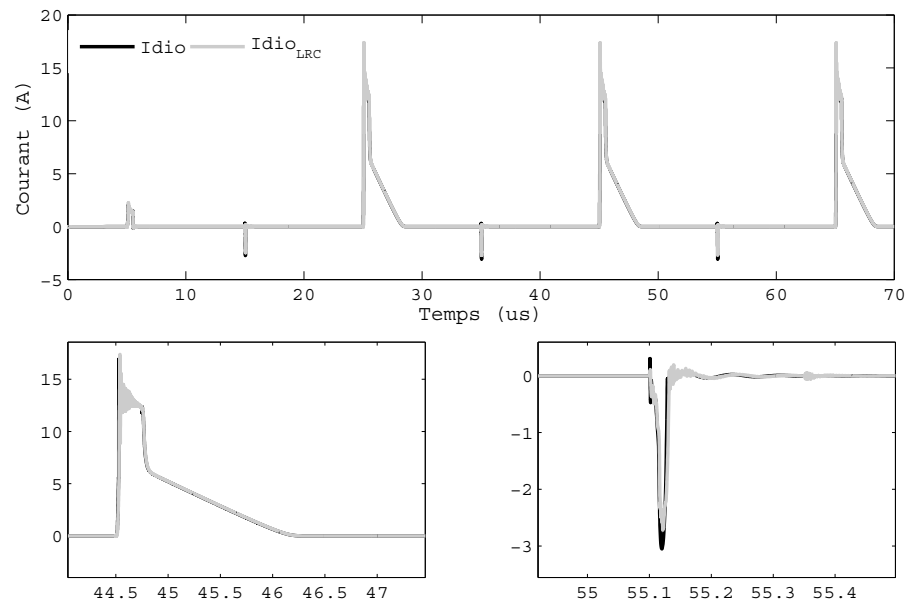


Figura 42 – Formas de onda da corrente do diodo sem e com elementos parasitas.

8 Ensaios e Resultados Experimentais

Depois de ter desenhado o circuito flexível, foi necessário também projetar as ferramentas necessárias para realizar a montagem do módulo de potência. Cada peça foi dimensionada e desenhada sobre o programa Corel Draw para fabricação. Em particular, o caso da guia de alinhamento visível em Fig. 43(a) e do substrato DBC, Fig. 43(b). Para começar a montagem, utilizando a pasta de prata fornecida pelo laboratório, coloca-se o material com ajuda da máquina de serigrafia (equipada de uma tela cortada a *laser* com base nos arquivos de fabricação gerados pelo KiCAD), Fig. 44(a), sobre o circuito flexível. Em seguida, com ajuda do die bonder, é realizado o alinhamento do *chip* sobre seu correto posicionamento no circuito. Em seguida, o procedimento de sinterização de prata, que já foi discutido neste relatório, é iniciado de acordo com a programação especificada por aproximadamente 2 horas e meia, deixando o conjunto na prensa térmica, Fig. 44(b). Para a sequência, faz-se necessário soldar cada componente CMS do circuito *drive*. Ao final, o circuito da Fig 45 é obtido.

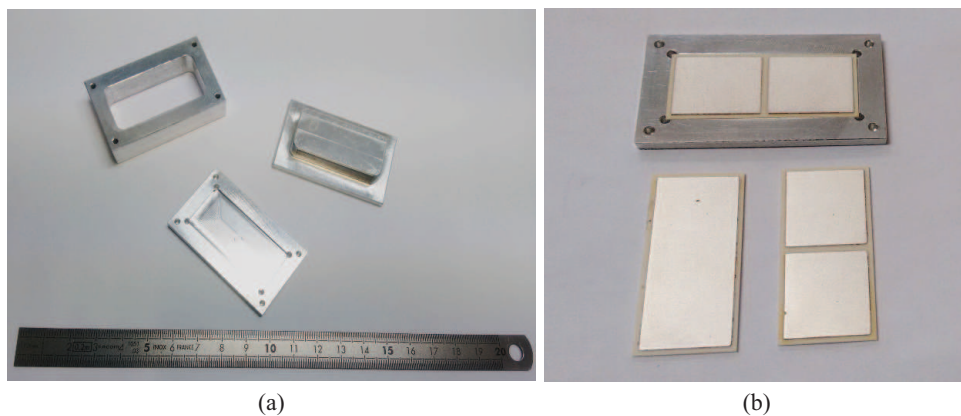


Figura 43 – Guia de alinhamento para montagem (a) e substrato DBC (b).

Para realização da montagem da Fig. 45, vários ensaios foram necessários (duração de secagem da pasta, parâmetros de alinhamento dos chips e análise da quantidade de pasta a ser utilizada). Durante a montagem, todos os procedimentos foram bem realizados, no entanto, houve um pequeno erro durante o espalhamento da pasta de prata sobre o circuito flexível. Provavelmente, uma quantidade excessiva foi usada. Para outras montagens, serão utilizadas várias amostras no processo de tratamento.

Um outro ponto importante a destacar é que o circuito trabalhado aqui não corresponde à versão final do fabricante: seguido por um problema do fabricante, os circuitos recebidos comportam uma metalização diferente (ouro ao invés de prata) sobre os traços, a nível das camadas de cobre. Um novo lote foi fabricado, mas, até as experiências re-

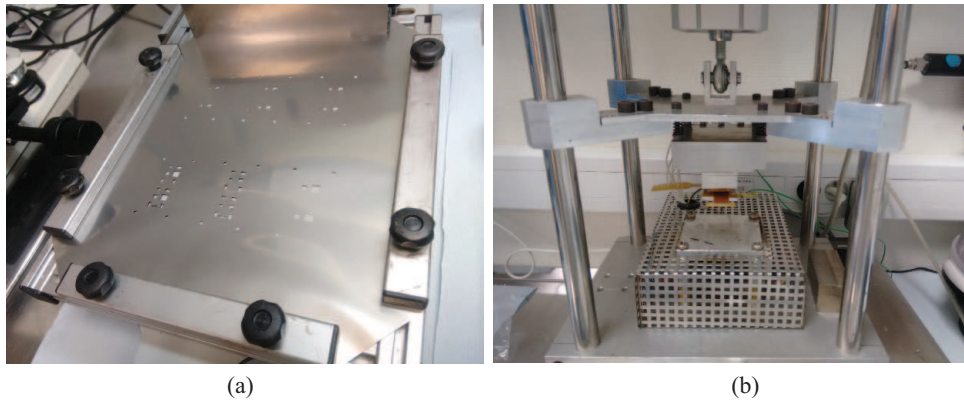


Figura 44 – Máquina de serigrafia com a tela adaptada aos *chips* (a) e a prensa térmica (b).

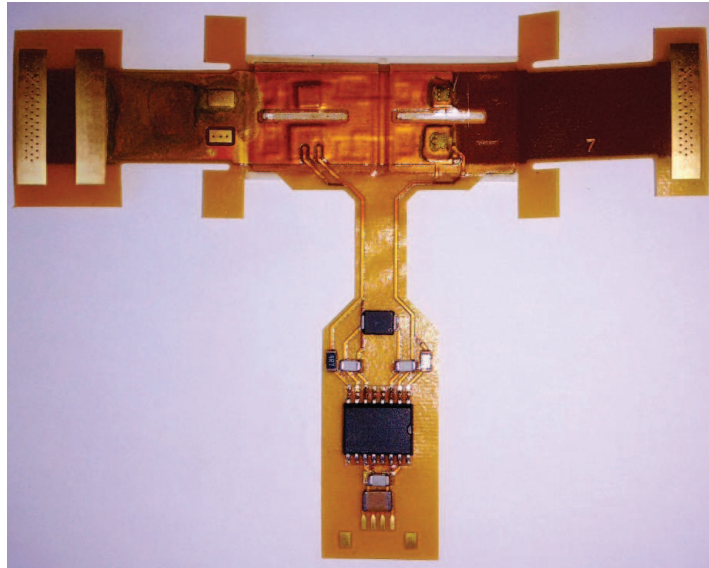


Figura 45 – Circuito Flexível depois da montagem.

alizadas para este relatório, ainda não foi recebido. Os ensaios apresentados aqui foram feitos com o circuito protótipo (ainda eletricamente funcional).

No que diz respeito aos ensaios experimentais, obteve-se a Tabela 4 que mostra as medidas elétricas efetuadas. Depois de análise, pode-se constatar que há um valor estranho: a resistência porta/emissor sobre o interruptor T1. Há um curto-circuito entre a porta e o emissor. Na Fig. 47(b) é observado a presença de um espalhamento de pasta de prata visível através do corte do PCB. Este é provavelmente o responsável pelo curto-circuito observado.

Finalmente, pode-se ver na Fig. 48 uma imagem do *drive* e seus componentes periféricos. A soldagem foi realizada com uso de um forno e, em seguida, com uma pasta de solda sem uso de chumbo. Depois de um ciclo de 4 minutos, a soldagem está satisfatória.

De maneira geral, considerando a complexidade do processo de montagem, foram

Tabela 4 – Tabela de medidas efetuadas sobre o protótipo..

Grandezas	Valores	Descrição	Aceitável
R_{GET1}	50,7 Ω	Resistência Porta/Emissor – T1	Non
R_{GET2}	∞	Resistência Porta/Emissor – T2	Oui
C_{GET1}	Non Mesurable	Capacitância Porta/Emissor – T1	Non
C_{GET2}	3,8 nF	Capacitância Porta/Emissor – T2	Oui
$D_{PH/+DC}$	0,667 V	Queda de tensão do diodo – Fase/+DC	Oui
$D_{-DC/PH}$	0,669 V	Queda de tensão do diodo – -DC/Fase	Oui
$R_{DC+/DC-}$	∞	Resistência DC+/DC-	Oui
$R_{DC+/PH}$	∞	Resistência DC+/Fase	Oui
$R_{PH/DC-}$	∞	Resistência Fase/DC-	Oui
D_{BS}	0,48 V	Queda de tensão para o diodo <i>bootstrap</i>	Oui

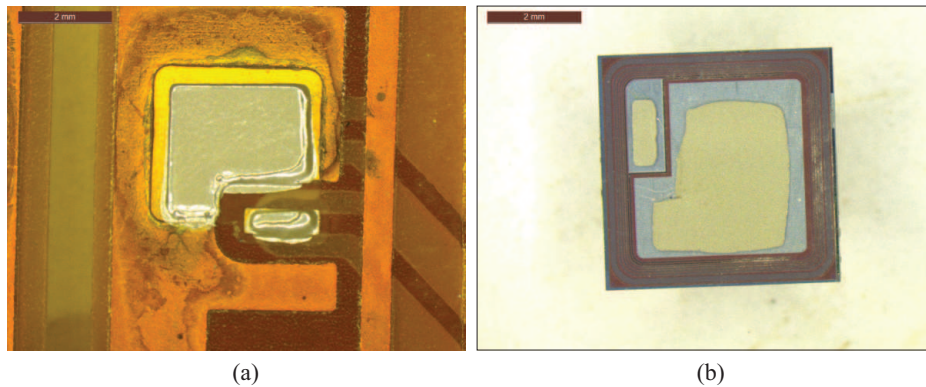


Figura 46 – Desenvolvimento da montagem: deposição da pasta de prata sobre o circuito flexível (a), e alinhamento do IGBT sobre o material de prata feito por uma lâmina de vidro (e observação através da lâmina de vidro) (b).

obtidos bons resultados. Os ensaios de montagem sobre um outro protótipo, realizados no início do estágio, permitiram considerar todas as restrições do fabricante a partir da elaboração do módulo de potência. No começo do projeto, foram feitos vários experimentos de montagem e de caracterização (cisalhamento) por sinterização de prata.

Com base nas várias etapas necessárias para concluir o processo, é evidente a necessidade de realizar várias outras montagens devido aos erros eventuais que podem acontecer.

8.1 Descrição das Últimas Montagens

Após ter recebido a versão final do PCB flexível, novas montagens foram iniciadas. Até a data do fim do estágio, 9 de setembro de 2016, houve tempo para fazer apenas dois experimentos. Para iniciar o processo, o die bonder foi devidamente configurado com

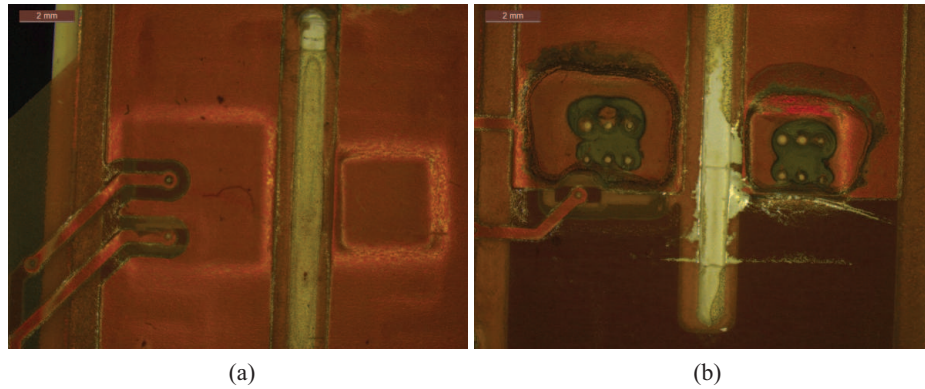


Figura 47 – Vista superior do circuito flexível. Em (a) os IGBTs do lado de alta e em (b) os IGBTs do lado de baixa (com o espalhamento da pasta de prata visível).

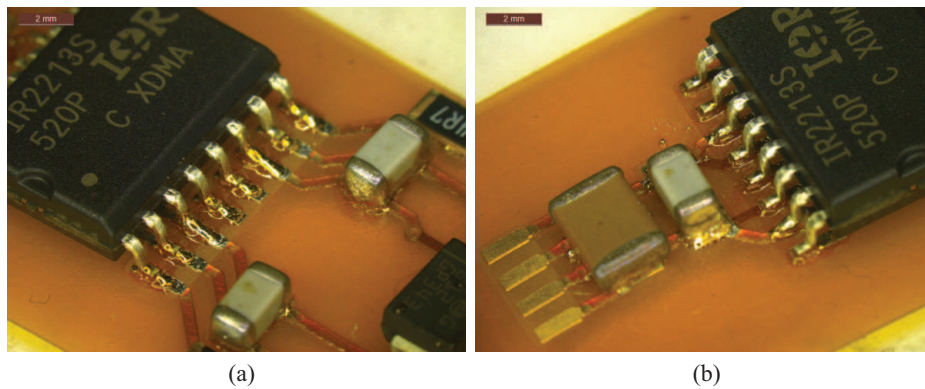


Figura 48 – Circuito de comando do braço de inversor.

parâmetros já testados. Para defini-los, vários ensaios modificando os dados de entrada de deslocamento foram realizados. Em seguida, a referência 134 foi escolhida, isso implica uma regulagem do quadrado de tela de tal forma que o *chip* de potência se instale exatamente sobre seu local no circuito.

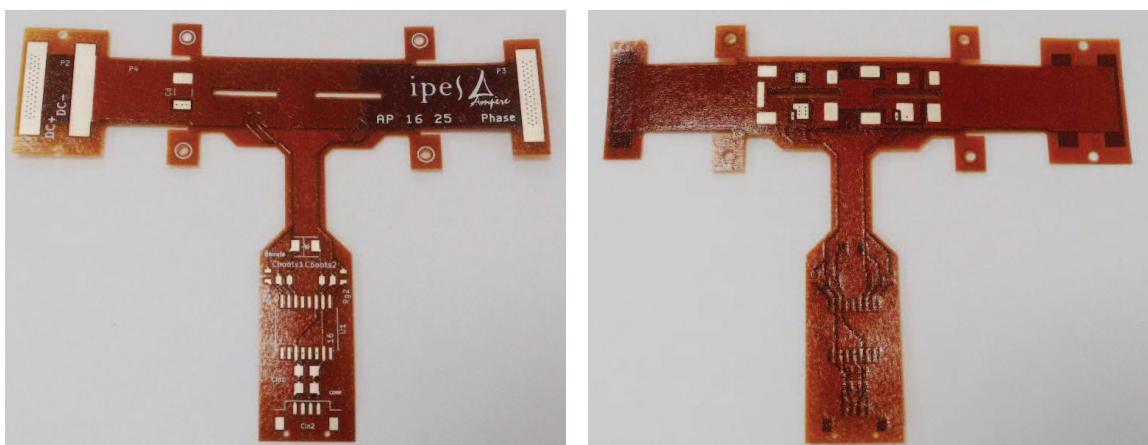


Figura 49 – Versão final do circuito flexível.

Para a última montagem, utilizou-se um tempo de aquecimento ao forno menor

que aqueles estipulados inicialmente (4 minutos), daí adotou-se um tempo de 3 minutos com a mesma temperatura (85 °C).

Ao final da primeira montagem, infelizmente, um *chip* foi quebrado. Provavelmente devido a uma pressão mais forte que a necessária, geralmente era utilizado 6 bars para a pressão da prensa pneumática. Na segunda montagem a pressão foi alterada para 3 bars, utilizando sempre o mesmo tempo de aquecimento para a pasta de prata de 3 minutos. Um novo erro apareceu e um curto-circuito foi detectado. O circuito final recebido por ser visto em Fig. 49.

Assim, foi constatado a real necessidade de realizar várias montagens para alcançar um conjunto prático e que seja completamente funcional.

9 Conclusão

Durante o estágio industrial foram colocados numerosos pontos condizentes ao encapsulamento dos módulos de potência para obtenção das montagens com uma densidade de potência mais elevada possível, sobretudo trabalhando em altas temperaturas. A implementação do circuito flexível ao invés dos tradicionais fios de ligação para realizar as conexões elétricas foi validada. Aplicando este conceito, foi possível construir todo o circuito de comando sobre um pequeno espaço na parte inferior do circuito flexível, aumentando ainda mais a compressão do módulo de potência, ponto principal da integração 3D.

No que concerne aos elementos parasitas, foi visto que a indutância parasita é nitidamente diminuída, se comparado ao caso dos fios de conexão. Também, graças à outras técnicas que foram implementadas como a *stripline* ou a *busbar*, constatou-se que o desenho do PCB foi bem realizado considerando a baixa ondulação de tensão e corrente sobre os componentes.

Do ponto de vista teórico, em efeito, várias competências no domínio dos componentes da eletrônica de potência e encapsulamento foram adquiridas ao fim do estágio e, sobretudo, a capacidade de trabalhar com um eixo de pesquisa fascinante que é o desenvolvimento de módulos de potência em ambientes severos.

Referências

- 1 MOIR, I.; SEABRIDGE, A. *Aircraft systems: mechanical, electrical and avionics subsystems integration*. [S.l.]: John Wiley & Sons, 2011. v. 52. Cité dans la page 7.
- 2 BUTTAY, C. Modules et boîtiers de puissance (packaging). *Techniques de l'ingénieur*, v. 3116, p. 1–18, 2010. Cité 3 fois dans les pages 11, 19 e 41.
- 3 BECKEDAHL, P. et al. 400 a, 1200 v sic power module with 1nh commutation inductance. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 12.
- 4 BUTTAY, C. *Contribution à la conception par la simulation en électronique de puissance: application à l'onduleur basse tension*. Tese (Doutorado) — INSA de Lyon, 2004. Cité dans la page 14.
- 5 MÉNAGER, L.; ALLARD, B.; BLEY, V. Composants de l'électronique de puissance. *article E3385 des Techniques de l'ingénieur*, 2010. Cité 2 fois dans les pages 14 e 15.
- 6 KEMPER, J. et al. Lifetime analysis of igbts in periodic surge current operation. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 15.
- 7 FENG, S.-T. et al. Rapid sintering of nanosilver paste using current for attaching igbt chips. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 15.
- 8 MOHAN, N.; UNDELAND, T. M. *Power electronics: converters, applications, and design*. [S.l.]: John Wiley & Sons, 2007. Cité dans la page 16.
- 9 WANG, Y. et al. An overview of advanced power semiconductor packaging for automotive system. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 17.
- 10 HOHLFELD, O. Damage protection of power modules. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 17.
- 11 AN, B. N. et al. Full sic power module with substrate integrated liquid cooling for battery electric vehicles. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 18.
- 12 MÉNAGER, L.; ALLARD, B.; BLEY, V. Conditionnement des modules de puissance. *article E3385 des Techniques de l'ingénieur*, 2010. Cité dans la page 19.
- 13 DODGE, J.; HESS, J. *IGBT Tutorial Application Note APT0201 Rev. B*. [S.l.]: Advanced Power Technology, 2002. Cité dans la page 20.
- 14 MERELLO, A.; RUGGINENTI, A.; GRASSO, M. Using monolithic high voltage gate drivers. *International Rectifier, USA*, 2004. Cité dans la page 22.
- 15 STOCKMEIER, T. et al. Skin: Double side sintering technology for new packages. In: IEEE. *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*. [S.l.], 2011. p. 324–327. Cité dans la page 25.

- 16 ZHENG, H. et al. Processing and properties of chip-bonding on copper by low-temperature sintering a nanosilver paste. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 30.
- 17 MASSON, A. Frittage d'une pâte de nano-poudres d'argent: une solution alternative aux brasures classiques haute température. In: *Jeunes Chercheurs en Génie Électrique (JCGE)*. [S.l.: s.n.], 2011. p. 1–10. Cité dans la page 30.
- 18 BAYERER, R. Parasitic inductance hindering utilization of power devices. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 38.
- 19 KEARNEY, D. et al. Pcb embedded power electronics for low voltage applications. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 38.
- 20 MAJUMDAR, G. et al. Review of integration trends in power electronics systems and devices. *ETG-Fachbericht-CIPS 2016*, VDE VERLAG GmbH, 2016. Cité dans la page 41.
- 21 FALAHI, K. E. et al. High temperature, smart power module for aircraft actuators. In: *HiTEN'13*. [S.l.: s.n.], 2013. Cité dans la page 41.
- 22 BUTTAY, C. et al. Integrated packaging allows for improvement in switching characteristics of silicon carbide devices. In: *Power Control Intelligent Motion 2014 (PCIM 2014)*. [S.l.: s.n.], 2014. p. 8–p. Cité dans la page 41.

Anexos

Anexo A – Desenvolvimento do Circuito Impresso com o KiCAD

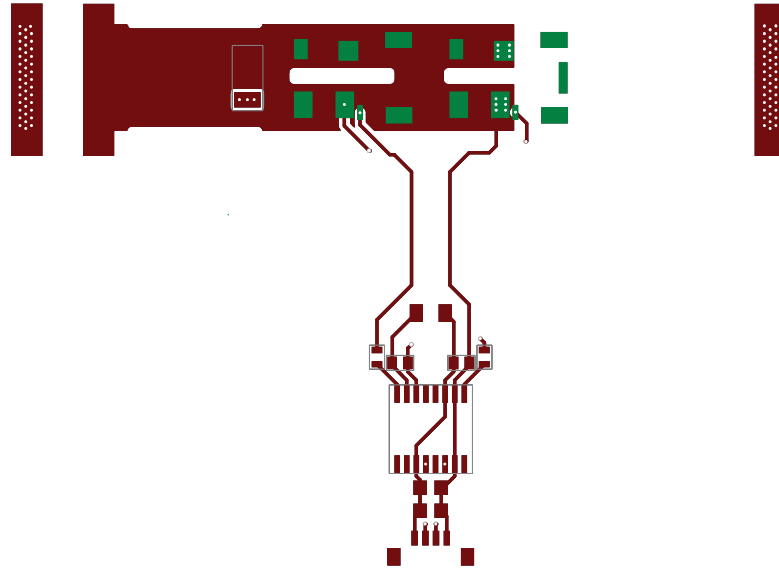


Figura 50 – Trilhagem do PCB Flexível – Camada F.Cuivre.

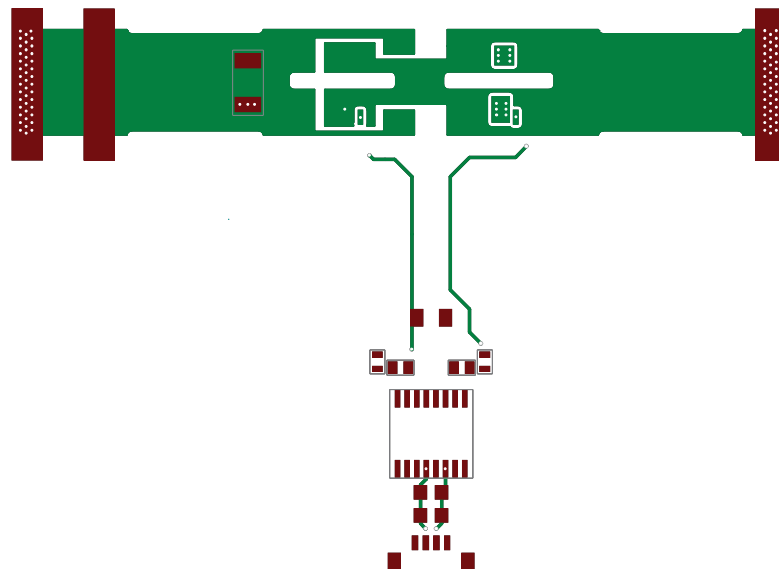


Figura 51 – Trilhagem do PCB Flexível – Camada B.Cuivre.

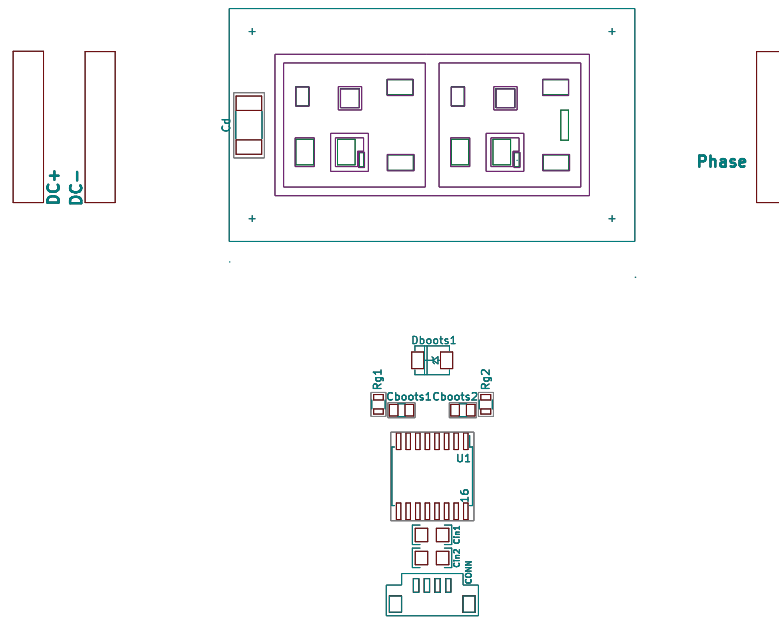


Figura 52 – Trilhagem do PCB Flexível – Camada F.B.Silks.

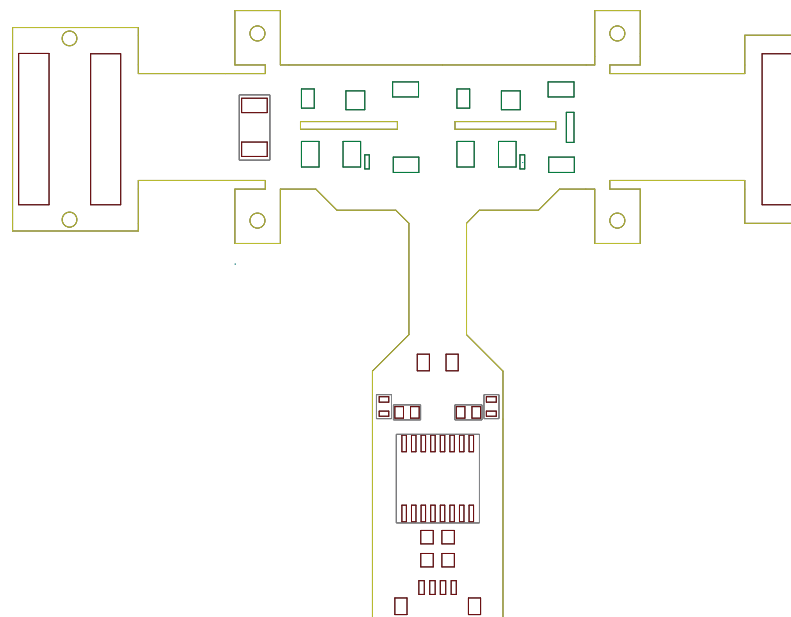


Figura 53 – Trilhagem do PCB Flexível – Camada EdgeCuts.

Anexo B – Matrizes dos Elementos Parasitas

Tabela 5 – Tabela dos valores de resistência parasita. A unidade está em $[m\Omega]$.

	AD1	CD2	CT2	DTH	ET1	AD2	CAP-	DT2-	ET2	CD1	CT1	CAP+	GT1	GT2
AD1	0,51	0,21	0,20	0,29	0,31	-0,22	-0,07	-0,24	-0,23	-0,12	-0,13	-0,08	0,01	0,01
CD2	0,21	0,22	0,15	0,16	0,20	-0,08	-0,04	-0,13	-0,11	-0,06	-0,07	-0,04	0,03	0,02
CT2	0,20	0,15	0,22	0,22	0,21	-0,11	-0,04	-0,05	-0,07	-0,07	-0,06	-0,04	-0,01	-0,03
DTH	0,29	0,16	0,22	3,62	0,53	-0,23	-0,06	-0,04	-0,16	-0,12	-0,05	-0,04	-0,47	-0,09
ET1	0,31	0,20	0,21	0,53	0,52	-0,23	-0,07	-0,19	-0,21	-0,14	-0,11	-0,07	-0,02	-0,02
AD2	-0,22	-0,08	-0,11	-0,23	-0,23	0,79	0,28	0,56	0,59	0,42	0,39	0,26	0,02	0,03
CAP-	-0,07	-0,04	-0,04	-0,06	-0,07	0,28	0,18	0,26	0,27	0,21	0,20	0,14	0,00	0,02
DT2-	-0,24	-0,13	-0,05	-0,04	-0,19	0,56	0,26	3,55	0,75	0,37	0,40	0,26	-0,13	-0,61
ET2	-0,23	-0,11	-0,07	-0,16	-0,21	0,59	0,27	0,75	0,77	0,41	0,40	0,26	-0,04	-0,02
CD1	-0,12	-0,06	-0,07	-0,12	-0,14	0,42	0,21	0,37	0,41	0,47	0,39	0,29	0,00	0,03
CT1	-0,13	-0,07	-0,06	-0,05	-0,11	0,39	0,20	0,40	0,40	0,39	0,47	0,30	-0,03	0,00
CAP+	-0,08	-0,04	-0,04	-0,04	-0,07	0,26	0,14	0,26	0,26	0,29	0,30	0,25	-0,02	0,00
GT1	0,01	0,03	-0,01	-0,47	-0,02	0,02	0,00	-0,13	-0,04	0,00	-0,03	-0,02	2,82	0,07
GT2	0,01	0,02	-0,03	-0,09	-0,02	0,03	0,02	-0,61	-0,02	0,03	0,00	0,00	0,07	3,24

Tabela 6 – Tabela dos valores de capacitância parasita. A unidade está em $[pF]$.

	HIN	LIN	PHASE	DC-	DC+	GT1	VCCDb1	GT2	CDb1
HIN	0,05	0,03	0,00	0,02	0,00	0,00	1,48	0,00	0,00
LIN	0,03	0,05	0,00	1,45	0,00	0,00	0,02	0,00	0,00
PHASE	0,00	0,00	0,62	115,25	0,55	5,11	0,05	0,71	0,68
DC-	0,02	1,45	115,25	1,01	271,28	0,21	0,20	7,54	0,02
DC+	0,00	0,00	0,55	271,28	0,36	0,33	0,01	0,01	0,00
GT1	0,00	0,00	5,11	0,21	0,33	0,10	0,02	0,03	0,11
VCCDb1	1,48	0,02	0,05	0,20	0,01	0,02	0,22	0,05	0,03
GT2	0,00	0,00	0,71	7,54	0,01	0,03	0,05	0,10	0,01
CDb1	0,00	0,00	0,68	0,02	0,00	0,11	0,03	0,01	0,04