



Universidade Federal de Campina Grande  
Centro de Engenharia Elétrica e Informática  
Programa de Pós-Graduação em Engenharia Elétrica

## Dissertação de Mestrado

# Modulação Rápida para Inversores Multiníveis sem Transformação de Coordenadas

Luis Gustavo Guedes Pereira de Castro

Campina Grande, Paraíba, Brasil  
Fevereiro de 2013

# Modulação Rápida para Inversores Multiníveis sem Transformação de Coordenadas

Luis Gustavo Guedes Pereira de Castro

*Dissertação de Mestrado submetida à Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande - Campus I, como parte dos requisitos necessários para a obtenção do grau de mestre em Ciências no Domínio em Engenharia Elétrica.*

Área de Conhecimento: Processamento da Energia

Orientador:

Maurício Beltrão de Rossiter Corrêa

Campina Grande, Paraíba, Brasil

Fevereiro de 2013

*"Toda a nossa ciência, comparada com a realidade, é primitiva e infantil - e, no entanto, é a coisa mais preciosa que temos." (Albert Einstein)*

# Agradecimentos

Aos meus pais, Luis Antonio e Maria Margarida, que me deram todo apoio e estrutura e possibilitaram a realização dessa conquista.

Ao Professor Doutor Maurício Beltrão de Rossiter Corrêa, pelo privilégio de tê-lo como orientador, pelo apoio e por acreditar na realização deste trabalho.

À Kamilla Montenegro, por toda ajuda, paciência, por toda motivação e por tornar cada dia mais fácil de ser vivido.

Aos meus amigos Alexandre Serres, Antônio Neto, Carlos Henrique, Paulo Eduardo, João Helder, Luciano Barros, Marcos Aurélio e Ricardo Mota por encorajar-me a concretizar esse objetivo.

Ao FINEP e CNPq, por ter fornecido suporte financeiro para a realização desta pesquisa.

A todos aqueles que, direta ou indiretamente, cooperaram com este trabalho, sobretudo àqueles que foram capazes de um gesto de compreensão e solidariedade, marcando de maneira especial esta realização.

# Resumo

Este trabalho apresenta uma estratégia de modulação do tipo *space vector* e sua aplicação visando três diferentes objetivos: diminuição das distorções harmônicas, eliminação da tensão de modo comum e operação do inversor sob condições de falhas. O método se baseia na flexibilidade de escolha dos estados de chaveamento proporcionada pela técnica *space vector*. Foram desenvolvidos, então, três diferentes algoritmos para seleção dos vetores de acordo com o objetivo da estratégia. As soluções apresentadas podem ser utilizadas em inversores com qualquer número de níveis e são indicadas para aplicação em *FPGAs*. As estratégias foram comparadas com outras técnicas da literatura e os resultados demonstram a eficiência e a qualidade das soluções propostas.

**Palavras-chave:** Conversores Multiníveis, Modulação, *Space-Vector*, Inversor em Cascata, Distorções Harmônicas, Tensão de Modo Comum, Falha.

# Abstract

This work presents a space vector modulation strategy and its application aiming three different objectives: reduction of the harmonic distortion, common-mode voltage elimination and operation under faulty conditions. The method is based on the flexibility to select the switching states proportioned by the space vector technique. Then, was developed three different algorithms for vector selection according to the strategy's objective. The solutions presented can be used in inverters of any number and are most suited for FPGA implementation. The strategies were compared with other techniques from literature and the results demonstrate the efficiency and quality of the proposed solutions.

**Keywords:** Multilevel Converters, Modulation, Space-vector, Cascaded H-Bridge Inverter, Harmonic Distortion, Common-mode voltage, Fault.

# Índice

<b>Agradecimentos</b> . . . . .	iii
<b>Resumo</b> . . . . .	iv
<b>Abstract</b> . . . . .	v
<b>Índice</b> . . . . .	vi
<b>Índice de Tabelas</b> . . . . .	ix
<b>Índice de Figuras</b> . . . . .	x
<b>Glossário</b> . . . . .	xiii
<b>1 Introdução</b> . . . . .	1
1.1 Inversores Multiníveis em Cascata . . . . .	2
1.1.1 Inversor em Cascata com Fontes Iguais . . . . .	3
1.1.2 Inversor em Cascata com Fontes Diferentes . . . . .	4
1.2 Estratégias de Modulação para Inversores Multiníveis . . . . .	6
1.2.1 Modulação por Largura de Pulso Multiportadora . . . . .	7
1.2.2 Modulação <i>Space Vector</i> . . . . .	8
1.3 Revisão Bibliográfica . . . . .	12
1.3.1 Topologias de Inversores Multiníveis . . . . .	12
1.3.2 Estratégias de Modulação para Inversores Multiníveis . . . . .	14
1.3.3 Eliminação da Tensão de Modo Comum em Inversores Multiníveis . . . . .	18
1.3.4 Falhas em Inversores em Cascata . . . . .	18
1.4 Parâmetros de Desempenho . . . . .	19
1.5 Contribuições do Trabalho . . . . .	20

---

1.6	Organização do Trabalho . . . . .	20
1.7	Artigos Publicados . . . . .	21
<b>2</b>	<b>Estratégias de Modulação para Inversores Multiníveis . . . . .</b>	<b>22</b>
2.1	Introdução . . . . .	22
2.2	Estudo das Estratégias de Modulação . . . . .	23
2.2.1	LS-PWM-EP . . . . .	23
2.2.2	PWM-ANTONIO . . . . .	25
2.2.3	SV-CELANOVIC . . . . .	28
2.2.4	SV-CASTRO . . . . .	31
2.3	Análise de Desempenho . . . . .	35
2.4	Resultados Experimentais . . . . .	42
2.5	Conclusões . . . . .	44
<b>3</b>	<b>Eliminação da Tensão de Modo Comum em Inversores Multiníveis . . . . .</b>	<b>47</b>
3.1	Introdução . . . . .	47
3.2	Tensão de Modo Comum em Máquinas Elétricas . . . . .	48
3.3	Geração da Tensão de Modo Comum em Modulações <i>Space Vector</i> . . . . .	49
3.4	Eliminação da Tensão de Modo Comum . . . . .	50
3.5	Modulação <i>Space Vector</i> para a Eliminação da Tensão de Modo Comum . . . . .	52
3.5.1	Resumo do Algoritmo . . . . .	52
3.6	Resultados de Simulação e Experimentais . . . . .	55
3.7	Conclusões . . . . .	59
<b>4</b>	<b>Falhas em Inversores em Cascata . . . . .</b>	<b>61</b>
4.1	Introdução . . . . .	61
4.2	Estratégias de Operação do Inversor em Cascata sob Condições de Falha . . . . .	61
4.2.1	<i>Bypass</i> de Células Operativas . . . . .	62
4.2.2	Uso de Células Redundantes . . . . .	63
4.2.3	Deslocamento do Neutro . . . . .	64
4.2.4	Uso de Estados Redundantes . . . . .	65
4.3	Modulação <i>Space Vector</i> para Inversores em Cascata sob Condições de Falha . . . . .	67
4.3.1	Cálculo do Vetor de Referência Máximo . . . . .	68



---

4.3.2	Seleção dos Estados de Chaveamento . . . . .	70
4.3.3	Resumo do Algoritmo . . . . .	72
4.4	Resultados de Simulação e Experimentais . . . . .	74
4.4.1	Análise de Desempenho . . . . .	77
4.5	Conclusões . . . . .	79
<b>5</b>	<b>Conclusões Gerais . . . . .</b>	<b>81</b>
5.1	Trabalhos Futuros . . . . .	82
<b>A</b>	<b>Generalização dos Algoritmos . . . . .</b>	<b>83</b>
A.1	Diminuição das Distorções Harmônicas . . . . .	83
A.2	Eliminação da Tensão de Modo Comum . . . . .	91
A.3	Operação sob Condições de Falhas . . . . .	95
	<b>Referências Bibliográficas . . . . .</b>	<b>106</b>

# Índice de Tabelas

1.1	Tensão de saída em função dos estados das chaves . . . . .	3
1.2	Estados de chaveamento do inversor de 5 níveis . . . . .	5
1.3	Estados de chaveamento do ICFD de 9 níveis . . . . .	6
2.1	Sequências possíveis para a região do inversor de 5-níveis. . . . .	33
2.2	Dados gerais para as simulações. . . . .	36
2.3	Chaveamento médio. . . . .	41
2.4	Tempos de repetição. . . . .	42
2.5	Dados experimentais. . . . .	42
2.6	Resultados experimentais de WTHD (%). . . . .	45
3.1	Resultados de simulação - WTHD(%). . . . .	59
4.1	Setores afetados pela falhas. . . . .	66
4.2	Quantidade máxima de camadas afetadas e vetor de referência. . . . .	70
4.3	Combinações de falhas para os resultados experimentais. . . . .	77
4.4	Combinações de falhas. . . . .	77

# Índice de Figuras

1.1	Inversor Multinível em Cascata . . . . .	3
1.2	Inversor de 5 níveis . . . . .	4
1.3	Inversores em Cascata com Fontes Diferentes . . . . .	5
1.4	LS-PWM para um inversor de 3 níveis . . . . .	7
1.5	LS-PWM para Inversor de 5 níveis . . . . .	9
1.6	PS-PWM para um inversor de 3 níveis . . . . .	10
1.7	Diagrama funcional de um inversor de N-níveis. . . . .	10
1.8	<i>Space Vector</i> para Inversor de n-níveis . . . . .	11
2.1	Portadoras modificadas. . . . .	23
2.2	Geração das portadoras modificadas. . . . .	24
2.3	Tensões de polo. . . . .	24
2.4	Corrente trifásica. . . . .	24
2.5	Tensão nas células. . . . .	25
2.6	Tensões de referência. . . . .	25
2.7	Tensões de polo . . . . .	27
2.8	Corrente trifásica. . . . .	28
2.9	Tensão nas células. . . . .	28
2.10	Tensões de referência. . . . .	29
2.11	Comparação entre as referências. . . . .	31
2.12	Região de um espaço vetorial de $N = 5$ . . . . .	33
2.13	Tensões de polo . . . . .	35
2.14	Corrente trifásica. . . . .	36
2.15	Tensão nas células. . . . .	36
2.16	WTHD x número de níveis. . . . .	37

2.17	WTHD x f. . . . .	38
2.18	WTHD x m (720Hz). . . . .	39
2.19	WTHD x m (10kHz). . . . .	40
2.20	Tempo de processamento x Número de níveis. . . . .	41
2.21	Resultados experimentais para $N = 3$ . . . . .	43
2.22	Resultados experimentais para $N = 5$ . . . . .	43
2.23	Resultados experimentais para $N = 7$ . . . . .	44
3.1	Circuito equivalente da tensão de modo comum para um sistema inversor-motor. . . . .	48
3.2	Diagrama vetorial para um inversor de $N = 7$ níveis com vetores em que $V_{no} = 0$ marcados em cinza. . . . .	49
3.3	Exemplo de diagrama vetorial de 3-níveis simplificado. . . . .	50
3.4	Obtenção do Diagrama reduzido a partir do convencional. . . . .	51
3.5	Fluxograma para aplicação do algoritmo para eliminação da tensão de modo comum. . . . .	52
3.6	Tensão de linha e tensão de modo comum para um inversor de 3-níveis. . . . .	55
3.7	Tensão de linha e tensão de modo comum para um inversor de 5-níveis. . . . .	56
3.8	Tensão de linha e tensão de modo comum para um inversor de 7-níveis. . . . .	56
3.9	WTHD x m. . . . .	57
3.10	WTHD x f (720Hz - 10kHz). . . . .	57
3.11	Resultados experimentais. . . . .	58
4.1	Célula do inversor em cascata com contato de <i>bypass</i> $K$ . . . . .	62
4.2	Diagrama fasorial de um inversor de 11-níveis. . . . .	63
4.3	Inversor em cascata com células redundantes. . . . .	64
4.4	Diagrama fasorial de um inversor de 11-níveis com deslocamento do neutro. . . . .	65
4.5	Estratégia de controle para deslocamento do neutro. . . . .	65
4.6	Exemplos de diagramas vetoriais resultantes de falhas em um inversor de 7-níveis. . . . .	67
4.7	Cálculo do vetor de referência máximo para o inversor em falha. . . . .	68
4.8	Escolha dos estados de chaveamento para inversor com duas células em falha na fase $a$ . . . . .	70
4.9	Região triangular com três vetores ímpares. . . . .	72

---

4.10	Tensões de polo para um inversor de 7-níveis com duas células em falha na fase $a$ e uma na fase $b$ . . . . .	75
4.11	Tensões de linha para um inversor de 7-níveis com duas células em falha na fase $a$ e uma na fase $b$ . . . . .	75
4.12	Correntes para um inversor de 7-níveis com duas células em falha na fase $a$ e uma na fase $b$ . . . . .	75
4.13	Tensões de linha para um inversor de 7-níveis com três células em falha na fase $a$ e uma na fase $b$ . . . . .	76
4.14	Correntes para um inversor de 7-níveis com três células em falha na fase $a$ e uma na fase $b$ . . . . .	76
4.15	Resultados experimentais. . . . .	78
4.16	WTHD x falhas. . . . .	79
4.17	Tensões de linha máximas disponíveis em um inversor de 7-níveis em falha. . . . .	79

# Glossário

$a, b, c$	–	Terminais de saída do inversor
$APOD$	–	<i>Alternative phase opposition disposition</i>
$C_a, C_b, C_c$	–	Quantidade de células em falha por fase
$CB - PWM$	–	<i>Carrier-Based PWM</i>
$CHB$	–	<i>Cascaded H-bridge inverter</i>
$DSP$	–	<i>Digital Signal Processor</i>
$d_1, d_2, d_3$	–	<i>Duty Cycles</i>
$f$	–	Frequência em Hz
$E$	–	Tensão do barramento $CC$
$f_p$	–	Frequência das portadoras triangulares
$f_m$	–	Frequência do sinal modulante
$N$	–	Número de Níveis
$FPGA$	–	<i>Field-Programmable Gate Array</i>
$F_{max}$	–	Quantidade máxima de camadas do diagrama vetorial afetadas
$f_{sw}$	–	Frequência de chaveamento
$G$	–	Ganho para operação do inversor sob falha
$i_a, i_b, i_c$	–	Correntes de fase
$IPD$	–	<i>In-phase disposition</i>
$LS - PWM$	–	<i>Level-Shifted PWM</i>

$m$	–	índice de modulação
$m_a$	–	Índice de modulação em amplitude
$m_f$	–	Índice de modulação em frequência
$N$	–	Número de Níveis
$N_{ca}$	–	Número de componentes ativos
$NPC$	–	<i>Neutral Point Clamped</i>
$POD$	–	<i>Phase opposition disposition</i>
$PS - PWM$	–	<i>Phase-shift Pulse Width Modulation</i>
$PWM$	–	<i>Pulse Width Modulation</i>
$Sx$	–	Estado de chaveamento do inversor
$v_{ao}, v_{bo}, v_{co}$	–	Tensões de pólo do inversor
$v_{ab}, v_{bc}, v_{ca}$	–	Tensões de linha do inversor
$V_{ab}^*, V_{bc}^*, V_{ca}^*$	–	Vetor tensão de referência
$v_{dc}$	–	Tensão nos capacitores do barramento CC
$V_g^*, V_h^*$	–	Vetor de referência nas coordenadas hexagonais
$V_{Hx}$	–	Tensão de uma célula
$V_{impar}$	–	Vetor com número ímpar de estados
$v_{ll}$	–	Módulo da tensão de linha
$V_{par}$	–	Vetor com número par de estados
$v_{no}$	–	Tensão de modo comum
$V_{ref}$	–	Vetor de referência
$V_{ul}, V_{lu}, V_{ll}, V_{uu}$	–	Vetores próximos da referência
$T$	–	Matriz de transformação linear para coordenadas hexagonais

*WTHD* – Distorção Harmônica Total Ponderada



# 1

## Introdução

Um inversor é um circuito capaz de converter energia elétrica da forma contínua para forma alternada (CA) a partir de uma fonte de tensão contínua (CC), por isso, é conhecido também como conversor CC/CA. Os inversores podem ser do tipo fonte de tensão (VSI), se possuírem estágio de entrada do tipo fonte de tensão, ou do tipo fonte de corrente (CSI), se possuírem estágio de entrada do tipo fonte de corrente.

A amplitude e frequência da tensão CA de saída pode ser controlada através do tempo de bloqueio e condução dos dispositivos semicondutores do inversor. Esse controle é feito através de técnicas de modulação que controlam a sequência utilizada e o tempo para produzir a tensão desejada. Entre as técnicas de modulação, as mais utilizadas são as baseadas em portadora, as do tipo vetores de espaço (*space vector - SV*), aplicáveis apenas para o caso trifásico, e a técnica de eliminação seletiva de harmônicos (SHE) ([Rashid, 2006](#)).

A indústria vem demandando cada vez mais equipamentos de alta potência capazes de se conectar à rede de média tensão (2,3-6,9 kV). Dispositivos como o HV-IGBT e o IGCT, que podem atingir níveis de potência superiores a 1MVA, vêm sendo utilizado para suprir essa demanda. Porém, esses dispositivos possuem custo de fabricação elevado e número limitado de fabricantes. Diante desta situação, os Conversores Multiníveis tornaram-se uma tecnologia promissora para aplicações de média e alta tensão. Utilizando componentes de menor potência, os Conversores Multiníveis possuem características mais atrativas que os conversores convencionais ([Rodriguez et al., 2002](#)), sendo elas:

- Podem operar com uma frequência de chaveamento menor;
- Podem gerar tensões de saída com distorção harmônica e  $dv/dt$  extremamente baixos;
- Corrente de entrada possui baixa distorção;
- Geram baixa tensão de modo comum, reduzindo a vibração em motores;

A aplicação mais utilizada dos inversores do tipo fonte de tensão é em acionamento de motores síncronos e de indução. São também utilizados em fontes de tensão ininterruptas (UPS), em filtros ativos e aplicações com compensadores de potência reativa, em carros elétricos e híbridos, em sistemas de geração com fontes de energia alternativa, sistemas flexíveis de transmissão AC (FACTS), etc (Franquelo et al., 2008).

## 1.1 Inversores Multiníveis em Cascata

Os inversores multiníveis são capazes de gerar formas de ondas de saída mais próximas das senoidais, pois possuem mais níveis para composição da onda na frequência fundamental, apresentando menor conteúdo harmônico quando comparado com os inversores convencionais. Nos inversores de 2 níveis, a tensão aplicada a cada interruptor é igual a tensão do barramento CC. Nos inversores multiníveis essa tensão é igual a  $1/(1 - N)$  (onde  $N$  é o número de níveis) da tensão do barramento CC, possibilitando a utilização de dispositivos com menor capacidade para aplicações em níveis maiores de tensão.

Os Inversores Multiníveis em Cascata são compostos por células independentes com fontes de tensão separadas conectadas em série como ilustrado na Fig. 1.1(a). As fontes de tensão isoladas são normalmente obtidas por retificadores multipulso. Como mostrado na Fig. 1.1(b), cada célula é composta por um retificador de tensão, um capacitor de elo CC e um inversor monofásico de dois níveis (ponte-H).

As chaves  $S_1$  e  $S_3$  da ponte-H funcionam de forma complementar às chaves  $S_2$  e  $S_4$ , respectivamente. Ou seja, quando a chave  $S_1$  estiver conduzindo (nível lógico 1), a chave  $S_2$  estará em bloqueio (nível lógico 0). Se a tensão do barramento CC for fixada em  $E$  a tensão de saída  $V_{AB}$  pode variar segundo a tabela 1.1. Os inversores em cascata podem ser

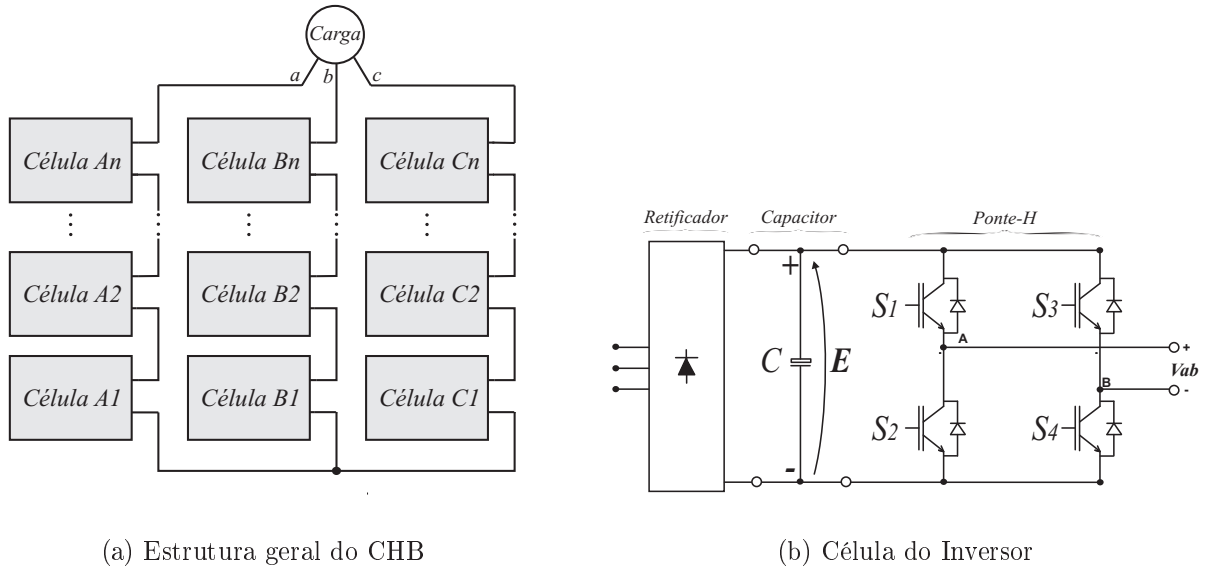


Figura 1.1: Inversor Multinível em Cascata

divididos em dois grupos: Inversores em Cascata com Fontes Iguais e Inversores em Cascata com Fontes Diferentes.

Tabela 1.1: Tensão de saída em função dos estados das chaves

$S_1$	$S_3$	$V_{ab}$
1	0	E
0	0	0
1	1	0
0	1	-E

### 1.1.1 Inversor em Cascata com Fontes Iguais

Como já foi dito anteriormente, para construir um CHB é necessário conectar pontes-H em série. A relação entre o número de níveis do inversor e a quantidade de células é dada pela equação (1.1), onde  $N$  é o número de níveis do inversor e  $H$  a quantidade de células por fase. O número de componentes ativos (chaves) é relacionado com o número de níveis segundo (1.2).

$$N = (2H + 1) \quad (1.1)$$

$$N_{ca} = 6(N - 1) \quad (1.2)$$

Para analisar o funcionamento do circuito será utilizado o inversor da Fig. 1.2, que é capaz de produzir uma tensão de pólo ( $V_{ao}$ ) de cinco níveis. O inversor possui duas células por fase e um total de 24 componentes ativos. Cada fase possui 4 chaves que definem os estados de chaveamento do inversor, sendo os outros 4 complementares. Portanto, terão um total de  $2^4$  possíveis estados de chaveamento para cada fase, distribuídos em cinco níveis de tensão. Considerando apenas a fase  $a$ , a tensão de pólo  $V_{ao}$  é dada pela soma entre  $V_{H1}$  e  $V_{H2}$ , portanto, quando as chaves  $S_{11}$ ,  $S_{41}$ ,  $S_{12}$  e  $S_{42}$  estiverem fechadas,  $V_{H1} = V_{H2} = E$  e a tensão de polo resultante será  $V_{ao} = 2E$ . Se essas chaves estiverem abertas, suas complementares estarão fechadas e a tensão resultante será  $V_{ao} = -2E$ . Os demais estados ( $-E$ ,  $0$  e  $E$ ) são obtidos por mais de um estado de chaveamento, como exposto na tabela 1.2, onde poderão observar uma redundância característica dos inversores multiníveis, que provê uma grande flexibilidade quando forem utilizadas estratégias de modulação do tipo *Space Vector*.

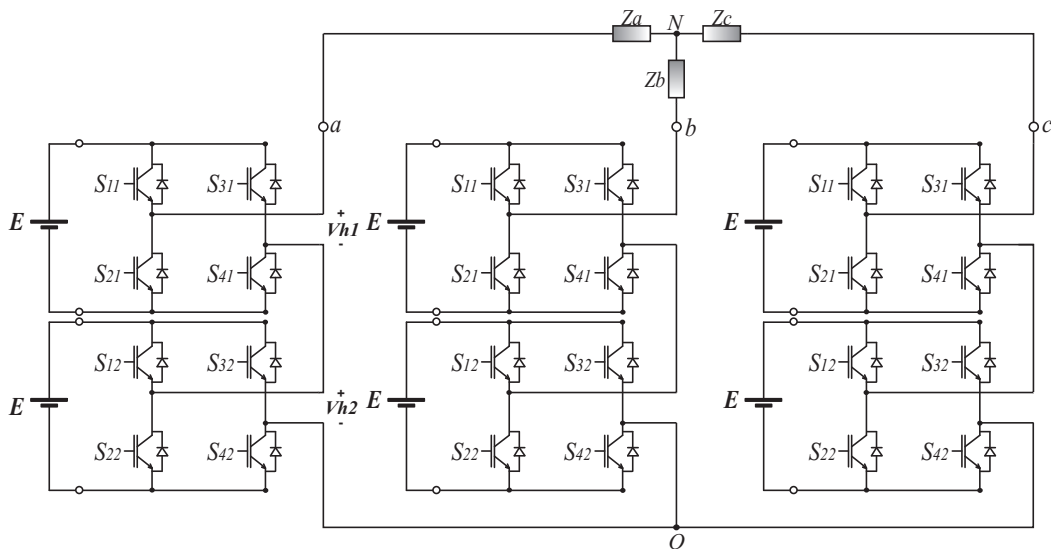


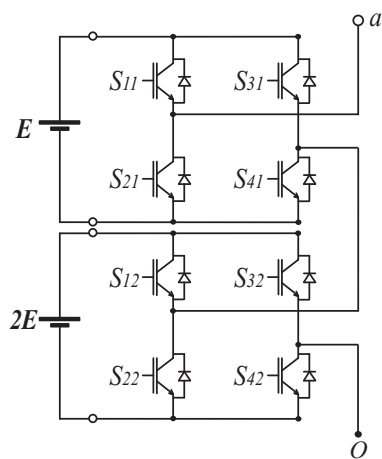
Figura 1.2: Inversor de 5 níveis

### 1.1.2 Inversor em Cascata com Fontes Diferentes

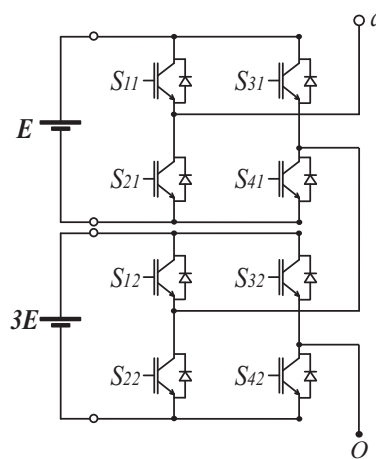
De forma alternativa, a estrutura do inversor apresentada na Fig. 1.1(a) pode ser utilizada com fontes de tensão diferentes em cada célula para aumentar os níveis da tensão sem necessariamente aumentar o número de células do inversor. Na Fig. 1.3 está ilustrada uma fase de um inversor de 7 níveis (Fig. 1.3(a)) e de um inversor de 9 níveis (Fig. 1.3(b)) que possuem o mesmo número de células do inversor de 5 níveis da Fig. 1.2.

Tabela 1.2: Estados de chaveamento do inversor de 5 níveis

Estados				$V_{H1}$	$V_{H2}$	$V_{ao}$
$S_{11}$	$S_{31}$	$S_{12}$	$S_{32}$			
1	0	1	0	E	E	2E
1	0	1	1	E	0	E
1	0	0	0	E	0	
1	1	1	0	0	E	
0	0	1	0	0	E	
0	0	0	0	0	0	0
0	0	1	1	0	0	
1	1	0	0	0	0	
1	1	1	1	0	0	
1	0	0	1	E	-E	
0	1	1	0	-E	E	
0	1	1	1	-E	0	-E
0	1	0	0	-E	0	
1	1	0	1	0	E	
0	0	0	1	0	-E	
0	1	0	1	-E	-E	-2E



(a) ICFD de 7 níveis



(b) ICFD de 9 níveis

Figura 1.3: Inversores em Cascata com Fontes Diferentes

No Inversor em Cascata com Fontes Diferentes de 7 níveis a tensão de pólo ( $V_{ao}$ ) varia de  $3E$ , quando a tensão de saída das células são positivas, à  $-3E$ , quando as tensões de saídas das células forem negativas, passando pelos níveis intermediários  $2E$ ,  $E$ ,  $0$ ,  $-E$  e  $-2E$ , que

são formados por combinações entre as tensões das células individuais. Os nove níveis do Inversor em Cascata com Fontes Diferentes da Fig. 1.3(b) com os estados de chaveamento estão detalhados na tabela 1.3. Se esta tabela for comparada com a de um Inversor em Cascata com Fontes Iguais poderá ser observado que existem menos combinações de estados de chaveamento para obter um dado nível de tensão.

Tabela 1.3: Estados de chaveamento do ICFD de 9 níveis

Estados				$V_{H1}$	$V_{H2}$	$V_{ao}$
$S_{11}$	$S_{31}$	$S_{12}$	$S_{32}$			
1	0	1	0	E	3E	4E
0	0	1	0	0	3E	3E
1	1	1	0	0	3E	
0	1	1	0	-E	3E	2E
1	0	0	0	E	0	E
1	0	1	1	E	0	
0	0	0	0	0	0	0
0	0	1	1	0	0	
1	1	0	0	0	0	
1	1	1	1	0	0	
0	1	0	0	-E	0	-E
0	1	1	1	-E	0	
1	0	0	1	E	-3E	-2E
0	0	0	1	0	-3E	-3E
1	1	0	1	0	-3E	
0	1	0	1	-E	-3E	-4E

## 1.2 Estratégias de Modulação para Inversores Multiníveis

A estratégia de modulação é um dos mais importantes componentes do controle de um inversor, através dela são definidos os tempos de condução e bloqueio das chaves a partir de sinais de referência para que, na saída do conversor, tenhamos a tensão devidamente modulada com o valor e a característica desejada. Na literatura, as estratégias mais utilizadas são a modulação por comparação com portadoras triangulares (PWM Multiportadora) e a

modulação vetorial (*Space Vector*).

### 1.2.1 Modulação por Largura de Pulso Multiportadora

A Modulação por Largura de Pulsos consiste na comparação entre um sinal modulante senoidal e as portadoras triangulares. Para os inversores multiníveis, as estratégias multiportadoras podem ser genericamente classificadas em duas categorias: modulação por disposição em níveis e por disposição em fases.

#### Modulação por Disposição em Níveis

A modulação por largura de pulso por Disposição em Níveis (LS-PWM) utiliza a comparação com portadoras triangulares dispostas verticalmente em diferentes níveis para compor a forma de onda de saída do inversor. Para um inversor de  $N$  níveis são necessárias  $(N-1)$  portadoras triangulares de mesma frequência e amplitude como na Fig.1.4, para um inversor trifásico de 3 níveis.

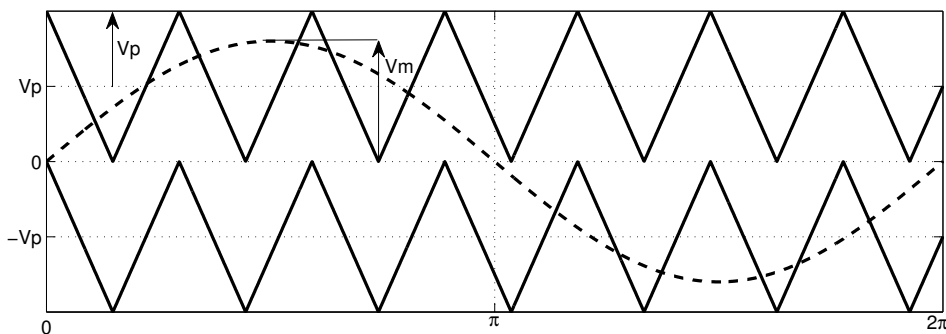


Figura 1.4: LS-PWM para um inversor de 3 níveis

O índice de modulação em frequência ( $m_f$ ) e o índice de modulação em amplitude ( $m_a$ ) são dados por:

$$m_f = \frac{f_p}{f_m} \quad (1.3)$$

$$m_a = \frac{\hat{V}_m}{\hat{V}_p(N-1)}, \quad \text{para } 0 \leq m_a \leq 1 \quad (1.4)$$

onde  $\hat{V}_m$  e  $f_m$  são, respectivamente, a tensão de pico e a frequência da onda modulante e  $\hat{V}_p$  e  $f_p$  a tensão de pico e frequência das portadoras triangulares.

Na Fig.1.5 são apresentados três diferentes esquemas para a modulação com Disposição de Níveis: a) disposição em fase (IPD), onde todas as portadoras estão em fase; b) disposição em fases alternadas (APOD), onde as portadoras estão alternadamente dispostas em fase e c) disposição em fases opostas (POD), onde todas as portadoras abaixo da referência zero estão em fase entre si, mas com fase oposta das portadoras acima da referência zero.

### Modulação por Disposição em Fases

Na modulação por disposição em fases (PS-PWM) todas as portadoras possuem mesma frequência e amplitude, porém há uma defasagem entre portadoras adjacentes dada por:

$$\phi_p = 360^\circ / (N - 1) \quad (1.5)$$

Assim como na LS-PWM, o sinal modulante é usualmente uma senóide com frequência e amplitude ajustáveis. E os sinais de comando das chaves do inversor são provenientes da comparação entre a modulante senoidal e as portadoras triangulares, como na Fig.1.6 para um inversor 3 níveis.

Para a PS-PWM o índice de modulação em frequência ( $m_f$ ) e o índice de modulação em amplitude ( $m_a$ ) são dados por:

$$m_f = \frac{f_p}{f_m} \quad (1.6)$$

$$m_a = \frac{\hat{V}_m}{\hat{V}_p}, \quad \text{para } 0 \leq m_a \leq 1 \quad (1.7)$$

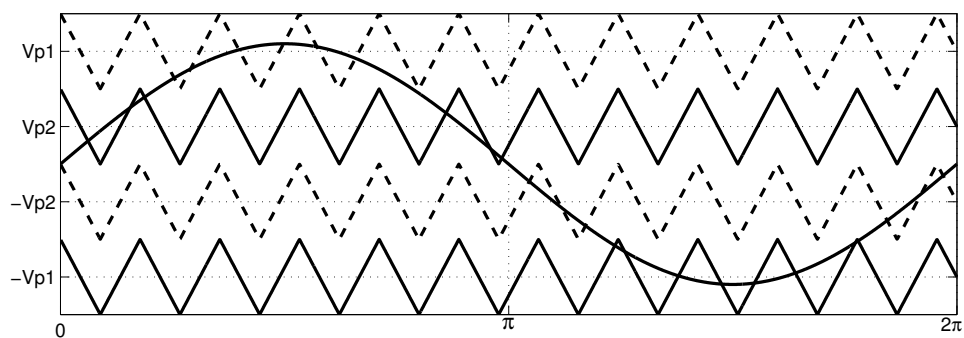
### 1.2.2 Modulação *Space Vector*

O diagrama funcional genérico de um inversor de N-níveis está representado na Fig.1.7. O funcionamento de um inversor consiste essencialmente em sintetizar a tensão de saída através de níveis discretos de tensão, onde cada fase pode ser representada por uma chave unipolar de N-posições.

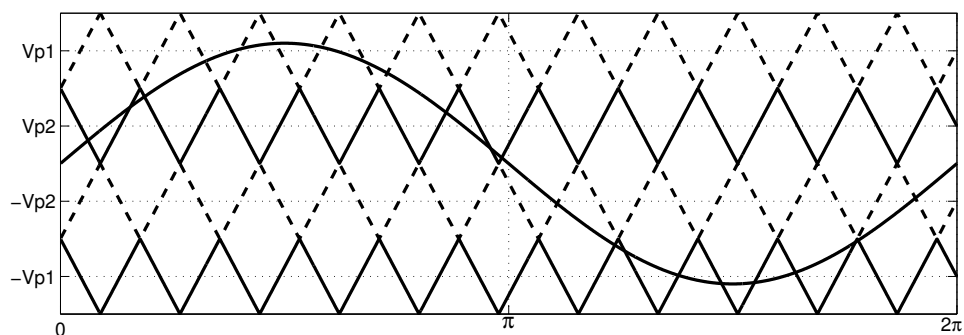
Cada combinação entre as chaves (estado de chaveamento) produz tensões trifásicas de linha únicas, que podem ser representadas vetorialmente:

$$\vec{V} = [V_{ab} \quad V_{bc} \quad V_{ca}]^T \quad (1.8)$$

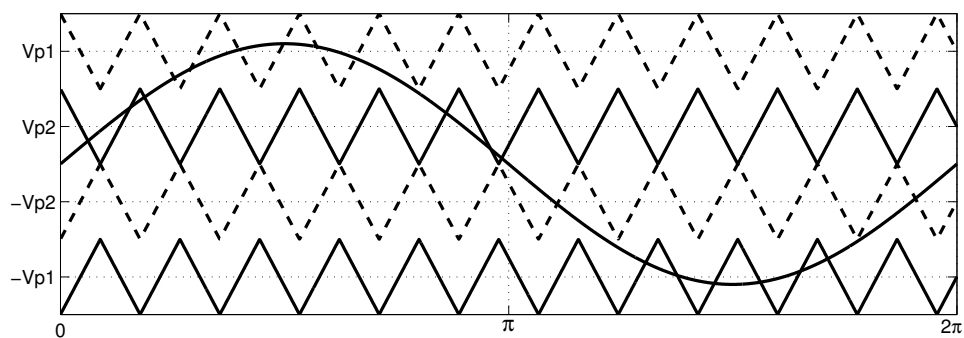




(a) Portadoras com disposição em fase (IPD)



(b) Portadoras com disposição em fase alternadas (APOD)



(c) Portadoras com disposição em fases opostas (POD)

Figura 1.5: LS-PWM para Inversor de 5 níveis

Por exemplo, se as chaves das fases  $a$ ,  $b$  e  $c$  estiverem localizadas nas posições  $u$ ,  $v$  e  $w$ , respectivamente, onde  $u, v, w \in [0, N - 1]$ , portanto o estado de chaveamento pode ser

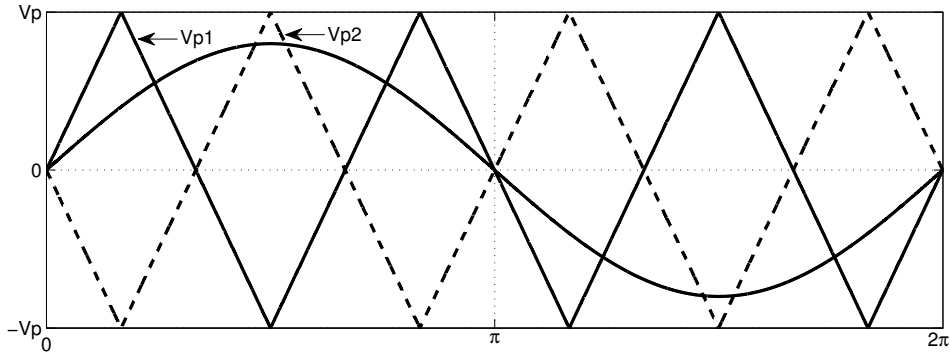


Figura 1.6: PS-PWM para um inversor de 3 níveis

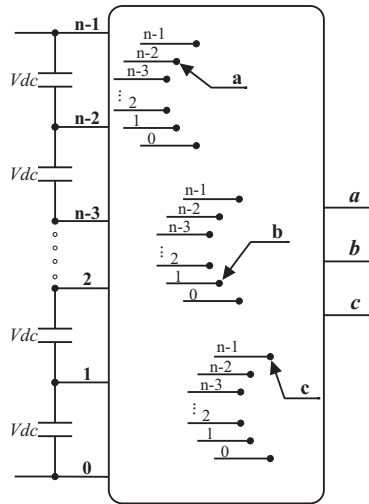


Figura 1.7: Diagrama funcional de um inversor de N-níveis.

representado pelo seguinte vetor:

$$\vec{V}_{(uvw)} = V_{dc} \cdot [u - v \quad v - w \quad w - u]^T \tag{1.9}$$

Diferentes vetores de chaveamento podem ser implementados com diversos estados de chaveamento. O número total de estados de chaveamento é de  $N_{ch} = N^3$ , pois existem  $N$  distintos estados de chaveamento para cada fase do conversor, esses estados formam  $N_{vet} = 1 + 6 \sum_{i=1}^{N-1} i$  vetores. Na Fig.1.8 está representado o diagrama de vetores genérico para um inversor de N-níveis. Claramente o número de combinações possíveis aumenta rapidamente com o número de níveis. O vetor tensão de referência é sintetizado a partir dos vetores de chaveamento e também pode ser representado vetorialmente como:

$$\vec{V}_{Ref} = V_{ll} \cdot \begin{bmatrix} \cos(\omega \cdot t + \varphi) \\ \cos(\omega \cdot t - 2\pi/3 + \varphi) \\ \cos(\omega \cdot t - 4\pi/3 + \varphi) \end{bmatrix}$$

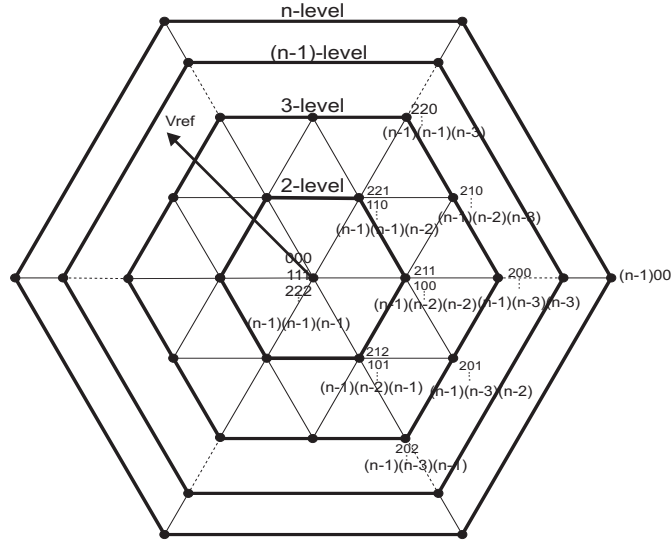


Figura 1.8: *Space Vector* para Inversor de n-níveis

Usando a definição de norma vetorial, o módulo do vetor de referência é:

$$|\vec{V}_{Ref}| = \sqrt{\vec{V}_{Ref} \cdot \vec{V}_{Ref}} = V_{ll} \cdot \sqrt{\frac{3}{2}} \quad (1.10)$$

Através da mesma definição, o módulo do maior vetor é dado por:

$$|\vec{V}_{max}| = \sqrt{2} \cdot (N - 1) \cdot V_{dc} \quad (1.11)$$

Como o maior tamanho que o vetor de referência pode assumir é igual ao raio do maior círculo que pode ser inscrito no hexágono mais externo do diagrama vetorial, o maior tamanho para o vetor de referência em um conversor multinível genérico é:

$$|\vec{V}_{Ref_{max}}| = |\vec{V}_{max}| \cdot \cos(\pi/6) \quad (1.12)$$

Substituindo (1.10) e (1.11) em (1.12), é obtida a maior amplitude da tensão de linha sem distorções que um conversor multinível pode sintetizar:

$$|\vec{V}_{ll_{max}}| = (N - 1) \cdot V_{dc} \quad (1.13)$$

O índice de modulação vetorial pode ser definido como sendo a relação entre a amplitude do vetor de tensão de referência pela amplitude máxima que este vetor pode atingir:

$$m_v = \frac{|\vec{V}_{Ref}|}{|\vec{V}_{Ref_{max}}|}, \quad \text{para } 0 \leq m_v \leq 1 \quad (1.14)$$

A modulação vetorial consiste em identificar os três vetores mais próximos da referência, a partir da decomposição do diagrama vetorial em eixos e da localização setorial do vetor de referência, e calcular os tempos de aplicação de cada vetor.

## 1.3 Revisão Bibliográfica

### 1.3.1 Topologias de Inversores Multiníveis

Os inversores multiníveis são comumente divididos em três diferentes topologias: Inversores com Neutro Grampeado (NPC), Inversores em Cascata (CHB) e Inversores com Capacitor Flutuante (FC) (Lai e Peng, 1995). A primeira topologia registrada (Baker e Bannister, 1975) foi do tipo em cascata, que utilizava módulos de inversores monofásicos conectados em série e alimentados por fontes CC separadas. Em 1980, Baker também introduziu uma topologia alternativa para a estrutura em cascata (Baker, 1980), conhecida como Inversor com Diodos de Grampeamento ou com Neutro Grampeado (NPC). A topologia NPC só veio tornar-se popular após a publicação do artigo de Nabae em 1981 (Nabae et al., 1981), que propôs seu uso como solução para acionamentos de alto desempenho e de alta potência. A última topologia, do tipo Capacitores Flutuantes, foi introduzida em 1992 (Meynard e Foch, 1992) e utiliza capacitores ao invés de diodos para limitar as tensões sobre as chaves, diminuindo as perdas de condução, mas aumentando a complexidade das técnicas de controle.

O conversor proposto por Nabae em 1981 baseou-se em uma modificação da topologia clássica de dois níveis. Adicionando mais dois interruptores por fase, cada dispositivo deveria suportar, no máximo, metade da tensão do barramento, comparado com a topologia original. Alguns trabalhos posteriores generalizaram a estrutura a fim de atingir um número mais elevado de níveis (Bhagwat e Stefanovic, 1983), (Choi et al., 1991) e (Carpita et al., 1991). O maior problema da estrutura NPC é o desbalanceamento das tensões dos capacitores CC. Com o aumento no número de níveis do inversor, os algoritmos para balancear essas tensões tornam-se complexos e depende da carga utilizada (Khajehoddin et al., 2007). Alguns pesquisadores dedicaram-se a estudar essas limitações como em (Celanovic e Boroyevich, 2000) e diversas estratégias para balancear estas tensões foram desenvolvidas. Em (Khajehoddin et al., 2008) um modelo baseado no fluxo de corrente do inversor é proposto e os capacitores são balanceados através da predição das correntes de cada capacitor dependendo do estado de chaveamento escolhido. Em geral, os métodos de balanceamento são complexos, tornando o uso dessa topologia limitada a um número de níveis baixos comparado com os inversores em cascata. A principal aplicação do NPC é na indústria como *driver* de alta

potência para bombas, moinhos, carregadores, etc (Tolbert et al., 1999).

Os Inversores em Cascata não possuem a desvantagem do desbalanceamento de capacitores no barramento CC. Sua principal característica é a modularidade, que proporciona atingir níveis elevados como em (Lee, 2002), onde foi desenvolvido, utilizando fontes assimétricas, um inversor em cascata monofásico de 31 níveis para aplicações de alta potência, e em (Hua et al., 2007), onde foi proposto um controle de um inversor em cascata de 27 níveis com fontes assimétricas utilizando DSP. A modularidade desses inversores proporciona uma grande tolerância a falhas, que foi estudada por diversos autores como (Hammond, 2002) e (Rodriguez et al., 2005) que desenvolveram técnicas para calcular novas defasagens entre as tensões de referência de modo que as tensões de linha permanecessem balanceadas. Em (Malinowski et al., 2009) é feito um levantamento sobre as estruturas em cascata mais utilizadas, estruturas regenerativas como a proposta por (Lezana et al., 2008), estruturas avançadas como em (Hagiwara et al., 2009) e das estratégias de controle mais utilizadas.

A principal desvantagem do CHB é o número elevado de fontes de tensão necessárias. Na maioria dos casos é utilizado um transformador multipulso para obter as fontes de tensão e reduzir a distorção da corrente de entrada (Wu, 2006). O projeto desse transformador é complexo e pode tornar-se economicamente inviável. A principal aplicação dos inversores em cascata é em média tensão, para acionamento de máquinas. Aplicações em dispositivos de qualidade de energia como os STATCOMs (*Static Synchronous Compensator*) e UPQCs (*Unified Power Quality Conditioner*) são bastante populares (Song et al., 2007). Aplicações de tração e em veículos elétricos (Tolbert et al., 1998) e com fontes alternativas de energia (Villanueva et al., 2009) também vem sendo pesquisadas.

Os inversores com Capacitor Flutuante são os menos populares entre as três topologias. Além do controle das tensões dos capacitores do barramento CC, é necessário controlar também as tensões de cada capacitor. A complexidade de controle dessa topologia acaba tornando inviável seu uso em níveis elevados. Os FC são utilizados em aplicações específicas como *driver* para dispositivos de tração de média potência (Meynard et al., 2002).

Em (Peng, 2001) é proposta uma estrutura generalizada, onde o balanceamento de cada nível é feito automaticamente para estrutura NPC e FC. Nesta estrutura, o balanceamento não precisa de controle e não depende da carga.

Recentemente, como alternativa às topologias básicas, surgiram as topologias híbridas, que combinam as funcionalidades e características das topologias básicas (Rodriguez et al., 2007). Em (Liu et al., 2008) um inversor em cascata de três níveis é combinado com um inversor de dois níveis dando origem a um inversor em cascata com uma única fonte CC, para aplicações em carros elétricos e híbridos. A análise de diferentes inversores multiníveis híbridos é feita em (Malinowski et al., 2009) e (Rech et al., 2002) a fim de minimizar o número de inversores conectados em séries e diminuir a distorção harmônica. Já em (Rech e Pinheiro, 2007) é realizada uma análise comparativa entre várias topologias híbridas e uma metodologia de projeto é proposta para definir os principais parâmetros do projeto em aplicações distintas.

### 1.3.2 Estratégias de Modulação para Inversores Multiníveis

A estratégia de modulação é uma dos mais importantes aspectos de controle dos inversores multiníveis. Por meio dela, é controlada a frequência e a amplitude das tensões de saída, e dependendo da estratégia utilizada, grandezas elétricas com menor distorção harmônica podem ser geradas. Na literatura podem ser encontradas diversas técnicas de modulação diferentes, cada uma com suas características únicas, vantagens e desvantagens. A escolha da melhor estratégia depende muitas vezes do tipo de inversor utilizado e da aplicação em questão. Em (Oliveira Júnior, 2005) é listado uma série de fatores que influenciam essa escolha:

- Menor conteúdo harmônico nas tensões e correntes de saída.
- Menor ruído acústico e interferência eletromagnética provocados pelo inversor no sistema.
- Tempo mínimo de condução e corte dos interruptores.
- A mínima frequência de comutação possível.
- Menores perdas por comutação e condução.
- Melhor controle no equilíbrio das tensões dos capacitores do barramento CC.
- Operação na região de sobremodulação.

As estratégias de modulação podem ser classificadas em dois grandes grupos com base no princípio de operação (Franquelo et al., 2008):

- Algoritmos no domínio *Space Vector*, baseados na geração de um vetor de tensão:
  - Modulação *Space Vector*
  - Controle *Space Vector*
- Algoritmos no domínio do tempo, baseados na geração de um nível de tensão em um período de tempo:
  - PWM Multiportadora
  - Modulação Híbrida
  - Controle do Nível de Tensão Próximo
  - Eliminação Seletiva de Harmônicos

O primeiro conceito de modulação multinível foi introduzido em 1983 e desde então inúmeras técnicas foram desenvolvidas (Bhagwat e Stefanovic, 1983). O método mais utilizado é a Modulação por Largura de Pulso Multiportadora (PWM Multiportadora), também chamado de CB-PWM (*Carrier Based-PWM*), que se baseia na comparação de um sinal senoidal com portadoras triangulares para gerar os sinais de comando das chaves. Diferentes métodos baseados em portadora triangular foram desenvolvidos: PS-PWM (*Phase-Shifted PWM*), PD-PWM (*Phase Disposition-PWM*), POD-PWM (*Phase Opposition Disposition-PWM*) e APOD-PWM (*Alternate Phase Opposition Disposition-PWM*) (Carrara et al., 1992). O método PS-PWM utiliza portadoras de mesma amplitude e defasadas para compor a onda de saída. Os demais métodos são do tipo LS-PWM (*Level Shifted-PWM*), que utiliza portadoras triangulares distribuídas em níveis diferentes de tensão. Uma análise detalhada desses métodos é feita em (McGrath e Holmes, 2002).

O uso da LS-PWM em inversores em cascata provoca uma distribuição desigual de potência entre as células, por isso seu uso é mais indicado para inversores NPC. Uma modificação para a LS-PWM é proposta em (Angulo et al., 2007), de forma que a potência seja distribuída igualmente em todas as células do inversor em cascata.

Em (Tolbert et al., 2000) estratégias CB-PWM são propostas para aumentar a utilização das chaves do NPC e do CHB em baixos índices de modulação, suprindo a ineficiência das estratégias básicas (PS-PWM e LS-PWM). O mesmo autor também propõe duas novas estratégias para balancear o uso das chaves nos inversores NPC em (Tolbert e Habetler, 1998).

A estratégia do tipo *Space Vector* foi inicialmente aplicada em inversores trifásicos para acionamento de máquinas (Van Der Broeck et al., 1988) e desde então ganharam atenção por permitirem reduzir o número de comutações dos interruptores, diminuir o conteúdo harmônico da tensão de saída, aumentar o índice de modulação de amplitude do inversor e pela facilidade de implementação digital (Pinheiro et al., 2005).

Diversos trabalhos foram publicados com algoritmos genéricos para uso em inversores de N-níveis. Em (Suh et al., 1999) uma simplificação do diagrama vetorial de um inversor multinível para o diagrama de um inversor de dois níveis é realizada para reduzir o tempo de execução do algoritmo. O mesmo raciocínio foi proposto em (Jiang et al., 2007). Uma equação generalizada para a razão de distribuição vetorial e um algoritmo de fácil implementação foi proposto também em (Oliveira Júnior, 2005).

O uso de transformação de coordenadas é bastante comum nas técnicas de modulação vetorial, pois ajudam a simplificar os cálculos da localização do vetor e dos *duty cycles* (tempos de condução). A técnica desenvolvida em (Celanovic e Boroyevich, 2001) utiliza uma transformação hexagonal para obter os vetores de referência e calcular os *duty cycles*. Uma transformação também é feita em (Wei et al., 2003a) para simplificar os cálculos, porém a determinação dos estados de chaveamento não é simples.

Estratégias recentes focaram-se em reduzir o esforço computacional e a complexidade (Celanovic e Boroyevich, 2001). Um algoritmo especialmente desenvolvido para FPGA foi proposto por (Shu et al., 2007), nele, o uso de um vetor intermediário simplifica os cálculos, mas ainda há necessidade de identificar o setor onde o vetor de referência se encontra. Em (Saeedifard et al., 2007) é desenvolvido um algoritmo baseado em redes neurais, que apesar de rápido é de difícil compreensão e implementação. Em (Seok Oh et al., 2007) é proposta uma técnica que utiliza o valor médio da tensão de fase para determinar os estados de chaveamento sem identificar os três vetores próximos. Em (Jana et al., 2006)



foi desenvolvido um algoritmo similar ao proposto por Celanovic e Boroyevic, e um método para minimizar a distorção harmônica a partir da seleção dos estados de chaveamento porém, ainda é necessário identificar o setor do diagrama vetorial onde está localizado o vetor de referência.

No algoritmo em (Sun Xing-tao, 2007) foi combinada a técnica *Space Vector* com a PS-PWM. O autor propôs a decomposição do inversor em cascata de N-níveis em inversores de três níveis. Cada inversor de três níveis teria seu vetor de referência defasado dos demais, assim como na PS-PWM, e apenas um diagrama vetorial de três níveis seria utilizado.

A técnica de Controle Vetorial foi proposta por (Rodriguez et al., 2001), ela localiza o vetor mais próximo da referência e através de uma tabela seleciona o estado de chaveamento. Como a técnica só seleciona um vetor para o chaveamento, ela só é indicada para inversores com número elevado de níveis, pois o diagrama vetorial apresenta uma grande densidade de vetores. As ondas de saída possuem baixa distorção harmônica e o chaveamento é feito na frequência fundamental. O mesmo algoritmo foi aplicado à um inversor em cascata de onze níveis em (Rodriguez et al., 2003) e utilizado para reduzir a tensão de modo comum em (Rodriguez et al., 2004a). A técnica de Controle do Nível de Tensão Próximo tem o mesmo princípio do Controle Vetorial, a diferença é que é considerado o nível de tensão mais próximo ao invés do vetor (Kouro, 2007).

A Eliminação Seletiva de Harmônicas consiste em calcular os ângulos de chaveamento a partir da expansão em série de Fourier da onda em forma de escada do inversor em cascata. A resolução das equações não são triviais e quando o nível do inversor aumenta, seu uso torna-se inviável. O uso de técnicas matemáticas é bastante comum para resolução dessas equações como em (Chiasson et al., 2005) e (Chiasson et al., 2003) que utiliza a teoria de polinômios simétricos e resultantes para encontrar o melhor ângulo de chaveamento. No uso dessas técnicas os calculos não podem ser feitos em tempo real.

Baseado em considerações geométricas do diagrama vetorial, foi desenvolvida uma técnica para inversores monofásicos em cascata que utiliza fluxogramas para decidir qual estado de chaveamento escolher (Leon et al., 2008). Em (Leon et al., 2009a) a técnica é aplicada para balancear os capacitores do CHB em aplicações como filtro ativo. A técnica também foi desenvolvida em duas dimensões aumentando os critérios de otimização dos estados de

chaveamento (Leon et al., 2009b).

Para aplicações com inversores do tipo NPC foram desenvolvidas técnicas visando o balanceamento da tensão dos capacitores do barramento CC como em (von Jouanne et al., 2002). Para inversores em cascata, em (Rodriguez et al., 2004b) foi aplicada a técnica do tipo controle *space vector* para eliminação da tensão de modo comum em inversores com um número de níveis maior do que 7 ( $N \geq 7$ ).

### 1.3.3 Eliminação da Tensão de Modo Comum em Inversores Multiníveis

Para aplicações de inversores multiníveis em acionamento de máquinas CA, é desejável a eliminação da tensão de modo comum para prevenir a falha prematura dos mancais e diminuir interferências eletromagnéticas (*EMI*). A primeira técnica de eliminação da tensão de modo comum foi proposta por (Ratnayake e Murai, 1998), baseada em portadora triangular (CB-PWM) e aplicada a um inversor NPC de três níveis. Em (Zhang et al., 2000) foi utilizado o mesmo princípio da primeira estratégia, aplicar apenas estados de chaveamento onde a tensão de modo comum é nula, e comparadas estratégias baseadas em portadora e do tipo *space vector* para um NPC de três níveis. A utilização apenas dos vetores que resultam na eliminação da tensão de modo comum prejudica a composição da forma de onda de saída, aumentando as distorções harmônicas e perdas por chaveamento. Em (Gupta e Khambadkone, 2007) é proposta uma modificação no diagrama vetorial e um método para formação da sequência de chaveamento de forma que tensão de modo comum seja reduzida e que as distorções não aumentem.

### 1.3.4 Falhas em Inversores em Cascata

Devido a grande quantidade de componentes presentes nos inversores multiníveis em cascata, a probabilidade de ocorrência de falhas em um dos componentes é maior e proporcional ao número de níveis do inversor. Com o objetivo de contornar esse problema, foram desenvolvidas diversas técnicas para identificar as possíveis falhas e operar o inversor sobre essas condições.

As técnicas desenvolvidas para a identificação das falhas podem ser baseadas na análise

da forma de onda, onde as tensões de saída são comparadas a valores esperados, em algoritmos de inteligência artificial (IA) e na análise espectral da forma de onda de saída (Lezana et al., 2010).

A operação sobre condições de falha pode ser contornada com o uso de células redundantes no inversor ou através do *bypass* das células em falta e de células correspondentes, de forma que o número de células operacionais por fase seja a mesma, equilibrando as tensões de saída. Para equilibrar as tensões de saída, também foram desenvolvidos métodos para cálculo do deslocamento do neutro como em (Yi et al., 2009) e (Hammond, 2002).

O uso dos estados de chaveamento redundantes através da modulação *space vector* foi desenvolvido em (Wei et al., 2003b). Apesar de minimizar os efeitos das falhas, na técnica de deslocamento do neutro e no uso dos estados redundantes a tensão máxima de saída é sempre menor que a gerada em condições normais de operação e dependente do número de células em falha.

## 1.4 Parâmetros de Desempenho

Com a aplicação das estratégias de modulação para síntese da forma de onda de saída de um inversor são geradas componentes harmônicas que determinam a qualidade da estratégia aplicada. A qualidade dos sinais de saída é normalmente avaliada em função da Taxa de Distorção Harmônica Total - THD (*Total Harmonic Distortion*), que depende da impedância da carga (Rashid, 2006). Para eliminar a influência da carga pode ser utilizado um fator ponderado, como a WTHD (*Weighted Total Harmonic Distortion*):

$$WTHD = \left( \frac{1}{V_1} \cdot \sqrt{\sum_{n=2}^{\infty} \left( \frac{V_n}{n} \right)^2} \right) \cdot 100\% \quad (1.15)$$

No cálculo da WTHD é levado em conta o peso do harmônico no cálculo da distorção, quanto mais próximo da fundamental mais relevante será o harmônico. No cálculo deste índice são computadas as componentes harmônicas até a ordem de 4000 vezes a frequência da fundamental.

Outro parâmetro importante na avaliação das estratégias é o esforço computacional, ou seja, o tempo necessário para processamento do algoritmo de controle. A determinação desse

tempo pode ser muito importante, pois a partir dele pode-se verificar se há limitações quanto a velocidade de processamento do controlador e complexidade do processo de controle. Esse tempo pode ser calculado pelo *Matlab* através das funções de tempo específicas: *tic/toc*.

Neste trabalho as estratégias serão comparadas em função da WTHD das tensões de linha do inversor, e em função do tempo de processamento do código.

## 1.5 Contribuições do Trabalho

O objetivo deste trabalho é estudar os principais aspectos de controle dos conversores multiníveis em cascata. Será desenvolvido um estudo sobre as principais técnicas de modulação, a modificação de uma técnica *space vector* já existente e a escolha dos vetores ótima para diminuição das distorções harmônicas e para a eliminação da tensão de modo comum.

Também serão apresentadas as técnicas existentes de operação do inversor sobre condições de falha e desenvolvimento de um algoritmo para aplicação da estratégia *space vector* apresentada no trabalho.

As estratégias escolhidas serão comparadas através da análise da frequência de chaveamento, distorções harmônicas e esforço computacional.

## 1.6 Organização do Trabalho

Este trabalho está dividido em cinco capítulos e um apêndice como descrito abaixo.

No Capítulo 2 são apresentadas três estratégias da literatura, a proposta de modificação de uma delas utilizando uma escolha otimizada de vetores para diminuição das distorções harmônicas. Por fim, as estratégias são comparadas em termos da WTHD das tensões de linha e esforço computacional.

No Capítulo 3 é apresentada a escolha dos vetores para a eliminação da tensão de modo comum, utilizando a estratégia apresentada no Capítulo 2. É feita uma análise da WTHD das tensões de linha para o algoritmo proposto nesse Capítulo e no Capítulo anterior.

No Capítulo 4 são apresentadas as estratégias constantes na literatura para operação do inversor em cascata sob condições de falha. É proposto um algoritmo para a operação do

inversor em cascata sob condições de falhas, desenvolvido através da escolha dos vetores e da tensão de saída máxima permitida. A estratégia proposta é comparada em termos da WTHD das tensões de linha com uma estratégia da literatura.

No apêndice A estão descritas as generalizações dos algoritmos propostos ao longo dos capítulos e a implementação dos programas em *Matlab* ®.

## 1.7 Artigos Publicados

Durante a elaboração deste trabalho, os seguintes artigos foram publicados:

- Castro, L.; Correa, M.; Jacobina, C. e Boroyevich, D. (2010) *A fast space-vector algorithm for multilevel converters without coordinates transformation*, In: Energy Conversion Congress and Exposition (ECCE), 2010 IEEE, pp. 2543-2547.
- Castro, L.; Correa, M.(2012) *Modulação space-vector rápida para eliminação da tensão de modo comum em inversores multiníveis*, In: Congresso Brasileiro de Automática (CBA), 2012.
- Castro, L.; Correa, M.(2012) *A fast space-vector algorithm for cascaded h-bridge converters under faulty conditions*, In: 10th IEEE/IAS International Conference on Industry Applications (INDUSCON), 2012.

# 2

## Estratégias de Modulação para Inversores Multiníveis

### 2.1 Introdução

A partir das estratégias de modulação são definidos os tempos de comando e bloqueio das chaves do inversor. O controle desses tempos e do padrão (sequência) de chaveamento definem a forma de onda de saída do inversor. A escolha da estratégia mais adequada para uma aplicação específica deve levar em conta alguns fatores e parâmetros de desempenho como: distorções harmônicas de tensão e corrente; perdas por chaveamento e condução; frequência de chaveamento; esforço computacional.

Neste capítulo serão apresentadas e analisadas, através de fatores de desempenho, três técnicas de modulação existentes na literatura e a modificação da técnica proposta por (Celanovic e Boroyevich, 2000). As estratégias escolhidas foram:

- Estratégia 1: *Level-shifted PWM for Cascaded Multilevel Inverters with Even Power Distribution* (LS-PWM-EP) (Angulo et al., 2007);
- Estratégia 2: *Estratégia Generalizada de Modulação Por Largura de Pulso Para Inversores Multiníveis* (PWM-ANTONIO) (Oliveira Júnior, 2005);
- Estratégia 3: *A Fast Space-Vector Modulation Algorithm for Multilevel Three-Phase Converters* (SV-CELANOVIC) (Celanovic e Boroyevich, 2000);

- Estratégia 4: *Modificação para: A Fast Space-Vector Modulation Algorithm for Multi-level Three-Phase Converters (SV-CASTRO)*(Castro et al., 2010).

## 2.2 Estudo das Estratégias de Modulação

### 2.2.1 LS-PWM-EP

A estratégia apresentada em (Angulo et al., 2007) é do tipo *CB-PWM* (*Carrier Based PWM*). O autor propõe uma modificação das portadoras com o objetivo de utilizar a modulação por disposição de níveis (*LS-PWM*) e garantir a distribuição uniforme de potência entre as células, na Fig. 2.1 estão representadas as portadoras modificadas para um inversor de 5-níveis.

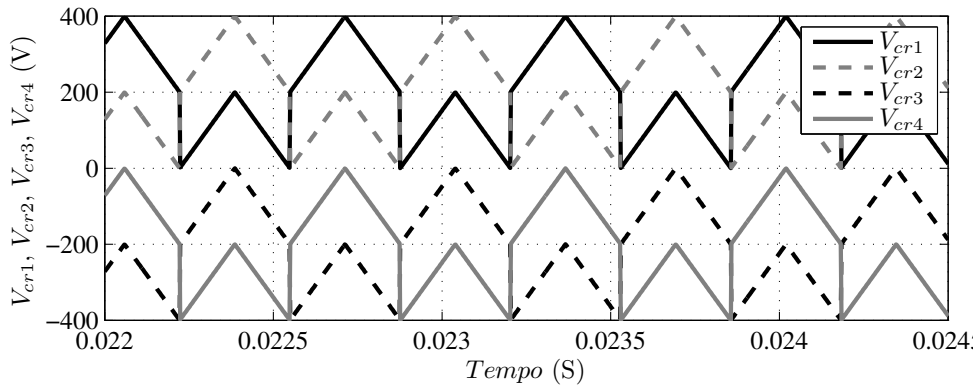


Figura 2.1: Portadoras modificadas.

Para um inversor de 5-níveis, as portadoras modificadas podem ser obtidas somando-se uma onda quadrada com frequência de metade das portadoras originais. Para um inversor de 7-níveis são necessárias duas ondas quadradas por portadora. A Fig. 2.2 ilustra a comparação de um sinal modulante com uma portadora modificada para inversores de 5 e 7-níveis.

Nas Figs.2.3 e 2.4 têm-se os resultados de simulação da tensão de polo de uma fase e as correntes trifásicas, respectivamente, para inversores de 5 e 7 níveis. A Fig. 2.5 mostra, para uma fase, as tensões de cada célula, onde pode-se observar a distribuição uniforme de potência entre as células.

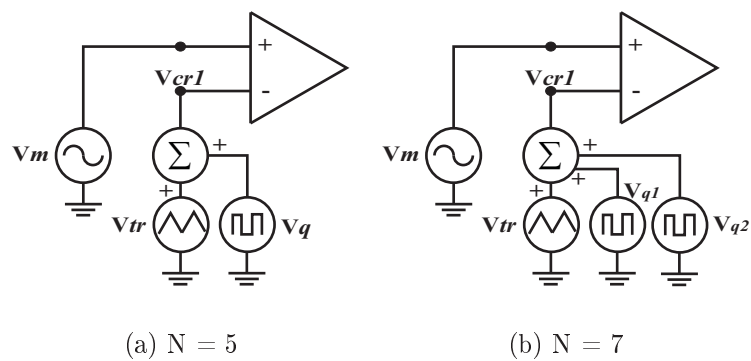


Figura 2.2: Geração das portadoras modificadas.

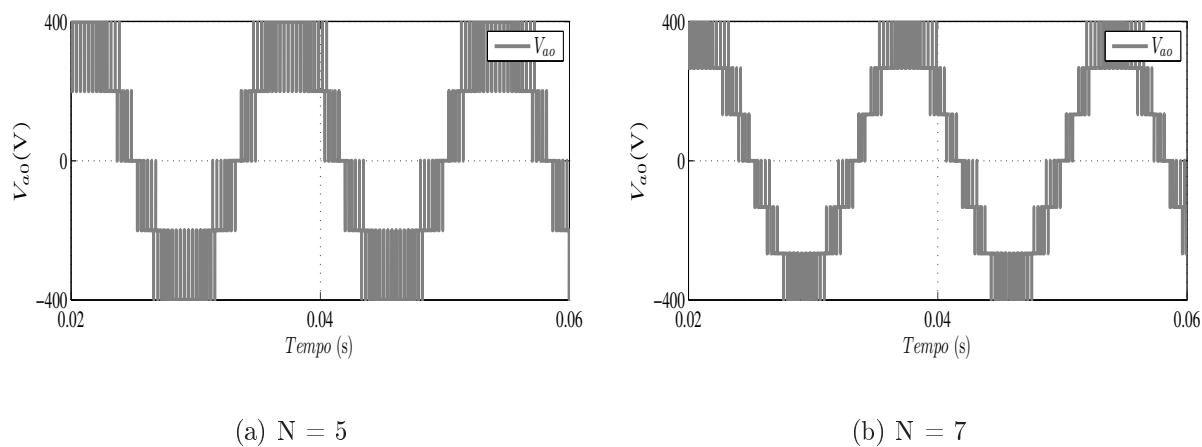


Figura 2.3: Tensões de polo.

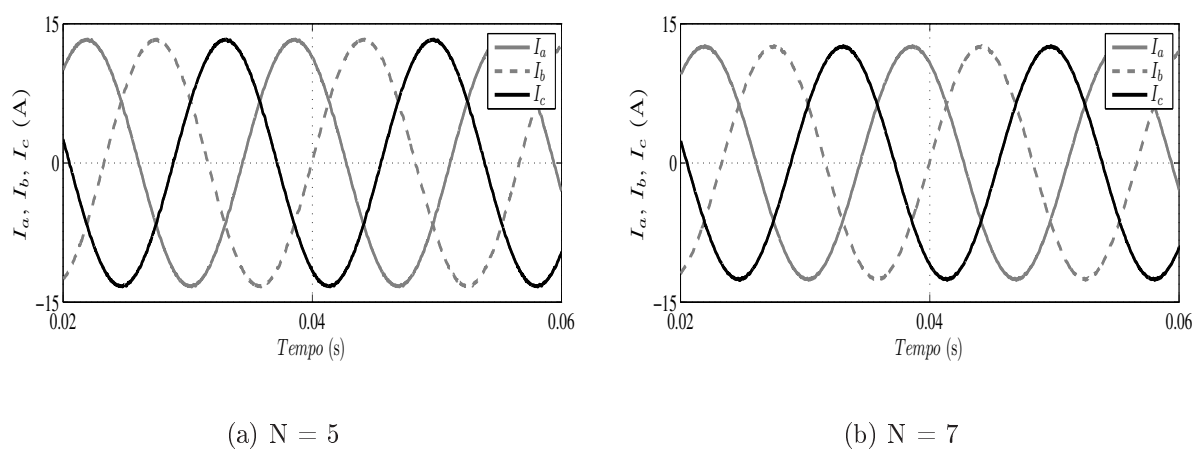


Figura 2.4: Corrente trifásica.



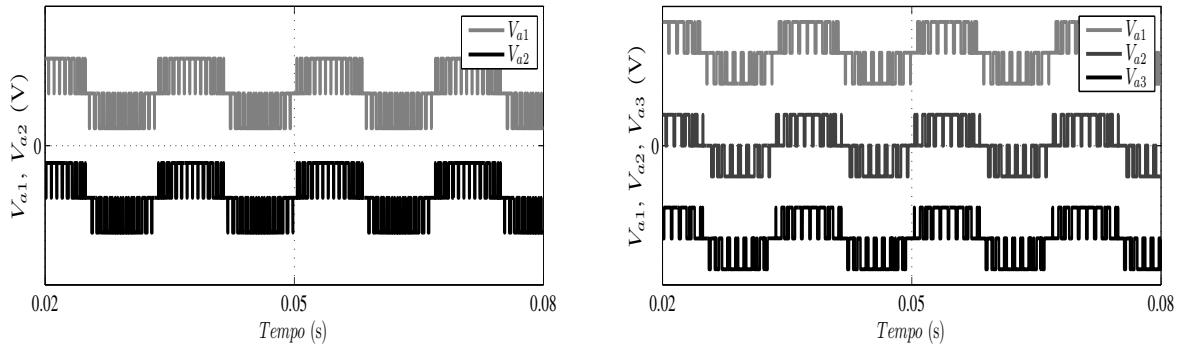
(a)  $N = 5$ (b)  $N = 7$ 

Figura 2.5: Tensão nas células.

## 2.2.2 PWM-ANTONIO

A estratégia em (Oliveira Júnior, 2005) é baseada nos princípios da *CB-PWM* com as portadoras dispostas em níveis. As diferenças entre as tensões de referência e os níveis de tensão do barramento CC são utilizados para cálculo dos tempos de condução das chaves do inversor (Fig. 2.6).

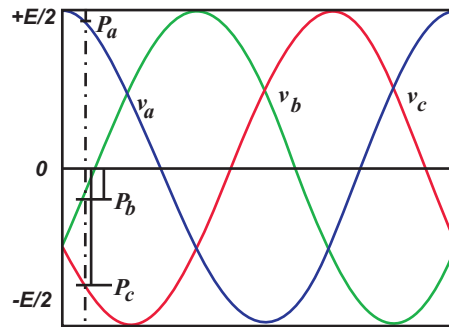


Figura 2.6: Tensões de referência.

São adicionada às tensões de referência uma componente de sequência zero  $v_h$  que é função da razão de distribuição vetorial  $\mu$  ( $0 < \mu \leq 1$ ). Na adição da componente de sequência zero são alterados os tempos de aplicação dos vetores que estão no início e fim do período de modulação através da variação de  $\mu$ .

A técnica é baseada no princípio de redução dos espaços vetoriais de  $N$ -níveis para espaços vetoriais de dois níveis. O algoritmos para aplicação da estratégia é dividido em seis passos:

- **Passo um:** defini-se os níveis do inversor, no qual cada nível é representado por um eixo horizontal, no caso do inversor de três níveis tem-se: o eixo[1], eixo[2] e eixo[3], respectivamente, com os valores  $E/2$ ,  $0$  e  $-E/2$ . Como se pode perceber pela Figura 2.6, as tensões de referência estarão entre os eixo[1] e eixo[2] ou entre os eixo[2] e o eixo[3].
- **Passo dois:** calcula-se o valor das variáveis  $P_a$ ,  $P_b$  e  $P_c$ . Estas variáveis são a diferença entre o eixo superior (nível CC) que limita a tensão de referência e a tensão de referência que pode ser exemplificada na Figura 2.6.

$$Pa = eixo[1] - va^*; \quad (2.1)$$

$$Pb = eixo[2] - vb^*; \quad (2.2)$$

$$Pc = eixo[2] - vc^*; \quad (2.3)$$

- **Passo três:** determina-se os valores máximos e mínimos entre  $P_a$ ,  $P_b$  e  $P_c$ , e juntamente com o valor da razão de distribuição ( $\mu$ ), calcula-se a tensão de seqüência zero ( $v_h$ ), que será adicionada as tensões de referência.

$$v_h = \mu P_{min} - (1 - \mu)(E/2 - P_{max}); \quad (2.4)$$

- **Passo quatro:** são calculadas as novas tensões de referência.

$$v_x^* = v_x + v_h, \text{ onde } x = a, b \text{ ou } c \quad (2.5)$$

- **Passo cinco:** de posse das novas tensões de referência, são calculados os novos valores de  $P_a^*$ ,  $P_b^*$  e  $P_c^*$  conforme explicado no **passo 2**. Estes valores fornecem os intervalos de tempo  $T_a^*$ ,  $T_b^*$  e  $T_c^*$  em que os interruptores permanecem bloqueados. Os intervalos de tempo  $T_1^*$ ,  $T_2^*$  e  $T_3^*$  em que os interruptores permanecem em condução, em um determinado período da modulação ( $T_s$ ), são calculados a partir da equação:

$$T_x^* = \frac{P_x^*}{\left(\frac{E}{N-1}\right)} T_s, \text{ com } x = a, b \text{ ou } c; \quad (2.6)$$

$$T_y^* = T_s - T_x^*, \text{ com } y = 1, 2 \text{ ou } 3; \quad (2.7)$$

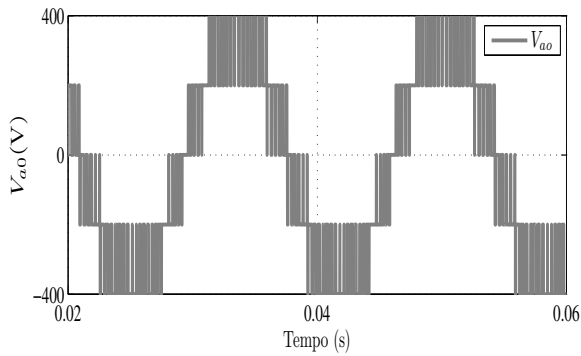
- **Passo seis:** as tensões de pólo do inversor ( $v_{ao}$ ,  $v_{bo}$  e  $v_{co}$ ), que servirão de base para o cálculo das tensões de fase e de linha, são dadas por:

$$Se(t < T_x^*) \text{ ou } (t < 2T_y^*) \rightarrow v_{xo} = eixo(k + 1) \quad (2.8)$$

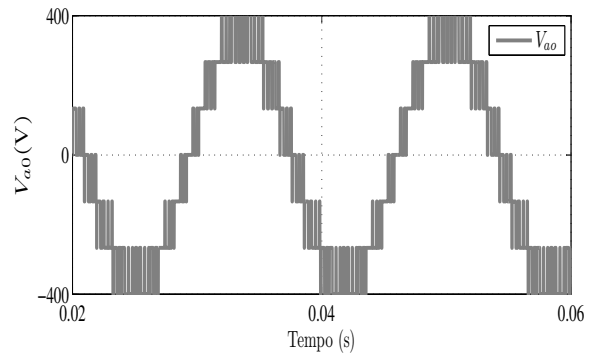
$$Se(T_x^* \leq t \leq 2T_y^*) \rightarrow v_{xo} = eixo(k) \quad (2.9)$$

com  $x = (a, b \text{ ou } c)$ ,  $y = (1, 2 \text{ ou } 3)$  e  $k = (1, 2, \dots, N)$ .

Nas Figs. 2.7 e 2.8 têm-se os resultados de simulação da tensão de polo de uma fase e as correntes trifásicas, respectivamente, para inversores de 5 e 7 níveis. A Fig.2.9 mostra, para uma fase, as tensões de cada célula. Para equilibrar as potências é necessário alternar os tempos de aplicação calculados entre as células, grampeando as demais nos níveis de tensão correspondente.



(a)  $N = 5$



(b)  $N = 7$

Figura 2.7: Tensões de polo

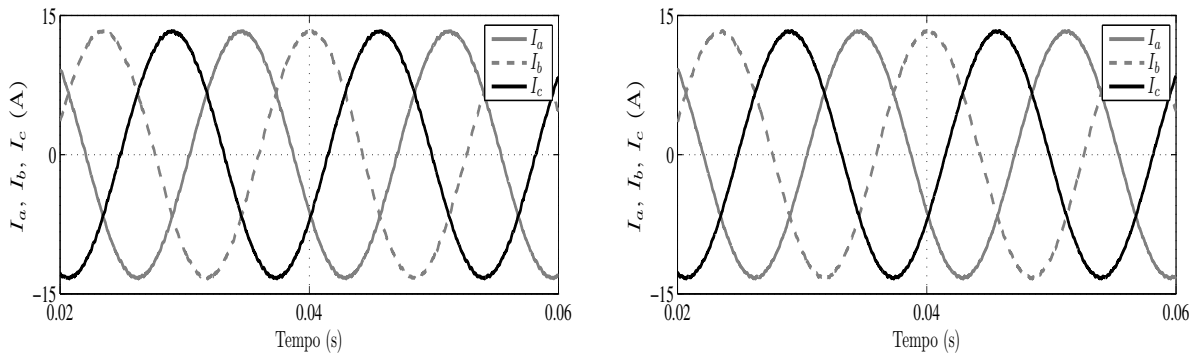
(a)  $N = 5$ (b)  $N = 7$ 

Figura 2.8: Corrente trifásica.

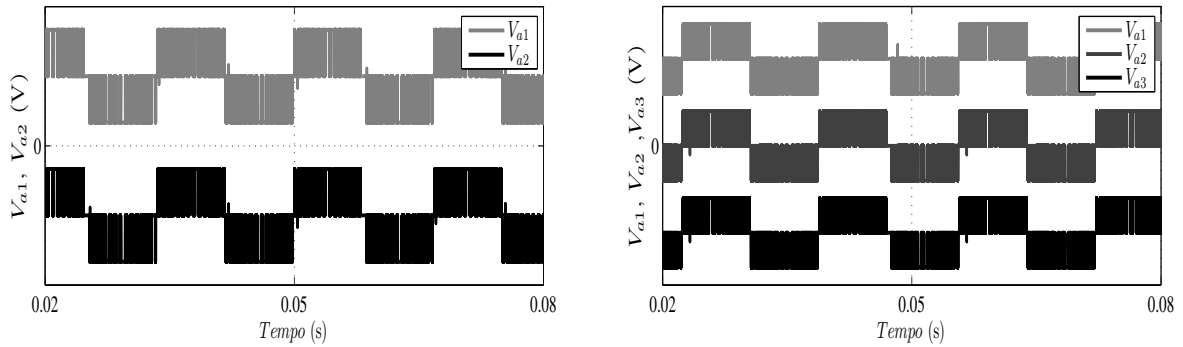
(a)  $N = 5$ (b)  $N = 7$ 

Figura 2.9: Tensão nas células.

### 2.2.3 SV-CELANOVIC

O algoritmo proposto por (Celanovic e Boroyevich, 2000) baseia-se na representação do espaço vetorial em coordenadas não-ortogonais. Os vetores são representados em coordenadas hexagonais (Fig. 2.10) e obtidos através de uma mudança linear de base das tensões de referência (2.11).

Devido à transformação 2.10, todos os vetores no sistema de coordenadas  $\{\vec{g}, \vec{h}\}$  possuem como coordenadas apenas números inteiros.

$$\vec{V}_{ref} = T \cdot \vec{V}_{refa,b,c} \quad (2.10)$$

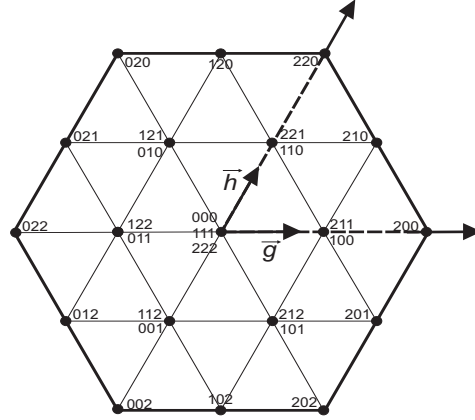


Figura 2.10: Tensões de referência.

, onde:

$$T = \frac{1}{3 \cdot V_{dc}} \cdot \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & 1 \end{bmatrix} \quad (2.11)$$

Após a transformação de coordenadas, o algoritmo é desenvolvido nos seguintes passos:

- **Detecção dos Três Vetores Próximos:** Devido ao fato dos vetores possuírem apenas números inteiros como coordenadas, os quatro vetores de referência podem ser obtidos através de combinações de valores inteiros arredondados para cima (*upper*) e para baixo (*lower*) das coordenadas do vetor de referência:

$$\begin{aligned} \vec{V}_{ul} &= \begin{bmatrix} \lceil V_g \rceil \\ \lfloor V_h \rfloor \end{bmatrix} & \vec{V}_{lu} &= \begin{bmatrix} \lfloor V_g \rfloor \\ \lceil V_h \rceil \end{bmatrix} \\ \vec{V}_{uu} &= \begin{bmatrix} \lceil V_g \rceil \\ \lceil V_h \rceil \end{bmatrix} & \vec{V}_{ll} &= \begin{bmatrix} \lfloor V_g \rfloor \\ \lfloor V_h \rfloor \end{bmatrix} \end{aligned} \quad (2.12)$$

Os vetores  $\vec{V}_{ul}$  e  $\vec{V}_{lu}$  são sempre dois dos três vetores mais próximos. O terceiro vetor é um dos dois restantes, determinado através da avaliação do sinal da seguinte equação:

$$V_g + V_h - (V_{ulg} + V_{ulh}) > 0 \quad (2.13)$$

Se o sinal é positivo, o terceiro vetor é o  $V_{uu}$ , caso contrário, o terceiro vetor próximo da referência é o  $\vec{V}_{ll}$ .

- **Cálculo dos Duty Cycles:** Após a identificação dos três vetores, o cálculo de seus correspondentes tempos de aplicação são determinados resolvendo as equações (2.14) e (2.15), onde  $\vec{V}_1 = \vec{V}_{ul}$ ,  $\vec{V}_2 = \vec{V}_{lu}$  e  $\vec{V}_3 = \vec{V}_{uu}$  ou  $\vec{V}_3 = \vec{V}_{ll}$ .

$$\vec{V}_{REF} = (d_1 \cdot \vec{V}_1 + d_2 \cdot \vec{V}_2 + d_3 \cdot \vec{V}_3) \quad (2.14)$$

$$d_1 + d_2 + d_3 = 1 \quad (2.15)$$

A equação (2.14) pode ser reescrita em função das componentes  $\{\vec{g}, \vec{h}\}$ :

$$\vec{V}_g = (d_{ul} \cdot \vec{V}_{ulg} + d_{lu} \cdot \vec{V}_{lug} + d_3 \cdot \vec{V}_{3g}) \quad (2.16)$$

e

$$\vec{V}_h = (d_{ul} \cdot \vec{V}_{ulh} + d_{lu} \cdot \vec{V}_{luh} + d_3 \cdot \vec{V}_{3h}) \quad (2.17)$$

Resolvendo as equações 2.15, 2.16 e 2.17, se  $\vec{V}_3 = \vec{V}_u$  temos:

$$d_{ul} = V_g - V_{ug}$$

$$d_{lu} = V_h - V_{lh} \quad (2.18)$$

$$d_{ll} = 1 - d_{ul} - d_{lu}$$

e para  $\vec{V}_3 = \vec{V}_{uu}$ :

$$d_{ul} = -(V_h - V_{uuh})$$

$$d_{lu} = -(V_g - V_{uug}) \quad (2.19)$$

$$d_{ll} = 1 - d_{ul} - d_{lu}$$

- **Seleção dos Estados de Chaveamento:** O último passo requer a transformação dos vetores obtidos com duas dimensões para o espaço vetorial com três dimensões. Todos os vetores possíveis de um dado vetor nas coordenadas  $\{\vec{g}, \vec{h}\}$  pode ser obtido através da equação:

$$\begin{bmatrix} k \\ k - g \\ k - g - h \end{bmatrix} \quad (2.20)$$

onde  $k, k - g, k - g - h \in [0, N - 1]$ .

A seleção do melhor estado de chaveamento inicia-se com a eliminação dos estados inválidos e depende do objetivo da estratégia, que pode, por exemplo, ser o balanceamento dos capacitores em um inversor NPC ou a diminuição das distorções harmônicas. Em (Celanovic e Boroyevich, 2000) não foi apresentado nenhum método específico para a escolha dos estados de chaveamento. Na próxima seção será apresentado um método para a seleção dos estados visando a diminuição das distorções harmônicas.

## 2.2.4 SV-CASTRO

A modificação proposta na dissertação e publicada em (Castro et al., 2010) elimina a transformação linear de bases e desenvolve o algoritmo de (Celanovic e Boroyevich, 2000) em função das tensões de referência normalizadas.

Através do estudo das formas de onda geradas pela transformação de coordenadas, podemos comparar na Fig. 2.11 as componentes hexagonais e as referências  $abc$  normalizadas para um inversor de 3-níveis com índice de modulação 0,9. Portanto, podemos reescrever o algoritmo utilizando apenas as tensões de referência  $abc$ , simplificando ainda mais os cálculos.

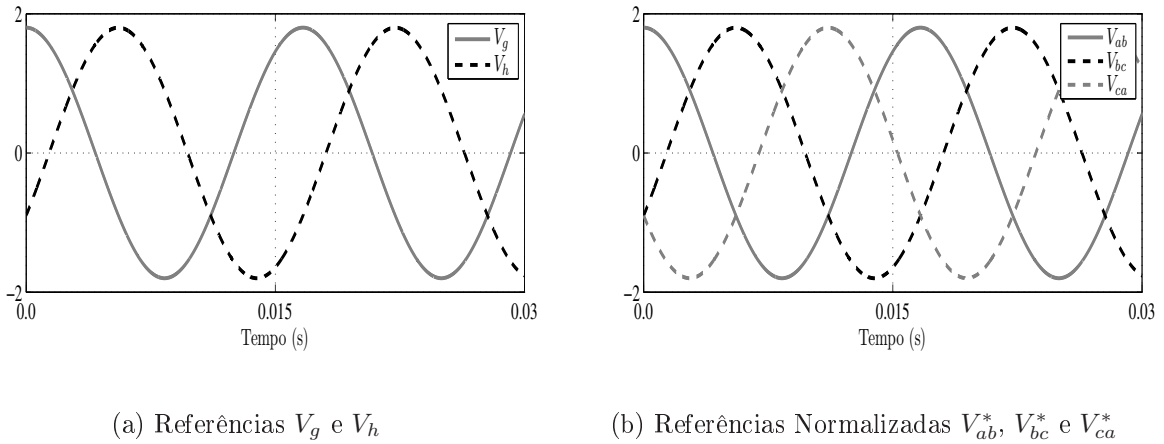


Figura 2.11: Comparação entre as referências.

As novas tensões de referência são obtidas através de (2.21), dividindo as tensões de

referência antigas por  $V_{dc}$ :

$$\begin{aligned} V_{ab}^* &= \frac{V_{ab}}{V_{dc}} \\ V_{bc}^* &= \frac{V_{bc}}{V_{dc}} \\ V_{ca}^* &= \frac{V_{ca}}{V_{dc}} \end{aligned} \quad (2.21)$$

onde:  $V_{dc} = (\text{barramento CC})/(\text{numero de níveis} - 1)$

O algoritmo segue os mesmos passos da seção anterior, sendo  $\vec{V}_g = \vec{V}_{ab}^*$ ,  $\vec{V}_h = \vec{V}_{bc}^*$  e  $\vec{V}_g + \vec{V}_h = \vec{V}_{ca}^*$ .

Em termos de operações matemáticas, a transformação de coordenadas no algoritmo original utiliza uma divisão e seis multiplicações, contra apenas uma divisão no novo algoritmo. A seguir será descrito o método utilizado para escolha dos vetores a serem aplicados na técnica.

### Seleção dos Estados de Chaveamento

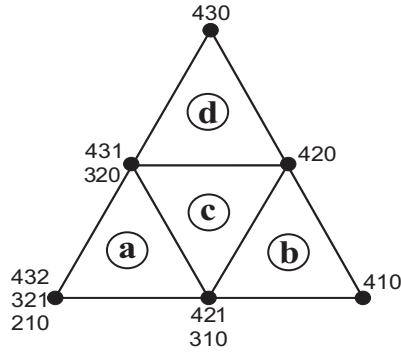
Após a obtenção de todos os vetores válidos, é necessário determinar quais vetores serão aplicados. Para seleção dos estados de chaveamento será utilizado o mesmo princípio adotado em (Wei et al., 2003a) e (McGrath et al., 2003).

Os vetores válidos podem ser divididos em vetores ímpares, se possuírem quantidade ímpar de estados válidos, ou vetores pares, se possuírem quantidade par de estados válidos. Em (2.22) têm-se os estados válidos para os vetores  $[2, 1]^T$  e  $[2, 2]^T$  de um inversor de 5-níveis. O vetor  $[2, 1]^T$  é chamado de vetor par e o vetor  $[2, 2]^T$  de vetor ímpar.

$$\begin{aligned} \begin{bmatrix} 2 \\ 1 \end{bmatrix} &\rightarrow \begin{bmatrix} 3 \\ 1 \\ 0 \end{bmatrix}, \begin{bmatrix} 4 \\ 2 \\ 1 \end{bmatrix} \\ \begin{bmatrix} 2 \\ 2 \end{bmatrix} &\rightarrow \begin{bmatrix} 4 \\ 2 \\ 0 \end{bmatrix} \end{aligned} \quad (2.22)$$

Dependendo da região onde o vetor de referência se encontra, os três vetores próximos podem ser dois vetores pares e um ímpar ou dois vetores ímpares e um par. Na Fig. 2.12 está ilustrada uma região do espaço vetorial para um inversor de 5-níveis. Todas as sequências de chaveamento possíveis para essa região estão descritas na Tabela 2.1.



Figura 2.12: Região de um espaço vetorial de  $N = 5$ .

Para os triângulos (b) e (d) da Fig. 2.12 só há uma sequência possível. Para os triângulos (a) e (c) a sequência correta pode ser identificada analisando as alternativas possíveis e garantindo que não ocorra mais que um chaveamento no período quando a referência passar de um triângulo para o outro.

Tabela 2.1: Sequências possíveis para a região do inversor de 5-níveis.

Triângulo	Sequência
(a)	(i) {432 - 431 - 421 - 321}
	(ii) {210 - 310 - 320 - 321}
	(iii) {421 - 321 - 320 - 310}
	(iv) {431 - 421 - 321 - 320}
(b)	{421 - 420 - 410 - 310}
(c)	(i) {421 - 420 - 320 - 310}
	(ii) {431 - 421 - 420 - 320}
(d)	{431 - 430 - 420 - 320}

Observando a tabela, percebe-se que a sequência  $c(i)$  deve ser utilizada quando a referência estiver se movendo do triângulo (b) para o (c), pois ela inicia com o mesmo estado da sequência em (b). A sequência  $c(ii)$  deve ser utilizada quando a referência mover-se do triângulo (c) para o (d), pois ela inicia com o mesmo estado da sequência em (d). Se aplicarmos o mesmo princípio ao triângulo em (a), as sequências  $a(i)$  e  $a(ii)$  não devem ser utilizadas pois haverá um chaveamento adicional quando a referência mover-se para o triângulo (c). Apenas as sequências  $a(iii)$  e  $a(iv)$  podem ser utilizadas e elas são iguais às sequências  $c(i)$  e  $c(ii)$  com exceção do estado {420} que foi substituído pelo {321}. Portanto, do vetor ímpar apenas o estado intermediário será utilizado.

Os vetores que resultam em sequências de chaveamento permitidas podem ser determinados algebricamente. Entre os vetores ímpares, será escolhido o vetor central, que pode ser obtido através da equação (2.23), onde  $V_{maior}$  são as coordenadas do maior vetor válido e  $V_{menor}$  as do menor vetor.

$$V_{ímpar} = \frac{V_{maior} + V_{menor}}{2} \quad (2.23)$$

Portanto, para o vetor  $[1, 1]^T$  do triângulo (a) temos:

$$\begin{bmatrix} 1 \\ 1 \end{bmatrix} \rightarrow \begin{bmatrix} 3 \\ 2 \\ 1 \end{bmatrix} = \begin{bmatrix} \frac{4+2}{2} \\ \frac{3+1}{2} \\ \frac{2+0}{2} \end{bmatrix} \quad (2.24)$$

Entre os vetores pares serão escolhidos dois estados, um chamado de *par-menor* e outro de *par-maior*. Os vetores pares são obtidos a partir da equação 2.25.

$$V_{par-menor} = \frac{V_{maior} + V_{menor} - 1}{2}$$

$$V_{par-maior} = \frac{V_{maior} + V_{menor} + 1}{2} \quad (2.25)$$

Portanto, para o vetor  $[2, 1]^T$  temos:

$$\begin{bmatrix} 2 \\ 1 \end{bmatrix} \begin{matrix} \nearrow \\ \searrow \end{matrix} \begin{bmatrix} 3 \\ 1 \\ 0 \\ 4 \\ 2 \\ 1 \end{bmatrix} = \begin{bmatrix} \frac{4+3-1}{2} \\ \frac{2+1-1}{2} \\ \frac{0+1-1}{2} \\ \frac{4+3+1}{2} \\ \frac{2+1+1}{2} \\ \frac{0+1+1}{2} \end{bmatrix} \quad (2.26)$$

### Padrão de Chaveamento

Após a seleção dos estados de chaveamento, é necessário definir o padrão de aplicação dos estados às chaves. Para minimizar as distorções harmônicas, deve-se alternar a aplicação dos vetores pares *par-menor* e *par-maior*, e garantir a comutação única e em apenas um nível de tensão das chaves em um período.

Se a região do espaço vetorial onde o vetor de referência se encontra, possuir dois vetores ímpares e um par, deve-se aplicar os dois vetores ímpares e alternar entre os vetores pares do tipo *par-menor* e do tipo *par-maior*, como nos triângulo (b) e (d) da Fig.2.12. Nesse caso, há apenas uma sequência possível e ela deve ser revertida na metade do período de

chaveamento. Essa distribuição de tempo segue o mesmo princípio das modulações escalares com razão de distribuição ( $\mu$ ) igual a 0,5.

Caso a região possua dois vetores pares e um ímpar, deve-se alternar entre as duas sequências possíveis. A troca de sequência dá-se quando o valor do *duty cycle* de um dos vetores ultrapassar o do outro.

Nas Figs. 2.13 e 2.14 temos os resultados de simulação da tensão de polo de uma fase e as correntes trifásicas, respectivamente, para inversores de 5 e 7 níveis. A Fig. 2.15 mostra, para uma fase, as tensões de cada célula.

Como contribuição do trabalho para o estudo de conversores multiníveis, o algoritmo foi generalizado para inversores de N-níveis e sua aplicação em *Matlab* está descrita no anexo 1. No anexo 2 está descrita a aplicação da estratégia em DSP utilizando uma plataforma simulação de sinais desenvolvida no laboratório para inversores de 3, 5 e 7-níveis.

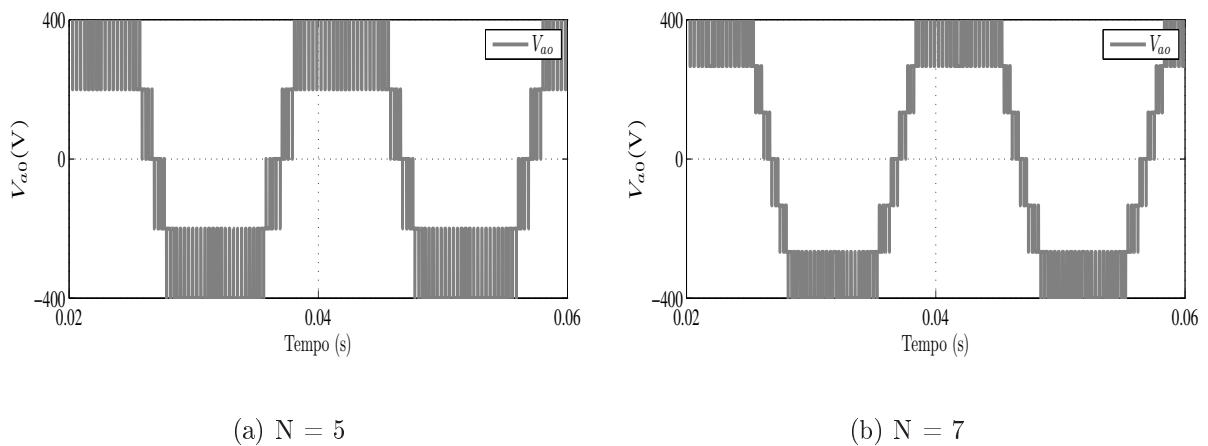


Figura 2.13: Tensões de polo

## 2.3 Análise de Desempenho

Para realizar uma análise comparativa entre as estratégias de modulação apresentadas neste capítulo, foram realizadas simulações e gerados gráficos com respeito aos parâmetros de desempenho adotados: WTHD e esforço computacional.

Nos gráficos de WTHD estão apenas ilustrados os resultados de três estratégias, pois os resultados produzidos pela estratégia *SV-CELANOVIC* dependem exclusivamente da

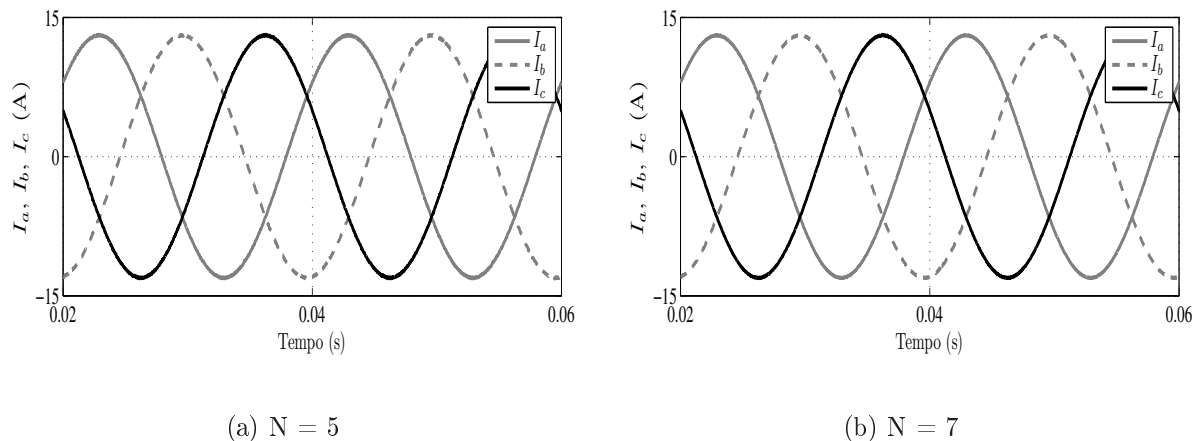


Figura 2.14: Corrente trifásica.

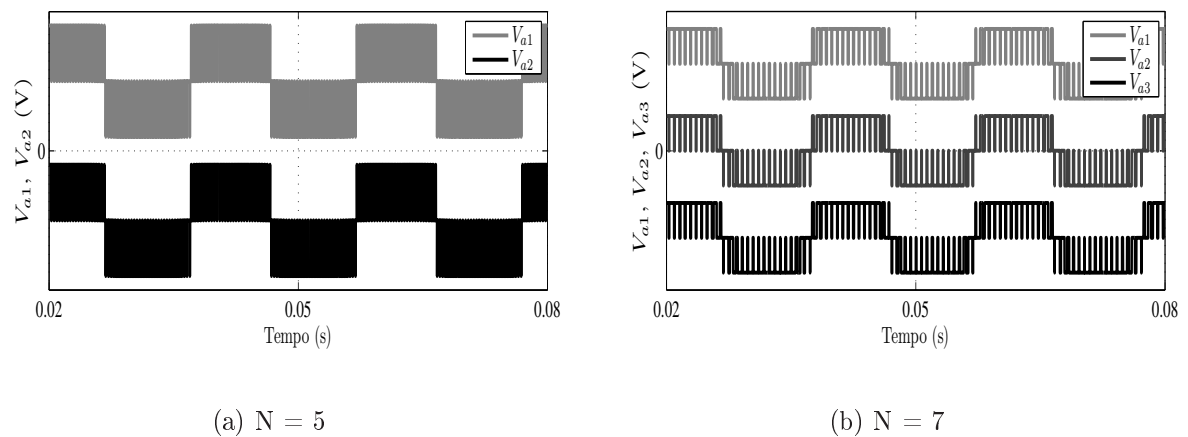


Figura 2.15: Tensão nas células.

escolha dos vetores e por isso são os mesmos da *SV-CASTRO*. A tabela 2.2 apresenta os dados gerais utilizados para as simulações.

Tabela 2.2: Dados gerais para as simulações.

<b>Dados Gerais</b>
Número de Níveis: 3, 5 e 7
Carga RL: $\cos(\phi) = 0,90$ .
Tensão total do barramento CC: $E = 400$ V.
Índice de modulação: $m = 0,9$ .
Frequência de comutação: $f_s = 10\text{kHz}$ ou $720\text{Hz}$

No gráfico da Fig. 2.16 estão ilustrados resultados do WTHD em função do número de níveis para um índice de modulação de  $m = 0,9$  e frequência de chaveamento  $f = 10kHz$ . Pode-se notar uma diferença significativa entre as três estratégias quando  $N = 3$ , para os demais valores de  $N$  os valores de WTHD obtidos através das estratégias são muito próximos, com *SV-CASTRO* produzindo os melhores resultados.

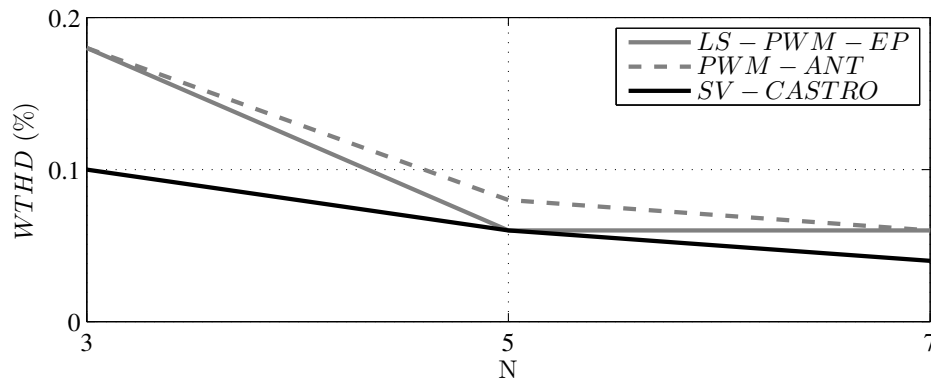
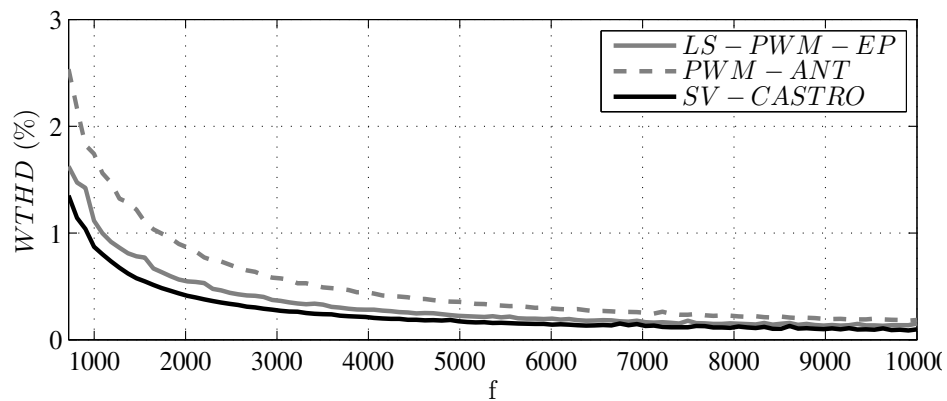
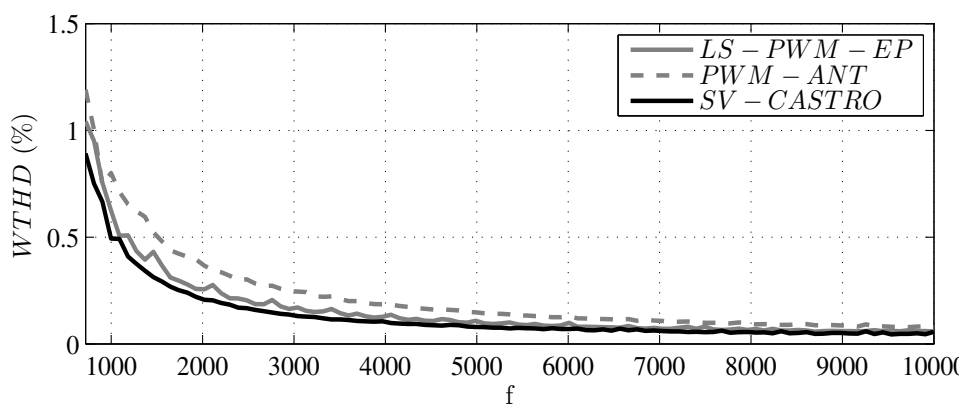
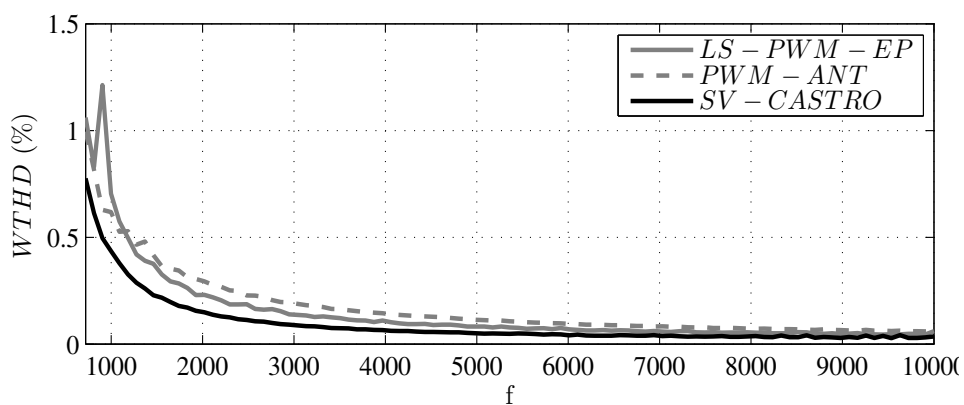


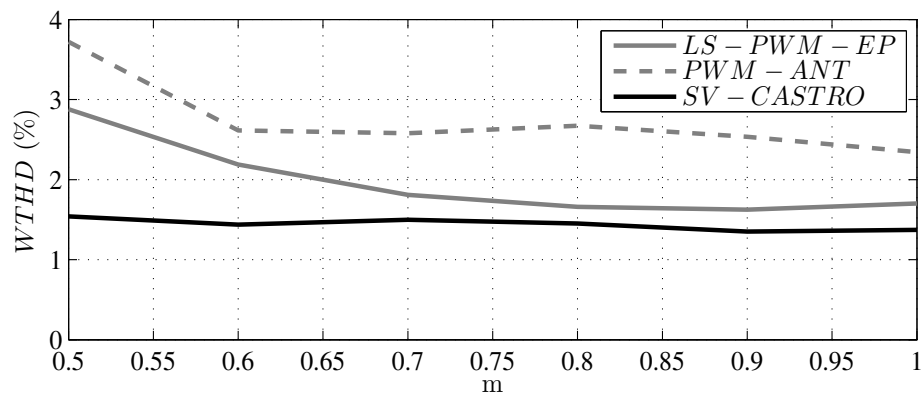
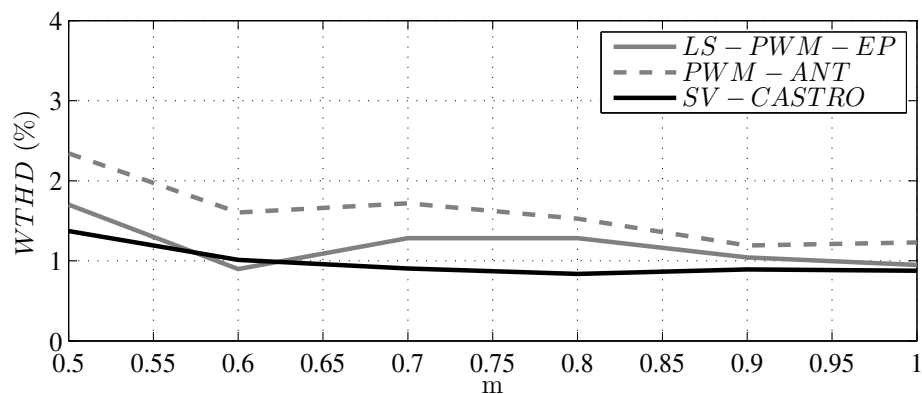
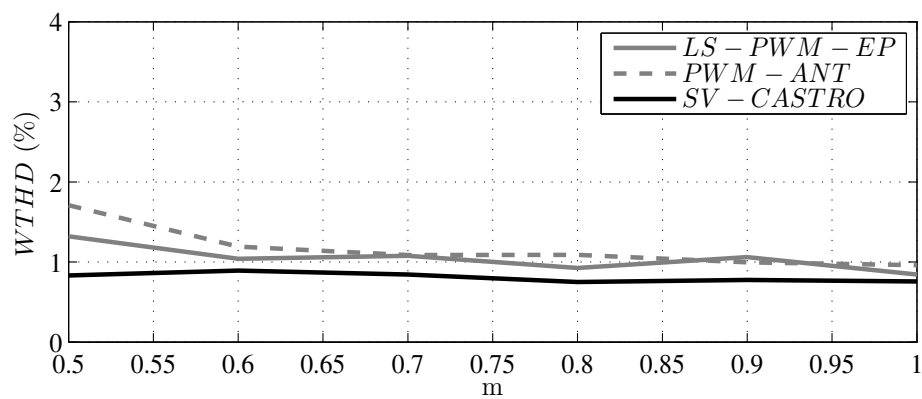
Figura 2.16: WTHD x número de níveis.

A Fig. 2.17 ilustra a evolução dos valores do WTHD para frequências de chaveamento entre  $720$  e  $10kHz$ , para uma índice de modulação  $m = 0,9$  e  $N = 3, 5$  e  $7$ . Podemos observar o mesmo padrão nas três curvas. Para frequências acima de  $5kHz$ , as três estratégias produzem valores muito próximos de WTHD. A diferença entre elas pode ser melhor observado a medida que a frequência diminui.

A partir dos gráficos da Fig 2.17 pode-se perceber que aumentando o número de níveis do inversor é possível baixar a frequência de chaveamento e ainda assim obter o mesmo valor de WTHD de um inversor com um menor número de níveis. Com a diminuição da frequência de chaveamento, há uma diminuição das perdas por chaveamento e portanto, um aumento na eficiência do inversor.

Nas Figuras 2.18 e 2.19 os valores de WTHD foram produzidos em função do índice de modulação para frequências de chaveamento de  $720Hz$  e  $10kHz$ , respectivamente. Em 2.18 a medida que o número de níveis aumenta, os resultados das três estratégias ficam mais próximos e para  $N = 7$  os valores de WTHD são praticamente constantes. O mesmo padrão é mantido nas curvas em 2.19 com a estratégia *SV - CASTRO* apresentando melhores valores de WTHD.

(a)  $N = 3$ (b)  $N = 5$ (c)  $N = 7$ Figura 2.17: WTHD x  $f$ .

(a)  $N = 3$ (b)  $N = 5$ (c)  $N = 7$ Figura 2.18: WTHD x  $m$  (720Hz).

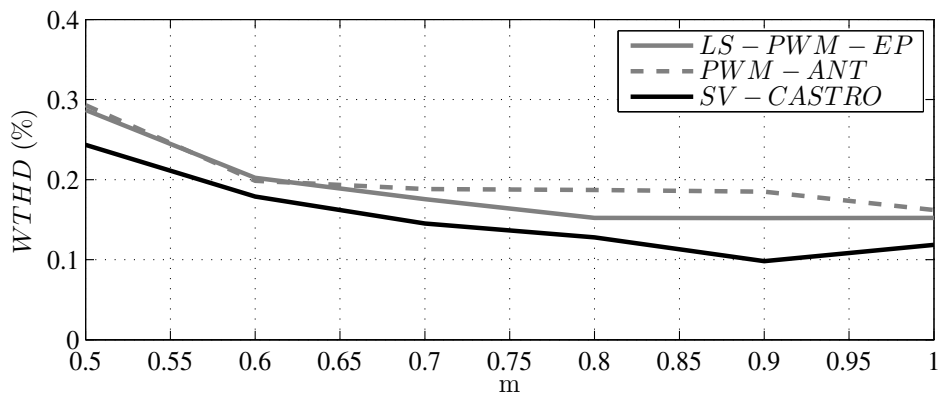
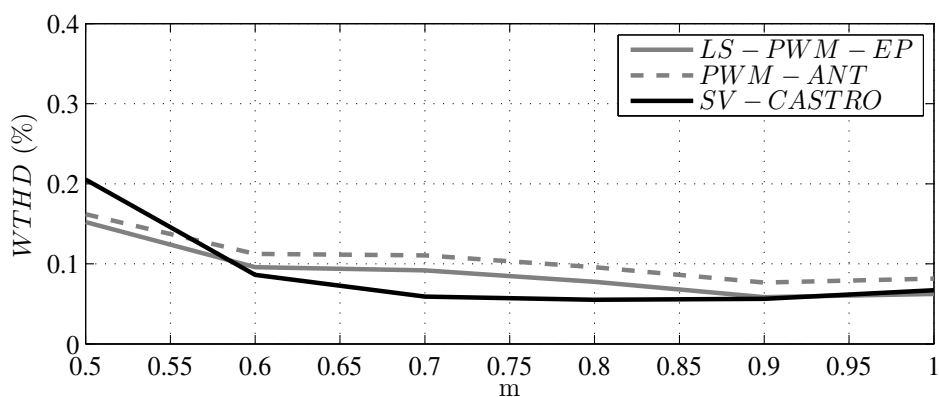
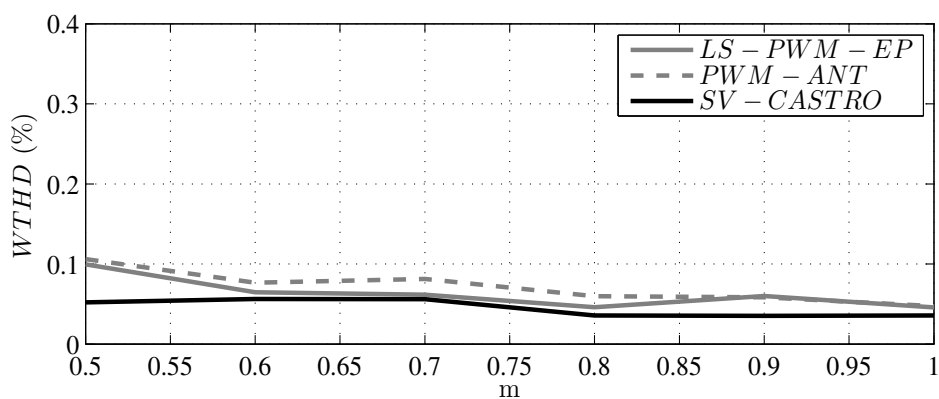
(a)  $N = 3$ (b)  $N = 5$ (c)  $N = 7$ 

Figura 2.19: WTHD x m (10kHz).



Na Tabela 2.3 estão apresentados os chaveamentos médios das três estratégias, para inversores de  $N = 3, 5$  e  $7$  níveis e frequências de chaveamento de  $720$  Hz e  $10$  kHz. O chaveamento médio, que corresponde ao número de comutações em um período de tempo, tem ligação direta com as perdas do inversor. Os resultados obtidos para as três estratégias foram próximos, portanto as perdas por chaveamento entre elas devem ser similares.

Tabela 2.3: Chaveamento médio.

Níveis (N)	$f_s = 720$ Hz			$f_s = 10$ kHz		
	CASTRO	ANTONIO	EVEN	CASTRO	ANTONIO	EVEN
3	360 Hz	360 Hz	300 Hz	4920 Hz	4980 Hz	4980 Hz
5	210 Hz	180 Hz	120 Hz	2490 Hz	2490 Hz	2490 Hz
7	140 Hz	100 Hz	140 Hz	1680 Hz	1660 Hz	1920 Hz

A velocidade de processamento do código foi medida através do *Matlab* em um PC *Triple – Core* de  $1,80$  GHz. O tempo ilustrado na Fig. 2.20 foi obtido para 10000 execuções repetidas do código. O processamento das estratégias *PWM – ANTONIO* e *SV – CASTRO* não muda com o aumento do número de níveis do inversor. Os resultados obtidos para *LS – PWM – EP* aumentam consideravelmente com o número de níveis do inversor. Esse aumento é devido ao tempo para geração das portadoras triangulares.

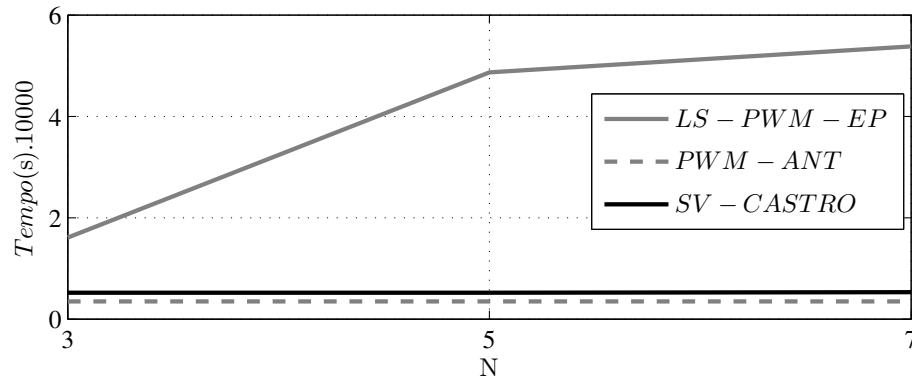


Figura 2.20: Tempo de processamento x Número de níveis.

Entre *SV – CELANOVIC* e *SV – CASTRO* há a eliminação da transformação linear de bases, que resulta em um número menor de instruções para cálculo dos *duty cycles*. Para quantificar o ganho da substituição, foram calculados os tempos de 1.000.000 repetições da instrução de transformação de bases e da normalização proposta em *SV – CASTRO* (Tabela 2.4). Em controladores com alta velocidade de processamento, o ganho de processamento

pode ser considerado irrelevante. Porém, se há limite de processamento a substituição da transformação de bases é uma opção a ser considerada.

Tabela 2.4: Tempos de repetição.

SV-CELANOVIC	SV-CASTRO
1,32 s	1,27 s

## 2.4 Resultados Experimentais

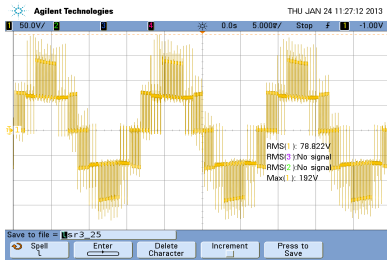
Para validar o estudo feito das técnicas de modulação PWM, é necessário desenvolver testes experimentais e comparar com os resultados obtidos através das simulações. Para os ensaios experimentais foi utilizado uma carga e parâmetros segundo a tabela 2.5.

A plataforma utilizada foi a de um inversor em cascata de 11-níveis, que foi utilizada como, no máximo, um inversor de 7-níveis devido a limitação da placa dSPACE utilizada para acionamento das chaves. O dSPACE (DS1104) executa as rotinas com um passo de cálculo mínimo de  $50\mu s$ , que limitou a máxima frequência de chaveamento aplicada. Para o inversor de 7-níveis, o mínimo passo de cálculo possível foi de  $100\mu s$  para evitar estouro do período de execução (*overrun*).

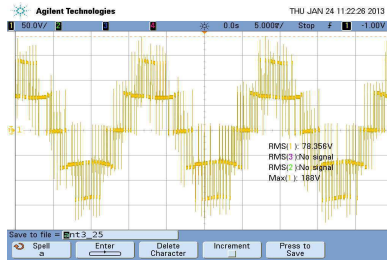
Tabela 2.5: Dados experimentais.

Dados Experimentais
Número de Níveis: 3, 5 e 7
Carga RL: $R = 50 \Omega$ , $L = 7 mH$ .
Tensão máxima do barramento CC: $E = 150 V$ .
Índice de modulação: $m = 0,9$ .
Frequência de comutação: $f_s = 500, 1000$ ou $2.500Hz$
Modelo dSPACE: DS1104

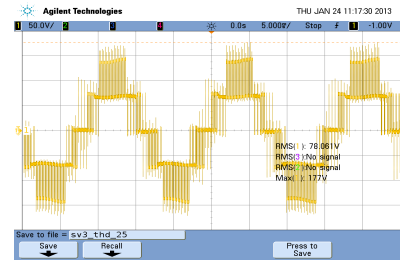
Nas figuras a seguir estão ilustrados os resultados experimentais obtidos para as tensões de linha e correntes trifásicas para as três estratégias apresentadas anteriormente. Na fig. 2.21 estão os resultados para 3-nível e nas figuras 2.22 e 2.23 para 5 e 7-níveis, respectivamente.



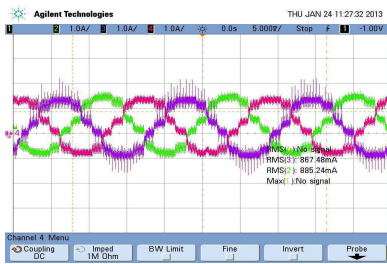
(a) LS-EVEN ( $V_{inha}$ )



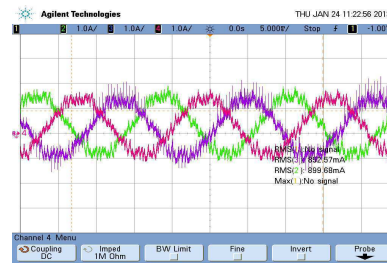
(b) PWM-ANT ( $V_{inha}$ )



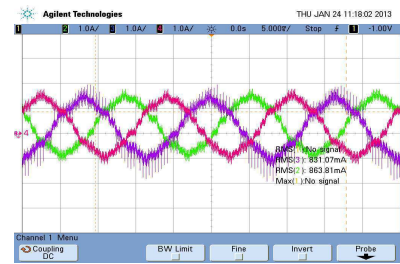
(c) SV-CASTRO ( $V_{inha}$ )



(d) LS-EVEN ( $I_{a,b,c}$ )

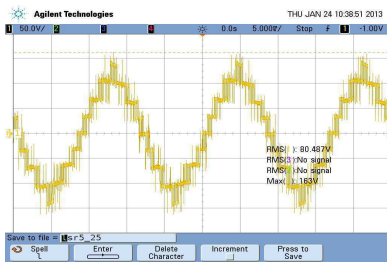


(e) PWM-ANT ( $I_{a,b,c}$ )

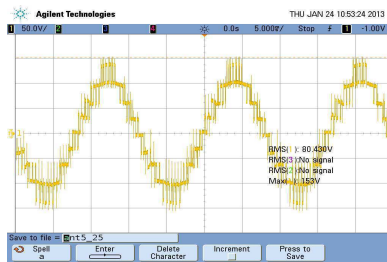


(f) SV-CASTRO ( $I_{a,b,c}$ )

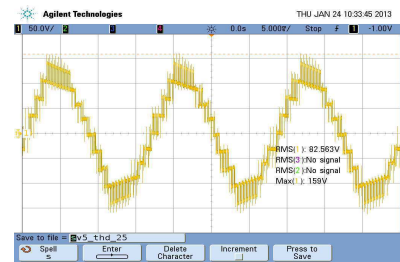
Figura 2.21: Resultados experimentais para  $N = 3$ .



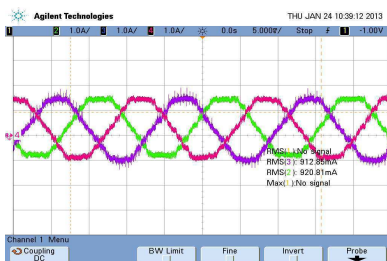
(a) LS-EVEN ( $V_{inha}$ )



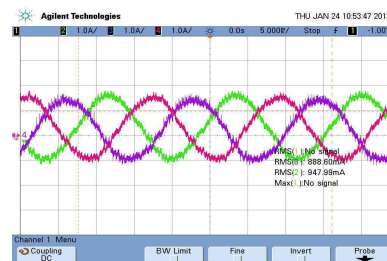
(b) PWM-ANT ( $V_{inha}$ )



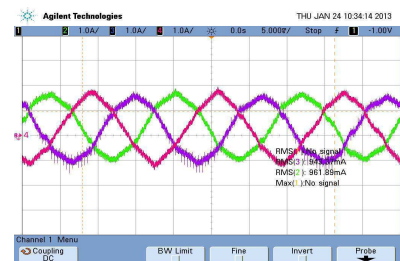
(c) SV-CASTRO ( $V_{inha}$ )



(d) LS-EVEN ( $I_{a,b,c}$ )

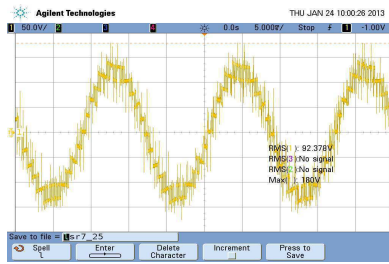
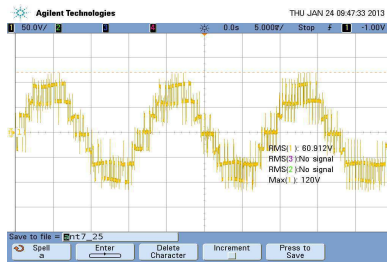
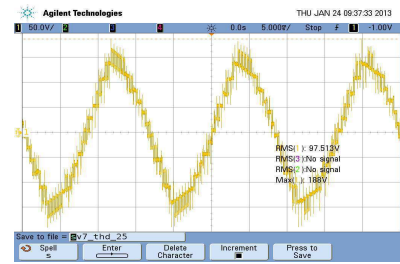
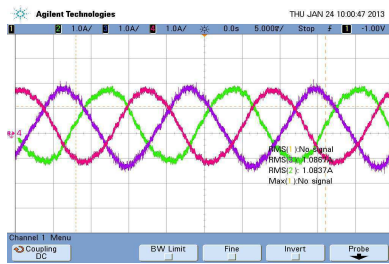
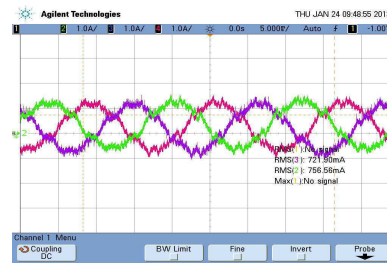
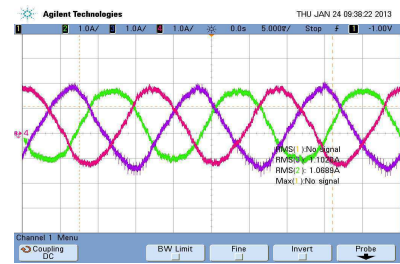


(e) PWM-ANT ( $I_{a,b,c}$ )



(f) SV-CASTRO ( $I_{a,b,c}$ )

Figura 2.22: Resultados experimentais para  $N = 5$ .

(a) LS-EVEN ( $V_{inha}$ )(b) PWM-ANT ( $V_{inha}$ )(c) SV-CASTRO ( $V_{inha}$ )(d) LS-EVEN ( $I_{a,b,c}$ )(e) PWM-ANT ( $I_{a,b,c}$ )(f) SV-CASTRO ( $I_{a,b,c}$ )Figura 2.23: Resultados experimentais para  $N = 7$ .

Os resultados experimentais de WTHD para as três estratégias encontram-se na tabela 4.3. Os dados foram obtidos para três diferentes frequências com o índice de modulação fixo em  $m = 1,0$  e para três diferentes valores de índice de modulação com a frequência de chaveamento fixa em  $f_s = 2,5kHz$ .

Os valores obtidos experimentalmente para as distorções seguem a mesma tendência dos valores obtidos através das simulações, a estratégia SV-CASTRO apresentou os melhores valores de distorção para a maioria dos casos. A limitação de processamento do dSPACE impossibilitou o acionamento do inversor com frequências de chaveamento acima de  $2,5kHz$ .

## 2.5 Conclusões

Neste capítulo foram apresentadas três estratégias de modulação para inversores multiníveis e a modificação de uma das estratégias. Também foi descrita a escolha ótima dos vetores para diminuição da distorção harmônica e métodos para calcular algebricamente esses vetores.

Tabela 2.6: Resultados experimentais de WTHD (%).

N = 3						
Estratégia	fs			m		
	500 Hz	1,0 kHz	2,5 kHz	0,5	0,75	1,0
SV-CASTRO	3,59	2,59	1,58	4,31	1,92	1,58
LS-EVEN	3,85	2,08	1,89	4,99	2,22	1,89
PWN-ANT	5,57	3,31	2,28	9,62	4,52	2,28
N = 5						
Estratégia	fs			m		
	500 Hz	1,0 kHz	2,5 kHz	0,5	0,75	1,0
SV-CASTRO	3,43	2,50	1,53	2,08	1,46	1,53
LS-EVEN	3,03	1,61	1,54	2,18	1,50	1,54
PWN-ANT	5,51	2,69	1,95	2,46	1,75	1,95
N = 7						
Estratégia	fs			m		
	500 Hz	1,0 kHz	2,5 kHz	0,5	0,75	1,0
SV-CASTRO	2,11	1,50	1,07	1,67	1,34	1,07
LS-EVEN	3,36	1,72	1,22	1,81	2,16	1,22
PWN-ANT	3,95	1,88	1,37	1,84	1,64	1,37

As estratégias foram comparadas segundo resultados obtidos de simulação para o WTHD. A estratégia *SV – CASTRO* apresentou melhores resultados de WTHD, há um custo computacional elevado, mas independente do número de níveis. A estratégia *PWM – ANTONIO* mostrou-se com menor tempo de processamento e independente do número de níveis.

Resultados experimentais obtidos com um inversor em cascata acionado através de uma placa dSPACE comprovou a tendência dos resultados de simulação. A limitação do passo de cálculo do dSPACE utilizado impossibilitou o acionamento com frequências acima de  $2,5kHz$  e com número de níveis acima de 7.

Na utilização da *LS – PWM – EP* há a desvantagem da geração das portadoras que consome a maior parte do processamento do algoritmo. Para frequência de chaveamento elevadas ( $> 5kHz$ ) os resultados obtidos são muito próximos e há vantagem no uso da *PWM – ANTONIO* devido ao menor tempo de processamento. Porém, se há necessidade

de aumentar a eficiência do inversor, é necessário diminuirmos as perdas por chaveamento baixando a frequência do inversor. Assim, o uso da *SV – CASTRO* é mais recomendado.

O hardware utilizado para implementação também é de grande importância na escolha da estratégia a ser utilizada. Os DSPs comerciais possuem número limitado de periféricos para uso do *PWM* e a utilização de FPGAs é necessário para inversores de com número de níveis alto. As estratégias *LS – PWM – EP* e *SV – CASTRO* são mais indicadas para aplicações em FPGA, pois na primeira há necessidade de geração de portadoras triangulares não convencionais enquanto na segunda há necessidade de aplicação do vetor em um determinado tempo. Já *PWM – ANTONIO* é facilmente aplicada em DSP, com o uso de periféricos *PWM* específicos.

Ainda como contribuição do trabalho, foi generalizada a estratégia *SV – CASTRO* para inversores de N-níveis no Apêndice A.

# 3

## Eliminação da Tensão de Modo Comum em Inversores Multiníveis

### 3.1 Introdução

O acionamento de máquinas através de *drivers* de velocidade variável causa a circulação de correntes que fluem através das capacitâncias parasitas do estator para o ferro do rotor das máquinas. Estas capacitâncias parasitas servem de caminho para as chamadas correntes de modo comum, que por sua vez são geradas pela tensão de modo comum existente entre o inversor e o motor. Os problemas causados pela presença dessas correntes são:

- Destruição gradativa dos mancais;
- Interferências Eletromagnéticas;
- Aquecimento dos condutores;
- Atuação indevida da proteção de falta para o terra;
- Aumento dos ruídos audíveis.

Vários métodos foram desenvolvidos para eliminar ou apenas reduzir as tensões de modo comum. Muitas dessas soluções utilizam hardware adicional como filtros passivos, outros métodos são os baseados em estratégias de modulação avançadas evitando a geração da

tensão de modo comum e aplicadas na área de inversores multiníveis (Rodriguez et al., 2004b).

Neste capítulo será apresentada a aplicação da estratégia *SV-CASTRO* para eliminação da tensão de modo comum através do princípio de aplicação de estados de chaveamento que geram tensão de modo comum igual a zero.

## 3.2 Tensão de Modo Comum em Máquinas Elétricas

A soma das tensões de saída trifásicas de um inversor não são equilibradas, ou seja, a soma vetorial instantânea das tensões nas três fases não é igual a zero, e sim igual a um ponto comum de referência usualmente no barramento CC.

Na Fig. 3.1 está ilustrado um modelo do circuito equivalente da tensão de modo comum para um sistema inversor-motor (Chen et al., 1996). Sendo o ponto  $o$  a referência para a tensão de modo comum, a tensão de modo comum na fase  $A$  do motor é  $V_{ao}$ . As capacitâncias  $C_{wr}$  e  $C_{ws}$  são, respectivamente, as capacitâncias parasitas entre os enrolamentos do motor e do estator e rotor. A capacitância  $C_g$  representa o *gap* de ar dos mancais do motor, que está representado na figura através da chave  $B$ . A impedância interna da fonte ( $Z_{in}$ ) representa uma capacitância de acoplamento entre o ponto negativo do barramento CC e o terra.

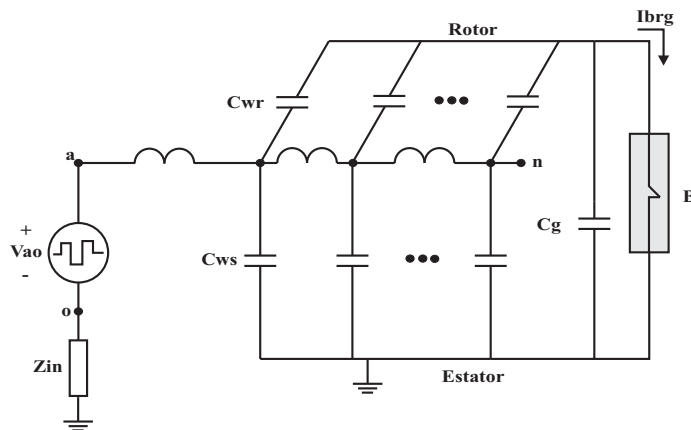


Figura 3.1: Circuito equivalente da tensão de modo comum para um sistema inversor-motor.

Baseado nesse modelo, a corrente  $I_{brg}$  pode ser identificada como a corrente total que circula através das capacitâncias  $C_{wr}$ 's, passando pelo mancal( $B$ ) em direção ao estator aterrado. Com o aumento dessa corrente, causado pelo aumento da tensão no ponto  $n$ ,



acima de um limite estabelecido, há quebra dos mancais do motor e descargas elétricas. De maneira similar, as fases  $B$  e  $C$  também contribuem para a tensão de modo comum.

A tensão de modo comum pode ser expressa através da equação 3.1, onde  $o$  é o ponto central do barramento CC do inversor e  $n$  o ponto central da carga (motor).

$$V_{no} = \frac{1}{3} \cdot (V_{ao} + V_{bo} + V_{co}) \quad (3.1)$$

### 3.3 Geração da Tensão de Modo Comum em Modulações *Space Vector*

As tensões de saída trifásicas de um inversor podem ser representadas por um espaço vetorial plano, através de transformações das variáveis trifásicas em variáveis com apenas duas coordenadas (dq,  $\alpha\beta$ , gh, etc).

Considerando o inversor da Fig. 3.2 com três células por fase ( $N = 7$  níveis), cada fase pode gerar sete diferentes níveis de tensão. Portanto, o inversor trifásico tem um total de  $7^3 = 343$  diferentes valores para as tensões de saída e um total de 127 diferentes vetores, como ilustrado na Fig. 3.2. Uma das características dos inversores multiníveis é a presença de vetores com estados redundantes. Essa característica é devido à existência de componentes de sequência zero nas tensões de fase. Por exemplo, os estados  $[6, 2, 1] = [3V_{dc}, -V_{dc}, -2V_{dc}]$  e  $[5, 1, 0] = [2V_{dc}, -2V_{dc}, -3V_{dc}]$  geram o mesmo vetor, mas no segundo estado as tensões de saída não são balanceadas ( $2V_{dc} - 2V_{dc} - 3V_{dc} \neq 0$ ).

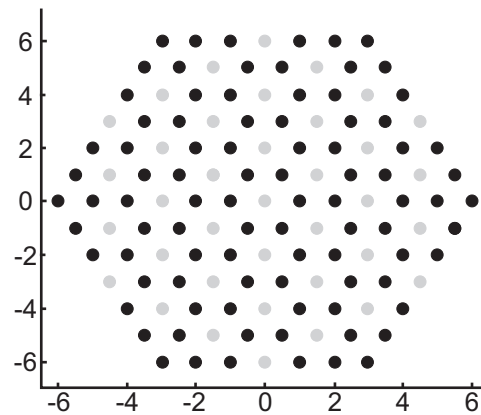


Figura 3.2: Diagrama vetorial para um inversor de  $N = 7$  níveis com vetores em que  $V_{no} = 0$  marcados em cinza.

### 3.4 Eliminação da Tensão de Modo Comum

Para aplicações de inversores multiníveis em acionamento de máquinas CA, é desejável a eliminação da tensão de modo comum para prevenir a falha prematura dos mancais e diminuir interferências eletromagnéticas (*EMI*). Diversas estratégias de modulação para inversores multiníveis visando eliminação ou redução das tensões de modo comum foram desenvolvidas como em (Loh et al., 2003).

Para inversores multiníveis com um número ímpar de níveis, a tensão de modo comum pode ser completamente eliminada utilizando apenas estados de chaveamento que possuem a tensão de modo comum igual a zero (Zhang et al., 2000). Com a utilização de apenas esses vetores, o diagrama vetorial de um inversor de  $N$ -níveis é simplificado para um diagrama vetorial de  $((N+1)/2)$ -níveis com uma defasagem de  $30^\circ$ . Cada um dos vetores simplificados possuem apenas um estado de chaveamento, sem redundâncias. A Fig. 3.3 ilustra a simplificação de um diagrama vetorial de 3-níveis em um diagrama de 2-níveis para eliminação da tensão de modo comum.

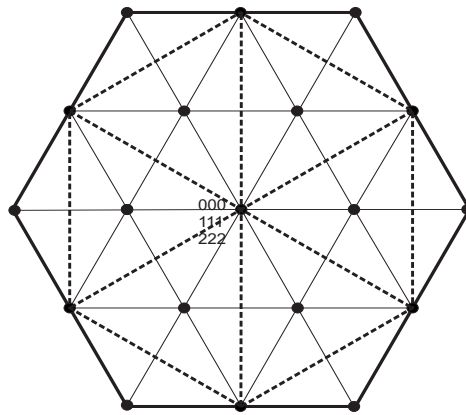


Figura 3.3: Exemplo de diagrama vetorial de 3-níveis simplificado.

Segundo (Loh et al., 2003), os estados de chaveamento do diagrama reduzido ( $\{S_a, S_b, S_c\}$ ) podem ser obtidos pela diferença entre estados adjacentes de um diagrama convencional com o mesmo número de níveis ( $\{S_u, S_v, S_w\}$ ). Utilizando a representação vetorial adotada, os estados de chaveamento do diagrama reduzido podem ser obtidos através da seguinte equação:

$$\{S_a, S_b, S_c\} = \{S_u - S_v + (N - 1)/2, S_v - S_w + (N - 1)/2, S_w - S_u + (N - 1)/2\} \quad (3.2)$$

Na fig. 3.4 o vetor  $\{3,2,1\}$  do diagrama vetorial simplificado de 5-níveis é obtido aplicando-se (3.2) ao vetor  $\{2,1,1\}$  ou  $\{1,0,0\}$  do diagrama convencional de um inversor de 3-níveis.

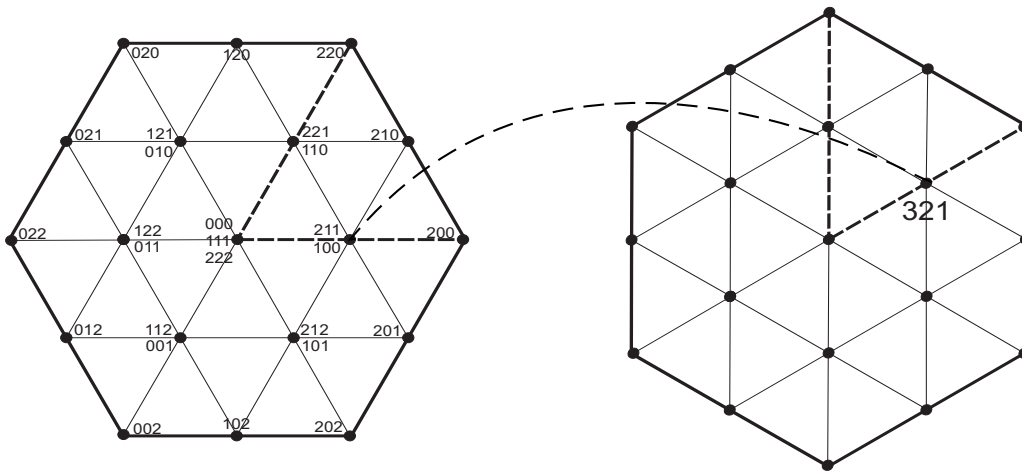


Figura 3.4: Obtenção do Diagrama reduzido a partir do convencional.

A escolha de estados de chaveamento que possuem a tensão de modo comum igual à zero diminui a quantidade de vetores que podem ser utilizados. Por exemplo, para o diagrama vetorial de  $N = 3$  níveis da Fig. 3.3, a quantidade de vetores utilizados para eliminar a tensão de modo comum é de 7, enquanto no diagrama convencional temos 19 vetores. Essa diminuição na quantidade de vetores provoca a comutações de chaves mais de uma vez no período.

Em (Zhang et al., 2000) é apresentado um método para eliminação da tensão de modo comum utilizando modulação do tipo PWM senoidal. De forma similar das estratégias *space – vector*, para um inversor de N-níveis deve-se utilizar  $(N-1)/2$  portadoras triangulares para o acionamento das chaves. Para acionamento das chaves, dois dos três sinais modulantes são comparados com a portadora triangular resultando em dois sinais pwm intermediários para um mesma chave. Os sinais são então subtraídos para criar o sinal final. Por exemplo, para um inversor de 3-níveis deve ser utilizado uma portadora triangular e três modulantes ( $V_{ma}$ ,  $V_{mb}$  e  $V_{mc}$ ). Para a fase  $a$   $V_{ma}$  e  $V_{mb}$  são comparados com a triangular resultando em dois sinais pwm intermediários  $V_1$  e  $V_2$ . Subtraindo  $V_2$  de  $V_1$  é criado o sinal pwm final com tensão de modo comum nula. Dessa forma é garantido o chaveamento apenas onde a tensão de modo comum é nula. Em resumo temos as seguintes equações:

$$\begin{aligned}
V_{ma} &= \cos(\omega t) \\
V_{mb} &= \cos(\omega t - 2\pi/3) \\
V_{mc} &= \cos(\omega t - 4\pi/3) \\
V_a &= (V_1 - V_2)/2 \\
V_b &= (V_2 - V_3)/2 \\
V_c &= (V_3 - V_1)/2
\end{aligned} \tag{3.3}$$

A tensão de modo comum pode ser escrita como:

$$V_{cm} = (V_a + V_b + V_c)/3 = ((V_1 - V_2) + (V_2 - V_3) + (V_3 - V_1))/3 = 0 \tag{3.4}$$

### 3.5 Modulação *Space Vector* para a Eliminação da Tensão de Modo Comum

A estratégia apresentada nesta seção, é a aplicação da técnica *SV-CASTRO* desenvolvida no tópico anterior para eliminação da tensão de modo comum. A estratégia segue os passos conforme fluxograma da fig. 3.5. Para utilização de em um inversor de N-níveis, deve ser aplicada a estratégia de modulação para um inversor de  $((N + 1)/2)$ -níveis. A detecção dos três vetores próximos, cálculo dos *duty cycles* e seleção dos estados de chaveamento são realizadas conforme descrito anteriormente. Na fase de seleção dos estados de chaveamento deve ser aplicada (3.2) para obtermos os três vetores com tensão de modo comum igual a zero. A aplicação da estratégia eliminará a tensão de modo comum, porém as tensões linha de saída do inversor serão defasadas de  $30^\circ$  das tensões de referência.

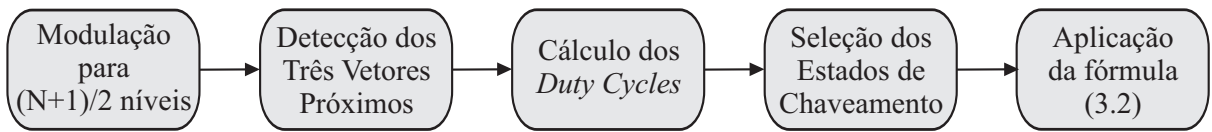


Figura 3.5: Fluxograma para aplicação do algoritmo para eliminação da tensão de modo comum.

#### 3.5.1 Resumo do Algoritmo

Para a aplicação do algoritmo para a eliminação da tensão de modo comum, deve ser considerado modulação para um inversor de  $((N+1)/2)$ -níveis, o algoritmo pode ser resumido nos seguintes passos:

- **Normalização das Tensões de Referência:** O primeiro passo para aplicação do algoritmo é normalizar os vetores de referência, que podem ser representados segundo a equação abaixo:

$$\begin{aligned}\vec{V}_{ab}^* &= \frac{V_{l-l}}{V_{dc}} \cdot \cos(\omega.t) \\ \vec{V}_{bc}^* &= \frac{V_{l-l}}{V_{dc}} \cdot \cos(\omega.t - 2\pi/3) \\ \vec{V}_{ca}^* &= \frac{V_{l-l}}{V_{dc}} \cdot \cos(\omega.t - 2\pi/4)\end{aligned}\quad (3.5)$$

onde:  $V_{dc} = (\text{barramento CC}) / (\text{numero de níveis} - 1)$

- **Detecção dos Três Vetores Próximos:** Devido ao fato de todos os vetores de chaveamento possuírem apenas números inteiros como coordenadas, podemos identificar os quatro vetores mais próximos da referência usando o valor inteiro arredondado para cima (upper) e para baixo (lower) dos vetores de referência normalizados  $\vec{V}_{ab}^*$  e  $\vec{V}_{bc}^*$ :

$$\begin{aligned}\vec{V}_{ul} &= \begin{bmatrix} \lceil V_{ab}^* \rceil \\ \lfloor V_{bc}^* \rfloor \end{bmatrix} & \vec{V}_{lu} &= \begin{bmatrix} \lfloor V_{ab}^* \rfloor \\ \lceil V_{bc}^* \rceil \end{bmatrix} \\ \vec{V}_{uu} &= \begin{bmatrix} \lceil V_{ab}^* \rceil \\ \lceil V_{bc}^* \rceil \end{bmatrix} & \vec{V}_{ll} &= \begin{bmatrix} \lfloor V_{ab}^* \rfloor \\ \lfloor V_{bc}^* \rfloor \end{bmatrix}\end{aligned}\quad (3.6)$$

Os vetores  $\vec{V}_{ul}$  e  $\vec{V}_{lu}$  são sempre dois dos três vetores mais próximos. O terceiro vetor é um dos dois restantes, determinado através da avaliação do sinal da seguinte equação:

$$V_g + V_h - (V_{ulg} + V_{ulh}) > 0 \quad (3.7)$$

Se o sinal é positivo, o terceiro vetor é o  $\vec{V}_{uu}$ , caso contrário, o terceiro vetor próximo da referência é o  $\vec{V}_{ll}$ .

- **Cálculo dos *Duty Cycles*:** Após a identificação dos três vetores, o cálculo de seus correspondentes tempos de aplicação são determinados resolvendo as equações 3.8 e 3.9, onde  $\vec{V}_1 = \vec{V}_{ul}$ ,  $\vec{V}_2 = \vec{V}_{lu}$  e  $\vec{V}_3 = \vec{V}_{uu}$  ou  $\vec{V}_3 = \vec{V}_{ll}$ .

$$\vec{V}_{REF} = (d_1 \cdot \vec{V}_1 + d_2 \cdot \vec{V}_2 + d_3 \cdot \vec{V}_3) \quad (3.8)$$

$$d_1 + d_2 + d_3 = 1 \quad (3.9)$$

A equação 3.9 deve ser reescrita em função de  $V_{ab}^*$  e  $V_{bc}^*$ . Solucionando a equação, encontramos o seguinte resultado:

$$\begin{aligned} d_{ul} &= V_{ab}^* - V_{llab} \\ d_{lu} &= V_{bc}^* - V_{llbc} \\ d_{ll} &= 1 - d_{ul} - d_{lu} \end{aligned} \quad (3.10)$$

e para  $\vec{V}_3 = \vec{V}_{uu}$ :

$$\begin{aligned} d_{ul} &= -(V_{bc}^* - V_{uubc}) \\ d_{lu} &= -(V_{ab}^* - V_{uuab}) \\ d_{ll} &= 1 - d_{ul} - d_{lu} \end{aligned} \quad (3.11)$$

- **Seleção dos Estados de Chaveamento:** O último passo do algoritmo requer a transformação dos vetores obtidos com duas dimensões (3.6) para o espaço dimensional de três dimensões. Os vetores em (3.6) estão na forma  $V = [\alpha, \beta]^T$  e todos os estados de chaveamento disponíveis podem ser encontrados avaliando a seguinte expressão:

$$\begin{bmatrix} k \\ k - \alpha \\ k - \alpha - \beta \end{bmatrix} \quad (3.12)$$

onde  $k$ ,  $k - \alpha$ ,  $k - \alpha - \beta$  estão no intervalo  $[0, N - 1]$ .

- **Obtenção dos Vetores com Tensão de Modo Comum Nula:** Após a eliminação dos estados inválidos, deve ser aplicada a equação (3.13), em apenas um estado válido de cada vetor, para obtermos os três vetores com tensão de modo comum igual a zero. Na equação abaixo,  $S_a$ ,  $S_b$  e  $S_c$  são as coordenadas do vetor de  $N$ -níveis com tensão de modo comum nula e  $S_u$ ,  $S_v$  e  $S_w$  são as coordenadas de um vetor vetor válido de  $((N + 1)/2)$ -níveis obtido a partir de (3.12).

$$\begin{bmatrix} S_a \\ S_b \\ S_c \end{bmatrix} = \begin{bmatrix} S_u - S_v + (N - 1)/2 \\ S_v - S_w + (N - 1)/2 \\ S_w - S_u + (N - 1)/2 \end{bmatrix} \quad (3.13)$$

### 3.6 Resultados de Simulação e Experimentais

Nesta seção serão apresentados os resultados de simulação e experimentais para a aplicação da estratégia *SV-CASTRO* na eliminação da tensão de modo comum. Os resultados de simulação foram obtidos através do *Matlab* e o resultados experimentais através de um protótipo de conversor em cascata conforme descrito no capítulo anterior.

Na Fig. 3.6 estão ilustradas, para um inversor de 3-níveis com frequência de chaveamento  $f_s = 10kHz$  e índice de modulação  $m = 0,9$ , a tensão de linha resultante da aplicação do algoritmo e as tensões de modo comum geradas pela estratégia original e após a eliminação da tensão de modo comum. Nas Figuras 3.7 e 3.8 temos os mesmos resultados para inversores de 5 e 7-níveis.

Se compararmos as tensões de linha obtidas com as originais, visualmente, podemos perceber uma degradação na composição da forma de onda da tensão. Essa degradação deve-se a redução da quantidade de vetores que podem ser utilizados para a formação da tensão de saída. Através das figuras que ilustram as tensões de modo comum, podemos comprovar a eficácia do algoritmo na eliminação da tensão de modo comum.

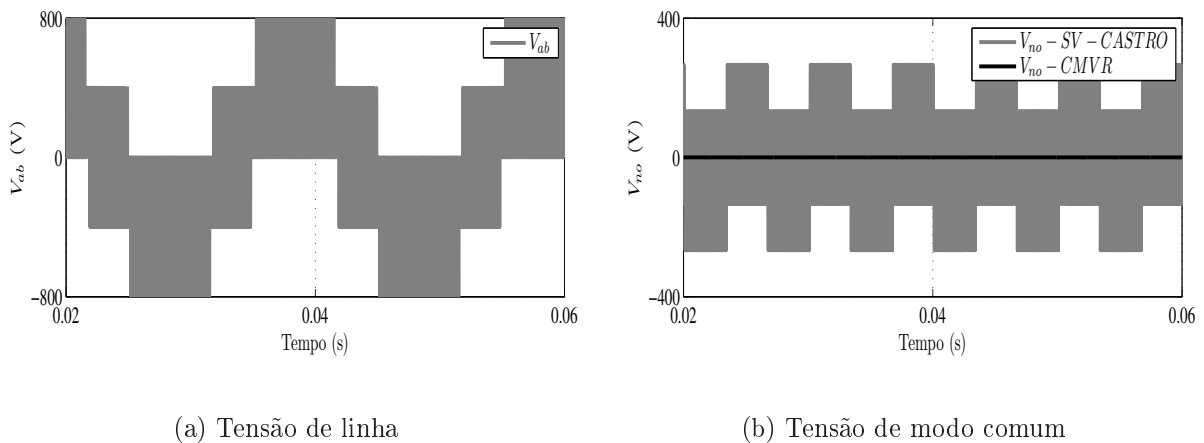


Figura 3.6: Tensão de linha e tensão de modo comum para um inversor de 3-níveis.

Nas Figuras 3.9(a) e 3.9(b) os valores de WTHD foram produzidos em função do índice de modulação para frequências de  $10kHz$  e  $720Hz$ , respectivamente. Nelas, estão ilustrados resultados para inversores de 3, 5 e 7-níveis da estratégia original e da estratégia com eliminação da tensão de modo comum. Nas duas figuras podemos perceber um aumento de até

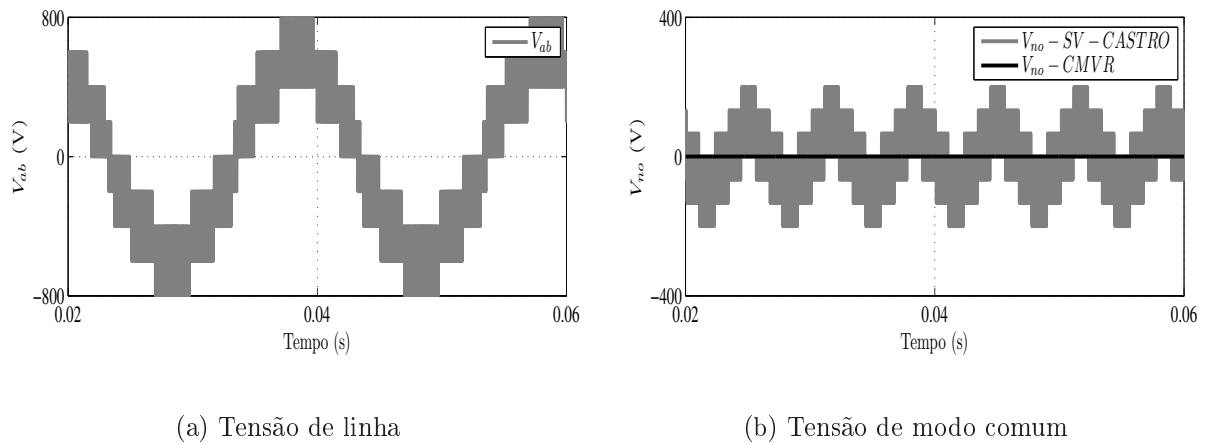


Figura 3.7: Tensão de linha e tensão de modo comum para um inversor de 5-níveis.

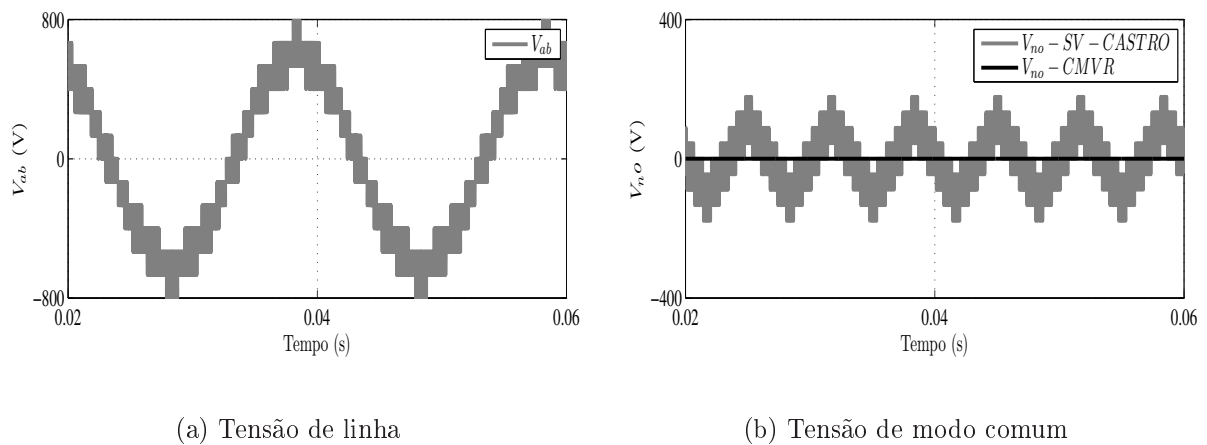


Figura 3.8: Tensão de linha e tensão de modo comum para um inversor de 7-níveis.

100% no WTHD quando utilizamos a escolha dos vetores para eliminar a tensão de modo comum. Com a restrição de uso dos vetores que produzam apenas a tensão de modo comum nula, é necessário o chaveamento de mais de uma vez no período, que além de contribuir para o aumento do WTHD, aumenta as perdas por chaveamento do inversor. Também é possível perceber uma equivalência entre os valores obtidos para um inversor de 7-níveis com tensão e modo comum nula e um inversor de 3-níveis com a estratégia original.

Nas Figuras 3.10(a) e 3.10(b) temos a evolução do WTHD para valores de frequência entre  $720Hz$  e  $10kHz$ . Os gráficos seguem o mesmo padrão dos anteriores. Com o aumento da frequência de chaveamento há uma diminuição do WTHD, e os valores de WTHD obtidos para o inversor de 7-níveis equivalem ao de um inversor de 3-níveis com a estratégia original.



Para melhor visualização o gráfico foi dividido em duas partes.

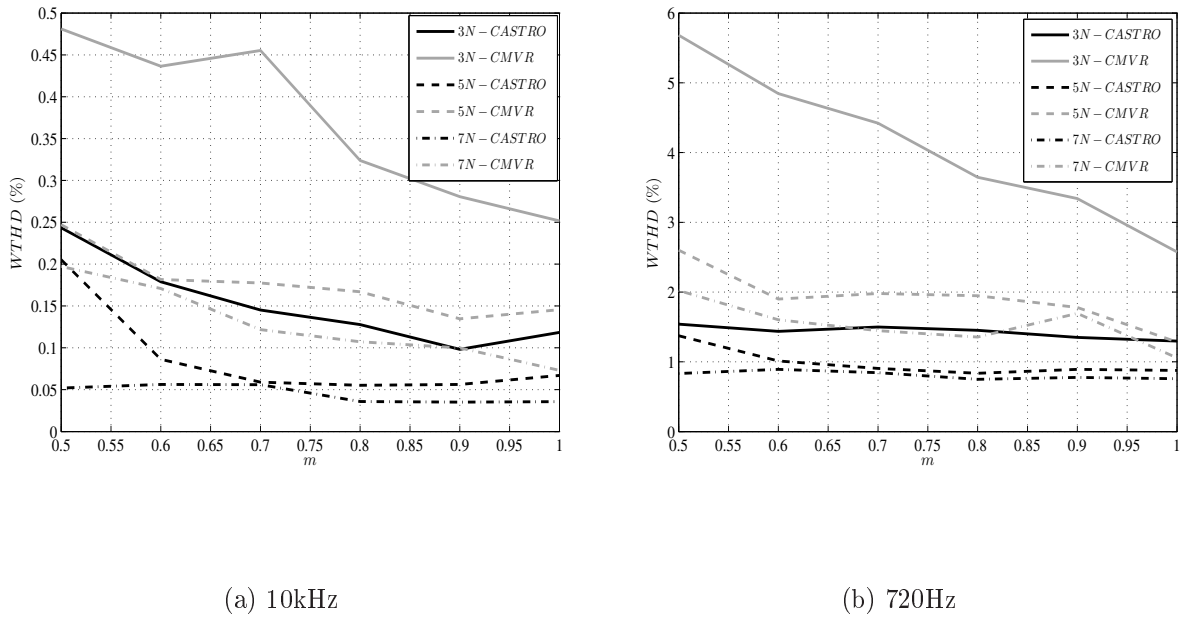


Figura 3.9: WTHD x  $m$ .

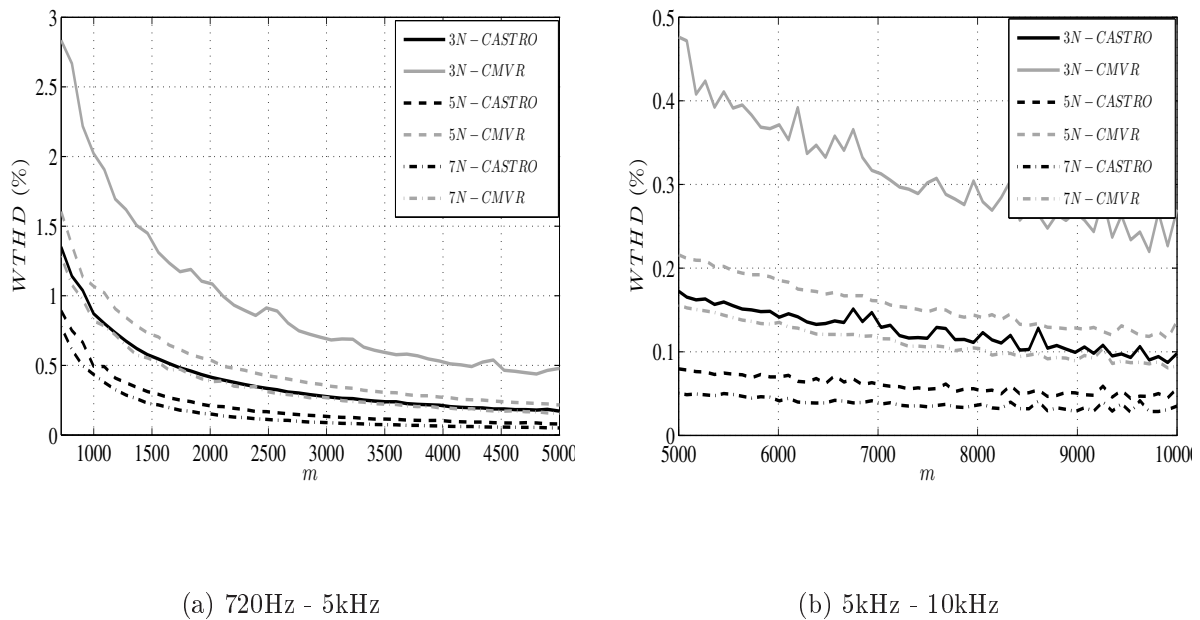
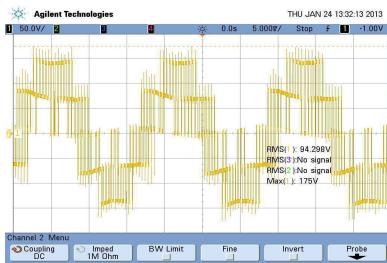


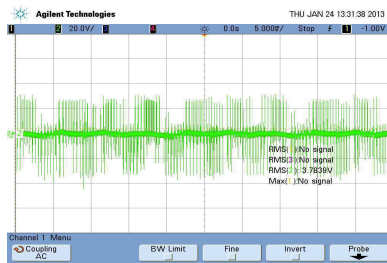
Figura 3.10: WTHD x  $f$  (720Hz - 10kHz).

Na fig. 3.11 estão ilustrados resultados experimentais para índice de modulação  $m = 0,9$  e frequência de chaveamento  $f_s = 2,5kHz$ . Em 3.11(a), 3.11(d) e 3.11(g) temos as tensões

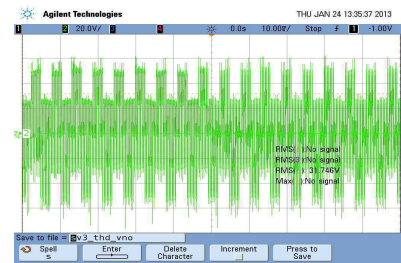
de linha para 3, 5 e 7 níveis respectivamente. Nas figuras 3.11(b), 3.11(e) e 3.11(h) temos as tensões de modo comum para o algoritmo proposto neste capítulo (SV-CMVR) e em 3.11(c), 3.11(f) e 3.11(i) as tensões de modo comum do algoritmo proposto no capítulo anterior (SV-CASTRO). Podemos perceber que não houve uma eliminação completa da tensão de modo comum, devido ao tempo-morto do circuito de acionamento das chaves ( $4\mu s$ ). A presença do tempo-morto gera pequenos intervalos de tempo onde a tensão-de-modo comum não é nula. Apesar dessa influência, se comparamos com as tensões de modo-comum da estratégia original (SV-CASTRO), podemos perceber o ganho resultante da aplicação do algoritmo proposto.



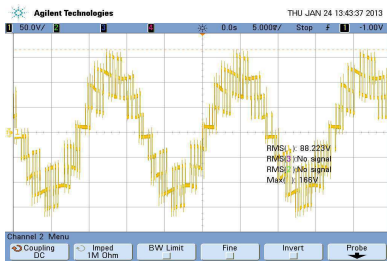
(a) 3N: SV-CMVR ( $V_{inha}$ )



(b) 3N: SV-CMVR ( $V_{no}$ )



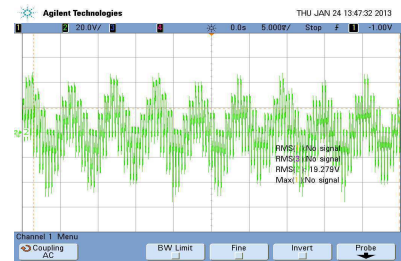
(c) 3N: SV-CASTRO ( $V_{no}$ )



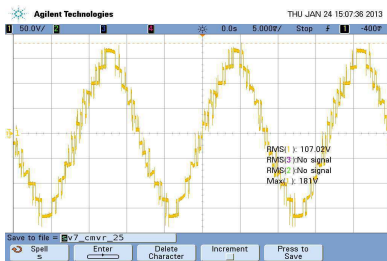
(d) 5N: SV-CMVR ( $V_{inha}$ )



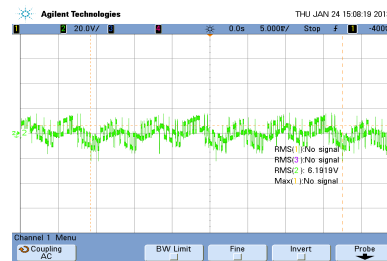
(e) 5N: SV-CMVR ( $V_{no}$ )



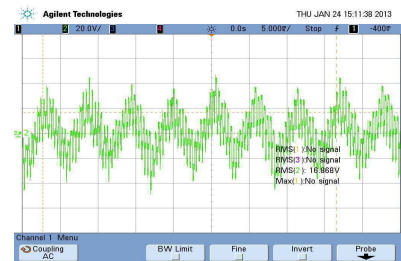
(f) 5N: SV-CASTRO ( $V_{no}$ )



(g) 7N: SV-CMVR ( $V_{inha}$ )



(h) 7N: SV-CMVR ( $V_{no}$ )



(i) 7N: SV-CASTRO ( $V_{no}$ )

Figura 3.11: Resultados experimentais.

Na tabela 3.1 estão os valores de WTHD para o algoritmo proposto neste capítulo (SV-CMVR) e a estratégia baseada em portadoras em (Zhang et al., 2000) (LS-CMVR), para as frequências de chaveamento de  $720\text{Hz}$  e  $10\text{kHz}$ . Em todos os casos, a estratégia SV-CMVR apresentou melhores valores de distorção harmônica. Ambas estratégias seguem o princípio do chaveamento apenas com tensão de modo-comum nula.

Tabela 3.1: Resultados de simulação - WTHD(%).

Níveis (N)	$f_s = 720\text{ Hz}$		$f_s = 10\text{ kHz}$	
	SV-CMVR	LS-CMVR	SV-CMVR	LS-CMVR
3	3,340	3,870	0,281	0,353
5	1,780	2,222	0,135	0,148
7	1,050	1,303	0,073	0,090

### 3.7 Conclusões

Neste capítulo foi apresentado o problema da tensão de modo comum em máquinas elétricas e desenvolvido um algoritmo para escolha dos vetores utilizando a estratégia *SV-CASTRO* com o objetivo de eliminar a tensão de modo comum produzida pelo conjunto inversor-motor.

A estratégia apresentada foi comparada, através de simulações, com a estratégia original e foi atestada a degradação na composição da forma de onda de saída do inversor devido a quantidade reduzida de vetores que podem ser utilizados. Na aplicação da estratégia também há necessidade de mais de um chaveamento por período de modulação, que acarreta num aumento das perdas do inversor. A defasagem de  $30^\circ$  entre as tensões de referência e as tensões de saída do inversor podem ser compensadas internamente no controlador. Quando comparada com uma estratégia da literatura, o algoritmo proposto forneceu melhores resultados de distorção harmônica.

Resultados experimentais comprovaram a eficácia do algoritmo, porém a influência do tempo-morto do circuito de comando das chaves provoca o surgimento de pequenos períodos de tempo onde a tensão de modo-comum não é nula.

Quanto ao *hardware* utilizado para implementar o algoritmo para eliminação da tensão

de modo comum, não é possível utilizarmos *DSPs* com periféricos *PWM*, pois há necessidade de mais de uma transição das chaves em um mesmo período de modulação. Neste caso, os *FPGAs* são os mais indicados.

A eficácia do algoritmo trás como penalidade um aumento de até 100% no *WTHD* da tensão de linha do inversor. Caso haja necessidade de manter o *WTHD* em níveis equivalentes aos produzidos pela estratégia original, é necessário aumentar consideravelmente o número de níveis do inversor.

# 4

## Falhas em Inversores em Cascata

### 4.1 Introdução

A quantidade de componentes (chaves) utilizados em um inversor multinível varia proporcionalmente com o número de níveis segundo a expressão:  $6 \cdot (N - 1)$ . Com o aumento na quantidade de níveis, a probabilidade de falha do sistema aumenta na mesma proporção. Por isso, a detecção e operação dos inversores sob condições de falha são de extrema importância.

Uma das grandes vantagens dos Inversores Multiníveis em Cascata é a modularidade. Essa característica é amplamente explorada pelas técnicas de operação sob falha, principalmente devido a possibilidade de *bypass* das células defeituosas e da possibilidade de uso de células reserva (*standby*).

O objetivo deste capítulo é apresentar as principais técnicas utilizadas na literatura para operação do inversor multinível em cascata quando em condições de falha e aplicar a estratégia *space vector* apresentada nos capítulos anteriores.

### 4.2 Estratégias de Operação do Inversor em Cascata sob Condições de Falha

Nesta seção serão apresentadas as principais estratégias de operação do inversor em cascata sob condições de falha presentes na literatura. Nesse estudo não são consideradas

as técnicas para diagnóstico das falhas, é considerado que as falhas são conhecidas e será estudado o tratamento da falha.

### 4.2.1 *Bypass* de Células Operativas

O *bypass* de células consiste em retirar de operação a célula por meio de um contator ( $K$ ) como representado na Fig. 4.1. Quando a falta ocorre, o número de células operacionais por fase geralmente não é igual, resultando na aplicação de tensões desbalanceadas na carga. A estratégia de *bypass* consiste em retirar de operação quantas células foram necessárias, de forma a operar com o mesmo número de células por fase, garantido o balanceamento das tensões.

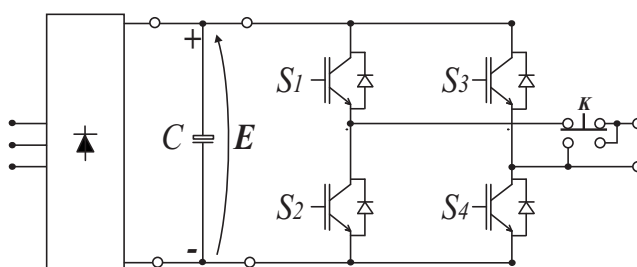


Figura 4.1: Célula do inversor em cascata com contato de *bypass*  $K$ .

Na Fig. 4.2 o princípio da estratégia de *bypass* está ilustrado através de um diagrama fasorial de um inversor de 11-níveis. Em 4.2(a) o inversor está em operação normal com as cinco células de cada fase operacionais. Na Fig. 4.2(b) temos a operação desbalanceada com uma célula em falha na fase  $b$  e duas células em falha na fase  $c$ , é fácil perceber os diferentes valores das tensões de linha sob essas condições. Na Fig. 4.2(c) foi feito o *bypass* de duas células na fase  $a$  e uma na fase  $b$ , restaurando o funcionamento balanceado do inversor.

O ponto-fracco da aplicação da estratégia de *bypass* é a diminuição da tensão do inversor. No exemplo da Fig. 4.2 apenas 60% da tensão inicial poderá ser utilizada após a aplicação da estratégia. A diminuição no número de células também provoca a diminuição do número de níveis do inversor e conseqüentemente o aumento nas distorções harmônicas das tensões produzidas.

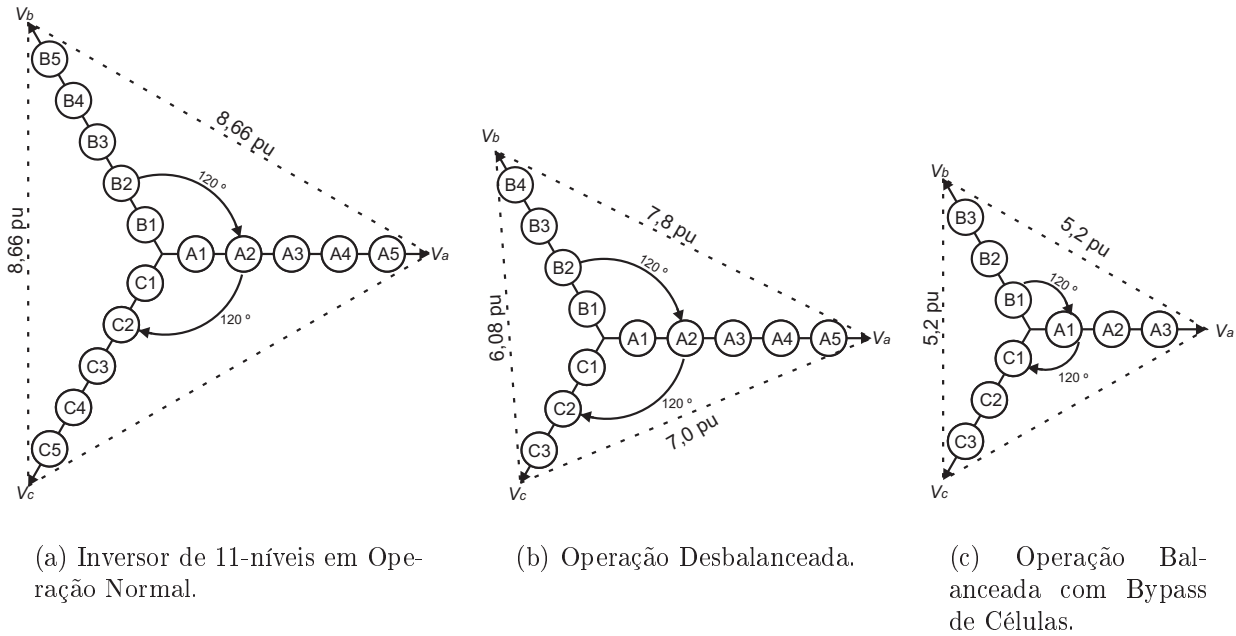


Figura 4.2: Diagrama fasorial de um inversor de 11-níveis.

#### 4.2.2 Uso de Células Redundantes

O conceito do uso de componentes redundantes já é bastante difundido na eletrônica de potência. Nos inversores em cascata, ao invés do uso de componentes discretos redundantes, são utilizadas células em redundância como mostrato no Fig. 4.3. Com o uso das células redundantes o número de componentes extras não cresce drasticamente e a confiabilidade do inversor não é comprometida.

Quando uma célula falha, ela é isolada do sistema através do *bypass* como na Fig. 4.1, em seguida a célula redundante entre em operação restabelecendo a operação normal do inversor. De acordo com (Song e Huang, 2007) com essa solução é possível manter a mesma confiabilidade de um inversor que utiliza todos os componentes redundantes, porém com um número mínimo de componentes extra.

No uso dessa solução, deve ser levado em conta as fontes adicionais que devem ser mantidas em *standby* para a entrada em operação apenas em caso de falhas. Por exemplo, considerando o uso do inversor como *driver* para acionamento de máquinas, são necessários enrolamentos adicionais no transformador de entrada. Caso o uso seja na geração de energia através de painéis fotovoltaicos, é necessário a adição de painéis extras que ficarão a maior

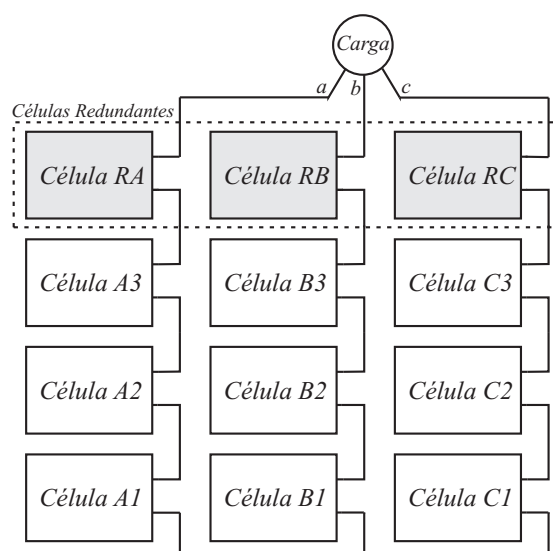


Figura 4.3: Inversor em cascata com células redundantes.

parte do tempo obsoletos. Em todos os casos, o uso de fontes adicionais aumenta os custos de produção e manutenção do inversor e pode ser um fator limitante quanto ao uso dessa estratégia.

### 4.2.3 Deslocamento do Neutro

A estratégia de deslocamento do neutro consiste em obter novos ângulos entre as tensões de fase do inversor após a falha. Esse método aproveita-se do fato do ponto central do inversor não estar conectado ao neutro da carga. Na Fig. 4.4 o inversor de 11-níveis da Fig. 4.2 teve seus ângulos reajustados quando em falha. Desta forma, foi possível obter uma tensão balanceada de 77% da tensão quando em operação sem falhas.

Os novos ângulos entre as tensões podem ser calculados algebricamente através de identidades trigonométricas como em (Rodriguez et al., 2005). Segundo (Hammond, 2002), o deslocamento do neutro é equivalente a induzirmos uma componente de sequência zero nas tensões de referência do inversor, o autor propôs o método de controle em malha fechada ilustrado na Fig. 4.5 para redução da tensão de pico e deslocamento do neutro. No método, os ganhos  $Ka$ ,  $Kb$  e  $Kc$  são inversamente proporcionais a quantidade células em falha em cada fase e a componente de sequência zero é obtida após a integração da soma dos valores máximos e mínimos de cada fase.



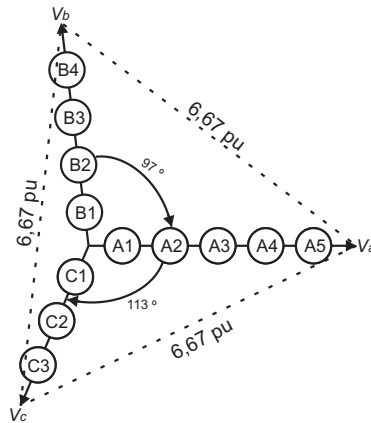


Figura 4.4: Diagrama fasorial de um inversor de 11-níveis com deslocamento do neutro.

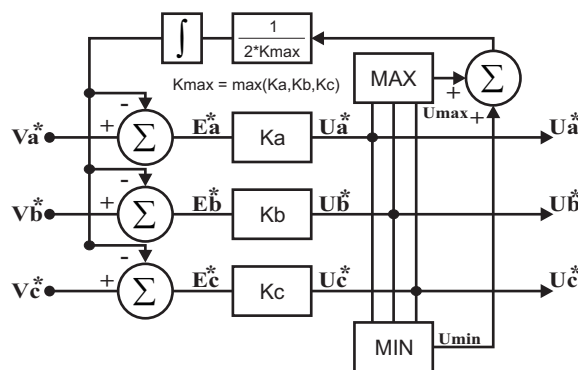


Figura 4.5: Estratégia de controle para deslocamento do neutro.

Em (Hammond, 2002) são também discutidas algumas precauções na operação do inversor com deslocamento do neutro para acionamento de máquinas, como o fator de potência mínimo do motor e o aumento das distorções harmônicas das tensões de entrada e saída.

Se comparado ao bypass de células operativas, a estratégia de deslocamento do neutro possui a vantagem de produzir tensões balanceadas maiores através da utilização de todas as células operacionais do inversor.

#### 4.2.4 Uso de Estados Redundantes

A presença de estados de chaveamento redundantes é uma característica bastante conhecida dos inversores multiníveis. Através da modulação *space vector* é possível escolher quais estados serão aplicados ao inversor. Como já descrito nos capítulos anteriores, a escolha dos estados depende do objetivo da estratégia. Com o inversor sob condições de falha, há um impacto na escolha dos estados, pois alguns deles não poderão mais ser utilizados e

são considerados como inválidos. Utilizando este conceito, alguns autores propõem soluções para controle do inversor sob falhas utilizando a modulação *space vector* como em (Wei et al., 2003b) e (Zang et al., 2006).

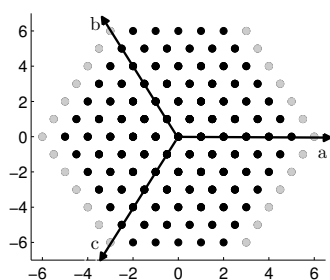
Considerando um inversor de 7-níveis em operação normal, os sete estados (0 - 6) do inversor são válidos nas três fases e a tensão de saída pode variar entre  $-3E$  e  $3E$ . Caso ocorra falha em uma das células na fase  $a$ , a tensão nessa fase fica restrita entre  $-2E$  e  $2E$  e os estados de chaveamento 0 e 6 passam a ser considerados inválidos. Para este caso, apenas os setores 2 e 5 do diagrama vetorial não são afetados. Na tabela 4.1 estão descritas as localizações de todos os setores afetados pelas falhas em cada uma das fases.

Tabela 4.1: Setores afetados pela falhas.

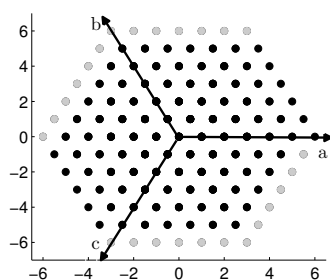
Fase em Falha	Setor Afetado					
	I	II	III	IV	V	VI
<i>Fase a</i>	•		•	•		•
<i>Fase b</i>		•	•		•	•
<i>Fase c</i>	•	•		•	•	

Na Fig. 4.6 estão ilustrados os diagramas vetoriais para diferentes casos de falhas em um inversor de 7-níveis. Os pontos em cinza representam os vetores indisponíveis que foram afetados pela falha e os pretos os que podem ser utilizados. Seguindo o descrito na Tabela 4.1, em 4.6(a) - 4.6(c) temos os diagramas para apenas uma falha nas fases  $a$ ,  $b$  e  $c$ , respectivamente. Nos demais gráficos 4.6(d) - 4.6(i) é possível notar que o diagramas resultantes das falhas são combinações dos três primeiros casos, como em 4.6(d) que é uma soma dos vetores inválidos em 4.6(a) e 4.6(b).

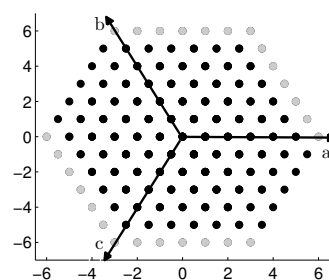
A medida que mais células tornam-se indisponíveis o diagrama vetorial reduz-se a tamanhos cada vez menores como na Fig. 4.6(h). Como consequência dessa redução, as tensões de referência do inversor ficam reduzidas a limites cada vez menores e o vetor de referência deve estar sempre dentro do maior hexágono formado por vetores válidos. Em 4.6(i) é interessante notar que mesmo com todas as células da fase  $a$  indisponíveis, é possível produzir tensões de linha balanceadas a partir dos estados redundantes, porém com tensões de fase desequilibradas.



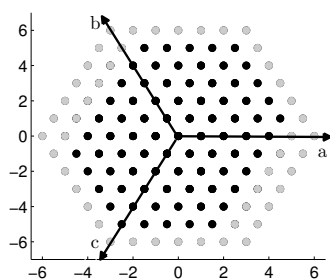
(a) Célula em Falha: A1.



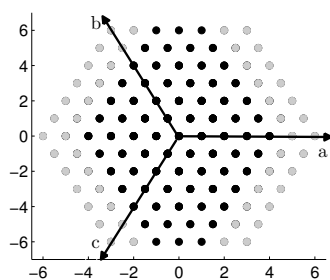
(b) Célula em Falha: B1.



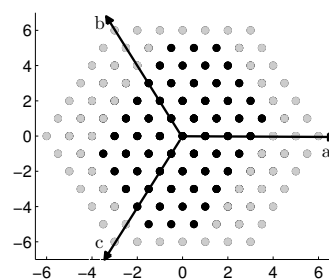
(c) Célula em Falha: C1.



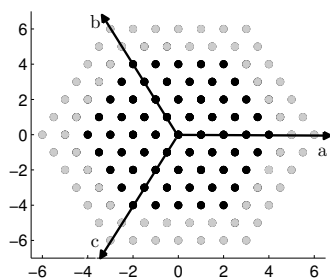
(d) Células em Falha: A1 e B1.



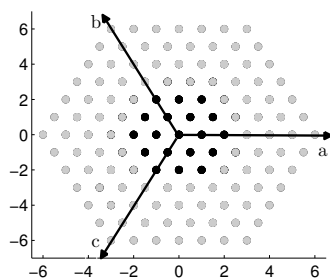
(e) Células em Falha: A1 e A2.



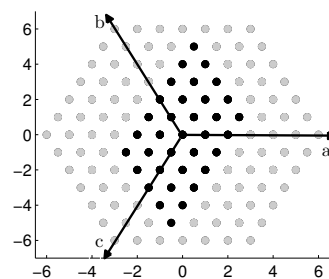
(f) Células em Falha: A1, A2 e B1.



(g) Células em Falha: A1, B1 e C1.



(h) Células em Falha: A1, A2, B1, B,2 C1 e C2.



(i) Células em Falha: A1, A2, A3 e B1.

Figura 4.6: Exemplos de diagramas vetoriais resultantes de falhas em um inversor de 7-níveis.

### 4.3 Modulação *Space Vector* para Inversores em Cascata sob Condições de Falha

Como visto na seção anterior, com o inversor sob condições de falha, ainda existem vetores válidos que podem ser utilizados. Para produzir tensões de saída balanceadas, é possível utilizar os estados redundantes do inversor. Nesta seção será desenvolvido a estratégia *SV*-

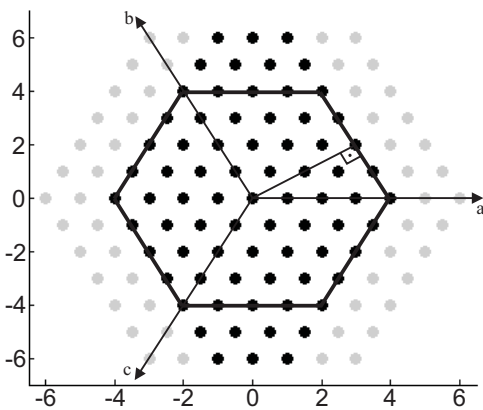
*CASTRO* para aplicação nos inversores em cascata quando em falha de uma ou mais células. O algoritmo é baseado na redução tamanho do vetor de referência e na escolha de estados de chaveamento válidos buscando a redução das distorções harmônicas.

### 4.3.1 Cálculo do Vetor de Referência Máximo

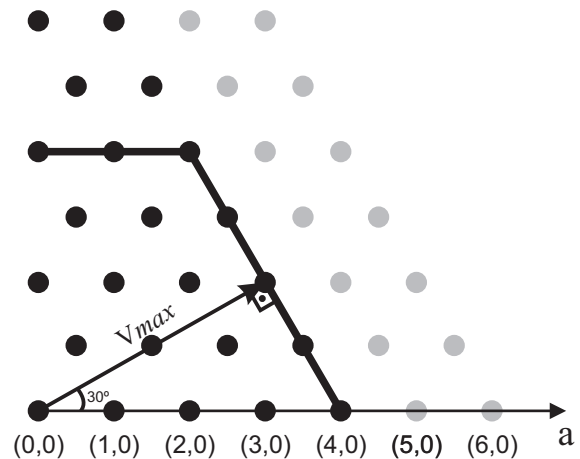
Como mostrado na Fig. 4.6, a falha em uma ou mais células do inversor provoca a diminuição dos vetores válidos que podem ser utilizados na modulação. Com isso, há uma diminuição da maior região hexagonal que pode ser formada pelos vetores válidos, e consequentemente há uma redução do tamanho máximo do vetor de referência que pode ser aplicado.

Na Fig. 4.7(a) é mostrado a máxima região hexagonal que pode ser formada por vetores válidos quando as células *A1* e *A2* estão em falha. O detalhe do diagrama vetorial mostrando o máximo vetor de referência está ilustrado na Fig. 4.7(b). Nesse caso, podemos calcular o comprimento do vetor de referência máximo como:

$$|\vec{V}_{refmax}| = 4 \cdot \cos(30^\circ) = 4 \cdot \frac{\sqrt{3}}{2} \quad (4.1)$$



(a) Região Hexagonal Resultante de Falhas em: *A1* e *A2*.



(b) Detalhe da Região Hexagonal.

Figura 4.7: Cálculo do vetor de referência máximo para o inversor em falha.

Da Fig.4.7, podemos observar que no primeiro setor duas camadas do diagrama vetorial

foram afetadas. Dependendo da quantidade de células e das fases afetadas, alguns setores do diagrama vetorial serão mais afetados que outros e a quantidade de camadas não serão iguais. Para calcular a quantidade de camadas afetadas por setor, devemos seguir a Tabela 4.1, resultando nas equações de (4.2) a (4.7), onde  $F_x$  é a quantidade de camadas afetadas em cada setor e  $C_x$  a quantidade de células defeituosas em cada fase. Para caso da Fig. 4.7, duas células estão em falha na fase  $a$ , portanto  $C_a = 2$ ,  $C_b = 0$ ,  $C_c = 0$  e  $F_I = F_{III} = F_{IV} = F_{VI} = 2$ .

$$F_I = C_a + C_c \quad (4.2)$$

$$F_{II} = C_b + C_c \quad (4.3)$$

$$F_{III} = C_a + C_b \quad (4.4)$$

$$F_{IV} = C_a + C_c \quad (4.5)$$

$$F_V = C_b + C_c \quad (4.6)$$

$$F_{VI} = C_a + C_b \quad (4.7)$$

A máxima região hexagonal válida depende sempre da quantidade de camadas do setor mais afetado, portanto devemos definir a quantidade máxima de camadas afetadas nos seis setores:

$$F_{max} = \max\{F_I, F_{II}, F_{III}, F_{IV}, F_V, F_{VI}\} \quad (4.8)$$

Podemos, então, recalcular o comprimento máximo do vetor de referência através da quantidade máxima de camadas afetadas. Para o exemplo da Fig. 4.7 temos:

$$F_{max} = 2 \quad (4.9)$$

$$|\vec{V}_{refmax}| = (N - 1 - F_{max}) \cdot \cos(30^\circ) \quad (4.10)$$

$$|\vec{V}_{refmax}| = (7 - 1 - 2) \cdot \frac{\sqrt{3}}{2} = 4 \cdot \frac{\sqrt{3}}{2} \quad (4.11)$$

Na Tabela 4.2 estão listadas todas as possibilidades para a quantidade máxima de camadas defeituosas ( $F_{max}$ ), o comprimento máximo do vetor de referência.

Portanto, o primeiro passo do algoritmo é limitar a amplitude do vetor de referência à valores menores ou iguais aos calculados pela equação 4.12.

Tabela 4.2: Quantidade máxima de camadas afetadas e vetor de referência.

$F_{max}$	0	1	2	3	4	5	6
$V_{refmax}$	$3 \cdot \sqrt{3}$	$2,5 \cdot \sqrt{3}$	$2 \cdot \sqrt{3}$	$1,5 \cdot \sqrt{3}$	$\sqrt{3}$	$0,5 \cdot \sqrt{3}$	0
$V_{refmax}(\%)$	100	83,33	66,67	50,00	33,33	16,67	0

$$|\vec{V}_{refmax}| = (N - 1 - F_{max}) \cdot \cos(30^\circ) \quad (4.12)$$

Dessa forma, para disponibilizar a tensão máxima de saída, as tensões de referência devem ser multiplicadas pelo ganho  $G$  em 4.13.

$$G = \frac{2 \cdot (N - 1) - F_{max}}{m \cdot E \cdot (N - 1)} \quad (4.13)$$

### 4.3.2 Seleção dos Estados de Chaveamento

Como discutido anteriormente, com a falha do inversor alguns estados de chaveamento tornarão-se inválidos. Após a aplicação *SV-CASTRO* como desenvolvido em capítulos anteriores, é necessário modificar o processo de escolha dos estados de chaveamento para contemplar os novos estados inválidos.

Na Fig. 4.8 está ilustrado uma sub-região do diagrama vetorial da Fig. 4.7. Com duas células em falha na fase  $a$ , a tensão nessa fase fica limitada ao intervalo  $[-E E]$ . Portanto, os estados de chaveamento que iniciem com 0, 1, 5 ou 6 serão considerados inválidos. Nos triângulos  $b$  e  $c$  da Fig. 4.8 os estados inválidos devido às falhas estão marcados em vermelho e não poderão ser utilizados. É importante lembrar que caso as falhas tivessem ocorrido nas fases  $b$  ou  $c$  haveria uma mudança de quais estados seriam validos ou inválidos na Fig. 4.8.

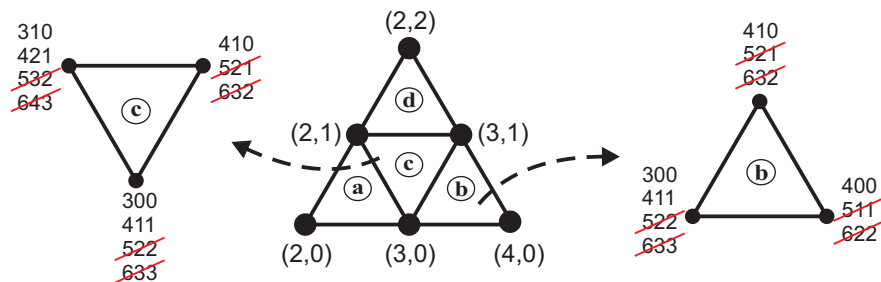


Figura 4.8: Escolha dos estados de chaveamento para inversor com duas células em falha na fase  $a$ .

Para definir a validade dos vetores após a aplicação de 2.20, podemos utilizar a quantidade de células em falha por fase ( $C_x$ ). O estado válido deve obedecer às seguintes inequações:

$$C_a \leq X_a \leq N - 1 - C_a \quad (4.14)$$

$$C_b \leq X_b \leq N - 1 - C_b \quad (4.15)$$

$$C_c \leq X_c \leq N - 1 - C_c \quad (4.16)$$

onde  $X_{(a,b,c)}$  são as coordenadas das três fases nos estados de chaveamento.

Para otimizar a busca pelos novos estados válidos, as inequações só precisam ser testadas nas coordenadas onde houve falha.

Após a obtenção de todos os estados válidos, é possível aplicar os mesmos conceitos desenvolvidos anteriormente sobre vetores pares e ímpares, com o objetivo de minimizar as distorções harmônicas. No triângulo *b* da Fig. 4.8, temos dois estados ímpares e um par, portanto apenas uma sequência de chaveamento válida. No triângulo *c* temos duas sequências possíveis e dois vetores pares e um ímpar.

Para os estados ímpares a escolha do vetor será através da equação 4.17, onde  $V_{maior}$  são as coordenadas do maior vetor válido e  $V_{menor}$  as do menor vetor.

$$V_{impar} = \frac{V_{maior} + V_{menor}}{2} \quad (4.17)$$

Para os vetores pares serão escolhidos dois estados, um chamado de *small* e outro de *large*. Os vetores pares são obtidos a partir das equações 4.18 e 4.19.

$$V_{par-small} = \frac{V_{maior} + V_{menor} - 1}{2} \quad (4.18)$$

$$V_{par-large} = \frac{V_{maior} + V_{menor} + 1}{2} \quad (4.19)$$

Como exemplo, para o triângulo *b* podemos obter o estado ímpar [400] aplicando 4.17 com  $V_{maior}$  igual a  $V_{menor}$ :

$$\begin{bmatrix} 4 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} \frac{4+4}{2} \\ \frac{0+0}{2} \\ \frac{0+0}{2} \end{bmatrix} \quad (4.20)$$

Os estados [300] e [411] são obtidos através de 4.18 e 4.19:

$$\begin{bmatrix} 3 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} \frac{4+3-1}{2} \\ \frac{1+0-1}{2} \\ \frac{1+0-1}{2} \end{bmatrix} \quad (4.21)$$

$$\begin{bmatrix} 4 \\ 1 \\ 1 \end{bmatrix} = \begin{bmatrix} \frac{4+3+1}{2} \\ \frac{1+0+1}{2} \\ \frac{1+0+1}{2} \end{bmatrix} \quad (4.22)$$

Eventualmente, de acordo com a combinação de células em falha em cada fase, é possível termos três vetores ímpares em um só triângulo. Na Fig. 4.9 está ilustrada uma região triangular de um inversor de 7-níveis com duas células em falha na fase  $a$  e uma na fase  $b$ . Para esse triângulo, devido à impossibilidade de uso de todos os estados, cada um dos três vetores produz três estados válidos, ou seja, três vetores ímpares. Portanto, utilizando 4.17 serão escolhidos apenas três vetores. Nesse caso, há apenas uma sequência de chaveamento possível.

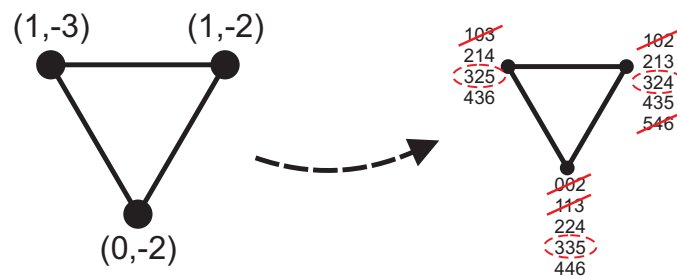


Figura 4.9: Região triangular com três vetores ímpares.

Após a seleção dos estados, deve-se garantir um padrão de chaveamento de forma a minimizar as distorções, garantindo a comutação única e em apenas um nível de tensão das chaves, e revertendo a sequência de aplicação dos vetores na metade do período de chaveamento.

### 4.3.3 Resumo do Algoritmo

Para a aplicação do algoritmo para controle do inversor sob condições de falha, é necessário o uso de alguma técnica para encontrar quantas e quais células do inversor estão em falha. A partir daí, a aplicação do algoritmo pode ser resumida nos seguintes passos:

- **Passo 1:** Calcular a quantidade de camadas do diagrama vetorial afetadas a partir do



número de células em falha em cada fase.

$$\begin{cases} F_I = C_a + C_c \\ F_{II} = C_b + C_c \\ F_{III} = C_a + C_b \\ F_{IV} = C_a + C_c \\ F_V = C_b + C_c \\ F_{VI} = C_a + C_b \end{cases}$$

$$F_{max} = \max\{F_I, F_{II}, F_{III}, F_{IV}, F_V, F_{VI}\} \quad (4.23)$$

- **Passo 2:** Aplicar os ganhos às tensões de referência para disponibilizar a tensão máxima na saída.

$$V_{ab}^* = G \cdot \frac{V_{ll}}{V_{dc}} \cdot \cos(w \cdot t) = G \cdot (N - 1) \cdot \cos(w \cdot t) \quad (4.24)$$

$$V_{bc}^* = G \cdot (N - 1) \cdot \cos(w \cdot t - 2 \cdot \pi/3) \quad (4.25)$$

$$V_{ca}^* = G \cdot (N - 1) \cdot \cos(w \cdot t - 4 \cdot \pi/3) \quad (4.26)$$

$$G = \frac{2 \cdot (N - 1) - F_{max}}{m \cdot E \cdot (N - 1)} \quad (4.27)$$

- **Passo 3:** Detecção dos três vetores próximos através através de 4.28 e da avaliação do sinal da equação 4.29.

$$\begin{aligned} \vec{V}_{ul} &= \begin{bmatrix} \lceil V_{ab}^* \rceil \\ \lfloor V_{bc}^* \rfloor \end{bmatrix} & \vec{V}_{lu} &= \begin{bmatrix} \lfloor V_{ab}^* \rfloor \\ \lceil V_{bc}^* \rceil \end{bmatrix} \\ \vec{V}_{uu} &= \begin{bmatrix} \lceil V_{ab}^* \rceil \\ \lceil V_{bc}^* \rceil \end{bmatrix} & \vec{V}_{ll} &= \begin{bmatrix} \lfloor V_{ab}^* \rfloor \\ \lfloor V_{bc}^* \rfloor \end{bmatrix} \end{aligned} \quad (4.28)$$

$$V_{ab}^* + V_{bc}^* - (V_{ulab} + V_{ulbc}) > 0 \quad (4.29)$$

- **Passo 4:** Calcular os *duty cycles*.

$$\begin{aligned} d_{ul} &= V_{ab}^* - V_{llab} \\ d_{lu} &= V_{bc}^* - V_{llbc} \end{aligned} \quad (4.30)$$

$$d_{ll} = 1 - d_{ul} - d_{lu}$$

e para  $\vec{V}_3 = \vec{V}_{uu}$ :

$$\begin{aligned} d_{ul} &= -(V_{bc}^* - V_{uu bc}) \\ d_{lu} &= -(V_{ab}^* - V_{uu ab}) \\ d_{ll} &= 1 - d_{ul} - d_{lu} \end{aligned} \quad (4.31)$$

- **Passo 5:** Obter todos os estados de chaveamento através da aplicação de 4.32 e eliminar os estados inválidos utilizando as inequações 4.33 - 4.35.

$$\begin{bmatrix} k \\ k - ab \\ k - ab - bc \end{bmatrix} \quad (4.32)$$

onde  $k, k - ab, k - ab - bc \in [0, N - 1]$ .

$$C_a \leq k \leq N - 1 - C_a \quad (4.33)$$

$$C_b \leq k - ab \leq N - 1 - C_b \quad (4.34)$$

$$C_c \leq k - ab - bc \leq N - 1 - C_c \quad (4.35)$$

- **Passo 6:** Após a obtenção de todos os estados válidos, devemos calcular os vetores pares e ímpares e formar a sequência de chaveamento de acordo com a quantidade de vetores ímpares e pares, respeitando a sequência com apenas um chaveamento por período em cada fase e invertendo a sequência na metade do período.

$$V_{\text{impar}} = \frac{V_{\text{maior}} + V_{\text{menor}}}{2} \quad (4.36)$$

$$V_{\text{par-small}} = \frac{V_{\text{maior}} + V_{\text{menor}} - 1}{2} \quad (4.37)$$

$$V_{\text{par-large}} = \frac{V_{\text{maior}} + V_{\text{menor}} + 1}{2} \quad (4.38)$$

## 4.4 Resultados de Simulação e Experimentais

Nesta seção serão apresentados os resultados de simulação para aplicação do algoritmo em um inversor de 7-níveis em falha. Será também realizada uma análise de desempenho utilizando como parâmetro de comparação o WTHD e a técnica de deslocamento de neutro ilustrada na Fig. 4.5.

Nas Figuras 4.10, 4.11 e 4.12 estão ilustrados, respectivamente, os resultados de simulação para as tensões de polo, tensões de linha e correntes, em um inversor de 7-níveis com duas células em falha na fase  $a$  e uma na fase  $b$ . As falhas ocorrem no instante de tempo igual a  $0.06s$  e em  $0.14s$  é iniciado o algoritmo para operação do inversor com falhas.

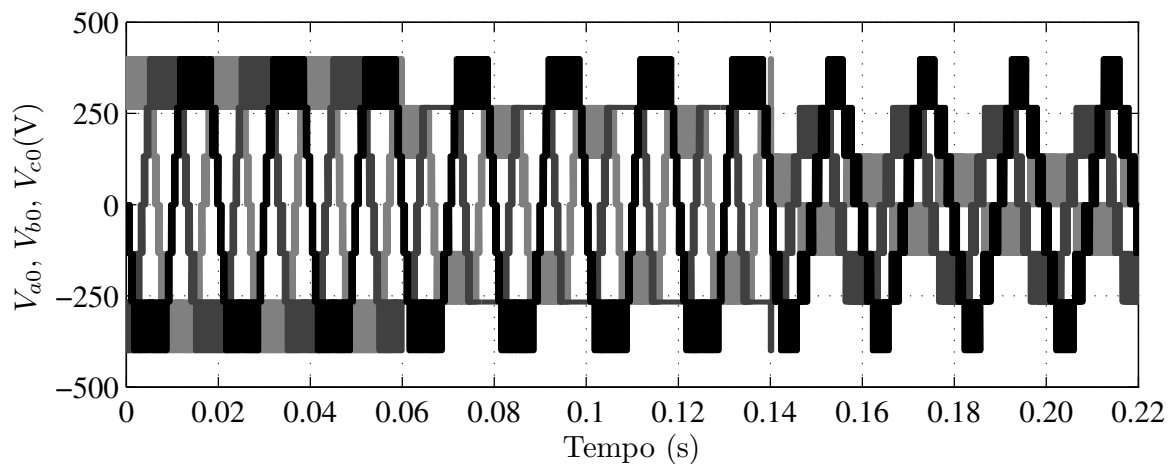


Figura 4.10: Tensões de polo para um inversor de 7-níveis com duas células em falha na fase  $a$  e uma na fase  $b$ .

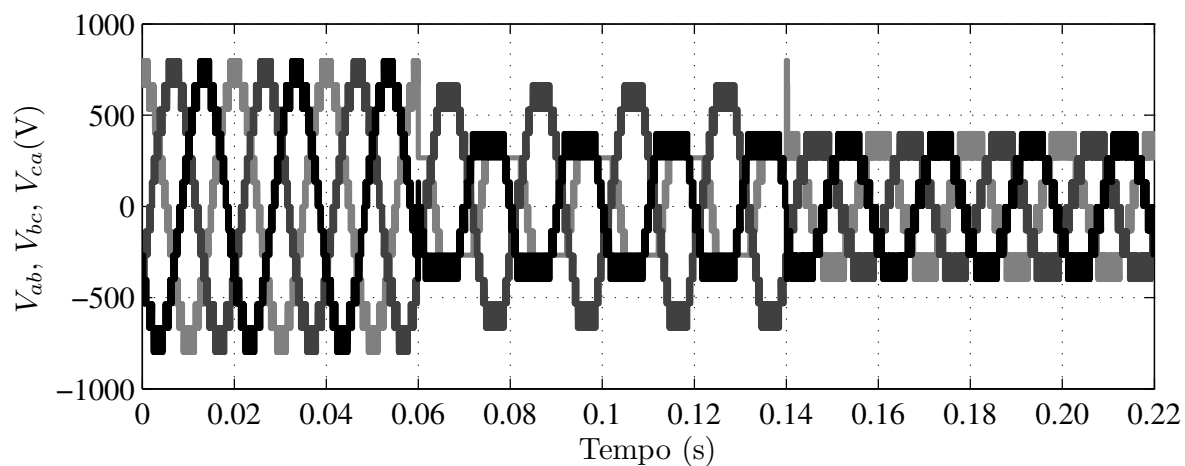


Figura 4.11: Tensões de linha para um inversor de 7-níveis com duas células em falha na fase  $a$  e uma na fase  $b$ .

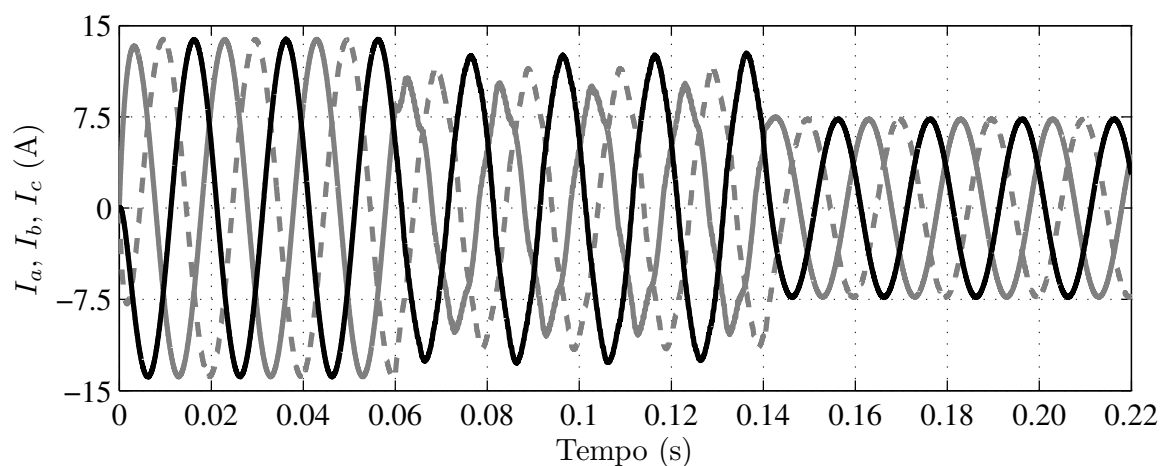


Figura 4.12: Correntes para um inversor de 7-níveis com duas células em falha na fase  $a$  e uma na fase  $b$ .

Nas Figuras 4.13 e 4.14 temos, respectivamente, as tensões de linha e correntes quando todas as células da fase  $a$  e uma célula da fase  $b$  estão em falha. Apesar de todas as células na fase  $a$  estarem em falha, ainda é possível obter correntes balanceadas através do uso dos estados redundantes.

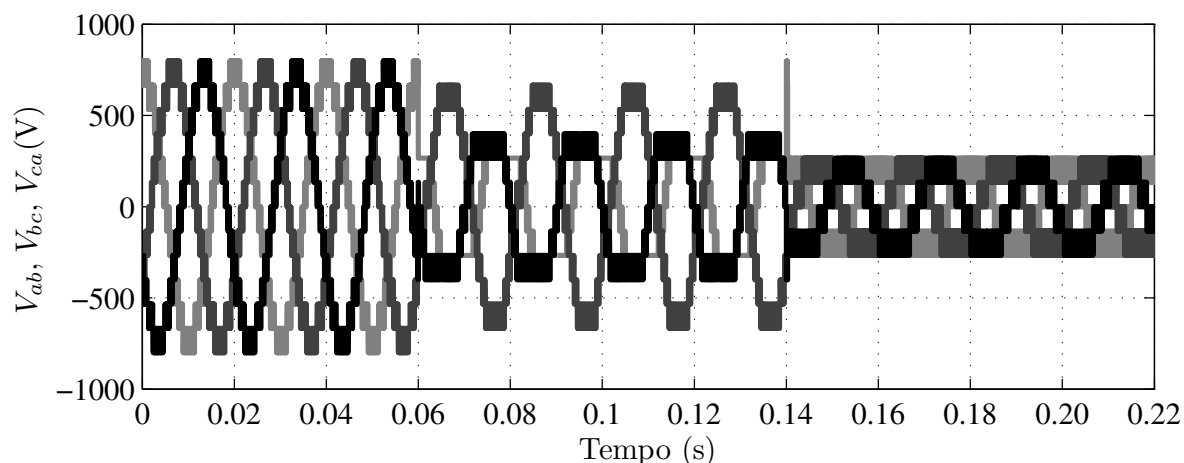


Figura 4.13: Tensões de linha para um inversor de 7-níveis com três células em falha na fase  $a$  e uma na fase  $b$ .

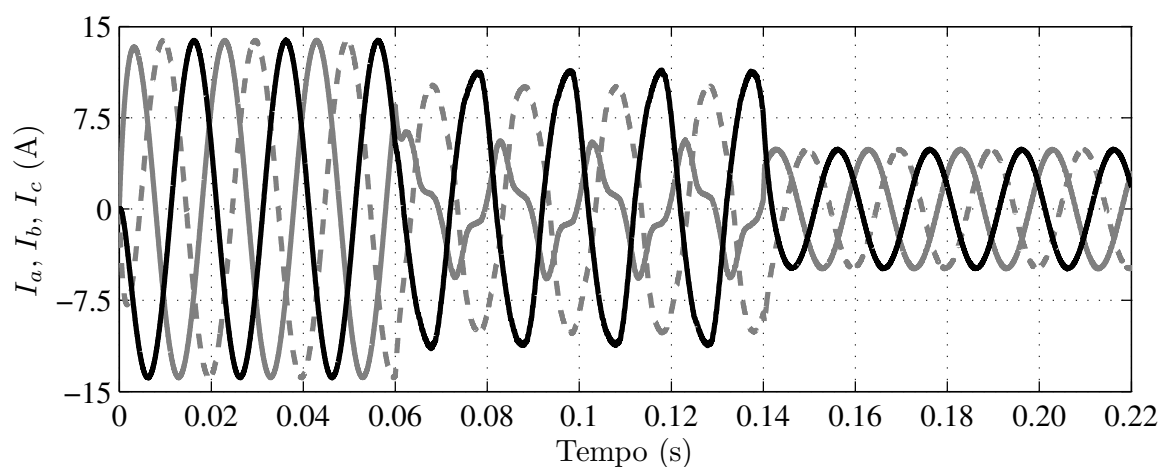


Figura 4.14: Correntes para um inversor de 7-níveis com três células em falha na fase  $a$  e uma na fase  $b$ .

Na fig. 4.15 estão ilustrados os resultados experimentais para o algoritmo proposto neste capítulo. Os resultados foram obtidos utilizando o conversor em cascata e carga descritos anteriormente no capítulo 1. Para o *bypass* das células em falhas não utilizado um contator auxiliar, foi feito um grampeamento as chaves superiores.

Os resultados foram obtidos para um inversor de 7-níveis para as combinações de falhas descritas na tabela 4.3. Na primeira combinação (F1: figuras 4.15(a), 4.15(b) e 4.15(c)) temos

duas células em falha na fase  $a$  e uma na fase  $b$ . Na segunda combinação (F2: figuras 4.15(d), 4.15(e) e 4.15(f)) temos as fases  $a$  e  $b$  com duas células em falha. Na última combinação (F3: figuras 4.15(a), 4.15(b) e 4.15(c)) todas as células estão em falha na fase  $a$  e uma na fase  $b$ . Assim como nos resultados de simulação, em todas as figuras estão ilustrados o funcionamento do inversor sem falhas, durante a falha e após aplicação do algoritmo para operação sob condições de falha. Pode-se perceber que com a aplicação do algoritmo as correntes e tensões de linha são balanceadas, comprovando o correto funcionamento do algoritmo proposto

Tabela 4.3: Combinações de falhas para os resultados experimentais.

Falha	Células em falha		
	Fase a	Fase b	Fase c
<b>F1</b>	2	1	0
<b>F2</b>	2	2	0
<b>F3</b>	3	1	0

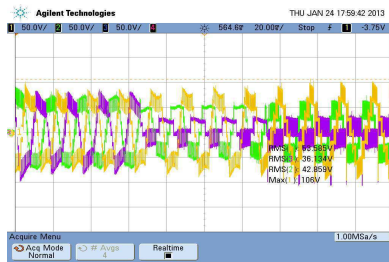
#### 4.4.1 Análise de Desempenho

O algoritmo proposto será comparado com a estratégia da Fig.4.5 aplicada à modulação  $LS - PWM - EP$  apresentada no capítulo 2. A comparação será em termos de WTHD das tensões de linha e da máxima tensão de saída após a falha. Serão utilizadas as combinações de falha da Tabela 4.4 para o estudo.

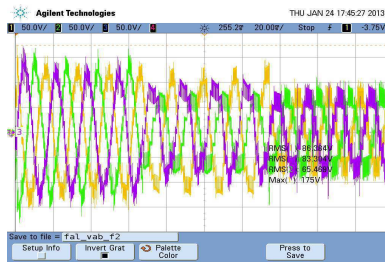
Tabela 4.4: Combinações de falhas.

Combinação	1	2	3	4	5	6
<b>Ca</b>	1	1	2	2	2	3
<b>Cb</b>	0	0	0	1	2	1
<b>Cc</b>	0	1	0	1	1	1

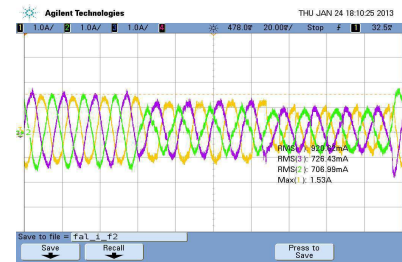
Na Fig. 4.16 temos os valores de WTHD das tensões de linha para frequências de chaveamento de  $720Hz$  (Fig.4.16(a)) e  $10kHz$  (Fig.4.16(b)) nas condições de falha da Tabela 4.4. Para todas as combinações de falha, o algoritmo proposto forneceu melhores resultados de WTHD para as duas frequências de chaveamento utilizadas.



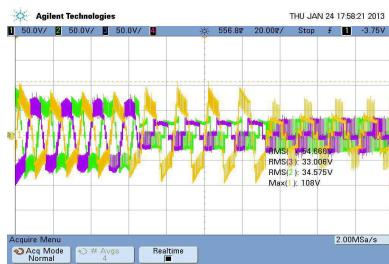
(a) F1: Tensão de polo



(b) F1: Tensão de linha



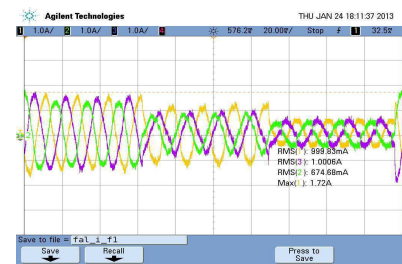
(c) F1: Correntes



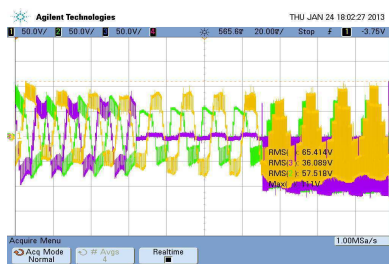
(d) F2: Tensão de polo



(e) F2: Tensão de linha



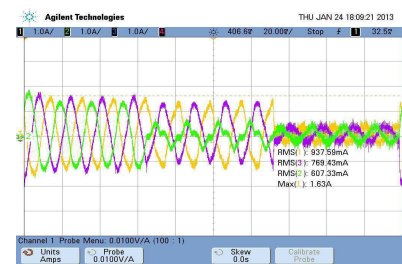
(f) F2: Correntes



(g) F3: Tensão de polo



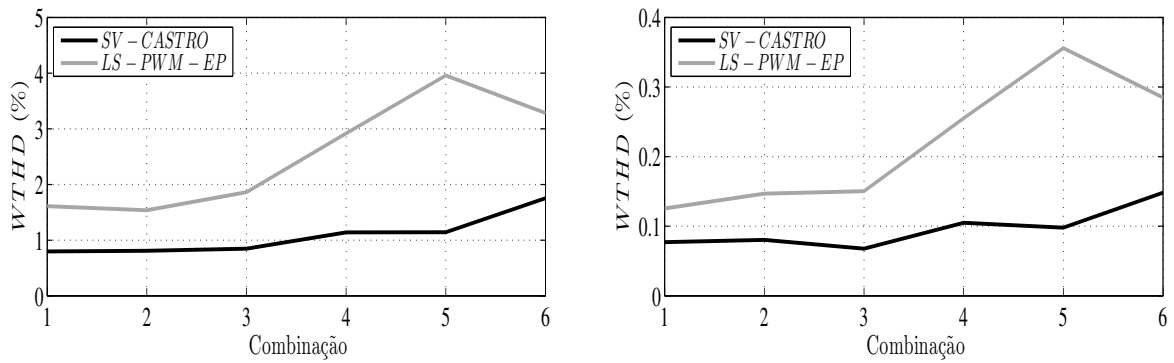
(h) F3: Tensão de linha



(i) F3: Correntes

Figura 4.15: Resultados experimentais.

Em termos das tensões de linha máximas disponíveis após as falhas, as duas estratégias apresentam os mesmos valores limites para as tensões. Na Fig. 4.17 estão ilustrados os valores máximos para as tensões de linha de acordo com as combinações de falhas.



(a) 720Hz.

(b) 10kHz.

Figura 4.16: WTHD x falhas.

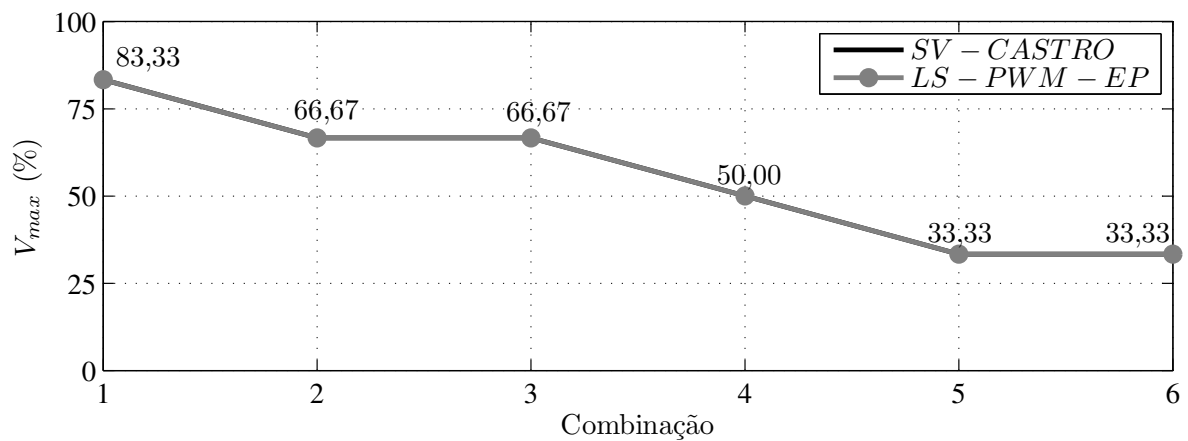


Figura 4.17: Tensões de linha máximas disponíveis em um inversor de 7-níveis em falha.

A diminuição do valor máximo do vetor de referência em consequência das falhas implica em resultados semelhantes à diminuição do índice de modulação em inversores operando sob condições normais, onde há um aumento das distorções harmônicas. O surgimento de novos vetores inválidos impossibilita a escolha ótima dos vetores e contribui para o aumento do WTHD. Contudo, o algoritmo proposto obteve melhores resultados para distorções harmônicas e mesma tensão de saída da estratégia de deslocamento de neutro.

## 4.5 Conclusões

Neste capítulo foram apresentadas as principais estratégias da literatura para operação do inversor multinível em cascata sob condições de falhas. Também foi proposto um

algoritmo *space vector* baseado na redução do vetor de referência e na escolha dos estados de chaveamento considerando os estados inválidos devido às falhas, visando também a diminuição das distorções harmônicas.

Com o uso de células redundantes são obtidos os melhores resultados para a máxima tensão de saída do inversor e distorções, pois há substituição total da célula defeituosa. Porém, há um custo adicional na construção do inversor. O uso de apenas uma célula reserva por fase não assegura a operação adequada quando há falha em mais de uma célula. Portanto, o aumento do número de níveis do inversor provoca um aumento na probabilidade de falhas, e o custo do uso de células redundantes para diminuir essa probabilidade pode tornar-se um fator limitante para a aplicação dessa solução.

O algoritmo proposto utiliza os estados redundantes para operação do inversor sob falhas e foi comparado com a estratégia de deslocamento de neutro utilizando a modulação *LS – PWM – EP* apresentada no capítulo 2. Os resultados comprovam um melhor WTHD da tensão de linha para o algoritmo proposto. Quando comparadas em termos da tensão máxima de saída, as duas estratégias apresentaram os mesmos resultados. Portanto, há uma vantagem no uso do algoritmo *space vector* devido aos melhores resultados de WTHD.

Quanto à implementação em hardware há uma maior complexidade para aplicação do algoritmo proposto devido à necessidade de seleção dos vetores. A estratégia *SV – CASTRO* é mais indicada para implementação utilizando *FPGAs*, enquanto as estratégias de deslocamento de neutro podem ser aplicadas à modulações baseadas em portadora e facilmente implementadas em microcontroladores.

Ainda como contribuição do trabalho, o algoritmo apresentado foi generalizado para inversores de N-níveis, em qualquer combinação de falha, e sua aplicação em *Matlab* está descrita no Apêndice A.



# 5

## Conclusões Gerais

As vantagens dos conversores multiníveis em termos da qualidade das formas de onda de saída e das perdas já foram divulgadas no meio acadêmico. Seu uso de na indústria começa a ser difundido, em aplicações de média tensão e alta potência, principalmente como *driver* para acionamento de máquinas. Os inversores em cascata possuem como principal característica construtiva a modularidade, que mostrou-se uma vantagem em relação às outras topologias básicas.

As estratégias de modulação são as principais funções de controle dos conversores multiníveis. Este trabalho propôs soluções, através da aplicação da modulação do tipo *space vector*, para três diferentes objetivos de operação dos inversores multiníveis: diminuição das distorções harmônicas, eliminação da tensão de modo comum e operação sob condições de falha. Todas as três aplicações propostas partiram de um algoritmo principal e foram baseadas basicamente na escolha dos vetores e dos estados de chaveamento.

Na diminuição das distorções harmônicas, foi descrita a escolha ótima dos vetores e os resultados mostram a superioridade da técnica quando comparada com técnicas escalares e híbridas da literatura.

Na eliminação da tensão de modo comum, o algoritmo proposto é aplicável em inversores apenas com número ímpar de níveis, devido a necessidade de obtenção do diagrama vetorial reduzido. A comparação com o algoritmo para diminuição das distorções harmônicas mostrou a influência prejudicial da escolha dos vetores e dos chaveamentos, aumentando as distorções

harmônicas das formas de onda de saída. O algoritmo mostrou-se simples e eficiente em eliminar as tensões de modo comum em inversores de N-níveis.

O algoritmo proposto para a operação do inversor sob condições de falhas, também mostrou-se eficiente e com melhores resultados quando comparado com a técnica de deslocamento de neutro. Sua aplicação também é adequada para inversores em cascata de N-níveis.

Quanto ao esforço computacional, os três algoritmos propostos não dependem do número de níveis e são indicados para aplicação em *FPGAs*, que pode ser um fator limitante.

A flexibilidade na escolha dos estados de chaveamento proporcionada pela estratégia *space vector* é a grande vantagem dessa técnica. Que mostrou, através dos algoritmos propostos, independência do número de níveis do inversor, eficiência na solução dos objetivos e melhores resultados quando comparada com outras técnicas. Dessa forma, podemos eleger essa estratégia como a solução mais indicada ao controle dos conversores multiníveis, independente da aplicação e do objetivo do controle.

## 5.1 Trabalhos Futuros

A partir do exposto neste trabalho, podemos elencar as seguintes propostas para continuação dos estudos:

- Implementar os algoritmos apresentados em FPGA;
- Desenvolver algoritmo para o balanceamento de capacitores nas estruturas NPC;
- Estudar a influência do tempo-morto no algoritmo de eliminação da tensão de modo comum;
- Desenvolver algoritmo unindo os conceitos de eliminação da tensão de modo comum e operação sob falhas;
- Avaliar o uso de fonte tipo-Z nas células dos inversores em cascata operando sob condições de falhas;
- Avaliar o funcionamento de estruturas híbridas de células para os inversores em cascata.

# A

## Generalização dos Algoritmos

Neste apêndice serão apresentadas as implementações em *Matlab* dos algoritmos desenvolvidos durante o trabalho.

### A.1 Diminuição das Distorções Harmônicas

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%      MODULAÇÃO SPACE-VECTOR PARA DIMINUIÇÃO DAS DISTORÇÕES HARMÔNICAS      %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all
close all
clc

% PARAMETROS DA SIMULAÇÃO
h = 1e-6; % passo de calculo
tmax = 0.08; % tempo de simulacao
t = 0; % tempo inicial de simulacao

% PARAMETROS PARA ARMAZENAGEM DOS PONTOS
numero_de_pontos = 20000;
hp = tmax/numero_de_pontos; % passo de amostragem
if(hp < h), % saturacao do passo de amostragem
    hp = h;
end
tp = 0; % tempo inicial de amostragem
jj = 0; % ponteiro para gerar os vetores de saida

%CONSTANTES
N = 3; % Niveis
V_barramento = 400;
m = 0.9; % Indice de Modulação
E = V_barramento/((N-1)/2); % Tensao do barramento
Vs = m*E; % Amplitude das tensoes de referencia
w = 2*pi*50; % Frequencia das tensoes de referencia
fase1 = 0;
```

```

fase2 = -2*pi/3;           % Fases das tensoes de referencia
fase3 = -4*pi/3;

%PARAMETROS DA SVPWM
fs = 3060;
tau = 1/fs;               % Periodo PWM
v10 = 0;
v20 = 0;                  % Inicializacao das tensoes de polo
v30 = 0;
vs1_ref = 0;
vs2_ref = 0;              % Inicializacao das tensoes de referencia
vs3_ref = 0;
flag = 0;                 % Habilita calculo dos parametros
tcp = tau;                % Tempo auxiliar para contagem do periodo
tz = 0;                   % Tempo auxiliar

%CARGA
rr = 25;                  % resistencia da carga
ll = 28e-3;               % indutancia da carga
ia = 0;
ib = 0;                   % correntes da carga
ic = 0; va = 0;
vb = 0;                   % tensoes na carga
vc = 0;

%INICIALIZAÇÃO DE VARIÁVEIS AUXILIARES
bit_v1 = 0;
bit2_v1 = 0;
bit_v2 = 0;
bit2_v2 = 0;
bit_v3 = 0;
bit2_v3 = 0;
vfinal = zeros(3,6);
vfinal2 = zeros(3,6);
dutyfinal=zeros(1,6);
seq2 = [2 3 4 5];
seq1 = [3 4 5 6];

%-----%
%      INICIO DA SIMULAÇÃO      %
%-----%

while t<=tmax,
    %
    t = t+h;                %tempo real de simulacao

    tcp = tcp + h;         %contador do periodo PWM
    if tcp >= tau
        tz = 0;
        tcp = 0;
        flag = 1;
    end

    if flag == 1
        flag = 0;

        %Tensoes de referencia
        vs1_ref = Vs*cos(w*t + fase1);
        vs2_ref = Vs*cos(w*t + fase2);
        vs3_ref = Vs*cos(w*t + fase3);

```

```

vs1 = (N-1)*vs1_ref/E;
vs2 = (N-1)*vs2_ref/E;
vs3 = (N-1)*vs3_ref/E;

% Definicão dos vetores adjacentes
u_g = ceil(vs1);
u_h = ceil(vs2);
l_g = floor (vs1);
l_h = floor (vs2);

% Vul e Vlu sao sempre 2 dos 3 vetores adjacentes
vul = [u_g; l_h];
vlu = [l_g; u_h];
vuu = [u_g; u_h];
vll = [l_g; l_h];

% Definicão do terceiro vetor adjacente e das larguras de pulso
vlow = -vs3 - (u_g + l_h);
if (vlow < 0)
v_3 = vll;
t1 = (vs1 - vll(1));
t2 = (vs2 - vll(2));
t3 = (1 - t1 - t2);
else
v_3 = vuu;
t1 = -(vs2 - vuu(2));
t2 = -(vs1 - vuu(1));
t3 = (1 - t1 - t2);
end
vec = [vul vlu vuu vll v_3];
vs = [vs1_ref vs2_ref vs3_ref];

duty = [t1 t1 t2 t2 t3 t3];

% Determinação dos estados de chaveamento
% V1
for x=1:N
v1(x,1) = x-1;
v1(x,2) = x-1 - vul(1);
v1(x,3) = x-1 - vul(1) - vul(2);
end
% V2
for x=1:N
v2(x,1) = x-1;
v2(x,2) = x-1 - vlu(1);
v2(x,3) = x-1 - vlu(1) - vlu(2);
end
% V3
for x=1:N
v3(x,1) = x-1;
v3(x,2) = x-1 - v_3(1);
v3(x,3) = x-1 - v_3(1) - v_3(2);
end

% -----%
%          Encontra a localização do primeiro estado valido
% -----%

% V1
x = 1;
while x ~= 0

```

```

        if (min(v1(x,2), v1(x,3)) >= 0) && (max(v1(x,2), v1(x,3)) <= (N-1))
            bit_v1 = x;
            x = 0;
        else
            x = x + 1;
        end
    end
% V2
x = 1;
while x ~= 0
    if (min(v2(x,2), v2(x,3)) >= 0) && (max(v2(x,2), v2(x,3)) <= (N-1))
        bit_v2 = x;
        x = 0;
    else
        x = x + 1;
    end
end
% V3
x = 1;
while x ~= 0
    if (min(v3(x,2), v3(x,3)) >= 0) && (max(v3(x,2), v3(x,3)) <= (N-1))
        bit_v3 = x;
        x = 0;
    else
        x = x + 1;
    end
end

% -----%
%               Encontra a quantidade de estados validos
% -----%

total_validos_v1 = 0;
total_validos_v2 = 0;
total_validos_v3 = 0;
% V1
for x=1:N
    if (min(v1(x,2),v1(x,3)) >= 0) && (max(v1(x,2), v1(x,3)) <= (N-1))
        total_validos_v1 = total_validos_v1 + 1;
    end
end
% V2
for x=1:N
    if (min(v2(x,2),v2(x,3)) >= 0) && (max(v2(x,2), v2(x,3)) <= (N-1))
        total_validos_v2 = total_validos_v2 + 1;
    end
end
% V3
for x=1:N
    if (min(v3(x,2),v3(x,3)) >= 0) && (max(v3(x,2), v3(x,3)) <= (N-1))
        total_validos_v3 = total_validos_v3 + 1;
    end
end

% -----%
%               Seleção dos vetores e armazenamento em vfinal
% -----%

bit2_v1 = bit_v1 + total_validos_v1 - 1;
if bit2_v1 > (N)
    bit2_v1 = N;
end

```

```

bit2_v2 = bit_v2 + total_validos_v2 - 1;
if bit2_v2 > (N)
    bit2_v2 = N;
end
bit2_v3 = bit_v3 + total_validos_v3 - 1;
if bit2_v3 > (N)
    bit2_v3 = N;
end

% V1
if mod(total_validos_v1,2) %se verdadeiro o vetor v1 é ímpar
    vfinal(1,1) = [(v1(bit_v1,1) + v1(bit2_v1,1))/2];
    vfinal(2,1) = [(v1(bit_v1,2) + v1(bit2_v1,2))/2];
    vfinal(3,1) = [(v1(bit_v1,3) + v1(bit2_v1,3))/2];

    vfinal(1,2) = -1;
    vfinal(2,2) = -1;
    vfinal(3,2) = -1;
else
    vfinal(1,1) = [(v1(bit_v1,1) + v1(bit2_v1,1) - 1)/2];
    vfinal(2,1) = [(v1(bit_v1,2) + v1(bit2_v1,2) - 1)/2];
    vfinal(3,1) = [(v1(bit_v1,3) + v1(bit2_v1,3) - 1)/2];

    vfinal(1,2) = [(v1(bit_v1,1) + v1(bit2_v1,1) + 1)/2];
    vfinal(2,2) = [(v1(bit_v1,2) + v1(bit2_v1,2) + 1)/2];
    vfinal(3,2) = [(v1(bit_v1,3) + v1(bit2_v1,3) + 1)/2];
end
end
% V2
if mod(total_validos_v2,2) %se verdadeiro o vetor v2 é ímpar
    vfinal(1,3) = [(v2(bit_v2,1) + v2(bit2_v2,1))/2];
    vfinal(2,3) = [(v2(bit_v2,2) + v2(bit2_v2,2))/2];
    vfinal(3,3) = [(v2(bit_v2,3) + v2(bit2_v2,3))/2];

    vfinal(1,4) = -1;
    vfinal(2,4) = -1;
    vfinal(3,4) = -1;
else
    vfinal(1,3) = [(v2(bit_v2,1) + v2(bit2_v2,1) - 1)/2];
    vfinal(2,3) = [(v2(bit_v2,2) + v2(bit2_v2,2) - 1)/2];
    vfinal(3,3) = [(v2(bit_v2,3) + v2(bit2_v2,3) - 1)/2];

    vfinal(1,4) = [(v2(bit_v2,1) + v2(bit2_v2,1) + 1)/2];
    vfinal(2,4) = [(v2(bit_v2,2) + v2(bit2_v2,2) + 1)/2];
    vfinal(3,4) = [(v2(bit_v2,3) + v2(bit2_v2,3) + 1)/2];
end
end
% V3
if mod(total_validos_v3,2) %se verdadeiro o vetor v3 é ímpar
    vfinal(1,5) = [(v3(bit_v3,1) + v3(bit2_v3,1))/2];
    vfinal(2,5) = [(v3(bit_v3,2) + v3(bit2_v3,2))/2];
    vfinal(3,5) = [(v3(bit_v3,3) + v3(bit2_v3,3))/2];

    vfinal(1,6) = -1;
    vfinal(2,6) = -1;
    vfinal(3,6) = -1;
else
    vfinal(1,5) = [(v3(bit_v3,1) + v3(bit2_v3,1) - 1)/2];
    vfinal(2,5) = [(v3(bit_v3,2) + v3(bit2_v3,2) - 1)/2];
    vfinal(3,5) = [(v3(bit_v3,3) + v3(bit2_v3,3) - 1)/2];

    vfinal(1,6) = [(v3(bit_v3,1) + v3(bit2_v3,1) + 1)/2];
    vfinal(2,6) = [(v3(bit_v3,2) + v3(bit2_v3,2) + 1)/2];
    vfinal(3,6) = [(v3(bit_v3,3) + v3(bit2_v3,3) + 1)/2];
end

```

```

end

% -----
% Definição do padrão de chaveamento através da organização de vfinal2
% -----

padrao = mod((total_validos_v1 + total_validos_v2 + total_validos_v3),2);
vsoma = [vfinal(1,1)+vfinal(2,1)+vfinal(3,1) vfinal(1,2)+vfinal(2,2)
+vfinal(3,2) vfinal(1,3)+vfinal(2,3)+vfinal(3,3) vfinal(1,4)+vfinal(2,4)
+vfinal(3,4) vfinal(1,5)+vfinal(2,5)+vfinal(3,5) vfinal(1,6)+vfinal(2,6)
+vfinal(3,6)];
vsoma2 = sort(vsoma,2,'ascend'); %organiza vsoma em ordem crescente

for x = 1:6
    y = find(vsoma2 == vsoma(x)); %organiza vfinal em ordem crescente
    vfinal2(1,y) = vfinal(1,x);
    vfinal2(2,y) = vfinal(2,x);
    vfinal2(3,y) = vfinal(3,x);
    dutyfinal(y) = duty(x); %organiza duty em ordem crescente
end
end

% -----
% Definição das tensões do inversor a partir da quantidade de vetores pares
% e ímpares e aplicação da sequência de chaveamento seq1 ou seq2
% -----

tz = tz + h;
if padrao % se verdadeiro temos 2 vetores pares e 1 impar
    if dutyfinal(2) > dutyfinal(3)
        seq2 = [2 3 4 5];
    else
        seq2 = [3 4 5 6];
    end

    z1 = seq2(1);
    z2 = seq2(2);
    z3 = seq2(3);
    z4 = seq2(4);

    if (tz >= 0 && tz <= ((dutyfinal(z1)/4)*tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau) &&
        tz <= (tau/2))
        va0 = vfinal2(1,z4)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
    end
end

```



```

end
if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z4)/4)))
    va0 = vfinal2(1,z4)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4)) &&
    tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)))
    va0 = vfinal2(1,z3)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)) &&
    tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
    + (tau*dutyfinal(z2)/2)))
    va0 = vfinal2(1,z2)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
    + (tau*dutyfinal(z2)/2)) &&
    tz <= tau)
    va0 = vfinal2(1,z1)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
end
else
    z1 = seq1(1);
    z2 = seq1(2);
    z3 = seq1(3);
    z4 = seq1(4);
    if (tz >= 0 && tz <= ((dutyfinal(z1)/4)*tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau) &&
        tz <= (tau/2))
        va0 = vfinal2(1,z4)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
    end
    if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z4)/4)))
        va0 = vfinal2(1,z4)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4)) &&
        tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;

```

```

        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)) &&
        tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
            + (tau*dutyfinal(z2)/2)))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
        + (tau*dutyfinal(z2)/2)) &&
        tz <= tau)
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
end

end

% -----%
%                               Definição das variáveis de saída
% -----%

%Tensão de Modo Comum
vn0 = (1/3)*(va0 + vb0 + vc0);

% Tensoes na Carga
va = va0 - vn0;
vb = vb0 - vn0;
vc = vc0 - vn0;

% Correntes na Carga
ia = ia + ((va - rr*ia)/ll)*h;
ib = ib + ((vb - rr*ib)/ll)*h;
ic = ic + ((vc - rr*ic)/ll)*h;

% Tensoes de Linha
vab = (va-vb);
vbc = (vb-vc);
vca = (vc-va);

%Armazenamento dos pontos
if t > tp,
jj = jj + 1;
tp = tp + hp;
tempo(jj) = t;
corrente1(jj) = ia;
corrente2(jj) = ib;
corrente3(jj) = ic;
tensaoa(jj) = vab;
tensaoa(jj) = vb;
tensaoa(jj) = vc;
vref_1(jj) = vs1_ref;
vref_2(jj) = vs1_ref;
vref_3(jj) = vs3_ref;
v_polo1(jj) = va0;
v_polo2(jj) = vb0;
v_polo3(jj) = vc0;
v_ab(jj) = vab;
v_bc(jj) = vbc;
v_ca(jj) = vca;

```

```

    vno(jj) = vn0;
end
end

```

## A.2 Eliminação da Tensão de Modo Comum

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%   MODULAÇÃO SPACE-VECTOR PARA ELIMINAÇÃO DA TENSÃO DE MODO COMUM   %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

```

```
clear all close all clc
```

```
% PARAMETROS DA SIMULAÇÃO
```

```
h = 1e-6;           % passo de calculo
tmax = 0.08;       % tempo de simulacao
t = 0;             % tempo inicial de simulacao
```

```
% PARAMETROS PARA ARMAZENAGEM DOS PONTOS
```

```
numero_de_pontos = 20000;
hp = tmax/numero_de_pontos; % passo de amostragem
if(hp < h),          % saturacao do passo de amostragem
    hp = h;
end
tp = 0;             % tempo inicial de amostragem
jj = 0;            % ponteiro para gerar os vetores de saida
```

```
%CONSTANTES
```

```
N = 3;             % Niveis
N1 = (N+1)/2;     % Niveis para simulacao
V_barramento = 400;
m = 0.9;          % Indice de Modulação
E = V_barramento/((N-1)/2); % Tensao do barramento
Vs = m*E;         % Amplitude das tensoes de referencia
w = 2*pi*50;      % Frequencia das tensoes de referencia
fase1 = 0;
fase2 = -2*pi/3; % Fases das tensoes de referencia
fase3 = -4*pi/3;
```

```
%PARAMETROS DA SVPWM
```

```
fs = 3060;
tau = 1/fs;       % Periodo PWM
v10 = 0;
v20 = 0;          % Inicializacao das tensoes de polo
v30 = 0; vs1_ref = 0;
vs2_ref = 0;      % Inicializacao das tensoes de referencia
vs3_ref = 0;
flag = 0;         % Habilita calculo dos parametros
tcp = tau;        % Tempo auxiliar para contagem do periodo
tz = 0;          % Tempo auxiliar
```

```
%CARGA
```

```
rr = 25;          % resistencia da carga
ll = 28e-3;       % indutancia da carga
ia = 0;
ib = 0;          % correntes da carga
ic = 0; va = 0;
vb = 0;          % tensoes na carga
vc = 0;
```

```

%INICIALIZAÇÃO DE VARIÁVEIS AUXILIARES
bit_v1 = 0;
bit2_v1 = 0;
bit_v2 = 0;
bit2_v2 = 0;
bit_v3 = 0;
bit2_v3 = 0;
vfinal = zeros(3,6);
vfinal2 = zeros(3,6);
dutyfinal=zeros(1,6);
seq3 = [1 2 3];

%-----%
%      INICIO DA SIMULAÇÃO      %
%-----%

while t<=tmax,
    %

    t = t+h;          %tempo real de simulacao

    tcp = tcp + h;    %contador do periodo PWM
    if tcp >= tau
        tz = 0;
        tcp = 0;
        flag = 1;
    end

    if flag == 1
        flag = 0;

        %Tensoes de referencia
        vs1_ref = Vs*cos(w*t + fase1);
        vs2_ref = Vs*cos(w*t + fase2);
        vs3_ref = Vs*cos(w*t + fase3);

        vs1 = (N1-1)*vs1_ref/E;
        vs2 = (N1-1)*vs2_ref/E;
        vs3 = (N1-1)*vs3_ref/E;

        %Definicao dos vetores adjacentes
        u_g = ceil(vs1);
        u_h = ceil(vs2);
        l_g = floor (vs1);
        l_h = floor (vs2);

        % Vul e Vlu sao sempre 2 dos 3 vetores adjacentes
        vul = [u_g; l_h];
        vlu = [l_g; u_h];
        vuu = [u_g; u_h];
        vll = [l_g; l_h];

        % Definicao do terceiro vetor adjacente e das larguras de pulso
        vlow = -vs3 - (u_g + l_h);
        if (vlow < 0)
            v_3 = vll;
            t1 = (vs1 - vll(1));
            t2 = (vs2 - vll(2));
            t3 = (1 - t1 - t2);
        else

```

```

        v_3 = vuu;
        t1 = -(vs2 - vuu(2));
        t2 = -(vs1- vuu(1));
        t3 = (1 - t1 - t2);
    end
    vec = [vul vlu vuu vll v_3];
    vs = [vs1_ref vs2_ref vs3_ref];

    dutyfinal = [t1 t2 t3];

    % Determinação dos estados de chaveamento
% V1
    for x=1:N1
        v1(x,1) = x-1;
        v1(x,2) = x-1 - vul(1);
        v1(x,3) = x-1 - vul(1) - vul(2);
    end
% V2
    for x=1:N1
        v2(x,1) = x-1;
        v2(x,2) = x-1 - vlu(1);
        v2(x,3) = x-1 - vlu(1) - vlu(2);
    end
% V3
    for x=1:N1
        v3(x,1) = x-1;
        v3(x,2) = x-1 - v_3(1);
        v3(x,3) = x-1 - v_3(1) - v_3(2);
    end

% -----
%          Encontra a localização do primeiro estado valido
% -----

% V1
    x = 1;
    while x ~= 0
        if (min(v1(x,2), v1(x,3)) >= 0) && (max(v1(x,2), v1(x,3)) <= (N-1))
            bit_v1 = x;
            x = 0;
        else
            x = x + 1;
        end
    end
% V2
    x = 1;
    while x ~= 0
        if (min(v2(x,2), v2(x,3)) >= 0) && (max(v2(x,2), v2(x,3)) <= (N-1))
            bit_v2 = x;
            x = 0;
        else
            x = x + 1;
        end
    end
% V3
    x = 1;
    while x ~= 0
        if (min(v3(x,2), v3(x,3)) >= 0) && (max(v3(x,2), v3(x,3)) <= (N-1))
            bit_v3 = x;
            x = 0;
        else
            x = x + 1;
        end
    end

```

```

        end
    end

% -----%
%           Seleção dos vetores e armazenamento em vfinal
% -----%

% V1
vfinal(1,1) = [v1(bit_v1,1) - v1(bit_v1,2) + (N-1)/2];
vfinal(2,1) = [v1(bit_v1,2) - v1(bit_v1,3) + (N-1)/2];
vfinal(3,1) = [v1(bit_v1,3) - v1(bit_v1,1) + (N-1)/2];

% V2
vfinal(1,2) = [v2(bit_v2,1) - v2(bit_v2,2) + (N-1)/2];
vfinal(2,2) = [v2(bit_v2,2) - v2(bit_v2,3) + (N-1)/2];
vfinal(3,2) = [v2(bit_v2,3) - v2(bit_v2,1) + (N-1)/2];

% V3
vfinal(1,3) = [v3(bit_v3,1) - v3(bit_v3,2) + (N-1)/2];
vfinal(2,3) = [v3(bit_v3,2) - v3(bit_v3,3) + (N-1)/2];
vfinal(3,3) = [v3(bit_v3,3) - v3(bit_v3,1) + (N-1)/2];

end

% -----%
% Definição das tensões do inversor a partir da quantidade de vetores pares
% e ímpares e aplicação da sequência de chaveamento seq1 ou seq2
% -----%

tz = tz + h;

if (tz >= 0 && tz <= ((dutyfinal(z1)/2)*tau))
    va0 = vfinal(1,z1)*E - (N-1)*E/2;
    vb0 = vfinal(2,z1)*E - (N-1)*E/2;
    vc0 = vfinal(3,z1)*E - (N-1)*E/2;
end
if (tz > ((dutyfinal(z1)/2)*tau) &&
    tz <= ((dutyfinal(z1)/2+dutyfinal(z2)/2)*tau))
    va0 = vfinal(1,z2)*E - (N-1)*E/2;
    vb0 = vfinal(2,z2)*E - (N-1)*E/2;
    vc0 = vfinal(3,z2)*E - (N-1)*E/2;
end
if (tz > ((dutyfinal(z1)/2+dutyfinal(z2)/2)*tau) && tz <= (tau/2))
    va0 = vfinal(1,z3)*E - (N-1)*E/2;
    vb0 = vfinal(2,z3)*E - (N-1)*E/2;
    vc0 = vfinal(3,z3)*E - (N-1)*E/2;
end
if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z3)/2)))
    va0 = vfinal(1,z3)*E - (N-1)*E/2;
    vb0 = vfinal(2,z3)*E - (N-1)*E/2;
    vc0 = vfinal(3,z3)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z3)/2)) &&
    tz <= (tau/2 + (tau*dutyfinal(z3)/2) + (tau*dutyfinal(z2)/2)))
    va0 = vfinal(1,z2)*E - (N-1)*E/2;
    vb0 = vfinal(2,z2)*E - (N-1)*E/2;
    vc0 = vfinal(3,z2)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z3)/2) + (tau*dutyfinal(z2)/2)) &&
    tz <= (tau))
    va0 = vfinal(1,z1)*E - (N-1)*E/2;
    vb0 = vfinal(2,z1)*E - (N-1)*E/2;

```



```

% PARAMETROS DA SIMULAÇÃO
h = 1e-6; % passo de calculo
tmax = 0.22; % tempo de simulacao
t = 0; % tempo inicial de simulacao

% PARAMETROS PARA ARMAZENAGEM DOS PONTOS
numero_de_pontos = 20000;
hp = tmax/numero_de_pontos; % passo de amostragem
if(hp < h), % saturacao do passo de amostragem
    hp = h;
end
tp = 0; % tempo inicial de amostragem
jj = 0; % ponteiro para gerar os vetores de saida

%CONSTANTES
N = 7; % Niveis
V_barramento = 400;
m = 0.9; % Indice de Modulação
E = V_barramento/((N-1)/2); % Tensao do barramento
Vs = m*E; % Amplitude das tensoes de referencia
w = 2*pi*50; % Frequencia das tensoes de referencia
fase1 = 0;
fase2 = -2*pi/3; % Fases das tensoes de referencia
fase3 = -4*pi/3;

%PARAMETROS DA SVPWM
fs = 3060;
tau = 1/fs; % Periodo PWM
v10 = 0;
v20 = 0; % Inicializacao das tensoes de polo
v30 = 0; vs1_ref = 0;
vs2_ref = 0; % Inicializacao das tensoes de referencia
vs3_ref = 0;
flag = 0; % Habilita calculo dos parametros
tcp = tau; % Tempo auxiliar para contagem do periodo
tz = 0; % Tempo auxiliar

%CARGA
rr = 25; % resistencia da carga
ll = 28e-3; % indutancia da carga
ia = 0;
ib = 0; % correntes da carga
ic = 0; va = 0;
vb = 0; % tensoes na carga
vc = 0;

%INICIALIZAÇÃO DE VARIÁVEIS AUXILIARES
bit_v1 = 0;
bit2_v1 = 0;
bit_v2 = 0;
bit2_v2 = 0;
bit_v3 = 0;
bit2_v3 = 0;
vfinal = zeros(3,6);
vfinal2 = zeros(3,6);
dutyfinal=zeros(1,6);
seq2 = [2 3 4 5];
seq1 = [3 4 5 6];

seq3 = [4 5 6];
ca = 0; cb = 0; cc = 0;

```



```

%-----%
%          INICIO DA SIMULAÇÃO          %
%-----%

while t<=tmax,
    %

    t = t+h;          %tempo real de simulacao

    tcp = tcp + h;    %contador do periodo PWM
    if tcp >= tau
        tz = 0;
        tcp = 0;
        flag = 1;
    end

    if t >= 0.14
        ca = 3;
        cb = 1;
        cc = 0;
    end

    if flag == 1
        flag = 0;

        %Tensoes de referencia
        vs1_ref = Vs*cos(w*t + fase1);
        vs2_ref = Vs*cos(w*t + fase2);
        vs3_ref = Vs*cos(w*t + fase3);

        vs1 = (N-1)*vs1_ref/E;
        vs2 = (N-1)*vs2_ref/E;
        vs3 = (N-1)*vs3_ref/E;

        fi= ca + cc;
        fii = cb + cc;
        fiii = ca + cb;

        fmax = fi;

        if fii > fi && fii > fiii
            fmax = fii;
        end
        if fiii > fi && fiii > fii
            fmax = fiii;
        end

        if (ca + cb + cc) > 0
            vs1 = m*(N-1-fmax)*cos(w*t + fase1);
            vs2 = m*(N-1-fmax)*cos(w*t + fase2);
            vs3 = m*(N-1-fmax)*cos(w*t + fase3);
        end

        % Definicao dos vetores adjacentes
        u_g = ceil(vs1);
        u_h = ceil(vs2);
        l_g = floor (vs1);
        l_h = floor (vs2);

        % Vul e Vlu sao sempre 2 dos 3 vetores adjacentes
        vul = [u_g; l_h];
        vlu = [l_g; u_h];
    end
end

```

```

vuu = [u_g; u_h];
vll = [l_g; l_h];

% Definição do terceiro vetor adjacente e das larguras de pulso
vlow = -vs3 - (u_g + l_h);
if (vlow < 0)
    v_3 = vll;
    t1 = (vs1 - vll(1));
    t2 = (vs2 - vll(2));
    t3 = (1 - t1 - t2);
else
    v_3 = vuu;
    t1 = -(vs2 - vuu(2));
    t2 = -(vs1 - vuu(1));
    t3 = (1 - t1 - t2);
end
vec = [vul vlu vuu vll v_3];
vs = [vs1_ref vs2_ref vs3_ref];

duty = [t1 t1 t2 t2 t3 t3];

% Determinação dos estados de chaveamento
% V1
for x=1:N
    v1(x,1) = x-1;
    v1(x,2) = x-1 - vul(1);
    v1(x,3) = x-1 - vul(1) - vul(2);
end
% V2
for x=1:N
    v2(x,1) = x-1;
    v2(x,2) = x-1 - vlu(1);
    v2(x,3) = x-1 - vlu(1) - vlu(2);
end
% V3
for x=1:N
    v3(x,1) = x-1;
    v3(x,2) = x-1 - v_3(1);
    v3(x,3) = x-1 - v_3(1) - v_3(2);
end

% ------%
%           Encontra a localização do primeiro estado valido
% ------%

x = 1;
while x ~= 0
    if (min(v1(x,2), v1(x,3)) >= 0) && (max(v1(x,2), v1(x,3)) <= (N-1))
        if (ca + cb + cc) > 0
            if (v1(x,1) >= ca && v1(x,1) <=(N-1-ca) && v1(x,2) >= cb &&
                v1(x,2) <=(N-1-cb) && v1(x,3) >= cc && v1(x,3) <=(N-1-cc))
                bit_v1 = x;
                x = 0;
            else
                x = x + 1;
            end
        else
            bit_v1 = x;
            x = 0;
        end
    else
        x = x + 1;
    end
end

```

```

        end
    end
%V2
    x = 1;
    while x ~= 0
        if (min(v2(x,2), v2(x,3)) >= 0) && (max(v2(x,2), v2(x,3)) <= (N-1))
            if (ca + cb + cc) > 0
                if (v2(x,1) >= ca && v2(x,1) <=(N-1-ca) && v2(x,2) >= cb &&
                    v2(x,2) <=(N-1-cb) && v2(x,3) >= cc && v2(x,3) <=(N-1-cc))
                    bit_v2 = x;
                    x = 0;
                else
                    x = x + 1;
                end
            else
                bit_v2 = x;
                x = 0;
            end
        else
            x = x + 1;
        end
    end
%V3
    x = 1;
    while x ~= 0
        if (min(v3(x,2), v3(x,3)) >= 0) && (max(v3(x,2), v3(x,3)) <= (N-1))
            if (ca + cb + cc) > 0
                if ((v3(x,1) >= ca) && (v3(x,1) <=(N-1-ca)) && (v3(x,2) >= cb) &&
                    (v3(x,2) <=(N-1-cb)) && (v3(x,3) >= cc) && (v3(x,3) <=(N-1-cc)))
                    bit_v3 = x;
                    x = 0;
                else
                    x = x + 1;
                end
            else
                bit_v3 = x;
                x = 0;
            end
        else
            x = x + 1;
        end
    end
end

% -----%
%          Encontra a quantidade de estados validos
% -----%

total_validos_v1 = 0;
total_validos_v2 = 0;
total_validos_v3 = 0;

for x=1:N
    if (min(v1(x,2),v1(x,3)) >= 0) && (max(v1(x,2), v1(x,3)) <= (N-1))
        if (ca + cb + cc) > 0
            if (v1(x,1) >= ca && v1(x,1) <=(N-1-ca) && v1(x,2) >= cb &&
                v1(x,2) <=(N-1-cb) && v1(x,3) >= cc && v1(x,3) <=(N-1-cc))
                total_validos_v1 = total_validos_v1 + 1;
            end
        else
            total_validos_v1 = total_validos_v1 + 1;
        end
    end
end
end

```

```

end
for x=1:N
    if (min(v2(x,2),v2(x,3)) >= 0) && (max(v2(x,2), v2(x,3)) <= (N-1))
        if (ca + cb + cc) > 0
            if (v2(x,1) >= ca && v2(x,1) <=(N-1-ca) && v2(x,2) >= cb &&
                v2(x,2) <=(N-1-cb) && v2(x,3) >= cc && v2(x,3) <=(N-1-cc))
                total_validos_v2 = total_validos_v2 + 1;
            end
        else
            total_validos_v2 = total_validos_v2 + 1;
        end
    end
end

for x=1:N
    if (min(v3(x,2),v3(x,3)) >= 0) && (max(v3(x,2), v3(x,3)) <= (N-1))
        if (ca + cb + cc) > 0
            if (v3(x,1) >= ca && v3(x,1) <=(N-1-ca) && v3(x,2) >= cb &&
                v3(x,2) <=(N-1-cb) && v3(x,3) >= cc && v3(x,3) <=(N-1-cc))
                total_validos_v3 = total_validos_v3 + 1;
            end
        else
            total_validos_v3 = total_validos_v3 + 1;
        end
    end
end

% ------%
%           Seleção dos vetores e armazenamento em vfinal
% ------%

bit2_v1 = bit_v1 + total_validos_v1 - 1;
if bit2_v1 > (N)
    bit2_v1 = N;
end
bit2_v2 = bit_v2 + total_validos_v2 - 1;
if bit2_v2 > (N)
    bit2_v2 = N;
end
bit2_v3 = bit_v3 + total_validos_v3 - 1;
if bit2_v3 > (N)
    bit2_v3 = N;
end

% V1
if mod(total_validos_v1,2) %se verdadeiro o vetor v1 é ímpar
    vfinal(1,1) = [(v1(bit_v1,1) + v1(bit2_v1,1))/2];
    vfinal(2,1) = [(v1(bit_v1,2) + v1(bit2_v1,2))/2];
    vfinal(3,1) = [(v1(bit_v1,3) + v1(bit2_v1,3))/2];

    vfinal(1,2) = -1;
    vfinal(2,2) = -1;
    vfinal(3,2) = -1;
else
    vfinal(1,1) = [(v1(bit_v1,1) + v1(bit2_v1,1) - 1)/2];
    vfinal(2,1) = [(v1(bit_v1,2) + v1(bit2_v1,2) - 1)/2];
    vfinal(3,1) = [(v1(bit_v1,3) + v1(bit2_v1,3) - 1)/2];

    vfinal(1,2) = [(v1(bit_v1,1) + v1(bit2_v1,1) + 1)/2];
    vfinal(2,2) = [(v1(bit_v1,2) + v1(bit2_v1,2) + 1)/2];
    vfinal(3,2) = [(v1(bit_v1,3) + v1(bit2_v1,3) + 1)/2];
end

```

```

end
% V2
if mod(total_validos_v2,2) %se verdadeiro o vetor v2 é ímpar
    vfinal(1,3) = [(v2(bit_v2,1) + v2(bit2_v2,1))/2];
    vfinal(2,3) = [(v2(bit_v2,2) + v2(bit2_v2,2))/2];
    vfinal(3,3) = [(v2(bit_v2,3) + v2(bit2_v2,3))/2];

    vfinal(1,4) = -1;
    vfinal(2,4) = -1;
    vfinal(3,4) = -1;
else
    vfinal(1,3) = [(v2(bit_v2,1) + v2(bit2_v2,1) - 1)/2];
    vfinal(2,3) = [(v2(bit_v2,2) + v2(bit2_v2,2) - 1)/2];
    vfinal(3,3) = [(v2(bit_v2,3) + v2(bit2_v2,3) - 1)/2];

    vfinal(1,4) = [(v2(bit_v2,1) + v2(bit2_v2,1) + 1)/2];
    vfinal(2,4) = [(v2(bit_v2,2) + v2(bit2_v2,2) + 1)/2];
    vfinal(3,4) = [(v2(bit_v2,3) + v2(bit2_v2,3) + 1)/2];
end
end
% V3
if mod(total_validos_v3,2) %se verdadeiro o vetor v3 é ímpar
    vfinal(1,5) = [(v3(bit_v3,1) + v3(bit2_v3,1))/2];
    vfinal(2,5) = [(v3(bit_v3,2) + v3(bit2_v3,2))/2];
    vfinal(3,5) = [(v3(bit_v3,3) + v3(bit2_v3,3))/2];

    vfinal(1,6) = -1;
    vfinal(2,6) = -1;
    vfinal(3,6) = -1;
else
    vfinal(1,5) = [(v3(bit_v3,1) + v3(bit2_v3,1) - 1)/2];
    vfinal(2,5) = [(v3(bit_v3,2) + v3(bit2_v3,2) - 1)/2];
    vfinal(3,5) = [(v3(bit_v3,3) + v3(bit2_v3,3) - 1)/2];

    vfinal(1,6) = [(v3(bit_v3,1) + v3(bit2_v3,1) + 1)/2];
    vfinal(2,6) = [(v3(bit_v3,2) + v3(bit2_v3,2) + 1)/2];
    vfinal(3,6) = [(v3(bit_v3,3) + v3(bit2_v3,3) + 1)/2];
end
end

% ------%
% Definição do padrão de chaveamento através da organização de vfinal2
% ------%

padrao = mod((total_validos_v1 + total_validos_v2 + total_validos_v3),2);
vsoma = [vfinal(1,1)+vfinal(2,1)+vfinal(3,1) vfinal(1,2)+vfinal(2,2)
         +vfinal(3,2) vfinal(1,3)+vfinal(2,3)+vfinal(3,3) vfinal(1,4)+vfinal(2,4)
         +vfinal(3,4) vfinal(1,5)+vfinal(2,5)+vfinal(3,5) vfinal(1,6)+vfinal(2,6)
         +vfinal(3,6)];
vsoma2 = sort(vsoma,2,'ascend'); %organiza vsoma em ordem crescente

for x = 1:6
    y = find(vsoma2 == vsoma(x)); %organiza vfinal em ordem crescente
    vfinal2(1,y) = vfinal(1,x);
    vfinal2(2,y) = vfinal(2,x);
    vfinal2(3,y) = vfinal(3,x);
    dutyfinal(y) = duty(x); %organiza duty em ordem crescente
end
end

% ------%
% Definição das tensões do inversor a partir da quantidade de vetores pares
% e ímpares e aplicação da sequência de chaveamento seq1 ou seq2
% ------%

```

```

tz = tz + h;

if mod(total_validos_v1,2) && mod(total_validos_v2,2) && mod(total_validos_v3,2)
    z1 = seq3(1);          %sequencia para tres vetores impares
    z2 = seq3(2);
    z3 = seq3(3);

    if (tz >= 0 && tz <= ((dutyfinal(z1)/2)*tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/2)*tau) &&
        tz <= ((dutyfinal(z1)/2+dutyfinal(z2)/2)*tau))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/2+dutyfinal(z2)/2)*tau) && tz <= (tau/2))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z3)/2)))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z3)/2)) &&
        tz <= (tau/2 + (tau*dutyfinal(z3)/2) + (tau*dutyfinal(z2)/2)))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z3)/2) + (tau*dutyfinal(z2)/2)) &&
        tz <= (tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
end

else
if padrao % se verdadeiro temos 2 vetores pares e 1 impar
    if dutyfinal(2) > dutyfinal(3)
        seq2 = [2 3 4 5];
    else
        seq2 = [3 4 5 6];
    end

    z1 = seq2(1);
    z2 = seq2(2);
    z3 = seq2(3);
    z4 = seq2(4);

    if (tz >= 0 && tz <= ((dutyfinal(z1)/4)*tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau))

```

```

        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau) &&
        tz <= (tau/2))
        va0 = vfinal2(1,z4)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
    end
    if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z4)/4)))
        va0 = vfinal2(1,z4)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4)) &&
        tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)) &&
        tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
            + (tau*dutyfinal(z2)/2)))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
        + (tau*dutyfinal(z2)/2)) &&
        tz <= tau)
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
end
else
    z1 = seq1(1);
    z2 = seq1(2);
    z3 = seq1(3);
    z4 = seq1(4);
    if (tz >= 0 && tz <= ((dutyfinal(z1)/4)*tau))
        va0 = vfinal2(1,z1)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau))
        va0 = vfinal2(1,z2)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
    end
    if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2)*tau) &&
        tz <= ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau))
        va0 = vfinal2(1,z3)*E - (N-1)*E/2;
        vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
        vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
    end
end

```

```

end
if (tz > ((dutyfinal(z1)/4+dutyfinal(z2)/2 + dutyfinal(z3)/2)*tau) &&
    tz <= (tau/2))
    va0 = vfinal2(1,z4)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
end
if (tz > (tau/2) && tz <= (tau/2 + (tau*dutyfinal(z4)/4)))
    va0 = vfinal2(1,z4)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z4)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z4)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4)) &&
    tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)))
    va0 = vfinal2(1,z3)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z3)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z3)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)) &&
    tz <= (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
    + (tau*dutyfinal(z2)/2)))
    va0 = vfinal2(1,z2)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z2)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z2)*E - (N-1)*E/2;
end
if (tz > (tau/2 + (tau*dutyfinal(z4)/4) + (tau*dutyfinal(z3)/2)
    + (tau*dutyfinal(z2)/2)) &&
    tz <= tau)
    va0 = vfinal2(1,z1)*E - (N-1)*E/2;
    vb0 = vfinal2(2,z1)*E - (N-1)*E/2;
    vc0 = vfinal2(3,z1)*E - (N-1)*E/2;
end
end
end
end
% -----%
%               Definição das variáveis de saída
% -----%

%Tensão de Modo Comum
vn0 = (1/3)*(va0 + vb0 + vc0);

% Tensoes na Carga
va = va0 - vn0;
vb = vb0 - vn0;
vc = vc0 - vn0;

% Correntes na Carga
ia = ia + ((va - rr*ia)/ll)*h;
ib = ib + ((vb - rr*ib)/ll)*h;
ic = ic + ((vc - rr*ic)/ll)*h;

% Tensoes de Linha
vab = (va-vb);
vbc = (vb-vc);
vca = (vc-va);

%Armazenamento dos pontos
if t > tp,
jj = jj + 1;
tp = tp + hp;

```



```
tempo(jj) = t;
corrente1(jj) = ia;
corrente2(jj) = ib;
corrente3(jj) = ic;
tensaoa(jj) = vab;
tensaob(jj) = vb;
tensaoc(jj) = vc;
vref_1(jj) = vs1_ref;
vref_2(jj) = vs1_ref;
vref_3(jj) = vs3_ref;
v_polo1(jj) = va0;
v_polo2(jj) = vb0;
v_polo3(jj) = vc0;
v_ab(jj) = vab;
v_bc(jj) = vbc;
v_ca(jj) = vca;
vno(jj) = vn0;
end
end
```

# Referências Bibliográficas

- Angulo, M.; Lezana, P.; Kouro, S.; Rodriguez, J. e Wu, B. (2007) Level-shifted pwm for cascaded multilevel inverters with even power distribution, pp. 2373 –2378.
- Baker, R. H. (1980) High voltage converter circuit, U. S. Patent 4 203 151, USA.
- Baker, R. H. e Bannister, L. H. (1975) Electric power converter, U. S. Patent 3 867 643, USA.
- Bhagwat, P. M. e Stefanovic, V. R. (1983) Generalized structure of a multilevel pwm inverter, Industry Applications, IEEE Transactions on, **IA-19**(6):1057–1069.
- Carpita, M.; Fracchia, M. e Tenconi, S. (1991) A novel multilevel structure for voltage source inverter, Proc. EPE, Firenze, Italy, pa. 1090-1094.
- Carrara, G.; Gardella, S.; Marchesoni, M.; Salutati, R. e Sciutto, G. (1992) A new multilevel pwm method: a theoretical analysis, Power Electronics, IEEE Transactions on, **7**(3):497 –505.
- Castro, L.; Correa and, M.; Jacobina, C. e Boroyevich, D. (2010) A fast space-vector algorithm for multilevel converters without coordinates transformation, In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, pp. 2543 –2547.
- Celanovic, N. e Boroyevich, D. (2000) A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters, vol. 15, pp. 242 – 249.
- Celanovic, N. e Boroyevich, D. (2001) A fast space-vector modulation algorithm for multilevel three-phase converters, Industry Applications, IEEE Transactions on, **37**(2):637–641.
- Chen, S.; Lipo, T. e Fitzgerald, D. (1996) Modeling of motor bearing currents in pwm inverter drives, Industry Applications, IEEE Transactions on, **32**(6):1365 –1370.

- Chiasson, J.; Tolbert, L.; McKenzie, K. e Du, Z. (2003) Control of a multilevel converter using resultant theory, *Control Systems Technology, IEEE Transactions on*, **11**(3):345 – 354.
- Chiasson, J.; Tolbert, L.; McKenzie, K. e Du, Z. (2005) Elimination of harmonics in a multilevel converter using the theory of symmetric polynomials and resultants, *Control Systems Technology, IEEE Transactions on*, **13**(2):216 – 223.
- Choi, N.; Cho, J. e Cho, G. (1991) A general circuit topology of multilevel inverter, *PESC Conf. Rec.*, Cambridge, MA, p. 96-103.
- Escalante, M. (2006) Cascaded h-bridge multilevel active compensator, pp. 1 –6.
- Franquelo, L.; Rodriguez, J.; Leon, J.; Kouro, S.; Portillo, R. e Prats, M. (2008) The age of multilevel converters arrives, *Industrial Electronics Magazine, IEEE*, **2**(2):28–39.
- Gupta, A. e Khambadkone, A. (2007) A space vector modulation scheme to reduce common mode voltage for cascaded multilevel inverters, *Power Electronics, IEEE Transactions on*, **22**(5):1672 –1681.
- Hagiwara, M.; Nishimura, K. e Akagi, H. (2009) A modular multilevel pwm inverter for medium-voltage motor drives, pp. 2557 –2564.
- Hammond, P. (2002) Enhancing the reliability of modular medium-voltage drives, vol. 49, pp. 948 – 954.
- Hua, C.-C.; Wu, C.-W. e Chuang, C.-W. (2007) Fully digital control of 27-level cascade inverter with variable dc voltage sources, pp. 2441 –2448.
- Jana, K.; Biswas, S. e Thakura, P. (2006) A simple and generalized space vector pwm control of cascaded h-bridge multilevel inverters, pp. 1281 –1286.
- Jiang, W.; Wang, Q.; Chen, Q. e Hu, C. (2007) A simplified svpwm control algorithm for multilevel vsi based two-level svpwm control algorithm, pp. 43 –49.
- von Jouanne, A.; Dai, S. e Zhang, H. (2002) A multilevel inverter approach providing dc-link balancing, ride-through enhancement, and common-mode voltage elimination, *Industrial Electronics, IEEE Transactions on*, **49**(4):739 – 745.
- Khajehoddin, S.A., B. A. J.-P. (2007) The application of the cascaded multilevel converters in grid connected photovoltaic systems, pp. 296 –301.

- Khajehoddin, S.; Bakhshai, A. e Jain, P. (2007) A voltage balancing method and its stability boundary for five-level diode-clamped multilevel converters, pp. 2204 – 2208.
- Khajehoddin, S.; Bakhshai, A. e Jain, P. (2008) A simple voltage balancing scheme for m-level diode-clamped multilevel converters based on a generalized current flow model, *Power Electronics, IEEE Transactions on*, **23**(5):2248–2259.
- Kouro, S. Rebolledo, J. R.-J. (2007) Reduced switching-frequency-modulation algorithm for high-power multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **54**(5):2894 – 2901.
- Lai, J.-S. e Peng, F. Z. (1995) Multilevel converters-a new breed of power converters, In: *Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE*, vol. 3, pp. 2348–2356 vol.3.
- Lee, C.K., R. H. S.-H. S.-H. C. (2002) A 31-level cascade inverter for power applications, *Industrial Electronics, IEEE Transactions on*, **49**(3):613 –617.
- Leon, J.; Vazquez, S.; Watson, A.; Franquelo, L.; Wheeler, P. e Carrasco, J. (2008) A simple and low cost modulation technique for single-phase multilevel cascade converters based on geometrical considerations, pp. 1 –6.
- Leon, J.; Vazquez, S.; Kouro, S.; Franquelo, L.; Carrasco, J. e Rodriguez, J. (2009a) Unidimensional modulation technique for cascaded multilevel converters, *Industrial Electronics, IEEE Transactions on*, **56**(8):2981 –2986.
- Leon, J.; Vazquez, S.; Portillo, R.; Franquelo, L.; Carrasco, J.; Kouro, S. e Rodriguez, J. (2009b) Two-dimensional modulation technique for multilevel cascaded h-bridge converters, pp. 1 –6.
- Lezana, P.; Rodriguez, J. e Oyarzun, D. (2008) Cascaded multilevel inverter with regeneration capability and reduced number of switches, *Industrial Electronics, IEEE Transactions on*, **55**(3):1059 – 1066.
- Lezana, P.; Pou, J.; Meynard, T.; Rodriguez, J.; Ceballos, S. e Richardeau, F. (2010) Survey on fault operation on multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **57**(7):2207 –2218.
- Liu, H.; Tolbert, L.; Ozpineci, B. e Du, Z. (2008) Hybrid multilevel inverter with single dc source, In: *Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on*,

pp. 538–541.

- Loh, P. C.; Holmes, D.; Fukuta, Y. e Lipo, T. (2003) Reduced common-mode modulation strategies for cascaded multilevel inverters, *Industry Applications, IEEE Transactions on*, **39**(5):1386 – 1395.
- Longhua Zhou, Qing Fu, X. L. C. L. (2009) A novel multilevel power quality compensator for electrified railway, pp. 1141 –1147.
- Malinowski, M.; Gopakumar, K.; Rodriquez, J. e Perez, M. (2009) A survey on cascaded multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **PP**(99):1 –1.
- McGrath, B. e Holmes, D. (2002) Multicarrier pwm strategies for multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **49**(4):858 – 867.
- McGrath, B.; Holmes, D. e Lipo, T. (2003) Optimized space vector switching sequences for multilevel inverters, *Power Electronics, IEEE Transactions on*, **18**(6):1293 – 1301.
- Meynard, T. e Foch, H. (1992) Multilevel conversion: high voltage chopper and voltage source inverters., *Proc. of IEEE PESC*, p. 297 -403.
- Meynard, T.; Foch, H.; Thomas, P.; Cournault, J.; Jakob, R. e Nahrstaedt, M. (2002) Multicell converters: basic concepts and industry applications, *IEEE Trans. Ind. Electron.*, **49**(5):955 – 964.
- Nabae, A.; Takahashi, I. e Akagi, H. (1981) A new neutral-point-clamped pwm inverter, *Industry Applications, IEEE Transactions on*, **IA-17**(5):518–523.
- seok Oh, J.; Jin, S.-H. e Lee, J.-H. (2007) Fast space vector modulation without ntv identification for multilevel inverters, In: *Industrial Electronics and Applications, 2007. ICIEA 2007. 2nd IEEE Conference on*, pp. 2415–2420.
- Oliveira Júnior, A. S. d. (2005) Estratégia Generalizada de Modulação por Largura de Pulso para Inversores Multiníveis, Tese de Doutorado, Universidade Federal de Campina Grande.
- Peng, F. Z. (2001) A generalized multilevel inverter topology with self voltage balancing, *Industry Applications, IEEE Transactions on*, **37**(2):611 – 618.
- Pinheiro, H.; Bottéron, F.; Rech, C.; Schuch, L.; Camargo, R.; Hey, H.; Grundlin, H. e Pinheiro, J. (2005) Modulação space vector para inversores alimentados em tensão: uma abordagem unificada, *Revista Controle e Automação*, **16**(1):13–24.

- Rashid, M. H. (2006) *Power Electronics Handbook*, Academic Press, 2<sup>o</sup> edic., ISBN 0120884798.
- Ratnayake, K. e Murai, Y. (1998) A novel pwm scheme to eliminate common-mode voltage in three-level voltage source inverter, In: *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, vol. 1, pp. 269 –274 vol.1.
- Rech, C. e Pinheiro, J. (2007) Hybrid multilevel converters: Unified analysis and design considerations, *Industrial Electronics, IEEE Transactions on*, **54**(2):1092–1104.
- Rech, C.; Pinheiro, H.; Grundling, H.; Hey, H. e Pinheiro, J. (2002) Analysis and comparison of hybrid multilevel voltage source inverters, In: *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 2, pp. 491–496 vol.2.
- Renge, M. e Suryawanshi, H. (2010) Three-dimensional space-vector modulation to reduce common-mode voltage for multilevel inverter, *Industrial Electronics, IEEE Transactions on*, **57**(7):2324 –2331.
- Rodriguez, J.; Correa, P. e Moran, L. (2001) A vector control technique for medium voltage multilevel inverters, In: *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*, vol. 1, pp. 173–178 vol.1.
- Rodriguez, J.; Lai, J.-S. e Peng, F. Z. (2002) Multilevel inverters: a survey of topologies, controls, and applications, *Industrial Electronics, IEEE Transactions on*, **49**(4):724–738.
- Rodriguez, J.; Moran, L.; Pontt, J.; Correa, P. e Silva, C. (2003) A high-performance vector control of an 11-level inverter, *Industrial Electronics, IEEE Transactions on*, **50**(1):80 – 85.
- Rodriguez, J.; Pontt, J.; Correa, P.; Cortes, P. e Silva, C. (2004a) A new modulation method to reduce common-mode voltages in multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **51**(4):834 – 839.
- Rodriguez, J.; Pontt, J.; Correa, P.; Cortes, P. e Silva, C. (2004b) A new modulation method to reduce common-mode voltages in multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **51**(4):834 – 839.
- Rodriguez, J.; Hammond, P.; Pontt, J.; Musalem, R.; Lezana, P. e Escobar, M. (2005) Operation of a medium-voltage drive under faulty conditions, vol. 52, pp. 1080 – 1085.

- Rodriguez, J.; Bernet, S.; Wu, B.; Pontt, J. e Kouro, S. (2007) Multilevel voltage-source-converter topologies for industrial medium-voltage drives, *Industrial Electronics, IEEE Transactions on*, **54**(6):2930 –2945.
- Saeedifard, M.; Rad, H. S.; Bakhshai, A. e Iravani, R. (2007) A fast and universal neuro-based svm algorithm for multi-level converters, In: *Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE*, pp. 1508–1514.
- Shu, Z.; Tang, J.; Guo, Y. e Lian, J. (2007) An efficient svpwm algorithm with low computational overhead for three-phase inverters, *Power Electronics, IEEE Transactions on*, **22**(5):1797–1805.
- Song, P.; Guan, E. e Lin, Z. (2006) Reduce common-mode voltage in cascaded multilevel inverter based on artificial neural network, In: *Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE*, pp. 1 –6.
- Song, Q.; Liu, W. e Yuan, Z. (2007) Multilevel optimal modulation and dynamic control strategies for statcoms using cascaded multilevel inverters, vol. 22, pp. 1937 – 1946.
- Song, W. e Huang, A. Q. (2007) Control strategy for fault-tolerant cascaded multilevel converter based statcom, *IEEE Applied Power Electronics Conference*, **22**:1073–1076.
- Suh, J. H.; Choi, C. H. e Hyun, D. S. (1999) A new simplified space-vector pwm method for three-level inverters., *Proc. of IEEE APEC*, (1):515–520.
- Sun Xing-tao, Wu Feng-jiang, S. L. (2007) A new multilevel space vector pwm technique for h-bridge cascaded inverter, pp. 2427 –2430.
- Tolbert, L. e Habetler, T. (1998) Novel multilevel inverter carrier-based pwm methods, In: *Industry Applications Conference, 1998. Thirty-Third IAS Annual Meeting. The 1998 IEEE*, vol. 2, pp. 1424–1431 vol.2.
- Tolbert, L.; Peng, F. e Habetler, T. (1998) Multilevel inverters for electric vehicle applications, *Power Electronics in Transportation*, pp. 79 – 84.
- Tolbert, L.; Peng, F. Z. e Habetler, T. (1999) Multilevel converters for large electric drives, *Industry Applications, IEEE Transactions on*, **35**(1):36–44.
- Tolbert, L.; Peng, F. Z. e Habetler, T. (2000) Multilevel pwm methods at low modulation indices, *Power Electronics, IEEE Transactions on*, **15**(4):719 –725.

- Van Der Broeck, H. W.; Skudelny, H. C. e Stanke, G. V. (1988) Analysis and realization of a pulsewidth modulator based on voltage space vectors., *IEEE Trans. Ind. Applicat.*, **24**(1):142–150.
- Villanueva, E.; Correa, P.; Rodriguez, J. e Pacas, M. (2009) Control of a single-phase cascaded h-bridge multilevel inverter for grid-connected photovoltaic systems, *Industrial Electronics, IEEE Transactions on*, **56**(11):4399 – 4406.
- Wei, S.; Wu, B.; Li, F. e Liu, C. (2003a) A general space vector pwm control algorithm for multilevel inverters, vol. 1, pp. 562 – 568 vol.1.
- Wei, S.; Wu, B.; Li, F. e Sun, X. (2003b) Control method for cascaded h-bridge multilevel inverter with faulty power cells, *Applied Power Electronics Conference and Exposition, 2003. APEC '03. Eighteenth Annual IEEE*, **1**:261 – 267.
- Wu, B. (2006) *High-Power Converters and AC Drives*, Wiley-IEEE Press, 1<sup>o</sup> edic., ISBN 0471731714.
- Yi, Z.; Hongge, S. e Bin, X. (2009) Optimization of neutral shift in cell-fault treatment for cascaded h-bridge inverter, *Electrical Machines and Systems, 2008. ICEMS 2008. International Conference on*, pp. 1683 – 1685.
- Zang, Y.; Wang, X.; Xu, B. e Liu, J. (2006) Control method for cascaded h-bridge multilevel inverter failures, *Proceedings of the 6th World Congress on Intelligent Control and Automation*.
- Zhang, H.; Von Jouanne, A.; Dai, S.; Wallace, A. e Wang, F. (2000) Multilevel inverter modulation schemes to eliminate common-mode voltages, *Industry Applications, IEEE Transactions on*, **36**(6):1645 – 1653.