



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Projeto de um Conversor Analógico-Digital por Aproximação Sucessiva com Regime Monotônico de Chaveamento Capacitivo

Antonio Agripino da Costa Filho

Dissertação de Mestrado apresentada à Coordenadoria do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande - Campus de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências no Domínio da Engenharia Elétrica.

Área de Concentração: Processamento da Informação

Antonio Marcus Nogueira Lima, D.Sc.

Orientador

Marcos Ricardo Alcântara Moraes, D.Sc.

Orientador

Campina Grande, Paraíba, Brasil

©Antonio Agripino da Costa Filho, Julho 2019

Projeto de um Conversor Analógico-Digital por
Aproximação Sucessiva com Regime Monotônico de
Chaveamento Capacitivo

Antonio Agripino da Costa Filho

Dissertação de Mestrado apresentada em Julho 2019

Antonio Marcus Nogueira Lima, D.Sc.

Orientador

Marcos Ricardo Alcântara Moraes, D.Sc.

Orientador

Campina Grande, Paraíba, Brasil, Julho 2019

C837p

Costa Filho, Antonio Agripino da.

Projeto de um conversor analógico-digital por aproximação sucessiva com regime monotônico de chaveamento capacitivo / Antonio Agripino da Costa Filho. - Campina Grande, 2019.

81 f. : il. color.

Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2019.

“Orientação: Prof. Dr. Antonio Marcus Nogueira Lima, Prof. Dr. Marcos Ricardo Alcântara Moraes”

Referências.

1. Conversor Analógico-Digital. 2. Chaveamento Monotônico. 3. Modo Assíncrono. 4. Microeletrônica. I. Lima, Antonio Marcus Nogueira. II. Moraes, Marcos Ricardo Alcântara. III. Título.

CDU 621.3.049.77(043)


**"PROJETO DE UM CONVERSOR ANALÓGICO-DIGITAL POR APROXIMAÇÃO
SUCESSIVA COM REGIME MONOTÔNICO DE CHAVEAMENTO CAPACITIVO"**

ANTONIO AGRIPINO DA COSTA FILHO


DISSERTAÇÃO APROVADA EM 15/07/2019



ANTONIO MARCUS NOGUEIRA LIMA, Dr., UFCG
Orientador(a)



MARCOS RICARDO DE ALCÂNTARA MORAIS, D.Sc, UFCG
Orientador(a)



JOSÉ SÉRGIO DA ROCHA NETO, D.Sc., UFCG
Examinador(a)



ELMAR UWE KURT MELCHER, Dr., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Dedicatória

A minha mãe, Ana Maria Leal Costa, por sua paciência e suporte em minha vida. Ao meu falecido pai, Antonio Agripino da Costa, que sempre preocupou com minha educação. As minhas irmãs, sobrinhos e sobrinhas pelo carinho.

Aos meus orientadores, pelos conselhos não só no trabalho, mas para a vida.

Agradecimentos

Agradeço aos professores Antonio Marcus Nogueira Lima, Dr., Marcos Ricardo Alcântera Morais, Dr., pela incansável orientação e colaboração sem as quais não seria possível realizar este trabalho.

“ ‘Don’t blame you,’ said Marvin and counted five hundred and ninety-seven thousand million sheep before falling asleep again a second later.”

— Douglas Adams, *The Hitchhiker’s Guide to the Galaxy*.

Resumo

Neste trabalho foi projetado um conversor analógico-digital baseado na técnica de aproximação sucessiva e num regime monotônico de chaveamento capacitivo. O conversor analógico-digital foi concebido para operar no modo assíncrono e utilizar um comparador dinâmico *double-tail*. Foi utilizado um kit de processo da tecnologia (PDK) de 180 nm e uma ferramenta automática de projeto de circuitos eletrônicos analógicos. O fluxo de projeto contemplou as seguintes etapas: concepção dos circuitos, dimensionamento dos componentes, simulações em regime estacionário e regime dinâmico (em nível de esquemático e em nível de leiaute), além de avaliações de funcionalidade e de desempenho. Projetou-se um circuito de tensão de referência baseado na topologia *beta multiplier voltage reference* para ser usado com o conversor analógico-digital. Desse circuito de tensão de referência obteve-se 1,2 V, exibindo uma taxa de rejeição de fonte de alimentação em 1 kHz de -54,47 dB e um coeficiente de temperatura de 23,99 ppm/°C na faixa de -40 °C a 175 °C; esses valores foram obtidos a partir de simulações em nível de leiaute. O desenvolvimento do conversor foi feito em nível de esquemático, usando-se um comparador dinâmico *double-tail* com entradas do tipo PMOS, capacitores do tipo metal-isolador-metal (usou-se capacitores unitários de 5,36 fF - valor mínimo disponível no PDK) e a topologia *bootstrap* para o circuito de entrada do conversor. O conversor analógico-digital é alimentado com 1,8 V, opera a uma taxa de conversão de 30 MHz, converte sinais diferenciais de entrada ($\leq 3,4$ V) com resolução de 10 bits codificados em excesso de K e apresenta um consumo médio de 1,14 mW na conversão de um sinal de entrada de 14,74 MHz; esses valores foram obtidos a partir de simulações em nível de esquemático. Os resultados apresentados corroboram a corretude do fluxo de projeto utilizado, bem como a exequibilidade do conversor analógico-digital projetado, em termos de resolução (10 bits), de taxa de conversão (30 MHz) e de consumo médio (1,14 mW).

Palavras-chave: Conversor analógico-digital, Chaveamento monotônico, Assíncrono, Microeletrônica.

Abstract

In this work, an analog-digital converter based on the successive approximation technique and a monotonic capacitive switching regime was designed. The analog-digital converter is designed to operate in asynchronous mode and use a double-tail dynamic comparator. A 180 nm process design kit (PDK) and an analog electronic circuit design automatic tool were used. The project flow included the following steps: circuit design, component sizing, steady state and dynamic simulations (schematic and layout level), as well as functionality and performance evaluations. A reference voltage circuit based on the beta multiplier voltage reference topology has been designed for use with the analog-digital converter. From this reference voltage circuit was obtained 1.2 V, exhibiting a 1 kHz power supply rejection rate of -54.47 dB and a temperature coefficient of 23.99 ppm/°C in the range of -40 °C at 175 °C; these values were obtained from layout level simulations. The converter was developed at the schematic level, using a double-tail dynamic comparator with PMOS inputs, metal-isolator-metal capacitors (5.36 fF unit capacitors - minimum available value at PDK) and the bootstrap topology for the drive input circuit. The analog-digital converter is powered by 1.8 V, operates at a conversion rate of 30 MHz, converts input differential signals (≤ 3.4 V) with 10 bit encoded resolution in excess-K and has an average consumption of 1.14 mW in converting a 14.74 MHz input signal; these values were obtained from schematic level simulations. The results presented corroborate the correctness of the project flow used, as well as the feasibility of the projected analog-digital converter, in terms of resolution (10 bits), conversion rate (30 MHz) and average consumption (1.14 mW).

Keywords: Analog-digital converter, Monotonic switching, Asynchronous, Microelectronic.

Sumário

1	Introdução	1
1.1	Conversor analógico-digital	2
1.2	Motivações	3
2	Circuito de tensão de referência	5
2.1	Transistores bipolares	5
2.1.1	Tensão V_{BE} diferencial	8
2.2	Medições de desempenho	9
2.2.1	Coefficiente de temperatura	9
2.2.2	Razão de rejeição de alimentação	11
2.3	Circuito de tensão de referência	12
2.3.1	Circuito de Widlar	12
2.3.2	Equalização da tensão de dreno	12
2.3.3	Topologia <i>beta multiplier voltage reference</i>	15
3	Conversores de sinais	19
3.1	Conversor analógico-digital	19
3.2	Conversor digital-analógico	20
3.3	Caracterização dos erros	21
3.3.1	Erros de quantização	22
3.3.2	Erros causados pelo ruído	24
3.3.3	Erros relacionados aos componentes	25
3.3.4	Erros estatísticos	27
3.3.5	Erros dinâmicos	31

3.4	Modos de operação	33
3.4.1	Princípio da redistribuição de carga	33
3.4.2	Princípio do compartilhamento de carga	34
3.5	Esquemas de chaveamento de redistribuição de carga	35
3.5.1	Chaveamento convencional	35
3.5.2	Chaveamento monotônico	37
3.6	Operação síncrona x assíncrona	38
3.7	Codificação binária	41
4	Solução proposta	43
4.1	Tensão de referência	45
4.2	Conversor analógico-digital	48
4.2.1	Chave de <i>bootstrap</i>	48
4.2.2	Comparador	52
4.2.3	DAC capacitivo	53
4.2.4	Chaves inferiores dos capacitores	56
4.2.5	Lógica SAR	57
5	Simulações e avaliações	61
5.1	Tensão de referência	62
5.2	Conversor analógico-digital	67
5.2.1	Chave de <i>bootstrap</i>	67
5.2.2	Comparador	67
5.2.3	Conversão do ADC	71
6	Conclusão	78
	Referências bibliográficas	80

Lista de símbolos e abreviaturas

e_Q Erro de quantização

f_m Frequência do sinal analógico

f_N Frequência de Nyquist

f_s Frequência de amostragem

k Constante de Boltzmann

P_Q Potência do ruído de quantização

P_x Potência do sinal de entrada

q Carga elétrica

V_T Tensão térmica

ADC *Analog-Digital Converter* (Conversor Analógico-Digital)

CTAT *Complementary to Absolute Temperature* (Temperatura Complementar a Absoluta)

DAC *Digital-Analog Converter* (Conversor Analógico-Digital)

DNL *Differential Non-Linearity* (Não-Linearidade Diferencial)

DRC *Design Rule Checking*

ENOB *Effective Number of Bits* (Número Efetivo de *Bits*)

FSR *Full-Scale Range* (Faixa de Fundo de Escala)

INL *Integral Non-Linearity* (Não-Linearidade Integral)

ISSCC *International Solid-State Circuits Conference*

LSB *Least Significant Bit* (*Bit* Menos Significativo)

LVS *Layout Versus Schematic*

MSB *Most Significant Bit (Bit Mais Significativo)*

PDK *Process Design Kit*

PSSR *Power Supply Rejection Ratio (Razão de Rejeição da Fonte)*

PTAT *Proportional to Absolute Temperature (Temperatura Proporcional a Absoluta)*

rms *Root Mean Square*

SAR *Successive Approximation Register (Registrador de Aproximações Sucessivas)*

SFDR *Spurious-Free Dynamic Range (Faixa Dinâmica Livre de Espúrios)*

SINAD *Signal-to-Noise and Distortion Ratio (Razão Sinal-Ruído e Distorção)*

SNR *Signal-Noise Ratio (Relação Sinal-Ruído)*

TBJ *Transistor Bipolar de Junção*

TC *Temperature Coefficient (Coeficiente de Temperatura)*

THD *Total Harmonic Distortion (Distorção Harmônica Total)*

VLSIC *Symposium on VLSI Circuits*

Lista de Tabelas

3.1	Códigos binários para palavras de 3 <i>bits</i>	42
5.1	Configuração dos corners para as simulações do circuito de tensão de referência	62
5.2	Conversão para um diferencial de 100 <i>mV</i> (Valor esperado = 555_d)	74

Lista de Figuras

1.1	Estrutura de um ultrassom portátil	2
1.2	Sumário dos ADCs publicados entre 2000 e 2019 na ISSCC e VLSIC [2] e [3]	3
2.1	Transistor TBJ integrado em um processo CMOS: (a) NPN Vertical (b) PNP Vertical	6
2.2	V_{BE} x Temperatura de um transistor NPN com área de emissor $25 \mu m^2$ polarizado com $I_C = 3, 6, 12 \mu A$	7
2.3	Obtenção de $\Delta V_{BE_{1,2}}$ do transistor NPN	8
2.4	Forma de onda típica do TC da tensão referenciada sob uma tensão de entrada nominal	10
2.5	Variação de temperatura da tensão de referência obtida como a soma das tensões PTAT e CTAT	13
2.6	Diagrama de blocos do circuito de referência Widlar	13
2.7	Obtenção de ΔV_{BE}	14
2.8	Diagrama esquemático de uma equalização da tensão de dreno do espelho de corrente	14
2.9	Diagrama esquemático de uma equalização da tensão de dreno usando amplificador	15
2.10	Diagrama esquemático de um circuito multiplicador- β	16
2.11	Diagrama de blocos de um circuito multiplicador- β	16
3.1	(a) Função de transferência (b) Error de quantização de uma ADC de 3 bits .	20
3.2	Função de transferência de um DAC de 3 bits	21

3.3	(a) Quantizador (b) Modelo linear do quantizador (c) Função da densidade de probabilidade do erro do quantizador	22
3.4	Amostra do ruído de chaveamento do capacitor: a resistência em série age como uma fonte de ruído	24
3.5	Em um ADC: (a) Erro de <i>offset</i> (b) Erro de ganho (c) Não-linearidade diferencial (d) Não-linearidade integral	28
3.6	Ilustração do erro de DNL	29
3.7	Em um DAC: (a) Erro de offset (b) Erro de ganho (c) Não-linearidade diferencial (d) Não-linearidade integral	30
3.8	Circuito simplificado demonstrando o princípio da redistribuição de carga . .	34
3.9	Circuito simplificado demonstrando o princípio do compartilhamento de carga	34
3.10	Ciclo de comparação e decisão do chaveamento convencional. Fonte: [3] . . .	35
3.11	Procedimento da conversão do chaveamento convencional. Fonte: [3]	36
3.12	Ciclo de comparação e decisão do chaveamento monotônico. Fonte: [3] . . .	37
3.13	Procedimento da conversão do chaveamento monotônico. Fonte: [3]	38
3.14	Conversão síncrona de um ADC SAR. Fonte: [17]	39
3.15	Conversão assíncrona de um ADC SAR. Fonte: [17]	40
4.1	Fluxo de projeto para circuitos analógicos	44
4.2	Diagrama esquemático do circuito de tensão de referência	45
4.3	Implementação de Res_1	46
4.4	Implementação de Res_2	46
4.5	Leiaute do circuito de tensão de referência	47
4.6	Arquitetura do conversor analógico-digital implementada	48
4.7	Princípio do funcionamento da chave de <i>bootstrap</i>	49
4.8	Típico circuito de <i>bootstrap</i> proposto em [22]	50
4.9	Circuito de <i>bootstrap</i> proposto em [20]	51
4.10	Diagrama do tempo da chave <i>bootstrap</i> apresentada em [20]	51
4.11	Comparador double-tail	53
4.12	DAC capacitivo de peso-binário	54
4.13	Conjunto dos capacitores que implementam o DAC	56

4.14	Chaves de controle da placa inferior dos capacitores do DAC	57
4.15	Diagrama esquemático da lógica de controle assíncrona e o diagrama de tempo dos sinais de controle	59
4.16	Diagrama esquemático da lógica de controle das chaves inferiores dos capacitores	60
5.1	Esquemático do circuito de teste da tensão de referência	62
5.2	Simulação DC do esquemático	63
5.3	Simulação DC do leiaute	64
5.4	Simulação AC do esquemático	64
5.5	Simulação AC do leiaute	65
5.6	Simulação Transiente do esquemático	65
5.7	Simulação Transiente do leiaute	66
5.8	Circuito de teste para levantamento da variação da resistência da chave <i>Bootstrap</i>	68
5.9	Variação da resistência da chave de <i>Bootstrap</i> pela tensão de entrada	68
5.10	Circuito de teste para a análise transiente do comparador	69
5.11	Resposta transiente do comparador	69
5.12	Circuito de teste para cálculo da tensão de <i>offset</i>	70
5.13	Resultado da simulação Monte Carlo do comparador para 200 amostras	70
5.14	Primeiro circuito de teste do ADC	71
5.15	Conversão com $V_{ip} = 300\text{ mV}$ e $V_{in} = 0\text{ V}$	72
5.16	Zoom da Figura 5.15 detalhando a segunda conversão	73
5.17	Segundo circuito de teste do ADC	74
5.18	Simulação transiente do segundo teste do ADC	76
5.19	Simulação transiente do segundo teste do ADC, no intervalo de $8\ \mu\text{s}$ a $10\ \mu\text{s}$	76
5.20	Resultado da FFT, em magnitude e dB	77
5.21	Consumo transitório do ADC	77

Capítulo 1

Introdução

A imagem de ultrassom tornou-se uma ferramenta de diagnóstico padrão nos hospitais. É usada para visualizar essencialmente todas as estruturas do corpo humano e retorna informações a ponto de que um especialista treinado possa diagnosticar uma ampla gama de condições, visualizando as imagens ao vivo ou posteriormente por meio de fotos. A imagem ultrassônica também é amplamente utilizada como uma ferramenta pré-operacional juntamente com outros tipos de imagem médica, tais como, por exemplo, ressonância magnética e tomografia; e durante procedimentos invasivos (ultrassonografia de intervenção) para orientar a inserção de ferramentas operacionais no corpo.

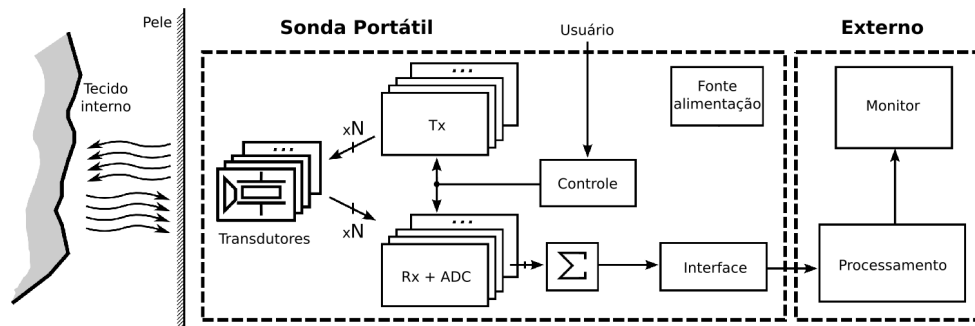
Sistemas de ultrassom portáteis estão emergindo como um novo dispositivo que é muito menor e mais leve que as máquinas tradicionais. Sua alta portabilidade e durabilidade permite aos médicos realizarem diagnósticos e decisões em tempo real sem ter que tirar o paciente do seu ambiente, o que permite ao ultrassom portátil uma área atrativa de uso principalmente para locais remotos e de difícil acesso [1].

Esse sistema portátil, também chamado de *Point-of-Care* (PoC), tem sido um foco de pesquisas nas últimas décadas. Avanços na tecnologia de transdutores, algoritmos de formação de feixes e eletrônicos prepararam o caminho para o desenvolvimento de sistemas de imagem de ultrassom eficientes, flexíveis e portáteis. Foram propostos dispositivos de ultrassom implantáveis miniaturizados sem fio e dispositivos de ultrassom portáteis. Um exemplo da estrutura de um sistema de ultrassom portátil pode ser visto na Figura 1.1.

No entanto, a tradução dessas ideias em hardware prático é complexa devido às restrições inerentes de área, consumo e largura de banda de tais sistemas.

A realização de um ultrassom portátil encontra muitas dificuldades relativo ao projeto de um equipamento padrão, principalmente devido aos aspectos não funcionais, como as dimensões físicas, o peso e o consumo de energia. Busca-se então a utilização de técnicas de integração, ou seja, o projeto de circuito(s) integrado(s), no intuito de reduzir a quantidade de componentes e as dimensões físicas do sistema. Normalmente, através de um projeto integrado, também é possível reduzir o consumo de energia. A microeletrônica alavancou a miniaturização e, com isso, aumentou a integração de sistemas em um único encapsulamento. Porém, há uma restrição entre densidade de integração, área de silício, consumo, custo e confiabilidade.

Figura 1.1: Estrutura de um ultrassom portátil



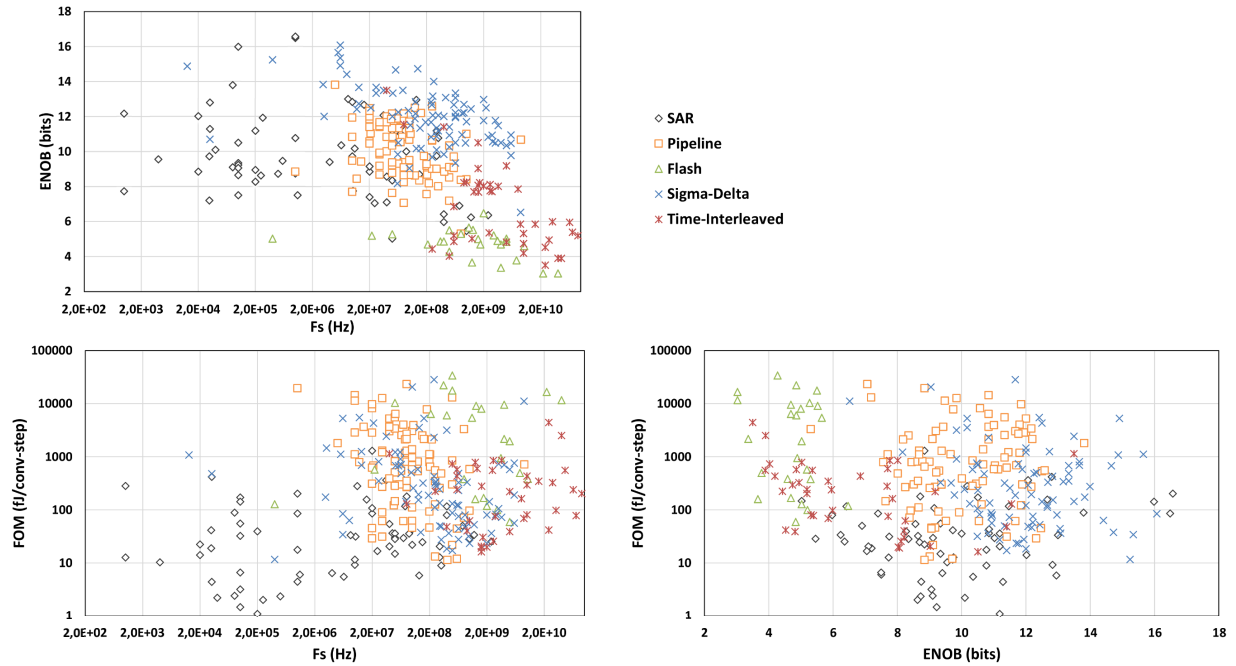
1.1 Conversor analógico-digital

Várias topologias de conversores analógico-digital (ADC) existem, cobrindo diferentes aplicações e requerimentos. Na Figura 1.2, pode-se ver um sumário dos conversores analógico-digital publicados de 2000 até 2019 na ISSCC e na VLSIC [2].

É possível observar o compromisso de engenharia envolvendo consumo, velocidade e eficiência energética. Os ADCs mais rápidos apresentam menor resolução e pior eficiência energética. Já os ADCs com melhor eficiência energética não alcançam o limiar da velocidade ou resolução.

Na faixa intermediária da Figura 1.2, encontra-se conversores com resolução intermediária (8 a 12 *bits*) e velocidade moderada. Ainda da imagem, esses conversores são os que

Figura 1.2: Sumário dos ADCs publicados entre 2000 e 2019 na ISSCC e VLSIC [2] e [3]



apresentam a melhor eficiência energética. Nos últimos anos, os conversores do tipo SAR tornaram-se uma topologia dominante por esse conjunto de especificações.

A maioria dos ADCs SAR, em última instância, baseia-se em conversores digital-analógico (DAC) que usam o princípio da redistribuição de carga, que é uma técnica já madura que tem sido exitosamente empregada nas últimas décadas. Esquemas de chaveamento melhorados baseados nesse princípio têm sido propostos recentemente, o que leva a melhorias na eficiência energética da arquitetura.

1.2 Motivações

A qualidade da imagem obtida em tais sistemas tem alguns fatores limitantes. Dentre esses: a capacidade de transmissão e recepção do transdutor de ultrassom; a qualidade do transmissor (Tx), do receptor (Rx) e do ADC que dita a relação sinal-ruído (SNR) dos sinais entregues ao processamento; e o algoritmo implementado no processamento que gera a imagem a partir dos dados adquiridos.

Nesses fatores citados, as características técnicas do circuito receptor se apresentam entre os principais fatores limitantes da qualidade da imagem do sistema de ultrassom para uso médico. Dentre os elementos desse circuito de recepção, as características do conversor analógico-digital são críticas na determinação da resolução espacial e do ruído na imagem. Sendo assim, pretende-se mostrar neste trabalho o desenvolvimento de um conversor analógico-digital que apresente um consumo abaixo de 10 mW para uma conversão com resolução de 10 bits , utilizando-se a técnica de conversão assíncrona para obter uma taxa de conversão três vezes maior que a largura de banda de 10 MHz , largura essa comum em sistemas de ultrassom. Também mostrar-se-á o desenvolvimento de um circuito de tensão de referência para fornecer a tensão de referência interna de aproximadamente $1,2\text{ V}$ ao sistema conversor analógico-digital.

Capítulo 2

Circuito de tensão de referência

Um circuito de tensão de referência gera uma tensão de saída que idealmente não depende da tensão de operação, da carga e da temperatura [4], [5], [6].

Circuitos de tensão de referência são usados onde se requer uma tensão precisa para medições serem realizadas. A precisão de qualquer medição só pode ser considerada adequada se ela for comparada com um valor padrão conhecido. Conversores, sensores, detectores de limiar, sistemas de gerenciamento de bateria, dentre outras aplicações, requerem circuitos de tensão de referência ([7], [8], [9] e [10]).

Neste capítulo será abordado sobre os princípios de um circuito de tensão de referência em tecnologia CMOS.

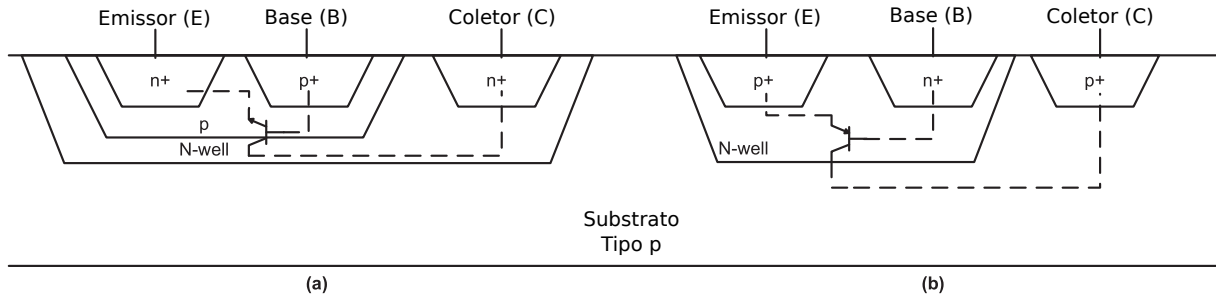
2.1 Transistores bipolares

Os transistores bipolares de junção (TBJ) são componentes importantes em um circuito de tensão de referência e comumente usados para obtenção da tensão dependente da temperatura, em que a essa dependência da temperatura é o primeiro passo para obter uma tensão de referência insensível à temperatura [11].

O TBJ pode ser implementado em um processo padrão CMOS, tal que esse dispositivo é um transistor bipolar vertical que usa o poço do processo como terminal base e o substrato como terminal coletor [6]. A vista de corte lateral de um transistor NPN vertical e de

um transistor PNP vertical, implementados em um processo CMOS, pode ser visto na Figura 2.1.

Figura 2.1: Transistor TBJ integrado em um processo CMOS: (a) NPN Vertical (b) PNP Vertical



O TBJ usado em um circuito de tensão de referência é usualmente configurado em uma estrutura de diodo (a base e o coletor são conectados entre si), tal que a tensão de base-emissor V_{BE} é usada para fornecer uma tensão de junção fixa. Porém, a tensão de junção é sensível a temperatura e não pode ser usada como tensão de referência por si só [11]. Se o efeito *Early* for negligenciado, a corrente de coletor de um transistor NPN polarizado na região ativa é dado por:

$$\begin{aligned} J_C(T)A_E &= J_S(T)A_E \exp\left(\frac{V_{BE}}{V_T}\right), \\ I_C(T) &= I_S(T) \exp\left(\frac{V_{BE}}{V_T}\right) \end{aligned} \quad (2.1)$$

Onde A_E é a área da junção base-emissor, T é a temperatura absoluta em *Kelvin*, $I_C(T)$ é a corrente de coletor dependente da temperatura, $J_S(T)$ é a densidade da corrente de saturação, a qual relaciona com a corrente de saturação dependente da temperatura $I_S(T)$ como $I_S(T) = J_S(T)A_E$. Finalmente, a tensão térmica V_T é dada por $V_T = kT/q$, com $q = 1,6 \cdot 10^{-19}$ C a carga elétrica e $k = 1,38 \cdot 10^{-23}$ J/K a constante de Boltzmann.

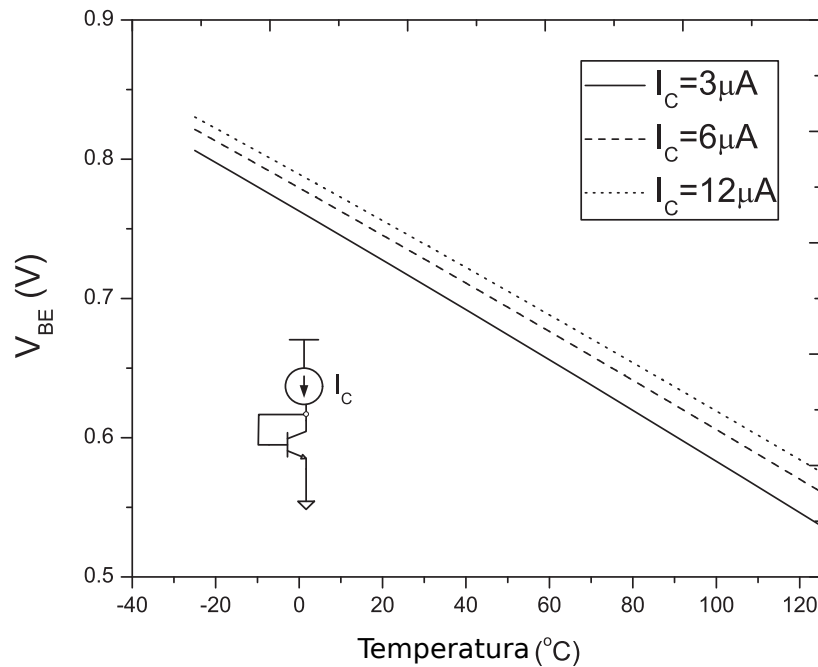
Escrevendo a tensão base-emissor como uma função da corrente de coletor e da temperatura, pode-se mostrar que [12][6]:

$$V_{BE}(T) = V_{G0} \left(1 - \frac{T}{T_r}\right) + V_{BE}(T_r) \left(\frac{T}{T_r}\right) - \frac{\rho k T}{q} \ln \left(\frac{T}{T_r}\right) + \frac{k T}{q} \ln \left(\frac{J_C(T)}{J_C(T_r)}\right) \quad (2.2)$$

Onde V_{G0} é a tensão de *bandgap* do silício em 0 K , ρ é uma constante de temperatura dependente do processo e T_r a temperatura de referência.

Na Figura 2.2, mostra-se uma simulação SPICE da dependência da temperatura da tensão V_{BE} de um TBJ NPN com $25\ \mu\text{m}^2$ de área de emissor e polarizado com $I_C = 6\ \mu\text{A}$. A tensão V_{BE} é observada como sendo $0,73\text{ V}$ em $T = 300\text{ K}$ e diminui com a temperatura quase que linearmente a uma taxa de $-1,73\text{ mV/K}$ em 300 K . Tal característica da temperatura é conhecida como Temperatura Complementar a Absoluta (do inglês, *Complementary to Absolute Temperature* - CTAT).

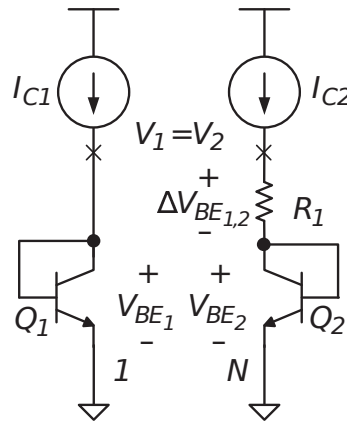
Figura 2.2: V_{BE} x Temperatura de um transistor NPN com área de emissor $25\ \mu\text{m}^2$ polarizado com $I_C = 3, 6, 12\ \mu\text{A}$



2.1.1 Tensão V_{BE} diferencial

Da Equação 2.2, V_{BE} é uma função dependente da temperatura T . Porém, a diferença do V_{BE} de dois TBJs polarizados com densidades de corrente diferente pode ser bem representado por uma função linear da temperatura T [11]. A Figura 2.3 ilustra um método para obter a tensão diferencial V_{BE} , ΔV_{BE} , de dois TBJs Q_1 e Q_2 com áreas de emissores A_{E1} e A_{E2} , respectivamente.

Figura 2.3: Obtenção de $\Delta V_{BE_{1,2}}$ do transistor NPN



Assumindo-se que a relação das áreas dos emissores seja $A_{E1} : A_{E2} = 1 : N$ e as fontes de corrente fornecendo $I_{C1} = I_{C2}$. Como resultado, a densidade de corrente J_{C1} de Q_1 é N vezes maior que a densidade de corrente J_{C2} de Q_2 . Isso resulta em $\Delta V_{BE_{1,2}}$ como:

$$\begin{aligned}
 \Delta V_{BE_{1,2}} &= V_{BE1} - V_{BE2} \\
 &= V_T \ln \left(\frac{I_{C1}}{J_S A_{E1}} \right) - V_T \ln \left(\frac{I_{C2}}{J_S A_{E2}} \right) \\
 &= V_T \ln \left(\frac{A_{E2}}{A_{E1}} \right) \\
 &= V_T \ln(N)
 \end{aligned} \tag{2.3}$$

Observa-se que $\Delta V_{BE_{1,2}}$ é proporcional a V_T , que é uma função linear de T . Reescrevendo a Equação 2.3 com relação a V_T , obtém-se:

$$V_T = \frac{\Delta V_{BE_{1,2}}}{\ln(N)} \quad (2.4)$$

Que implica em um circuito de mensuração do $\Delta V_{BE_{1,2}}$ é um circuito de mensuração de V_T também. Além disso:

$$\begin{aligned} \frac{\partial V_T}{\partial T} &= \frac{\partial(kT/q)}{\partial T} = \frac{k}{q} \\ &\approx 0,09 \text{ mV/K em } 300 \text{ K} \end{aligned} \quad (2.5)$$

Observa-se da equação 2.5 que a tensão térmica é uma tensão intrinsecamente linear à Temperatura Proporcional a Absoluta (do inglês, *Proportional to Absolute Temperature - PTAT*) .

2.2 Medições de desempenho

Um circuito de tensão de referência não é somente uma fonte de tensão compensada em temperatura, mas também um circuito estável onde a saída é insensível a variações na tensão de alimentação, carga, ruídos e variações no processo de fabricação.

A tensão de saída nominal $V_{REF(nom)}$ é a tensão de saída desejável em condições de operação nominal obtido com uma fonte de alimentação nominal $V_{DD(nom)}$. As variações da saída sobre a escala total das condições de operação devem ser consideradas, tendo em vista o desempenho dinâmico. Neste trabalho serão levantados dois fatores dinâmicos:

- Coeficiente de temperatura;
- Razão de rejeição de alimentação.

2.2.1 Coeficiente de temperatura

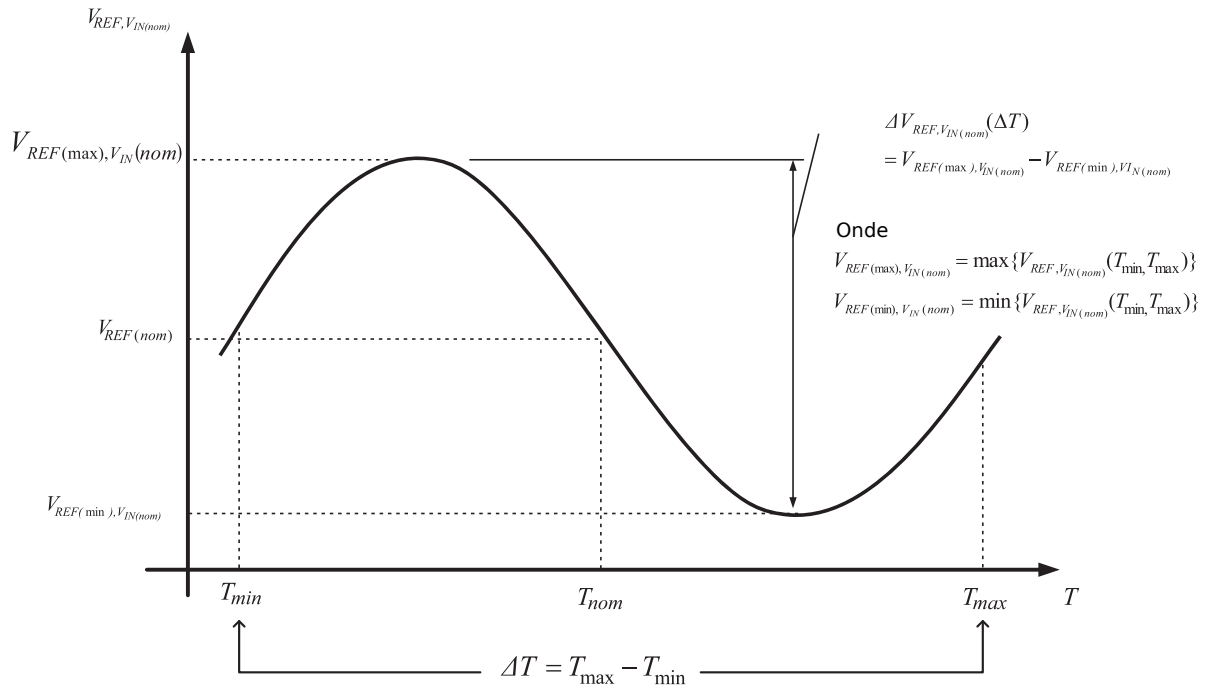
A característica física dos componentes do circuito varia com a temperatura de operação e, assim, gerando-se uma saída dependente da temperatura no circuito. A sensibilidade à

temperatura, nomeada de coeficiente de temperatura (do inglês *Temperature Coefficient* - TC), especifica a variação da tensão de referência sobre uma dada faixa de temperatura de operação [11]. O parâmetro TC é definido como:

$$\begin{aligned}
 TC &= \frac{V_{REF(max),V_{IN(nom)}} - V_{REF(min),V_{IN(nom)}}}{(T_{max} - T_{min}) \cdot V_{REF(nom)}} \cdot 10^{-6} \\
 &= \frac{\Delta V_{REF,V_{IN(nom)}}(\Delta T)}{\Delta T \cdot V_{REF(nom)}} \cdot 10^{-6} \text{ (ppm}/^\circ\text{C)}
 \end{aligned}
 \tag{2.6}$$

Onde $\Delta V_{REF,V_{IN(nom)}}(\Delta T)$ é a variação da tensão de referência dentro da faixa de temperatura $[T_{min}, T_{max}]$ e ΔT como especificado na forma de onda genérica visto na Figura 2.4.

Figura 2.4: Forma de onda típica do TC da tensão referenciada sob uma tensão de entrada nominal



É importante escolher a faixa de temperatura adequada para a aplicação específica em razão do cálculo do TC. Por outro lado, um pequeno TC pode ser obtido escolhendo-se o menor T_{min} e o maior T_{max} tal que:

$$V_{REF(max),V_{IN(nom)}} = V_{REF(nom)} + \frac{\Delta V_{REF,V_{IN(nom)}}(\Delta T)}{2} \quad (2.7)$$

$$V_{REF(min),V_{IN(nom)}} = V_{REF(nom)} - \frac{\Delta V_{REF,V_{IN(nom)}}(\Delta T)}{2} \quad (2.8)$$

Note que se alterar $V_{REF(nom)}$ para maximizar a faixa de temperatura de operação com um dado $\Delta V_{REF,V_{IN(nom)}}$, o $V_{REF(nom)}$ alterado também será afetado com o TC e todos outros parâmetros de desempenho. Assim, não é simples alterar o TC mudando-se um simples parâmetro de projeto, enquanto todos os parâmetros de desempenho são inter-relacionados.

O TC desejado para aplicações diferentes pode variar de algumas até centenas de partes por milhão por graus Celsius ($ppm/^{\circ}C$). A variação da tensão de referência sobre a faixa de temperatura de operação afetará diretamente a precisão do sistema.

2.2.2 Razão de rejeição de alimentação

Em um chip, a trilha de alimentação pode ser corrompida pelo ruído de alta frequência devido ao acoplamento de sinais, realimentação, oscilações na alimentação, etc. A capacidade do circuito de tensão de referência rejeitar o ruído e outros sinais espúrios em uma frequência particular na trilha de alimentação e, desse modo, prover uma tensão de referência estável é especificada como a razão de rejeição de alimentação (do inglês *Power Supply Rejection Ratio* - PSRR). O PSRR é uma função da frequência expressa em dB com a seguinte definição [11]:

$$PSRR(f) = 20 \log \left(\frac{V_{REF,AC}(f)}{V_{IN,AC}(f)} \right) \quad (dB) \quad (2.9)$$

O PSSR sobre uma faixa de frequência pode ser aplicado para descrever a variação da tensão de referência corrompida pelo ruído de alimentação.

2.3 Circuito de tensão de referência

Será abordado o princípio básico da geração de uma tensão de referência utilizando TBJ, que é o circuito e Widlar, levando-se posteriormente a explicação do funcionamento da topologia *beta multiplier voltage reference*, ou simplesmente multiplicador- β , escolhida para ser projetada.

2.3.1 Circuito de Widlar

Um dos primeiros circuitos foi apresentado por Robert Widlar em 1971 e é conhecido como circuito de Widlar [13].

A ideia básica em uma topologia de circuito de tensão de referência é a compensação do PTAT e do CTAT para obter-se uma tensão de referência com o coeficiente de temperatura mínimo, próximo a zero. A compensação pode ser alcançada somando-se as duas tensões:

$$\frac{\partial V_{sum}(T)}{\partial T} = m_1 \frac{\partial V_{PTAT}(T)}{\partial T} + m_2 \frac{\partial V_{CTAT}(T)}{\partial T} \quad (2.10)$$

Com as escolhas apropriadas de m_1 e m_2 , uma $V_{sum}(T)$ próximo a zero pode ser obtida. $V_{sum}(T)$ pode somente alcançar um valor não-nulo de TC, como visto na Figura 2.5.

A tensão CTAT no circuito de Widlar é formada pelo V_{BE} de um TBJ, enquanto a tensão PTAT é formada por V_T extraído de ΔV_{BE} dos dois TBJs polarizados com densidade de corrente diferente. O diagrama de bloco do circuito Widlar é mostrado a seguir.

Em suma, o circuito Widlar demonstra que se uma tensão CTAT é somada com uma tensão PTAT que foi apropriadamente escalonada, tal que ambos apresentem a mesma característica de temperatura em magnitude, tal que uma tensão igual a tensão de *bandgap* do silício V_{G0} será obtida.

2.3.2 Equalização da tensão de dreno

Da equação 2.4, ΔV_{BE} é uma tensão PTAT. Para obter ΔV_{BE} , um resistor R_1 é inserido em série com Q_2 (Figura 2.7). Se $V_A = V_B$, a tensão em torno de R_1 iguala a ΔV_{BE} . A corrente passando pelo resistor é igual a $I_2 = \Delta V_{BE_{1,2}}/R_1 = V_T \ln(N)/R_1$. Essa corrente

Figura 2.5: Variação de temperatura da tensão de referência obtida como a soma das tensões PTAT e CTAT

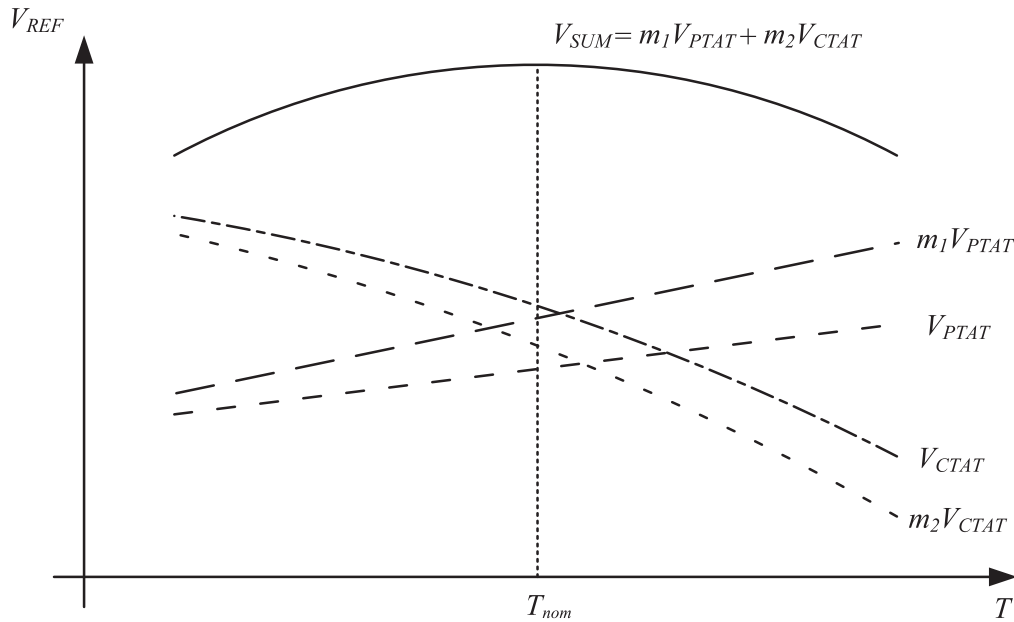
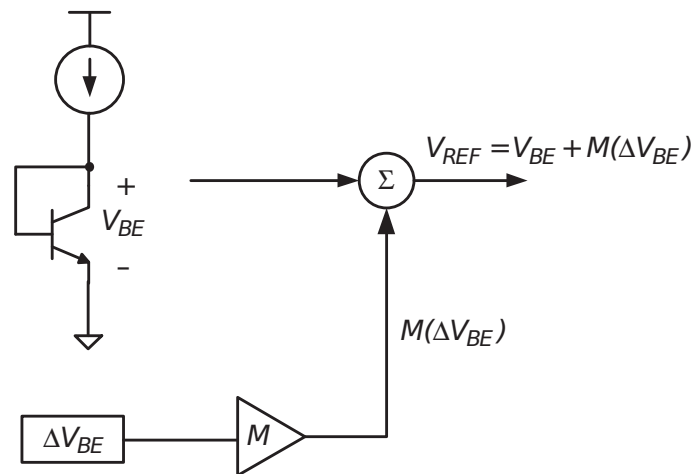


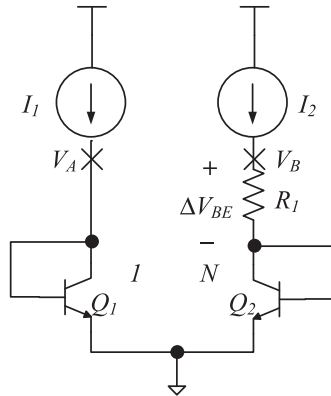
Figura 2.6: Diagrama de blocos do circuito de referência Widlar



de PTAT pode ser obtida por um espelho de corrente e reconvertido a tensão de PTAT usando outro resistor. A tensão PTAT pode ser combinada com a tensão CTAT para obter uma tensão de referência com um baixo coeficiente de temperatura. Uma característica desse circuito é a capacidade para aumentar a corrente passando por R_1 simplesmente diminuindo

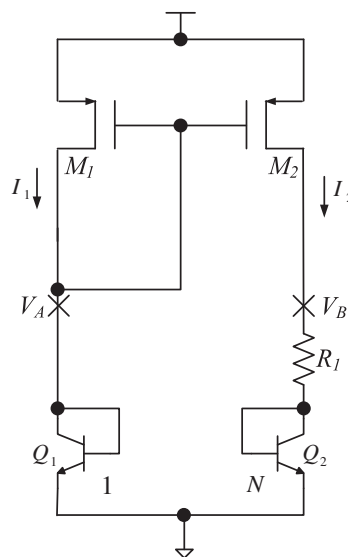
a resistência de R_1 sem ter que escalonar os tamanhos dos transistores bipolares, o que levaria a um aumento da área do circuito. Aumentar a corrente em torno de R_1 prover vantagens quando o circuito de referência é implementado com componentes não ideais, tais como reduzindo o efeito do problema de descasamento de componente [11].

Figura 2.7: Obtenção de ΔV_{BE}



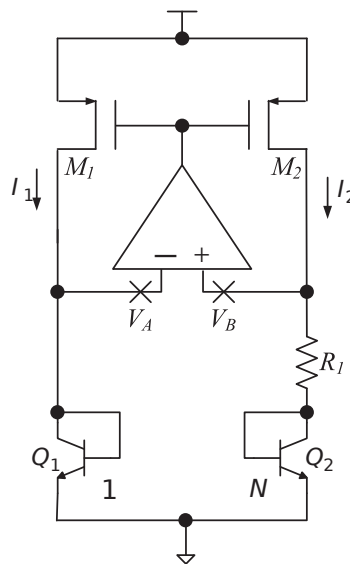
A obtenção de ΔV_{BE} do circuito da Figura 2.7 tem como questão o projeto de um espelho de corrente casado para obter I_1 e I_2 . Considere o simples caso onde $I_1 = I_2$, como visto na Figura 2.8.

Figura 2.8: Diagrama esquemático de uma equalização da tensão de dreno do espelho de corrente



O problema desse simples espelho de corrente é que irá sofrer do problema de modulação do canal devido a diferença entre as tensões de dreno V_A e V_B . Para resolver esse problema, pode-se usar a técnica de equalização da tensão de dreno colocando-se um amplificador operacional na malha de realimentação, com as entradas conectadas aos drenos dos transistores do espelho e a saída amplificada do erro conectada na porta dos transistores (Figura 2.9). Devido a configuração de realimentação, $V_{D1} = V_A$ e $V_{D2} = V_B$ são forçados a terem o mesmo potencial e alcançarem tensões de dreno iguais. Como resultado, os dois transistores do espelho de corrente terão as mesmas tensões de dreno, porta, fonte e poço. Isso força as correntes de dreno serem iguais. O ganho do amplificador determinará a precisão das tensões de dreno e a precisão da corrente espelhada.

Figura 2.9: Diagrama esquemático de uma equalização da tensão de dreno usando amplificador



2.3.3 Topologia *beta multiplier voltage reference*

No esquemático da Figura 2.10, pode-se ver uma topologia de circuito conhecida como *beta multiplier voltage reference*, ou simplesmente multiplicador- β , e que segue o método de compensação da Figura 2.6. Um diagrama de bloco simplificado é mostrado na Figura 2.11, onde o sistema é um circuito realimentado composto pelo amplificador, a malha de reali-

mentação (*core*) e a saída. O ganho do amplificador é denotado como $\alpha(s)$, enquanto o ganho de malha é dado por $\beta\alpha(s)$ e, devido a isso, o nome da topologia [11].

Figura 2.10: Diagrama esquemático de um circuito multiplicador- β

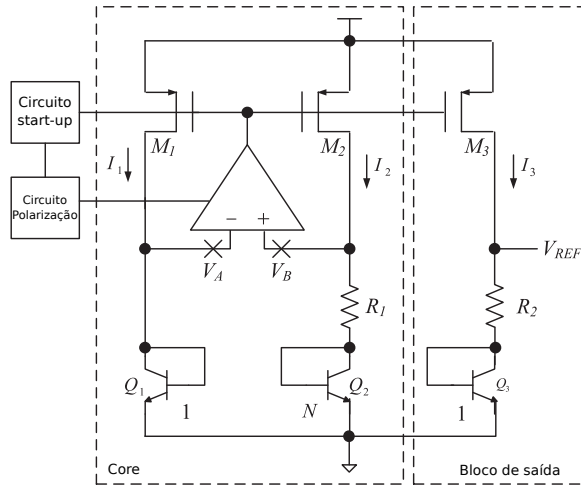
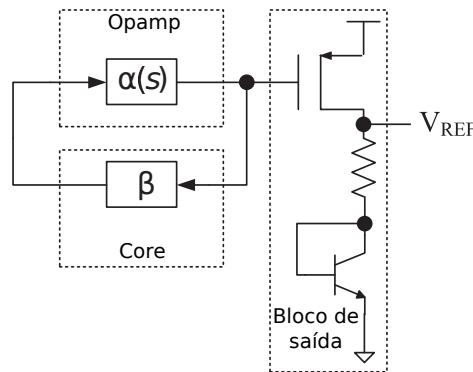


Figura 2.11: Diagrama de blocos de um circuito multiplicador- β



Voltando a observar a Figura 2.10, o circuito consiste de quatro sub-circuitos: o par do espelho de corrente, o amplificador operacional, as fontes de tensão V_{BE} e o circuito de *start-up*. O circuito de *start-up* é requerido devido o circuito multiplicador- β ser um sistema metaestável que se pode tornar estável tanto no estado de equilíbrio, quanto no estado de quasi-equilíbrio. Quando o circuito inicia, está no estado de quasi-equilíbrio com corrente nula no circuito multiplicador- β , ou seja, $I_1 = I_2 = 0$. Como resultado, $V_A = V_B = 0$, que mantém a saída do amplificador inalterada e, assim, mantendo as polarizações de M_1 e M_2 para a saída $I_1 = I_2 = 0$. Como resultado, o circuito é dito estar no estado de

quasi-equilíbrio e mantém o circuito todo nessa condição inicial. Um circuito de *start-up* é requerido para fornecer uma excitação externa a esse estado e trazer o sistema metaestável a estado de equilíbrio que produz uma tensão de referência estável. O circuito de *start-up* será somente efetivo durante o tempo antes do sistema atingir o estado de equilíbrio. Quando em equilíbrio, o circuito de *start-up* tem efeito desprezível na tensão de referência e, por consequência, nos parâmetros de desempenho do circuito.

Os pares de espelho de corrente formados pelos transistores M_1 , M_2 e M_3 tem o mesmo tamanho, tal que as correntes que passam por eles são as mesmas $I_1 = I_2 = I_3 = I$. O multiplicador- β consiste em três transistores NPN conectados como diodo Q_1 , Q_2 e Q_3 , com sua relação das áreas de emissor sendo $1 : N : 1$. Seja V_{BE_1} , V_{BE_2} e V_{BE_3} as tensões de base-emissor de Q_1 , Q_2 e Q_3 , respectivamente. As tensões V_A e V_B são então dadas por:

$$V_A = V_{BE_1} \quad (2.11)$$

$$V_B = IR_1 + V_{BE_2} \quad (2.12)$$

A impedância de entrada infinita do amplificador grampeia V_A e V_B para o mesmo nível de tensão. Como resultado, a partir das equações anteriores:

$$\begin{aligned} V_A &= V_B \\ V_{BE_1} &= IR_1 + V_{BE_2} \\ V_{BE_1} - V_{BE_2} &= IR_1 \\ \Delta V_{BE_{1,2}} &= V_T \ln(N) = IR_1 \end{aligned} \quad (2.13)$$

A tensão em torno de R_1 iguala a tensão PTAT V_T escalonada por $\ln(N)$. Logo, a corrente I que flui pelo espelho de corrente do multiplicador- β é uma corrente PTAT e é dada por:

$$I = V_T \frac{\ln(N)}{R_1} \quad (2.14)$$

O espelho de corrente garante que $I_3 = I$ e que a corrente de PTAT I induzirá uma tensão PTAT em torno de R_2 . A tensão de referência V_{REF} é a soma das tensões em torno de R_2 e V_{BE_3} :

$$\begin{aligned}
 V_{REF} &= IR_2 + V_{BE_3} \\
 &= \frac{R_2}{R_1} \Delta V_{BE_{1,2}} + V_{BE_3} \\
 &= \frac{R_2 \ln(N)}{R_1} V_T + V_{BE_3}
 \end{aligned} \tag{2.15}$$

Comparando a equação 2.15 e 2.10, essa topologia de circuito para tensão de referência é de primeira ordem. O fator de peso $R_2 \ln(N)/R_1$ escala a tensão PTAT V_T , que é somada com a tensão CTAT V_{BE_3} .

Essa topologia será a tomada para a realização do circuito de tensão de referência a ser projetado.

Capítulo 3

Conversores de sinais

Conversores de sinais são importantes em projetos de sistemas de aquisição de dados, como em sistemas de comunicações ou de instrumentação, por exemplo. Incluem blocos analógicos e digitais e formam a principal interface em sistemas de processamento de sinais mistos.

Várias arquiteturas são conhecidas, mas pode-se dividir em dois grupos principais: conversores Nyquist e de sobre-amostragem. Conversores Nyquist operam a uma taxa de amostragem próxima a frequência de Nyquist ou proximamente maior que duas vezes a largura de banda do sinal de entrada. Já a operação de sobre-amostragem requer uma taxa de amostragem que é várias vezes maior que a frequência de Nyquist. Recaindo na média das múltiplas amostras executadas por um filtro digital para cada conversão, um conversor de sobre-amostragem caracteriza-se por um tempo longo de aquisição comparado ao conversor Nyquist, que processa cada amostra de entrada independentemente.

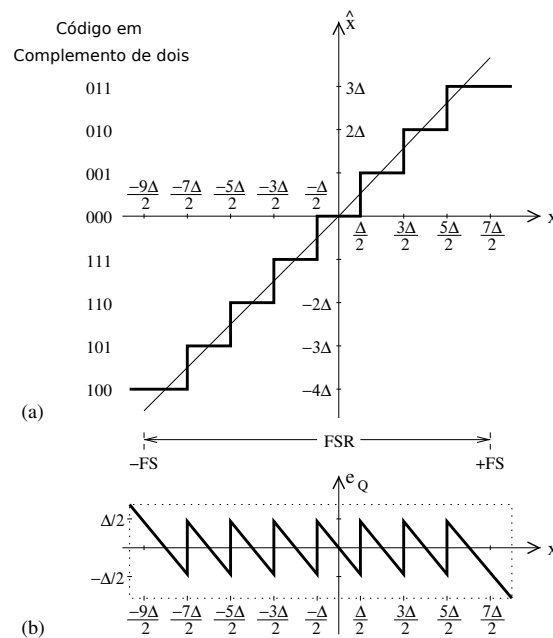
3.1 Conversor analógico-digital

Em um conversor analógico-digital, um sinal analógico é convertido em uma palavra digital. Um sinal contínuo no tempo com uma frequência máxima de f_m pode ser adequadamente representado por suas amostras adquiridas a uma taxa de $f_s \geq f_N = 2f_m$, onde f_N é a frequência de Nyquist. O sinal amostrado é então transformado em uma palavra dentro de um conjunto finito de representação por um quantizador.

A palavra consiste na associação única a um número binário para cada nível de quantização. Para um número de N bits, haverá 2^N níveis de quantização. Além disso, o tamanho do passo do conversor, Δ , representa o *bit* menos significativo (do inglês, *Least Significant Bit* - LSB) da palavra digital e é dado por $\Delta = FSR/2^N$, onde FSR é a faixa de fundo de escala do quantizador (do inglês, *Full-Scale Range* - FSR) .

A função de transferência e o erro de um quantizador uniforme, e_Q , pode ser visto na Figura 3.1. O erro causado pela quantização é definido como a diferença entre o nível de valor discreto e a entrada analógica atual ($e_Q = \hat{x} - x$) e encontra-se na faixa de $\pm\Delta/2$ enquanto o quantizador não satura.

Figura 3.1: (a) Função de transferência (b) Error de quatização de uma ADC de 3 bits

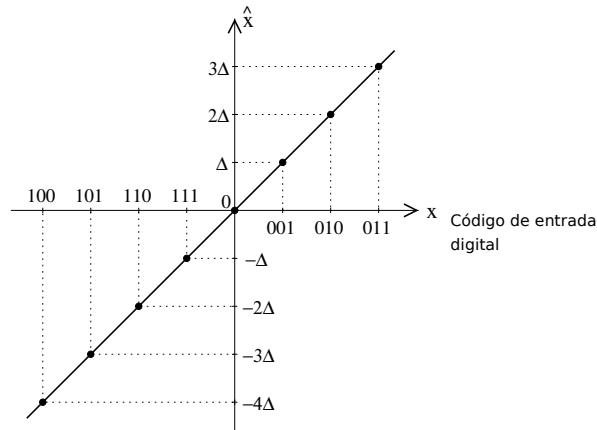


3.2 Conversor digital-analógico

Em um conversor digital-analógico uma palavra digital, pertencente a um conjunto finito, é transformada em um sinal analógico discreto no tempo correspondente. A função de transferência pode ser vista na Figura 3.2 para um código em complemento de dois.

Diferentemente do ADC, que apresenta um erro de quantização, o DAC associa unicamente cada código de entrada a um nível de saída sem erro inerente.

Figura 3.2: Função de transferência de um DAC de 3 bits



Em geral, a saída do DAC, X_0 , pode idealmente ser representada por:

$$X_0 = GX_{REF} \left(K_1 \frac{D}{2^N} + K_2 \right) \quad (3.1)$$

Onde G é o ganho, X_{REF} é o sinal de referência, D é o equivalente decimal da palavra binária, e K_1 e K_2 são constantes de ganho e de offset, respectivamente. No caso de uma conversão unipolar: $K_1 = 1$, $K_2 = 0$ e a faixa de saída é de 0 a GX_{REF} . Para um conversor bipolar, as constantes são escolhidas como $K_1 = 2$ e $K_2 = -1$ para produzir uma variação de saída entre $-GX_{REF}$ e GX_{REF} .

3.3 Caracterização dos erros

Além dos erros introduzidos pelo processo de quantização, a execução da conversão dos dados pode ser afetada por não-linearidades do dispositivo. Existem outros tipos de erros que limitam os conversores. Erros estáticos afetam a precisão durante a conversão dos sinais DC, enquanto erros dinâmicos essencialmente degradam o desempenho em alta velocidade. Erros de *offset*, ganho, não-linearidade diferencial e não-linearidade integral são associados com o desempenho estático. Seu impacto pode ser caracterizado no domínio da

frequência estimando-se características dinâmicas tais como relação sinal-ruído, distorção harmônica total e faixa dinâmica livre de espúrios. Por outro lado, erros dinâmicos podem ser relacionados com as limitações (tempo de aquisição, tempo de acomodação, espúrios) da resposta transiente.

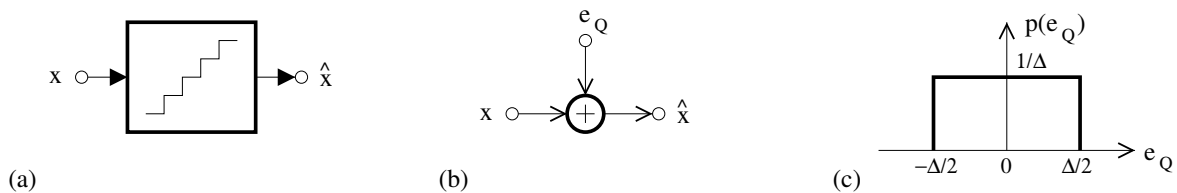
3.3.1 Erros de quantização

Seja x e \hat{x} a entrada e a amostra de saída do quantizador, respectivamente. O erro de quantização é definido como:

$$e_Q(n) = \hat{x}(n) - x(n) \quad (3.2)$$

$$\hat{x}(n) = Q(x(n)) \quad (3.3)$$

Figura 3.3: (a) Quantizador (b) Modelo linear do quantizador (c) Função da densidade de probabilidade do erro do quantizador



Onde Q denota a operação do quantizador. Porém, para sinais de entrada com uma faixa dinâmica larga, as amostras que sobressaem o limite do quantizador são limitadas e e_Q podem ser maiores que $\Delta/2$.

O desempenho de um conversor pode ser descrito pela relação sinal-ruído (do inglês, Signal to Noise Ratio - SNR):

$$\text{SNR} = 10 \log_{10} \left(\frac{P_x}{P_Q} \right) \text{ dB} \quad (3.4)$$

Onde $P_x = \sigma_x^2 = E[x^2(n)]$ é a potência do sinal de entrada ou variância e $P_Q = \sigma_Q^2 = E[e_Q^2(n)]$ é a potência ou variância do ruído de quantização.

A SNR também pode ser expressa em termos das amplitudes em rms (do inglês, root mean square):

$$\text{SNR} = 20 \log_{10} \left(\frac{A_x}{A_Q} \right) \text{ dB} \quad (3.5)$$

É conveniente tratar com um sinal de entrada, x , que é estacionário, média zero e não-correlacionado com e_Q . Assumindo-se que e_Q é um ruído branco distribuído uniformemente sobre o intervalo $-\Delta/2$ a $\Delta/2$, a função de probabilidade p é dada por:

$$p(e_Q) = \begin{cases} \frac{1}{\Delta} & \text{para } |e_Q| \leq \frac{\Delta}{2} \\ 0 & \text{caso contrário} \end{cases} \quad (3.6)$$

A potência do ruído de quantização pode ser obtida como:

$$P_Q = \sigma_Q^2 = \int_{-\Delta/2}^{\Delta/2} e_Q^2 p(e_Q) de_Q = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e_Q^2 de_Q = \frac{\Delta^2}{12} \quad (3.7)$$

Onde Δ é o tamanho do passo de quantização.

Assumindo um sinal de entrada senoidal com amplitude igual a metade da faixa de fundo de escala do quantizador, a potência pode ser escrita como:

$$P_x = \frac{(\text{FSR}/2)^2}{2} \quad (3.8)$$

Onde FSR denota a faixa de fundo de escala. Com o FSR de um quantizador de N bits dado por $\text{FSR} = 2^N \Delta$, a SNR pode ser escrita como:

$$\text{SNR} = 6,02N + 1,76 \text{ dB} \quad (3.9)$$

A SNR aumenta de 6 dB para cada bit adicional do quantizador. Porém, implementações práticas raramente alcançam a SNR teórica devido as imperfeições associadas aos componentes do circuito.

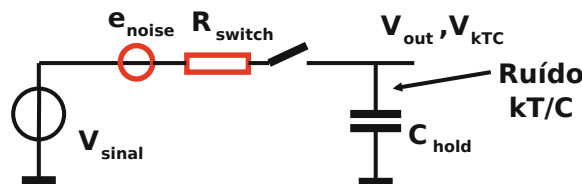
3.3.2 Erros causados pelo ruído

Na Figura 3.4, pode-se ver um circuito equivalente do circuito de amostragem básico, consistindo em uma chave e um capacitor de armazenamento. Comparado à situação ideal, dois elementos não-ideais foram adicionados à chave: a resistência de chave R , combinando todos os elementos resistivos entre a fonte e o capacitor, que é prejudicada com o ruído térmico, conseqüentemente uma fonte de ruído e_{noise} é adicionada e cujo espectro alcança bem além da taxa de amostragem da chave [14]. O erro do ruído térmico e_{noise} é dada por:

$$e_{noise} = \sqrt{4kT \cdot R \cdot LB} \quad (3.10)$$

Onde k é a constante de Boltzmann, T é a temperatura absoluta e LB é a largura de banda.

Figura 3.4: Amostra do ruído de chaveamento do capacitor: a resistência em série age como uma fonte de ruído



Quando a chave conecta ao capacitor, um filtro passa-baixas é formado. A energia de ruído média no capacitor é então uma versão filtrada da energia de ruído fornecida pelo resistor e é filtrada pela conjugada complexa da função de transferência da malha RC . Assim:

$$v_{C,noise}^2 = \int_{f=0}^{f=\infty} \frac{4kTR df}{1 + (\omega RC)^2} = \frac{kT}{C}$$

$$v_{C,noise} = \sqrt{\frac{kT}{C}} \quad (3.11)$$

A expressão da equação 3.11 é conhecida como ruído kT/C ou ruído térmico. Considerando-se um conversor ADC de N bits com uma tensão de fundo de escala V_{FS} , o ruído de quantização é dado por:

$$v_{C,noise}^2 = \frac{V_{FS}^2}{12 \cdot 2^{2N}} \quad (3.12)$$

O capacitor de amostragem, C_{hold} , é tipicamente escolhido grande o suficiente tal que o ruído térmico seja menor que o ruído de quantização do conversor, o que dá um valor mínimo de:

$$C_{hold_min} = 12kT \cdot \frac{2^{2N}}{V_{FS}^2} \quad (3.13)$$

A magnitude do resistor não faz parte da expressão de primeira ordem. Por outro lado, um aumento do valor do resistor aumentará a energia de ruído proporcionalmente. Porém, esse mesmo aumento no valor de resistor reduzirá a largura de banda também proporcionalmente.

3.3.3 Erros relacionados aos componentes

Além dos erros devido a quantização, o ruído total apresentado na saída do conversor é relacionado ao ruído dos componentes e a alocação não-uniforme dos instantes de amostragem (*clock jitter*). No caso particular do ADC, a contribuição devido a ambiguidade do comparador também deve ser levada em consideração. Além do mais, o desempenho dinâmico dos conversores é limitado pela característica de frequência dos componentes ativos e passivos.

O ruído causado pelos componentes pode ser analisado usando-se modelos equivalentes. Esse ruído é dominado pelas contribuições de ruído térmico e *flicker*.

Para a análise de *jitter*, considere uma entrada senoidal:

$$x(t) = A \sin(2\pi ft + \phi) \quad (3.14)$$

Idealmente, os instantes de amostragem devem ser:

$$t_n = nT_s, \quad n = 0, 1, 2, \dots, n - 1 \quad (3.15)$$

Porém, as amostras são afetadas pelos erros, δ_n , devido ao *jitter* e pode ser escrito como:

$$t_n = nT_s + \delta_n \quad (3.16)$$

As amostras do sinal de entrada podem ser obtidas usando-se:

$$\bar{x}(n) = A \sin(\Omega n + J_n + \phi) \quad (3.17)$$

Onde a frequência angular digital, Ω , e a fase do *jitter*, J_n , são dados por $\Omega = 2\pi fT_s$ e $J_n = 2\pi f\delta_n$, respectivamente. O erro devido ao *jitter* pode ser calculado como:

$$e_J(n) = \bar{x}(n) - x(n) \quad (3.18)$$

Onde $x(n)$ é a versão amostrada não-uniforme do sinal de entrada, especialmente, $x(n) = A \sin(\Omega n + \phi)$. A contribuição do *jitter* na SNR é:

$$\text{SNR} = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_Q^2} \right) \text{ dB} \quad (3.19)$$

Onde $\sigma_x^2 = E[x^2(n)]$ é a variância do sinal de entrada e $\sigma_Q^2 = E[e_J^2(n)]$ é a variância do ruído de *jitter*.

Outro erro relaciona-se com os sinais de entrada em torno do nível de decisão do comparador, que frequentemente consiste em um amplificador seguido por um *latch*, podendo resultar em códigos de saída ambíguos. Seja v_Q e v_{Qb} as tensões relacionadas as saídas positiva e negativa do comparador, respectivamente. A diferença $v_d = v_Q - v_{Qb}$ pode ser obtida resolvendo-se uma equação diferencial da forma:

$$\frac{dv_d(t)}{dt} - \frac{1}{\tau} v_d(t) = 0 \quad (3.20)$$

Onde a constante de tempo, τ , caracteriza a capacidade do *latch* de resolver níveis de tensão intermediárias e depende das condições de carga, parâmetros do transistor e o processo de fabricação. Isso é:

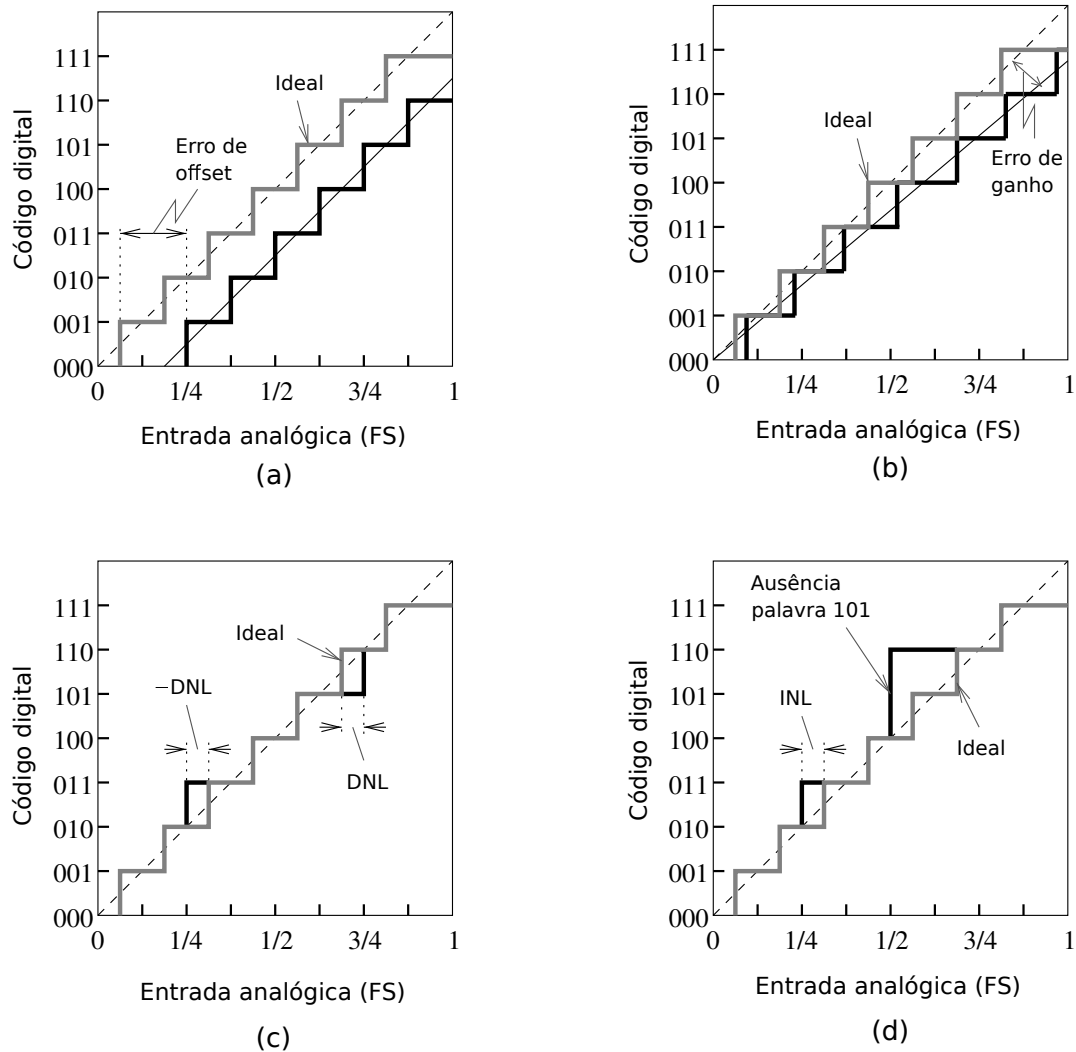
$$v_d(t) = v_d(0) \exp(t/\tau) \quad (3.21)$$

Com $v_d(t)$ sendo a condição inicial no início da região de metaestabilidade. Idealmente, o *latch* requer um tempo extra, T , para gerar uma saída válida, ou seja, uma saída que pode ser processada pelo próximo estágio de circuito. Isso requer que v_d atinja um certo valor, $V_{FS}/2$ por exemplo, dentro de um período T_s . Do contrário, uma decisão errada será realizada se $v_d(T_s) < V_{FS}/2$.

3.3.4 Erros estatísticos

Os erros estatísticos são comumente expressos em unidades LSB ou como percentagem do FSR do conversor [15].

Figura 3.5: Em um ADC: (a) Erro de *offset* (b) Erro de ganho (c) Não-linearidade diferencial (d) Não-linearidade integral

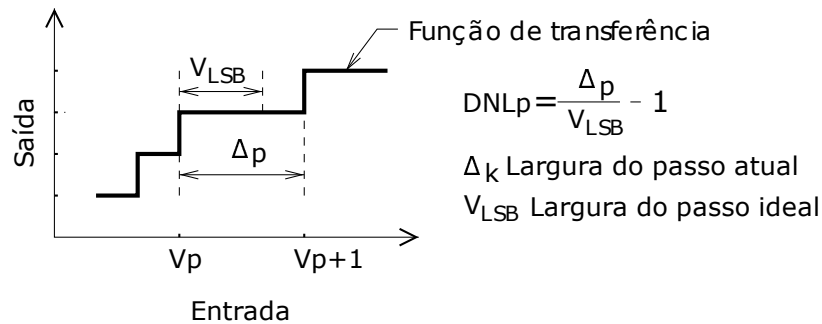


- Erro de *offset*: Corresponde ao desvio da saída do conversor obtido aplicando-se um sinal de entrada com uma escala nula para converter. Pode ser tanto positivo, como negativo, e afeta todos os dados de saída da mesma maneira.
- Erro de ganho: O ganho da função de transferência é dado pela inclinação da linha que liga os dois pontos extremos. O erro de ganho resulta em uma inclinação diferente entre os conversores ideal e real. Todos os códigos exibem a mesma percentagem de desvio.

- Erro de não-linearidade diferencial (DNL): O DNL é o desvio ou da largura de passo para o ADC (Figura 3.5c) ou da altura do passo para o DAC do valor ideal de 1 *LSB* (Figura 3.7c). No caso específico onde um tamanho de passo de quantização pode ser associado a cada palavra p , é definido como:

$$DNL_p = \frac{\Delta_p}{V_{LSB}} - 1 \quad (3.22)$$

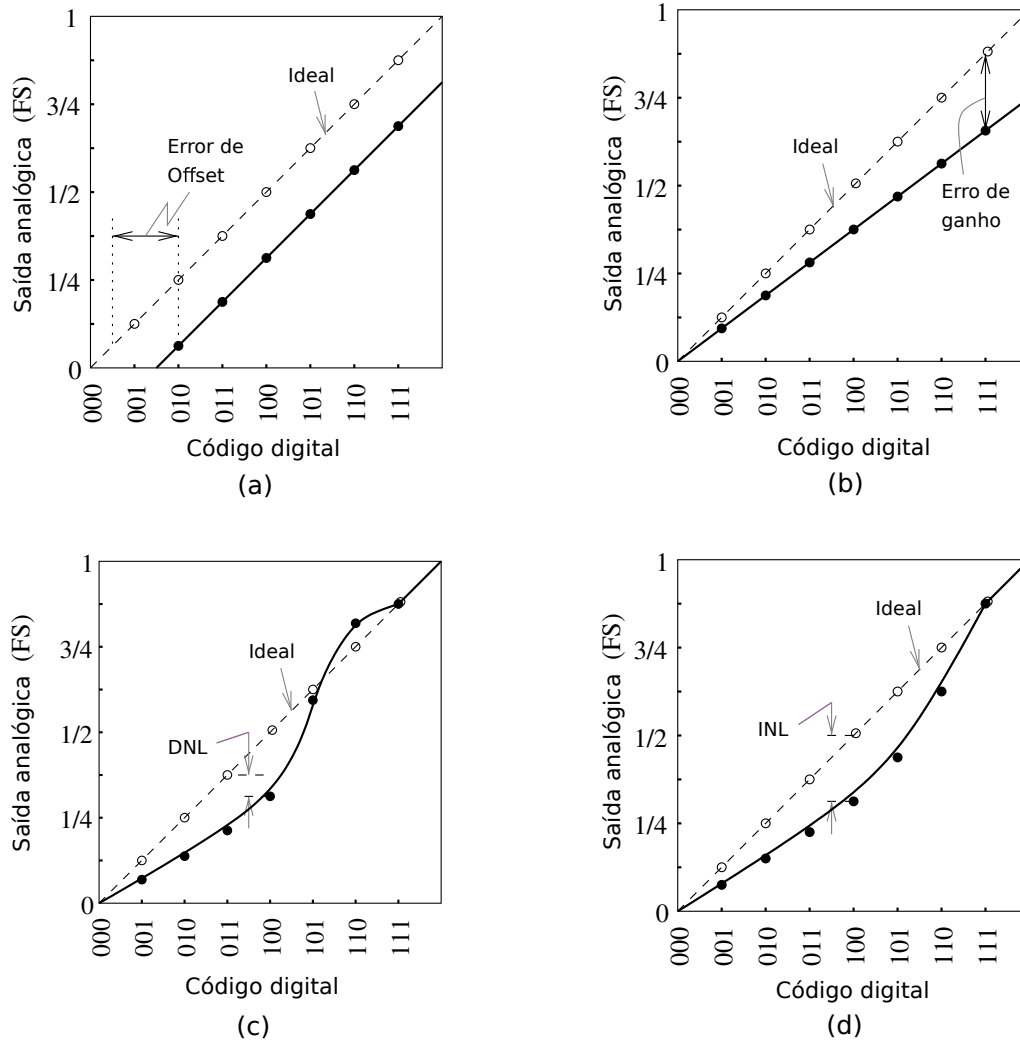
Figura 3.6: Ilustração do erro de DNL



Onde Δ_p representa o tamanho do passo de quantização atual para a palavra p e V_{LSB} é o tamanho do passo de quantização ideal (Figura 3.6). Geralmente, o maior valor de $|DNL_p|$ é considerado o DNL do conversor. A palavra ausente é o resultado de um DNL igual a ou menor que -1 LSB. Nesse caso, o passo correspondente não aparece na função de transferência. É possível que o conversor torne não-monotônico para valores de DNL maiores que 1 LSB, ou seja, a magnitude da saída do conversor diminui enquanto o dado de entrada aumenta. Vale ressaltar que a palavra monotônico é usada aqui para caracterizar o comportamento de um ADC e é relacionada a um aumento nulo ou positivo do código de saída, com o aumento do nível da entrada do sinal a ser convertido [14].

- Erro de não-linearidade integral (INL): O INL denota o desvio em qualquer ponto da função de transferência do dado de saída a partir de uma linha de referência desenhada

Figura 3.7: Em um DAC: (a) Erro de offset (b) Erro de ganho (c) Não-linearidade diferencial (d) Não-linearidade integral



passando pelo zero e o fundo de escala. Seu valor pode depender da definição desses dois pontos. Assumindo que o cálculo dos níveis de quantização é possível, tem-se:

$$INL_p = \left| \frac{V_p - V_0}{V_{LSB}} - p \right| \quad (3.23)$$

Onde V_p é o nível limiar associado com a palavra p , V_0 é o nível limiar correspondente a menor palavra de transição e V_{LSB} é o tamanho do passo de quantização ideal. Também:

$$\text{INL}_p = \sum_{j=0}^p DNL_j \quad (3.24)$$

Onde o primeiro índice do código de saída é suposto ser zero.

3.3.5 Erros dinâmicos

O desempenho do conversor também é afetado por erros cuja raiz é relacionada a natureza variante no tempo dos sinais de entrada. A razão sinal-ruído (SNR), a distorção harmônica total (THD), a razão sinal-ruído e distorção (SINAD), o número efetivo de *bits* (ENOB) e a faixa dinâmica livre de espúrios (SFDR) são geralmente usados para especificar o desempenho dinâmico. Parâmetros que são normalmente especificados em dB, também podem ser dados em dBc quando a potência absoluta da fundamental é extrapolada para a faixa de fundo de escala [15].

Em geral, todos os componentes espectrais disponíveis na saída do conversor e que são diferentes daquele do sinal de entrada são considerados ruído. Porém, um melhor entendimento dentro do processo de conversão é fornecido estimando separadamente o ruído de fundo e os níveis de distorção harmônica. Assim, os componentes da distorção harmônica são excluídos da medição do SNR, mas são levados em consideração na determinação do SINAD.

- A SNR é a razão da potência do sinal de entrada fundamental pela potência do ruído, que é causada por todos os componentes espectrais (de DC até metade da frequência de amostragem, excluindo o ruído em DC e os componentes de distorção harmônica). Considerando-se um sinal de entrada de fundo de escala e somente o ruído devido aos erros de quantização, a SNR em decibel de um conversor Nyquist é dado por:

$$\text{SNR} = 10 \log_{10} \left(\frac{P_1}{P_Q} \right) = 6,02N + 1,76 \quad (3.25)$$

- A faixa dinâmica (DR) é a razão da potência do sinal de entrada senoidal de fundo de escala pela potência do ruído entregue pelo conversor com as entradas curto-circuitadas.
- A distorção harmônica total (THD) é a razão da soma rms das potências dos componentes harmônicos acima da fundamental pela potência do sinal fundamental na saída do conversor. A THD pode ser obtida como:

$$\text{THD} = 10 \log_{10} \left(\frac{P_D}{P_1} \right) \quad (3.26)$$

Onde P_D é a soma rms das potências de todas as componentes espectrais de distorção. A medição da distorção é realizada com um sinal de entrada cuja amplitude é geralmente $0,5 \text{ dB}$ a 1 dB abaixo do fundo de escala para evitar corte e somente leva em consideração componentes harmônicas dentro da largura de banda de Nyquist. Na prática, os efeitos da distorção são diretamente observáveis em formas de onda no domínio do tempo para um valor de THD em torno de -30 dB .

- O SINAD é a razão da potência do sinal fundamental pela potência de todas as componentes espectrais restantes (exceto DC) abaixo da metade da frequência de amostragem. Pode ser expresso como:

$$\text{SINAD} = 10 \log_{10} \left(\frac{P_1}{P_Q + P_D} \right) \quad (3.27)$$

O SINAD é medido em dB em uma frequência de entrada específica e taxa de amostragem. No caso de um conversor ideal, o erro de quantização é a única fonte de ruído e o SINAD é simplificado para o SNR.

- O ENOB especifica a resolução que um conversor ideal deve realizar para exibir o mesmo SINAD com relação a aquele medido no conversor real. Pode ser obtido para conversores Nyquist por:

$$\text{ENOB} = (\text{SINAD} - 1,76)/6,02 \quad (3.28)$$

A diferença entre o ENOB e o número nominal de *bits* indica o impacto das imperfeições do circuito no processo de conversão.

- A SFDR pode ser obtida como a razão da potência do sinal fundamental pela potência da maior componente de espúrio no espectro do conversor (excluindo DC). Geralmente é plotado como uma função da amplitude do sinal de teste. A SFDR é comumente usada em aplicações de comunicação, como uma indicação da faixa dinâmica usável.

3.4 Modos de operação

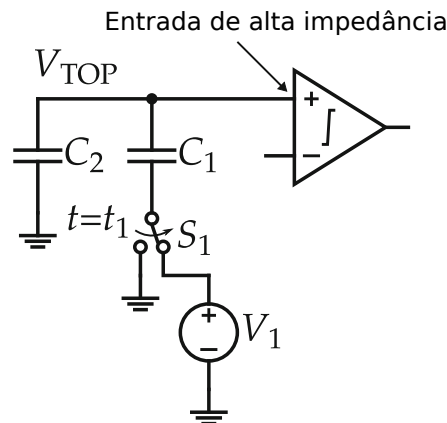
Os esquemas de chaveamento empregados nos projetos atuais de SAR recaem em um dos seguintes modos de operação: redistribuição de cargas (CR) e compartilhamento de cargas (CS) [3].

3.4.1 Princípio da redistribuição de carga

A saída do DAC é configurada variando-se a tensão nas placas de baixo dos capacitores, enquanto mantendo a capacitância total imutável. Um exemplo pode ser visto na Figura 3.8. Desde que não existe caminho para a corrente de/para V_{TOP} , a carga na placa superior dos capacitores Q_{TOP} é constante e independente das mudanças nas chaves. Por outro lado, a tensão V_{TOP} varia de acordo com as chaves. A variação é também ditada pela razão de C_1 pela capacitância total $C_1 + C_2$.

Nas implementações de ADCs desse tipo, a funcionalidade do *Sample And Hold* é absorvida pelo conjunto de capacitores. A capacidade de deslocar a tensão para cima e para

Figura 3.8: Circuito simplificado demonstrando o princípio da redistribuição de carga

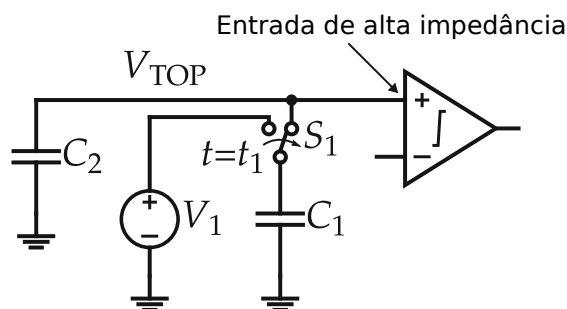


baixo em passos controlados é conseguida usando-se capacitores múltiplos com as placas inferiores chaveadas. Comumente, esses capacitores têm pesos binários de capacitância.

3.4.2 Princípio do compartilhamento de carga

A saída do DAC é alterada conectando-se capacitores pré-carregados aos nós do DAC. Assim, a capacitância total do DAC aumenta durante a conversão. Um exemplo pode ser visto na Figura 3.9. A carga inicial nesses capacitores e suas capacitâncias ditam a quantidade de variação na tensão de saída do DAC. Desde que não existe caminho de corrente de/para V_{TOP} , a carga total na placa superior é a soma das cargas iniciais de todos os capacitores conectados. A tensão V_{TOP} é dada pela carga total dividida pela capacitância total.

Figura 3.9: Circuito simplificado demonstrando o princípio do compartilhamento de carga



Diferente da redistribuição de carga, no ADC tipo compartilhamento de carga a funcionalidade do *Sample And Hold* não é desempenhada pelos capacitores do DAC. Na prática, o sinal de entrada pode ser associado ao V_{TOP} no início da conversão. A habilidade de alterar a tensão para cima e para baixo em passos controlados é alcançada conectando-se capacitores de peso binário.

3.5 Esquemas de chaveamento de redistribuição de carga

Neste trabalho, irá focar-se na técnica de chaveamento de redistribuição de cargas, com foco no regime de chaveamento monotônico. Discutiremos inicialmente o chaveamento convencional, e em seguida trataremos do chaveamento monotônico.

3.5.1 Chaveamento convencional

Na primeira fase do algoritmo, a entrada é amostrada nas placas inferiores dos capacitores. Uma vez a amostragem finalizada, esses capacitores são desconectados da entrada. Então, no *array* superior, o capacitor do *bit* mais significativo (do inglês, *Most Significant Bit* - MSB) é conectado ao V_{REF} enquanto os capacitores restantes são conectados à terra. No *array* inferior o oposto é feito. O comparador é ativado e o resultado dita o MSB da palavra de saída. Dependendo se o MSB é “0” ou “1”, o DAC transita para cima ou para baixo.

Figura 3.10: Ciclo de comparação e decisão do chaveamento convencional. Fonte: [3]

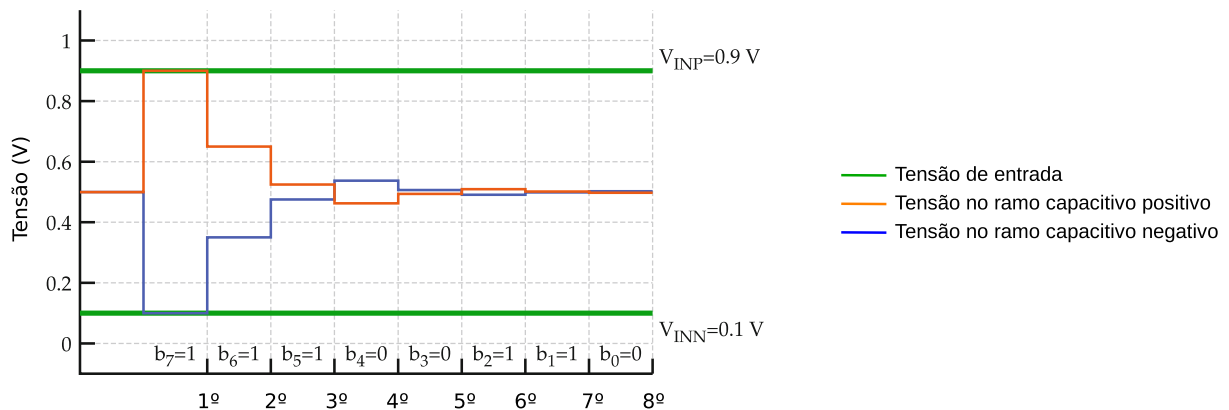
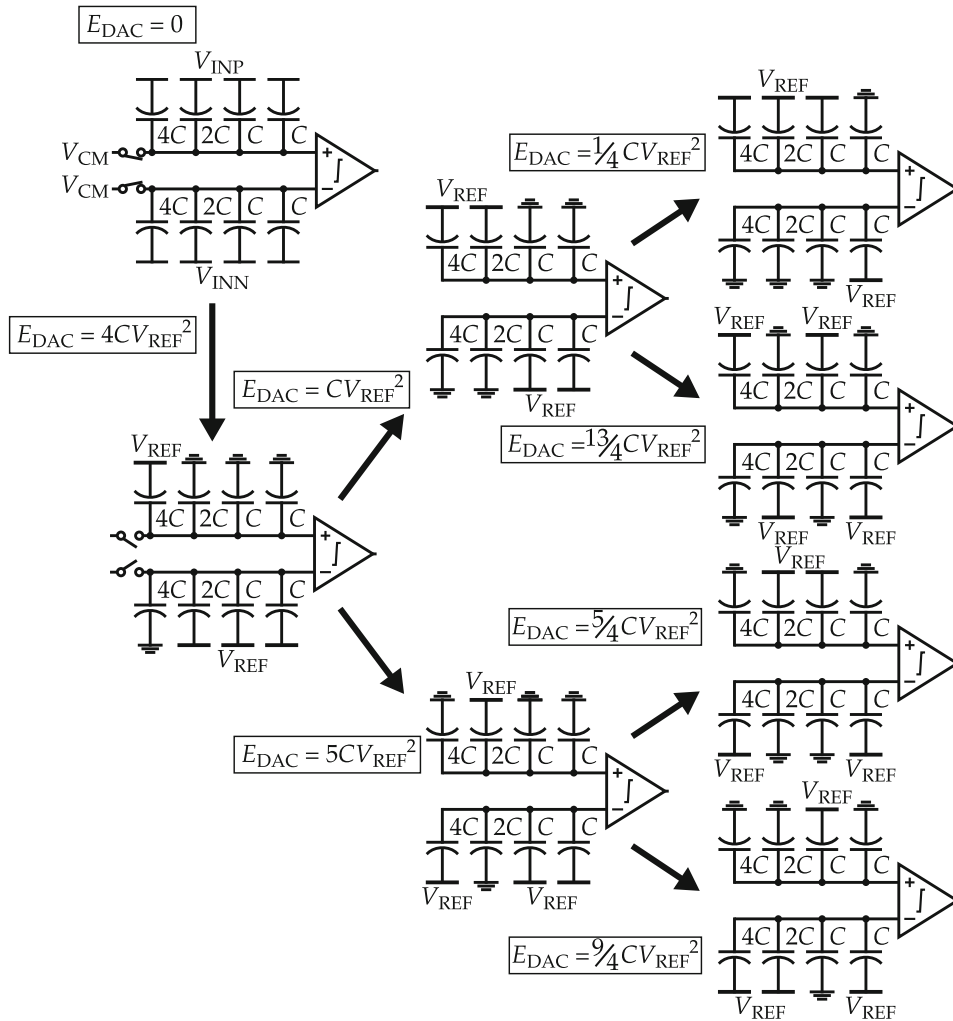


Figura 3.11: Procedimento da conversão do chaveamento convencional. Fonte: [3]



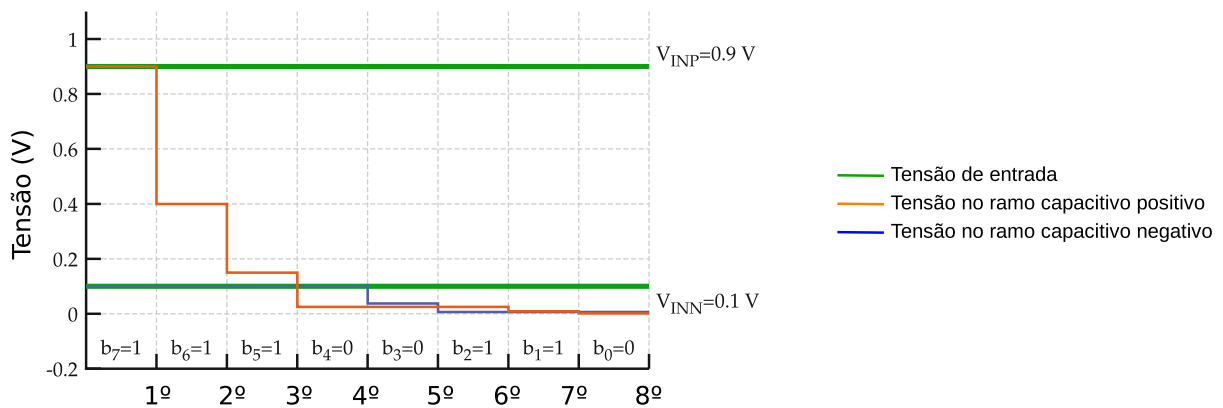
Devido a nenhuma das cargas serem recicladas, isto é, alguns capacitores são descarregados pelo terra, enquanto energia “nova” é drenada da fonte, o esquema não é muito eficiente. A energia média de um chaveamento de B -bit, assumindo que todos os códigos são equiprováveis, é:

$$\begin{aligned}
 E_{conv} &= \sum_{i=1}^B (2^{B+1-2i} (2^1 - 1)) CV_{REF}^2 \\
 &= \left(\frac{2^{-B+1} + 2^{B+2}}{3} - 2 \right) CV_{REF}^2
 \end{aligned} \tag{3.29}$$

3.5.2 Chaveamento monotônico

Nessa técnica, usa-se somente ciclos de descarga, sem nenhuma operação de carregamento explícita. Adicionalmente, desde que o esquema emprega amostragem nas placas superiores, requer-se somente 2^{B-1} capacitores ao invés de 2^B . Essa simplificação é possível devido a amostragem nas placas superiores permitir o MSB ser obtido comparando-se diretamente o sinal de entrada amostrado nas placas superiores, sem chavear qualquer capacitor.

Figura 3.12: Ciclo de comparação e decisão do chaveamento monotônico. Fonte: [3]

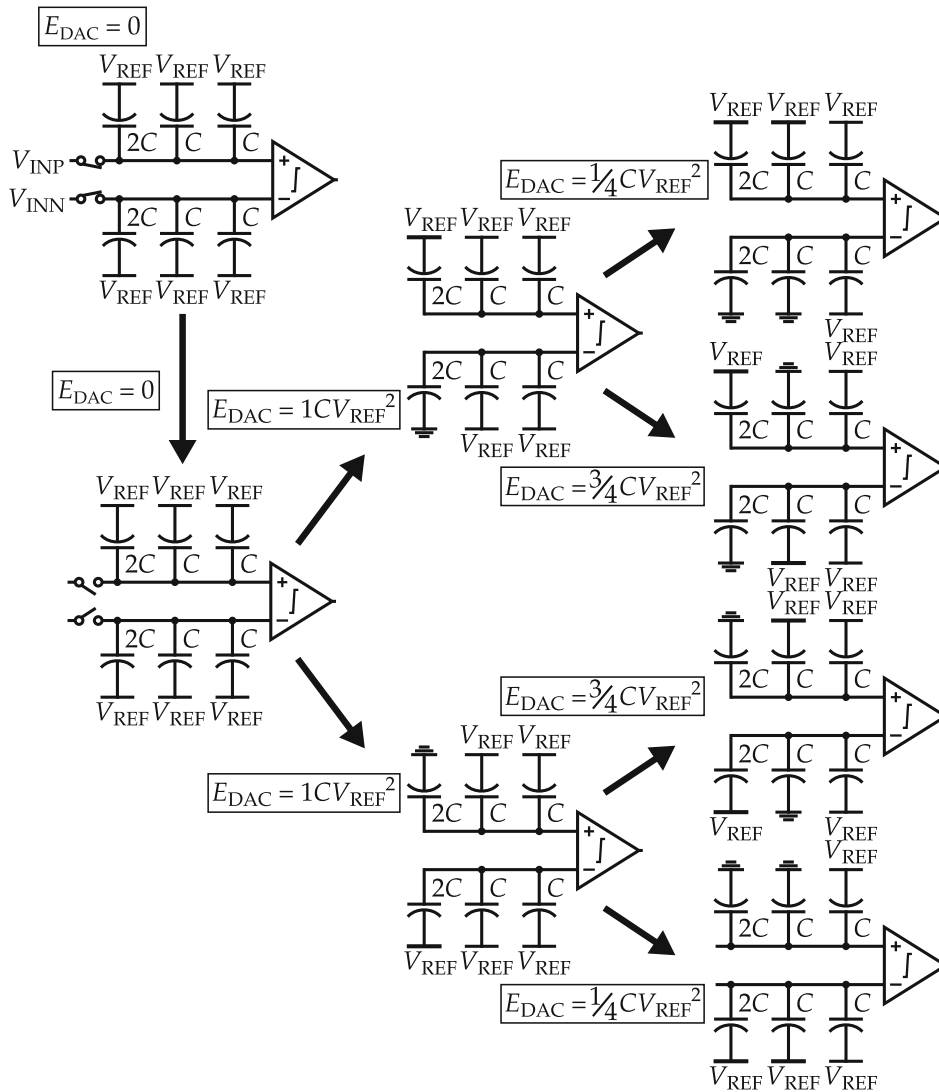


Na primeira fase do algoritmo, a entrada é amostrada nas placas superiores, enquanto as placas inferiores são conectadas à tensão de referência. O MSB é diretamente obtido pelo comparador. Dependendo se o MSB é “0” ou “1”, o capacitor-MSB do *array* superior ou inferior é conectado à terra. Um procedimento semelhante é propagado pelos *bits* seguintes, reduzindo a tensão diferencial em direção a zero, enquanto os *bits* de saída são extraídos do comparador.

Diferentemente do chaveamento convencional, o ciclo MSB não consome energia. A energia de chaveamento médio de um algoritmo de chaveamento monotônico de B -bit pode ser derivado como:

$$\begin{aligned}
 E_{mono} &= \sum_{i=1}^B (2^{B-2-i}) CV_{REF}^2 \\
 &= (2^{B-2} - 1/2) CV_{REF}^2
 \end{aligned}
 \tag{3.30}$$

Figura 3.13: Procedimento da conversão do chaveamento monotônico. Fonte: [3]

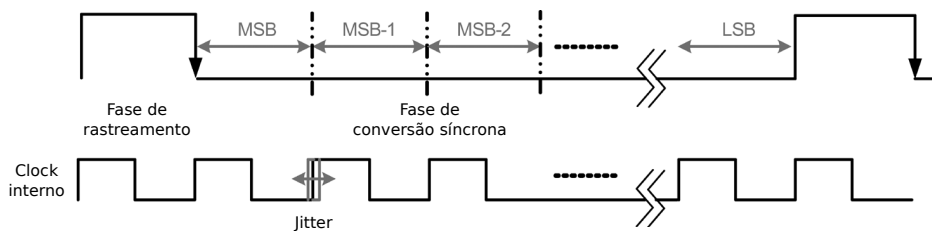


3.6 Operação síncrona x assíncrona

A operação sequencial do conversor SAR tem sido uma limitação para alcançar operações de alta velocidade [16]. Isso porque recai no uso do *clock* síncrono para dividir o tempo na fase de rastreamento do sinal e na fase de conversão do mesmo (com progressão do MSB para o LSB, como visto na Figura 3.14). Para um conversor de N bits com uma taxa de conversão de F_s , a técnica síncrona requer um *clock* rodando ao menos em $(N + 1)F_s$. Um conversor SAR usado em regime de uma baixa taxa de conversão, a geração do *clock* não é um fator crucial. Porém, para alta velocidade, a geração do *clock* é uma sobrecarga

significativa [17]. Por exemplo, um ADC SAR de 300 MSps de 6 *bits* requererá um *clock* de 2,1 GHz. Sintetizar tal circuito de geração de *clock* e mais a distribuição desse sinal pode conduzir a um maior consumo que o próprio ADC em si. De uma perspectiva da velocidade, cada ciclo de *clock* tem que tolerar o tempo de comparação no pior caso, que é composto do tempo de acomodação máximo do DAC e do tempo de resolução do comparador dependente do mínimo nível de entrada razoável. Além disso, cada ciclo de *clock* requer uma margem para o *jitter*, que pode ou diminuir a velocidade de conversão ou impor um requerimento rigoroso no circuito gerador de *clock*.

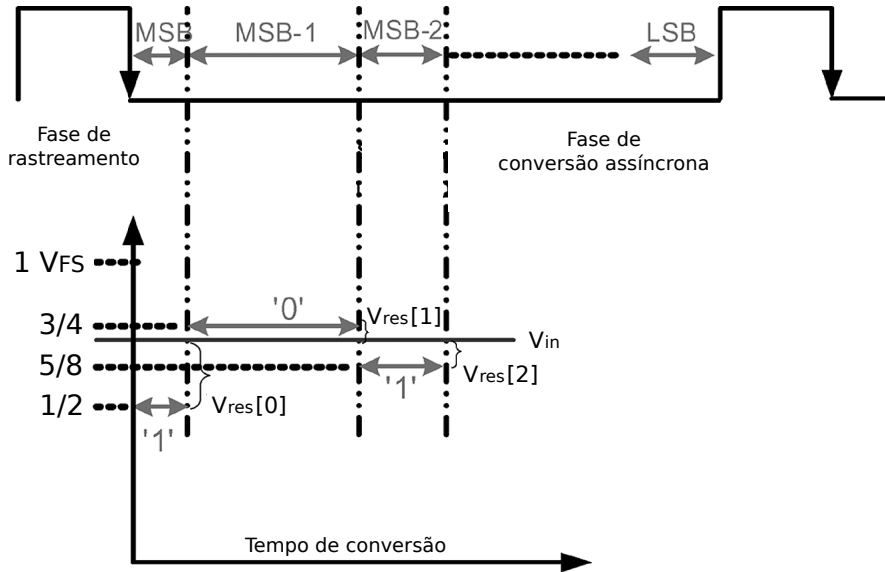
Figura 3.14: Conversão síncrona de um ADC SAR. Fonte: [17]



As limitações de consumo e velocidade de um projeto ADC SAR advêm altamente do *clock* interno. Usar o processamento assíncrono das comparações internas remove a necessidade de tal circuito de *clock* e substancialmente melhora a eficiência energética comparado ao projeto síncrono. A nível de topo, um *clock* global rodando a uma taxa de amostragem é ainda usado para amostragem uniforme, desde que a maioria do circuito digital para os dados ainda é pertencente a um mundo síncrono. O conceito de processamento assíncrono é disparar uma comparação interna de MSB para LSB como um dominó (Figura 3.15). Sempre que a comparação atual é completada, um sinal *ready* é gerado para disparar a comparação seguinte.

A diferença de tensão V_{res} entre o sinal de entrada e o nível de referência determina o tempo de resolução do comparador. Dependendo da topologia do comparador, o tempo de resolução e o *tradeoff* da tensão de entrada mudará. Para um conversor de N *bits*, o tempo de resolução total de ambos os projetos síncrono e assíncrono pode ser expresso por:

Figura 3.15: Conversão assíncrona de um ADC SAR. Fonte: [17]



$$\begin{aligned}
 T_{async} &= \sum_{i=0}^{N-1} K \ln \frac{V_{FS}}{V_{res}[i]} \\
 T_{sync} &= N K \ln \frac{V_{FS}}{V_{min}}
 \end{aligned} \tag{3.31}$$

Onde $V_{res}[i]$ denota a tensão de entrada do comparador no i -ésimo estágio (Figura 3.15) e V_{min} é usualmente dado pelo nível LSB.

A conversão assíncrona toma vantagem dos ciclos de comparação rápidos, desde que somente um desses $V_{res}[i]$, $\forall i \in [0, N-1]$ cairá dentro da faixa $\pm 1/2$ LSB devido ao algoritmo do SAR. A quantidade de tempo de conversão salvo entre T_{async} e T_{sync} é uma função do número de *bits* bem como o perfil de $V_{res}[i]$, que depende no nível de tensão de entrada. No caso extremo, um conversor de 1 *bit* não se beneficia do processo assíncrono, desde que o único ciclo de comparação é sempre limitado pelo pior caso do tempo de resolução. Enquanto o número de *bits* aumenta, $V_{res}[i]$ será distribuído sobre a faixa de escala de fundo e criará resguardo de tempo.

3.7 Codificação binária

As palavras digitais são numericamente representadas por uma codificação numérica binária. Há dois tipos: codificação unipolar e codificação bipolar.

A codificação unipolar é usada para representar sinais com um valor de sinal predeterminado, geralmente números positivos. As mais comuns são as representações em binário natural e em código Gray.

A representação binária natural é um sistema de numeração posicional de base 2, onde cada *bit* da palavra binária representa uma potência de 2. A palavra compreendida de zeros corresponde ao menor valor da escala, enquanto a palavra compreendida de uns corresponde ao maior valor do fundo de escala menos *1 LSB*.

O código Gray pode ser obtido rearranjando a sequência binária tal que somente exista uma mudança de *bit* entre duas palavras adjacentes.

A codificação bipolar é usada para representar sinais que podem ser ou positivo ou negativo, ou seja, variam sua polaridade. As mais comuns são as representações em sinal-magnitude, em complemento de 2 e em excesso de K (também conhecido como *offset* binário).

Na representação sinal-magnitude, o *bit* MSB é reservado para representar o sinal, sendo 0 para números positivos e 1 para números negativos, enquanto os *bits* restantes representam a magnitude do sinal.

Na codificação em complemento de 2, sinais positivos e o zero apresentam o mesmo código que a representação binária natural, enquanto os sinais negativos são representados pelo complemento de 2 do número positivo equivalente. O complemento de 2 é obtido pela inversão de cada *bit* da palavra em binário e então adiciona-se um (1), desprezando qualquer valor de vai-um que tenha ocorrido. Como na representação sinal-magnitude, se o MSB for 0 o número é positivo e se for 1 o número é negativo.

No excesso de K, ou *offset* binário, o número binário é deslocado tal que o binário onde o MSB é 1 e os restantes dos *bits* é 0 representará o meio da escala. No caso de todos os *bits* em 0, esse valor representará o número mais negativo da escala. Se todos os *bits* forem 1, o valor representado será o número mais positivo da escala menos *1 LSB*.

Na Tabela 3.1 é mostrado exemplos dessas codificações binárias para o caso de uma palavra de 3 *bits*, com o equivalente decimal representado na primeira coluna.

Tabela 3.1: Códigos binários para palavras de 3 *bits*

Número Decimal	Binário Natural	Código Gray	Sinal-Magnitude	Complemento de 2	Offset Binário
7	111	100	-	-	-
6	110	101	-	-	-
5	101	111	-	-	-
4	100	110	-	-	-
3	011	010	011	011	111
2	010	011	010	010	110
1	001	001	001	001	101
0	000	000	000 100	000	100
-1	-	-	101	111	011
-2	-	-	110	110	010
-3	-	-	111	101	001
-4	-	-	-	100	000

Capítulo 4

Solução proposta

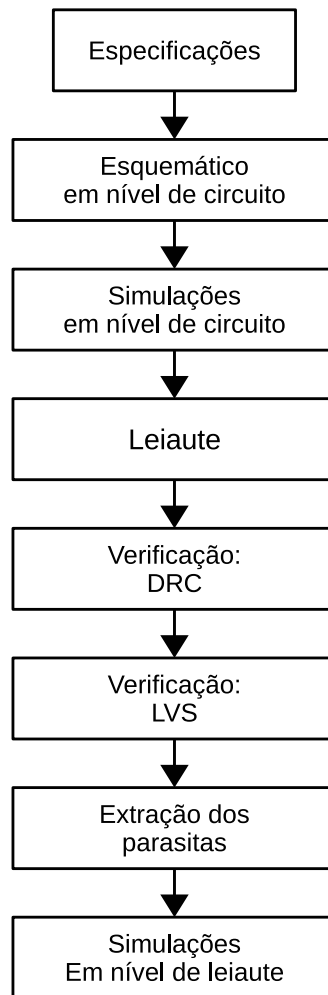
No projeto de circuito analógico, um pré-requisito importante é conhecer de forma detalhada as informações nas operações físicas dos componentes, tais como os transistores. Parte dos detalhes em circuitos analógicos ainda são projetados por cálculos feitos à mão ou de forma empírica [18]. A formulação da experiência e conhecimento do projetista são importantes.

Para o fluxo de projeto de um circuito integrado, é necessário determinar a tecnologia a ser usada, a qual define o nó tecnológico, quais componentes o projetista pode usar e as variáveis desses componentes a serem usadas no projeto. A tecnologia é repassada por meio do *Process Design Kit* (PDK), que é uma coleção de arquivos de dados e de *scripts* especificados pela fabricante e usados por um conjunto de ferramentas de desenvolvimento em um fluxo de projeto em circuitos integrados, pré-estabelecido pela fabricante da tecnologia.

Os principais arquivos de um PDK são os modelos dos componentes integrados, os símbolos dos componentes, células parametrizáveis (conhecida como PCELLS), as regras de DRC (do inglês, *Design Rule Checking*) e LVS (do inglês, *Design Rule Checking*), os arquivos de extração de parasitas e *scripts* que as ferramentas rodam para automatizar a geração e automatização de dados do projeto.

O fluxo de projeto de um circuito analógico pode ser visto na Figura 4.1. Nas especificações, o projetista atribuirá qual a arquitetura que será usada e quais serão as métricas do circuito a ser projetado. Também nessa etapa, o projetista pode desenvolver modelos em linguagem de alto nível e caracterizar o sistema de antemão. Após a determinação

Figura 4.1: Fluxo de projeto para circuitos analógicos



das especificações, o projetista irá desenhar a(s) topologia(s) do(s) circuito(s) usando os componentes disponíveis e já pensando na organização dos blocos para a sua implementação em leiaute. Após ter desenhado o circuito, deve realizar as simulações necessárias para levantar-se as primeiras métricas do circuito e, em caso de as mesmas não serem alcançadas, deve-se retornar ao circuito e reajustar os parâmetros dos componentes ou mesmo pensar em outra possível topologia como solução. Uma vez as métricas, em nível de esquemático, atingidas, deve-se começar a fazer o leiaute. Nessa etapa, cuidados com uma boa distribuição/organização dos blocos devem ser levados em consideração, pois o projetista deve estar ciente de que efeitos parasitas devido os roteamentos e a disposição dos componentes aparecerão e irão contribuir para a degradação, geralmente, das métricas. Enquanto o projetista

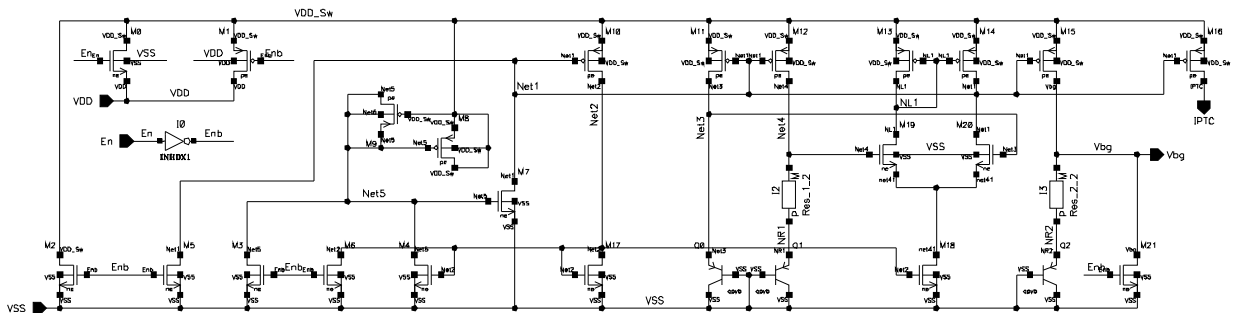
está realizando o leiaute, recomenda-se rodar a verificação de DRC, para evitar acúmulos de erros de regras de projeto ao final, e que tomarão muito mais tempo para suas correções. Uma vez terminado o leiaute limpo de erros de DRC, faz-se a comparação do leiaute com o esquemático (LVS) para verificar se realmente o leiaute desenhado corresponde ao circuito. Se não houver erros de LVS, o projetista faz a extração do leiaute com os parasitas e será com esse circuito que ele fará a simulação em nível de leiaute. A depender dos resultados dessa simulação, pode-se fazer necessário refazer o leiaute ou mesmo rever as escolhas das topologias dos circuitos escolhidas.

A seguir será descrito o projeto dos circuitos de tensão de referência e do ADC. A tecnologia usada foi a de 180 nm.

4.1 Tensão de referência

A topologia do circuito de tensão de referência pode ser vista na Figura 4.2. Ela é baseada na topologia do multiplicador- β .

Figura 4.2: Diagrama esquemático do circuito de tensão de referência



Para o amplificador operacional foi escolhido usar a topologia com um estágio, simplificando sua implementação e visando menor consumo se comparado a um amplificador operacional de dois estágios. Os TBJs usados são do tipo P, já que na tecnologia usada sua estrutura já é pré-estabelecida. O ganho de um amplificador operacional de um estágio é dado por:

$$G = g_{mN}(r_{oN} \parallel r_{oP}) \quad (4.1)$$

Onde g_{mN} é a transcondutância do transistor tipo N, r_{oN} é a resistência de saída de pequenos sinais do transistor tipo N e r_{oP} é a resistência de saída de pequenos sinais do transistor tipo P.

A área de emissor desse TBJ é igual a $25 \mu m^2$. A desvantagem de um TBJ tipo P é que o coletor está conectado ao substrato, o que pode tornar o circuito susceptível a ruídos que venham por ele. Assim, o substrato deve ser bem conectado ao terminal de gnd, colocando-se contatos de substrato que ligam esse terminal o máximo que puder para equalizar a tensão de terra pelo substrato, minimizando o ruído provocado pelos sinais que irão retornar por ele.

Com esse circuito também se obtém uma fonte de corrente (terminal IPTC). Mas essa corrente é obtida a partir da tensão PTAT e que irá variar com a temperatura, porém a uma taxa constante. Essa característica deve ser levada em consideração ao usar para a polarização de outros circuitos, para que ocorra menos variações com esse efeito.

Dentro da tecnologia trabalhada, existem alguns tipos de implementação de resistores. A escolhida foi a do tipo *rpp1k1*, pois ela apresenta a maior resistência por quadrado (Ω/\square), o que contribui com uma menor área em sua implementação de leiaute. O resistor Res_1 é formado por seis *rpp1k1* de $5,03 k\Omega$ (Figura 4.3) e Res_2 é formado por sete Res_1 mais dois *rpp1k1* de $5,03 k\Omega$ (Figura 4.4).

Figura 4.3: Implementação de Res_1

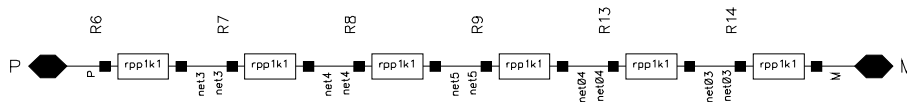
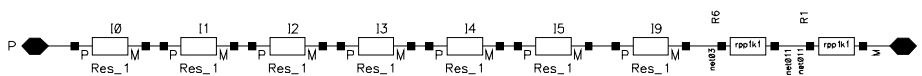
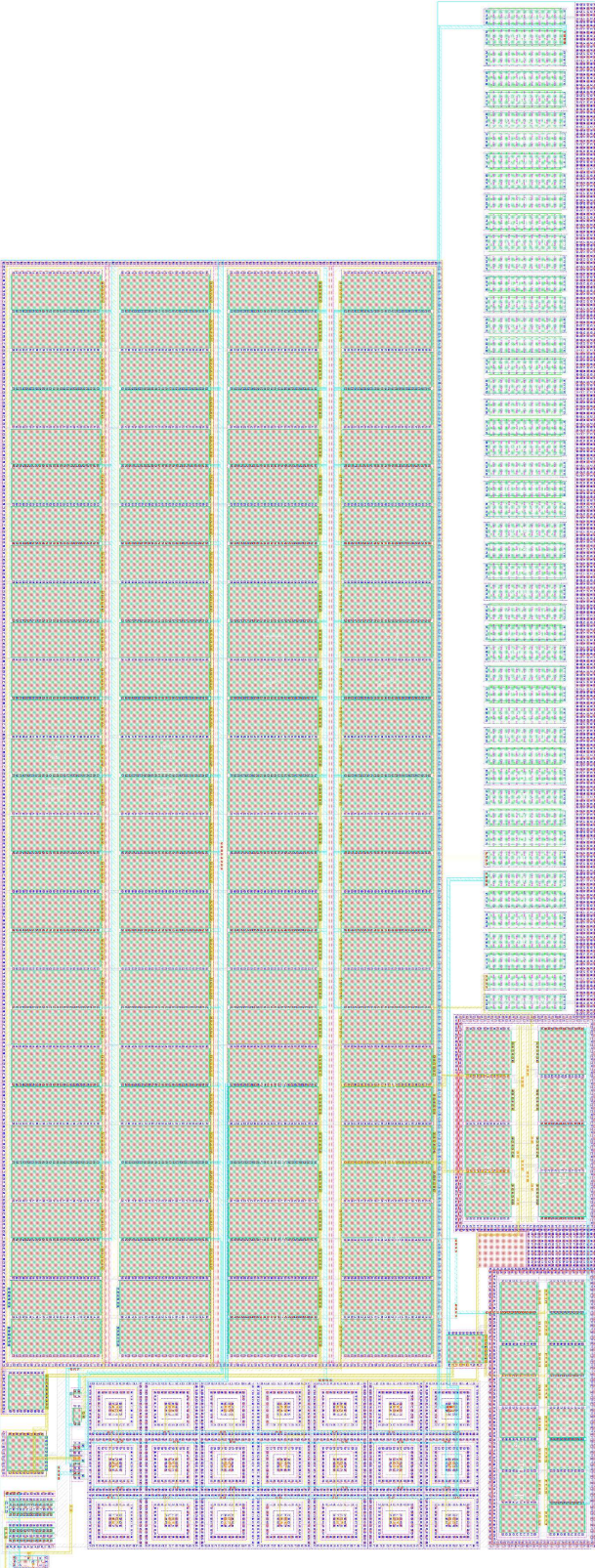


Figura 4.4: Implementação de Res_2



O leiaute do circuito pode ser visto na Figura 4.5. Houve a preocupação no casamento dos resistores $R1$ e $R2$, dos TBJs $Q0$, $Q1$ e $Q2$, do par diferencial formado por $M19$ e

Figura 4.5: Layout do circuito de tensão de referência



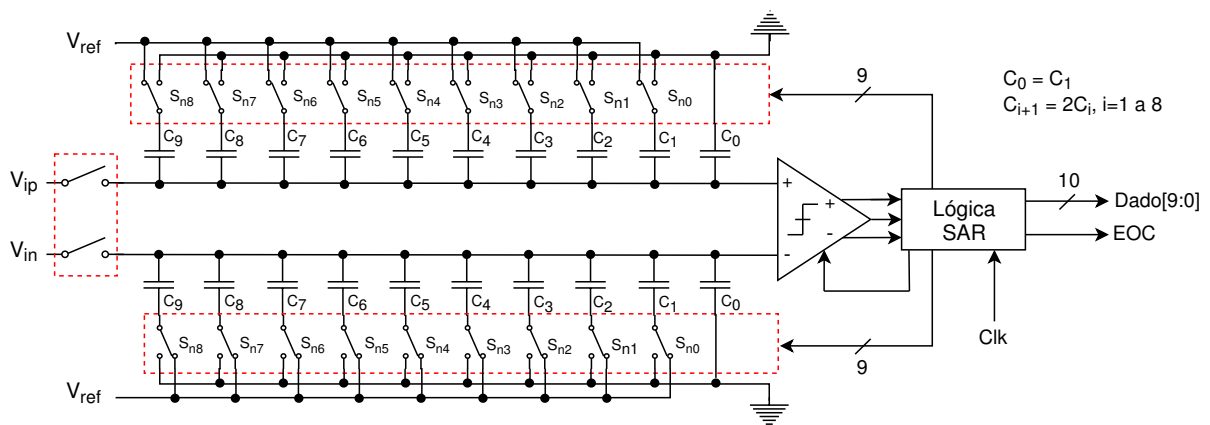
$M20$ e dos transistores que formam o espelho de corrente e a carga ativa do par diferencial composto pelos transistores $M10$, $M11$, $M12$, $M13$, $M14$, $M15$ e $M16$.

4.2 Conversor analógico-digital

A arquitetura do conversor pode ser vista na Figura 4.6. Será implementado um ADC do tipo SAR de chaveamento monotônico, baseando-se no observado em [19], com a modificação nas topologias do comparador e do *bootstrap* usados, visando melhorar o desempenho do circuito. As chaves que amostram os sinais de entrada V_{ip} e V_{in} são do tipo *bootstrap* e o comparador implementado é do tipo dinâmico. O banco de capacitores serve tanto como o circuito de *Sample and Hold*, como também o conjunto de capacitores que formam o DAC.

O conversor desenvolvido é uma arquitetura diferencial visando uma taxa de amostragem de 30 MSps, uma palavra de 10 *bits*, com um sinal de fim de conversão (EOC) e usando tensão de referência de 1,2 V.

Figura 4.6: Arquitetura do conversor analógico-digital implementada



4.2.1 Chave de *bootstrap*

A linearidade da chave de entrada impacta diretamente o desempenho geral de um ADC. Atribui-se isso principalmente a resistência *ON*, que é dependente do sinal de entrada e não-linear, e da capacitância parasita, que gera distorção harmônica quando sinais de alta frequência são amostrados [20].

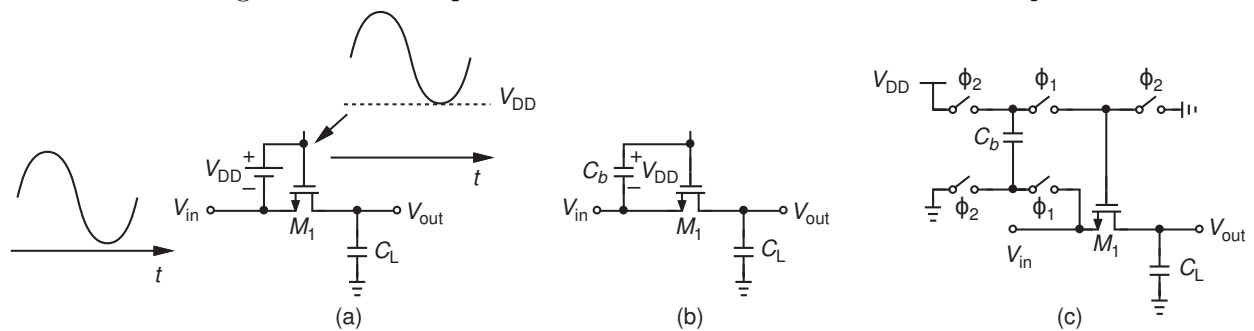
Existem algumas maneiras de projetar uma chave em um processo CMOS. Isso inclui empregar um único transistor MOS, uma porta de transmissão ou uma chave *bootstrap*.

Um único transistor MOS pode ser empregado como chave, porém a tensão $V_{GS} - V_{th}$ (V_{ov}) do transistor durante o estado ligado será dependente do nível do sinal de entrada. Assim, dependendo do valor de pico da tensão de entrada, a tensão V_{ov} pode levar o transistor a região de corte e, assim, a chave não transmitir a tensão.

Uma porta de transmissão é uma alternativa melhor se comparada a um simples transistor. Uma porta de transmissão é um transistor PMOS em paralelo com um transistor NMOS, onde as portas dos transistores são ligadas em sinais inversos. Desde que um dos transistores da porta de transmissão estará ligado no pico de tensão do sinal de entrada, ele opera sob toda a faixa de tensão do sinal de entrada. Porém, sua impedância varia com o sinal de entrada, resultando em uma não-linearidade induzida no sinal de amostra.

A linearidade da chave de entrada pode ser obtida com uma chave do tipo *bootstrap*. Para manter a resistência do transistor R_{on} relativamente constante (enquanto conduz), deve-se fixar sua tensão de porta-fonte enquanto a tensão de entrada pode variar [21]. Suponha que exista uma bateria conectada entre os terminais de porta e fonte do transistor M_1 para atender a essa condição (Figura 4.7a). Essa ligação eleva a tensão da porta com relação a fonte, permitindo que os dois terminais variem em conjunto.

Figura 4.7: Princípio do funcionamento da chave de *bootstrap*

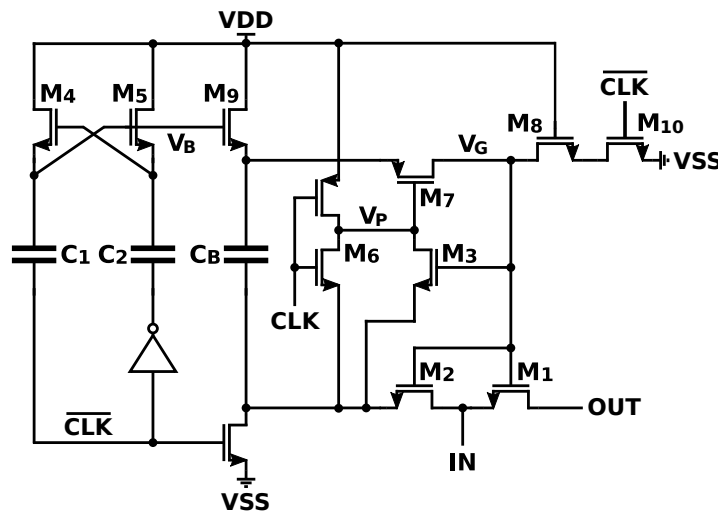


Troca-se o elemento ideal da bateria por um capacitor pré-carregado C_b (Figura 4.7b). Na fase de amostragem, C_b mantém o transistor M_1 ligado. Na fase em que a chave é aberta, duas ações devem ser realizadas: M_1 deve ser desligado e C_b deve ser recarregado com V_{DD} . Para isso, adiciona-se chaves ao circuito (Figura 4.7c) tal que: o sinal de controle ϕ_2 é o complemento do sinal de controle ϕ_1 . Quando ϕ_2 está ativo (fase da chave aberta),

o transistor M_1 é conectado ao terra para desligá-lo e o capacitor C_b é desconectado de M_1 e ligado ao VDD para carregar.

Uma topologia bastante usual foi proposta em [22] (Figura 4.8). Segue uma breve descrição: quando CLK está em nível baixo, a porta do transistor M_1 é conectada a VSS por meio dos transistores M_{10} e M_8 , enquanto o capacitor C_B carrega até VDD por meio de M_9 . Quando CLK muda para nível alto, a placa inferior de C_B é conectada ao sinal de entrada via M_2 . Desde que o capacitor armazena uma tensão igual a VDD , a tensão na placa superior vai para $VDD+V_{IN}$. Assim, V_{gs} de M_1 mantém-se em VDD independentemente do nível de tensão de entrada. Conseqüentemente, a impedância da chave permanece constante e independente do nível de tensão de entrada. Se não houvesse o transistor M_8 , durante a fase de amostra quando a tensão V_G passar de VDD , o transistor M_{10} teria as tensões de dreno-fonte e dreno-porta maior que VDD . O estresse resultante encurta a vida útil do dispositivo. O transistor M_8 é cascateado para blindagem.

Figura 4.8: Típico circuito de *bootstrap* proposto em [22]



Neste trabalho foi usado a topologia proposta em [20] (Figura 4.9).

Um mecanismo usando os transistores M_3 - M_5 é adicionado para controlar M_2 , operando em paralelo a malha principal. No início do ciclo de rastreamento, M_7 liga da mesma maneira que na primeira topologia, mas M_2 liga totalmente por meio de M_5 quase que simultaneamente, completamente desacoplado do nó V_G . Isso permite V_G subir rapidamente e rastrear o sinal (Figura 4.10), reduzindo significativamente a modulação da impedância de

M_1 . A queda de tensão V_G também é melhorada, desde que uma capacitância parasita substancial foi removida desconectando-se a porta de M_2 e M_3 , levando a uma descida tipo escada e melhorando o instante de amostragem.

Figura 4.9: Circuito de *bootstrap* proposto em [20]

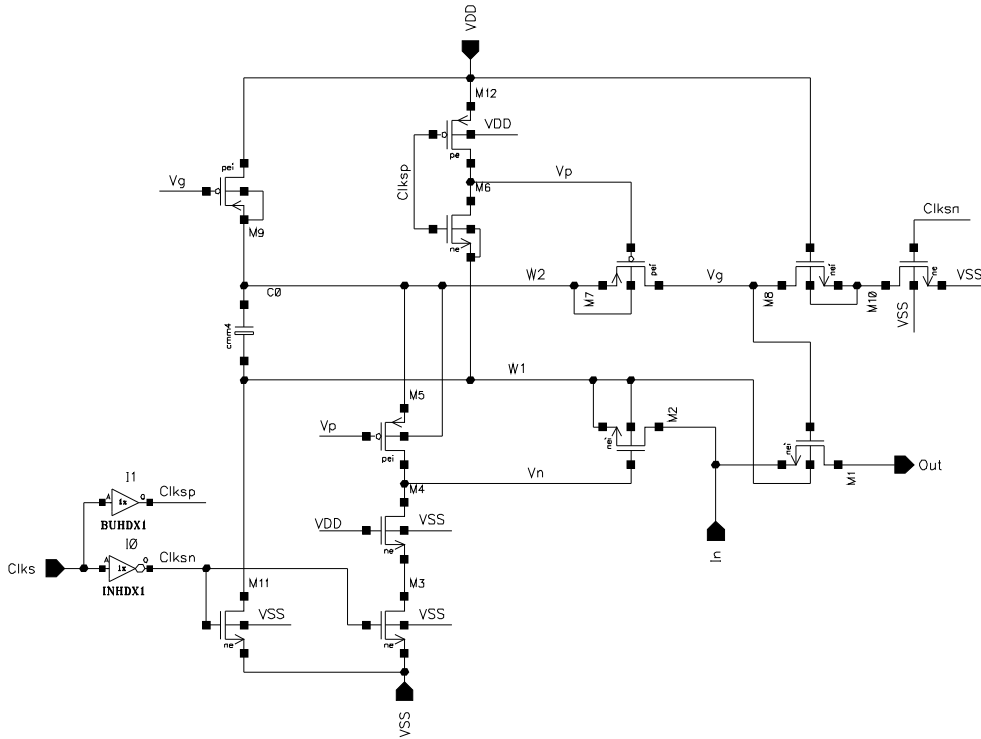
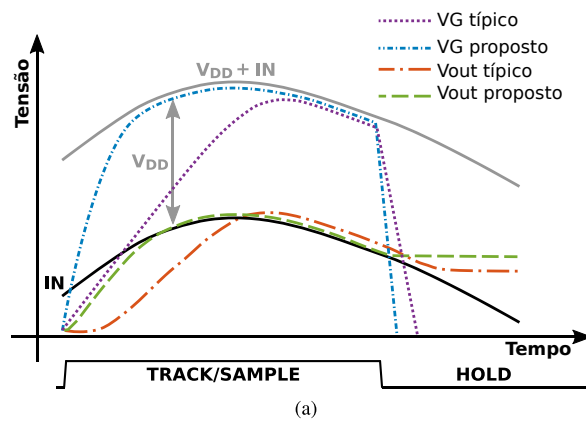


Figura 4.10: Diagrama do tempo da chave *bootstrap* apresentada em [20]



Para minimizar a área do circuito, o transistor NMOS M_9 da Figura 4.8 foi substituído por um PMOS na topologia proposta do artigo, descartando-se a parte do circuito de *charge*

pump, já que os capacitores ocupam uma área significativa. Na topologia do artigo, a porta desse transistor é conectada a tensão V_G , porém isso não limita a excursão máxima permitida do sinal. Desde que o tempo requerido para carregar a placa superior de C_B para V_{DD} é considerado maior que o tempo de rastreamento, M_9 pode ser maior por um fator de 5 vezes do que o transistor crítico M_2 e, ainda assim, sua adição ao nó V_G não prevalece ao benefício de ter removido M_2 e M_3 .

4.2.2 Comparador

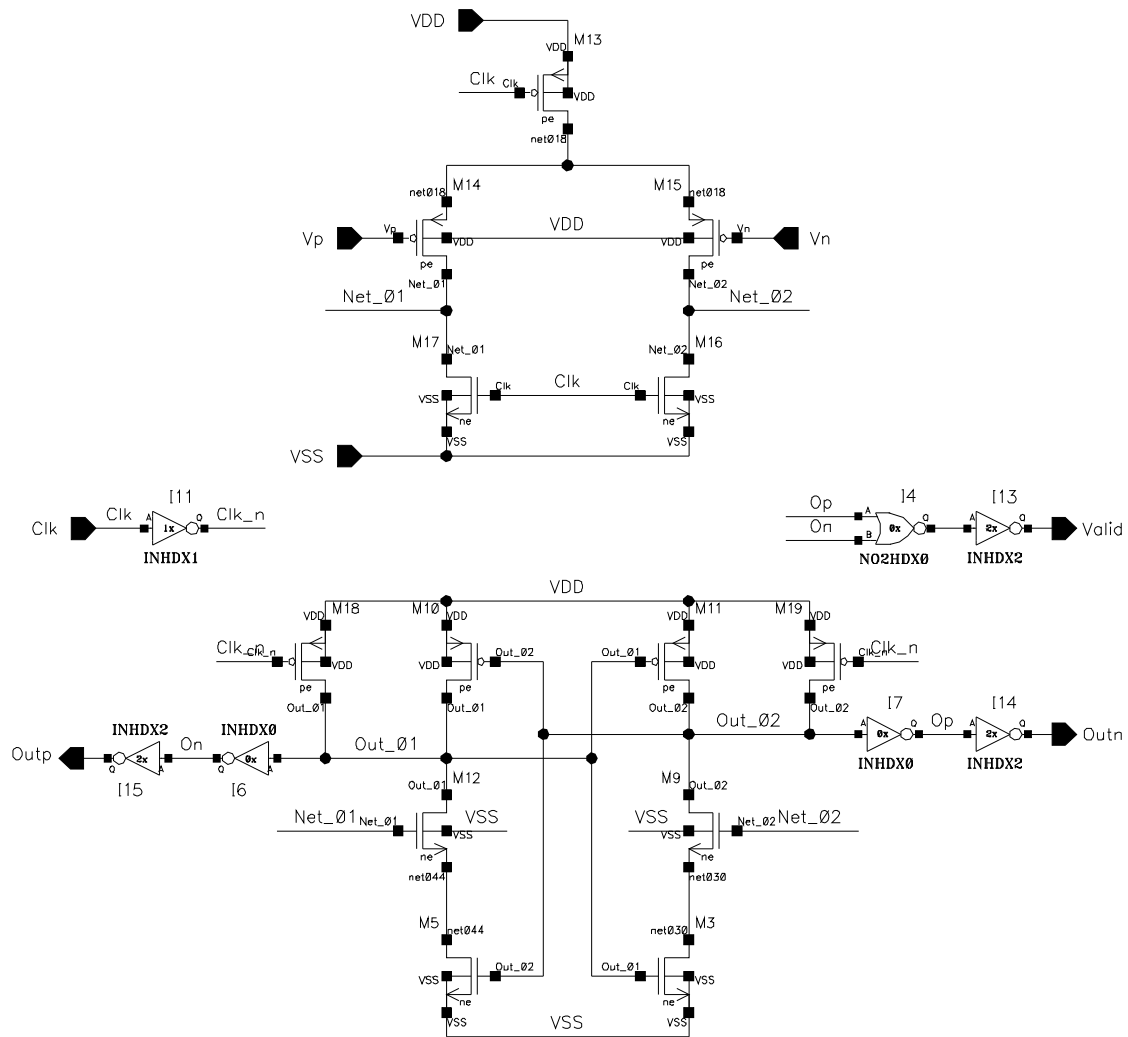
A topologia do comparador dinâmico *double-tail* usada (Figura 4.11) aqui é baseada na presente em [23], com algumas modificações: os transistores de entrada são alterados e tipo N para P . Mosfet tipo P tem melhor desempenho de ruído *flicker* devido a acessibilidade ao terminal de corpo isolado. Além disso, o Mosfet tipo P irá trabalhar melhor para tensões próximas a zero, que será o caso deste projeto. Caso a entrada fosse tipo N , para tensões de entrada abaixo da tensão de *threshold* ou próximas a zero iriam conduzir um dos transistores (ou ambos) a região de corte, deixando de funcionar como par diferencial.

O comparador compreende de dois estágios. O primeiro estágio é um par diferencial dinâmico que prover um ganho pela pré-amplificação dos sinais de entrada V_p e V_n . As saídas do primeiro estágio (Net_01 e Net_02) funcionam como condutora de sinais para o segundo estágio, que basicamente é um *latch*.

Quando um sinal de *clock* Clk está em alto, Net_01 e Net_02 são zerados para nível baixo e Out_01 e Out_02 para nível alto. Uma borda de descida do sinal Clk ativa o transistor de cauda $M13$ do primeiro estágio; ambos os sinais Net_01 e Net_02 elevam, mas a taxas diferentes devido à entrada diferencial. Quando a tensão de modo comum de Net_01 e Net_02 alcança a tensão de *threshold* do transistor tipo N do segundo estágio, a amplificação do segundo estágio toma conta e Out_01 e Out_02 começam a diminuir. Finalmente, o *latch* ativa quando a tensão de modo comum de Out_01 e Out_02 alcança o *threshold* dos inversores cruzados e a realimentação positiva regenera a saída a um sinal dentro da faixa lógica.

A saída *Valid* é um sinal usado para indicar que uma comparação foi realizada, ou seja, quando ambas as saídas do *latch* forem complementares, *Valid* muda para nível alto.

Figura 4.11: Comparador double-tail



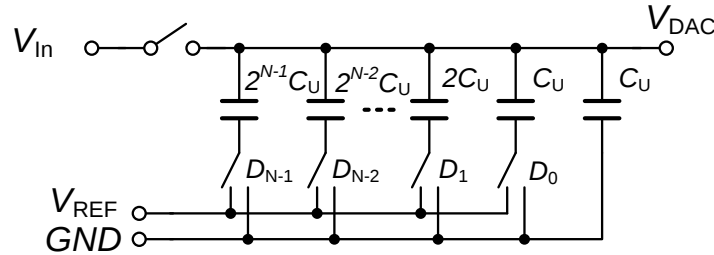
Quando o comparador for desativado, ou seja, o sinal de *clock* indo para nível baixo zero, a saída *Valid* irá para nível baixo ativo. Esse sinal será usado para o controle do sistema digital assíncrono do SAR.

4.2.3 DAC capacitivo

O DAC capacitivo é comumente usado para gerar tensões de referência com peso binário. Comparado ao DAC resistivo, o conjunto de capacitores é melhor para casamento e eficiência energética.

Na Figura 4.12 vê-se um DAC capacitivo do tipo peso-binário singular. O capacitor unitário C_u deve ser mantido o menor possível para economizar no consumo e na área. Na prática, seu valor é usualmente determinado pelo ruído térmico e pelo descasamento do capacitor. O efeito do ruído térmico foi discutido anteriormente na sessão 3.3.2. A seguir será discutido o efeito do descasamento.

Figura 4.12: DAC capacitivo de peso-binário



Geralmente o capacitor unitário é modelado com um valor nominal de C_u e um desvio padrão de σ_u . Para um conjunto de capacitores de peso-binário, o desvio padrão para o pior caso do DNL e do INL ocorre na transição do código MSB, devido à acumulação máxima do descasamento do capacitor que pode ser expressada em termos do LSB como [24]:

$$\sigma_{DNL,max} = \sqrt{2^N - 1} \cdot \frac{\sigma_u}{C_u} \text{ LSB} \quad (4.2)$$

$$\sigma_{INL,max} = \sqrt{2^{N-1}} \cdot \frac{\sigma_u}{C_u} \text{ LSB} \quad (4.3)$$

Comparando-se as equações anteriores, o desvio padrão derivado do pior caso do DNL é maior que o do INL. Assim, a equação 4.2 é escolhida para ser a referência na análise seguinte. Para um capacitor do tipo MIM (do inglês, *Metal-Isolator-Metal*), tem-se:

$$\sigma\left(\frac{\Delta C}{C}\right) = \frac{K_\sigma}{\sqrt{A}} \quad (4.4)$$

$$C = K_C \cdot A \quad (4.5)$$

Onde $\sigma(\Delta C/C)$ é o desvio padrão do descasamento do capacitor, K_σ é o coeficiente de descasamento, A é a área do capacitor e K_C é o parâmetro de densidade do capacitor. O

desvio padrão de um único capacitor para o valor nominal é por fator $\sqrt{2}$ menor que aquele da diferença entre dois capacitores, que pode ser expresso como:

$$\frac{\sigma_u}{C_u} = \frac{\sigma(\Delta C/C)}{\sqrt{2}} \quad (4.6)$$

Para um alto rendimento, é necessário manter $3 \cdot \sigma_{DNL,max} < \frac{1}{2}LSB$. Combinando-se as equações anteriores, obtém-se o menor limiar do capacitor unitário limitado pelo descasamento:

$$C_u = 18(2^N - 1)K_\sigma^2 \cdot K_C \quad (4.7)$$

O valor do capacitor de amostragem pode ser obtido a partir da equação 3.13, que é reapresentada a seguir:

$$C_S = 12kT \cdot \frac{2^{2N}}{V_{FS}^2} \quad (4.8)$$

Como a tensão de referência é de $1,2 V$ numa configuração ADC diferencial, a tensão de fundo de escala é igual a $V_{FS} = 2,4 V$. Assim, o valor da capacitância de amostragem C_S será de:

$$\begin{aligned} C_S &= 12kT \cdot \frac{2^{2N}}{V_{FS}^2} \\ C_S &= 12 \cdot 1,38 \cdot 10^{-23} \cdot 300 \cdot \frac{2^{2 \cdot 10}}{2,4^2} \\ C_S &= 9,1 fF \end{aligned}$$

Um capacitor de amostragem com valor total de $C_S = 9,1 fF$ é o necessário levando-se em consideração o ruído térmico.

Porém, deve-se agora calcular o valor do capacitor unitário em que o processo da tecnologia é levado em consideração. Para a tecnologia de $180 nm$ utilizada, há três tipos de

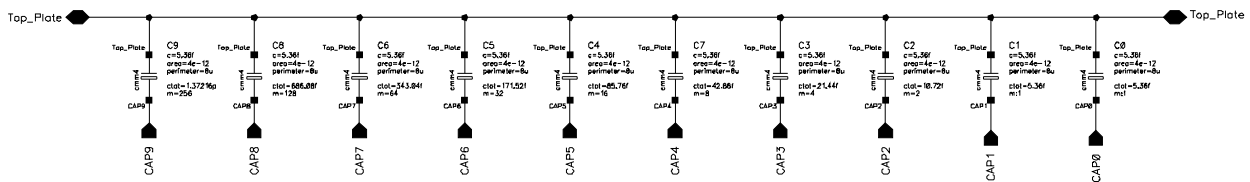
capacitores do tipo MIM: com uma camada, duas camadas e três camadas. A cada acréscimo de uma camada, o valor da capacitância que pode ser integrada numa mesma área aumenta. Outro detalhe da tecnologia é que há uma restrição em que não se pode usar dois tipos de capacitores diferentes no mesmo projeto do circuito integrado, ou seja, uma vez escolhido usar um capacitor de camada dupla, por exemplo, todo e qualquer circuito que venha a usar um capacitor deve utilizar o mesmo tipo. Analisando-se os capacitores da tecnologia, escolheu-se usar o de camada única, tal que possui uma capacitância por área de $K_\sigma = 1 \text{ fF}/\mu\text{m}^2$ e o seu coeficiente de descasamento é de $K_C = 0,28 \text{ \%}\mu\text{m}$. Da equação 4.7, tem que o valor mínimo do capacitor unitário pode ser de:

$$C_u = 18(2^{10} - 1) \cdot 0,0028^2 \cdot 1 \cdot 10^{-15}$$

$$C_u = 0,15 \text{ fF}$$

Na tecnologia, o menor valor da capacitância de uma camada que pode ser obtida é de $5,36 \text{ fF}$. Esse será o valor adotado para o capacitor unitário do projeto (Figura 4.13).

Figura 4.13: Conjunto dos capacitores que implementam o DAC

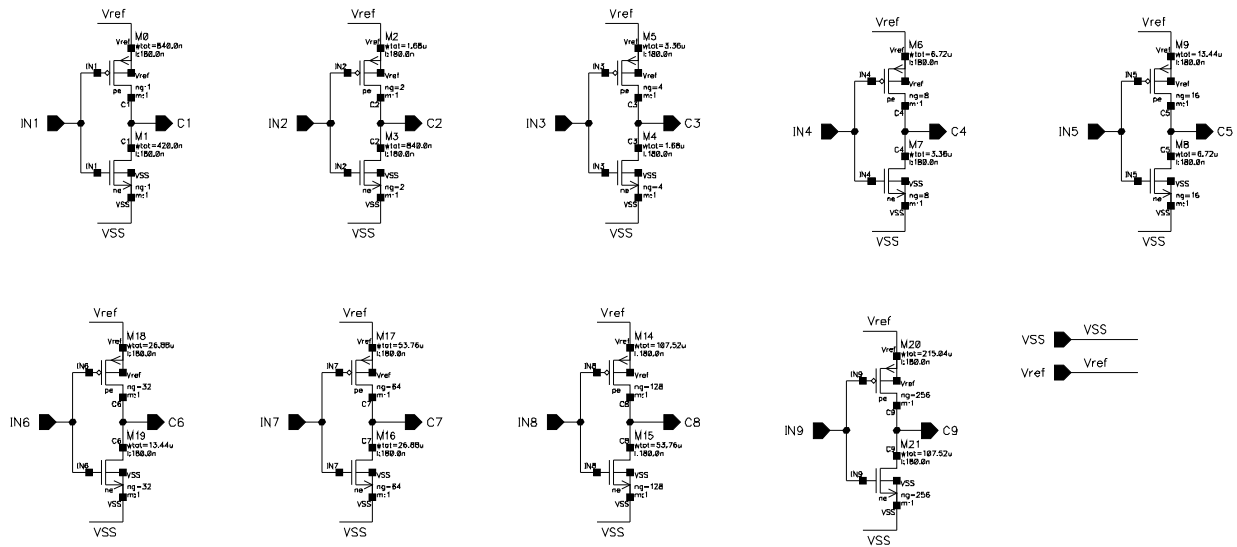


4.2.4 Chaves inferiores dos capacitores

As chaves ligadas as placas inferiores do capacitor foram construídas numa topologia de inversor (Figura 4.14), onde a tensão de referência é ligada como o VDD e o gnd ligado ao terminal VSS . Desde que cada chave dessa está ligada em um capacitor que aumenta com o expoente de 2, a largura W dos transistores foi aumentando para acompanhar o tamanho do respectivo capacitor ao qual está ligado, tal que possa realizar a conexão a uma das referências o mais rápido possível e evitar erro de conversão.

Foi observado que uma chave de dimensão pequena conectado a um capacitor de grande valor ocasionará uma variação na tensão das placas superiores do banco de capacitores durante o chaveamento. Esse comportamento foi levado em consideração no dimensionamento dos transistores das chaves.

Figura 4.14: Chaves de controle da placa inferior dos capacitores do DAC



4.2.5 Lógica SAR

O ADC proposto usa técnica assíncrona para a obtenção dos dados da conversão. Para isso, um circuito de controle assíncrono (Figura 4.15) gera o sinal *Clk_Comp*, que é o sinal de controle do comparador dinâmico. Quando *Clk_Comp* está em nível baixo ativo, o comparador está habilitado para realizar uma comparação. Quando a comparação é realizada, o sinal *Valid* do comparador é levado para o nível alto ativo e irá disparar os *flip-flops* do circuito de controle assíncrono. Cada *flip-flop* terá sua saída elevada para nível alto ativo em sequência, devido a ligação entre eles, e esse sinal irá disparar a aquisição dos valores de saída do comparador (*Outp* e *Outn*).

O sinal *Clk_Sys* é o sinal de *clock* externo responsável por ativar as chaves de *bootstrap* de amostragem dos sinais de entrada. Quando em nível lógico alto, essas chaves estão ativas, enquanto o comparador está desabilitado e todos os *flip-flops* são zerados. Quando em nível lógico baixo, as chaves de *bootstrap* são abertas e o circuito de controle assíncrono começa a funcionar. O tempo do período em que *Clk_Sys* fica em nível alto determina o tempo

de amostragem dos sinais, enquanto o restante (que irá ficar em nível baixo) determina o tempo de conversão. Neste trabalho, em nível de esquemático, o período de Clk_Sys é de $33ns$, dando uma taxa de amostragem de 30 MSps, tal que 24% do período deve estar em nível alto para amostragem do sinal, enquanto o restante do tempo permanece em nível baixo para a conversão completa dos sinais amostrados.

O diagrama de tempo do circuito de controle assíncrono pode ser visto também na Figura 4.15.

O circuito de controle das chaves do DAC pode ser visto na Figura 4.16. Os sinais $Clk<9:0>$, que advêm do circuito de controle assíncrono, são os sinais que disparam os *flip-flops* desse circuito e, conseqüentemente, amostram os valores de saída do comparador. Essa informação fica armazenada e serve tanto como os sinais que controlam as chaves inferiores do banco de capacitores, executando o chaveamento monotônico, como também é o resultado da conversão.

Na borda de subida do sinal $Clk<i>$ (com i de 0 a 9), o *flip-flop* amostra a saída do comparador e se essa saída for alta, o capacitor equivalente vai ser chaveado de V_{ref} para gnd . Porém, se a saída do comparador for baixa, o capacitor equivalente será mantido conectado em V_{ref} . Quando o sistema é zerado com a borda de subida do sinal Clk_Sys, os capacitores serão reconectados em V_{ref} . O circuito é duplicado para o controle de cada braço do DAC, tal que o outro circuito equivalente amostra a saída barrada do comparador.

Figura 4.15: Diagrama esquemático da lógica de controle assíncrona e o diagrama de tempo dos sinais de controle

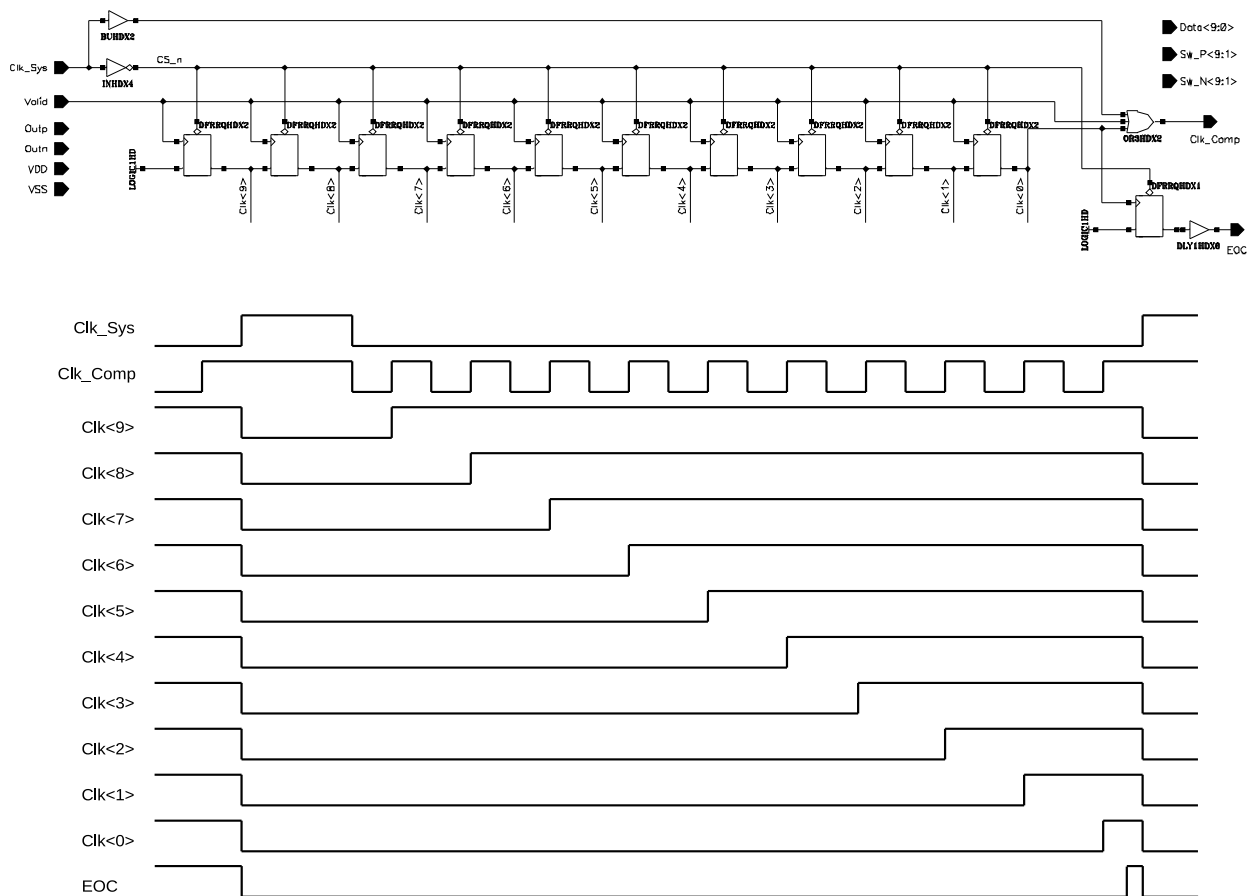
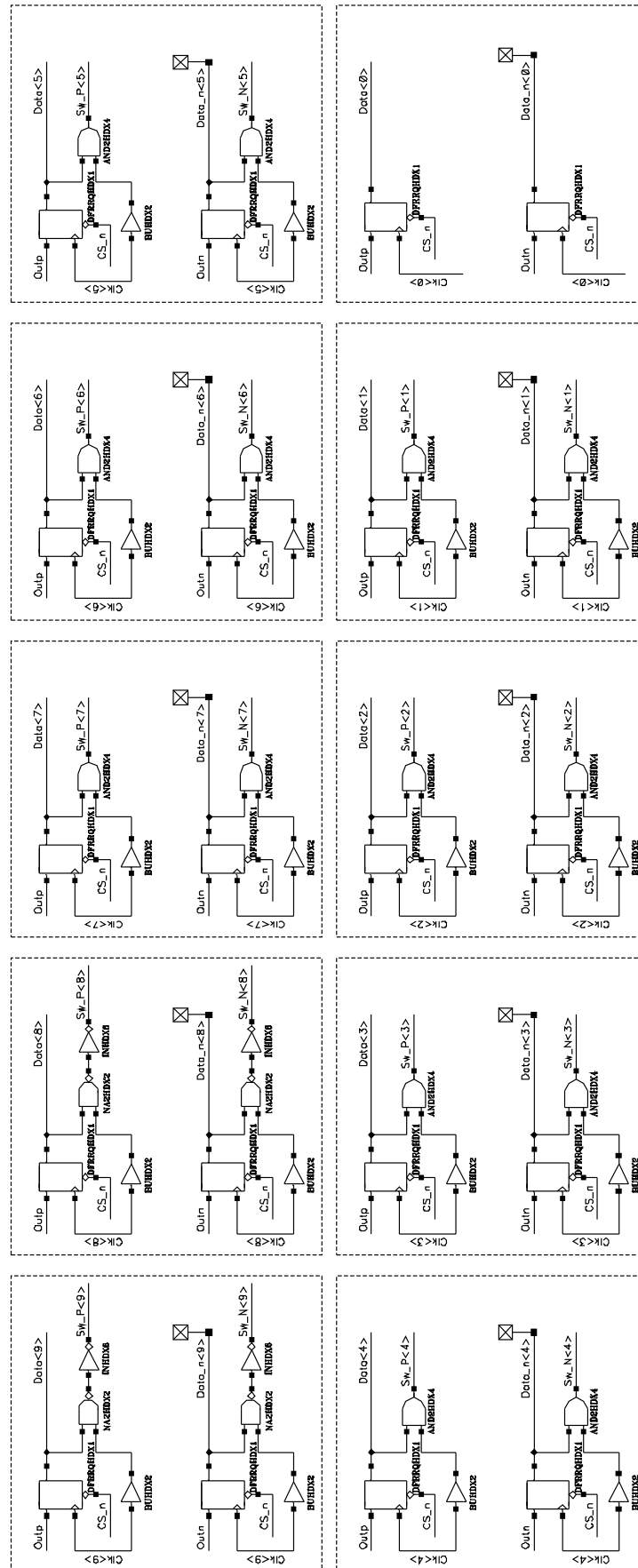


Figura 4.16: Diagrama esquemático da lógica de controle das chaves inferiores dos capacitores



Capítulo 5

Simulações e avaliações

No fluxo de projeto analógico, apresentado no início do Capítulo 4 e representado na Figura 4.1, o circuito desenvolvido tem que ser simulado tanto durante a fase de projeto do circuito em esquemático, como em nível de leiaute após a extração dos parasitas. O PDK fornecido pela fabricante da tecnologia tem que disponibilizar modelo(s) dos componentes, sendo o mais comum o formato Spectre, desenvolvido pela empresa Cadence.

O Spectre é um simulador de circuito para projeto e verificação de circuito. Suporta múltiplos formatos de *netlist*, todos os modelos de dispositivos padrão, análises de pequenos sinais, checagem de projeto, vários formatos de saída e análises como a de eletromigração e confiabilidade de dispositivos, por exemplo [25].

O simulador Spectre usa métodos para simular circuitos analógicos e digitais em nível de equação diferencial. As capacidades do Spectre são similares em função e aplicação ao SPICE, mas o Spectre não é descendente do SPICE. Os simuladores Spectre e SPICE usam os mesmos algoritmos básicos (tais como métodos de integração implícita, Newton-Raphson e solução de matriz direta), mas cada algoritmo é novamente implementado. Os algoritmos Spectre fornecem um simulador melhorado que é mais rápido, mais preciso, mais confiável e mais flexível que os simuladores tipo SPICE [25].

Neste capítulo irá apresentar os resultados das simulações realizadas.

5.1 Tensão de referência

O circuito de teste do bloco da tensão de referência, instância I0, pode ser visto na Figura 5.1. A fonte V1 é a fonte de alimentação e a fonte V0 será o sinal de habilitação do bloco.

Figura 5.1: Esquemático do circuito de teste da tensão de referência

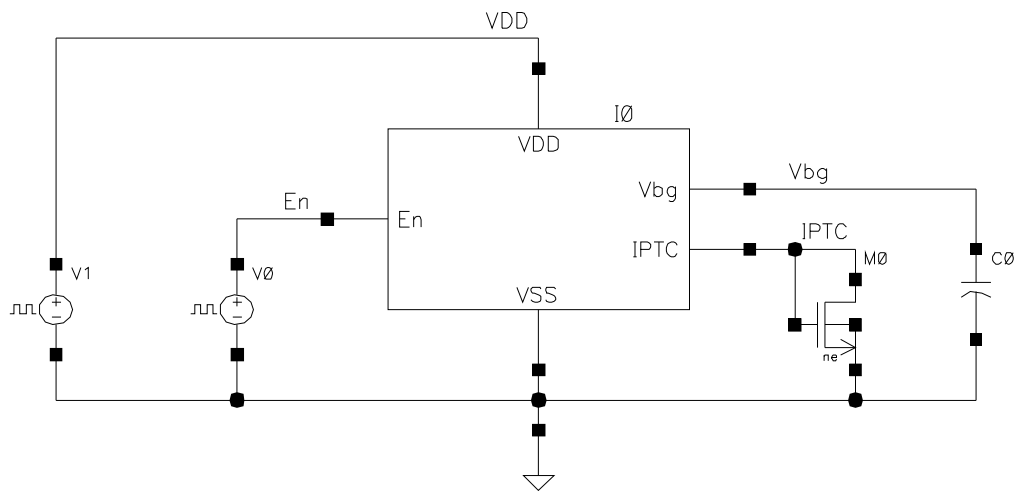


Tabela 5.1: Configuração dos corners para as simulações do circuito de tensão de referência

Corner	Temperatura (°C)	VDD (V)	Modelo	Análise DC	Análise AC
Nominal	27	1,8	Typical	Sim	Sim
Vdd_Corner_0	27	1,71	Worst Speed	Sim	-
Vdd_Corner_1	27	1,89	Worst Speed	Sim	-
Vdd_Corner_2	27	1,71	Worst Power	Sim	-
Vdd_Corner_3	27	1,89	Worst Power	Sim	-
Vdd_Temp_Corner_0	-40	1,71	Worst Speed	-	Sim
Vdd_Temp_Corner_1	175	1,71	Worst Speed	-	Sim
Vdd_Temp_Corner_2	-40	1,89	Worst Speed	-	Sim
Vdd_Temp_Corner_3	175	1,89	Worst Speed	-	Sim
Vdd_Temp_Corner_4	-40	1,71	Worst Power	-	Sim
Vdd_Temp_Corner_5	175	1,71	Worst Power	-	Sim
Vdd_Temp_Corner_6	-40	1,89	Worst Power	-	Sim
Vdd_Temp_Corner_7	175	1,89	Worst Power	-	Sim

Três análises foram realizadas: DC, AC e Transiente. Para essas análises, tendo em vista que um circuito de tensão de referência deve sofrer a menor variação da tensão de referência possível, *corners* foram configurados. Para cada situação de simulação, variações da tensão de alimentação (variação de $\pm 10\%$ da tensão nominal de $1,8\text{ V}$), da temperatura (de $-40\text{ }^\circ\text{C}$ até $175\text{ }^\circ\text{C}$) e do processo de fabricação dos transistores (*Worst Speed* significa que os transistores NMOS e PMOS responderão lentamente, enquanto que *Worst Power* significa que os transistores NMOS e PMOS responderão rapidamente, comparados a resposta padrão) foram configurados (Tabela 5.1).

Na análise DC é levantada a curva da variação da tensão de referência com relação a temperatura. Na Figura 5.2 vê-se os resultados da simulação do esquemático, enquanto na Figura 5.3 mostra-se os resultados da simulação do leiaute extraído. A variação da tensão dentro da faixa de temperatura é dada pelo coeficiente de temperatura, que foi de $24,95\text{ ppm}/^\circ\text{C}$ para a simulação em esquemático e $23,99\text{ ppm}/^\circ\text{C}$ para a simulação em leiaute, ambos no *corner* nominal.

Figura 5.2: Simulação DC do esquemático

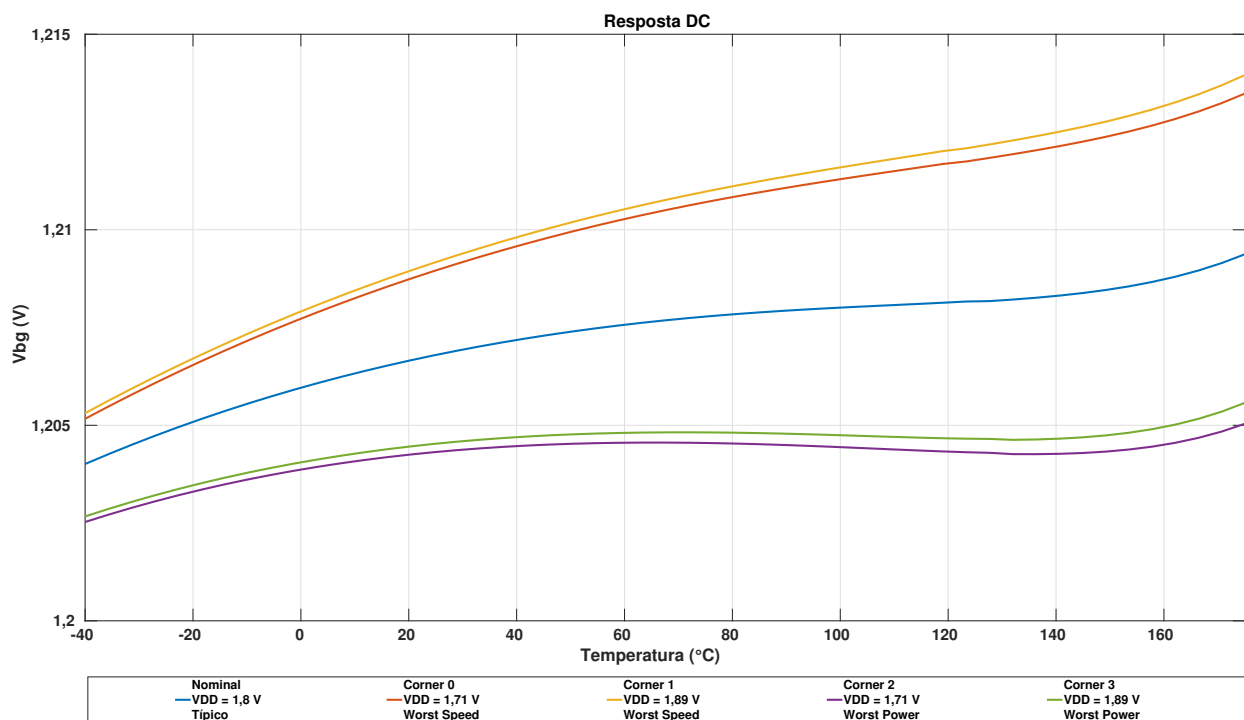


Figura 5.3: Simulação DC do leiaute

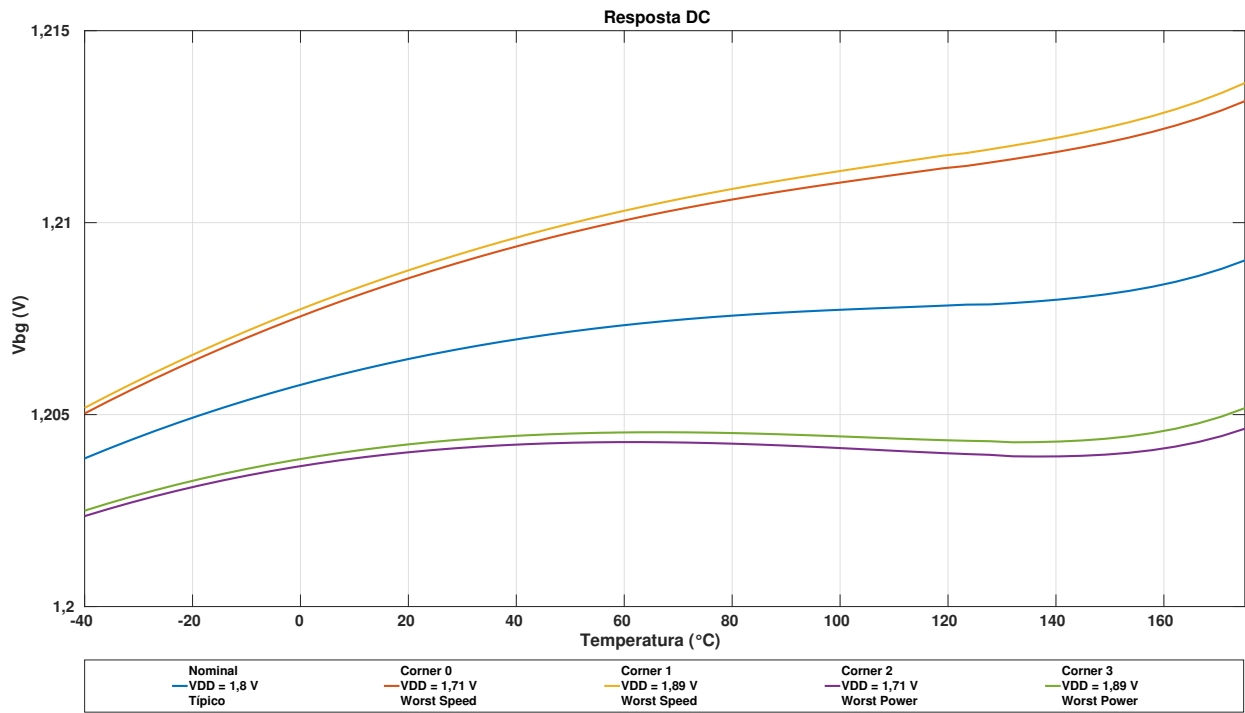


Figura 5.4: Simulação AC do esquemático

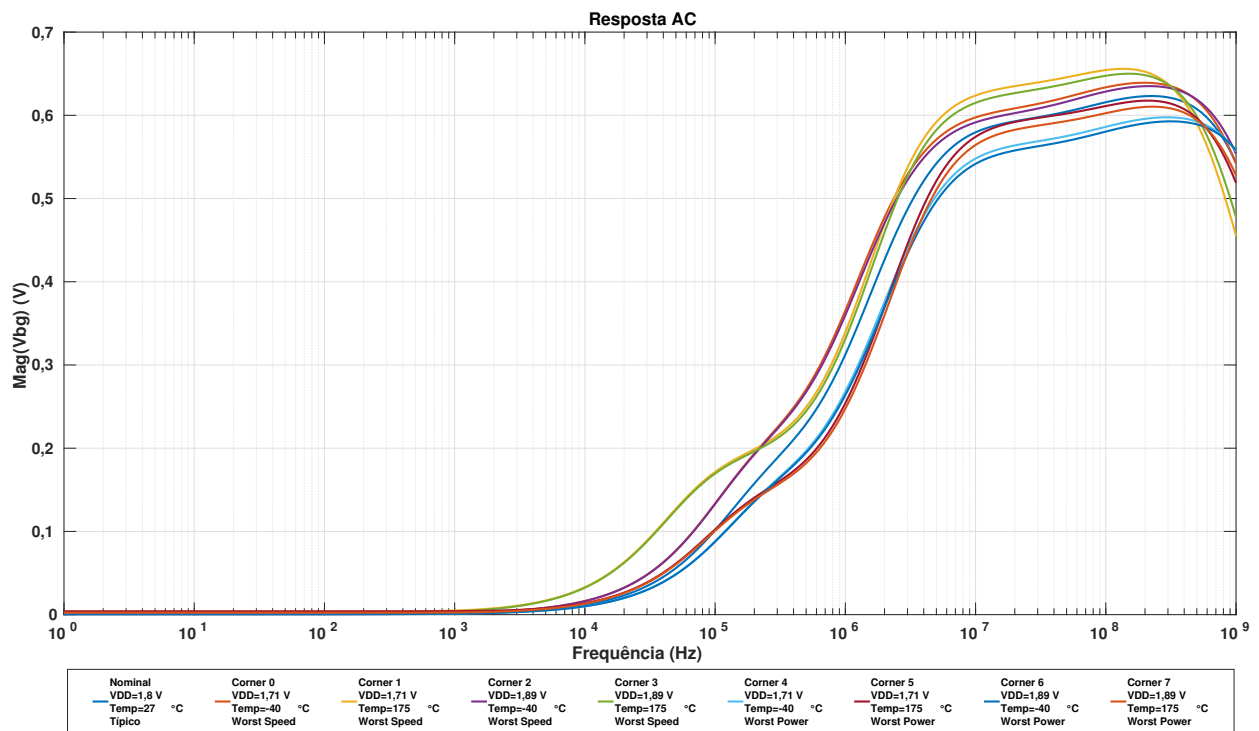


Figura 5.5: Simulação AC do leiaute

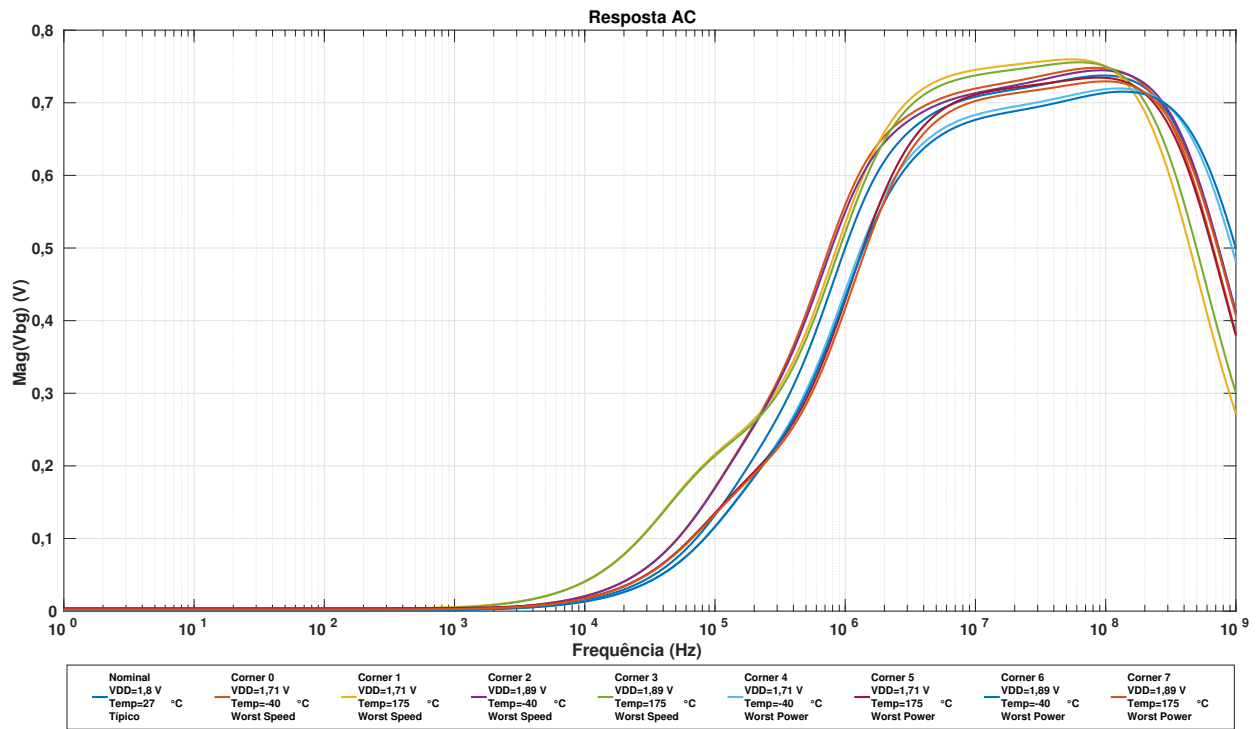


Figura 5.6: Simulação Transiente do esquemático

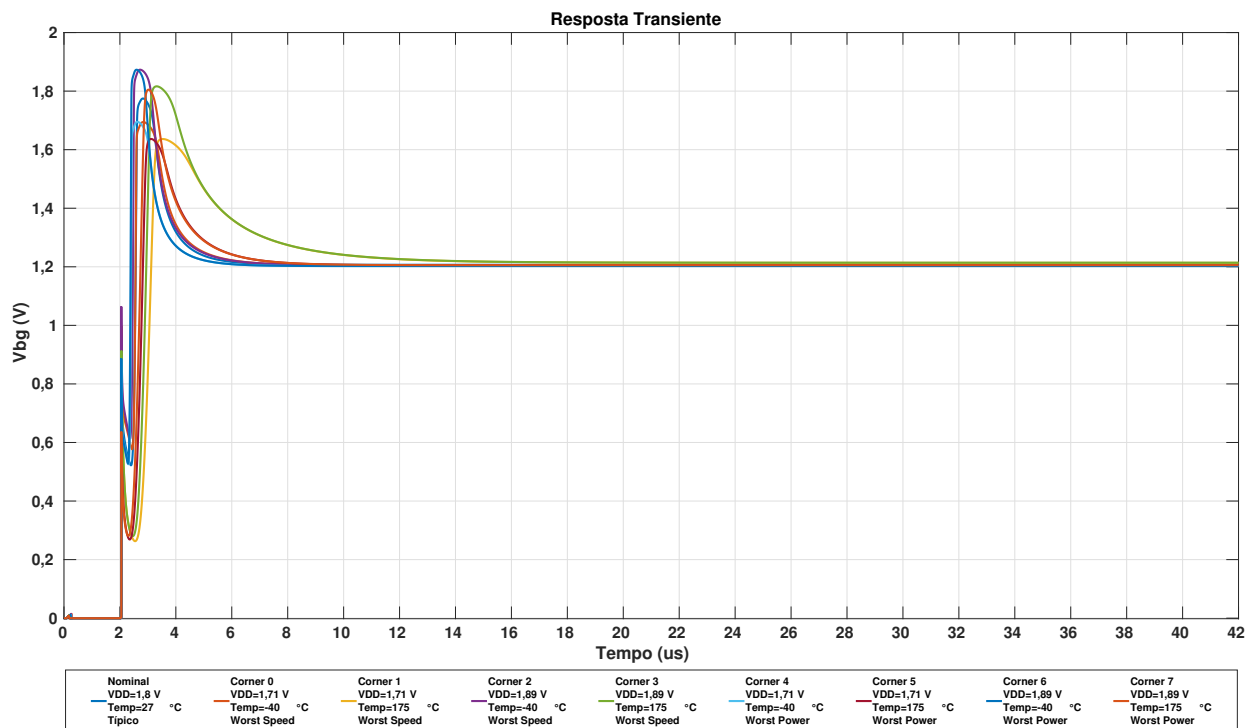
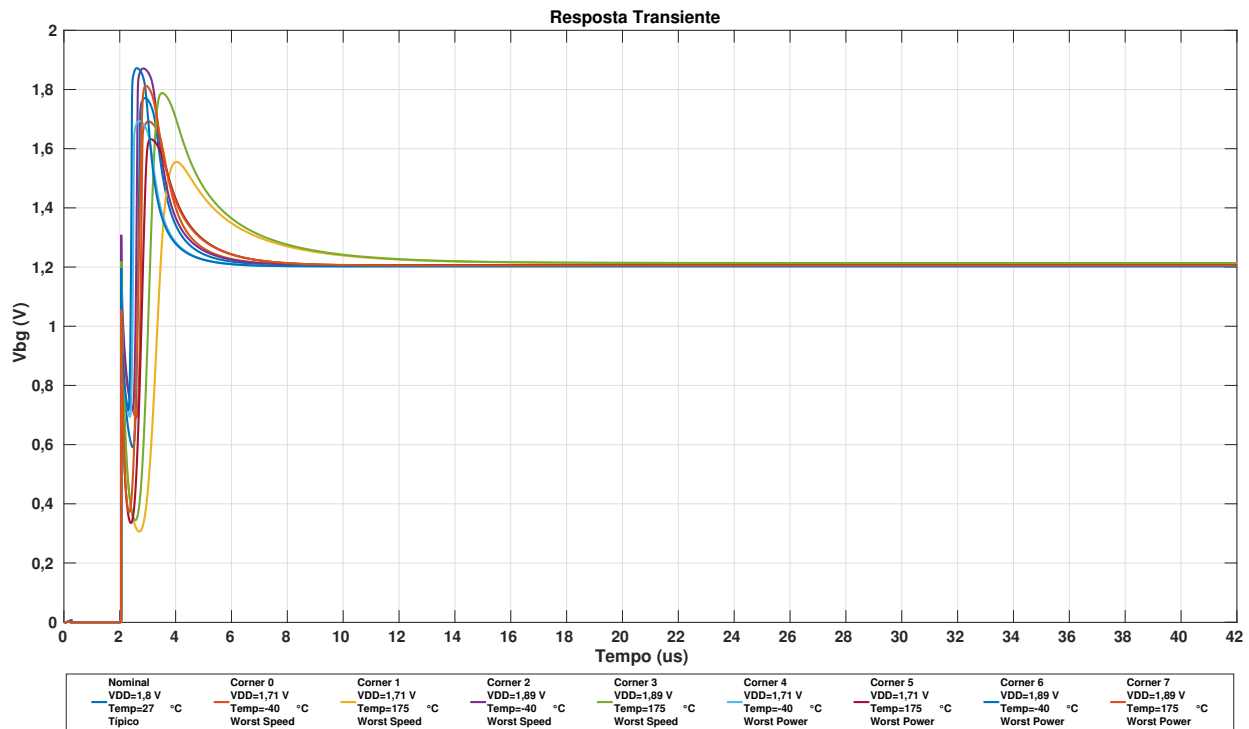


Figura 5.7: Simulação Transiente do leiaute



Na análise AC é levantada a curva da resposta do circuito com a frequência da fonte DC de alimentação, configurando seu valor de componente AC que vem por essa fonte. Na Figura 5.4 vê-se os resultados da simulação do esquemático, enquanto na Figura 5.5 mostra-se os resultados da simulação do leiaute extraído. Assim, o circuito apresenta uma largura de banda em torno dos 1 kHz . Com essa análise também obteve-se a razão de rejeição de alimentação (PSSR) para 1 kHz , que foi de $-55,70\text{ dB}$ para a simulação em esquemático e $-54,47\text{ dB}$ para a simulação em leiaute, ambos no *corner* nominal.

Na análise transiente vê-se o comportamento do circuito no tempo. Na Figura 5.6 vê-se os resultados da simulação do esquemático, enquanto na Figura 5.7 mostra-se os resultados da simulação do leiaute extraído. Nota-se que o circuito apresenta um tempo de transição inicial até se estabilizar. Esse tempo, denominado tempo de *start-up*, é relacionado pelo circuito de *start-up* e seu valor foi de $5,82\text{ }\mu\text{s}$ para a simulação em esquemático e de $5,98\text{ }\mu\text{s}$ para a simulação em leiaute, ambos no *corner* nominal.

O consumo médio desse circuito foi de $22,8\text{ }\mu\text{W}$.

5.2 Conversor analógico-digital

As simulações a seguir foram realizadas somente com a vista de esquemático.

5.2.1 Chave de *bootstrap*

Para levantar a característica da chave, montou-se o esquemático da Figura 5.8. O componente V1 é a fonte de alimentação, V0 é a fonte do sinal de habilitação da chave e V2 é a fonte do sinal de entrada e tem sua amplitude definida por meio da variável Vin.

Uma análise DC para levantamento da variação da resistência não é possível, devido a função chaveada do capacitor. Um resultado retornado pela simulação seria errôneo, já que não é aplicado o carregamento do capacitor e, conseqüentemente, a técnica do *bootstrap* não estaria sendo efetivada. Para contornar essa questão, uma análise transiente é realizada tal que um sinal pulsado é aplicado ao pino de controle da chave Clks e o cálculo da resistência da chave é realizado em um instante de tempo na qual a chave está conduzindo.

Para obter o perfil da variação da resistência com a tensão de entrada, uma varredura do sinal de entrada de 0,1 V até 1,2 V com incremento de 0,1 V foi realizada. O cálculo da resistência é feito a partir da equação 5.4, obtendo-se o gráfico que pode ser visto na Figura 5.9. Da observação do gráfico, a variação em torno da faixa da tensão de entrada foi de aproximadamente 15 Ω .

$$Res = \frac{1000 \cdot (V_{in} - V_{out})}{V_{out}} \quad (5.1)$$

5.2.2 Comparador

O circuito mostrado na Figura 5.10 foi realizado para testar a resposta no tempo do comparador. O *buffer* que liga a saída *Valid* na entrada *Clk* provê o atraso para que o comparador seja sustentável na geração do sinal de controle, que se manterá.

Uma fonte de tensão constante foi ligada ao terminal V_n , enquanto uma fonte de tensão pulsada ligada ao terminal V_p . O resultado dessa simulação pode ser visto na Figura 5.11.

Figura 5.8: Circuito de teste para levantamento da variação da resistência da chave *Bootstrap*

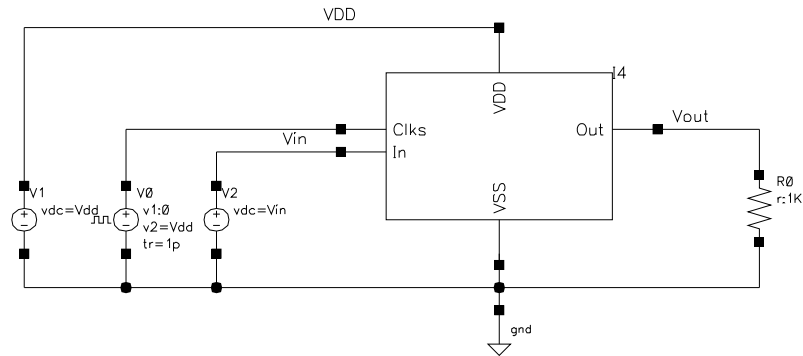
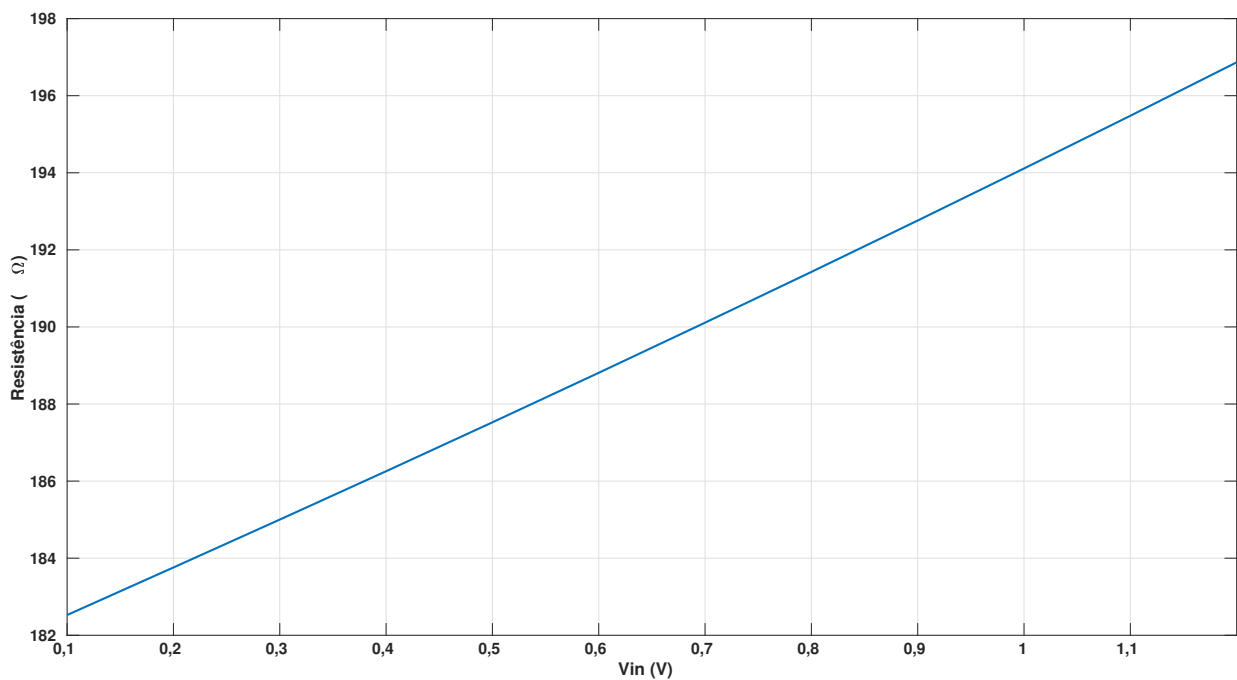


Figura 5.9: Variação da resistência da chave de *Bootstrap* pela tensão de entrada



Para caracterizar a tensão de *offset* do comparador, o efeito da variação de processo global e o processo da variação local são levados em consideração. Assim, uma simulação de Monte Carlo, que leva em consideração fatores estatísticos do processo, é realizada.

É difícil mensurar a tensão de *offset* de um comparador dinâmico, desde que não existe um estado estacionário (*steady state*) quiescente. Para mensurar, aplica-se uma tensão em escada à entrada do comparador e aciona o comparador em cada passo da rampa. O nível da tensão de entrada que causa a mudança na saída é gravado. Então, a direção da rampa é

Figura 5.10: Circuito de teste para a análise transiente do comparador

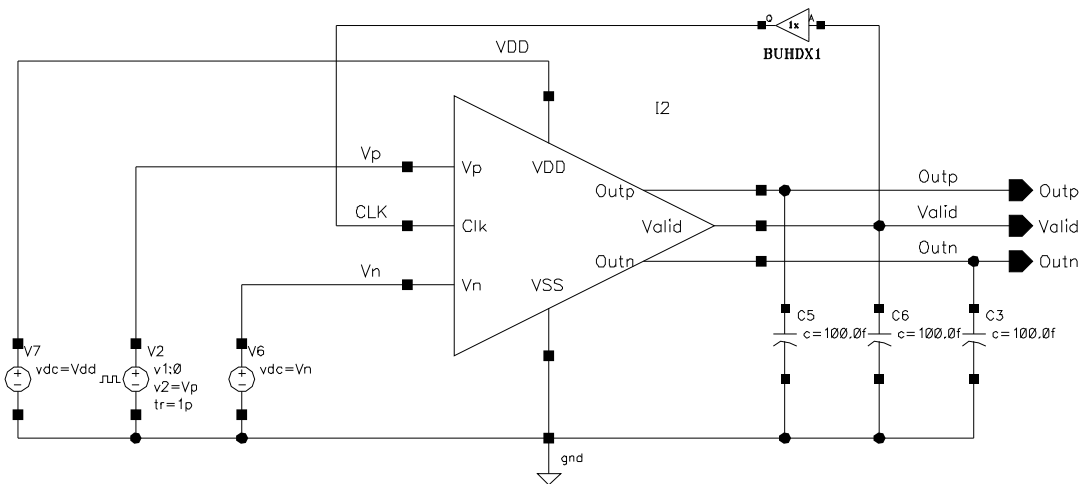
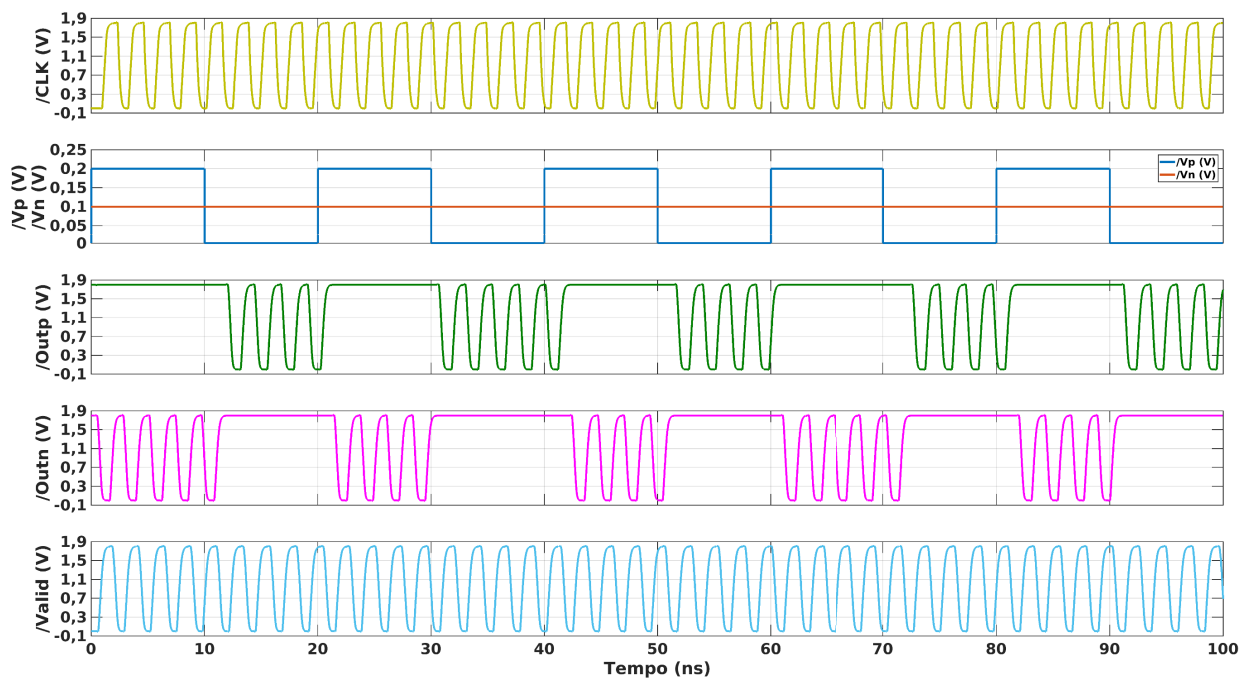


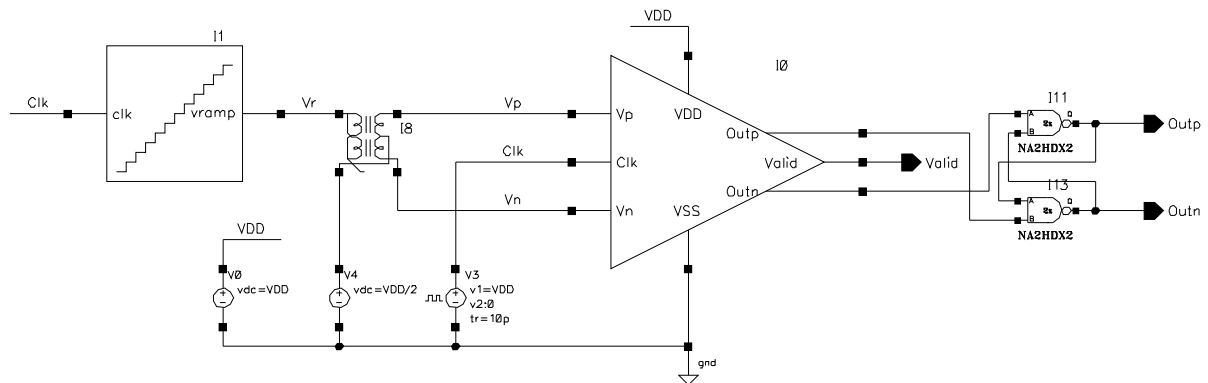
Figura 5.11: Resposta transiente do comparador



alterada e o processo repetido. A tensão de *offset* é a média das duas medições. No circuito de teste, Figura 5.12, um *latch RS* foi acrescentado na saída do comparador, para que a saída não variasse quando o comparador fosse desabilitado e, assim, gerar erros no processo de medição.

O gerador de rampa é alimentado pelo *clock* do comparador. Quando o *clock* vai para alto, a rampa é incrementada após um atraso de *td*. O comparador é então acionado

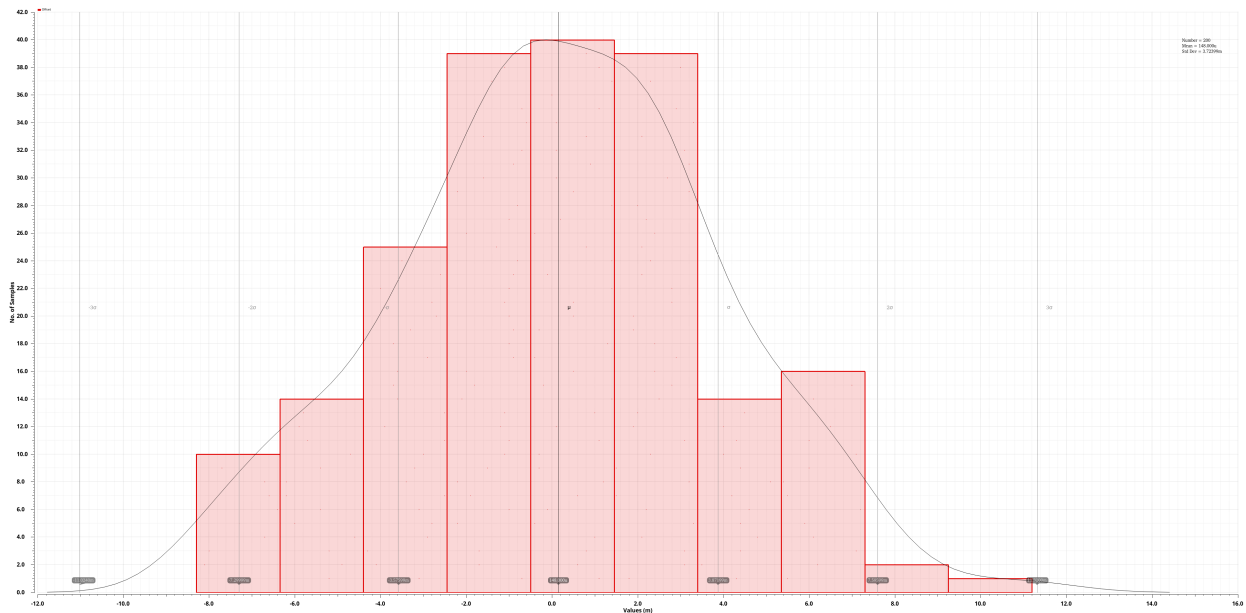
Figura 5.12: Circuito de teste para cálculo da tensão de *offset*



quando o gerador de rampa é atualizado, para prevenir mudança no nível de entrada e, incorretamente, efetuar a medição. O gerador de rampa é descrito usando-se Verilog-A e contém as seguintes variáveis: *td* define o atraso do acréscimo da rampa; *tr* define o tempo de subida do passo da rampa; o valor esperado máximo do offset, *maxin*; e a resolução, *resolution*, da medição. Esses dois últimos parâmetros são usados para calcular o número de passos na rampa.

Uma simulação de Monte Carlo com 200 amostras foi executada e o resultado pode ser visto na Figura 5.13. O valor médio foi de $148 \mu V$, que está abaixo de $1/2 \text{ LSB}$.

Figura 5.13: Resultado da simulação Monte Carlo do comparador para 200 amostras



5.2.3 Conversão do ADC

O primeiro teste do ADC foi realizado com simulações transientes mantendo as entradas dos sinais V_p e V_n constante. O conversor trabalha a 30 MHz , assim um tempo de simulação de 105 ns foi feito para pegar ao menos três períodos de conversão. O circuito de teste do ADC pode ser visto na Figura 5.14.

Dentro do período em nível alto ativo do *clock* do sistema, o que corresponde a 24% do período, o conversor irá amostrar os sinais de entrada, além de zerar o sistema retornando todas as chaves da placa inferior do DAC a conexão ao V_{ref} e zerando a saída de dados. Os 76% restante do período estará em nível baixo ativo e irá permitir a conversão, abrindo-se as chaves de *bootstrap* e dando início a conversão assíncrona. Um exemplo de conversão poder ser vista na Figura 5.15, com um zoom durante a segunda conversão para melhor visualização na Figura 5.16.

Da observação dos sinais DAC_P e DAC_N, que são as tensões no banco de capacitores do braço positivo e negativo respectivamente, nota-se o comportamento monotônico esperado da técnica de chaveamento utilizada neste trabalho. Porém, uma outra observação importante é a dos picos de tensão quando de uma nova conversão, que levam a um tempo maior de conversão já que tem que aumentar o tempo do período de amostragem dos sinais de entrada.

Figura 5.14: Primeiro circuito de teste do ADC

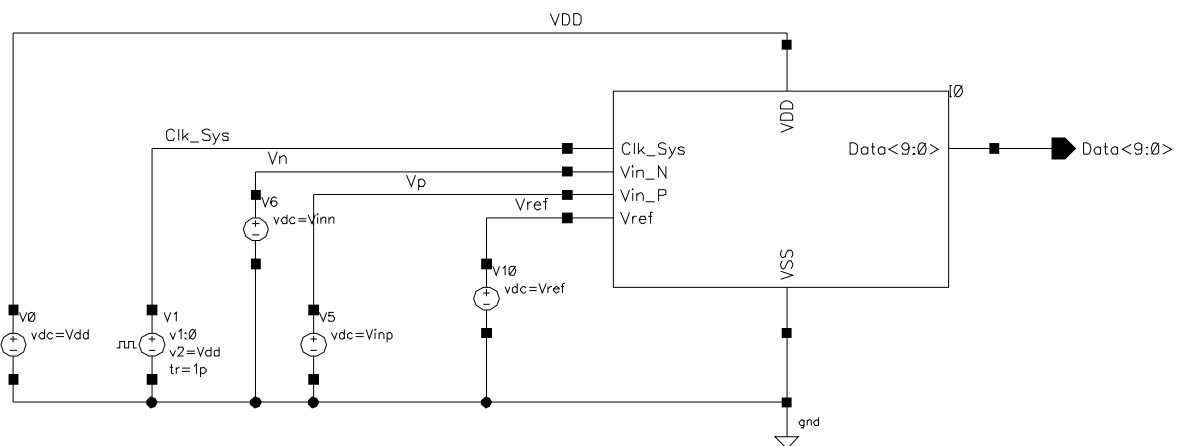


Figura 5.15: Conversão com $V_{ip} = 300\text{ mV}$ e $V_{in} = 0\text{ V}$

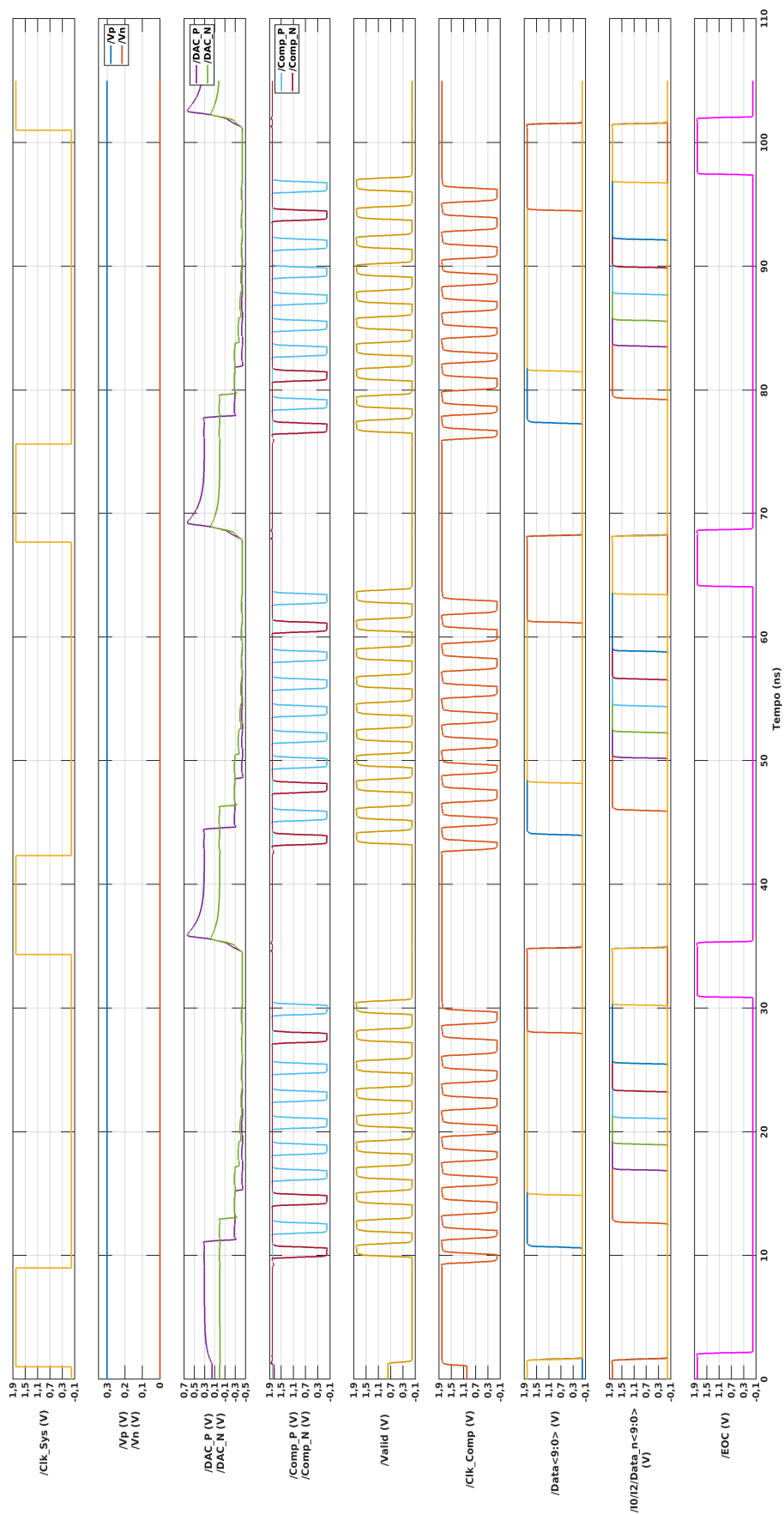
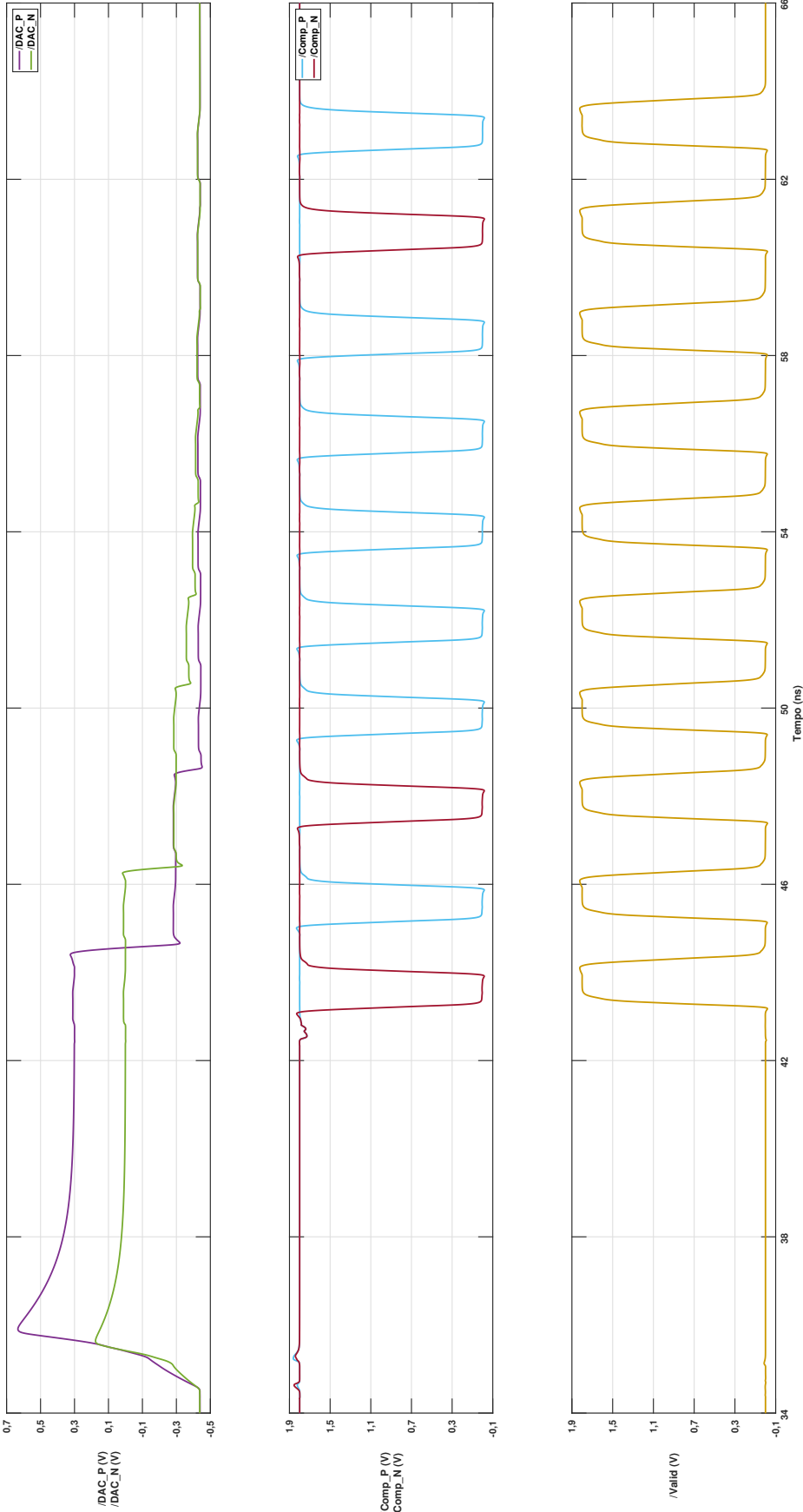


Figura 5.16: Zoom da Figura 5.15 detalhando a segunda conversão



lhido ser para 1024 pontos, a frequência dos sinais de entrada foi determinada usando-se o parâmetro de tom, a qual define o quanto a entrada muda de amostra para amostra. Foi usada uma amostragem do tipo não-coerente, ou seja, a frequência de entrada e a frequência do *clock* não são relacionadas harmonicamente. Se as frequências desses dois sinais forem harmonicamente relacionadas, o ruído de quantização do conversor será em tons que são harmonicamente relacionados à frequência do *clock*.

Desse modo, para o cálculo do valor da frequência de entrada, escolheu-se um número primo próximo da metade do número da FFT, neste caso 503, dividiu-o pelo número da FFT (1024) e multiplicou pela frequência de amostragem (30 MHz). Assim:

$$Freq = (30 \cdot 10^6) \cdot \frac{503}{1024} = 14,74 \text{ MHz} \quad (5.3)$$

Para a análise dos resultados da conversão, foi descrito em Verilog-A um conversor digital-analógico para a conversão dos dados obtidos. A simulação foi feita para um tempo de 30 *us* para capturar vários períodos de conversão, resultando em um cálculo de FFT com menos erro.

O resultado da simulação pode ser visualizado na Figura 5.18. A saída apresenta uma modulação em amplitude pelo fato de que a frequência de amostragem e a frequência do sinal de entrada serem próximas, havendo um batimento que no tempo resulta nessa característica do resultado. Para uma melhor visualização, uma ampliação numa faixa de 8 μs a 10 μs (Figura 5.19) é dada, tal que o sinal diferencial entre a entrada V_p e V_n ($/V_p-V_n$), o sinal do *clock* de amostragem ($/Clk_Sys$) e o sinal do fim de conversão ($/EOC$) estão sendo representados para entendimento desse resultado.

Passando esse resultado por uma FFT de 1024 pontos, o resultado obtido pode ser visto na Figura 5.20. Nota-se que a frequência principal é justamente a frequência do sinal de entrada.

Também foi extraído o consumo do ADC desenvolvido (Figura 5.21). O valor foi de:

$$\text{Consumo} \approx 1,14 \text{ mW} \quad (5.4)$$

Figura 5.18: Simulação transiente do segundo teste do ADC

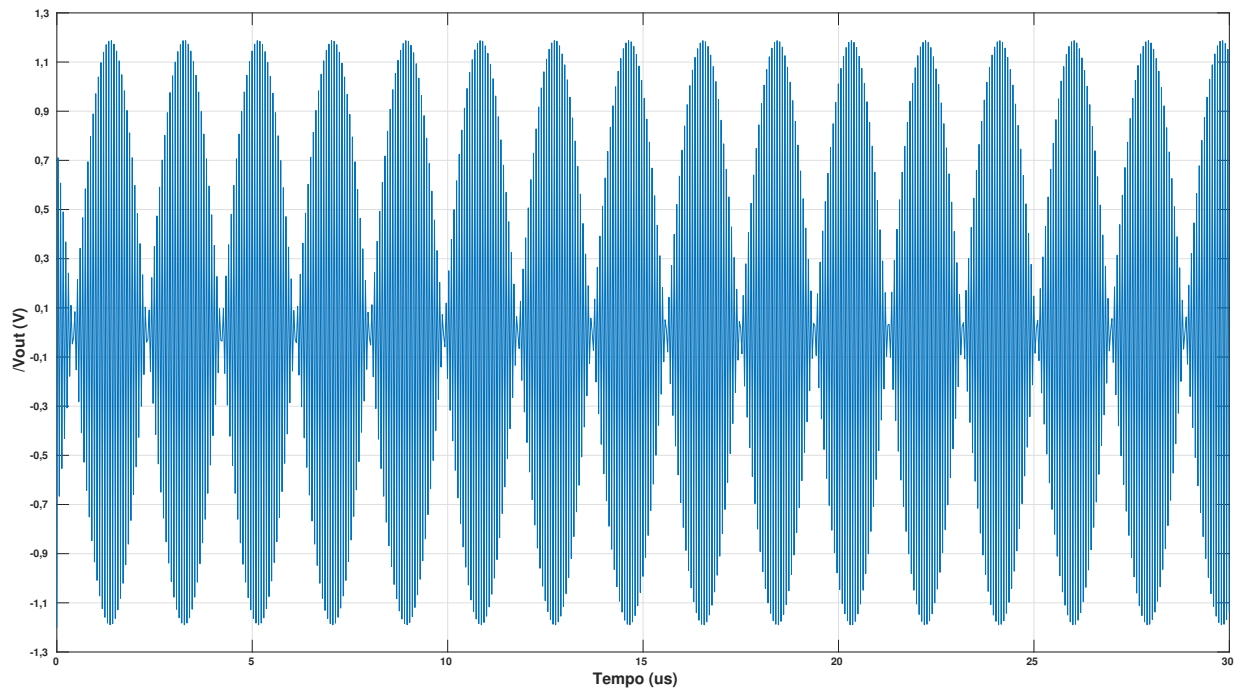


Figura 5.19: Simulação transiente do segundo teste do ADC, no intervalo de 8 μs a 10 μs

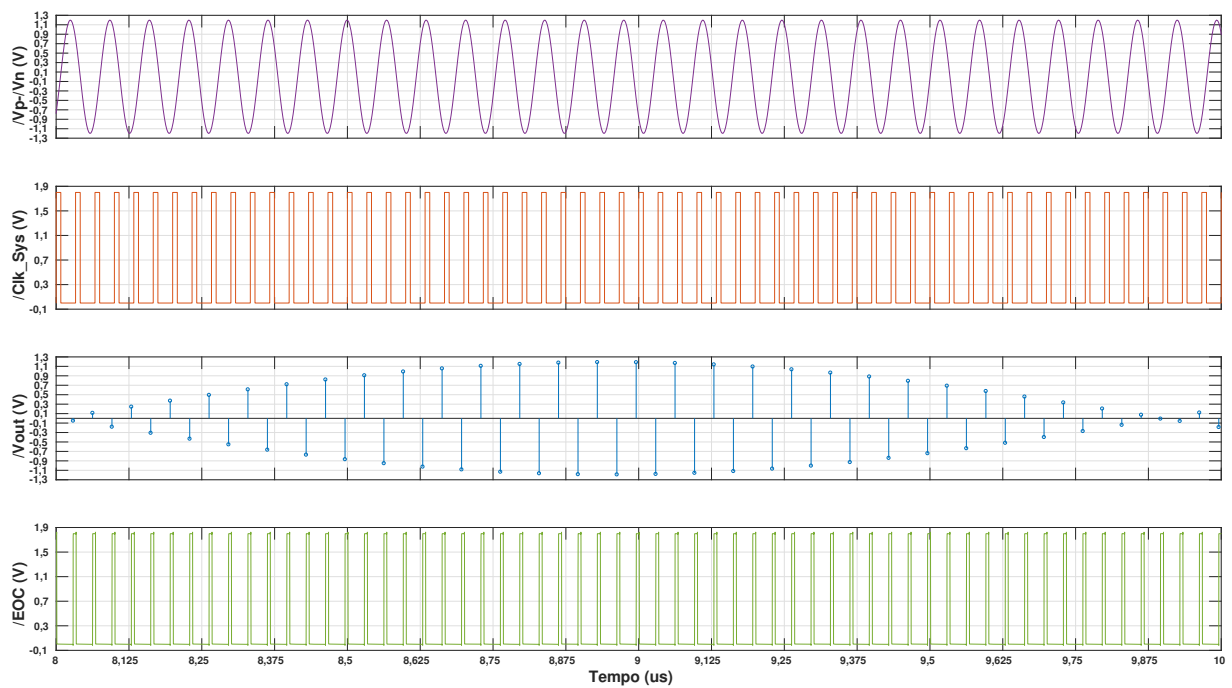


Figura 5.20: Resultado da FFT, em magnitude e dB

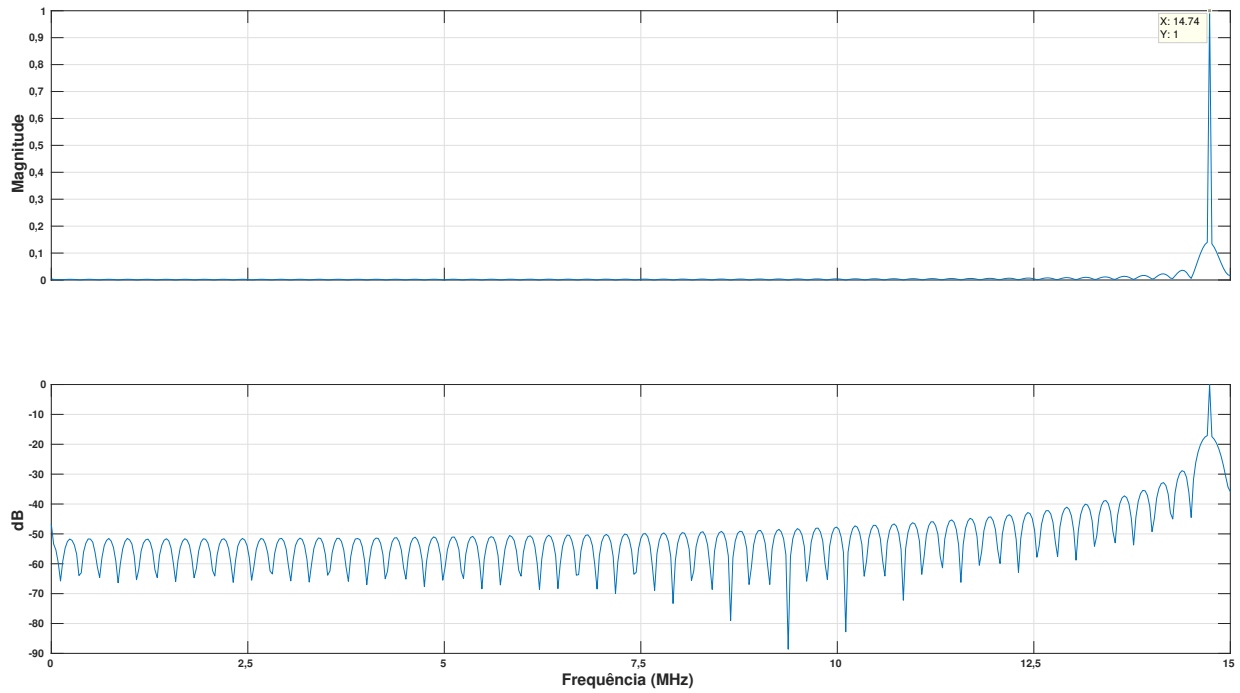
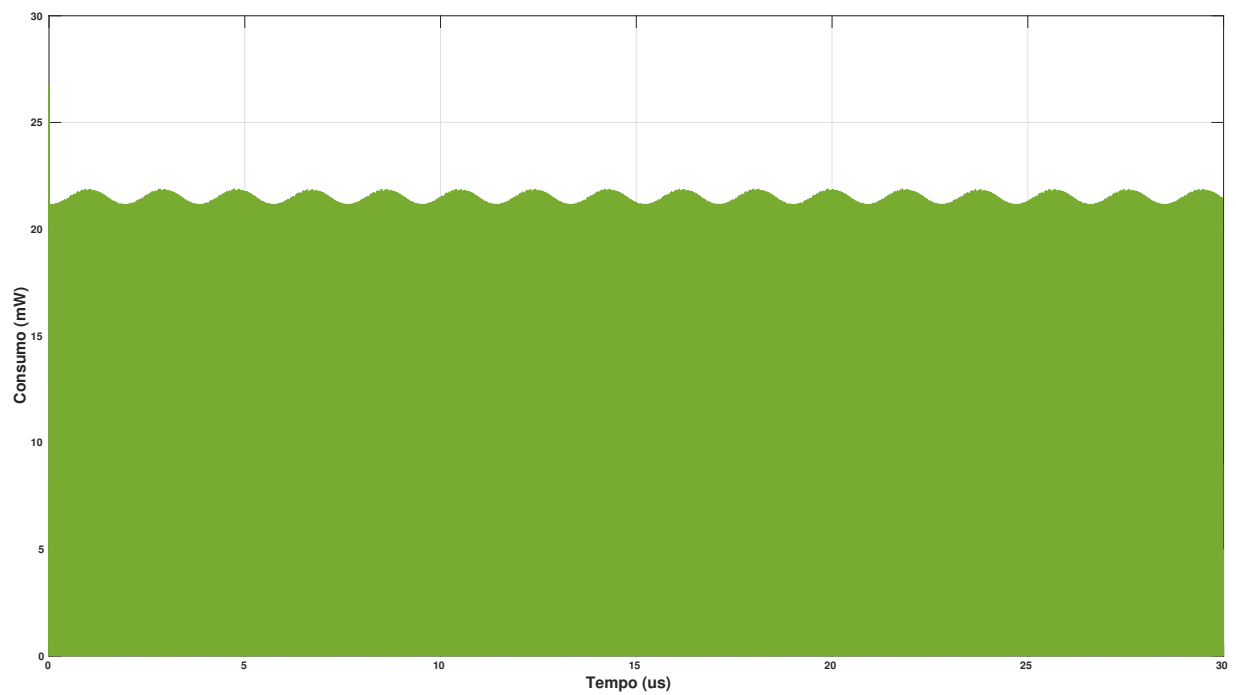


Figura 5.21: Consumo transitório do ADC



Capítulo 6

Conclusão

O conversor analógico-digital desenvolvido foi baseado na técnica de chaveamento monotônico, pois ela apresenta menor gasto energético se comparado a um conversor padrão, como demonstrado nas equações do Capítulo 3.

A partir dessa técnica, procurou-se um comparador com melhor resposta e baixo consumo, já que a tecnologia usada é de 180 *nm*, a qual é relativamente antiga para os dias atuais em termos de circuitos digitais, mas relativamente bastante usada em circuitos analógicos devido os nós mais recentes apresentarem baixa curva de ganho. Assim, escolheu-se um comparador do tipo *double-tail*, que usa da técnica de chaveamento dinâmico para comparar os sinais na entrada em um instante de tempo, enquanto em outro é desativado para minimizar o consumo médio do comparador. Outra adaptação foi o uso da chave de *bootstrap* para a amostragem dos sinais de entrada, pois essa topologia tende a manter a resistência da chave quase que uniforme independente da tensão do sinal de entrada, algo que não ocorre com as chaves simples ou do tipo T_Gate. Ao manter a resistência da chave de entrada o mais estável possível, pode-se dizer que a amostragem no banco de capacitores que formam o DAC terá um tempo uniforme de carregamento.

O uso da técnica assíncrona também foi outro ponto investigado durante o desenvolvimento. Diferente do sistema que usa um *clock* externo, que para altas taxas de amostragem o *clock* externo necessariamente apresentará um grande valor, o que dificulta sua implementação em circuito integrado ou mesmo traz a desvantagem do alto consumo, com o sistema assíncrono pode-se alcançar uma alta taxa de amostragem tal que o *clock* externo será igual

a taxa de amostragem, já que esse sinal disparará a operação da conversão. Uma vez disparado, todo o processo interno do sistema é quem determina a velocidade da conversão, como numa espécie de efeito dominó numa analogia simples. A desvantagem do sistema assíncrono é que os tempos das conversões dependerão do processo usado, da temperatura e da tensão, conhecido pela sigla em inglês PVT (*Process-Voltage-Temperature*). Essa dependência do processo resulta em que o projetista tenha que melhor dominar não só o processo que está usando, mas também de topologias de circuitos tais que possam minimizar esses efeitos (caso existam).

Um circuito de tensão de referência foi desenvolvido visando usá-lo como a referência de 1,2 V para o qual pretende-se usar o conversor.

Trabalhos futuros

Durante as simulações, observou-se que há um pico de tensão quando uma nova conversão é iniciada. Percebeu-se que a amostragem se dar ao mesmo tempo em que as chaves do DAC são “zeradas”, ou seja, reconectadas todas a tensão de referência. Uma possível estratégia seria reconectar essas chaves logo após o final da conversão, tendo o cuidado de preservar o dado, por exemplo.

Outra observação realizada é o cuidado que se deve ter com os tempos do sistema completo, já que ele é assíncrono. Qualquer defasagem de um sinal de controle de um ramo do DAC, com relação ao outro, pode gerar resultados errôneos. Tal cuidado deve ser rebuscado com simulações e análises mais detalhadas, com vários dados de amostras, pois cada caso terá sua particularidade no tempo de conversão.

Em alguns artigos, vê-se o uso dos transistores polarizados na região de *subthreshold*, tal que essa técnica permite reduzir o valor da fonte de alimentação para níveis de até 1 V, para um nó como o usado. Mas isso requer um estudo mais avançado da física dos semicondutores e dominar a tecnologia usada em si, tal que seria necessário não só usar a técnica para os circuitos analógicos, mas como refazer e caracterizar as células digitais.

Referências bibliográficas

- 1 Nelson, B. P.; Sanghvi, A. Out of hospital point of care ultrasound: Current use models and future directions. *European Journal of Trauma and Emergency Surgery*, v. 42, n. 2, p. 139–150, Apr 2016. ISSN 1863-9941. Disponível em: <<https://doi.org/10.1007/s00068-015-0494-z>>.
- 2 Murmann, B. *ADC Performance Survey 1997-2019*. Acessado em 01 de julho de 2019. Disponível em: <<http://web.stanford.edu/~murmman/adcsurvey.html>>.
- 3 Rabuske, Taimur; Fernandes, Jorge. *Charge-Sharing SAR ADCs for Low-Voltage Low-Power Applications*. first. [S.l.]: Springer International Publishing, 2017.
- 4 Razavi, Behzad. *Design of Analog CMOS Integrated Circuits*. second. [S.l.]: McGraw-Hill, 2017.
- 5 Razavi, B. The bandgap reference [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, v. 8, n. 3, p. 9–12, Summer 2016. ISSN 1943-0582.
- 6 Carusone, T. C.; Johns, D. A.; Martin, K. W. *Analog Integrated Circuit Design*. second. [S.l.]: Wiley, 2011.
- 7 Lee, C.; Sidek, R. M.; Rokhani, F. Z.; Sulaiman, N. A low power bandgap voltage reference for low-dropout regulator. In: *2015 IEEE Regional Symposium on Micro and Nanoelectronics (RSM)*. [S.l.: s.n.], 2015. p. 1–4.
- 8 Cao, H.; Yu, Z.; Deng, H.; Li, P. A reference voltage source and its output buffer for pipeline adc. In: *2014 International Conference on Anti-Counterfeiting, Security and Identification (ASID)*. [S.l.: s.n.], 2014. p. 1–5. ISSN 2163-5048.
- 9 Hunter, B. L.; Matthews, W. E. A ± 3 ppm/ $^{\circ}$ C single-trim switched capacitor bandgap reference for battery monitoring applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 64, n. 4, p. 777–786, April 2017. ISSN 1549-8328.
- 10 Adiono, T.; Prasetyo; Harimurti, S.; Afifah, K.; Salman, A. H. Design of highly stable bandgap reference circuit for rf power harvester module of a 13.56 mhz smart card tag ic. In: *2017 International SoC Design Conference (ISOCC)*. [S.l.: s.n.], 2017. p. 190–191.
- 11 Kok, Chi-Wah; Tam, Wing-Shan. *CMOS Voltage References: An Analytical and Practical Perspective*. First. [S.l.]: Wiley-IEEE Press, 2013.

- 12 Tsvividis, Y. P. Accurate analysis of temperature effects in $I_C - V_{BE}$ characteristics with application to bandgap reference sources. *IEEE Journal of Solid-State Circuits*, v. 15, n. 6, p. 1076–1084, Dec 1980. ISSN 0018-9200.
- 13 Widlar, R. J. New developments in ic voltage regulators. *IEEE Journal of Solid-State Circuits*, v. 6, n. 1, p. 2–7, Feb 1971. ISSN 0018-9200.
- 14 Pelgrom, Marcel. *Analog-to-Digital Conversion*. third. [S.l.]: Springer International Publishing, 2017.
- 15 Ndjountche, Tertulien. *Data Converters, Phase-Locked Loops, and Their Applications*. first. [S.l.]: CRC Press, 2018.
- 16 Huang, C.; Lin, J.; Shyu, Y.; Chang, S. A systematic design methodology of asynchronous sar adcs. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 24, n. 5, p. 1835–1848, May 2016. ISSN 1063-8210.
- 17 Chen, S. M.; Brodersen, R. W. A 6-bit 600-ms/s 5.3-mw asynchronous adc in 0.13- μm cmos. *IEEE Journal of Solid-State Circuits*, v. 41, n. 12, p. 2669–2680, Dec 2006. ISSN 0018-9200.
- 18 Özenli, D.; Kuntman, H. H. Mos-only circuit design automation. In: *2016 IEEE 7th Latin American Symposium on Circuits Systems (LASCAS)*. [S.l.: s.n.], 2016. p. 203–206.
- 19 Liu, C.; Chang, S.; Huang, G.; Lin, Y. A 10-bit 50-ms/s sar adc with a monotonic capacitor switching procedure. *IEEE Journal of Solid-State Circuits*, v. 45, n. 4, p. 731–740, April 2010. ISSN 0018-9200.
- 20 Ramkaj, A. T.; Strackx, M.; Steyaert, M. S. J.; Tavernier, F. A 1.25-gs/s 7-b sar adc with 36.4-db sndr at 5 ghz using switch-bootstrapping, uspc dac and triple-tail comparator in 28-nm cmos. *IEEE Journal of Solid-State Circuits*, v. 53, n. 7, p. 1889–1901, July 2018. ISSN 0018-9200.
- 21 Razavi, B. The bootstrapped switch [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, v. 7, n. 3, p. 12–15, Summer 2015. ISSN 1943-0582.
- 22 Abo, A. M.; Gray, P. R. A 1.5-v, 10-bit, 14.3-ms/s cmos pipeline analog-to-digital converter. *IEEE Journal of Solid-State Circuits*, v. 34, n. 5, p. 599–606, May 1999. ISSN 0018-9200.
- 23 Schinkel, D.; Mensink, E.; Klumperink, E.; van Tuijl, E.; Nauta, B. A double-tail latch-type voltage sense amplifier with 18ps setup+hold time. In: *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*. [S.l.: s.n.], 2007. p. 314–605. ISSN 0193-6530.
- 24 Petrović, Vladimir; El Mezeni, Dragomir; Djuric, Radivoje; Popović-Bozovic, Jelena. Analysis of area efficiency of 12-bit switched-capacitor dac topologies used in sar adc. In: . [S.l.: s.n.], 2017. p. 6.
- 25 CADENCE DESIGN SYSTEMS, INC. *Spectre Circuit Simulator and Accelerated Parallel Simulator User Guide*. Version 17.1. [S.l.], 2018.