

UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ROBSON DE SOUZA DONATO

**Retificador Zeta intercalado monofásico com desacoplamento da
potência oscilatória e redução do número de semicondutores
ativos**

CAMPINA GRANDE

2022

ROBSON DE SOUZA DONATO

Retificador Zeta intercalado monofásico com desacoplamento da potência oscilatória e redução do número de semicondutores ativos

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Montiê Alves Vitorino

CAMPINA GRANDE

2022

D677r

Donato, Robson de Souza.

Retificador Zeta intercalado monofásico com desacoplamento da potência oscilatória e redução do número de semicondutores ativos / Robson de Souza Donato. – Campina Grande, 2022.

72 f.: il. color

Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2022.

"Orientação: Prof. Dr. Montiê Alves Vitorino; Coorientação: Prof. Dr. Maurício Beltrão de Rossiter Corrêa".

Referências.

1. Processamento de Energia. 2. Desacoplamento de Potência. 3. Retificador monofásico. 4. Segunda harmônica. 5. Zeta. 6. Fator de Potência. 7. *Interleaved*. I. Vitorino, Montiê Alves. II. Corrêa, Maurício Beltrão de Rossiter. III. Título.

CDU 621.311(043)



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
POS-GRADUACAO EM ENGENHARIA ELETRICA
Rua Aprigio Veloso, 882, - Bairro Universitario, Campina Grande/PB, CEP 58429-900

REGISTRO DE PRESENÇA E ASSINATURAS

1. ATA DA DEFESA PARA CONCESSÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA, REALIZADA EM 25 DE JULHO DE 2022
(Nº 743)

CANDIDATO: **ROBSON DE SOUZA DONATO**. COMISSÃO EXAMINADORA: **MONTIÊ ALVES VITORINO**, D.Sc., UFCG, Orientador, **MAURÍCIO BELTRÃO DE ROSSITER CORRÊA**, D.Sc., UFCG, **ALEXANDRE CUNHA OLIVEIRA**, D.Sc., UFCG. TÍTULO DA DISSERTAÇÃO: **Retificador Zeta intercalado monofásico com desacoplamento da potência oscilatória e redução do número de semicondutores ativos**. HORA DE INÍCIO: **14h00** – LOCAL: **Sala Virtual**, conforme o artigo 5º da PORTARIA SEI Nº 01/PRPG/UFCG/GPR, DE 09 DE MAIO DE 2022). Em sessão pública, após exposição de cerca de 45 minutos, o candidato foi arguido oralmente pelos membros da Comissão Examinadora, tendo demonstrado suficiência de conhecimento e capacidade de sistematização, no tema de sua dissertação, obtendo conceito **APROVADO**. Face à aprovação, declara o presidente da Comissão, achar-se o examinando, legalmente habilitado a receber o Grau de Mestre em Engenharia Elétrica, cabendo a Universidade Federal de Campina Grande, como de direito, providenciar a expedição do Diploma, a que o mesmo faz jus. Na forma regulamentar, foi lavrada a presente ata, que é assinada por mim, Leandro Ferreira de Lima, e os membros da Comissão Examinadora presentes. Campina Grande, 25 de Julho de 2022.

LEANDRO LIMA
Secretário

MONTIÊ ALVES VITORINO, D.Sc., UFCG
Orientador

MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Examinador Interno

ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador Interno

ROBSON DE SOUZA DONATO
Candidato

2 - APROVAÇÃO

2.1. Segue a presente Ata de Defesa de Dissertação de Mestrado do candidato ROBSON DE SOUZA DONATO, assinada eletronicamente pela Comissão Examinadora acima identificada.

2.2. No caso de examinadores externos que não possuam credenciamento de usuário externo ativo no SEI, para igual assinatura eletrônica, os examinadores internos signatários **certificam** que os examinadores externos acima identificados participaram da defesa da dissertação e tomaram conhecimento do teor deste documento.



Documento assinado eletronicamente por **LEANDRO FERREIRA DE LIMA, SECRETÁRIO (A)**, em 01/08/2022, às 15:29, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MONTIE ALVES VITORINO, PROFESSOR 3 GRAU**, em 02/08/2022, às 07:53, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MAURICIO BELTRAO DE ROSSITER CORREA, PROFESSOR DO MAGISTERIO SUPERIOR**, em 02/08/2022, às 14:17, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **ALEXANDRE CUNHA OLIVEIRA, PROFESSOR 3 GRAU**, em 16/08/2022, às 09:57, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **Robson de Souza Donato, Usuário Externo**, em 09/11/2022, às 12:50, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



A autenticidade deste documento pode ser conferida no site <https://sei.ufcg.edu.br/autenticidade>, informando o código verificador **2592386** e o código CRC **8DA32682**.

Agradecimentos

A Deus.

*“Nada façais por partidarismo ou vanglória, mas por humildade”
(Filipenses 2:3)*

Resumo

Em alguns sistemas monofásicos, o desacoplamento de potência é necessário para balancear a diferença entre a potência constante requerida por uma carga e a potência de segunda harmônica do lado CA. Esse equilíbrio geralmente é feito por circuitos passivos. Neste trabalho, é proposto um novo retificador Zeta intercalado (*interleaved*) monofásico com uma técnica ativa para o desacoplamento da potência. A partir desse novo circuito, buscou-se estudar, apresentar e comparar uma alternativa ao circuito Zeta com desacoplamento de potência existente na literatura, que possui baixa eficiência. Para isso, novas considerações e fórmulas matemáticas são apresentadas em caráter de correção ao primeiro estudo realizado para esse retificador, o qual possui a vantagem de não ser preciso acrescentar elementos reativos à topologia original Zeta. A técnica garante um capacitor de saída de menor volume e isso viabiliza o uso de capacitores de mica, filme, poliéster ou cerâmico, que são mais confiáveis que os eletrolíticos e de vida útil mais prolongada, conferindo ao retificador maior confiabilidade. O diagrama de controle utilizado para garantir uma tensão constante na saída do circuito e alto fator de potência é apresentado e explicado. Também são apresentadas análises e discussões baseadas em resultados experimentais e de simulações feitas em software MATLAB/Simulink, com foco em detalhar os efeitos de parte das perdas inerente à topologia.

Palavras-chaves: Retificador monofásico, Segunda harmônica, Zeta, Desacoplamento de Potência, Fator de Potência, *Interleaved*.

Abstract

In some single-phase systems, power decoupling is necessary to balance the difference between constant power at load side and double frequency pulsating power at AC side. The balance power is generally handled by passive circuits. This work proposes a new single-phase interleaved Zeta rectifier with an active power decoupling technique. Based on this new circuit, a study, presentation and comparison is performed in order to have an alternative to the Zeta circuit with power decoupling existing in the literature, which has low efficiency. For this, new considerations and mathematical formulas are presented as a correction to the first study carried out for this rectifier, which does not need to add reactive elements to the original Zeta topology. The technique ensures a smaller capacitor at the output and allows the use of mica, film, polyester or ceramic capacitors, which are more reliable than electrolytic capacitors and of longer life, giving the rectifier greater reliability. The control diagram used to ensure a constant voltage at the circuit output and a high power factor is presented and explained. Analyzes and discussions based on experimental results and simulations made in MATLAB/Simulink software are also presented, with a focus on detailing the effects of part of the losses inherent to the topology.

Key-words: Single-phase rectifier, Second harmonic, Zeta, Power Decoupling, Power Factor, Interleaved.

Lista de ilustrações

Figura 1 – Retificador básico CA/CC	14
Figura 2 – Retificador básico CA/CC com filtro indutivo na entrada	15
Figura 3 – Retificador básico CA/CC com estágio CC/CC para controle do fator de potência	16
Figura 4 – Topologia tradicional Boost para aplicação com PFC	16
Figura 5 – Técnica de controle por corrente média	17
Figura 6 – Formas de onda da tensão e corrente de entrada do conversor com PFC	18
Figura 7 – Retificador básico CA/CC com conversor CC/CC Zeta	18
Figura 8 – Estados Topológicos do Conversor CC/CC Zeta	19
Figura 9 – Formas de onda das correntes de L_1 , L_2 e C_1 do conversor CC/CC Zeta	21
Figura 10 – Topologia Boost Intercalado	23
Figura 11 – Formas de onda das correntes de i_i , L_1 , L_2 e I_1 do conversor Boost Intercalado	24
Figura 12 – Composição da Potência em Sistemas Monofásicos	25
Figura 13 – Circuitos básicos VSC e CSC	25
Figura 14 – VSC monofásico com circuito de desacoplamento baseado na topologia Buck	27
Figura 15 – VSC monofásico com célula de desacoplamento básica com Ponte-H . .	28
Figura 16 – VSC monofásico com circuito de desacoplamento baseado na topologia Boost e Buck-Boost	29
Figura 17 – VSC monofásico com Ponte-H e elemento de armazenamento de energia indutivo para fins de desacoplamento	29
Figura 18 – CSC monofásico e circuito de desacoplamento independente	29
Figura 19 – VSC monofásico com desacoplamento dependente - método de multiplexação horizontal	30
Figura 20 – VSC monofásico com desacoplamento dependente - método de multiplexação vertical	30
Figura 21 – CSC monofásico com desacoplamento dependente - método de multiplexação vertical	31
Figura 22 – CSC monofásico com desacoplamento dependente - método de multiplexação vertical	31
Figura 23 – Categorização das topologias de desacoplamento de potência	32
Figura 24 – Retificador <i>Sheppard-Taylor</i>	32
Figura 25 – Estados Topológicos do Retificador <i>Sheppard-Taylor</i>	33
Figura 26 – Sistema de Controle do retificador <i>Sheppard-Taylor</i> com desacoplamento de potência	33

Figura 27 – Retificador proposto por <i>Liu et al. (2018)</i>	34
Figura 28 – Estados Topológicos do Retificador proposto por <i>Liu et al. (2018)</i> . . .	35
Figura 29 – Sistema de Controle do retificador proposto por (LIU et al., 2018b) . .	35
Figura 30 – Retificador proposto por <i>Tang et al. (2015)</i>	35
Figura 31 – Estados Topológicos do Retificador proposto por <i>Tang et al. (2015)</i> . .	36
Figura 32 – Compensador para o Retificador proposto por <i>Tang et al. (2015)</i> . . .	36
Figura 33 – Retificador proposto por <i>Ohnuma e Itoh (2014)</i>	37
Figura 34 – Estados Topológicos do Retificador proposto por <i>Ohnuma e Itoh (2014)</i>	37
Figura 35 – Sistema de Controle para o Retificador proposto por <i>Ohnuma e Itoh</i> <i>(2014)</i>	38
Figura 36 – Diagrama de blocos das estratégias de controle direto e automático . .	39
Figura 37 – Modelo genérico de 3 portas	40
Figura 38 – Conversor Zeta com Duas Chaves Ativas	42
Figura 39 – Transferência de potência ativa durante o tempo DT_s	43
Figura 40 – Indutor L_1 transfere energia para C_1 durante o tempo $\delta_1 T_s$	43
Figura 41 – Caminho de roda livre para a corrente do indutor de desacoplamento .	43
Figura 42 – Padrão de Acionamento das Chaves s_a e s_b	44
Figura 43 – Formas de onda de i_{L_1} , $ i_i $, I_o , D , δ_1	47
Figura 44 – Corrente no indutor de desacoplamento L_1	49
Figura 45 – Formas de onda de i_{C_1}	50
Figura 46 – Formas de onda de i_{L_2}	53
Figura 47 – Gráfico da variável α definida para o projeto de L_2	54
Figura 48 – Retificadores Zeta com desacoplamento de potência formando uma es- trutura <i>interleaved</i>	59
Figura 49 – Conversor Zeta intercalado com n células	60
Figura 50 – Diagrama de controle a ser empregado para acionamento das chaves do retificador proposto	61
Figura 51 – Infográfico das etapas da pesquisa	62
Figura 52 – Resultados simulados e experimentais da célula básica do retificador Zeta para $V_i = 75$ V, $P_o = 9$ W e $V_o = 30$ V	64
Figura 53 – Protótipo construído para validação dos conceitos da célula base do Zeta com Desacoplamento de Potência	65
Figura 54 – Resultados simulados do retificador Zeta com desacoplamento de po- tência para $P_o = 200$ W, $V_o = 100$ V, $V_i = 220$ V e $\phi = 0$ rad	66
Figura 55 – Formas de onda da corrente de um indutor de desacoplamento do Zeta intercalado para $n = 1, 2, 3, 4$	69
Figura 56 – Formas de onda da tensão de saída e corrente de entrada do Zeta in- tercalado para $n = 1, 2, 3, 4$	69

Lista de tabelas

Tabela 1 – Fórmulas dos projetos dos elementos reativos do conversor CC-CC Zeta em MCC	22
Tabela 2 – Fórmulas dos elementos reativos do conversor CA-CC Zeta com desacoplamento de potência	55
Tabela 3 – Comparação entre as fórmulas desenvolvidas no primeiro estudo do retificador Zeta com desacoplamento de potência (AGUIAR, 2019) e o estudo atual	56
Tabela 4 – Componentes utilizados no primeiro experimento com o Retificador Zeta com Desacoplamento de Potência	63
Tabela 5 – Elementos reativos do conversor CA-CC Zeta com desacoplamento de potência para $P_o = 200$ W, $V_o = 100$ V, $V_i = 220$ V e $\phi = 0$ rad	65
Tabela 6 – Perdas por efeito joule simuladas para a célula base do Zeta com desacoplamento de potência	67
Tabela 7 – Resultados das simulações para Zeta Intercalado com Desacoplamento de Potência para $n = 1, 2, 3, 4$ e 5	68
Tabela 8 – Análise da DHT da corrente de entrada	70

Sumário

1	Introdução	13
1.1	Revisão Bibliográfica	14
1.1.1	Correção de Fator de Potência	15
1.1.2	Análise do Conversor CC/CC Zeta (Dual SEPIC ou SEPIC Inverso)	18
1.1.2.1	Dimensionamento dos Elementos Reativos	20
1.1.3	Conversores Intercalados (<i>interleaved</i>)	22
1.1.4	Método Ativo para Desacoplamento de Potência - Princípio de Operação	24
1.1.4.1	Retificador <i>Sheppard-Taylor</i>	32
1.1.4.2	Retificador proposto por <i>Liu et al. (2018)</i>	34
1.1.4.3	Retificador proposto por <i>Tang et al. (2015)</i>	34
1.1.4.4	Retificador proposto por <i>Ohnuma e Itoh (2011)</i>	36
1.1.5	Métodos de Controle	38
1.2	Objetivos	41
2	Conversor Monofásico Zeta com Desacoplamento de Potência	42
2.1	Estados Topológicos do Conversor Zeta com Desacoplamento de Potência	43
2.2	Dimensionamento dos Elementos Reativos	46
2.2.1	Contribuições aos Estudos do Retificador CA/CC Zeta com Desacoplamento de Potência	56
3	Conversor Zeta Intercalado com Desacoplamento de Potência	58
3.1	Topologia proposta do retificador Zeta intercalado monofásico com desacoplamento de potência	58
3.2	Sistema de Controle Para a Topologia Proposta	60
4	Resultados de Simulações e Experimentos	62
4.1	Simulações e experimentos com a célula básica do Retificador Zeta com Desacoplamento de Potência	63
4.2	Simulações com o Retificador Zeta Intercalado com Desacoplamento de Potência para $n = 1, 2, 3, 4$	67
5	Conclusões	71
	Referências	72

1 Introdução

O contínuo desenvolvimento de tecnologias relacionadas à eletrônica de potência permite que cada vez mais sistemas monofásicos tenham viabilidade de serem implementados em diversas aplicações de conversão CA/CC (SINGH et al., 2003). Pode-se citar como demandas atuais, por exemplo, sistemas de transferência e/ou fornecimento de potência que envolvem geração distribuída, iluminação a LED (*Light-Emitting Diode*) e carregamento de baterias veiculares. Em muitas dessas aplicações a carga ou geração demanda potência constante e, nesses casos, a potência que oscila com o dobro da frequência fundamental da linha, que é inerente aos sistemas monofásicos, passa a ser um problema.

Nesse sentido, em relação à microgeração oriunda de painéis fotovoltaicos, quanto maior o ripple de baixa frequência sobre o barramento CC menor a eficiência do rastreador do ponto de máxima potência (MPPT - *Maximum Power Point Tracking*) do sistema e isso compromete a sua confiabilidade (KJAER; PEDERSEN; BLAABJERG, 2005; SCHONBERGER, 2009; HU et al., 2013). De modo similar, caso a corrente não se mantenha constante no processo de carregamento de baterias, principalmente as de chumbo-ácido, isso pode acarretar em superaquecimento desses equipamentos e no conseqüente distúrbio do seus processos eletroquímicos (LACRESSONNIERE; CASSORET; BRUDNY, 2005; REZAIE; RASTEGAR; PICHAN, 2016). Em células de combustíveis, componentes harmônicas de baixa frequência (entre 100 Hz e 5 kHz) causam o aparecimento do fenômeno de histerese na característica tensão-corrente desses dispositivos (FONTES et al., 2007). Já em sistemas de iluminação a LED a variação de tensão de baixa ou de alta frequência gera o efeito de cintilação (*flicker*) que pode causar danos à retina das pessoas (LI et al., 2016; LEHMAN et al., 2011).

Diante disso, nota-se que a potência de segunda harmônica é indesejável em algumas aplicações. Por isso, são fundamentais as pesquisas voltadas para a solução do problema da potência oscilatória em alguns sistemas monofásicos, em que seja possível *desacoplá-la* e processá-la de alguma forma para que seu efeito não recaia de forma significativa sobre o barramento CC.

Em linhas gerais, pode-se dividir as abordagens de estudos de conversores e inversores com desacoplamento de potência em dois métodos principais: **passivos** e **ativos**. Os métodos passivos consistem em adicionar filtros ressonantes LC ou aumentar os valores dos elementos reativos do barramento CC (VASILADIOTIS; RUFER, 2014). Apesar de terem uma abordagem menos complexa, contribuem para o aumento do peso e volume dos circuitos. Dentre os métodos ativos, uma importante classe deles baseia-se no princípio de adicionar um circuito de desacoplamento em série ou em paralelo (com elementos reativos relativamente pequenos quando comparados aos métodos passivos) capaz de fornecer

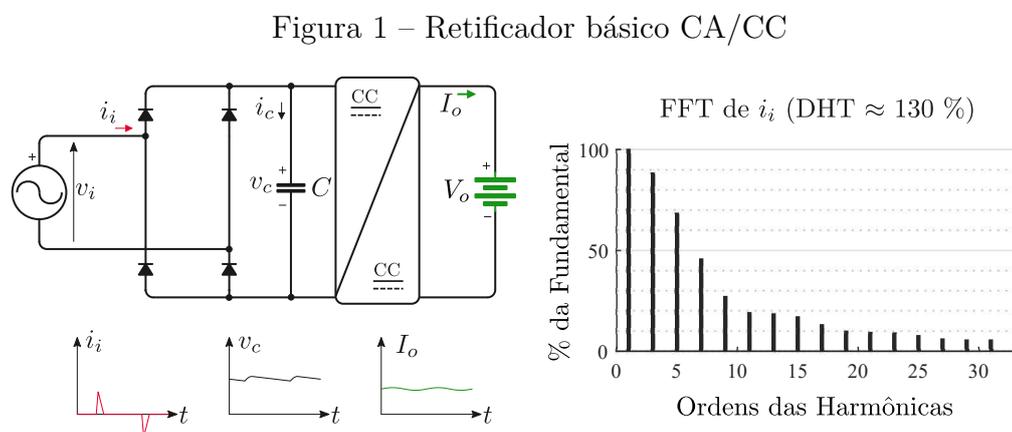
o equilíbrio de potência entre a fonte e a carga. Isso requer muitas vezes o acréscimo de chaves extras à topologia original, aumentando-se em certa medida os custos e as perdas por chaveamento. Em outros métodos ativos, elementos reativos são adicionados ao conversor ou inversor e eles compartilham, parcial ou integralmente, as chaves pertencentes à topologia do circuito original (VITORINO et al., 2017).

Independentemente do método utilizado para o desacoplamento de potência, duas características desejáveis para os retificadores são que eles apresentem alto fator de potência (próximo de 1) e baixa Distorção Harmônica Total (DHT ou THD - *Total Harmonic Distortion*), pois isso evita problemas relacionados à interferência eletromagnética e viabiliza o uso da rede para fornecer mais potência aos demais sistemas que estejam conectados a mesma. Para que isso ocorra, o ideal é que o conjunto retificador-carga emule uma carga resistiva vista pela fonte CA de entrada a partir de alguma técnica para controle de fator de potência - ou PFC (*Power Factor Correction*).

Nas seções que se seguem é realizada uma revisão bibliográfica que aborda os assuntos relacionados a PFC, DHT, conversores intercalados e desacoplamento de potência. São apresentados os objetivos deste trabalho e os detalhes dos circuitos que os embasam. Ao final, são apresentadas as análises de resultados experimentais e de simulações seguidos das conclusões.

1.1 Revisão Bibliográfica

Conforme já mencionado, diversas aplicações necessitam de retificadores monofásicos CA/CC. Em muitos casos, a tensão CC é obtida a partir de uma fonte CA conectada a uma ponte de diodos ¹ com um capacitor de filtro em paralelo seguido ou não de um estágio CC/CC (conversor chaveado) para fornecer potência dentro das características nominais da carga. Apesar de ser uma técnica relativamente simples, a corrente de entrada é descontínua e possui muitas harmônicas conforme detalhado na Figura 1.



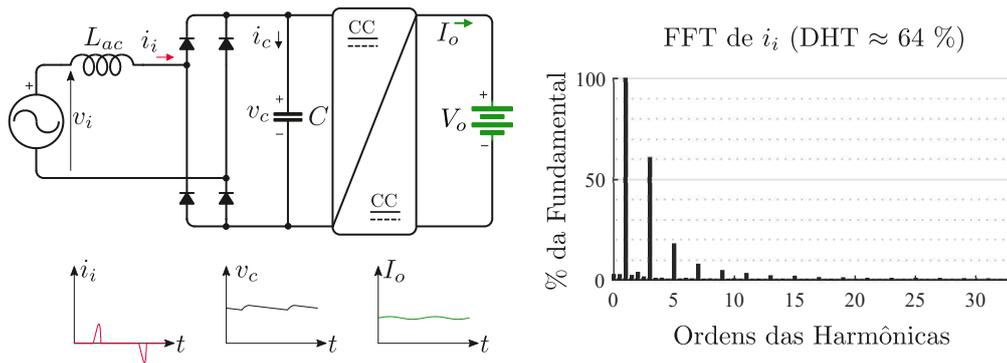
¹ Mais estritamente conhecido como “ponte-H” ou “retificador de onda completa”.

Na prática, é bastante comum a inserção de um indutor entre a fonte e a ponte-H porque isso limita a magnitude da corrente inicial e também atua como um filtro que atenua as componentes de frequência de ordens mais elevadas. A Figura 2 ilustra esse efeito da filtragem na entrada e a respectiva diminuição da DHT. O índice DHT, como o próprio nome sugere, quantifica a distorção total em um sinal de corrente ou tensão devido à presença de harmônicas - que são componentes sinusoidais com frequências múltiplas de uma componente fundamental, que podem ser analisadas via transformada de Fourier de uma janela de tempo de um determinado sinal - e, de acordo com (VITORINO, 2019), é definida como:

$$DHT_i(\%) = 100 \sqrt{\sum_{h \neq 1} \left(\frac{I_{h_{rms}}}{I_{1_{rms}}} \right)^2} \quad (1.1)$$

em que $I_{1_{rms}}$ representa o valor RMS do sinal de **frequência fundamental**, $I_{h_{rms}}$ o valor RMS do sinal de h-ésima harmônica e o subscrito i indica DHT da corrente.

Figura 2 – Retificador básico CA/CC com filtro indutivo na entrada



Fonte: Figura do Autor.

Os circuitos das Figuras 1 e 2 estão dentro do escopo dos retificadores *não controlados*, porque utilizam apenas diodos que alternam seus estágios de condução de acordo com a diferença de potencial ao qual seus terminais estão submetidos, que neste caso muda naturalmente de polaridade a cada semiciclo da frequência senoidal da rede AC.

1.1.1 Correção de Fator de Potência

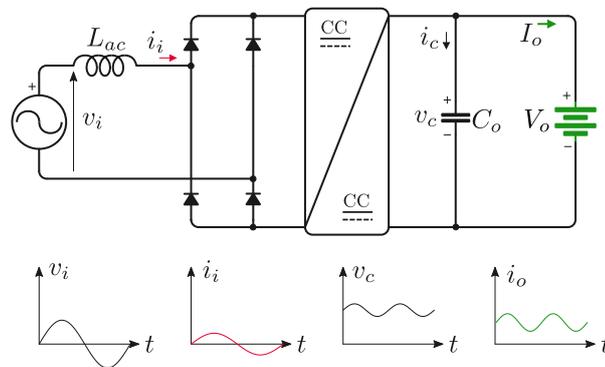
Para um controle mais efetivo do fator de potência, considerando-se uma tensão de entrada senoidal, o ideal é que a forma de onda da corrente de entrada possua a menor distorção possível, aproximando-se de uma senoide pura na mesma frequência e fase da tensão.

O circuito apresentado na Figura 3 propõe que um único conversor chaveado realize o estágio de PFC e a etapa de regulação CC/CC. Porém, é difícil garantir que um único conversor trabalhe simultaneamente no ponto ótimo de cada um desses processos. Assim, inevitavelmente, como pode ser visto na imagem, apesar de ser possível aplicar uma técnica

de controle de fator de potência e reduzir a DHT da corrente de entrada, a corrente de saída terá ripple de baixa e alta frequências² e o valor do capacitor do barramento CC será basicamente da mesma grandeza daquele apresentado no retificador da Figura 2. Em geral, para se ter noção da ordem de grandeza desse capacitor do barramento, o valor de $1\mu\text{F}/\text{W}$ é muito comum em tais conversores com PFC (NI et al., 2011; KURACHI; SHOYAMA; NINOMIYA, 1995).

O fato de não ter um capacitor após o primeiro estágio de retificação (após a ponte-H) possibilita que não ocorram descontinuidades em baixa frequência na corrente de entrada. Para as componentes de alta frequência oriundas do conversor chaveado, é mais comum a utilização de um filtro LC na entrada em vez de um único indutor.

Figura 3 – Retificador básico CA/CC com estágio CC/CC para controle do fator de potência

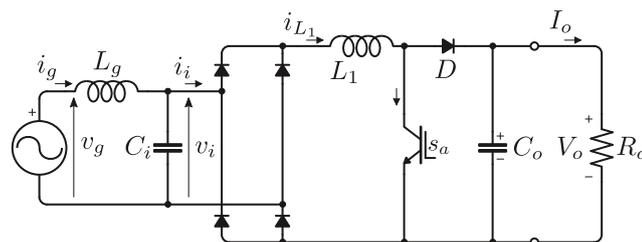


Fonte: Figura do Autor.

Entre os conversores CC/CC típicos que podem ser utilizados na topologia apresentada na Figura 3, estão o Buck (abaixador), Boost (elevador), Buck-Boost (abaixador-elevador), Flyback (ALONSO et al., 2012; TSE; CHOW; CHEUNG, 2001). Porém, outros conversores como o Sepic, Cuk e Zeta podem ser utilizados (PERES; MARTINS; BARBI, 1994).

A mais popular aplicação de PFC é certamente o retificador com a topologia Boost representada na Figura 4.

Figura 4 – Topologia tradicional Boost para aplicação com PFC



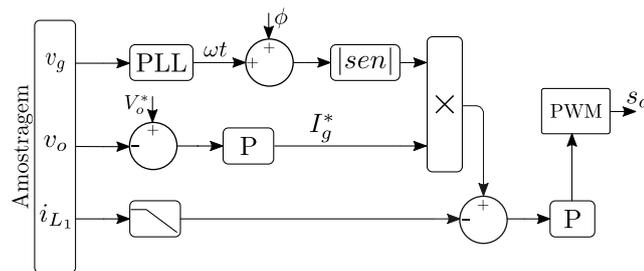
Fonte: Figura do Autor.

² As componentes de alta frequência não estão representadas na imagem

O emprego desse retificador garante algumas vantagens como, por exemplo, a possibilidade de alcançar fator de potência quase unitário para várias técnicas de controle empregadas, baixa distorção na corrente de entrada e o terminal comum da chave conectada ao terra, que simplifica o seu circuito de acionamento (*driver*). As principais desvantagens são: o circuito inicia com sobrecorrente devido ao carregamento do capacitor de saída de elevada capacitância; ausência de limitador de corrente para condições de sobrecarga e curto-circuitos; tensão de saída maior que o valor de pico da tensão de entrada (ROSSETO; SPIAZZI; TENTI, 1994).

A Figura 5 mostra um diagrama de uma técnica para correção de fator de potência conhecida como *controle por corrente média*. Há outros esquemas de controle para PFC, entre eles, por exemplo, o *controle por corrente de pico* e o *controle por histerese*. O que todos esses métodos de controle têm em comum é que, essencialmente, busca-se forçar via modulação PWM (*Pulse Width Modulation*) que a corrente de entrada siga da forma mais fiel possível uma referência.

Figura 5 – Técnica de controle por corrente média para PFC da topologia da Figura 4

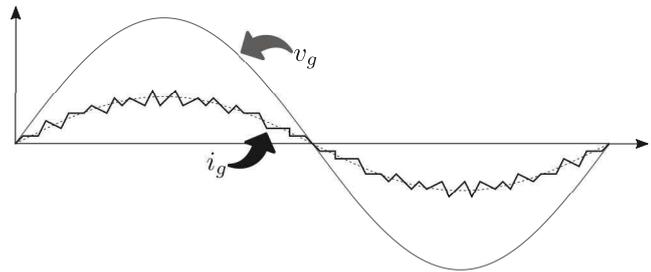


Fonte: Figura do Autor.

Conforme pode ser verificado na imagem, para uma tensão de entrada senoidal, a referência de corrente tem o mesmo formato e a mesma fase dessa tensão. O sinal de erro entre a tensão regulada da saída e seu valor de referência é amplificado e gera o valor da magnitude da corrente que é multiplicado pela referência senoidal, a qual, em seguida, se aplica a subtração do valor médio em um período de chaveamento da corrente verificada no circuito em operação. O erro oriundo dessa última operação passa por uma transformação proporcional, e o sinal resultante é comparado com uma onda triangular (modulação PWM) para gerar o padrão de acionamento da chave s_a . A Figura 6 apresenta um exemplo ilustrativo das formas de onda de tensão e corrente de entrada do conversor com PFC usando a técnica de controle por corrente média.

Em relação às demais topologias tradicionais para aplicação de PFC, algumas considerações devem ser feitas. O conversor Buck tem a característica de limitar a corrente de *inrush* e de ter proteção natural contra sobrecarga. No entanto, para operar com fator de potência alto é preciso que a tensão de saída seja muito menor que a tensão de pico de entrada e isso o limita bastante. Os conversores Sepic e Cuk não se limitam a operar apenas abaixo ou acima do pico da tensão de entrada, porém, assim como o Boost, eles

Figura 6 – Formas de onda da tensão e corrente de entrada do conversor com PFC

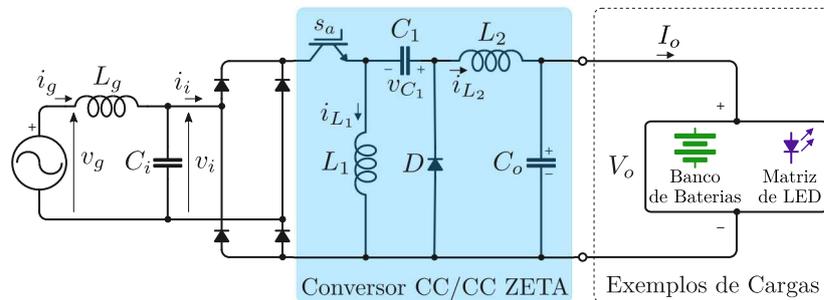


Fonte: Figura do Autor.

não tem proteção natural contra sobrecarga e há dificuldades práticas como o acréscimo de circuitos adicionais para protegê-los contra a corrente de *inrush* (PERES; MARTINS; BARBI, 1994).

O conversor Zeta, por sua vez, possui proteção natural contra sobrecarga e curto-circuitos por não existir conexão direta entre a rede e a carga, limita a corrente de *inrush*, pode prover alto fator de potência e não há a restrição de operar só acima ou só abaixo da tensão de pico de entrada. A Figura 7 mostra um exemplo de como seria a configuração para um conversor CC/CC Zeta.

Figura 7 – Retificador básico CA/CC com conversor CC/CC Zeta



Fonte: Figura do Autor.

1.1.2 Análise do Conversor CC/CC Zeta (Dual SEPIC ou SEPIC Inverso)

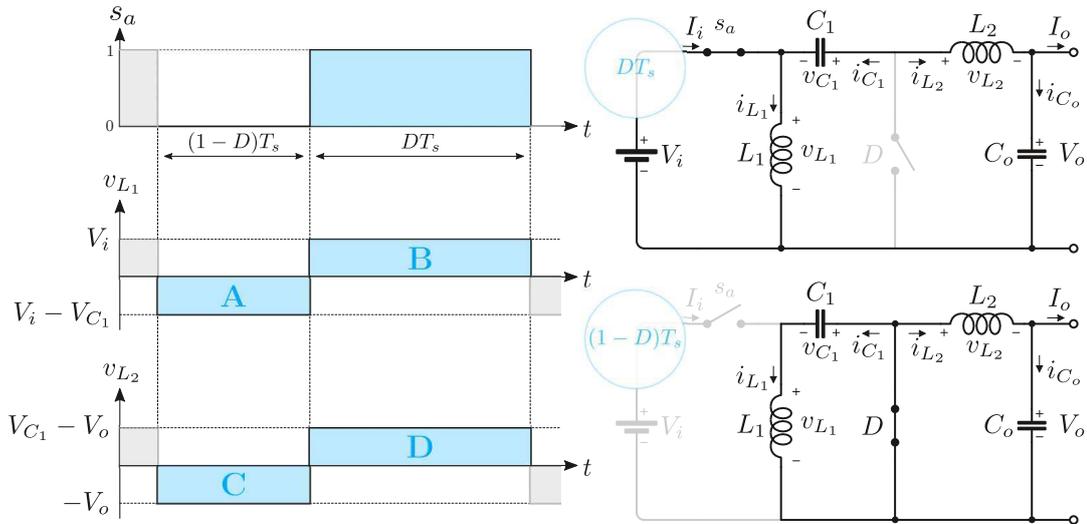
Em 1989, J. Jozwik e M. Kazimierczuk apresentaram a topologia *Dual SEPIC* (JOZWIK; KAZIMIERCZUK, 1989). Concomitantemente, no Instituto de Eletrônica de Potência (INEP) da UFSC (Universidade Federal de Santa Catarina), o professor I. Barbi pesquisara o mesmo circuito nomeando-o de conversor Zeta (MARTINS; DE ABREU; BARBI, 1991). Sua estrutura, já apresentada em destaque na Figura 7, é formada pela conexão em cascata de uma estrutura Buck-Boost e uma Buck.

A análise do conversor CC/CC Zeta a ser feita nesta seção traz os princípios basilares para o desenvolvimento matemático do circuito que será proposto na seção de objetivos. Busca-se, essencialmente, apresentar uma análise para o dimensionamento dos elementos reativos dessa topologia já conhecida na literatura. A metodologia de cálculo

pode ser feita de forma análoga para qualquer outro conversor tradicional já citado neste trabalho.

A análise principal considera o regime estacionário do conversor em modo de condução contínua (MCC). Na Figura 8 é possível observar a configuração elétrica do circuito quando a chave s_a permanece fechada durante o tempo DT_s e aberta durante $(1 - D)T_s$, em que D é o ciclo de trabalho dessa chave e T_s o período de chaveamento aplicado na mesma.

Figura 8 – Estados Topológicos do Conversor CC/CC Zeta



Fonte: Figura do Autor.

Durante o tempo que a chave s_a está fechada, o indutor L_1 é colocado em paralelo com a fonte de entrada, dessa forma, surge uma corrente elétrica que atravessa esse componente. Então, parte da energia total fornecida ao circuito fica armazenada no campo magnético de L_1 . Outra parcela considerável dessa energia é transferida para a carga através do capacitor C_1 e, em certa medida, outra parte fica armazenada em L_2 . Nesse estado, o diodo D está sob polarização reversa. Em seguida, quando s_a abre, a corrente que percorre L_1 permanece no mesmo sentido indicado na imagem, porém, o diodo D fica diretamente polarizado e serve de caminho para que essa corrente circule pelo capacitor C_1 , fazendo-o armazenar energia polarizando-o eletricamente como indicado na Figura 8. O indutor L_2 , nesta configuração, transfere energia para a carga.

Para a dedução da relação de ganho entre a tensão de entrada e saída do conversor, assume-se que as tensões médias nos indutores são nulas. Assim, as áreas hachuradas na Figura 8 se relacionam da seguinte maneira: $A = B$ e $C = D$. Do gráfico de v_{L1} , têm-se:

$$A = B$$

$$-(V_i - V_{C_1})(1 - D)T_s = V_i DT_s$$

$$V_{C_1} = \frac{V_i}{1 - D} \quad (1.2)$$

e a partir de v_{L_2} deduz-se:

$$\begin{aligned} D &= C \\ (V_{C_1} - V_o)DT_s &= V_o(1 - D)T_s \\ V_{C_1} &= \frac{V_o}{D} \end{aligned} \quad (1.3)$$

Igualando-se as equações (1.2) e (1.3), encontra-se a relação de ganho do modelo ideal do conversor Zeta, dada por:

$$\boxed{V_o = \frac{D}{1 - D}V_i} \quad (1.4)$$

1.1.2.1 Dimensionamento dos Elementos Reativos

Para a dedução da equação de projeto do indutor L_1 no MCC (Modo de Condução Contínua), usa-se a forma de onda de sua corrente apresentada na Figura 9a, a partir da qual infere-se:

$$i_{L_1}(t) = i_{L_1, \min} + \frac{v_{L_1}}{L_1}t \quad \therefore \quad i_{L_1, \max} = i_{L_1, \min} + \frac{V_i}{L_1}DT_s$$

pois, de acordo com a Figura 8, $v_{L_1} = V_i$ durante o período DT_s . Assim,

$$\Delta i_{L_1} = i_{L_1, \max} - i_{L_1, \min} = \frac{V_i}{L_1}DT_s$$

$$\boxed{L_1 = \frac{V_i}{\Delta i_{L_1} f_s} D} \quad (1.5)$$

Seguindo de forma análoga, para a equação de projeto do indutor L_2 , usa-se a forma de onda de sua corrente apresentada na Figura 9a, a partir da qual infere-se:

$$i_{L_2}(t) = i_{L_2, \max} - \frac{v_{L_2}}{L_2}t \quad \therefore \quad i_{L_2, \min} = i_{L_2, \max} - \frac{V_o}{L_2}(1 - D)T_s$$

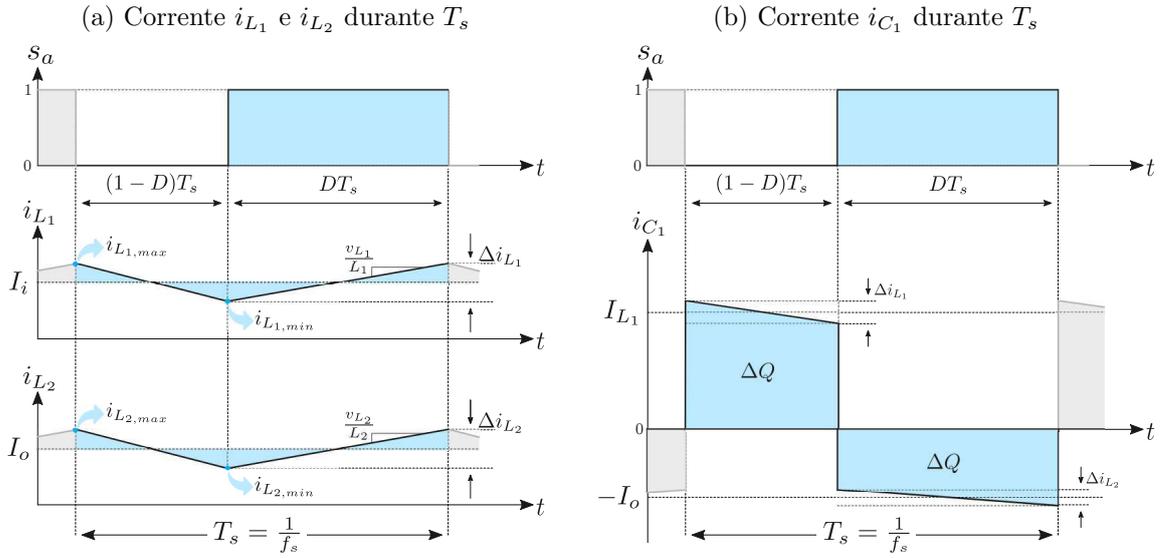
pois, conforme ilustrado na Figura 8, $v_{L_2} = -V_o$ durante o período $(1 - D)T_s$. Assim,

$$\Delta i_{L_2} = i_{L_2, \max} - i_{L_2, \min} = \frac{V_o}{L_2}(1 - D)T_s$$

$$\boxed{L_2 = \frac{V_o}{\Delta i_{L_2} f_s} (1 - D)} \quad (1.6)$$

Para selecionar o capacitor de acoplamento, C_1 , usa-se a forma de onda da corrente apresentada na Figura 9b e a definição de capacitância estabelecida por Helmholtz e Thomson, dada por:

$$\frac{1}{C} = \frac{\partial V}{\partial Q} \quad (1.7)$$

Figura 9 – Formas de onda das correntes de L_1 , L_2 e C_1 do conversor CC/CC Zeta

Fonte: Figura do Autor.

em que Q é a quantidade de carga (em Coulomb) e V é a diferença de potencial (em Volts).

A corrente média em C_1 , idealmente, é nula e a área sombreado da Figura 9b representa a carga ΔQ adicional. Assim, utilizando-se a equação (1.7) e sabendo-se que a carga é a integral da corrente, a oscilação de pico a pico da tensão nessa capacitor, ΔV_{C_1} , pode ser escrita como:

$$\Delta V_{C_1} = \frac{\Delta Q}{C_1} = \frac{I_o D T_s}{C_1} \quad (1.8)$$

$$\boxed{C_1 = \frac{I_o D}{\Delta V_{C_1} f_s}}$$

em que assumiu-se I_o constante e $i_{L_2} = I_o \pm \Delta i_{L_2}/2$.

Porém, para a seleção correta do capacitor C_1 , ainda é preciso saber a corrente *RMS* que o atravessa. Uma boa aproximação é dada pela equação (1.9), deduzida como segue:

$$I_{C_1, rms} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_1}^2(t) dt} = \sqrt{\frac{1}{T_s} \left[\int_0^{DT_s} i_{L_2}^2(t) dt - \int_{DT_s}^{T_s} i_{L_1}^2(t) dt \right]}$$

$$I_{C_1, rms} \approx \sqrt{\frac{1}{T_s} \left[\int_0^{DT_s} I_{L_2}^2(t) dt - \int_{DT_s}^{T_s} I_{L_1}^2(t) dt \right]}$$

$$I_{C_1, rms} \approx \sqrt{D I_o^2 + \left(\frac{D I_o}{1-D} \right)^2 (1-D)}$$

$$I_{C_1, rms} \approx \sqrt{\frac{D}{1-D}} I_o \quad (1.9)$$

Usando-se a definição (1.7) e considerando-se que as componentes oscilatórias em i_{L_2} fluem através do capacitor de saída e suas componentes médias fluem através da carga, então, a área sombreada da curva de i_{L_2} na Figura 9a representa a carga adicional em C_o . Portanto, ΔV_o pode ser escrita como:

$$\Delta V_{C_o} = \frac{\Delta Q}{C_o} = \frac{1}{C_o} \frac{1}{2} \frac{\Delta i_{L_2}}{2} \frac{T_s}{2} \quad (1.10)$$

Portanto, substituindo-se em (1.10) a equação (1.6), têm-se:

$$\Delta V_{C_o} = \frac{1}{C_o} \frac{1}{2} \left(\frac{V_o(1-D)}{2L_2f_s} \right) \frac{T_s}{2}$$

$$\boxed{C_o = \frac{V_o(1-D)}{8\Delta V_{C_o}L_2f_s^2}} \quad (1.11)$$

Por fim, a Tabela 1 sintetiza as equações de projeto de cada elemento reativo da topologia do conversor CC-CC Zeta para operação em modo de condução contínua.

Tabela 1 – Fórmulas dos projetos dos elementos reativos do conversor CC-CC Zeta em MCC

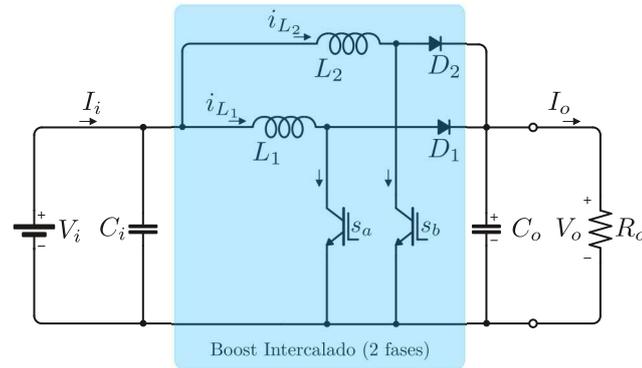
Componente	Equação
L_1	$\frac{V_i}{\Delta i_{L_1} f_s} D$
L_2	$\frac{V_o}{\Delta i_{L_2} f_s} (1-D)$
C_1	$\frac{I_o D}{\Delta V_{C_1} f_s}$
C_o	$\frac{V_o(1-D)}{8\Delta V_{C_o}L_2f_s^2}$

1.1.3 Conversores Intercalados (*interleaved*)

Conversores interleaved são a combinação de um ou mais conversores em paralelo. É comum encontrar na literatura estudos utilizando duas células da topologia Boost interleaved, conforme apresentado na Figura 10 (BRIDI et al., 2020; JANG; JOVANOVIĆ, 2007; THIYAGARAJAN; KUMAR; NANDINI, 2014).

Conforme pode ser observado na Figura 10, paralelizando os conversores, a corrente de entrada é dividida entre os indutores de cada fase (ou célula). Esse arranjo permite maior confiabilidade, pois em caso de falha em uma das fases a outra fase pode continuar processando energia, e maior eficiência, uma vez que em comparação com a topologia Boost tradicional atendendo a mesma carga, os semicondutores da topologia interleaved sofrerão menos estresse e as perdas nos indutores (nos enrolamentos e núcleos) e chaves (devido a condução e comutação) serão menores.

Figura 10 – Topologia Boost Intercalado



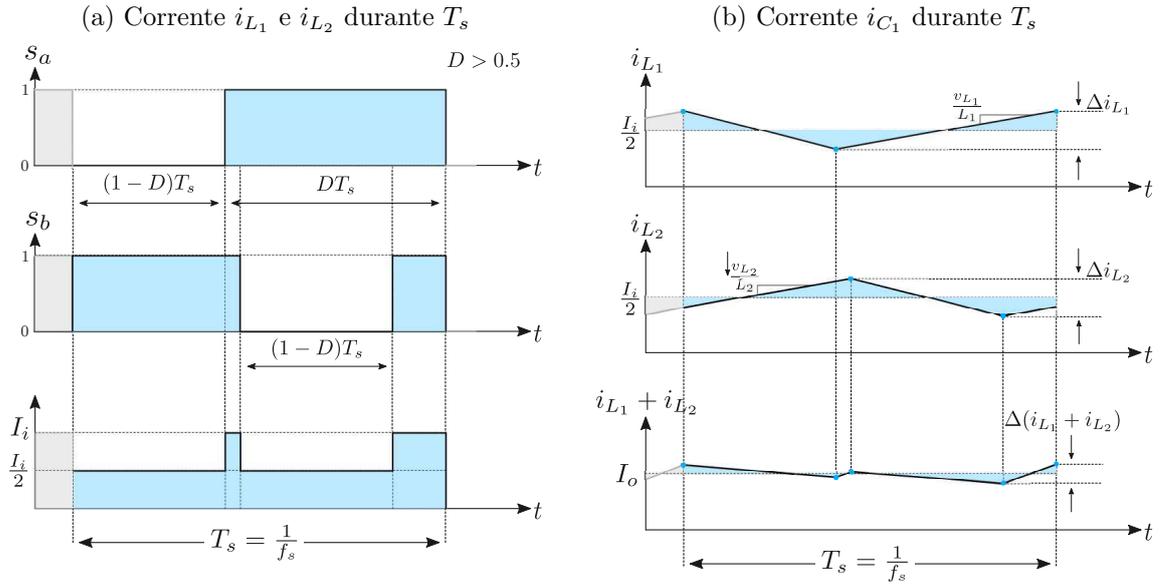
Fonte: Figura do Autor.

O chaveamento das células é realizado aplicando-se a defasagem de $360^\circ/N$ entre as portadoras que geram o padrão PWM para acionamento das chaves, em que N representa a quantidade de células na topologia intercalada. A Figura 11 ilustra o exemplo de um ponto de operação para o circuito Boost intercalado com duas células.

Em 11a pode-se observar um padrão de chaveamento em que o sinal PWM aplicado em S_b está 180° defasado de S_a . Como consequência, a depender do ciclo de trabalho, a corrente de entrada pode assumir três níveis nessa configuração (I_i , $I_i/2$ e 0) além do fato de que essa corrente sempre será vista pela entrada do circuito com o dobro da frequência de chaveamento. Se para este circuito o ciclo de trabalho for inferior a 0.5, a corrente de entrada terá apenas dois níveis ($I_i/2$ e 0) e manterá o dobro da frequência de chaveamento.

O sinal de corrente resultante da saída também apresenta frequência igual ao dobro da frequência de chaveamento e, conforme ilustrado em 11b, o *ripple* dessa corrente diminuirá. Isso ocorre devido à defasagem existente entre as correntes dos indutores, pois quando a corrente em um indutor estiver acima do seu valor médio, a corrente do outro indutor estará abaixo de modo que essas oscilações se compensam no momento em que elas se somam e fluem em direção a carga. Por isso, como o dimensionamento do capacitor de saída e sua parcela de perdas diminuem tanto com o aumento da frequência do sinal de corrente quanto com o menor *ripple* incidente nele, o resultado é que se tem ganho de eficiência no circuito e diminuição do volume desse capacitor.

O estudo realizado em (BRIDI et al., 2020) propôs uma metodologia de trabalho para projeto de conversores Boost convencional e intercalado para servir como referência para a seleção de semicondutores, materiais magnéticos, condutores e capacitores que estruturam as topologias. Além disso, nesse trabalho foi realizada a comparação entre algumas topologias com até cinco células intercaladas do conversor Boost com o intuito de verificar o arranjo que propiciará o melhor rendimento global do sistema. A partir desse estudo e das simulações apresentadas, concluiu-se que a arquitetura de maior desempenho é a intercalada com 3 células utilizando o núcleo magnético *HighFlux* com rendimento de

Figura 11 – Formas de onda das correntes de L_1 , L_2 e C_1 do conversor Boost Intercalado


Fonte: Figura do Autor.

97,41%, frequência de 18 kHz e ondulação de corrente de entrada de 10%.

1.1.4 Método Ativo para Desacoplamento de Potência - Princípio de Operação

Nesta subseção uma abordagem matemática é usada para demonstrar a parcela da potência que oscila com o dobro da frequência fundamental em sistemas monofásicos. Para isso, precisa-se de algumas considerações. Primeiro, assume-se um sistema monofásico cuja tensão v_i e corrente i_i são ambas sinusoidais, conforme as Equações (1.12) e (1.13).

$$v_i(t) = V_i \cos(\omega t) \quad (1.12)$$

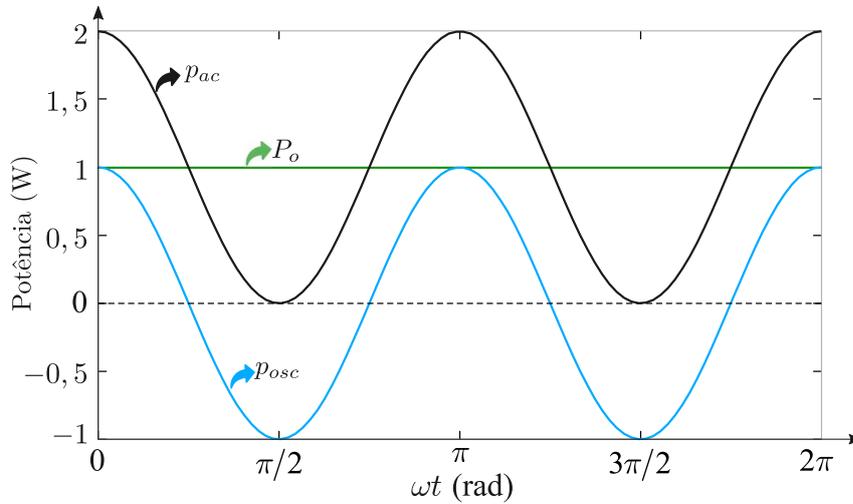
$$i_i(t) = I_i \cos(\omega t + \phi) \quad (1.13)$$

A frequência angular é ω e ϕ é o deslocamento de fase em radianos entre v_i e i_i . V_i e I_i são os valores de pico da tensão e corrente, respectivamente. Dessa forma, a potência instantânea na entrada é dada por:

$$\begin{aligned} p_{ac}(t) &= v_i(t)i_i(t) \\ p_{ac}(t) &= V_i I_i \cos(\omega t) \cos(\omega t + \phi) \\ p_{ac}(t) &= \underbrace{\frac{V_i I_i}{2} \cos(\phi)}_{P_o} + \underbrace{\frac{V_i I_i}{2} \cos(2\omega t + \phi)}_{p_{osc}}. \end{aligned} \quad (1.14)$$

A Equação (1.14) foi obtida a partir da identidade trigonométrica $\cos(\alpha)\cos(\beta) = 1/2[\cos(\alpha + \beta) + \cos(\alpha - \beta)]$ aplicada no desenvolvimento matemático inicial da potência

Figura 12 – Composição da Potência em Sistemas Monofásicos

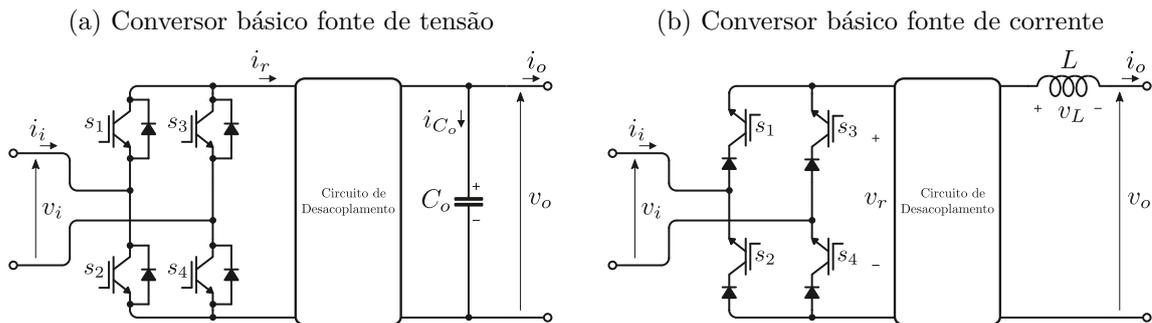


Fonte: Figura do Autor.

instantânea. A Figura 12 apresenta graficamente a composição da potência monofásica como a soma de uma parcela constante, P_{dc} , e uma parcela oscilante, p_{osc} .

As Figuras 13a e 13b mostram, respectivamente, a estrutura clássica de um *conversor fonte de tensão* (do inglês VSC - *Voltage Source Converter*) e um *fonte de corrente* (do inglês CSC - *Current Source Converter*) com a representação genérica de um circuito ativo para viabilizar o desacoplamento de potência. Eles serão usados como exemplos para a explicação do princípio fundamental do método ativo para desacoplamento de potência.

Figura 13 – Circuitos básicos VSC e CSC



Fonte: Figura do Autor.

Para essa análise inicial, serão desconsideradas as perdas de potência. Assim, assumindo-se que cada uma das estruturas não tenham um circuito de desacoplamento (isto é, uma conexão direta entre os elementos do barramento CC de saída e a ponte-H na entrada), de acordo com o balanço de potência, a corrente i_r na saída do retificador

do conversor fonte de tensão é expressa por:

$$i_r v_o = v_i i_i$$

$$i_r = \frac{V_i I_i}{2v_o} \cos(\phi) + \frac{V_i I_i}{2v_o} \cos(2\omega t + \phi), \quad (1.15)$$

e, de forma análoga, a tensão v_r no conversor fonte de corrente é dada por:

$$v_r i_o = v_i i_i$$

$$v_r = \frac{V_i I_i}{2i_o} \cos(\phi) + \frac{V_i I_i}{2i_o} \cos(2\omega t + \phi) \quad (1.16)$$

A tensão v_o e a corrente i_o são as grandezas do barramento CC no VSC e no CSC, respectivamente. Para as aplicações em que a carga consome apenas potência constante, a parcela oscilante da potência monofásica deve ser processada pelo conversor. Dessa forma, ainda considerando a hipótese inicial de que cada estrutura da Figura 13 não possui circuito ativo de desacoplamento, infere-se que as equações dinâmicas para os barramentos CC são:

$$i_{C_o} = \frac{dv_o}{dt} = \frac{i_r - i_o}{C_o} \quad (1.17)$$

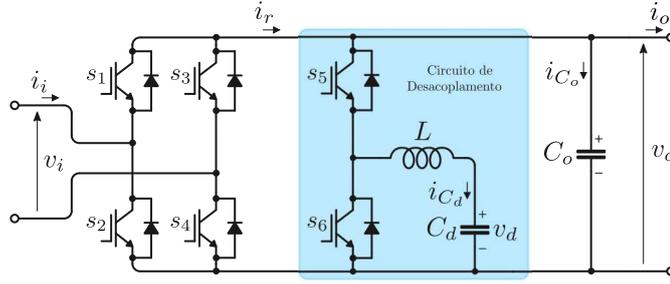
$$v_L = \frac{di_o}{dt} = \frac{v_r - v_o}{L} \quad (1.18)$$

Considerando-se todas as variáveis diferentes de zero, conclui-se a partir das equações (1.17) e (1.18) que para se ter um barramento CC com v_o e i_o constantes, é preciso que C_o e L tenham valores muito grandes, no caso ideal, tendendo a infinito. Isso, portanto, é a razão pela qual os métodos passivos para desacoplamento de potência necessitam de elementos armazenadores de energia muito volumosos e pesados (SUN et al., 2016).

No entanto, considerando-se que cada topologia trabalhe com seu circuito ativo para desacoplamento de potência (exatamente como representado na Figura 13), um elemento reativo extra é utilizado para absorver a potência oscilatória de modo que a unidade de armazenamento de energia requerida na saída do circuito, quando comparada ao método passivo, passa a ser consideravelmente menor. Os estudos apresentados em (WANG et al., 2010) mostram que ao se utilizar um método ativo, o valor do capacitor de saída pode diminuir até 12,5 vezes quando comparado a um método passivo. O circuito proposto para validação do estudo está representado na Figura 14, que é um conversor fonte de tensão com circuito de desacoplamento baseado na topologia Buck.

As células de desacoplamento de potência podem ser conectadas em série, paralelo ou de qualquer outra maneira aos circuitos conversores originais. Essas células podem ser divididas em dois tipos: com armazenadores de energia capacitivos ou com armazenadores de energia indutivos. O circuito de desacoplamento da Figura 14 é formado por duas

Figura 14 – VSC monofásico com circuito de desacoplamento baseado na topologia Buck



Fonte: Figura do Autor.

chaves, s_5 e s_6 , por um capacitor de desacoplamento, C_d , e por indutor auxiliar que transfere energia do capacitor C_d para o barramento CC.

Conforme já mencionado, para viabilizar a técnica ativa de desacoplamento de potência, a parcela oscilante da potência monofásica expressa na Equação (1.14), p_{osc} , tem que ser igual a potência do capacitor C_d , p_{C_d} . Expressando-se essa afirmação matematicamente, tem-se o seguinte desenvolvimento:

$$p_{C_d} = p_{osc} \quad (1.19)$$

$$C_d \frac{dv_{C_d}}{dt} v_{C_d} = \frac{V_i I_i}{2} \cos(2\omega t + \phi)$$

$$C_d \int_0^{v_{C_d}} v_{C_d} d(v_{C_d}) = \int_0^t \frac{V_i I_i}{2} \cos(2\omega t + \phi) dt$$

$$v_{C_d}(t) = \sqrt{\bar{V}_{C_d}^2 + \frac{V_i I_i \sin(2\omega t + \phi)}{2\omega C_d}} \quad (1.20)$$

em que \bar{V}_{C_d} é um nível dc na composição de $v_{C_d}(t)$. Assim, a tensão $v_{C_d}(t)$ deve ser imposta ao capacitor de desacoplamento via nova modulação PWM a ser trabalhada após a inserção das chaves s_5 e s_6 . Caso o indutor L fosse escolhido para a função de desacoplamento, a fórmula da corrente a ser imposta no indutor é análoga à equação (1.20), conforme indica a equação (1.21), em que \bar{I}_{L_d} é a componente dc de $i_{L_d}(t)$.

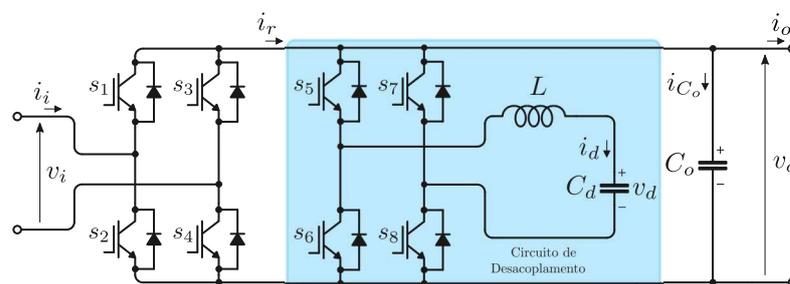
$$i_{L_d}(t) = \sqrt{\bar{I}_{L_d}^2 + \frac{V_i I_i \sin(2\omega t + \phi)}{2\omega L_d}} \quad (1.21)$$

Recentemente, é dado mais atenção aos estudos relacionados às células para desacoplamento de potência com armazenamento de energia capacitivo devido a algumas vantagens como menor volume e, em alguns casos, menor custo em comparação ao armazenamento de energia indutivo (SUN et al., 2016). Porém, muitos trabalhos exploram vários métodos para desacoplamento de potência em conversores fonte de tensão, fonte de corrente e outras topologias. Muitos dos estudos podem ser categorizados a depender de como é estruturada a célula de desacoplamento de potência nos circuitos originais. Uma categorização proposta por (SUN et al., 2016) separa os métodos ativos de desacoplamento de potência em três principais grupos do ponto de vista topológico:

1. Topologias com Desacoplamento Independente - Os conversores monofásicos e as células de desacoplamento operam independentemente, isto é, não compartilham dispositivos semicondutores de potência ou elementos armazenadores de energia do circuito original para a função de desacoplamento;
2. Topologias com Desacoplamento Dependente - Os conversores monofásicos e as células de desacoplamento operam compartilhando dispositivos semicondutores de potência ou elementos armazenadores de energia do circuito original para a função de desacoplamento;
3. Outras Topologias - Enquadram-se nesta categoria qualquer outra topologia de desacoplamento não baseada em conversores monofásicos fonte de tensão ou de corrente: desacoplamento usando a derivação central do transformador de isolamento, circuitos inversores, retificadores, etc.

Normalmente, nas topologias com desacoplamento independente a célula de desacoplamento básica é conectada ao barramento CC em paralelo ou em série aos conversores monofásicos. O conversor monofásico é responsável por regular a tensão/corrente do barramento CC e a tarefa básica da célula de desacoplamento é lidar com a potência oscilatória. A introdução dessa célula não altera o ponto de operação original do conversor. Por isso, os métodos de controle e estratégias de modulação para o conversor monofásico original e a célula básica de desacoplamento podem ser projetados independentemente (SUN et al., 2016). A Figura 15 apresenta um VSC monofásico com uma célula básica com ponte-H para fins de desacoplamento de potência conectada em paralelo ao barramento CC.

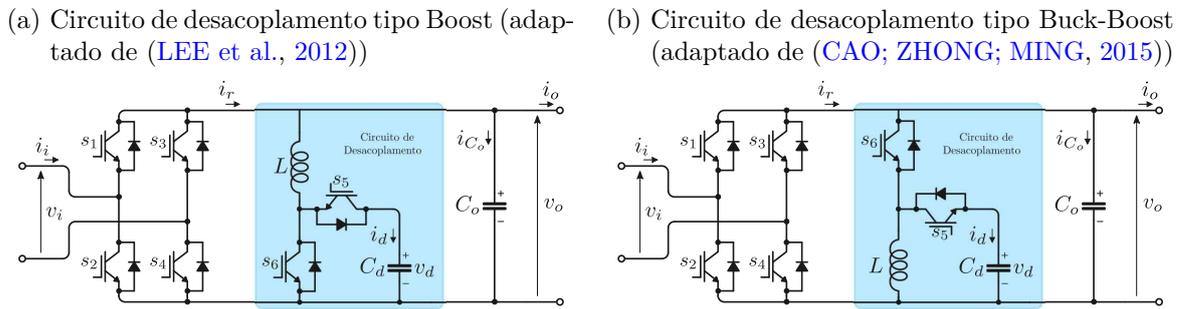
Figura 15 – VSC monofásico com célula de desacoplamento básica com Ponte-H (adaptador de (KREIN; BALOG; MIRJAFARI, 2012))



Fonte: Figura do Autor.

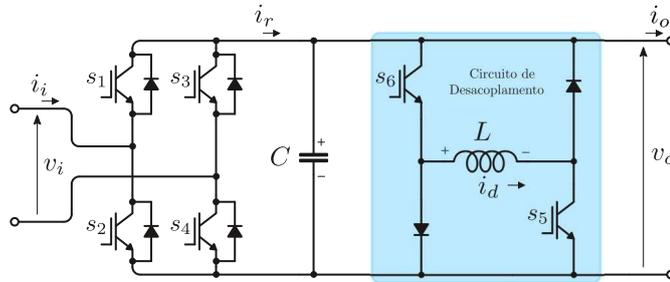
Como também pode ser observado, as Figuras 14, 16a e 16b são exemplos de conversores fonte de tensão com células independentes para desacoplamento de potência. Nos três casos, o elemento de armazenamento capacitivo é utilizado para fins de desacoplamento ativo de potência. A Figura 17, por sua vez, mostra uma topologia de desacoplamento em que o indutor é empregado como o elemento de armazenamento de energia.

Figura 16 – VSC monofásicos com circuitos de desacoplamento baseados na topologia Boost e Buck-Boost



Fonte: Figura do Autor.

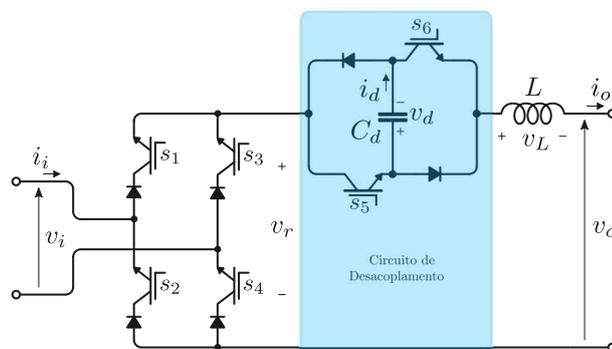
Figura 17 – VSC monofásico com Ponte-H e elemento de armazenamento de energia indutivo para fins de desacoplamento (adaptado de (LARSSON; OSTLUND, 1995))



Fonte: Figura do Autor.

A Figura 18 mostra uma topologia de desacoplamento independente adaptada para conversores fonte de corrente. Isso é feito conectando uma célula de desacoplamento após a ponte-H. Essa célula pode ser vista como uma fonte de tensão controlada em série com o indutor do barramento de saída.

Figura 18 – CSC monofásico e circuito de desacoplamento independente (adaptado de (SUN et al., 2015))

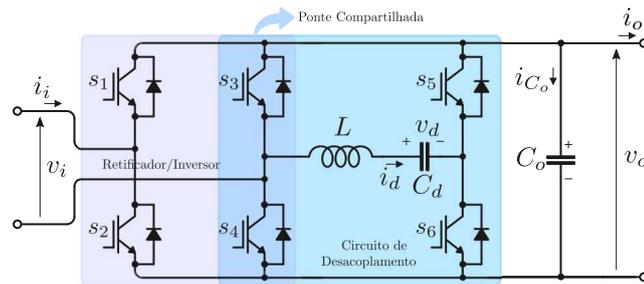


Fonte: Figura do Autor.

As topologias com desacoplamento dependente, que podem ser referenciadas como *topologias de desacoplamento por chaveamento multiplexado*, são também muito estudadas, pois tornam viável a aplicação da técnica de desacoplamento de potência minimizando

a quantidade de dispositivos semicondutores que precisam ser acrescentados. Em alguns casos, aumenta-se a complexidade do controle necessário para realizar a modulação PWM da topologia modificada, que também tem sido uma linha de estudo explorada. Um exemplo de circuito com desacoplamento dependente é apresentado na Figura 19, que é uma adaptação do circuito apresentado na Figura 15. O braço da ponte-H é compartilhado entre o conversor original e a célula de desacoplamento e, segundo (SUN et al., 2016), esse tipo de arranjo pode ser denominado como *método de multiplexação horizontal*. Esse braço central compartilhado tem que realizar duas tarefas simultaneamente: retificação/inversão e desacoplar a potência oscilatória. Uma vantagem óbvia em comparação à topologia independente da Figura 15 é que duas chaves ativas foram retiradas. No entanto, existem alguns pontos fracos como, por exemplo, a faixa operacional viável da tensão do barramento CC torna-se menor e os estresse nos dispositivos semicondutores pode ser mais elevado.

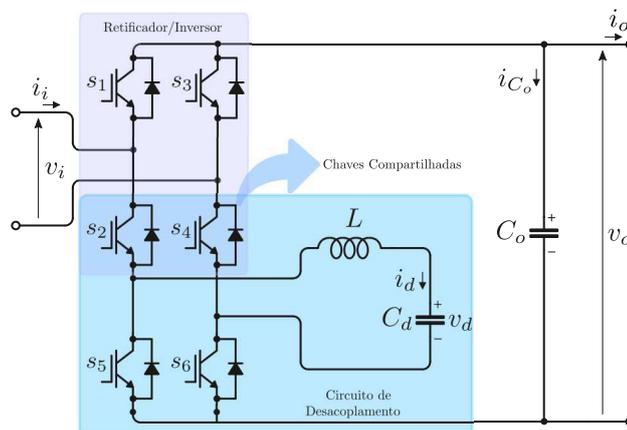
Figura 19 – VSC monofásico com desacoplamento dependente - método de multiplexação horizontal (adaptado de (LI et al., 2013))



Fonte: Figura do Autor.

Outro arranjo similar também derivado da Figura 15 e que pode ser denominado de *método de multiplexação vertical* compartilha as chaves inferiores da Ponte-H do retificador/inversor com o circuito de desacoplamento, conforme apresentado na Figura 20.

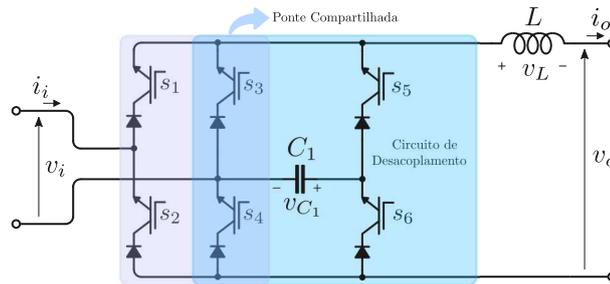
Figura 20 – VSC monofásico com desacoplamento dependente - método de multiplexação vertical (adaptado de (FAN; XUE; ZHANG, 2012))



Fonte: Figura do Autor.

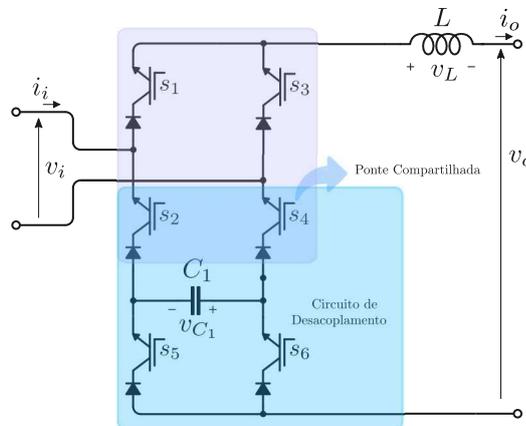
De acordo com o princípio da dualidade, as topologias correspondentes de circuitos de desacoplamento com chaveamento multiplexado para CSC podem ser derivados dos circuitos VSC já descritos anteriormente. A Figura 21 é um circuito em que há compartilhamento de um braço da ponte-H entre a célula básica de desacoplamento e o retificador tradicional fonte de corrente. A Figura 22 é a versão com multiplexação vertical de um CSC monofásico, dual ao circuito apresentado na Figura 20.

Figura 21 – CSC monofásico com desacoplamento dependente - método de multiplexação vertical (adaptado de (FAN; XUE; ZHANG, 2012))



Fonte: Figura do Autor.

Figura 22 – CSC monofásico com desacoplamento dependente - método de multiplexação vertical (adaptado de (FAN; XUE; ZHANG, 2012))

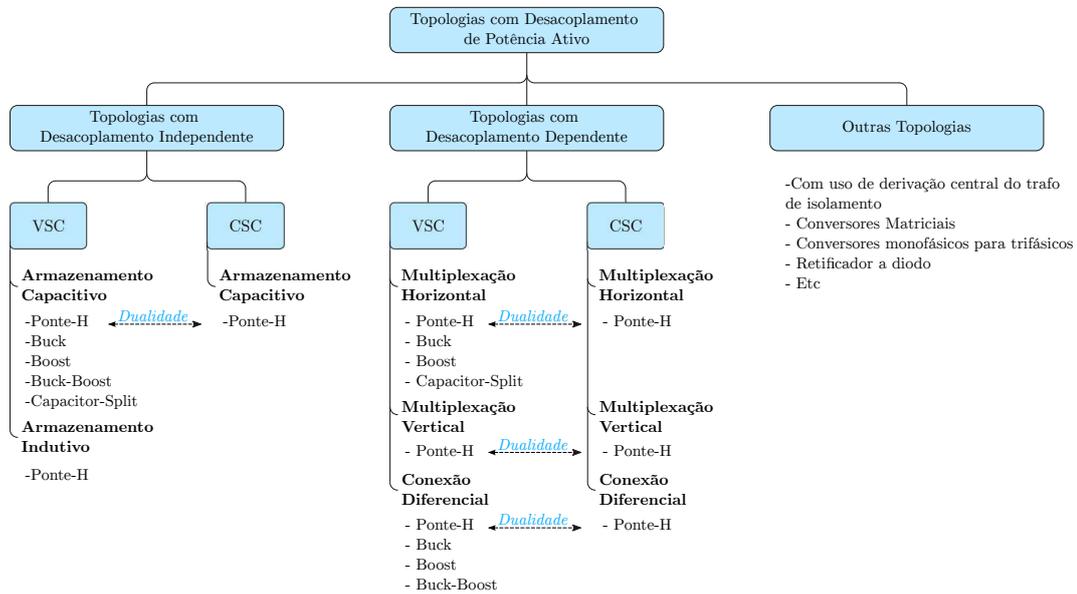


Fonte: Figura do Autor.

Com o propósito de organizar trabalhos da literatura relacionados à desacoplamento de potência, (SUN et al., 2016) propuseram uma categorização, conforme apresentada na Figura 23.

Em um cenário mais restrito, dentro do grupo “Outras Topologias“, há estudos com desacoplamento de potência que focam nos retificadores monofásicos não-isolados, que utilizam em seu estágio inicial uma ponte retificadora composta por diodos, igual ao apresentado na Figura 2. Retificador a ponte de diodos, em geral, é uma alternativa que oferece o menor nível de complexidade para o esquema de controle, uma vez que esta ponte não precisa de estratégia para acionamento das chaves semicondutoras. Além disso,

Figura 23 – Categorização das topologias de desacoplamento de potência (adaptado de (SUN et al., 2016))



Fonte: Figura do Autor.

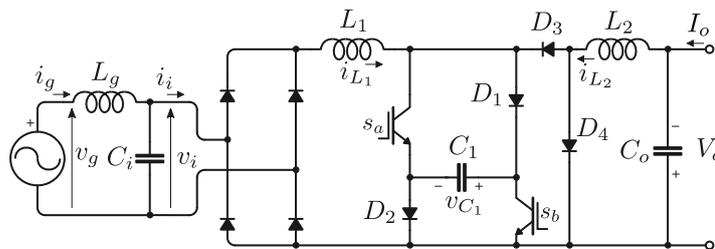
deve-se levar em conta que ela é uma alternativa mais barata que aquelas que utilizam chaves controladas

Dado que a topologia a ser estudada neste trabalho tem como base um retificador monofásico a ponte de diodos não-isolado, cabe aqui apresentar de forma mais detalhada alguns trabalhos encontrados na literatura.

1.1.4.1 Retificador *Sheppard-Taylor*

Esse topologia apresentada na Figura 24 foi estudada por (LIU et al., 2018a), que propuseram um método de controle para reduzir a capacitância do filtro de saída. Ele tem a relevante característica da tensão de saída ser negativa, o que apropria seu uso para aplicações que tenham tal necessidade, além de permitir a correção do fator de potência.

Figura 24 – Retificador *Sheppard-Taylor* (adaptado de (LIU et al., 2018a))

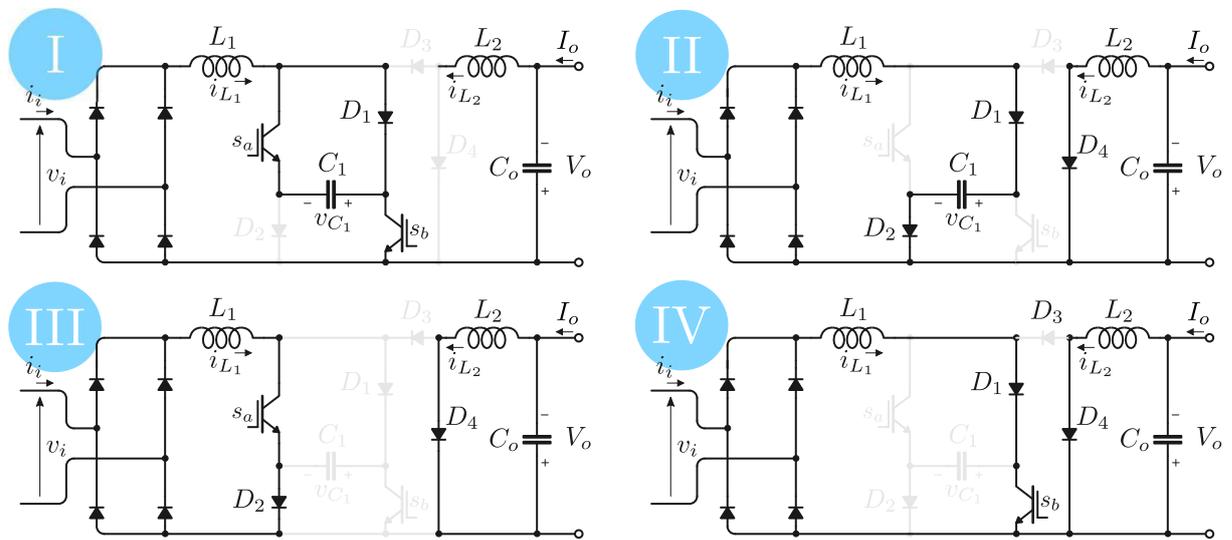


Fonte: Figura do Autor.

O método de operação proposto pelos autores prevê 3 estágios. No estágio I, as chaves S_a e S_b conduzem, fazendo com que o capacitor entre em um ciclo de descarga, entregando energia ao barramento CC. O indutor de transferência L_1 também se descarrega

ao passar sua energia para o indutor L_2 , o qual se carrega até o final deste estágio. Em II, com as duas chaves abertas, o capacitor C_1 recebe energia do indutor L_1 , enquanto a saída é alimentada pela energia de L_2 . O último estágio (III ou IV) é o de roda livre, que foi o estágio proposto pelos autores para conceder um grau de liberdade a mais ao controle do retificador, sendo possível, além da correção do fator de potência e da regulação da tensão de saída, o desacoplamento de potência. Na roda livre, somente uma das chaves conduz, podendo ser tanto a chave S_a como a S_b , fazendo com que o indutor L_1 se carregue. A Figura 25 mostra os estágios de operação deste retificador.

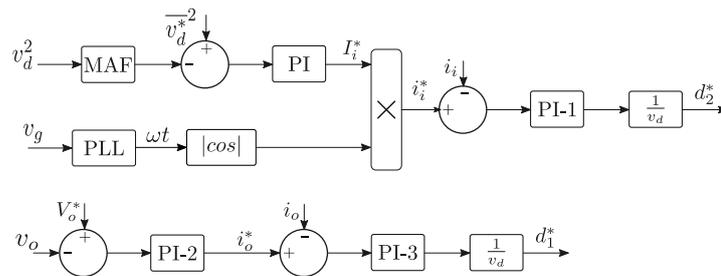
Figura 25 – Estados Topológicos do Retificador *Sheppard-Taylor* (adaptado de (LIU et al., 2018a))



Fonte: Figura do Autor.

O sistema de controle tem três objetivos a serem alcançados: tensão de saída desejada, correção de fator de potência e manter o nível da componente CC da tensão em C_1 . O primeiro é alcançado controlando-se a corrente em L_2 , já os dois últimos são efetuados fazendo-se a corrente de entrada seguir sua referência, conforme a Figura 26

Figura 26 – Sistema de Controle do retificador *Sheppard-Taylor* com desacoplamento de potência

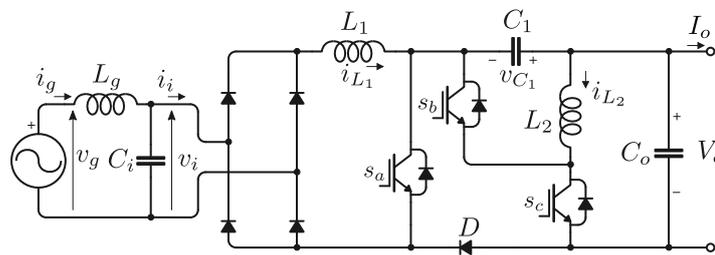


Fonte: Adaptado de (LIU et al., 2018a).

1.1.4.2 Retificador proposto por Liu et al. (2018)

Na Figura 27, é apresentado o retificador monofásico não-isolado proposto por Liu et al. (2018), que é composto por um circuito boost PFC, e um circuito regulador da tensão de saída, que permite uma ampla faixa de conversão. Na sua operação, as chaves S_b e S_c são complementares e dedicadas a amortecer a oscilação de potência, enquanto a chave S_a opera com independência para regular o fator de potência. O retificador opera em Modo de Condução Contínua (MCC) em ambos os indutores de entrada (L_1) e saída (L_2).

Figura 27 – Retificador proposto por Liu et al. (2018) (adaptado de (LIU et al., 2018b))



Fonte: Figura do Autor.

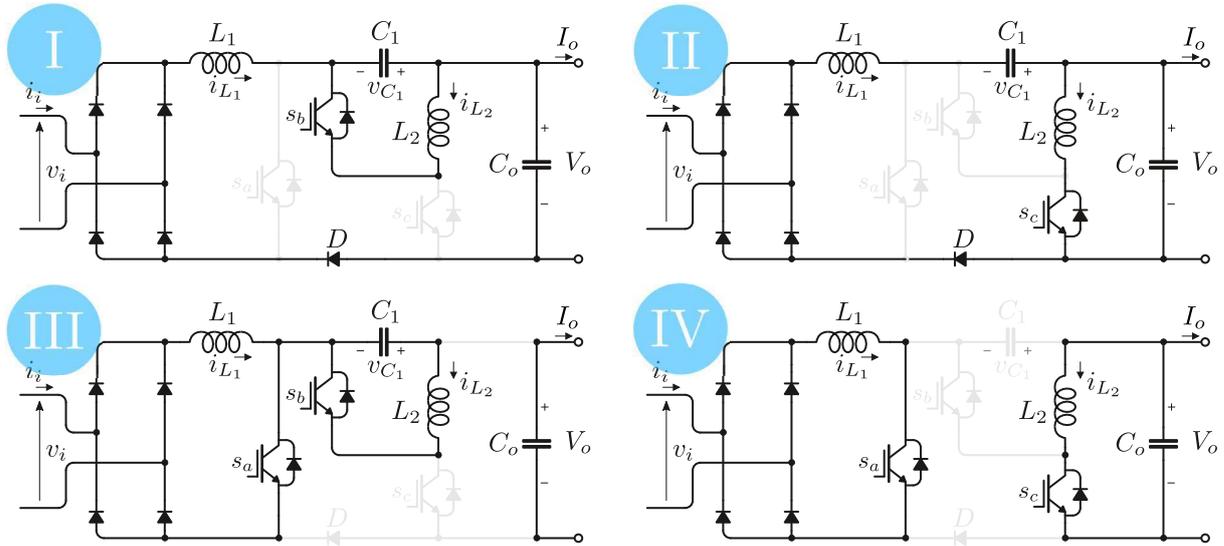
Conforme representado na Figura 28, este circuito baseia-se em quatro estados de operação: I, II, III, IV. Quando a chave S_a é desligada (estados I e II), a corrente i_{L_1} flui através do capacitor C_1 e para a carga. Portanto, parte da energia injetada pela fonte de entrada é diretamente transferida para a carga e outra parte é armazenada por C_1 . Quando a chave S_a é ligada (estados III e IV), o indutor L_1 fica praticamente em curto-circuito e o diodo D_1 é submetido a polarização reversa. Quando a chave S_b é ligada (estados I e III), a corrente i_{L_2} flui através do capacitor de desacoplamento C_1 . Quando S_b é desligada (estados II e IV), a corrente i_{L_2} flui através da carga. o circuito completo é como se fosse um circuito SEPIC com regulação de fator de potência. A tensão de saída tem polaridade é positiva.

O sistema de controle utiliza quatro controladores PI para regular a corrente de entrada e a tensão de saída, colocados em cascata dois a dois, como mostra a Figura 29.

1.1.4.3 Retificador proposto por Tang et al. (2015)

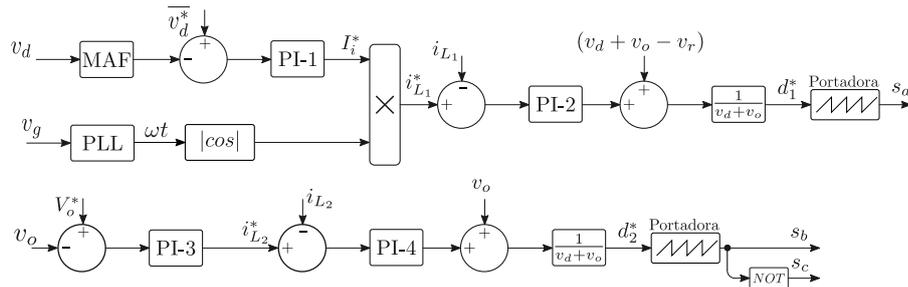
Tang et al. propõem um circuito meia-ponte simétrico aplicado a um conversor monofásico PFC, como mostra a Figura 30, em que dois capacitores de filme, idênticos, são conectados em série para formar o barramento CC, sendo que as tensões V_{c_1} e V_{c_2} controladas para serem senoidais, com um offset igual a metade da tensão do barramento CC, e amplitude e fase de acordo com a referência estabelecida, de modo que ocorra o desacoplamento de potência. Dessa forma, os sinais de tensão nos capacitores oscilam na frequência da segunda harmônica da rede. As duas partes do retificador operam independentemente. A primeira se trata de uma ponte retificadora não controlada, seguida por

Figura 28 – Estados Topológicos do Retificador proposto por *Liu et al. (2018)* (adaptado de (LIU et al., 2018b))



Fonte: Figura do Autor.

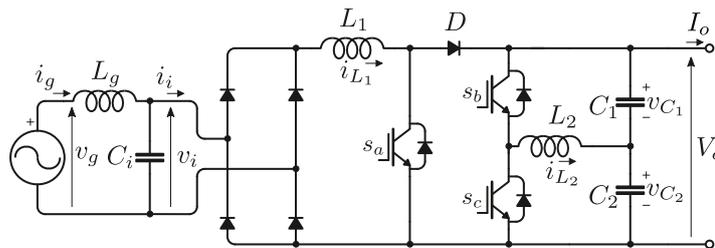
Figura 29 – Sistema de Controle do retificador proposto por (LIU et al., 2018b)



Fonte: Adaptado de (LIU et al., 2018b).

um circuito boost PFC para prover a regulação da tensão de saída V_o e controlar o fator de potência da entrada. Assim, o acionamento da chave S_a é realizado de forma a atender apenas esses dois objetivos. Já a segunda parte, formada pelas

Figura 30 – Retificador proposto por *Tang et al. (2015)* (adaptado de (TANG et al., 2015))

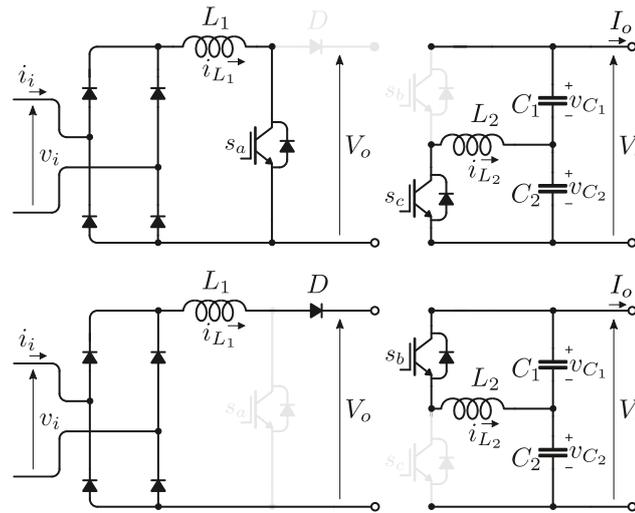


Fonte: Figura do Autor.

As duas partes do retificador operam independentemente. A primeira se trata de uma ponte retificadora não controlada, seguida por um circuito boost PFC para prover

a regulação da tensão de saída V_o e controlar o fator de potência da entrada. Assim, o acionamento da chave S_a é realizado de forma a atender apenas esses dois objetivos. Já a segunda parte, formada pelas chaves S_b e S_c , operam complementarmente entre si, e sem nenhuma restrição em relação à operação da outra parte do retificador. A Figura 31 destaca essa operação independente das partes do retificador proposto

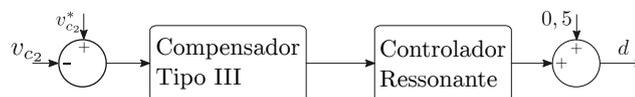
Figura 31 – Estados Topológicos do Retificador proposto por *Tang et al. (2015)* (adaptado de (TANG et al., 2015))



Fonte: Figura do Autor

Quanto ao sistema de controle, os autores discorrem apenas do loop usado para o controle da tensão nos capacitores C_1 e C_2 , dado que consideram controle do circuito boost facilmente encontrado na literatura. A ideia é projetar o controle da tensão no capacitor C_2 , e dessa forma, o controle da tensão em C_1 é automático. Para isso, propõe-se um compensador modificado tipo III combinado com um controlador ressonante para garantir erro nulo em regime permanente, como mostra a Figura 32

Figura 32 – Compensador para o Retificador proposto por *Tang et al. (2015)*

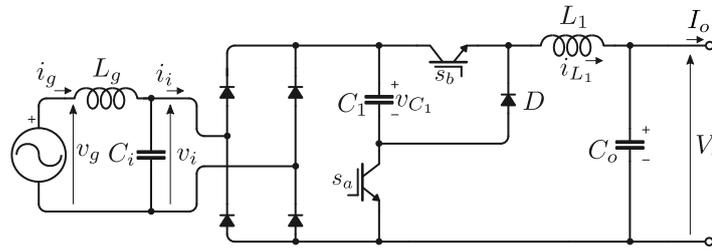


Fonte: Adaptado de (TANG et al., 2015).

1.1.4.4 Retificador proposto por *Ohnuma e Itoh (2011)*

O retificador proposto por Ohnuma e Itoh (2011) é baseado em um conversor buck PFC, como mostra a Figura 33. Dessa forma, sua tensão de saída é sempre menor que a tensão de pico da entrada. Ele é uma alternativa para as aplicações de baixa tensão, pois permite o uso de chaves semicondutoras com tensões nominais menores, que pode reduzir significativamente o custo do retificador.

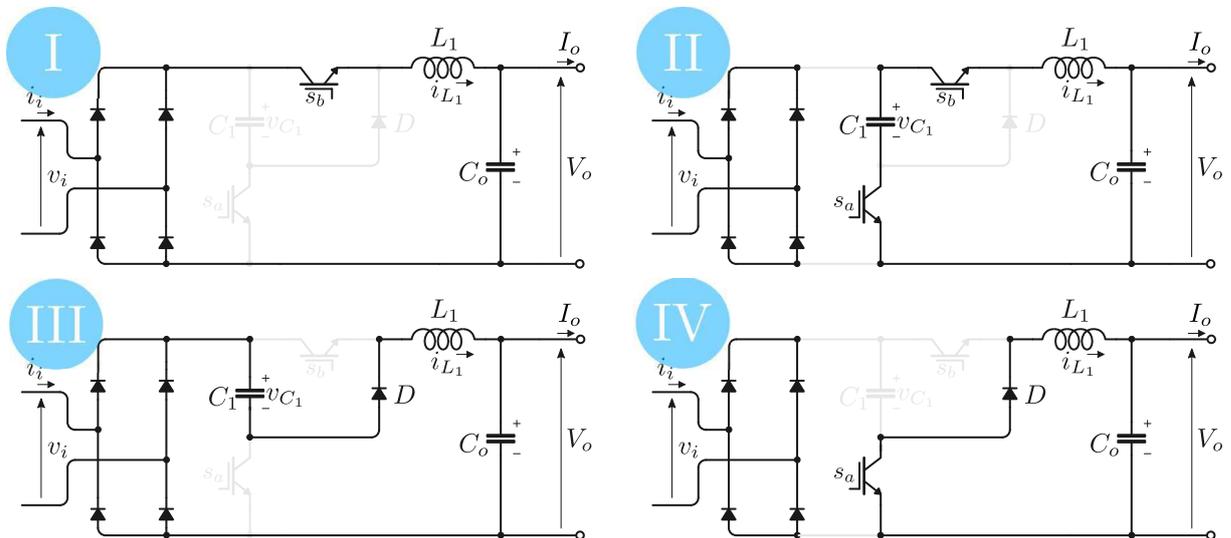
Figura 33 – Retificador proposto por *Ohnuma e Itoh (2011)* (adaptado de (OHNUMA; ITOH, 2011))



Fonte: Figura do Autor

A operação deste retificador se dá em quatro estágios. No estágio I, a chave S_b é acionada, dessa forma, a carga é alimentada diretamente pela fonte de entrada, bem como o indutor L_1 , de forma similar à operação do conversor buck convencional. Outro estágio equivalente à operação do buck convencional é o IV, em que a chave S_a fechando o caminho para que o indutor repasse sua energia para a carga. Os estágios II e III são o que viabilizam o desacoplamento de potência entre entrada e saída. No estágio II, o capacitor C_1 é descarregado, suprindo a demanda da carga quando a potência de entrada está em seu semiciclo de baixa. No estágio III, o capacitor se carrega para absorver a potência excedente, e assim não repassar a oscilação para a saída. Os quatro estágios estão representados na Figura 34.

Figura 34 – Estados Topológicos do Retificador proposto por *Ohnuma e Itoh (2014)*

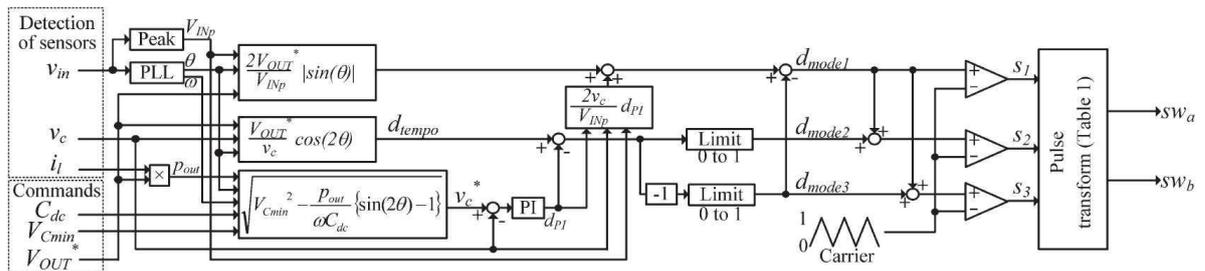


Fonte: Figura do Autor

A estratégia de controle utilizada pelos autores consiste em gerar um sinal senoidal de referência em fase com a tensão de entrada, com amplitude definida de acordo com o valor de tensão de saída desejado. Para isso, utiliza-se de um PLL para capturar a fase e também a frequência angular do sinal, a qual é utilizada para gerar o sinal de referência utilizado no desacoplamento de potência. O sinal de referência sincronizado com a entrada fará com que o fator de potência seja próximo ao unitário.

Para o desacoplamento de potência, é calculada a tensão desejada no capacitor, com base na análise teórica da compensação de potência oscilante, de modo que, utilizando-se de um controlador PI, seja possível garantir erro nulo em regime permanente, permitindo que o capacitor absorva energia e depois repasse para a carga nos momentos em que ocorrem picos e vales, como é previsto na forma de onda da potência monofásica. A Figura 35 apresenta o diagrama de blocos do controle aplicado neste retificador.

Figura 35 – Sistema de Controle para o Retificador proposto por *Ohnuma e Itoh (2014)*



Fonte: (OHNUMA; ITOH, 2014)

De acordo com os autores, não foi utilizado um controlador otimizado para o circuito proposto. A decisão foi utilizar um controlador típico apenas para verificar os aspectos fundamentais da operação. Conforme necessidade da aplicação, o valor do capacitor de desacoplamento pode ser reduzido controlando-se a sua variação de tensão, tornando possível o uso de pequenos capacitores, tais como o de filme e o de cerâmica. Esta é uma das principais características buscadas pelos projetistas que implementam a técnica de desacoplamento, pois com isso é possível conferir maior confiabilidade e vida útil aos equipamentos.

1.1.5 Métodos de Controle

Genericamente, os retificadores monofásicos que utilizam a estratégia de desacoplamento de potência podem ser representados por um modelo de três portas: uma porta de entrada, uma porta de saída, e uma porta de amortecimento, onde é conectado o elemento responsável por desacoplar a potência oscilante do resto do sistema. Assim, considerando que as perdas internas e a energia residual nos elementos reativos internos são desprezíveis, pela Lei da Conservação de Energia, a potência em qualquer porta é inerentemente determinada pelas outras duas. Então, somente duas das três precisam ser controladas (LIU et al., 2018b).

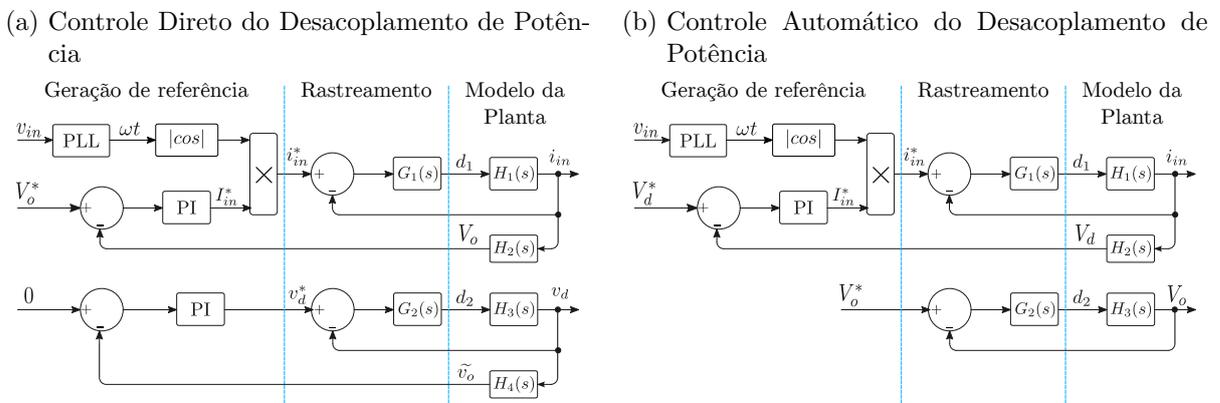
De acordo com o exposto, há três possíveis formas de se regular o sistema de três portas:

1. Estratégia A – controle direto da potência das portas de entrada e de amortecimento;

2. Estratégia B – controle direto da potência das portas de saída e de amortecimento;
3. Estratégia C – controle direto da potência das portas de entrada e de saída.

As estratégias A e B são referenciadas como Controle Direto do Desacoplamento, justamente por atuarem diretamente na porta de amortecimento, responsável pelo desacoplamento de potência. Já a estratégia C é referenciada como Controle Automático do Desacoplamento, pois não há um controle dedicado à porta de amortecimento. A Figura 36 mostra o digrama de blocos típico das estratégias A e C

Figura 36 – Diagrama de blocos das estratégias de controle direto e automático



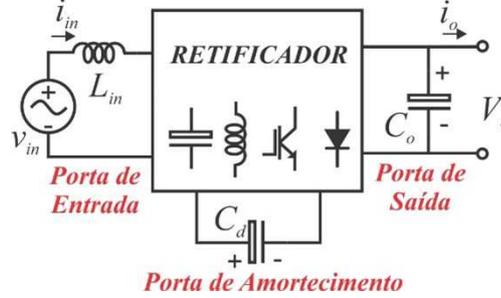
Fonte: Adaptado de (AGUIAR, 2019)

No controle direto, a potência de entrada e de amortecimento são controladas via controle da corrente de entrada e da tensão ou corrente (depende se é capacitor ou indutor, respectivamente) do elemento de desacoplamento, através dos ciclos de trabalho d_1 e d_2 . A amplitude de referência da corrente de entrada é gerada por um laço externo, resultado do controle da tensão CC de saída. No controle automático, o controle da corrente de entrada é similar ao anterior, porém a amplitude de referência é gerada pelo controle do nível CC da tensão ou corrente do elemento de desacoplamento. Para o controle da potência de saída, é empregado laço simples, uma vez que a referência da tensão de saída é, tipicamente, pré determinada.

Teoricamente, qualquer uma das três estratégias são equivalentes e podem alcançar a mesma performance em regime permanente e no transitório, se a referência associada a cada porta for gerada de forma precisa e em sincronia com as entradas variantes no tempo. A forma real e precisa da potência oscilante que deve ser amortecida, normalmente é mais complexa que apenas um sinal senoidal com o dobro da frequência da entrada, devido às não idealidades e harmônicos no circuito. Assim, o controle direto baseado em laço fechado para a geração da referência é mais efetivo que o laço aberto. Além da geração do sinal de referência, o rastreamento preciso da referência também é crucial para a performance do sistema monofásico. Para isso, é necessário conhecer a planta que se

deseja controlar. Tomando como exemplo o modelo genérico de três portas da Figura 37, é feito, primeiramente, a análise da planta.

Figura 37 – Modelo genérico de 3 portas



Fonte: (AGUIAR, 2019)

O modelo médio em espaço de estados, como apresentado na Equação 1.22 e 1.23, permite que o projetista analise a forma precisa de geração dos sinais de referência

$$\underbrace{\begin{bmatrix} Lin & 0 & 0 \\ 0 & C_o & 0 \\ 0 & 0 & C_d \end{bmatrix}}_A \begin{bmatrix} \dot{i}_{in} \\ \dot{v}_o \\ \dot{v}_d \end{bmatrix} = \underbrace{\begin{bmatrix} A_{11} & A_{12} & A_{13} \\ A_{21} & A_{22} & A_{23} \\ A_{31} & A_{32} & A_{33} \end{bmatrix}}_A \begin{bmatrix} i_{in} \\ v_o \\ v_d \end{bmatrix} + \underbrace{\begin{bmatrix} B_{11} & B_{12} \\ B_{21} & B_{22} \\ B_{31} & B_{32} \end{bmatrix}}_B \begin{bmatrix} v_i \\ i_o \end{bmatrix} \quad (1.22)$$

$$\dot{\mathbf{X}} = \mathbf{A}\mathbf{X} + \mathbf{B}\mathbf{U} \quad \text{e} \quad \mathbf{Y} = \mathbf{C}\mathbf{X} + \mathbf{D}\mathbf{U} \quad (1.23)$$

em que \mathbf{X} é o vetor com as variáveis de estados do sistema, $\dot{\mathbf{X}}$ representa o vetor que contém a derivada primeira de cada uma das variáveis de estados, \mathbf{U} contém as entradas e \mathbf{Y} as saídas do sistema.

As matrizes A e B específicas de cada topologia de retificador, representam o efeito das entradas de controle (em geral os ciclos de trabalho das chaves), e não necessariamente são matrizes diagonais. Então, o sistema de três portas pode ser altamente acoplado, ou seja, ter interdependência entre as variáveis de estado e entre as entradas de controle, e também serão linear.

Os controladores das malhas internas são projetados de acordo com específicos critérios de estabilidade e banda de passagem, sendo que existem dois grandes desafios para se executar isso:

1. O projeto do controlador e a derivação das funções de transferência da planta de sistemas não lineares são baseadas na análise de modelos de pequenos sinais e depende do modelo linearizado da planta, que é válido somente ao redor de um certo ponto de operação. Dessa forma, é necessária uma análise minuciosa da performance do

sistema em malha fechada, em relação a estabilidade e banda de passagem de todos os possíveis pontos de operação;

2. O acoplamento cruzado da dinâmica do sistema e das duas entradas de controle introduzem uma interferência cruzada para cada malha de controle, que pode substancialmente deteriorar a performance do rastreamento da referência e a estabilidade do sistema. É necessário, então, fazer que o controle tenha alta rejeição a distúrbios

Devido as dificuldades acima citadas, poucos trabalhos relatam o método de projeto dos controladores para retificadores monofásicos com desacoplamento de potência. Os sistemas monofásicos que podem ser representados similarmente à forma geral apresentada na Equação 1.23, são aproximados por dois subsistemas desacoplados para o Controle Direto do Desacoplamento (estratégia A). Em geral, a dinâmica da tensão de saída é relacionada somente a porta de entrada, enquanto a dinâmica do ripple da tensão de saída é relacionada somente à porta de amortecimento. É esperado que tal aproximação possa suavizar os problemas de acoplamento cruzado da dinâmica do sistema

1.2 Objetivos

O principal objetivo deste trabalho é apresentar uma nova topologia de retificador intercalado monofásico, baseado em n células do conversor tradicional Zeta, sob a hipótese de que essa estrutura tenha maior eficiência no contexto ao qual se aplicará o conceito de desacoplamento de potência, que foi estudado pela primeira vez para essa topologia por (AGUIAR, 2019). Para isso, os seguintes objetivos específicos foram considerados:

1. Refazer e melhorar o estudo teórico da célula base do retificador Zeta com desacoplamento de potência;
2. Realizar um experimento para validar a técnica ativa de desacoplamento de potência a ser descrita para o referido retificador;
3. Propor uma nova arquitetura intercalada baseada na célula base do retificador Zeta com desacoplamento de potência, simulá-la e realizar a análise de viabilidade de uso dessa topologia;
4. Comparar em termos de eficiência e DHT a nova topologia proposta com o célula base do retificador Zeta com desacoplamento de potência existente na literatura.

2 Conversor Monofásico Zeta com Desacoplamento de Potência

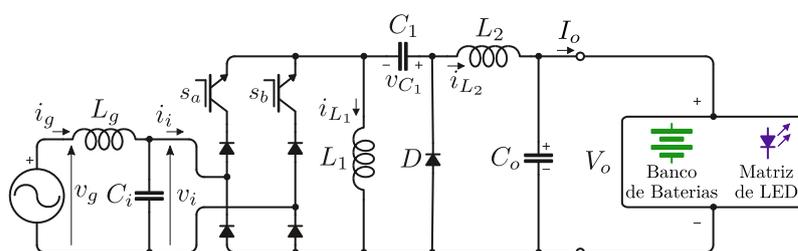
O conversor Zeta já foi estudado para correção de fator de potência operando no modo de condução contínua e descontínua (PERES; MARTINS; BARBI, 1994; CRUZ MARTINS; DE SOUZA CAMPOS; BARBI, 1996). O trabalho de mestrado intitulado *Retificador Zeta com Desacoplamento de Potência* (AGUIAR, 2019) propõe e apresenta um estudo inicial da topologia apresentada na Figura 38, cujos objetivos são verificar o uso desse conversor para duas aplicações importantes: PFC e desacoplamento de potência.

Do ponto de vista prático, nem sempre é possível que um único conversor chaveado realize essas duas tarefas. Em geral, para retificadores que utilizam alguma técnica para correção de fator de potência, o capacitor de saída é o elemento responsável por absorver o ripple de baixas e altas frequências.

No entanto, como já descrito anteriormente, a técnica ativa para desacoplar a potência oscilatória em retificadores monofásicos requer circuitos auxiliares com acréscimos de chaves e elementos armazenadores de energia. Nesse sentido, a pesquisa proposta em (AGUIAR, 2019) apresenta um retificador baseado na topologia Zeta, modificada devido à inserção de apenas uma chave que permite a utilização de um elemento reativo inerente ao circuito para o desacoplamento de potência. Assim, pretende-se no decorrer desta seção apresentar o desenvolvimento matemático desse retificador, acrescentando-se novos elementos e considerações que não foram utilizados na dedução do primeiro estudo realizado na proposta supracitada.

O pleno entendimento do funcionamento da célula básica apresentada na Figura 38, da modulação e os elementos de controle empregados são fundamentais para o desenvolvimento de uma estrutura intercalada a ser apresentada e detalhada no próximo capítulo. Na seção a seguir, inicialmente, para um semiciclo da tensão de entrada, serão apresentados os três estados topológicos a partir dos quais se obtêm elementos para discussões e deduções matemáticas.

Figura 38 – Conversor Zeta com Duas Chaves Ativas

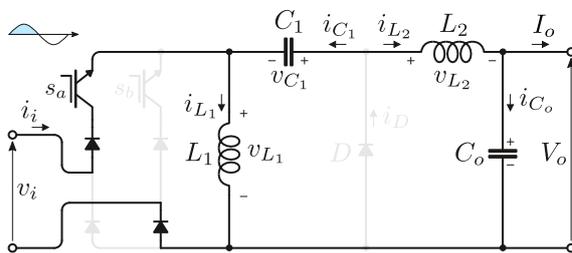


Fonte: Figura do Autor

2.1 Estados Topológicos do Conversor Zeta com Desacoplamento de Potência

Para cada semiciclo de tensão da rede, três estados topológicos são possíveis para o conversor Zeta proposto na Figura 38. O primeiro, representado pela Figura 39, mostra o estágio em que há transferência de potência ativa da entrada para a saída do circuito ao passo que o indutor L_1 carrega-se durante a parcela de tempo DT_s , em que T_s é o período de chaveamento.

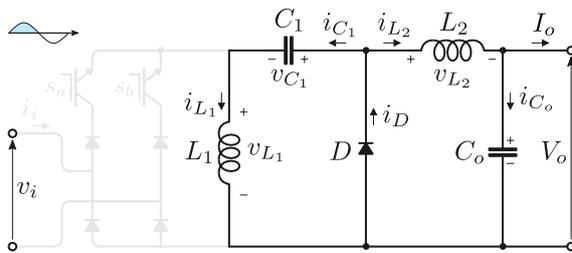
Figura 39 – Transferência de potência ativa durante o tempo DT_s



$$\begin{aligned} v_{L_1} &= L_1 \frac{di_{L_1}}{dt} = v_i \\ v_{L_2} &= L_2 \frac{di_{L_2}}{dt} = v_i + v_{C_1} - V_o \\ i_{C_1} &= C_1 \frac{dv_{C_1}}{dt} = -i_{L_2} \\ i_{C_o} &= C_o \frac{dv_{C_o}}{dt} = i_{L_2} - I_o \end{aligned}$$

Fonte: Figura do Autor

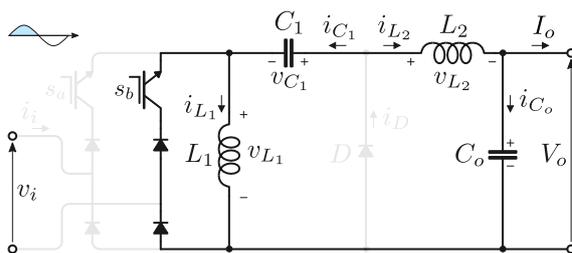
Figura 40 – Indutor L_1 transfere energia para C_1 durante o tempo $\delta_1 T_s$



$$\begin{aligned} v_{L_1} &= L_1 \frac{di_{L_1}}{dt} = -v_{C_1} \\ v_{L_2} &= L_2 \frac{di_{L_2}}{dt} = -V_o \\ i_{C_1} &= C_1 \frac{dv_{C_1}}{dt} = i_{L_1} \\ i_{C_o} &= C_o \frac{dv_{C_o}}{dt} = i_{L_2} - I_o \end{aligned}$$

Fonte: Figura do Autor

Figura 41 – Caminho de roda livre para a corrente do indutor de desacoplamento



$$\begin{aligned} v_{L_1} &= L_1 \frac{di_{L_1}}{dt} = 0 \\ v_{L_2} &= L_2 \frac{di_{L_2}}{dt} = v_{C_1} - V_o \\ i_{C_1} &= C_1 \frac{dv_{C_1}}{dt} = -i_{L_2} \\ i_{C_o} &= C_o \frac{dv_{C_o}}{dt} = i_{L_2} - I_o \end{aligned}$$

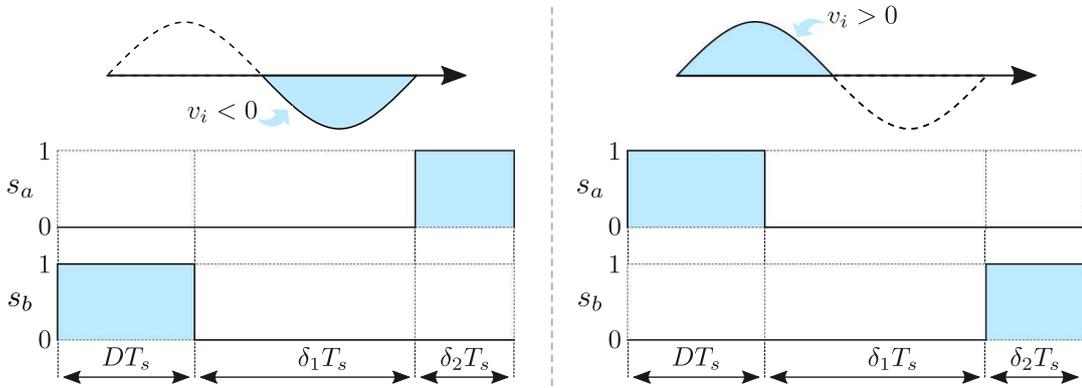
Fonte: Figura do Autor

A Figura 40 refere-se ao segundo estágio, $\delta_1 T_s$. Durante esse intervalo de tempo, L_1 transfere energia para C_1 e L_2 fornece corrente para a carga.

O terceiro estágio, $\delta_2 T_s$, ilustrado na Figura 41, é o intervalo de tempo em que o indutor L_1 é colocado em roda livre e o capacitor C_1 transfere energia para a carga.

Para o semiciclo negativo de v_i , os estados topológicos são os mesmos, porém, a chave s_b é acionada no estágio DT_s (enquanto s_a permanece inativa) e a chave s_a é acionada no estágio $\delta_2 T_s$ (enquanto s_b permanece inativa). Essa dinâmica de acionamento das chaves está ilustrada na Figura 42.

Figura 42 – Padrão de Acionamento das Chaves s_a e s_b



Fonte: Figura do Autor

A relação entre as variáveis que ponderam o tempo de chaveamento é $D + \delta_1 + \delta_2 = 1$.

A partir das equações correspondentes às Figuras 39, 40 e 41, pode-se escrever o modelo em espaço de estados para cada intervalo, na forma apresentada na equação (2.1).

$$\dot{\mathbf{X}} = \mathbf{A}\mathbf{X} + \mathbf{B}\mathbf{U} \quad \text{e} \quad \mathbf{Y} = \mathbf{C}\mathbf{X} + \mathbf{D}\mathbf{U} \quad (2.1)$$

em que \mathbf{X} é o vetor com as variáveis de estados do sistema, $\dot{\mathbf{X}}$ representa o vetor que contém a derivada primeira de cada uma das variáveis de estados, \mathbf{U} contém as entradas e \mathbf{Y} as saídas do sistema.

Assim, para o tempo DT_s , tem-se o seguinte modelo em espaço de estados:

$$\begin{bmatrix} \dot{i}_{L_1} \\ \dot{i}_{L_2} \\ \dot{v}_{C_1} \\ \dot{v}_{C_o} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 1/L_2 & 0 \\ 0 & -1/C_1 & 0 & 0 \\ 0 & 1/C_o & 0 & 0 \end{bmatrix}}_{\mathbf{A}_1} \begin{bmatrix} i_{L_1} \\ i_{L_2} \\ v_{C_1} \\ v_{C_o} \end{bmatrix} + \underbrace{\begin{bmatrix} 1/L_1 & 0 \\ 1/L_2 & -1/L_2 \\ 0 & 0 \\ 0 & -1/C_o R_o \end{bmatrix}}_{\mathbf{B}_1} \begin{bmatrix} v_i \\ V_o \end{bmatrix} \quad (2.2)$$

De forma análoga, para o período $\delta_1 T_s$, tem-se:

$$\begin{bmatrix} \dot{i}_{L_1} \\ \dot{i}_{L_2} \\ \dot{v}_{C_1} \\ \dot{v}_{C_o} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & -1/L_1 & 0 \\ 0 & 0 & 0 & 0 \\ 1/C_1 & 0 & 0 & 0 \\ 0 & 1/C_o & 0 & 0 \end{bmatrix}}_{A_2} \begin{bmatrix} i_{L_1} \\ i_{L_2} \\ v_{C_1} \\ v_{C_o} \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 0 & -1/L_2 \\ 0 & 0 \\ 0 & -1/C_o R_o \end{bmatrix}}_{B_2} \begin{bmatrix} v_i \\ V_o \end{bmatrix} \quad (2.3)$$

E, para período $\delta_2 T_s$:

$$\begin{bmatrix} \dot{i}_{L_1} \\ \dot{i}_{L_2} \\ \dot{v}_{C_1} \\ \dot{v}_{C_o} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 1/L_2 & 0 \\ 0 & -1/C_1 & 0 & 0 \\ 0 & 1/C_o & 0 & 0 \end{bmatrix}}_{A_3} \begin{bmatrix} i_{L_1} \\ i_{L_2} \\ v_{C_1} \\ v_{C_o} \end{bmatrix} + \underbrace{\begin{bmatrix} 0 & 0 \\ 0 & -1/L_2 \\ 0 & 0 \\ 0 & -1/C_o R_o \end{bmatrix}}_{B_3} \begin{bmatrix} v_i \\ V_o \end{bmatrix} \quad (2.4)$$

Nota-se que $A_1 = A_3$ e $B_2 = B_3$. O modelo médio em espaço de estados para grandes sinais pode ser obtido desenvolvendo-se a equação (2.5).

$$\begin{aligned} \dot{\bar{\mathbf{X}}} &= (A_1 D + A_2 \delta_1 + A_3 \delta_2) \bar{\mathbf{X}} + (B_1 D + B_2 \delta_1 + B_3 \delta_2) \bar{\mathbf{U}} \\ \dot{\bar{\mathbf{X}}} &= [A_1(D + \delta_2) + A_2 \delta_1] \bar{\mathbf{X}} + [B_1 D + B_2(\delta_1 + \delta_2)] \bar{\mathbf{U}} \\ \dot{\bar{\mathbf{X}}} &= [A_1(1 - \delta_1) + A_2 \delta_1] \bar{\mathbf{X}} + [D(B_1 - B_2) + B_2] \bar{\mathbf{U}} \end{aligned} \quad (2.5)$$

em que $A = A_1(1 - \delta_1) + A_2 \delta_1$ e $B = D(B_1 - B_2) + B_2$, cujo resultado está expresso na equação (2.6).

$$\begin{bmatrix} \dot{\bar{i}}_{L_1} \\ \dot{\bar{i}}_{L_2} \\ \dot{\bar{v}}_{C_1} \\ \dot{\bar{v}}_{C_o} \end{bmatrix} = \underbrace{\begin{bmatrix} 0 & 0 & \frac{-\delta_1}{L_1} & 0 \\ 0 & 0 & \frac{1-\delta_1}{L_2} & 0 \\ \frac{\delta_1}{C_1} & \frac{\delta_1-1}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_o} & 0 & 0 \end{bmatrix}}_A \begin{bmatrix} \bar{i}_{L_1} \\ \bar{i}_{L_2} \\ \bar{v}_{C_1} \\ \bar{v}_{C_o} \end{bmatrix} + \underbrace{\begin{bmatrix} \frac{D}{L_1} & 0 \\ \frac{D}{L_2} & \frac{-1}{L_2} \\ 0 & 0 \\ 0 & \frac{-1}{C_o R_o} \end{bmatrix}}_B \begin{bmatrix} v_i \\ V_o \end{bmatrix} \quad (2.6)$$

A partir do modelo médio do conversor, considerando-se que em um período de chaveamento $\bar{v}_{C_1} = 0$, pode-se deduzir a seguinte equação para δ_1 :

$$\begin{aligned} \left(\frac{\delta_1}{C_1}\right) \bar{i}_{L_1} + \left(\frac{\delta_1 - 1}{C_1}\right) \bar{i}_{L_2} &= 0 \\ \delta_1 &= \frac{\bar{i}_{L_2}}{\bar{i}_{L_1} + \bar{i}_{L_2}} \end{aligned}$$

mas, como $\overline{v_{C_o}} = 0$ em um período de chaveamento, então:

$$\begin{aligned} \left(\frac{1}{C_o}\right) \overline{i_{L_2}} + \left(\frac{-1}{C_o R_o}\right) V_o &= 0 \\ \overline{i_{L_2}} &= \frac{V_o}{R_o} \\ \overline{i_{L_2}} &= I_o \end{aligned}$$

portanto, em um período de chaveamento:

$$\boxed{\delta_1 = \frac{I_o}{\overline{i_{L_1}} + I_o}} \quad (2.7)$$

A fórmula para o ciclo de trabalho D pode ser obtida a partir da consideração que apenas durante o período DT_s há corrente da fonte de entrada, assim:

$$\begin{aligned} |\overline{i_i}| T_s &= DT_s (\overline{i_{L_1}} + I_o) \\ \boxed{D = \frac{|\overline{i_i}|}{\overline{i_{L_1}} + I_o}} & \end{aligned} \quad (2.8)$$

Fazendo-se $m = \frac{|\overline{i_i}|}{\overline{i_{L_1}} + I_o}$, pode-se reescrever as equações (2.8) e (2.7) como segue:

$$D = m \quad \text{e} \quad \delta_1 = \frac{m}{|\overline{i_i}|} \quad (2.9)$$

em que m é o índice de modulação $\forall |\overline{i_i}| > 0$ e $(\overline{i_{L_1}} + I_o) > 0$.

A Figura 43 ilustra as formas de onda típicas de D e δ_1 a partir da amostragem das variáveis envolvidas nos seus respectivos cálculos.

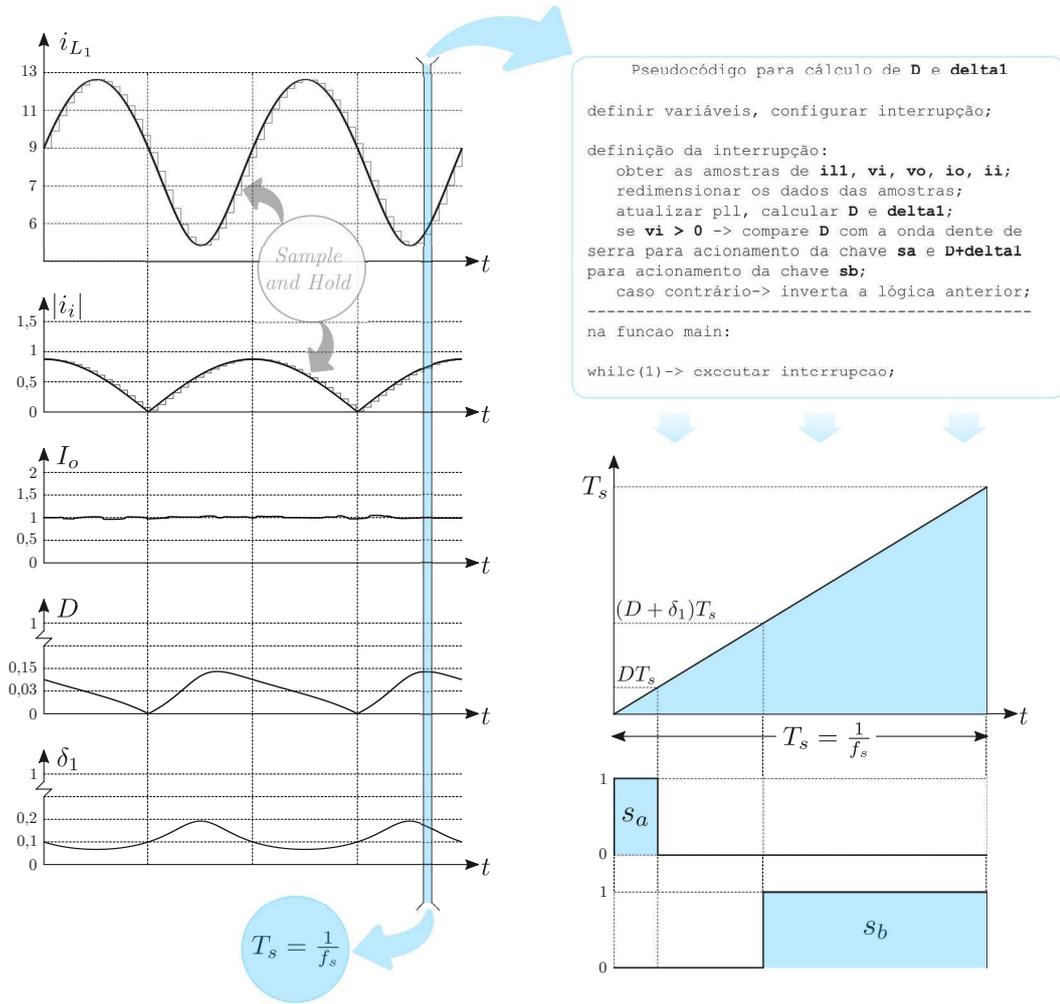
2.2 Dimensionamento dos Elementos Reativos

Nesta subseção, um procedimento análogo ao utilizado na subseção 1.1.2 é realizado para dedução das equações de projeto dos elementos reativos do retificador baseado na topologia Zeta com desacoplamento de potência. Há algumas mudanças significativas e considerações importantes relacionadas ao dimensionamento desses elementos, em especial, o indutor L_1 .

Para o dimensionamento do indutor de desacoplamento, L_1 , duas principais condições precisam ser respeitadas para garantir o devido funcionamento do conversor. A primeira delas é a desigualdade (2.10), obtida a partir da equação (1.21) para que a corrente em L_1 assuma apenas valores dentro do conjunto dos números reais:

$$\overline{I_{L_1}}^2 + \frac{V_i I_i \sin(2\omega t + \phi)}{2\omega L_1} > 0 \quad (2.10)$$

Figura 43 – Formas de onda de i_{L1} , $|i_i|$, I_o , D , δ_1



Fonte: Figura do Autor

Há liberdade para a escolha de \bar{I}_{L1} para manter satisfeita a inequação (2.10). Porém, essa reflexão será feita nos próximos parágrafos. Para isso, é mais conveniente reescrever essa inequação em termos da potência de saída P_o , assim:

$$\bar{I}_{L1}^2 + \frac{P_o \sin(2\omega t + \phi)}{\cos(\phi)\omega L_1} > 0 \quad (2.11)$$

A segunda condição é estabelecida a partir da equação $D + \delta_1 + \delta_2 = 1$. Considerando-se que as quantidades D , δ_1 e δ_2 são maiores que zero em todos os instantes do chaveamento, então, a seguinte desigualdade deve ser satisfeita:

$$D + \delta_1 < 1 \quad (2.12)$$

substituindo-se em (2.12) as equações (2.8) e (2.7), obtêm-se:

$$\begin{aligned} \frac{|i_i(t)|}{i_{L_1}(t) + i_o(t)} + \frac{i_o(t)}{i_{L_1}(t) + i_o(t)} &< 1 \\ |i_i(t)| + i_o(t) &< i_{L_1}(t) + i_o(t) \\ |i_i(t)| &< i_{L_1}(t) \\ |I_i \cos(\omega t + \phi)| &< \sqrt{\bar{I}_{L_1}^2 + \frac{P_o \sin(2\omega t + \phi)}{\cos(\phi)\omega L_1}} \end{aligned} \quad (2.13)$$

A inequação (2.13) viabiliza uma conclusão importante que sempre deve ser levada em consideração no projeto do conversor: *o menor valor da corrente i_{L_1} precisa ser maior que o maior valor de i_i* . Em linguagem matemática, têm-se:

$$\underbrace{\frac{2P_o}{V_i \cos(\phi)}}_{i_{i,max}} < \underbrace{\sqrt{\bar{I}_{L_1}^2 - \frac{P_o}{\cos(\phi)\omega L_1}}}_{i_{L_1,min}} \quad (2.14)$$

Dessa forma, definindo-se o valor da corrente média \bar{I}_{L_1} do indutor, os valores nominais da potência de saída e tensão eficaz de entrada do retificador, existe um valor crítico de indutância L_1 , denominada por $L_{1,crit}$, que permite a igualdade das duas parcelas da inequação (2.14), dada por:

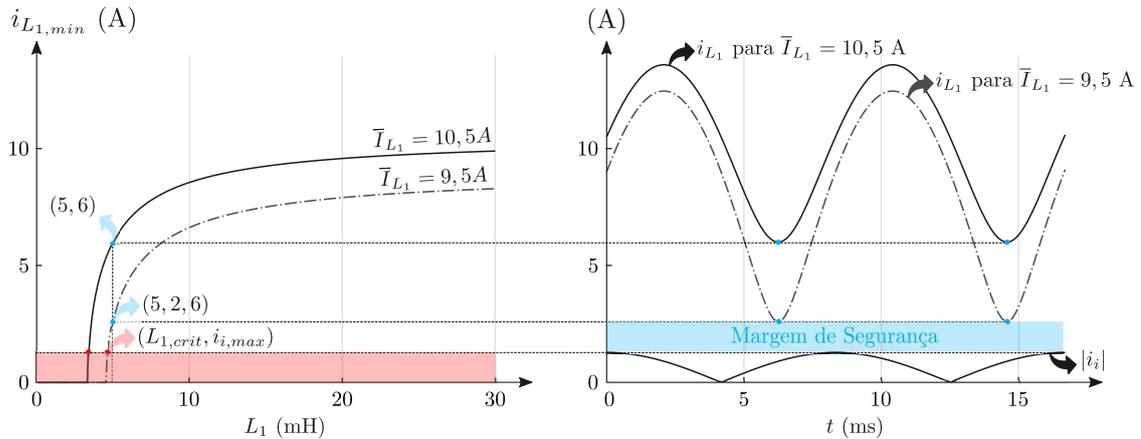
$$\boxed{L_{1,crit} = \frac{P_o}{\omega \cos(\phi) \left(\bar{I}_{L_1}^2 - 4 \left(\frac{P_o}{V_i \cos(\phi)} \right)^2 \right)}} \quad (2.15)$$

Apesar do modelo matemático não ter contemplado as perdas de potência do retificador, o valor teórico $L_{1,crit}$ já é um valor aproximado que deve ser tomado como referência para a escolha do projeto de L_1 , que deve seguir de forma genérica o seguinte critério:

$$\boxed{L_1 > L_{1,crit}} \quad (2.16)$$

O gráfico da Figura 44 mostra as formas de onda da corrente no indutor de desacoplamento para pontos de operação distintos de sua corrente média, \bar{I}_{L_1} . Os dados utilizados para a geração dessas curvas foram $V_i = 220$ V, $V_o = 100$ V, $P_o = 140$ W, $f = 60$ Hz, $L_1 = 5$ mH (para as formas de onda à direita) e dois valores distintos para \bar{I}_{L_1} que estão indicados na imagem.

Conforme ilustrado na Figura 44, é importante estabelecer uma margem de segurança que garanta, em certa medida, um distanciamento entre o valor mínimo da corrente i_{L_1} e $|i_i|$ a fim de manter sempre verdadeira a inequação (2.14). Isso sempre pode ser feito elevando-se o valor de \bar{I}_{L_1} e/ou aumentando-se a indutância L_1 em relação à indutância definida previamente como suficiente para operação do circuito. Dessas forma,

Figura 44 – Corrente em L_1 para $V_i = 220$ V, $P_o = 100$ W, $f = 60$ Hz, $L_1 = 5$ mH


Fonte: Figura do Autor

garante-se maior estabilidade para o circuito operar sempre no modo de condução contínua, que, neste caso, é uma condição necessária para aplicar a técnica ativa proposta para o desacoplamento de potência.

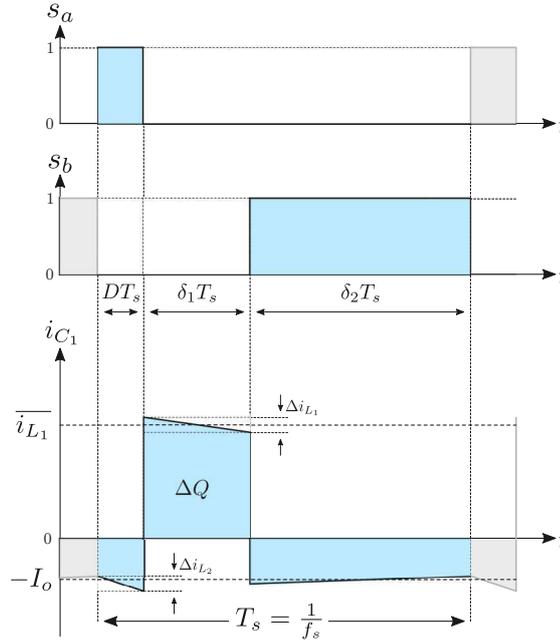
O conceito de Margem de Segurança é relativamente simples de ser explicitado matematicamente nas fórmulas da corrente do indutor L_1 a partir da expansão da variável \bar{I}_{L_1} conforme apresentado na Equação 2.17:

$$\boxed{\bar{I}_{L_1} = \bar{I}'_{L_1} + M_s} \quad (2.17)$$

em que M_s representa a variável Margem de Segurança a ser utilizada pelo sistema de controle e \bar{I}'_{L_1} é o *offset* mínimo para que a corrente do indutor não apresente descontinuidade. Ignorando-se em um primeiro momento a variável M_s (isto é, considerando $\bar{I}_{L_1} = \bar{I}'_{L_1}$), pode-se utilizar a Equação 2.15 para calcular o valor mínimo de *offset* da corrente do indutor e, em seguida, soma-se a esse resultado o valor estabelecido para a Margem de Segurança. O valor de Margem utilizado neste trabalho é $M_s = 2$ A.

Uma observação importante tem relação com a modificação da corrente média do indutor dado uma mudança no ponto de operação. Caso a carga solicite o dobro da corrente de saída para uma mesma tensão V_o contante, duas coisas vão acontecer ao mesmo tempo: o valor máximo da corrente de entrada vai aumentar e o valor pico a pico da corrente do indutor também vai crescer. Isso significa que mesmo trabalhando-se com margem de segurança conforme indicado na Figura 44, uma subida leve no nível de sobrecarga do retificador pode acarretar em uma diminuição muito brusca da margem de segurança estabelecida. Por isso, uma das funções do sistema de controle é impedir condições de sobrecarga para ser possível reestabelecer o valor de referência para a corrente média do indutor de desacoplamento.

Para selecionar o capacitor de acoplamento, C_1 , usa-se a forma de onda da corrente ilustrada na Figura 45 e a definição de capacitância definida em (1.7) e (1.8).

Figura 45 – Formas de onda de i_{C_1}


Fonte: Figura do Autor

A corrente média em C_1 , idealmente, é nula e a área sombreada da Figura 45 representa a carga ΔQ adicional. Assim, têm-se:

$$\Delta V_{C_1} = \frac{\Delta Q}{C_1} = \frac{i_{L_1} \delta_1 T_s}{C_1}$$

$$C_1 = \frac{i_{L_1} \delta_1}{\Delta V_{C_1} f_s} \quad (2.18)$$

A variação ΔV_{C_1} é um parâmetro a ser definido no projeto do conversor e a escolha de C_1 será baseada no valor máximo do produto $i_{L_1} \delta_1$: $\max(i_{L_1} \delta_1)$. Portanto, a equação de projeto de C_1 é dada por (2.2).

$$C_1 = \frac{\max(i_{L_1} \delta_1)}{\Delta V_{C_1} f_s}$$

$$\boxed{C_1 = \frac{1}{\Delta V_{C_1} f_s} \max \left(\frac{i_{L_1}(t) I_o}{i_{L_1}(t) + I_o} \right)} \quad (2.19)$$

Um procedimento analítico para se encontrar o valor máximo de $i_{L_1}(t) \delta_1$, já que sua expressão é uma função contínua $\forall t > 0$, é testar os pontos que zeram a sua primeira

derivada. Assim, seguindo-se a partir da primeira derivada, têm-se:

$$\begin{aligned}
 (i_{L_1} \delta_1)'(t) &= \left(\frac{i_{L_1}(t) I_o}{i_{L_1}(t) + I_o} \right)' \\
 (i_{L_1} \delta_1)'(t) &= \frac{i'_{L_1}(t) I_o (i_{L_1}(t) + I_o) - i'_{L_1}(t) i_{L_1}(t) I_o}{(i_{L_1}(t) + I_o)^2} \\
 (i_{L_1} \delta_1)'(t) &= \frac{i'_{L_1}(t) I_o^2}{(i_{L_1}(t) + I_o)^2} \\
 (i_{L_1} \delta_1)'(t) &= i'_{L_1}(t) \delta_1^2(t) \\
 (i_{L_1} \delta_1)'(t) &= \frac{P_o \cos(2\omega t + \phi)}{L_1 i_{L_1}(t)} \delta_1^2(t) \tag{2.20}
 \end{aligned}$$

Em regime, $i_{L_1}(t) > 0 \forall t > 0$. Por isso, o denominador de $(i_{L_1} \delta_1)'(t)$ sempre é positivo e maior que zero. Assumindo-se $\phi = 0$, nota-se que a primeira derivada é nula (e isso pode indicar pontos de máximos e mínimos locais e/ou globais das funções contínuas) quando o numerador de $(i_{L_1} \delta_1)'(t)$ se anula e isso ocorre para $2\omega t = \pi/2 + k\pi, \forall k \in \mathbb{N}$ e $t > 0$. Para valores ímpares de k , $(i_{L_1} \delta_1)(t)$ assume seus valores mínimos, do contrário, valores máximos, conforme indicado a seguir:

$$(i_{L_1} \delta_1)(t) = \begin{cases} \min(i_{L_1} \delta_1), & \text{se } t = \frac{\pi}{4\omega} + \frac{k\pi}{2\omega}, \forall k = 1, 3, 5, 7, \dots \\ \max(i_{L_1} \delta_1), & \text{se } t = \frac{\pi}{4\omega} + \frac{k\pi}{2\omega}, \forall k = 0, 2, 4, 6, \dots \end{cases}$$

Portanto, fazendo-se $k = 0$, a fórmula de C_1 pode ser reescrita como segue:

$$\boxed{C_1 = \frac{i_{L_1} \left(\frac{\pi}{4\omega} \right) \delta_1 \left(\frac{\pi}{4\omega} \right)}{\Delta V_{C_1} f_s}} \tag{2.21}$$

Também é importante o conhecimento, para efeito de dimensionamento de C_1 , o valor da corrente *RMS* que irá atravessá-lo. Assim como foi deduzido para o conversor Zeta CC/CC em 1.1.2, segue-se da seguinte forma:

$$I_{C_1, rms} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_1}^2(t) dt} = \sqrt{\frac{1}{T_s} \left[\int_0^{DT_s} i_{L_2}^2(t) dt + \int_{DT_s}^{\delta_1 T_s} i_{L_1}^2 dt + \int_{\delta_1 T_s}^{\delta_2 T_s} i_{L_2}^2 dt \right]} \tag{2.22}$$

Alterando-se a referência inicial dos eixos coordenados do gráfico de i_{C_1} para o

tempo DT_s , a equação (2.22) pode ser aproximada fazendo-se:

$$\begin{aligned}
 I_{C_1,rms} &= \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_1}^2(t) dt} = \sqrt{\frac{1}{T_s} \left[\int_0^{DT_s} i_{L_2}^2(t) dt + \int_{DT_s}^{\delta_1 T_s} i_{L_1}^2 dt + \int_{\delta_1 T_s}^{\delta_2 T_s} i_{L_2}^2 dt \right]} \\
 I_{C_1,rms} &\approx \sqrt{\frac{1}{T_s} \left[\int_0^{\delta_1 T_s} \left(\bar{I}_{L_1}^2 + \frac{P_o \sin(2\omega t + \phi)}{\omega L_1} \right) dt + \int_{\delta_1 T_s}^{T_s} I_o^2(t) dt \right]} \\
 I_{C_1,rms} &\approx \sqrt{\delta_1 \bar{I}_{L_1}^2 + \frac{P_o}{\omega^2 L_1} - \frac{P_o \cos(2\omega \delta_1 T_s + \phi)}{\omega^2 L_1} + (1 - \delta_1) I_o^2} \\
 I_{C_1,rms} &\approx \sqrt{I_o^2 + \delta_1 (\bar{I}_{L_1}^2 - I_o^2) + \frac{P_o}{\omega^2 L_1 T_s} - \frac{P_o \cos(2\omega \delta_1 T_s + \phi)}{\omega^2 L_1 T_s}} \quad (2.23)
 \end{aligned}$$

O chaveamento em alta frequência (20 kHz) - quando comparada com a frequência da tensão de entrada (60 Hz) - e $\phi = 0$ tornam o argumento da função cosseno da parcela $\frac{P_o \cos(2\omega \delta_1 T_s + \phi)}{\omega^2 L_1}$ próximo de zero. Por isso, quanto maior o valor de δ_1 , maior será o resultado da diferença $\frac{P_o}{\omega^2 L_1 T_s} - \frac{P_o \cos(2\omega \delta_1 T_s + \phi)}{\omega^2 L_1 T_s}$. De modo similar, o resultado da diferença $\delta_1 (\bar{I}_{L_1}^2 - I_o^2)$ torna-se mais significativo quando δ_1 cresce. O critério, portanto, mais conservador para o projeto de C_1 é calcular a sua corrente *RMS* a partir do valor máximo de δ_1 , $\delta_{1,max}$, como apresentado na equação (2.24).

$$\boxed{I_{C_1,rms} \approx \sqrt{I_o^2 + \delta_{1,max} (\bar{I}_{L_1}^2 - I_o^2) + \frac{P_o}{\omega^2 L_1 T_s} - \frac{P_o \cos(2\omega \delta_{1,max} T_s + \phi)}{\omega^2 L_1 T_s}}} \quad (2.24)$$

O cálculo de $\delta_{1,max}$ é realizado de forma análoga ao procedimento descrito para a dedução analítica do valor $\max(i_{L_1} \delta_1)$. Seguindo-se a partir da derivada primeira, têm-se:

$$\begin{aligned}
 \delta_1'(t) &= \left(\frac{I_o}{i_{L_1}(t) + I_o} \right)' \\
 \delta_1'(t) &= \frac{-i_{L_1}'(t) I_o}{(i_{L_1}(t) + I_o)^2} \\
 \delta_1'(t) &= \frac{P_o \cos(2\omega t + \phi) I_o}{i_{L_1} (i_{L_1}(t) + I_o)^2 L_1} \quad (2.25)
 \end{aligned}$$

Em regime, $i_{L_1}(t) > 0 \forall t > 0$. Por isso, o denominador de $\delta_1'(t)$ sempre é positivo e maior que zero. Assumindo-se $\phi = 0$, nota-se que a primeira derivada é nula quando o numerador de $\delta_1'(t)$ se anula e isso ocorre para $2\omega t = \pi/2 + k\pi, \forall k \in \mathbb{N}$ e $t > 0$. Para valores pares de k , $\delta_1(t)$ assume seus valores mínimos, do contrário, valores máximos, conforme indicado a seguir:

$$\delta_1(t) = \begin{cases} \delta_{1,max}, & \text{se } t = \frac{\pi}{4\omega} + \frac{k\pi}{2\omega}, \forall k = 1, 3, 5, 7, \dots \\ \delta_{1,min}, & \text{se } t = \frac{\pi}{4\omega} + \frac{k\pi}{2\omega}, \forall k = 0, 2, 4, 6, \dots \end{cases}$$

Portanto, fazendo-se $k = 1$, tem-se que $\delta_{1,max} = I_o / \left(i_{L_1} \left(\frac{3\pi}{4\omega} \right) + I_o \right)$.

Para selecionar L_2 , usa-se a forma de onda da corrente apresentada na Figura 46, e a equação de v_{L_2} definida no período DT_s . Com essas informações, pode-se inferir:

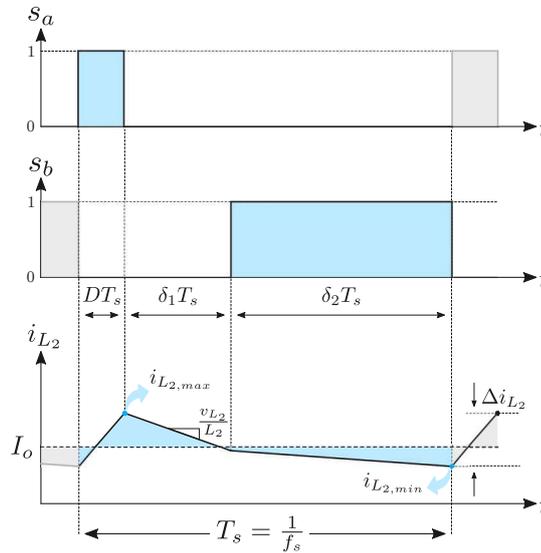
$$i_{L_2,max} = i_{L_2,min} + \frac{(v_i + v_{C_1} - V_o)}{L_2} DT_s$$

assim,

$$\begin{aligned} \Delta i_{L_2} &= i_{L_2,max} - i_{L_2,min} = \frac{(v_i + v_{C_1} - V_o)}{L_2} DT_s \\ L_2 &= \frac{(v_i + v_{C_1} - V_o)D}{\Delta i_{L_2} f_s} = \frac{\alpha}{\Delta i_{L_2} f_s} \end{aligned} \quad (2.26)$$

em que $\alpha = (v_i + v_{C_1} - V_o)D$.

Figura 46 – Formas de onda de i_{L_2}



Fonte: Figura do Autor

A variação Δi_{L_2} é um parâmetro a ser definido no projeto do conversor e a escolha de L_2 será baseada no valor máximo da parcela $(v_i + v_{C_1} - V_o)D$: α_{max} . Portanto, a equação de projeto de L_2 é dada por (2.27).

$$L_2 = \frac{\alpha_{max}}{\Delta i_{L_2} f_s} \quad (2.27)$$

Considerando-se todas as variáveis contínuas $\forall t > 0$, assumindo-se $v_i = V_i \cos(\omega t)$ e V_o constante, o valor teórico de α_{max} pode ser encontrado igualando-se a zero a primeira derivada de α em relação ao tempo e resolvendo-a para t .

No entanto, é preciso uma expressão para v_{C_1} . Do modelo de espaço de estados, nota-se que o valor médio em um período de chaveamento da tensão v_{L_1} é dado por:

$$\overline{v_{L_1}} T_s = L_1 \dot{\overline{i_{L_1}}} T_s = \overline{v_i} DT_s - \overline{v_{C_1}} \delta_1 T_s \quad (2.28)$$

A fórmula de $i_{L_1}(t)$ é definida em (1.21) e sua primeira derivada é dada por

$$\dot{i}_{L_1}(t) = \frac{P_o \cos(2\omega t + \phi)}{L_1 \cos(\phi) \sqrt{I_{L_1}^2 + \frac{P_o \sin(2\omega t + \phi)}{\cos(\phi) \omega L_1}}} = \frac{P_o \cos(2\omega t + \phi)}{L_1 \cos(\phi) i_{L_1}(t)} \quad (2.29)$$

Dessa forma, considerando-se o modelo contínuo da equação (2.28) e resolvendo-a para v_{C_1} , tem-se:

$$v_{C_1}(t) = \frac{v_i(t)D(t)}{\delta_1(t)} - \frac{P_o \cos(2\omega t + \phi)}{\delta_1(t) \cos(\phi) i_{L_1}(t)} \quad (2.30)$$

substituindo-se (2.7), (2.8) e (2.29) em (2.30), chega-se na seguinte expressão para v_{C_1} :

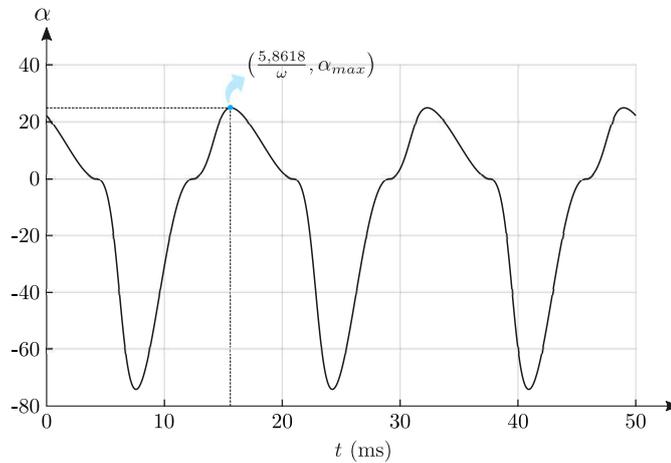
$$v_{C_1}(t) = \frac{v_i(t)|i_i(t)|}{I_o} - \frac{P_o \cos(2\omega t + \phi)(I_o + i_{L_1}(t))}{I_o \cos(\phi) i_{L_1}(t)} \quad (2.31)$$

De posse da equação (2.30), α pode ser reescrito como segue:

$$\alpha(t) = \left(v_i(t) + \frac{v_i(t)|i_i(t)|}{I_o} - \frac{P_o \cos(2\omega t + \phi)(I_o + i_{L_1}(t))}{I_o \cos(\phi) i_{L_1}(t)} - V_o \right) \left(\frac{|i_i(t)|}{I_o + i_{L_1}(t)} \right) \quad (2.32)$$

Diante da dificuldade de resolver a equação (2.32) analiticamente, uma abordagem gráfica é utilizada para dedução dos seus valores máximos.

Figura 47 – Curva da variável α para $V_i = 220$ V, $P_o = 140$ W, $V_o = 100$ V, $f = 60$ Hz, $L_1 = 5$ mH



Fonte: Figura do Autor

A Figura 47 mostra que $\alpha(t)$ é uma função periódica em que o primeiro máximo local para $t > 0$ ocorre em $\omega t \approx 5,8618$ rad. O próximo máximo ocorre em $\omega t \approx 5,8618 + 2\pi$ rad. Assim, de forma geral, α_{max} acontece sempre que $\omega t \approx 5,8618 + k2\pi$, $\forall k \in \mathbb{N}$ e $t > 0$.

Portanto, fazendo-se $k = 1$, a equação (2.27) pode ser reescrita como segue:

$$L_2 = \frac{\alpha \left(t = \frac{5,8618 + 2\pi}{\omega} \right)}{\Delta i_{L_2} f_s} \quad (2.33)$$

Considerando que as componentes oscilatórias de i_{L_2} fluem através do capacitor de saída e sua componente média flui através da carga, a área da curva de i_{L_2} que está acima ou abaixo do valor médio I_o apresentada na Figura 46 representa a carga adicional no capacitor C_o . Então, ΔV_{C_o} pode ser escrito como

$$\Delta V_{C_o} = \frac{\Delta Q}{C_o} \quad (2.34)$$

Deduzir uma fórmula para o cálculo dessa área (que tem formato de triângulo) sem saber o momento exato em que a oscilação de i_{L_2} cruza o valor médio I_o é um trabalho difícil de fazer de forma analítica e, para este caso, desnecessário. Pois, como a área acima do valor de I_o tem o mesmo valor da área abaixo, pode-se abstrair esse cálculo considerando que em termos médios o valor dessa carga no capacitor pode ser dada por

$$\Delta Q = \frac{1}{2} \frac{\Delta i_{L_2}}{2} \frac{T_s}{2} \quad (2.35)$$

que equivale a área de um triângulo com altura $\Delta i_{L_2}/2$ e largura $T_s/2$. Dessa forma,

$$\Delta V_{C_o} = \frac{\Delta Q}{C_o} = \frac{1}{C_o} \frac{1}{2} \frac{\Delta i_{L_2}}{2} \frac{T_s}{2} \quad (2.36)$$

Portanto, substituindo-se na equação 2.36 a equação 2.27, tem-se:

$$\Delta V_{C_o} = \frac{1}{C_o} \frac{1}{2} \left(\frac{V_o \delta_{1,max}}{2L_2 f_s} \right) \frac{T_s}{2}$$

$$\boxed{C_o = \frac{V_o \delta_{1,max}}{8 \Delta V_{C_o} L_2 f_s^2}} \quad (2.37)$$

em que a variação ΔV_{C_o} é um parâmetro a ser definido no projeto do retificador.

Para facilitar a consulta das fórmulas desenvolvidas nesta seção, a Tabela 2 apresenta os resultados prontos correspondentes aos elementos reativos da topologia.

Tabela 2 – Fórmulas dos elementos reativos do conversor CA-CC Zeta com desacoplamento de potência

Componente	Equação
L_1	$> \frac{P_o}{\omega \cos(\phi) \left(\bar{I}_{L_1}^2 - 4 \left(\frac{P_o}{V_i \cos(\phi)} \right)^2 \right)}$
L_2	$\frac{\alpha \left(t = \frac{5,8618 + 2\pi}{\omega} \right)}{\Delta i_{L_2} f_s}$
C_1	$\frac{i_{L_1} \left(\frac{\pi}{4\omega} \right) \delta_1 \left(\frac{\pi}{4\omega} \right)}{\Delta V_{C_1} f_s}$
C_o	$\frac{V_o \delta_{1,max}}{8 \Delta V_{C_o} L_2 f_s^2}$

2.2.1 Contribuições aos Estudos do Retificador CA/CC Zeta com Desacoplamento de Potência

Na Tabela 3 há as principais fórmulas que foram desenvolvidas no primeiro estudo do retificador Zeta e as fórmulas desenvolvidas neste trabalho.

Tabela 3 – Comparação entre as fórmulas desenvolvidas no primeiro estudo do retificador Zeta com desacoplamento de potência (AGUIAR, 2019) e o estudo atual

	Equações do Primeiro Estudo	Estudo Atual
D	$\frac{ \bar{i}_i }{I_o + i_{L1}}$	$\frac{ \bar{i}_i }{i_{L1} + I_o}$
δ_1	$\frac{ v_i \delta_1 - V_{L1}}{V_o - V_{L1}}$	$\frac{I_o}{i_{L1} + I_o}$
i_{L1}	$\sqrt{\frac{P_o}{L_1\omega}(K - \sin(2\omega t))}$	$\sqrt{I_{L1}^2 + \frac{V_i I_i \sin(2\omega t + \phi)}{2\omega L_1}}$
L_1	$\frac{V_i L_{imax}(1+k_{max})}{2\omega i_{L1}^2}$	$> \frac{P_o}{\omega \cos(\phi) \left(I_{L1}^2 - 4 \left(\frac{P_o}{V_i \cos(\phi)} \right)^2 \right)}$
L_2	$\frac{V_o}{\Delta i_{L2} I_o} \delta_{1,max} T_s$	$\frac{\alpha \left(t = \frac{5,8618 + 2\pi}{\omega} \right)}{\Delta i_{L2} f_s}$
C_1	$\frac{I_o}{\Delta v_{C1} V_o} (1 - \delta_{1,min}) T_s$	$\frac{i_{L1} \left(\frac{\pi}{4\omega} \right) \delta_1 \left(\frac{\pi}{4\omega} \right)}{\Delta V_{C1} f_s}$
C_o	$\frac{\Delta i_{L2} I_o T_s}{8V_o \Delta V_o}$	$\frac{V_o \delta_{1,max}}{8\Delta V_{C_o} L_2 f_s^2}$

Observa-se que na proposta deste estudo as fórmulas de D e δ_1 possuem o mesmo denominador, isso simplifica a operação e construção desse circuito dado que as correntes a serem monitoradas para efeito de controle são as mesmas para ambos os ciclos. Em termos práticos, são menos sensores a serem incorporados ao circuito.

O coeficiente K^1 na fórmula desenvolvida para i_{L1} no primeiro estudo é definido como *Coeficiente Marginal de Armazenamento de Energia*, e expressa o quanto de energia restará no indutor após um ciclo completo (AGUIAR, 2019). Do ponto de vista matemático, as fórmulas para a corrente do indutor L_1 são equivalentes, porém, não é muito simples definir um significado mais prático para K que ajude a explicitar os desdobramentos operacionais do circuito a partir da manipulação dessa variável, pois o encapsulamento das demais variáveis neste coeficiente pouco auxilia para expor a problemática relacionada à condição de descontinuidade da corrente do indutor de desacoplamento, que motivou a criação do conceito de Margem de Segurança apresentado neste trabalho. Portanto, a

¹ $K = \frac{L_1 \omega (I_{Lmax})^2}{P_o} - 1$, sendo $K > 1$

partir desse entendimento, optou-se por manter a fórmula da corrente do indutor com a variável \bar{I}_{L_1} explicitada, a qual representa um grau de liberdade para eventuais ajustes via sistema de controle dentro da lógica apresentada na equação 2.17. As demais fórmulas desenvolvidas neste trabalho para os outros componentes armazenadores de energia se diferenciam pelo completo desenvolvimento analítico (o que implica que não será necessário plotar gráficos e fazer inspeção visual na fase de projeto dos componentes) para os valores máximos e mínimos definidos no desenvolvimento das fórmulas.

As principais contribuições desenvolvidas e apresentadas nesta seção ao primeiro estudo do retificador Zeta com desacoplamento de potência são:

- Um roteiro de projeto de L_1 a partir de demonstração matemática e discussão de novas considerações: introdução aos conceitos de *margem de segurança* e indutância crítica;
- A dedução de uma fórmula aproximada para o valor da corrente RMS i_{C_1} , que é importante para a devida seleção desse componente;
- Dedução das equações mais precisas para projeto do indutor L_2 , capacitor C_1 e C_o .

3 Conversor Zeta Intercalado com Desacoplamento de Potência

Conforme já apresentado na seção anterior, a adição de mais uma chave no retificador baseado no conversor Zeta, como apresentado na Figura 38, viabiliza a aplicação de uma modulação PWM capaz de desacoplar a potência oscilatória sem que, para esse fim, haja acréscimos de elementos reativos à topologia original.

No entanto, uma limitação desse retificador está relacionada ao aumento da corrente no indutor de desacoplamento dado um aumento na transferência de potência constante para a carga. Isso implica que quanto maior a potência a ser entregue pelo conversor, mais volumoso e mais pesado será o indutor de desacoplamento, seja pelo motivo de aumentar a sua autoindutância (e, em consequência, o número de espiras da bobina) em prol de diminuir o valor de sua corrente pico a pico ou pelo motivo de aumentar a sua corrente média \bar{I}_{L_1} (e, em consequência, a seção transversão do fio da bobina e o volume do núcleo toroidal) em prol de sempre manter a margem de segurança necessária para a devida operação do circuito. Além disso, correntes elevadas circulando entre os elementos contribuem para reduzir o rendimento do conversor devido ao aumento das perdas de potência por efeito joule e pelo chaveamento. Por isso, cargas com tensões nominais elevadas e baixas correntes são, do ponto de vista teórico, mais indicadas para eventuais aplicações envolvendo a célula da topologia estudada na seção anterior.

Por isso, busca-se também analisar nesta proposta de dissertação um retificador do tipo intercalado com n células da topologia Zeta apresentada na seção 2, sob a perspectiva de que essa estrutura seja mais eficiente no contexto ao qual se aplicará o mesmo conceito de desacoplamento de potência já descrito.

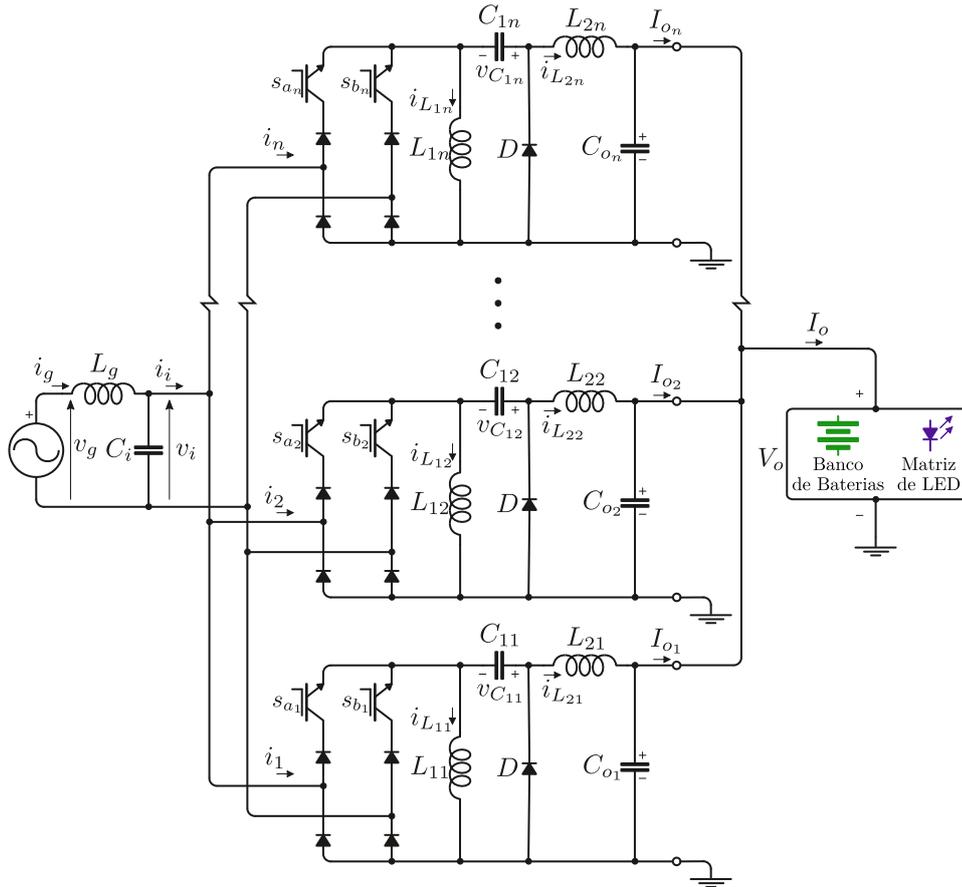
3.1 Topologia proposta do retificador Zeta intercalado monofásico com desacoplamento de potência

A principal perspectiva com essa nova estrutura é que, a partir da possibilidade de dividir a potência processada entre as n células, correntes com menores magnitudes fluem nos n indutores de desacoplamento. Como as perdas por efeito joule em cada célula estão relacionadas com o quadrado da corrente, espera-se o aumento da eficiência do conversor quando comparado com a célula base da topologia.

Estruturas intercaladas podem elevar a componente de alta frequência da corrente na entrada da ponte retificadora para muito além da frequência de chaveamento. Isso

também é um ponto de investigação deste trabalho, pois com o aumento da frequência desse sinal, pode-se projetar um filtro com frequência de ressonância mais elevada, viabilizando, dessa forma, o uso de capacitores e indutores menos volumosos para o filtro de entrada. A Figura 48 apresenta a configuração com n células de retificadores baseados na topologia Zeta alimentadas por uma única fonte.

Figura 48 – Retificadores Zeta com desacoplamento de potência formando uma estrutura *interleaved*



Fonte: Figura do Autor

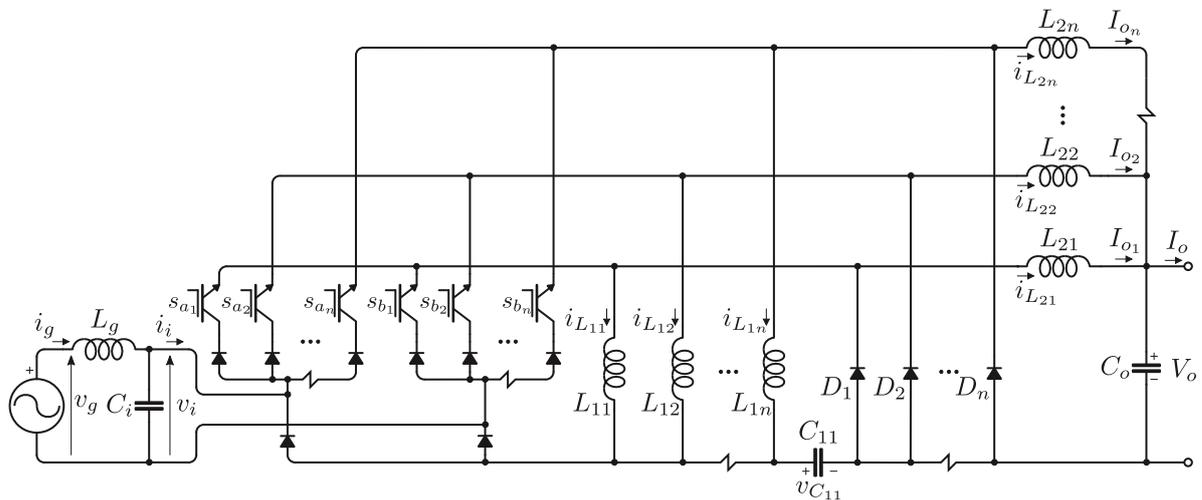
O estudo proposto para esse retificador não vai investigar efetivamente o circuito tal como apresentado na Figura 48. Essa imagem serve de auxílio para se fazer um paralelo com a versão do circuito ilustrado na Figura 49, que de fato é objeto de análise desta proposta de dissertação. Observa-se na versão apresentada na Figura 49 que um único capacitor de acoplamento, C_1 , é utilizado. Além disso, a redução da quantidade de diodos dos braços das pontes retificadoras relaciona-se com a quantidades de células de acordo com a equação (3.1).

$$r_D = 2(n - 1) \tag{3.1}$$

em que n é o número de células que compõe o retificador e r_D é o número de diodos que são reduzidos quando se compara a topologia da Figura 48 com a topologia proposta na Figura 49. É preciso levar em consideração que essa redução dos semicondutores implica

que os diodos inferiores do estágio de retificação devem ser selecionados considerando a corrente total que poderá fluir através deles, supondo o caso em que todas as chaves S_{ax} ou S_{bx} estarão ligadas.

Figura 49 – Conversor Zeta intercalado com n células



Fonte: Figura do Autor

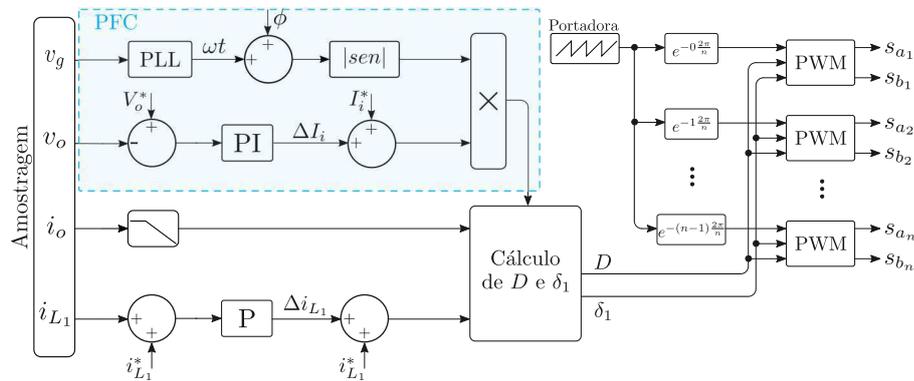
Retomando o que já foi descrito na fundamentação teórica, para essa topologia, defasando-se as portadoras dentro de um período de chaveamento em $2\pi/n$ rad, a corrente de saída entregue por cada célula terá magnitude dividida por n e, assim como a corrente de entrada, terá suas componentes de alta frequência n vezes mais elevada em relação àquela que seria entregue por uma única célula. Em resumo, a partir dessas características gerais das topologias intercaladas, as hipóteses a serem analisadas são:

1. O funcionamento dessa arquitetura intercalada após a redução dos semicondutores do estágio de retificação;
2. Ganho de eficiência dessa topologia quando comparada ao funcionamento de sua célula para um mesmo patamar de carga;
3. Redução do filtro de entrada quando comparada ao funcionamento de sua célula para um mesmo patamar de carga; e
4. Redução do capacitor de saída quando comparada ao funcionamento de sua célula para um mesmo patamar de carga.

3.2 Sistema de Controle Para a Topologia Proposta

O sistema de controle a ser empregado busca, de forma similar ao apresentado na subseção 1.1.1, realizar a correção do fator de potência do retificador, impor a corrente

Figura 50 – Diagrama de controle a ser empregado para acionamento das chaves do retificador proposto



Fonte: Figura do Autor

no indutor para que ocorra o desacoplamento de potência e manter a tensão na saída constante. A Figura 50 mostra o diagrama de controle utilizado.

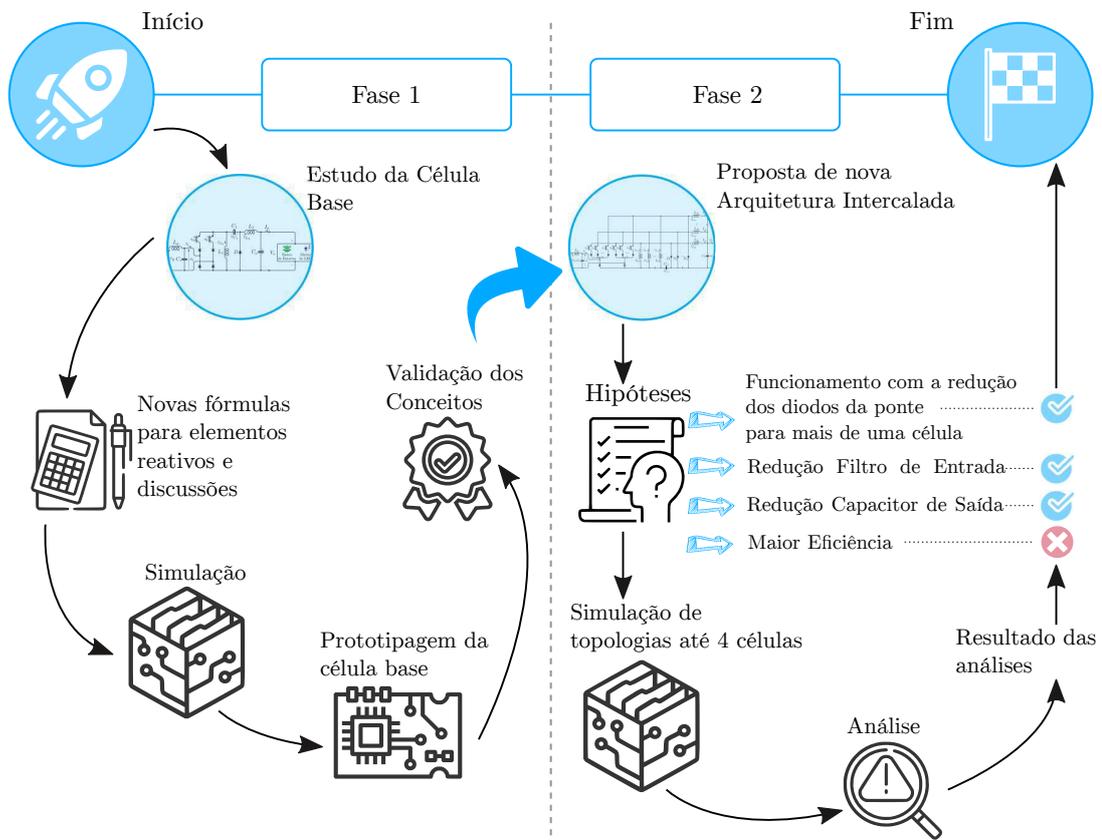
O sistema de controle monitora 4 variáveis: tensão de entrada, tensão de saída, corrente de saída e a corrente em um indutor de desacoplamento. Busca-se criar uma referência de corrente i_i em fase com a tensão de entrada, corrigir sua amplitude via controlador proporcional-integral para manter a tensão de saída constante e, via controle proporcional, aplicar uma correção na corrente de referência do indutor de desacoplamento. Todas essas variáveis entram nos cálculos dos ciclos de trabalho D e δ_1 , que serão comparados com portadoras (ondas dente de serra) igualmente defasadas dentro de um período de chaveamento, gerando, por fim, o acionamento das chaves de cada célula da topologia conforme ilustrado na Figura 43.

4 Resultados de Simulações e Experimentos

Durante a realização do estudo apresentado na seção 2, buscou-se validar na prática, a partir do primeiro desenvolvimento matemático apresentado em (AGUIAR, 2019) somado aos refinamentos matemáticos realizados neste trabalho e maior clareza sobre limitações físicas da topologia, o funcionamento da célula básica da Figura 38. Em seguida, buscou-se analisar via simulação os primeiros resultados da topologia intercalada (*interleaved*) proposta.

A discussão dos resultados experimentais e simulados só é possível porque muitas outras etapas foram cumpridas durante o processo de pesquisa. Por isso, com intuito de sintetizar todo o escopo de trabalho relacionado a esta dissertação, o infográfico da Figura 51 deve servir como uma referência a qual mantém de forma organizada as etapas da pesquisa

Figura 51 – Infográfico das etapas da pesquisa



Fonte: Figura do Autor

Nos subtópicos a seguir, são apresentadas e discutidas as simulações e experimentos realizados.

4.1 Simulações e experimentos com a célula básica do Retificador Zeta com Desacoplamento de Potência

Os componentes utilizados no projeto experimental dessa célula estão relacionados na Tabela 4. O sistema de controle programado no DSP (*Digital Signal Processor*) para acionamento das chaves foi o mesmo indicado na Figura 50 deste trabalho, para $n = 1$.

Tabela 4 – Componentes do Retificador Zeta com desacoplamento de potência para $P_o = 87$ W, $V_o = 50$ V, $V_i = 100$ V e $\phi = 0$ rad de acordo com (AGUIAR, 2019)

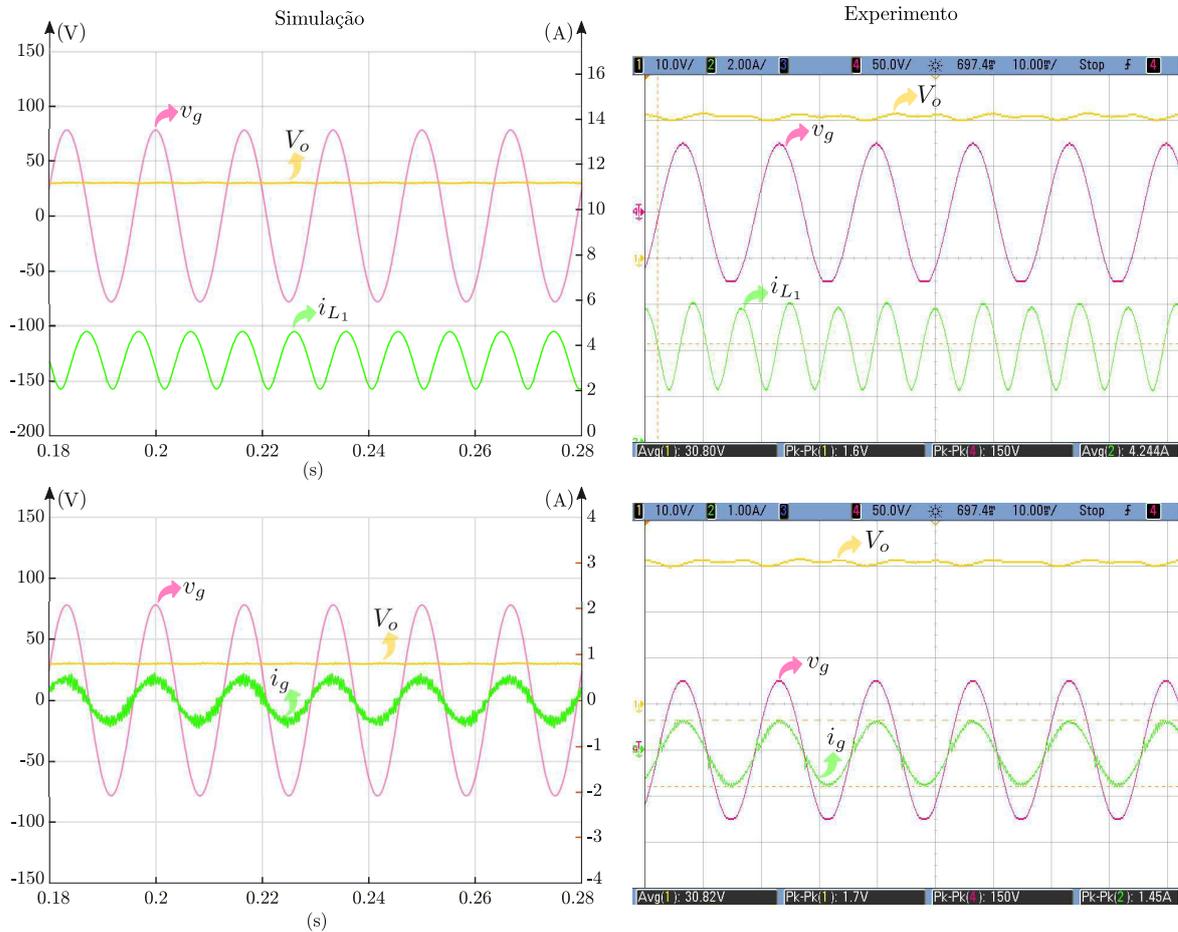
Componente	Valor ou Referência
Indutor de Desacoplamento (L_1)	3 mH
L_2	3,9 mH
C_1	2,2 μ F
C_o	2,2 μ F
Diodos	12TQ200
Transistores	IRFP240

Os experimentos foram realizados aplicando-se inicialmente níveis baixos de tensão de entrada e colocando-se uma pequena carga na saída (em média 9 W). Na prática, verificou-se que os testes não puderam ser realizados para uma potência de saída mais elevada porque o indutor de desacoplamento disponível para a montagem do circuito entrava em forte saturação para correntes acima de 9 A, e o valor máximo teórico da corrente para esse indutor estava previsto em 14 A. Tentou-se substituir o indutor L_1 de 3 mH por outro de 5 mH para viabilizar o decréscimo do valor médio de sua corrente, porém, mesmo após essa substituição, não foi possível realizar experimentos bem sucedidos para níveis de potência acima de 10 W.

Apesar disso, a partir dos recursos disponíveis no momento do experimento, conseguiu-se validar os conceitos associados ao estudo do retificador Zeta com desacoplamento de potência. Para isso, manteve-se a potência da carga em 9 W, optou-se por diminuir o nível de tensão de entrada e da saída, conforme pode ser observado na Figura 52, em que têm-se na coluna da esquerda as simulações para uma tensão de entrada de $53 V_{rms}$ (ou $V_i = 75$ V) e 30 V na saída. Na coluna da direita os respectivos experimentos para esse ponto de operação.

Nota-se que as correntes de entrada e do indutor L_1 possuem, na prática, maiores amplitudes. Esse aumento é resultado da resposta do sistema de controle que incrementa a corrente de entrada para compensar as perdas que não são idealmente previstas em simulação. Pode-se observar na Figura 53 o protótipo construído para realização dos

Figura 52 – Resultados simulados e experimentais da célula básica do retificador Zeta para $V_i = 75$ V, $P_o = 9$ W e $V_o = 30$ V



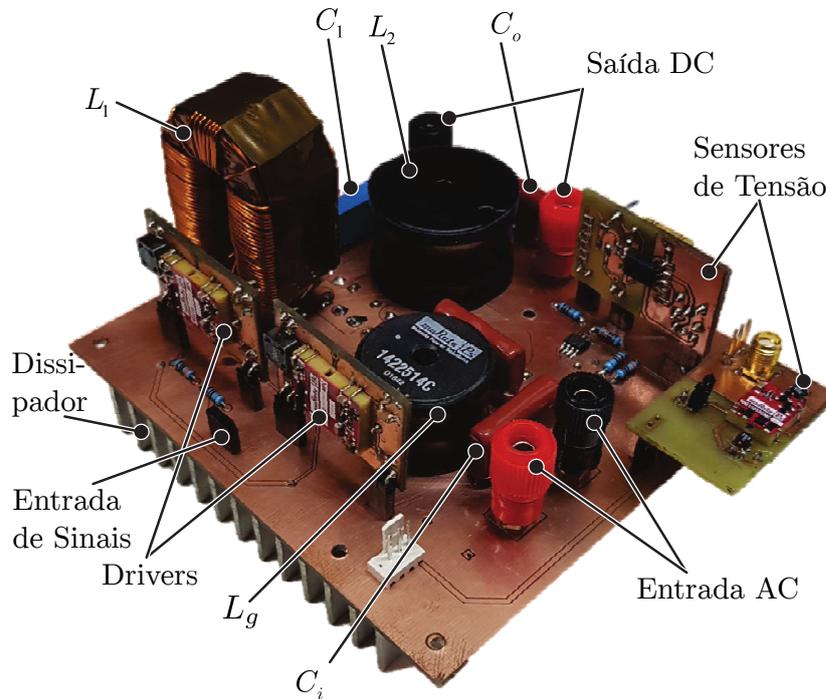
Fonte: Figura do Autor

experimentos.

Entendeu-se com esse experimento, portanto, que havia algum problema com esse novo retificador. Não se sabia o que era exatamente, porém, do ponto de vista teórico não fazia sentido o circuito funcionar apenas com níveis de potência muito abaixo daquele projetado. Por isso, optou-se por refazer uma investigação mais detalhada de todo o estudo teórico dessa topologia, o qual foi exposto na seção 2, que contribuiu com a inserção do conceito de “margem de segurança” para garantir que o retificador não entre no modo de condução descontínua.

De posse das novas considerações e fórmulas matemáticas sintetizadas na Tabela 2, simulou-se em software MATLAB/Simulink a célula básica do conversor Zeta operando com tensão de saída constante em três pontos distintos de carga. O valor $P_o = 200$ W foi considerado, inicialmente, a potência de saída nominal, utilizado como ponto de referência para o cálculo dos componentes reativos da topologia, cujo resultados estão apresentados na Tabela 5. Também considerou-se nas simulações as resistências parasitas de cada elemento reativo, medidos em laboratório.

Figura 53 – Protótipo construído para validação dos conceitos da célula base do Zeta com Desacoplamento de Potência



Fonte: Figura do Autor

Tabela 5 – Elementos reativos do conversor CA-CC Zeta com desacoplamento de potência para $P_o = 200 \text{ W}$, $V_o = 100 \text{ V}$, $V_i = 220 \text{ V}$ e $\phi = 0 \text{ rad}$

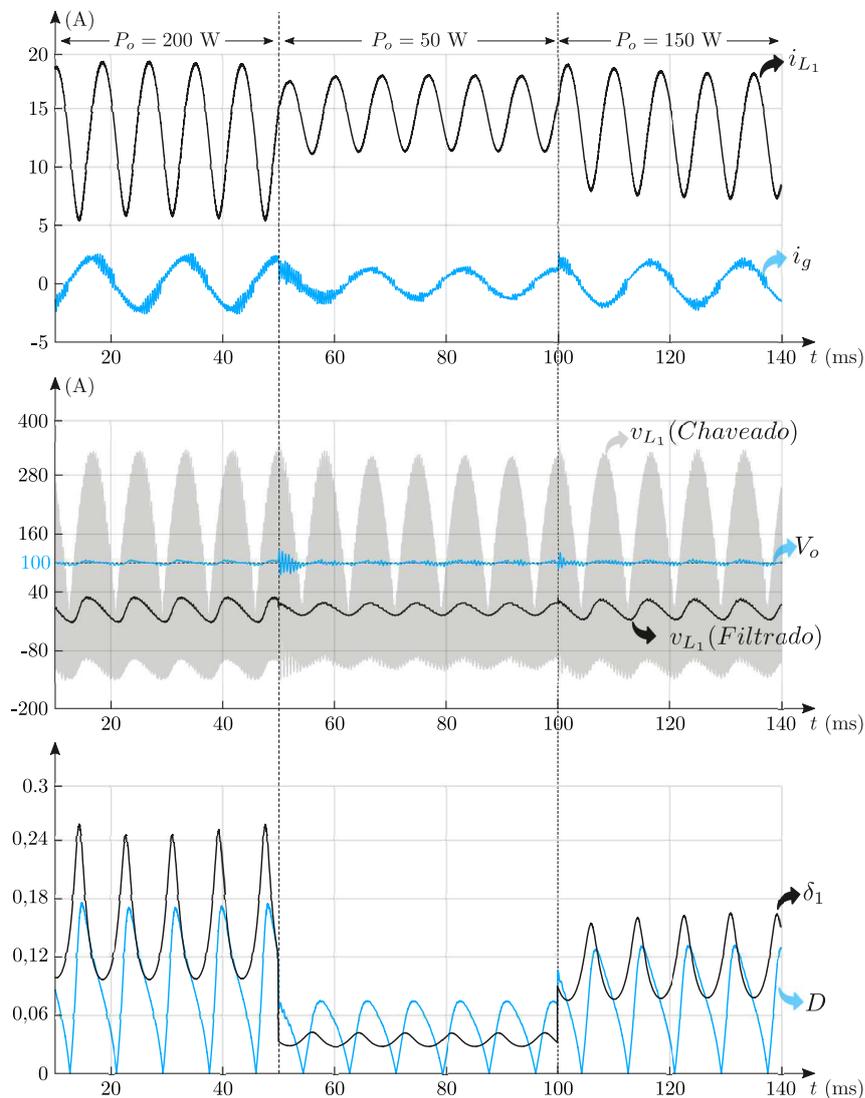
Componente	Valor	Parâmetros de Projeto	Resistência Série
L_1	5 mH	$\bar{I}_{L_1} = 14 \text{ A}$	0.33 Ω
L_2	4,7 mH	$\Delta i_{L_2} = 0,2 I_o \text{ A}$	0.33 Ω
C_1	2,7 μF	$\Delta V_{C_1} = 25 \text{ V}$ e $i_{C_1, rms} \approx 5,4 \text{ A}$	0.3 Ω
C_o	5 μF	$\Delta V_{C_o} = 0,05 V_o \text{ V}$	0.33 Ω

As formas de onda simuladas no projeto dessa topologia básica estão representadas na Figura 54. Percebe-se o respeito ao princípio da “margem de segurança” e que o sistema de controle responde às mudanças de carga, mantendo constante a tensão de saída em 100 V. Dessa imagem, duas considerações relevantes devem ser destacadas:

- Em todos os pontos de operação, dentro de um período de chaveamento, o retificador permanece mais tempo no terceiro estado topológico (roda livre);
- O índice de modulação definido em 2.9 é sempre muito baixo, pois $i_{L_1} \gg I_g$;

Essas duas considerações fomentam uma discussão, até então não abordada, rela-

Figura 54 – Resultados simulados do retificador Zeta com desacoplamento de potência para $P_o = 200$ W, $V_o = 100$ V, $V_i = 220$ V e $\phi = 0$ rad



Fonte: Figura do Autor

cionada à eficiência desse circuito. Pois, se o indutor permanece a maior parte do tempo em roda livre proporcionado pela condução de elementos semicondutores, significa que a maior parte do tempo o perfil de corrente de maior magnitude dessa topologia está gerando perdas por efeito joule. Por isso, considerou-se na simulação da Figura 54 a resistência dreno-fonte dos MOSFET quando estão fechados, que é de $0,05 \Omega$, e a queda de tensão em cada diodo de $0,3$ V. Ao se considerar apenas as perdas por efeito joule nas simulações, tem-se um valor de eficiência em torno de $0,7$. Na Tabela 6 pode-se observar a estratificação das perdas entre os principais elementos do circuito.

Tabela 6 – Perdas por efeito joule simuladas para a célula base do Zeta com desacoplamento de potência

Componentes	Contribuição para as Perdas
Indutor de Desacoplamento L_1	47%
Semicondutores	35%
Filtro de Entrada	12%
Capacitor C_1	4,5%
Indutor L_2	1,5%
Capacitor C_o	0,03%

Esse valor de eficiência é considerado baixo, atualmente. No caso desse retificador em estudo, é preciso bastante cautela ao se considerar o efeito das perdas e seu relacionamento com a instabilidade desse retificador. Caso um projeto prático não foque na eficiência (a partir da escolha dos componentes que ofereçam o mínimo de perdas possível, um bom sistema de refrigeração etc), o seguinte ciclo pode acontecer: aumentando-se levemente a corrente de entrada do circuito com intuito de compensar as perdas e manter a tensão de saída constante, também se aumenta a amplitude da corrente do indutor, e isso implica que muito rapidamente decresce a margem de segurança (isso é análogo a dois carros viajando em sentidos opostos, muito rapidamente eles se encontram porque a velocidade relativa é a soma da velocidade de cada um). Nessa situação, para que não haja risco do circuito entrar no modo de condução descontínua (desestabilizando o sistema), o controlador deve aumentar o nível DC da corrente do indutor, que implicará no aumento das perdas, o qual exigirá da fonte mais corrente para compensá-las e, então, o ciclo recomeça até o circuito atingir em algum momento a instabilidade.

Por isso, é de suma importância que as simulações contemplem as perdas e que o controlador possua um sistema que garanta um ponto de operação estável, mantendo sempre a margem de segurança. A solução mais simples, adotada na simulação da Figura 54, é projetar a corrente média do indutor para o pior caso de carregamento do retificador, e isso fará com que cargas inferiores sejam também pontos de operações estáveis.

4.2 Simulações com o Retificador Zeta Intercalado com Desacoplamento de Potência para $n = 1, 2, 3, 4$

Assim como no caso anterior, o carregamento nominal adotado foi $P_o = 200$ W para $V_o = 100$ V. Na Tabela 7 há um resumo dos dados de interesse para as simulações

realizadas com até cinco células do circuito da Figura 49.

Tabela 7 – Resultados das simulações para Zeta Intercalado com Desacoplamento de Potência para $n = 1, 2, 3, 4$ e 5 .

n	\bar{I}_{L_1} (A)	η (%)
1	13	71,5
2	9	70
3	7	71,7
4	6	69,7

Os resultados da Tabela 7 representam uma quebra de expectativa em relação à hipótese de elevação de eficiência com a topologia intercalada. Pois, apesar da corrente média que flutua nos indutores de desacoplamento reduzir quando se aumenta o número de células, a eficiência mostrou-se praticamente a mesma em todos os cenários.

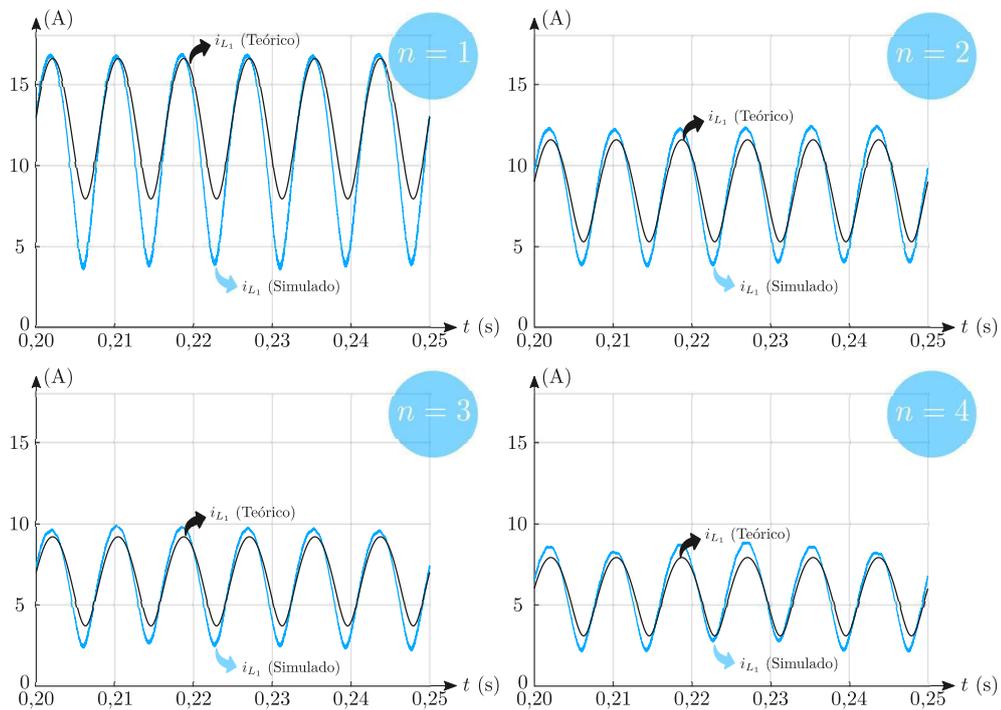
Analisando-se os dados, nota-se que isso ocorre porque a redução da corrente média nos indutores de desacoplamento não é muito significativa, pois, a fórmula matemática que a descreve, conforme pode-se observar na equação 1.21, é não linear, com funções transcendentais. Por isso, mesmo dividindo-se igualmente a potência processada para as n células, a corrente de cada indutor não será simplesmente um valor de referência dividido por n , assim como ocorre nos conversores CC-CC Boost Intercalado apresentado na seção 1.1.3. A eficiência pode chegar a 80% utilizados dispositivos semicondutores mais avançados como SiC (carboneto de silício) ou GaN (nitreto de gálio). Em termos práticos, apesar de existirem no mercado conversores de alta eficiência ($> 85\%$), muitos textos regulatórios não preconizam drivers de alta eficiência para alguns tipos de carga. Um exemplo típico são cargas a LED que, de acordo com o estudo (LI et al., 2016), são divididas em 6 categorias a depender do nível de potência a ser processada pelo conversor. Algumas dessas categorias exigem apenas critério mínimo como fator de potência maior que 0.7 e eficiência acima de 70%.

A Figura 55 apresenta as formas de onda simuladas da corrente de um indutor de desacoplamento comparando seu valor teórico sem considerar as perdas e os valores simulados que contemplam as perdas por efeito joule. Os sinais estão sobrepostos, as diferenças entre amplitude e fase nos sinais simulados são resultados da ação corretiva do sistema de controle em malha fechada..

A Figura 56 mostra as formas de onda simuladas para da tensão de saída e corrente de entrada.

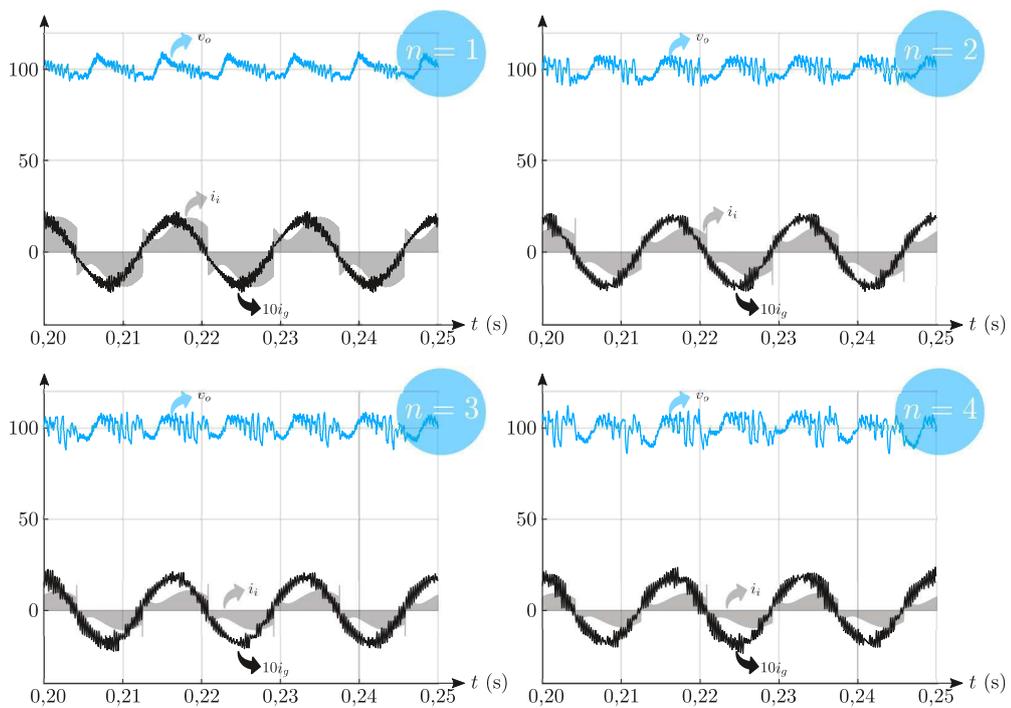
Caso o filtro de entrada não seja reprojetoado a cada nova célula acrescentada na

Figura 55 – Formas de onda simuladas da corrente de um indutor de desacoplamento do Zeta intercalado para $n = 1, 2, 3, 4$.



Fonte: Figura do Autor

Figura 56 – Formas de onda da tensão de saída e corrente de entrada do Zeta intercalado para $n = 1, 2, 3, 4$.



Fonte: Figura do Autor

topologia intercalada, a DHT aumenta quando n cresce. Isso está sintetizado nos dados apresentados na Tabela 8. O conteúdo harmônico da corrente i_i é bastante rico nas baixas

frequências (principalmente em torno de 5 kHz, que coincide com a frequência de ressonância do filtro de entrada projetado para $n = 1$ ¹) e essas componentes ganham relevância mesmo quando o perfil chaveado dessa corrente tem valor de frequência multiplicado por n . Por outro lado, verificou-se que ao se diminuir os valores dos componentes do filtro de entrada quando novas células são acrescentadas a topologia e, dessa forma, aumenta-se a frequência de corte desse filtro, a DHT se mantém em níveis iguais ou inferior ao da célula base. Por esse motivo, a conjectura inicial de que a topologia intercalada poderia possibilitar uma redução do volume do filtro de entrada não só se aplica, como se faz necessária. É importante sempre analisar o conteúdo harmônico da corrente de entrada para cada topologia com n células, mantendo-se o cuidado para que a frequência de ressonância do filtro não coincida com alguma outra componente harmônica significativa presente no circuito.

Tabela 8 – Análise da DHT da corrente de entrada

N	Mantendo o mesmo filtro de entrada		Reprojetando o Filtro de Entrada	
	DHT (%)	Frequência de Corte (kHz)	DHT (%)	Frequência de Corte (kHz)
1	12	5	12	5
2	16	5	13	10
3	24	5	12	10
4	25	5	13	10

Se o *ripple* resultante da tensão de saída fosse oriundo apenas da frequência de chaveamento, com essa topologia intercalada o capacitor de saída também poderia assumir valores bem inferiores ao que é utilizado na topologia base, pois a alta frequência que recai no barramento CC é o valor da frequência de chaveamento vezes a quantidade de células operando no circuito. No entanto, há muitos harmônicos que surgem em baixas frequências devido a interação dos componentes reativos e eventuais ressonâncias entre eles que inevitavelmente aparecem no barramento CC. Por isso, optou-se por manter o mesmo valor de capacitor C_o nas simulações realizadas das n estruturas.

¹ A fórmula da frequência de ressonância do filtro LC é $f = \frac{1}{2\pi\sqrt{L_g C_i}}$. Para o filtro em questão foi utilizado $L_g = 2$ mH e $C_i = 0.5$ μ F

5 Conclusões

Os objetivos deste trabalho foram contribuir com uma análise matemática mais precisa para o estudo do retificador Zeta com desacoplamento de potência, apresentar novas discussões a partir dos resultados simulados e experimentais desse circuito e, por fim, verificar se a proposta do retificador Zeta intercalado monofásico com desacoplamento de potência traz melhorias em relação à primeira estrutura proposta na literatura.

A primeira e principal contribuição para o equacionamento do retificador Zeta foi o conceito de *margem de segurança* estabelecido neste trabalho. Isso é fundamental para que o circuito permaneça sempre no modo de condução contínua, que é uma condição necessária para que haja o desacoplamento de potência. A partir dessas novas considerações, novas fórmulas para os projetos dos elementos reativos foram desenvolvidas.

A discussão estabelecida sobre o efeito das perdas na estabilidade desse retificador é um ponto de destaque, pois elas são relevantes devido às altas correntes (quando comparadas às correntes de entrada e saída do circuito) que circulam no indutor de desacoplamento. O protótipo do retificador Zeta, montado com o principal objetivo de validar experimentalmente os conceitos teóricos apresentados neste trabalho, funcionou adequadamente. Verificou-se na prática a correção do fator de potência e a forma de onda de 120 Hz imposta ao indutor de desacoplamento, conforme indica a teoria.

Devido a potência oscilatória ser quase toda absorvida pelo indutor de desacoplamento, o capacitor de saída, C_o , foi bastante reduzido, de em média $950 \mu\text{F}$ (caso comum de uso do retificador sem técnica ativa de desacoplamento de potência, como indicado em (AGUIAR, 2019)) para $5 \mu\text{F}$. Esse resultado também é importante, porque um menor valor de capacitância viabiliza o uso de capacitor de mica, filme, poliéster ou cerâmico, que são mais confiáveis que os eletrolíticos e de vida útil mais prolongada, conferindo ao retificador maior confiabilidade.

Verificou-se a partir das simulações da topologia intercalada proposta neste trabalho que ela funcionou adequadamente mesmo após a redução dos diodos na etapa de retificação. Além disso, a hipótese sobre o redimensionamento do filtro de entrada com valores menores para L_g e C_i quando se aumenta a quantidade de células intercaladas foi confirmada via simulação. Porém, ao contrário da expectativa inicial, a eficiência do retificador intercalado não aumenta quando comparada a sua célula base atendendo a mesma carga. Isso acontece porque, conforme foi evidenciado pelas simulações, a redução da corrente média de maior magnitude do circuito, que é a dos indutores de desacoplamento, não cai em proporção linear quando se divide a potência a ser processada entre as células intercaladas.

Referências

- AGUIAR, M. **Retificador Zeta com Desacoplamento de Potência**. Dissertação (Mestrado) — Universidade Federal de Campina Grande - UFCG, 2019.
- ALONSO, J. M. et al. Analysis and design of the integrated double buck–boost converter as a high-power-factor driver for power-led lamps. **IEEE Transactions on Industrial Electronics**, v. 59, n. 4, p. 1689–1697, 2012.
- BRIDI, É. et al. Otimização de conversores boost intercalado de alto ganho de tensão e alta eficiência. In: . [S.l.: s.n.], 2020.
- CAO, X.; ZHONG, Q.; MING, W. Ripple eliminator to smooth dc-bus voltage and reduce the total capacitance required. **IEEE Transactions on Industrial Electronics**, v. 62, n. 4, p. 2224–2235, 2015.
- CRUZ MARTINS, D.; DE SOUZA CAMPOS, F.; BARBI, I. Zeta converter with high power factor operating in continuous conduction mode. In: **Proceedings of the 1996 IEEE IECON. 22nd International Conference on Industrial Electronics, Control, and Instrumentation**. [S.l.: s.n.], 1996. v. 3, p. 1802–1807 vol.3.
- FAN, S.; XUE, Y.; ZHANG, K. A novel active power decoupling method for single-phase photovoltaic or energy storage applications. In: **2012 IEEE Energy Conversion Congress and Exposition (ECCE)**. [S.l.: s.n.], 2012. p. 2439–2446.
- FONTES, G. et al. Interactions between fuel cells and power converters: Influence of current harmonics on a fuel cell stack. **IEEE Transactions on Power Electronics**, v. 22, n. 2, p. 670–678, 2007.
- HU, H. et al. A review of power decoupling techniques for microinverters with three different decoupling capacitor locations in pv systems. **IEEE Transactions on Power Electronics**, v. 28, n. 6, p. 2711–2726, 2013.
- JANG, Y.; JOVANOVIĆ, M. M. Interleaved boost converter with intrinsic voltage-doubler characteristic for universal-line pfc front end. **IEEE Transactions on Power Electronics**, v. 22, n. 4, p. 1394–1401, 2007.
- JOZWIK, J. J.; KAZIMIERCZUK, M. K. Dual sepic pwm switching-mode dc/dc power converter. **IEEE Transactions on Industrial Electronics**, v. 36, n. 1, p. 64–70, 1989.
- KJAER, S. B.; PEDERSEN, J. K.; BLAABJERG, F. A review of single-phase grid-connected inverters for photovoltaic modules. **IEEE Transactions on Industry Applications**, v. 41, n. 5, p. 1292–1306, 2005.
- KREIN, P. T.; BALOG, R. S.; MIRJAFARI, M. Minimum energy and capacitance requirements for single-phase inverters and rectifiers using a ripple port. **IEEE Transactions on Power Electronics**, v. 27, n. 11, p. 4690–4698, 2012.
- KURACHI, T.; SHOYAMA, M.; NINOMIYA, T. Analysis of ripple current of an electrolytic capacitor in power factor controller. In: **Proceedings of 1995 International Conference on Power Electronics and Drive Systems. PEDS 95**. [S.l.: s.n.], 1995. p. 48–53 vol.1.

- LACRESSONNIERE, F.; CASSORET, B.; BRUDNY, J. . Influence of a charging current with a sinusoidal perturbation on the performance of a lead-acid battery. **IEE Proceedings - Electric Power Applications**, v. 152, n. 5, p. 1365–1370, 2005.
- LARSSON, T.; OSTLUND, S. Active dc link filter for two frequency electric locomotives. In: **1995 International Conference on Electric Railways in a United Europe**. [S.l.: s.n.], 1995. p. 97–100.
- LEE, C. et al. Efficiency improvement of a dc/ac converter with the power decoupling capability. In: **2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2012. p. 1462–1468.
- LEHMAN, B. et al. Proposing measures of flicker in the low frequencies for lighting applications. In: **2011 IEEE Energy Conversion Congress and Exposition**. [S.l.: s.n.], 2011. p. 2865–2872.
- LI, H. et al. Active power decoupling for high-power single-phase pwm rectifiers. **IEEE Transactions on Power Electronics**, v. 28, n. 3, p. 1308–1319, 2013.
- LI, S. et al. A survey, classification, and critical review of light-emitting diode drivers. **IEEE Transactions on Power Electronics**, v. 31, n. 2, p. 1503–1516, 2016.
- LIU, Y. et al. Control method for the sheppard–taylor pfc rectifier to reduce capacitance requirements. **IEEE Transactions on Power Electronics**, v. 33, n. 3, p. 2714–2722, 2018.
- LIU, Y. et al. A single-phase pfc rectifier with wide output voltage and low-frequency ripple power decoupling. **IEEE Transactions on Power Electronics**, v. 33, n. 6, p. 5076–5086, 2018.
- MARTINS, D. C.; DE ABREU, G. N.; BARBI, I. Zeta-gepae pwm isolated dc/dc converter analysis. In: **in Procaedings of 1st COBEP'91 (Brazilian Power Electronics Conference)**. [S.l.: s.n.], 1991. p. 154–159.
- NI, J. et al. High power factor, low voltage stress, led driver without electrolytic capacitor. In: **2011 International Conference on Power Engineering, Energy and Electrical Drives**. [S.l.: s.n.], 2011. p. 1–6.
- OHNUMA, Y.; ITOH, J.-i. Comparison of boost chopper and active buffer as single to three phase converter. In: **2011 IEEE Energy Conversion Congress and Exposition**. [S.l.: s.n.], 2011. p. 515–521.
- OHNUMA, Y.; ITOH, J.-I. A novel single-phase buck pfc ac–dc converter with power decoupling capability using an active buffer. **IEEE Transactions on Industry Applications**, v. 50, n. 3, p. 1905–1914, 2014.
- PERES, A.; MARTINS, D. C.; BARBI, I. Zeta converter applied in power factor correction. In: **Proceedings of 1994 Power Electronics Specialist Conference - PESC'94**. [S.l.: s.n.], 1994. v. 2, p. 1152–1157 vol.2.
- REZAIIE, H.; RASTEGAR, H.; PICHAN, M. Reduced size single-phase phev charger with output second-order voltage harmonic elimination capability. In: **2016 7th Power Electronics and Drive Systems Technologies Conference (PEDSTC)**. [S.l.: s.n.], 2016. p. 492–497.

ROSSETO, L.; SPIAZZI, G.; TENTI, P. Control techniques for power factor correction converters. **Proc. PEMC'94**, p. 1–9, 1994.

SCHONBERGER, J. A single phase multi-string pv inverter with minimal bus capacitance. In: **2009 13th European Conference on Power Electronics and Applications**. [S.l.: s.n.], 2009. p. 1–10.

SINGH, B. et al. A review of single-phase improved power quality ac-dc converters. **IEEE Transactions on Industrial Electronics**, v. 50, n. 5, p. 962–981, 2003.

SUN, Y. et al. Review of active power decoupling topologies in single-phase systems. **IEEE Transactions on Power Electronics**, v. 31, n. 7, p. 4778–4794, 2016.

SUN, Y. et al. Single-phase current source converter with power decoupling capability using a series-connected active buffer. **IET Power Electronics**, v. 8, 05 2015.

TANG, Y. et al. Decoupling of fluctuating power in single-phase systems through a symmetrical half-bridge circuit. **IEEE Transactions on Power Electronics**, v. 30, n. 4, p. 1855–1865, 2015.

THIYAGARAJAN, A.; KUMAR, S. G. P.; NANDINI, A. Analysis and comparison of conventional and interleaved dc/dc boost converter. In: **Second International Conference on Current Trends In Engineering and Technology - ICCTET 2014**. [S.l.: s.n.], 2014. p. 198–205.

TSE, C. K.; CHOW, M. H. L.; CHEUNG, M. K. H. A family of pfc voltage regulator configurations with reduced redundant power processing. **IEEE Transactions on Power Electronics**, v. 16, n. 6, p. 794–802, 2001.

VASILADIOTIS, M.; RUFER, A. Dynamic analysis and state feedback voltage control of single-phase active rectifiers with dc-link resonant filters. **IEEE Transactions on Power Electronics**, v. 29, n. 10, p. 5620–5633, 2014.

VITORINO, M. **Eletrônica De Potência: FUNDAMENTOS, CONCEITOS E APLICAÇÕES**. APPRIS, 2019. 50 vol.1 p. ISBN 9788547337933. Disponível em: <<https://books.google.com.br/books?id=pUFKzAEACAAJ>>.

VITORINO, M. A. et al. Low-frequency power decoupling in single-phase applications: A comprehensive overview. **IEEE Transactions on Power Electronics**, v. 32, n. 4, p. 2892–2912, April 2017. ISSN 0885-8993.

WANG, R. et al. A high power density single phase pwm rectifier with active ripple energy storage. In: **2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2010. p. 1378–1383.