



Universidade Federal de Campina Grande  
Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica

# **Circuito Integrado de Condicionamento de Sinais Analógicos utilizando Tecnologia 0,5 $\mu\text{m}$ para Sinais Industriais e Biomédicos**

Andrea Costa Barretto

Dissertação de Mestrado submetida à Coordenação dos Cursos do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para obtenção do Grau de Mestre em Ciências no Domínio da Engenharia Elétrica.

Área de Concentração: Processamento da Informação

Raimundo Carlos Silvério Freire, Dr.

Ana Isabela Cunha, Dra.

Orientadores

Campina Grande, Paraíba, Brasil

Agosto de 2011

**FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA  
CENTRAL DA UFCG**

B273c Barretto, Andrea Costa  
Circuito integrado de condicionamento de sinais analógicos utilizando tecnologia 0,5 um para sinais industriais e biomedicos / Andrea Costa Barretto. - Campina Grande, 2011.  
79 f. : il.

Dissertacao (Mestrado em Engenharia Eletrica) - Universidade Federal de Campina Grande, Centro de Engenharia Eletrica e Informatica.

1. Circuito de Condicionamento de Sinais 2. Circuito Integrado 3. Amplificador Diferencial 4. Buffer 5. Conversor Analogico Digital 6. Tecnologia CMOS 0,5 um 7. Dissertacao I. Freire, Raimundo Carlos Silverio, Dr. II. Cunha, Ana Isabela, Dra. III. Universidade Federal de Campina Grande - Campina Grande (PB) IV. Título

CDU 621.3.049.77(043)

CIRCUITO INTEGRADO DE CONDICIONAMENTO DE SINAIS ANALÓGICOS  
UTILIZANDO  $0,5 \mu M$  PARA SINAIS INDUSTRIAIS E BIOMÉDICOS

ANDREA COSTA BARRETO

Dissertação Aprovada em 26.08.2011

*Raimundo Carlos Silvério Freire*

RAIMUNDO CARLOS SILVÉRIO FREIRE, Dr., UFCG

Orientador

*Ana Isabela Araújo Cunha*

ANA ISABELA ARAÚJO CUNHA, Dr., UFBA

Orientadora



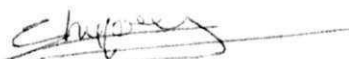
VINCENT PATRICK MARIE BOURGUET, Dr., UFRN

Componente da Banca

*Benedito Antonio Luciano*

BENEDITO ANTONIO LUCIANO, D.Sc., UFCG

Componente da Banca



EMMANUEL BENOÎT JEAN-BAPTISTE DUPOUY, Dr., Pesquisador UFCG

Componente da Banca

CAMPINA GRANDE - PB  
AGOSTO -2011



# Dedicatória

Ao final de mais esta etapa da minha vida e pelos caminhos que me trouxeram até aqui, dedico este trabalho:

Aos meus pais Paulo Sergio Braga Barretto e Leda Dias Costa, por terem provido minha educação e ensinado a vencer os obstáculos da vida, por sempre terem acreditado no meu potencial e estarem ao meu lado.

Aos meus familiares, em especial às minhas avós Therezinha Gesteira Braga Barreto (em memória) e Enoe Dias Costa, pelo exemplo de vida.

Aos meus amigos, pelo carinho, paciência e incentivo nos momentos difíceis desta caminhada.

# Agradecimentos

Ao meu orientador Raimundo Carlos Silvério Freire pelas importantes sugestões e contribuição à minha formação.

À minha orientadora Ana Isabela Araújo Cunha por toda a atenção e esforço contínuo para tornar este trabalho possível.

Ao amigo e colega de trabalho Cleber Vinícius Almeida, idealizador de uma proposta que deu origem a este trabalho, que sempre dispôs de boa vontade no auxílio de dúvidas técnicas e pelo grande incentivo.

Ao amigo e colega de trabalho Luciano Abreu de Lacerda pela grande ajuda concedida para realização deste trabalho, pelo incentivo.

Ao Centro Integrado de Manufatura e Tecnologia, SENAI CIMATEC, no qual agradeço nas figuras de meus superiores Leone Peter Correa Andrade, Diretor Regional do SENAI/BA, e Yan Pedreira de Medeiros, gestor da Área de Microeletrônica e Eletrônica Embarcada, pelas referências estimulantes e por acreditarem no meu potencial.

Aos meus colegas da “família” CIMATEC: Cleber, Daniel, Fulvio, Guilherme, Jamile, Lucas, Luciano, Marcos, Marton, Patrícia, Plínio e Vinícius, que me apoiaram nas atividades do CIMATEC nos meus momentos de ausência.

Aos colegas do Laboratório de Sistemas Integráveis Tecnológico Nordeste, LSITEC Nordeste, em especial a André Abreu e Bruno Bittar, pela ajuda no acesso às ferramentas computacionais necessárias ao desenvolvimento deste trabalho, pelo companheirismo e incentivo.

# Resumo

Apresenta-se neste trabalho a concepção de um circuito de condicionamento de sinais analógicos, a ser integrado em um ASIC (*Application Specific Integrated Circuit*), que atenda aos requisitos de leitura dos conversores analógicos digitais embutidos em microcontroladores de mercado, usados em sistemas de aquisição de dados. Este circuito de condicionamento apresenta uma arquitetura composta por um amplificador diferencial, um circuito *buffer* e um circuito que gera uma tensão de referência a ser disponibilizada externamente para o conversor analógico digital. Duas áreas de aplicação são apresentadas como metas: industrial e médica, mas o chip a ser desenvolvido poderá ser usado em outras aplicações. Desenvolvem-se também os projetos em nível de transistor dos blocos que compõem o circuito. O amplificador diferencial, parte principal do circuito de condicionamento de sinais, é responsável por amplificar e fornecer um nível CC ao sinal a ser medido pelo sistema de aquisição de dados, ajustando-o à faixa de 0 V a um valor de tensão gerado pelo circuito de referência. O circuito *buffer* faz uma cópia da tensão do amplificador diferencial, aplicada em sua entrada, na sua saída e acopla as impedâncias, disponibilizando o sinal à leitura do conversor analógico digital. Utiliza-se a tecnologia *ON Semiconductor CMOS 0,5 μm* para o projeto. Mostram-se neste trabalho os resultados das simulações feitas nos blocos funcionais internos do circuito integrado. A fim de testar o desempenho do circuito de condicionamento completo, apresentam-se os resultados para dois sinais de entrada com amplitudes situadas nos extremos das aplicações consideradas neste trabalho: um sinal da rede elétrica e um sinal de um eletrocardiograma (ECG). Após as simulações, apresenta-se o leiaute com as devidas verificações deste circuito, respeitando os limites tecnológicos imposto pelo *design kit* utilizado. Com os resultados desta dissertação, este projeto será posteriormente fabricado e caracterizado.

Palavras-chave: Circuito de Condicionamento de Sinais, Circuito Integrado, Amplificador Diferencial, *Buffer*, Conversor Analógico Digital, Tecnologia CMOS 0,5 μm.

# Abstract

This work presents the conception of an analog signal conditioning circuit to be integrated into an ASIC (Application Specific Integrated Circuit), which meets the requirements of the digital to analog converter embedded in a microcontroller used in data acquisition systems. The conditioning circuit architecture here presented is composed by a differential amplifier, a buffer circuit and a reference voltage generator. The reference voltage is externally provided to the analog to digital converter. Two areas of application are presented as targets: industrial and medical, but the chip to be developed can be used in other applications. The design of transistor-level blocks that make up the circuit is accomplished. The differential amplifier, the major part of the signal conditioning circuit, is responsible for amplifying and providing a DC level to the signal being measured by the data acquisition system, adjusting it to the range between 0 V and a voltage value generated by a reference circuit. The buffer circuit makes a copy of the differential amplifier output voltage at its own low impedance output, providing the signal to be read by the analog to digital converter. ON Semiconductor CMOS 0.5  $\mu\text{m}$  technology is used for the design. The simulation results for the internal functional blocks of the integrated circuit are shown. In order to test the performance of the complete conditioning circuit, we present the results for two input signals with amplitudes in the extremes of application considered in this work: a power grid signal and an electrocardiogram (ECG) signal. After the simulations, the layout is presented with appropriate verification of this circuit within the limits imposed by the design kit technology used. With the results of this dissertation, this design will be fabricated and subsequently characterized.

Key-words: Signal Conditioning Circuit, Integrated Circuit, Operational Amplifier, Buffer, Analog to Digital Converter, 0,5  $\mu\text{m}$  CMOS Technology.

# Sumário

<b>DEDICATÓRIA.....</b>	<b>2</b>
<b>AGRADECIMENTOS.....</b>	<b>3</b>
<b>RESUMO .....</b>	<b>4</b>
<b>ABSTRACT .....</b>	<b>5</b>
<b>LISTA DE ABREVIATURAS.....</b>	<b>8</b>
<b>LISTA DE SÍMBOLOS.....</b>	<b>10</b>
<b>LISTA DE FIGURAS .....</b>	<b>12</b>
<b>LISTA DE TABELAS.....</b>	<b>16</b>
<b>CAPÍTULO 1 INTRODUÇÃO .....</b>	<b>17</b>
<b>CAPÍTULO 2 CONTEXTUALIZAÇÃO.....</b>	<b>21</b>
<b>2.1 SISTEMAS DE AQUISIÇÃO DE DADOS.....</b>	<b>21</b>
<b>2.2 CONDICIONAMENTO DE SINAIS.....</b>	<b>23</b>
<b>2.3 CONTEXTO DA PROPOSTA.....</b>	<b>26</b>
<b>CAPÍTULO 3 PROJETO DO CIRCUITO DE CONDICIONAMENTO DE SINAIS .....</b>	<b>30</b>
<b>3.1 O CIRCUITO DE CONDICIONAMENTO DE SINAIS.....</b>	<b>30</b>
<b>3.2 PROJETO DO AMPLIFICADOR DIFERENCIAL DE ALTA LINEARIDADE.....</b>	<b>33</b>
<b>3.3 PROJETO DO CIRCUITO BUFFER.....</b>	<b>37</b>
<b>3.4 LEIAUTE.....</b>	<b>43</b>
<b>CAPÍTULO 4 RESULTADOS DE SIMULAÇÃO.....</b>	<b>46</b>
<b>4.1 RESULTADOS DE SIMULAÇÃO DO AMPLIFICADOR DIFERENCIAL DE ALTA LINEARIDADE .....</b>	<b>48</b>
<b>4.1.1 TENSÃO DE DESVIO.....</b>	<b>48</b>
<b>4.1.2 RESPOSTA EM FREQUÊNCIA.....</b>	<b>50</b>
<b>4.1.3 RAZÃO DE REJEIÇÃO DE MODO COMUM – CMRR.....</b>	<b>51</b>
<b>4.1.4 RESPOSTA AO SINAL SENOIDAL.....</b>	<b>52</b>
<b>4.1.5 DISTORÇÃO HARMÔNICA TOTAL – THD.....</b>	<b>54</b>
<b>4.1.6 CONSUMO.....</b>	<b>55</b>



<b>4.2</b>	<b>RESULTADOS DE SIMULAÇÃO DO CIRCUITO BUFFER.....</b>	<b>56</b>
<b>4.2.1</b>	<b>TENSÃO DE DESVIO.....</b>	<b>56</b>
<b>4.2.2</b>	<b>FAIXA DINÂMICA DE ENTRADA – ICMR .....</b>	<b>58</b>
<b>4.2.3</b>	<b>EXCURSÃO DO SINAL NA SAÍDA.....</b>	<b>59</b>
<b>4.2.4</b>	<b>RESPOSTA EM FREQUENCIA.....</b>	<b>59</b>
<b>4.2.5</b>	<b>SLEW-RATE - SR .....</b>	<b>62</b>
<b>4.2.6</b>	<b>CONSUMO.....</b>	<b>63</b>
<b>4.3</b>	<b>RESULTADOS DO CIRCUITO DE CONDICIONAMENTO DE SINAIS .....</b>	<b>64</b>
	<b>CAPÍTULO 5 CONCLUSÕES.....</b>	<b>71</b>
	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>73</b>
	<b>ANEXO I TESTBENCHS UTILIZADOS PARA SIMULAÇÕES .....</b>	<b>77</b>

# Lista de Abreviaturas

A/D	Analógico para digital.
AMP-DIF <sub>AL</sub>	Amplificador diferencial de alta linearidade
AMP-OP	Amplificador operacional.
ASIC	Circuito Integrado para aplicação específica.
Av	Ganho DC.
BSIM3v3	Modelo do MOSFET para simulação SPICE.
CC	Corrente contínua.
CI	Circuito integrado.
CMOS	Metal-Óxido-Silício Complementar.
CMRR	Razão de Rejeição de Modo Comum.
cor1	<i>Corner 1.</i>
cor2	<i>Corner 2.</i>
cor3	<i>Corner 3.</i>
cor4	<i>Corner 4.</i>
cor5	<i>Corner 5.</i>
cor6	<i>Corner 6.</i>
cor7	<i>Corner 7.</i>
cor8	<i>Corner 8.</i>
cor9	<i>Corner 9.</i>
DSP	Processador Digital de Sinais.
ECG	Eletrocardiograma.

EMG	Eletromiograma.
GBW	Frequência de ganho unitário.
ICMR	Faixa dinâmica de entrada.
MEMS	Sensore Micro-Eleto-Mecânicos.
MOS	Metal-Óxido-Silício.
MOSFETS	Transistor de efeito de campo Metal Óxido Silício.
NTC	Coefficiente de temperatura negativa.
OTA	Amplificador operacional de transcondutância.
PM	Margem de Fase.
PTC	Coefficiente de temperatura positiva.
SR	<i>Slew-Rate.</i>
TC	Transformadores de Corrente.
THD	Distorção Harmônica Total.
wcs	Modelo do MOSFET ( Pior caso de velocidade).
wcp	Modelo do MOSFET ( Pior caso de potência).

# Lista de Símbolos

$C_c$	Capacitor de Compensação.
$C_{IN}$	Capacitor de entrada externo ao Circuito Integrado.
$C_L$	Capacitância de carga do circuito de condicionamento de sinais.
$C_{ox}$	Capacitância do óxido de silício.
$\epsilon_0$	Permissividade do vácuo.
$\epsilon_{si}$	Permissividade do silício.
$\epsilon_{ox}$	Permissividade do óxido de silício.
$g_{mn}$	Transcondutância do MOSFET n.
$I_{DS}$	Corrente do MOSFET de Dreno para Fonte.
$I_5$	Corrente no MOSFET $M_5$ do circuito <i>buffer</i> .
$I_6$	Corrente no MOSFET $M_6$ do circuito <i>buffer</i> .
$I_{10}$	Corrente de polarização do circuito <i>buffer</i> .
$K'$	Parâmetro de transcondutância.
$L$	Comprimento de canal do MOSFET.
$M_n$	MOSFET n ( $n = 1$ a $17$ ).
$M_{RES}$	MOSFET operando na região linear como resistor.
$R_1$	Resistor 1.
$R_2$	Resistor 2.
$R_{IN}$	Resistor de entrada externo ao Circuito Integrado.
$R_L$	Resistência de carga do circuito de condicionamento de sinais.
$R_{MOS}$	Resistência dos MOSFETs operando na região linear.

$t_{ox}$	Espessura do óxido.
$\mu_o$	Mobilidade dos elétrons.
$V_{DD}$	Tensão de alimentação positiva.
$V_{DS}$	Tensão do MOSFET de Dreno para Fonte.
$V_{eREF+}$	Tensão de referência externa máxima do conversor A/D.
$V_{eREF-}$	Tensão de referência externa mínima do conversor A/D.
$V_{GND}$	Tensão de terra.
$V_{GS}$	Tensão do MOSFET de Porta para Fonte.
$V_{in}$	Tensão de entrada negativa do AMP-DIF <sub>AL</sub> .
$V_{in\_p}$	Valor de pico máximo da tensão a ser medida pelo sistema de aquisição de dados.
$V_{ip}$	Tensão de entrada positiva do AMP-DIF <sub>AL</sub> .
$V_{iREF+}$	Tensão de referência interna máxima do conversor A/D.
$V_{iREF-}$	Tensão de referência interna mínima do conversor A/D.
$V_{out}$	Sinal de saída do circuito de condicionamento de sinais.
$V_{REF}$	Tensão de referência.
$V_{SS}$	Tensão de alimentação negativa.
$V_{tho}$	Tensão de Limiar
$W$	Largura de canal do MOSFET
$(W/L)_n$	Razão de aspecto do MOSFETs $M_n$ ( $n = 1$ a $17$ )

# Lista de Figuras

Figura 1.1	Diagrama de blocos de um sistema de aquisição de dados.....	18
Figura 1.2	Diagrama de blocos com a descrição da proposta de dissertação.....	19
Figura 2.1.1	Esquema do sistema de aquisição de dados de motores trifásicos para estimação de torque desenvolvido em [1] .....	23
Figura 2.3.1	Primeira proposta de circuito de condicionamento de sinais analógicos a ser integrado. ....	27
Figura 2.3.2	Tentativa de aprimoramento da primeira proposta do circuito de condicionamento de sinais analógicos a ser integrado.....	28
Figura 2.3.3	Tentativa de aprimoramento da primeira proposta do circuito de condicionamento de sinais analógicos a ser integrado.....	29
Figura 3.1.1	Topologia do circuito de condicionamento proposto.....	32
Figura 3.1.2	Condicionamento em amplitude de um sinal elétrico para leitura do conversor A/D.....	33
Figura 3.2.1	Circuito do AMP-DIF <sub>AL</sub> proposto .....	36
Figura 3.3.1	AMP-OP utilizado para o circuito <i>buffer</i> . ....	38
Figura 3.4.1	Leiaute do circuito AMP-DIF <sub>AL</sub> mais os MOSFETs M <sub>RES</sub> .....	44
Figura 3.4.2	Leiaute do circuito de condicionamento de sinais completo.....	45
Figura 4.1.1.1	Tensão de desvio do AMP-DIF <sub>AL</sub> para os <i>corners</i> da tabela 4.1.....	48
Figura 4.1.1.2	Tensão de desvio do AMP-DIF <sub>AL</sub> para os casos da tabela 4.1.1.1.....	49

Figura 4.1.2.1 Resposta em frequência em módulo e fase do AMP-DIF <sub>AL</sub> para os <i>corners</i> da tabela 4.1. ....	50
Figura 4.1.3.1 CMRR do AMP-DIF <sub>AL</sub> para os <i>corners</i> da tabela 4.1.....	51
Figura 4.1.3.2 CMRR do AMP-DIF <sub>AL</sub> para os <i>corners</i> da tabela 4.1, na frequência de 20 kHz.....	52
Figura 4.1.4.1 Análise transiente da resposta do AMP-DIF <sub>AL</sub> a um sinal senoidal de entrada para os <i>corners</i> da tabela 4.1. ....	53
Figura 4.1.4.2 Valores de pico máximo da tensão de saída do AMP-DIF <sub>AL</sub> para cada <i>corner</i> da tabela 4.1. ....	54
Figura 4.1.4.3 Valores de pico mínimo da tensão de saída do AMP-DIF <sub>AL</sub> para cada <i>corner</i> da tabela 4.1. ....	54
Figura 4.1.4.4 Valores do deslocamento CC feito pelo circuito AMP-DIF <sub>AL</sub> . ....	54
Figura 4.1.5.1 Distorção Harmônica Total do AMP-DIF <sub>AL</sub> para os sinais de saída do gráfico da figura 4.1.4.1 nos <i>corners</i> da tabela 4.1. ....	55
Figura 4.1.6.1 Consumo do AMP-DIF <sub>AL</sub> para os <i>corners</i> da tabela 4.1. ....	56
Figura 4.2.1.1 Consumo do AMP-DIF <sub>AL</sub> para os sinais de saída do gráfico da figura 4.1.4.1 nos <i>corners</i> da tabela 4.1. ....	57
Figura 4.2.1.2 Consumo do AMP-DIF <sub>AL</sub> para os sinais de saída do gráfico da figura 4.1.4.1 nos <i>corners</i> da tabela 4.1. ....	57
Figura 4.2.2.1 Faixa de variação de tensão na entrada (ICMR) do <i>buffer</i> para os <i>corners</i> da tabela 4.1.....	58
Figura 4.2.3.1 Excursão do sinal de saída do <i>buffer</i> para os <i>corners</i> da tabela 4.1. ....	59
Figura 4.2.4.1 Resposta em frequência em módulo e fase do <i>buffer</i> para os <i>corners</i> da tabela 4.1. ....	60

Figura 4.2.4.2 Margem de fase do <i>buffer</i> para os <i>corners</i> da tabela 4.1. ....	61
Figura 4.2.4.3 Frequência de ganho unitário do <i>buffer</i> para os <i>corners</i> da tabela 4.1. .....	61
Figura 4.2.5.1 Valores de SR positivo para os <i>corners</i> da tabela 4.1. ....	62
Figura 4.2.5.2 Valores de SR negativo para os <i>corners</i> da tabela 4.1. ....	63
Figura 4.2.6.1 Consumo do <i>buffer</i> para os <i>corners</i> da tabela 4.1.....	64
Figura 4.3.1 Resposta do circuito de condicionamento ( $V_{OUT}$ ) ao sinal de entrada proveniente da rede elétrica ( $V_{IN}$ ) para o caso típico cor1. ....	65
Figura 4.3.2 Resposta do circuito de condicionamento ( $V_{OUT}$ ) ao sinal de entrada ( $V_{IN}$ ) proveniente de um eletrocardiograma (ECG) para o caso típico cor1. ....	66
Figura 4.3.3 Resposta do circuito de condicionamento de sinais à tensão da rede elétrica ( $220 V_{rms}$ ), para $R_{IN} = 6,22 M\Omega$ , nos <i>corners</i> cor1, cor3, cor4, cor6 e cor9. ....	66
Figura 4.3.4 Valores de pico máximo da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3. ....	67
Figura 4.3.5 Valores de pico mínimo da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3. ....	67
Figura 4.3.6 Valores do deslocamento CC da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3. ....	68
Figura 4.3.7 Distorção Harmônica Total do da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3. ....	68
Figura 4.3.8 – Tensão $V_{REF+}$ gerado pelo circuito de referência para os <i>corners</i> cor1, cor3, cor4, cor6 e cor9. ....	69



Figura 4.3.9 – Varredura no valor de $R_{IN}$ para observar a variação dos valores de pico máximo e mínimo do sinal de saída do circuito de condicionamento para o <i>corner</i> cor9. ....	70
Figura 4.3.10 – Resposta do circuito de condicionamento de sinais à tensão da rede elétrica ( $220 V_{rms}$ ), para $R_{IN} = 6,4 M\Omega$ , no <i>corner</i> cor9. ....	70

# Lista de Tabelas

Tabela 2.1.1	Tipos de sinais que podem ser lidos no circuito de condicionamento de sinais proposto. ....	23
Tabela 3.1.1	Faixa de valores de tensão de referência externa positiva ( $V_{REF+}$ ) e negativa ( $V_{REF-}$ ) aceitas pelo conversor A/D embutido no microcontrolador MSP430. ....	31
Tabela 3.2.1.	Razão de aspecto dos transistores e os parâmetros de polarização do circuito AMP-DIF <sub>AL</sub> .....	36
Tabela 3.2.1.	Requisitos para o projeto AMP-DIF <sub>AL</sub> .....	36
Tabela 3.3.1	Requisitos para o projeto AMP-OP utilizado para o circuito <i>buffer</i> . ....	39
Tabela 3.3.2	Parâmetros do modelo típico da tecnologia CMOS 0,5 $\mu$ m para o projeto do AMP-OP utilizado para o circuito <i>buffer</i> . ....	39
Tabela 3.3.3	Constantes do silício para o projeto do AMP-OP utilizado para o circuito <i>buffer</i> . ....	39
Tabela 3.3.4	Razão de aspecto dos transistores do circuito <i>buffer</i> e o valor do capacitor de compensação. ....	42
Tabela 4.1	Relação dos <i>corners</i> selecionados para testar o comportamento do circuito para situações de variação de temperatura, modelo de MOSFET .....	47
Tabela 4.1.1.1	Relação dos casos para as variações de 0,1% e 0,01% nas dimensões do MOSFET M <sub>2</sub> do par diferencial.....	49

# Capítulo 1

## Introdução

No mundo atual, a necessidade de medição, de controle e de monitoramento de grandezas físicas é cada vez mais frequente, especialmente nas áreas industrial e médica. Sistemas de aquisição de dados são desenvolvidos para a obtenção de informações dessas grandezas, com o seu condicionamento, digitalização, processamento, armazenamento e posterior disponibilização ao usuário por meio de interface homem-máquina.

Na indústria, sistemas de aquisição de dados são amplamente usados para medição de temperatura e pressão em processos industriais, medição de parâmetros de equipamentos para manutenção preditiva [1] e medição de tensão da rede elétrica para controle de qualidade, dentre outras aplicações. Na área médica, vários equipamentos biomédicos complexos, baseados em sistemas de aquisição de dados, foram desenvolvidos para medição de sinais vitais, como eletrocardiograma [2], encefalograma, etc.

Os sistemas de aquisição de dados são divididos em alguns blocos ou funções básicas: coleta de informação, condicionamento de sinal, conversão analógico-digital, processamento e armazenamento, e apresentação dos dados ao usuário. Em sistemas embarcados que compõem instrumentos de medição eletrônica, a coleta de informações é feita por um transdutor e disponibilizada para um circuito de condicionamento de sinais, implementado de forma discreta. A parte relacionada à conversão analógico-digital, processamento e armazenamento do sinal é normalmente feita por um microcontrolador [3] ou microprocessador. Na figura 1.1 são apresentados os blocos que compõem um sistema de aquisição de dados típico.

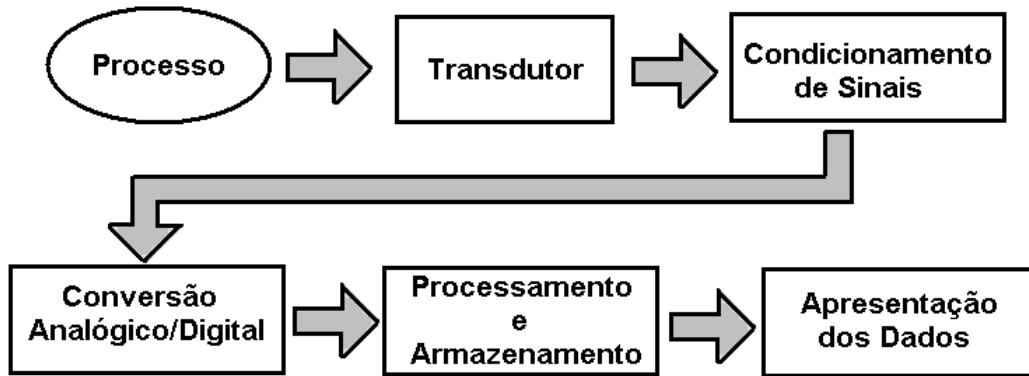


Figura 1.1 – Diagrama de blocos de um sistema de aquisição de dados

Com o avanço da microeletrônica e a miniaturização de dispositivos, criou-se a possibilidade de integração em um mesmo chip de todo um sistema de aquisição de dados. Desta forma, em uma única pastilha de silício é possível integrar circuitos eletrônicos complexos, como é o caso de um sistema de aquisição de dados, ou dos blocos que o compõe. Dentre as vantagens da integração, pode-se citar a redução das dimensões das placas eletrônicas e, conseqüentemente, redução de tamanho de instrumentos eletrônicos, a simplificação de circuitos eletrônicos implementados de forma discreta, o aumento da confiabilidade do circuito pela redução de influências de elementos parasitas e interferências eletromagnéticas e melhoria na manutenção.

Seguindo essa tendência, propõe-se nesta dissertação o projeto de um circuito integrado de parte de um sistema de aquisição de dados que utilize microcontrolador com conversores analógicos digitais (A/D) embutidos. A parte a ser desenvolvida é o circuito de condicionamento de sinais analógicos. Duas áreas de aplicação são apresentadas como metas: industrial e médica, mas o chip a ser desenvolvido poderá ser usado em outras aplicações.

Neste trabalho, portanto, é apresentada uma proposta de circuito de condicionamento de sinais que atenda aos requisitos de leitura dos conversores A/D de microcontroladores de mercado. Para tal, será mostrado o projeto em nível de transistor, dos blocos funcionais internos do circuito integrado, utilizando tecnologia *ON Semiconductor* CMOS 0,5  $\mu\text{m}$ , assim como o leiaute e as devidas simulações e verificações deste circuito. Com os resultados desta dissertação, este projeto será posteriormente fabricado e caracterizado.

Podem-se citar como aplicações para pequenos sinais, o condicionamento de sinais de termopares, de termo-resistores NTC (*Negative Temperature Coefficient*) e PTC (*Positive Temperature Coefficient*), de extensômetros, *shunts*; de sensores por efeito *Hall*; de Transformadores de Corrente (TC) e biosinais (ECG, EMG, etc). Para grandes sinais, pode-se citar o condicionamento do sinal da rede elétrica, na faixa dos 110 a 500 V<sub>RMS</sub>, do sinal de saída de uma das fases de um inversor trifásico que alimentam o estator de motores de indução trifásicos, dentre outros.

Na figura 1.2 tem-se um diagrama de blocos que contextualiza a proposta desta dissertação.

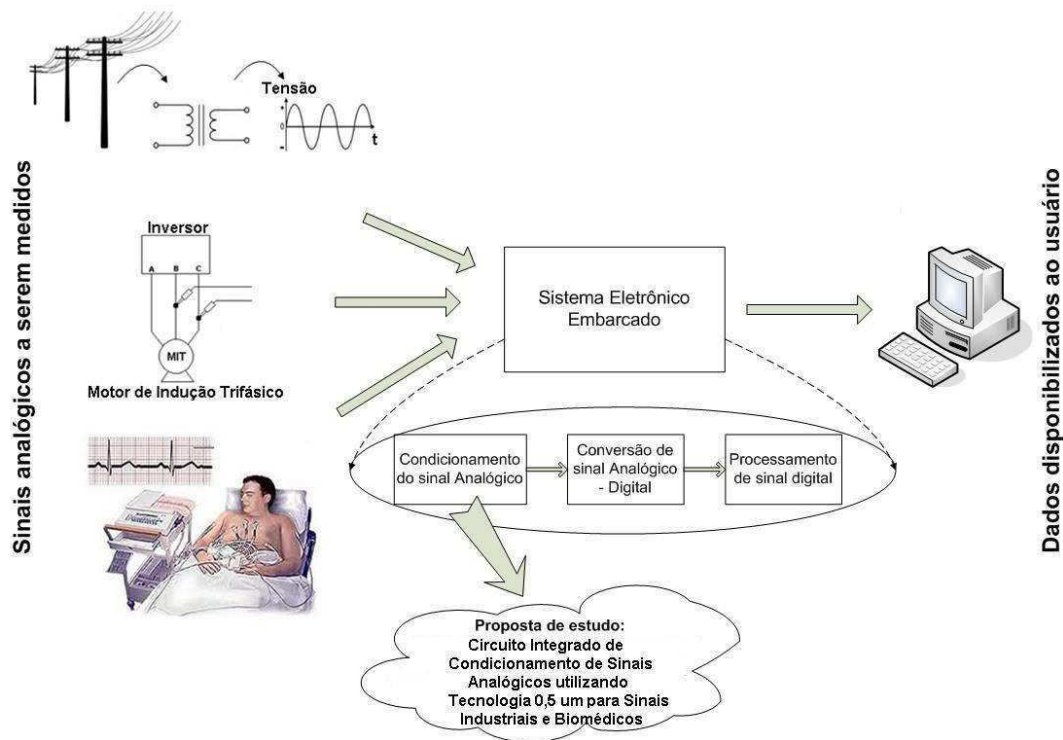


Figura 1.2 – Diagrama de blocos com a descrição da proposta de dissertação

Este trabalho de dissertação está organizado da seguinte forma: no Capítulo 2 é feita uma contextualização da aplicação de circuitos de condicionamento de sinais em sistemas de aquisição de dados, uma abordagem teórica sobre condicionamento de sinais, além de uma descrição da metodologia que levou a se chegar ao circuito a ser integrado.

No Capítulo 3 é apresentado o circuito de condicionamento de sinais proposto e é feita uma abordagem sobre o seu funcionamento. O projeto em nível de transistor e o leiaute dos blocos que compõem este circuito são mostrados. No Capítulo 4 são apresentados os resultados de simulação obtidos após o projeto e uma análise dos mesmos.

Por fim, no Capítulo 5 são feitas considerações a cerca do desempenho do circuito projetado e são apresentadas as conclusões. Seguem-se, então, as referências bibliográficas utilizadas.

# Capítulo 2

## Contextualização

### 2.1 Sistemas de Aquisição de Dados

Um sistema de aquisição de dados deve ser projetado de modo a fornecer informações detalhadas e com a maior exatidão possível sobre um determinado processo. Para isso, é necessário conhecer algumas características das variáveis do processo e as necessidades do usuário, para que este possa avaliá-lo e controlá-lo. Define-se, portanto, o sistema de aquisição de dados como *um conjunto de elementos inter-relacionados que se coloca entre um processo e seu observador, visando à aquisição, análise e apresentação de dados sobre o processo* [3].

Os sistemas de aquisição para aplicação em instrumentação são compostos geralmente por um transdutor, um condicionador, um conversor A/D e uma unidade de processamento. Este conjunto tem a finalidade de prover informações a respeito de uma grandeza física como: temperatura, pressão, força, deslocamento, radiação, etc. Cada uma destas partes do sistema de aquisição pode ser representada como um bloco funcional, responsável por funções específicas e acionado conforme a necessidade.

A medição só é possível quando há elementos capazes de traduzir a grandeza física para uma forma que possa ser quantificada. Geralmente essa forma é um sinal elétrico, que pode também ser posteriormente processado e/ou armazenado. Os

elementos responsáveis por essa tradução são os sensores e transdutores, que geram um sinal elétrico (geralmente de tensão ou corrente), sensível à grandeza que se deseja medir. Os transdutores podem ser formados a partir de sensores que variam alguma grandeza de natureza passiva, como resistência, capacitância ou indutância, em função do mensurando, necessitando, portanto, de alguma excitação externa; ou a partir de sensores geradores, que geram diretamente um sinal elétrico na forma de corrente, tensão ou carga elétrica.

Os sinais elétricos gerados pelos transdutores devem ser ajustados para a faixa de entrada do conversor A/D. Por isso, o segundo bloco do sistema de aquisição é um circuito de condicionamento para a adequação do sinal do transdutor à entrada do conversor. Por meio deste circuito é possível ajustar os mais variados tipos de sinais elétricos, realizando amplificação ou atenuação, filtragem, isolamento ou linearização, a depender de como se encontra o sinal que se deseja processar.

O conversor A/D é responsável por traduzir uma grandeza elétrica analógica numa representação numérica adequada para o tratamento digital. Em certas aplicações de aquisição de dados, implementadas por sistemas embarcados, são utilizados microcontroladores ou microprocessadores nos quais já está embutido o conversor A/D. Na figura 2.1.1, tem-se o esquema do sistema de aquisição de dados de motores trifásicos para estimação de torque desenvolvido em [1], no qual foi utilizado o microprocessador TMS320 da *Texas Instruments*. Nestes sistemas de medição é muito comum que alguns tratamentos sejam feitos no sinal analógico, como a amplificação e a filtragem. Contudo, usualmente, são necessários processamentos adicionais que vão desde a simples obtenção da intensidade do sinal até a execução de algumas manipulações algébricas sobre este. Este é o papel do microcontrolador/microprocessador no sistema, incluindo a função de gerenciamento do armazenamento ou da transmissão para posterior disponibilização dos dados ao usuário.



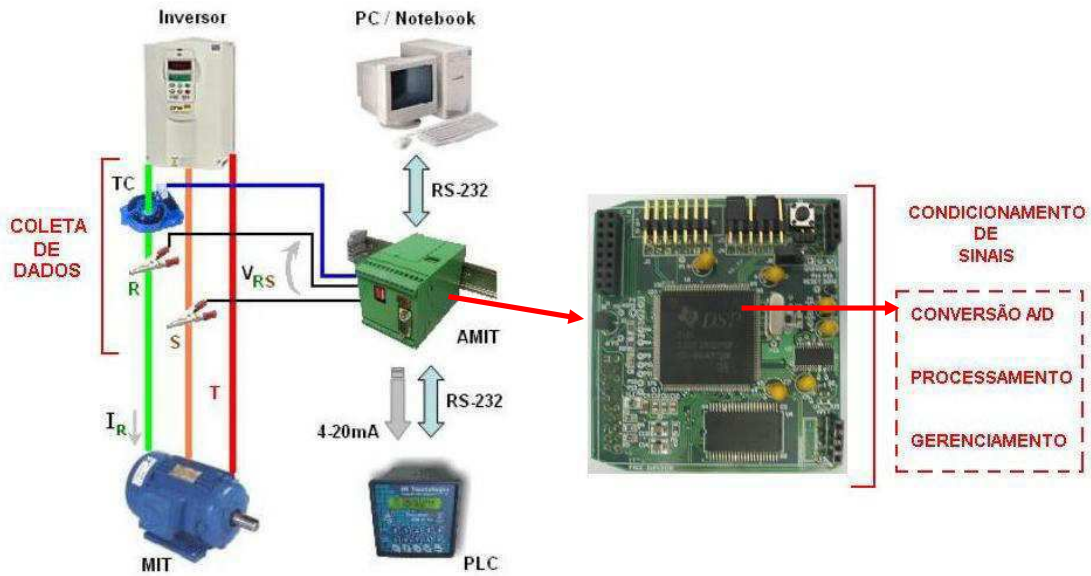


Figura 2.1.1 – Esquema do sistema de aquisição de dados de motores trifásicos para estimação de torque desenvolvido em [1]

Na tabela 2.1.1, tem-se alguns tipos de sinais lidos por sistemas de aquisição de dados [1, 2, 4] e que fazem parte da faixa de sinais que podem ser empregados no circuito de condicionamento de sinais proposto.

Tabela 2.1.1. Tipos de sinais que podem ser lidos no circuito de condicionamento de sinais proposto.

Sinal	Faixa de Amplitude	Faixa de Frequência
Rede elétrica	110 – 380 V <sub>rms</sub>	50 – 60 Hz
Sensor HALL	4 V <sub>pico</sub>	20 – 10 kHz
Eletromiograma (EMG)	1-10 mV <sub>pico</sub>	20 – 20 kHz
Eletrocardiograma (ECG)	1-5 mV <sub>pico</sub>	0,05 – 100 Hz

## 2.2 Condicionamento de Sinais

Os sinais elétricos gerados por transdutores precisam ser apresentados em uma forma aceitável pelo circuito de aquisição de dados. Os circuitos condicionadores de sinais têm um papel importante para este fim e podem amplificar ou atenuar, deslocar

nível, filtrar, linearizar e/ou isolar o sistema para uma medição mais exata e segura [5]. Estas funções são detalhadas a seguir.

A amplificação e atenuação são necessárias, sobretudo, em sistemas de aquisição de dados baseados em conversão A/D. As baixas tensões de pulsação cardíaca captadas pelos eletrodos, por exemplo, precisam ser amplificadas para adequá-las às faixas de conversão dos conversores e melhorar consequentemente a resolução [2]. Pelos mesmos motivos, os sinais da rede elétrica devem ser atenuados.

Algumas vezes, a relação entre os valores máximos da grandeza a ser medida e da entrada do conversor A/D não é a mesma relação entre os valores mínimos, portanto, a adequação do sinal à faixa de entrada do conversor A/D não pode ser feita apenas por amplificação. Nestes casos, desloca-se o nível do sinal e amplifica-se ou atenua-se adequadamente para se cobrir apenas a faixa de interesse, cobrindo todos os valores que necessitam ser medidos. Sendo assim, obtém-se uma melhor exatidão na aquisição dos dados. Por exemplo, para se fazer o processamento de dados de tensão coletados da rede elétrica utilizando certos tipos de microcontroladores de mercado, é necessário que o sinal seja condicionado na faixa de 0 V a 3 V, devido às características do conversor A/D embutido no mesmo. Desta forma, considerando um sinal de rede elétrica de 220 V<sub>RMS</sub>, com valores de pico máximo de + 311 V e mínimo de -311 V, após a atenuação, o sinal deve ter seus valores de tensão de pico máximo e mínimo deslocados para 3 V e 0 V, respectivamente.

A filtragem é uma função muito importante do condicionador de sinais na aquisição de dados, pois muitas vezes o espectro de frequência do sinal na saída dos transdutores pode ser muito mais amplo que o de interesse ou pode ter a presença de sinais de interferência. Desta forma, usam-se filtros para limitar a banda dos sinais. Por exemplo, após a coleta do sinal cardíaco pelos eletrodos, é necessária uma filtragem passa-baixa com frequência de corte de 40 Hz para o processamento apenas do sinal de interesse, excluindo interferências de sinais de 60 Hz da rede elétrica [2].

A isolação é outra função comum de condicionadores de sinais. Alguns processos monitorados podem conter transitórios de alta tensão, que podem causar risco ao sistema de medição e aos operadores, havendo necessidade de isolação entre o processo e o sistema de aquisição de dados.

Uma razão adicional para o uso de circuito de condicionamento de sinais é a diminuição do efeito das tensões de modo-comum. Ou seja, podem ocorrer alguns problemas quando os sistemas de medição e o de aquisição possuem alguma diferença em relação à referência de terra. Essa diferença pode causar erros na representação do sinal adquirido, ou, se for muito elevada, danos ao sistema de medição. Com o uso do condicionamento, as tensões de modo comum são atenuadas e os dados são adquiridos com mais exatidão.

Em alguns casos, é necessário fazer uma linearização no condicionamento de sinais. A linearização pode ser analógica, em que se utiliza um circuito que tenha uma característica inversa à do transdutor; ou numérica, em que o sinal de saída do transdutor é convertido para a forma digital e suas amostras são linearizadas a partir de um processamento digital utilizando equações ou tabelas. A resolução, neste caso, está diretamente relacionada com o número de pontos da tabela e a resolução do conversor A/D.

Existem vários tipos de topologias de circuitos de condicionamento de sinais para executarem essas funções. É bastante comum, em um sistema de aquisição de dados, que estes circuitos de condicionamento sejam implementados em forma de circuito eletrônico discreto [1,2,6].

Em [7] foi proposta uma arquitetura de circuito de condicionamento de sinais para fazer o ajuste programável de ganho e deslocamento DC utilizando microcontrolador com conversor A/D e conversor D/A de 12 bits embutidos. Esta arquitetura é implementada de forma discreta e é constituída de dois estágios, com ganhos de 1 a 1024, podendo operar com entrada diferencial ou *single-ended* a partir do sinal proveniente da saída do sensor. O microcontrolador é responsável por gerar as tensões para o deslocamento CC e ajustar o valor dos ganhos nos dois estágios.

Em [8] foi proposta uma arquitetura com função similar a [7], mas implementada com uma topologia diferente. Nesse caso, foi projetado um circuito de dois estágios para fazer o ajuste programável de ganho e deslocamento CC, no qual o ganho programável é obtido por meio de capacitores chaveados. Esta arquitetura foi implementada em um circuito integrado, utilizando tecnologia TSMC 0,35  $\mu\text{m}$ .

De uma forma geral, os estudos e circuitos desenvolvidos a cerca do condicionamento de sinais baseiam-se em arquiteturas que possuem ajuste programável de ganho, normalmente utilizando a técnica de capacitores chaveados [9, 10], e no uso de muitos amplificadores operacionais [11, 12]. Estas topologias podem ser aplicadas para medição de sensores MEMS (*Micro-Electro-Mechanical Sensors*), bem como a acelerômetros, sensores de pressão, células de carga, sensores de umidade. Contudo, o uso de vários amplificadores operacionais e intrincados esquemas de *clocking* aumenta a complexidade do projeto, o tamanho do *die* e o consumo de energia, o que é inadequado, por exemplo, para aplicações de sistemas sem fio [13].

O circuito proposto neste estudo tem por função fazer o condicionamento por meio da atenuação ou amplificação, filtragem e deslocamento de nível CC do sinal proveniente de um sensor ou transdutor. Ele deverá ser projetado em um circuito integrado utilizando tecnologia *ON Semiconductor* CMOS 0,5  $\mu\text{m}$ . A vantagem deste circuito é a possibilidade de ajuste do ganho e da filtragem por meio de resistores e capacitores externos ao chip, com uma topologia simples e que ocupa uma área de silício reduzida. Nele também é gerada internamente uma tensão de referência a ser disponibilizada ao conversor A/D embutido no microcontrolador. Em outras palavras, o chip se adéqua a diversos sistemas de aquisição de dados e seus requisitos de condicionamento são próprios para o processamento da informação. A seguir é feita uma descrição da metodologia de estudo utilizada para se chegar ao circuito de condicionamento de sinais proposto, partindo desde a primeira concepção de circuito proposta até o circuito final projetado.

## **2.3 Contexto da Proposta**

O desenvolvimento deste trabalho de dissertação surgiu pela necessidade do uso de circuitos de condicionamento de sinais em projetos de sistemas eletrônicos embarcados de aquisição de dados desenvolvidos no SENAI CIMATEC – Salvador, Bahia. São exemplos os seguintes projetos: Equipamento para estimação de torque em

motores de indução trifásico, [1]; Eletrocardiograma didático, [2]; Equipamento para medição de resistência do solo.

Desta forma, este trabalho teve início com o desenvolvimento de uma primeira proposta de circuito de condicionamento de sinais analógicos a ser integrado, utilizando um amplificador de diferenças e um circuito de deslocamento de nível destacados na figura 2.3.1 por 1 e 2, respectivamente [14]. Este circuito foi projetado em nível de transistor, na tecnologia *ON Semiconductor CMOS 0,5 μm*. Foi implementada uma arquitetura *folded-cascode* para o amplificador operacional (AMP-OP) do circuito 1 [15, 16, 17], um amplificador operacional de transcondutância (OTA) Miller em 2 [18] e utilizaram-se resistores de polissilício em  $R_1$  e  $R_2$ . Os resistores  $R_{IN}$  e os capacitores  $C_{IN}$  são externos ao chip e são responsáveis pelo ajuste do ganho e da filtragem do sinal de entrada, respectivamente. No entanto, este circuito não é ideal no que se diz respeito a uma importante busca em projetos de microeletrônica: redução de área de silício. A resistência de folha (*sheet resistance*) do *poly* é  $30 \Omega/$  (ohms por quadrado). Isto significa que se deve utilizar uma tira de polissilício 750 vezes mais longa que larga (uma tira longuíssima) para se conseguir o valor de resistência projetado para  $R_1$  e  $R_2$ , em torno de  $22,5 \text{ k}\Omega$ .

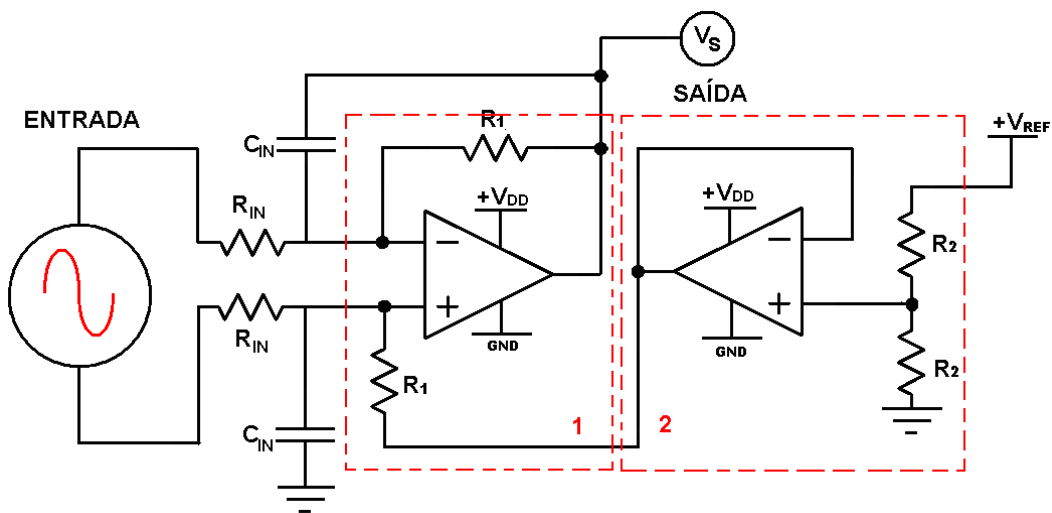


Figura 2.3.1 – Primeira proposta de circuito de condicionamento de sinais analógicos a ser integrado.

Sendo assim, numa tentativa de aprimorar o circuito já desenvolvido e otimizar a área do circuito, iniciaram-se estudos para a substituição dos resistores  $R_1$  e  $R_2$  por

MOSFETS operando na região linear da característica  $I_{DS} \times V_{DS}$ , que utilizam muito menos área de silício e se comportam como resistores, nesta região. Na figura 2.3.2 é apresentada uma nova idéia de implementação do circuito inicial proposto. Neste circuito, os resistores  $R_1$  foram substituídos pelos MOSFETS  $M_1$  e  $M_2$  e o circuito de deslocamento de nível, por um circuito *level-shifter* [19], [20]. No entanto,  $M_1$ , devido à configuração do circuito, possui um  $V_{GS}$  variável, gerando uma resistência variável no ramo de realimentação do amplificador de diferenças. Como consequência direta, o sinal de saída deste circuito apresenta uma alta distorção.

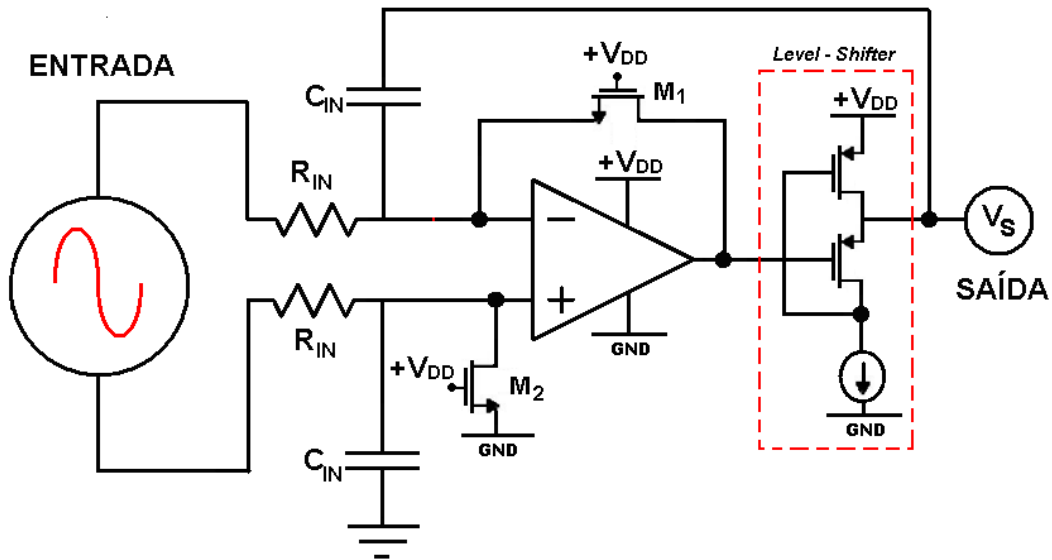


Figura 2.3.2 – Tentativa de aprimoramento da primeira proposta do circuito de condicionamento de sinais analógicos a ser integrado.

Uma vez que o uso de MOSFET no ramo de realimentação do amplificador de diferenças não seria conveniente, optou-se por estudar outra configuração de circuito. Desta forma, utilizaram-se os MOSFETs operando como resistores para fazer a redução de tensão na entrada de um amplificador diferencial de modo que o seu sinal de saída já se enquadrasse na faixa de tensão necessária à leitura do microcontrolador. Para garantir um adequado acoplamento de impedâncias e ganho de potência estável do sinal de saída do circuito, utilizou-se um *buffer*, uma vez que o amplificador operacional tem uma boa resposta em frequência. Este circuito é apresentado na figura 2.3.3.

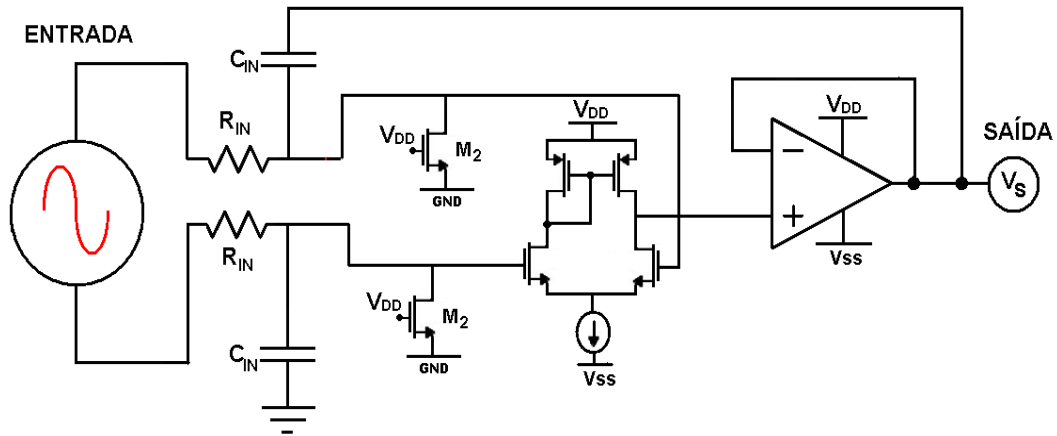


Figura 2.3.3 – Segunda tentativa de aprimoramento da primeira proposta do circuito de condicionamento de sinais analógicos a ser integrado.

Embora esta solução já apresente comportamento satisfatório para pequenas excursões, adequar a sua saída para níveis de tensão aceitos pelo microcontrolador ocasiona um aumento na distorção do sinal de saída. Portanto, para resolver esta questão e chegar ao circuito definitivo, utilizou-se um circuito de amplificação diferencial de alta linearidade. Detalhes deste circuito serão abordados no Capítulo 3.

# Capítulo 3

## Projeto do Circuito de Condicionamento de Sinais

### 3.1 O Circuito de Condicionamento de Sinais

Para implementar o circuito de condicionamento de sinais em um *ASIC* (*Application Specific Integrated Circuit*), foi proposta uma topologia diferencial de amplificação com amplificador diferencial de alta linearidade (AMP-DIF<sub>AL</sub>) [21-24] associada a um circuito *Buffer* no estágio de saída. Além de efetuar uma filtragem de primeira ordem com mudança de escala configuráveis, o circuito ajusta o sinal de modo que sua excursão fique situada dentro de uma faixa de 0 V a  $V_{REF+}$ , uma tensão positiva determinada pela especificação do conversor A/D [25] embutido no microcontrolador que compõe o sistema eletrônico de medição.

Dentre os microcontroladores de mercado, como plataformas de desenvolvimento adotadas nos projetos de aquisição de dados desenvolvidos na Área de Microeletrônica e Eletrônica Embarcada do SENAI CIMATEC pode-se citar os principais microcontroladores pertencentes à série MSP430 e os DSPs (*Digital Signal Processors*) da série TMS320, ambos da Texas Instruments. Estes dispositivos possuem internamente conversores A/D do tipo sigma-delta, unipolar e com resolução de 12 bits. A tensão de entrada destes conversores A/D pode variar conforme o tipo de referência



de tensão ( $V_{REF}$ ) adotada: caso a referência seja interna ao microcontrolador, a tensão de entrada varia de 0 V a, no máximo,  $V_{iREF+} = +3,0$  V ou  $V_{iREF-} = +3,3$  V, a depender do dispositivo; caso a referência seja externa ao microcontrolador, a tensão de entrada varia de  $V_{REF-}$  a, no máximo,  $V_{REF+}$ , conforme tabela 3.1.1, extraída de [25].

Tabela 3.1.1. Faixa de valores de tensão de referência externa positiva ( $V_{REF+}$ ) e negativa ( $V_{REF-}$ ) aceitas pelo conversor A/D embutido no microcontrolador MSP430.

<b>Parâmetro</b>	<b>Min (V)</b>	<b>Max (V)</b>
$V_{REF+}$	1,4	$V_{DD}$
$V_{REF-}$	0	1,2

O sinal de entrada do circuito de condicionamento será atenuado ou amplificado a depender do tipo de sinal que está sendo medido. Sinais provenientes da rede elétrica, por exemplo, de 220 V que possuem amplitude pico a pico de aproximadamente 622 V, devem ser atenuados e condicionados à faixa de tensão de 0 V a  $V_{REF+}$ . Por outro lado, sinais elétricos vitais coletados de batimentos cardíacos, por exemplo, são da ordem de grandeza de milivolts e devem ser amplificados para se enquadrar à mesma faixa de tensão.

Na figura 3.1.1, apresenta-se o circuito de condicionamento de sinais. A caixa tracejada representa o encapsulamento do circuito integrado (CI) e delimita o circuito em seu interior. Fora da caixa tracejada estão os componentes externos, responsáveis pela configuração do uso do CI, como os resistores de entrada ( $R_{IN}$ ), que fazem o ajuste da tensão na entrada circuito e os capacitores de entrada ( $C_{IN}$ ), que limitam a banda de operação do circuito. O CI possui três pinos de entrada:  $V_{ip}$ ,  $V_{in}$  e  $V_{GND}$ ; dois pinos de alimentação:  $V_{DD}$  e  $V_{SS}$ ; e dois pinos de saída:  $V_{out}$  e  $V_{REF+}$ . A tensão de alimentação fornecida ao CI é de +2,5 V para  $V_{DD}$  e -2,5 V para  $V_{SS}$  e a tensão de referência positiva ( $V_{REF+}$ ) deve estar situada dentro da faixa expressa na tabela 1.

O circuito de condicionamento de sinais proposto gera duas saídas: a tensão de referência positiva ( $V_{REF+}$ ) para o uso em microcontroladores que aceitam que esta tensão seja disponibilizada externamente ao mesmo, para o funcionamento do conversor A/D interno, e a tensão analógica ( $V_{out}$ ) a ser medida e digitalizada pelo conversor. O circuito amplificador diferencial de alta linearidade, destacado na figura 3.1.1 pelo

número 1, é o responsável por ajustar o sinal de entrada para a faixa de 0 V a  $V_{REF+}$ . A tensão a ser medida pelo CI é inicialmente atenuada pelo divisor de tensão composto por  $R_{IN}$  e a resistência dos MOSFETs operando na região linear,  $M_{RES}$ . Posteriormente, esta tensão aplicada à entrada do AMP-DIF<sub>AL</sub> é amplificada e tem seu nível CC deslocado pelo próprio circuito amplificador diferencial de alta linearidade, de forma que a tensão de saída se enquadre na faixa entre 0 V e a tensão de referência externa positiva  $V_{REF+}$ . Esta tensão de referência positiva, a ser disponibilizada ao microcontrolador, será gerada internamente ao CI pelo circuito divisor de tensão a MOSFETs, destacado na figura 3.1.1 pelo número 2. O sinal de saída do AMP-DIF<sub>AL</sub> é entregue ao circuito *buffer*, destacado na figura 3.1.1 pelo número 3, para, em seguida, ser disponibilizado como a saída do CI. É ilustrado na figura 3.1.2 o funcionamento do circuito de condicionamento de sinais proposto.

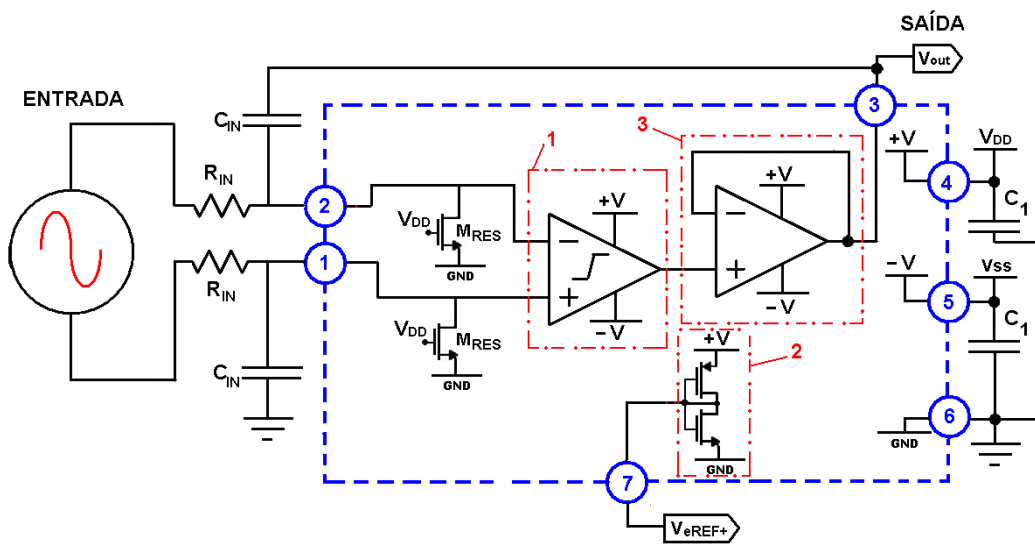


Figura 3.1.1 – Topologia do circuito de condicionamento proposto

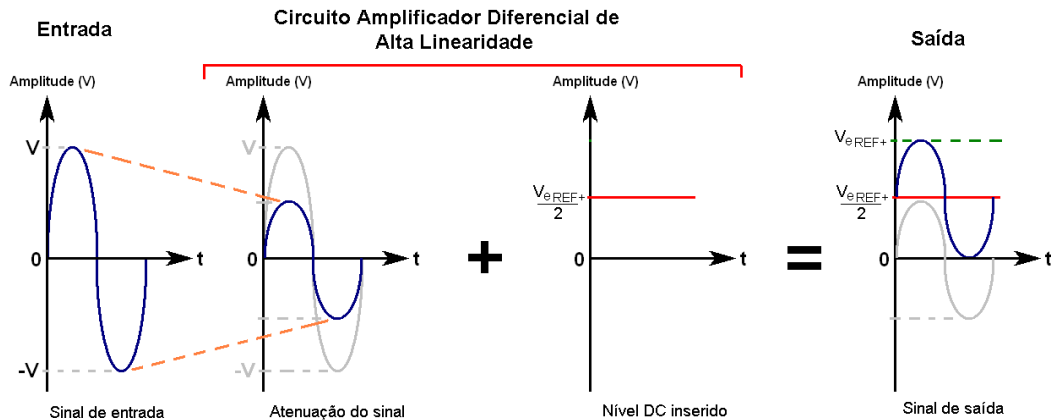


Figura 3.1.2 – Condicionamento em amplitude de um sinal elétrico para leitura do conversor A/D

Portanto, verifica-se como principal função deste circuito a possibilidade do ajuste, no próprio *chip*, do sinal de saída à entrada dos conversores A/D da maioria dos microcontroladores de mercado. Quando se trabalha na atenuação de sinais para leitura da rede elétrica, por exemplo, há grandes vantagens na utilização deste CI (Circuito Integrado), destacando a redução do peso, da área e do volume com a substituição do uso de transformadores. O circuito descrito possui banda suficientemente larga e CMRR (*Common Mode Rejection Ratio*) suficientemente alta, para as aplicações a que se destina. A frequência de corte poderá ser modificada alterando-se a capacitância de  $C_{IN}$ . Caso esta capacitância seja omitida, a frequência de corte será determinada pelas características dos amplificadores que compõem o circuito.

### 3.2 Projeto do Amplificador Diferencial de Alta Linearidade

O amplificador diferencial de alta linearidade é o bloco interno principal do circuito de condicionamento proposto. Ele é responsável em ajustar o sinal de entrada para a faixa de 0 V a  $V_{eREF+}$  no sinal de saída, com baixas distorções. A não-linearidade pode ser medida, por exemplo, pelo máximo desvio da característica  $V_{out} \times V_{in}$  do circuito em relação à característica ideal do mesmo [26]. Será utilizada, nesta proposta, a distorção harmônica total (THD) medida no sinal de saída em relação à entrada

senoidal, como métrica de linearidade do circuito AMP-DIF<sub>AL</sub>. Estes dois parâmetros possuem uma relação direta: quanto maior a não-linearidade, maior é a distorção harmônica total do circuito.

Os MOSFETs M<sub>RES</sub>, destacados na figura 3.1.1, foram projetados para operar na região linear da característica I<sub>DS</sub> x V<sub>DS</sub> e fornecer uma resistência R<sub>MOS</sub> de 100 Ω nos terminais de dreno e fonte. Desta forma, tem-se um divisor de tensão expresso por (3.2.1), de modo a obter uma tensão de + 5 mV e - 5 mV nas entradas V<sub>ip</sub> e V<sub>in</sub> do AMP-DIF<sub>AL</sub>, respectivamente. Nesta expressão, V<sub>in\_p</sub> é o valor de pico máximo da tensão a ser medida pelo sistema de aquisição de dados. A partir deste valor de tensão de entrada de 10 mV pico a pico, o AMP-DIF<sub>AL</sub> foi ajustado para fornecer o sinal de saída de 1,6 V no intuito de se adequar à especificação do microcontrolador. Este valor foi escolhido para se ter uma folga no limite da especificação de V<sub>REF+</sub>, no qual o valor mínimo é 1,4 V conforme tabela 3.1.1.

$$V_{ip} = \left( \frac{R_{MOS}}{R_{MOS} + R_{IN}} \right) \cdot V_{in\_p} \quad (3.2.1)$$

A tensão V<sub>REF+</sub> é gerada internamente pelo circuito divisor de tensão com os MOSFETs M<sub>REF1</sub> e M<sub>REF2</sub>, destacado por 2 na figura 3.1.1. Eles foram ajustados por simulação para fornecer uma tensão de 1,6 V no caso típico (tensões de alimentação simétricas de +/- 2,5 V, temperatura 30 °C e modelo típico do MOSFET).

Em relação à arquitetura do AMP-DIF<sub>AL</sub>, utilizou-se como amplificador diferencial uma versão adaptada do amplificador diferencial na saída e pseudo-diferencial na entrada, em tecnologia CMOS, da referência [21].

Em [21], é apresentada uma arquitetura de amplificador diferencial complementar, que opera em classe AB, com elevada excursão de corrente e controle da corrente quiescente. Como, neste circuito de condicionamento, não se faz necessária a operação em classe AB, o par diferencial complementar (canal P) é substituído por um espelho que atua como carga ativa, composto por M<sub>3</sub> e M<sub>4</sub>, como ilustrado na figura 3.2.1.

Em polarização, as tensões porta-fonte dos transistores  $M_1$  e  $M_2$  da figura 3.2.1 são iguais entre si e iguais à tensão porta-fonte do transistor  $M_6$ . Assim, é possível estabelecer a relação (3.2.2) entre as correntes de polarização de  $M_{1,2}$  e  $M_{6,7}$ .

$$I_{D1,2} = \left[ \frac{\left(\frac{W}{L}\right)_{1,2}}{\left(\frac{W}{L}\right)_{6,7}} \right] \cdot I_{D6,7} \quad (3.2.2)$$

Como o potencial de dreno de  $M_6$  é igual ao de porta de  $M_5$  (realimentação negativa) e ambos os potenciais de porta e corrente de dreno são constantes, o potencial de fonte de  $M_{1,2}$  é fixo. Trata-se também, por isto, de um terminal de baixa impedância. Assim, pequenas variações nos terminais de entrada pseudo-diferencial (portas de  $M_{1,2}$ ) causam grandes variações nos terminais de saída diferencial (drenos de  $M_{1,2}$ ). No caso de grandes sinais, enquanto um transistor entre  $M_1$  e  $M_2$  entra em corte, o outro mantém a condução da corrente alta através de  $M_5$ . A razão de aspecto de  $M_{1,2}$  estabelece o limite de excursão da corrente de saída. Os transistores  $M_8$ - $M_{11}$  operam na região triodo e proporcionam uma realimentação da tensão de modo comum:  $M_8$  e  $M_9$  atuando como referências em modo comum e  $M_{10}$  e  $M_{11}$  detectando continuamente a tensão de modo comum de saída.

As razões de aspecto de  $M_{1,2}$  e  $M_5$  a  $M_{12}$ , originalmente dimensionados para uma tecnologia de  $0,35 \mu\text{m}$  e tensão de alimentação de  $2 \text{ V}$ , são escaladas para o circuito operar em tecnologia  $0,5 \mu\text{m}$ , com tensões de alimentação simétricas de  $+ \text{ ou } -2,5 \text{ V}$  e para fornecer ganho suficiente ao circuito. As razões de aspecto de  $M_3$  e  $M_4$  foram dimensionadas para fornecer a excursão de tensão de saída na faixa estipulada, uma vez que esta é igual à tensão de alimentação positiva ( $V_{DD}$ ) menos a tensão de fonte-dreno de  $M_4$ . Os transistores  $M_{13}$  a  $M_{17}$ , por sua vez, formam o circuito de polarização e foram dimensionados para fornecer a corrente de polarização, escalada a partir de [21],  $I_{D13}$ . Na tabela 3.2.1 são apresentados os requisitos para o projeto do AMP-DIF<sub>AL</sub> e na tabela 3.2.2, os valores resultantes destes dimensionamentos.

Tabela 3.2.1. Requisitos para o projeto AMP-DIF<sub>AL</sub>.

<b>Requisitos</b>	<b>Valores</b>
Ganho CC ( $A_v$ )	> 40 dB
ICMR	-5 mV a 5 mV
Excursão de tensão na saída	0 V a 1,6 V
THD	< 2%
CMRR	> 60 dB
$V_{DD}$	2,5 V
$V_{SS}$	-2,5 V
$R_L$	$\infty$ (circuito aberto)

Tabela 3.2.2. Razão de aspecto dos transistores e os parâmetros de polarização do circuito AMP-DIF<sub>AL</sub>.

<b>Parâmetros</b>	<b>Valores</b>
$(W/L)_{1,2}$	18 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_{3,4}$	45 $\mu\text{m}$ / 3 $\mu\text{m}$
$(W/L)_5$	22 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_6$	50 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_{7,12}$	50 $\mu\text{m}$ / 2 $\mu\text{m}$
$(W/L)_{8,9,10,11}$	12 $\mu\text{m}$ / 2 $\mu\text{m}$
$(W/L)_{13,14}$	2,5 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_{15}$	10 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_{16}$	45 $\mu\text{m}$ / 1 $\mu\text{m}$
$(W/L)_{17}$	10 $\mu\text{m}$ / 1 $\mu\text{m}$
$V_{DD}$	2,5 V
$V_{SS}$	-2,5 V
$V_{cm}$	0 V
$I_{D13}$	28 $\mu\text{A}$

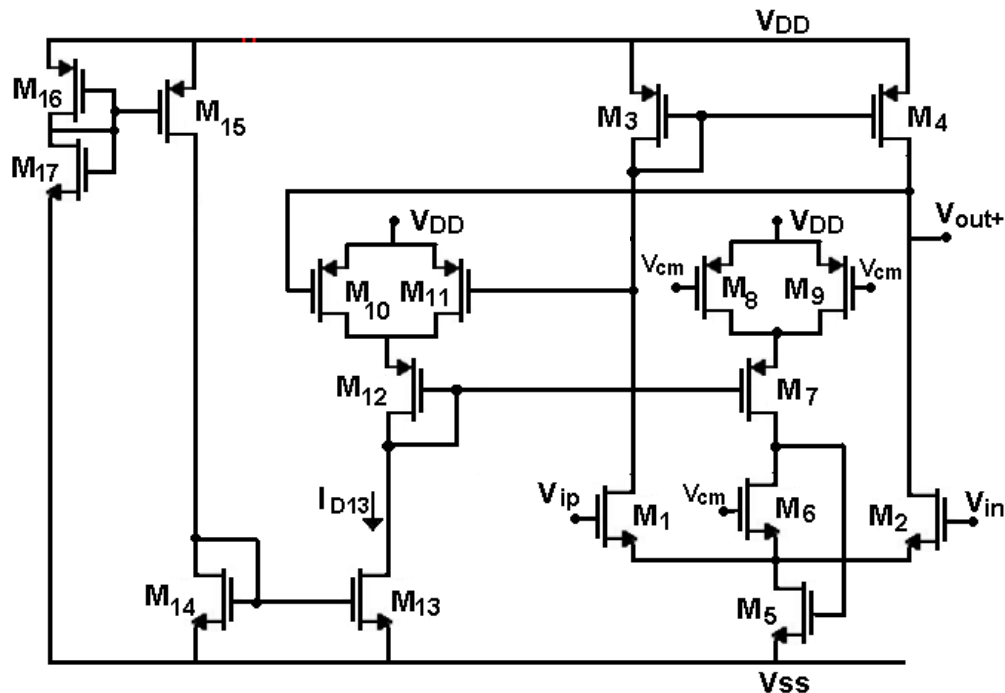


Figura 3.2.1 – Circuito do AMP-DIF<sub>AL</sub> proposto

### 3.3 Projeto do Circuito *Buffer*

Um *buffer* de tensão é usualmente chamado de seguidor de tensão, já que esse circuito faz uma cópia da tensão de sua entrada para sua saída. Ele é também conhecido como acoplador/casador de impedância. Um *buffer* de tensão é um amplificador de ganho unitário usado para isolar e conectar um estágio de alta impedância de saída a uma carga de baixa impedância de entrada.

Sendo um amplificador de ganho unitário, tal configuração não fornece ganho de tensão, porém o AMP-OP tende a fornecer um alto nível de corrente na saída, já que possui impedância de saída próxima de zero. Isso ocasiona ganho de potência na carga alimentada pelo *buffer*. Por isso, fez-se necessária a utilização do *buffer* no circuito de condicionamento de sinais como uma maneira simples de garantir um perfeito acoplamento de impedâncias entre a saída do amplificador diferencial de alta linearidade e a carga na entrada do conversor A/D embutido no microcontrolador, além de ganho de potência estável, já que o AMP-OP tem uma boa resposta em frequência.

O AMP-OP utilizado para o circuito *buffer* foi um OTA Miller [27-31] seguido de um estágio de saída do tipo seguidor de fonte (*source follower*), conforme destacado na figura 3.3.1 por 2 e 3, respectivamente. O amplificador OTA Miller é formado por dois estágios amplificadores e pela capacitância  $C_c$  de realimentação. A corrente de polarização  $I_{10}$  é gerada pelo circuito de polarização (destacado por 1 na figura 3.3.1) e espelhada para os MOSFETs  $M_5$  e  $M_7$  por  $M_{10}$ , formando espelhos de corrente. O primeiro estágio amplificador, denominado estágio diferencial, é formado por  $M_5$ , que fornece a corrente de polarização para os MOSFETs que compõem o par diferencial,  $M_1$  e  $M_2$ , acionados pelos terminais de porta. O par diferencial tem como carga ativa  $M_3$  e  $M_4$ , outro espelho de corrente. O segundo estágio amplificador é um amplificador fonte-comum, formado por  $M_6$ , tendo  $M_7$  como carga ativa, que também espelha a corrente  $I_{10}$  para este ramo. A compensação em frequência é feita pela malha composta pelo capacitor  $C_c$ . Esta malha se faz necessária para que haja uma separação efetiva dos pólos do circuito, obtendo assim uma maior margem de fase, para garantir a estabilidade.

O amplificador fonte-comum (destacado por 3 na figura 3.3.1) ajuda a incrementar o ganho do OTA, uma vez que possui uma elevada resistência de saída, o que aumenta seu ganho individual. Devido a esta característica, faz-se necessária a utilização, após este estágio fonte-comum, de um estágio seguidor de fonte, que possui uma baixa resistência de saída e ganho aproximadamente igual a um.

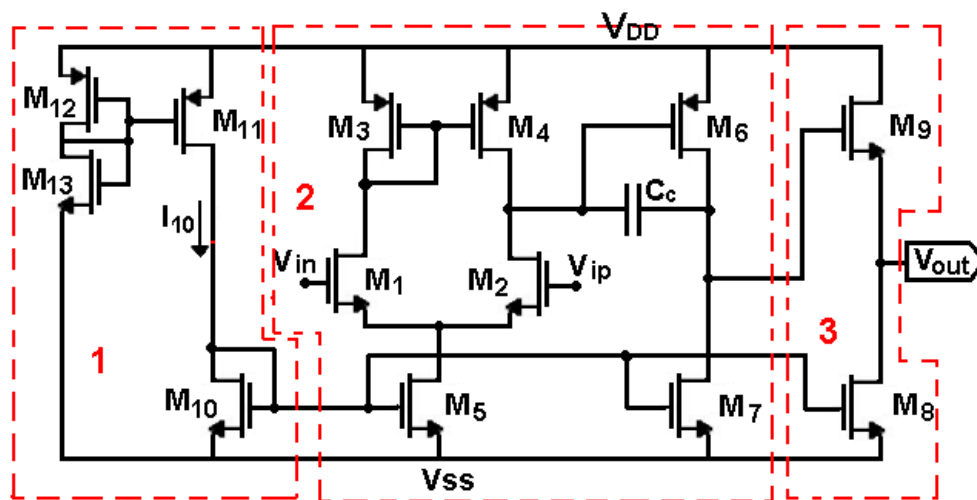


Figura 3.3.1 – AMP-OP utilizado para o circuito *buffer*.



Os requisitos listados na tabela 3.3.1 foram assumidos para o projeto AMP-OP utilizado para o circuito *buffer*. Os parâmetros da tecnologia CMOS 0,5  $\mu\text{m}$  da tabela 3.3.2 e os parâmetros do silício da tabela 3.3.3 foram utilizados para o projeto.

Tabela 3.3.1. Requisitos para o projeto AMP-OP utilizado para o circuito *buffer*.

Requisitos	Valores
Ganho DC ( $A_v$ )	> 5000
Frequência de ganho unitário (GBW)	5 MHz
ICMR	-1 V a 1,6 V
<i>Slew-Rate</i> (SR)	10 V/ $\mu\text{s}$
Excursão de tensão na saída	0 V a 1,6 V
$V_{DD}$	2,5 V
$V_{SS}$	-2,5 V
$R_L$	2 K $\Omega$
$C_L$	40 pF

Tabela 3.3.2. Parâmetros do modelo típico da tecnologia CMOS 0,5  $\mu\text{m}$  para o projeto do AMP-OP utilizado para o circuito *buffer*.

Parâmetros	Descrição	NMOS	PMOS	Unidade
$u_o$	Mobilidade dos elétrons	$48,979 \times 10^{-3}$	$25,611 \times 10^{-3}$	$\text{m}^2/\text{V}\cdot\text{s}$
$t_{ox}$	Espessura do óxido	$13,5 \times 10^{-9}$	$13,9 \times 10^{-9}$	m
$V_{tho}$	Tensão de Limiar	0,742	- 0,964	V
$K'$	Parâmetro de transcondutância	$125,2 \times 10^{-6}$	$65,5 \times 10^{-6}$	$\mu\text{A}/\text{V}^2$

Tabela 3.3.3. Constantes do silício para o projeto do AMP-OP utilizado para o circuito *buffer*.

Parâmetros	Descrição	Valor	Unidade
$\epsilon_o$	Permissividade do vácuo	$8,854 \times 10^{-12}$	F/m
$\epsilon_{si}$	Permissividade do silício ( $\epsilon_{si} = 11,7 \cdot \epsilon_o$ )	$1,04 \times 10^{-10}$	F/m
$\epsilon_{ox}$	Permissividade do óxido de silício ( $\epsilon_{ox} = 3,9 \cdot \epsilon_o$ )	$3,45 \times 10^{-11}$	F/m
$C_{ox}$	Capacitância do óxido de silício ( $C_{ox} = \epsilon_{ox}/t_{ox}$ )	$2,56 \times 10^{-3}$	F/ $\text{m}^2$

Para o projeto do OTA Miller foi utilizada a metodologia de [18]. O projeto tem início com a escolha do comprimento de canal (L) dos MOSFETs. Esta escolha deve ser feita de modo que o valor do comprimento de canal seja próximo ao valor nominal da

tecnologia utilizada, uma vez que a modelagem do transistor varia fortemente com a variação comprimento de canal. Desta forma, procura-se evitar a ocorrência de erros grosseiros no projeto. Para a tecnologia 0,5  $\mu\text{m}$ , a escolha de  $L = 1 \mu\text{m}$  é apropriada.

Em seguida, é calculado o mínimo valor do capacitor de compensação  $C_C$  para uma margem de fase de  $60^\circ$  e o valor de  $I_5$  baseado no requisito de *slew-rate*.

$$C_C > \frac{2,2}{10} \cdot C_L \quad (3.3.1)$$

$$C_C > 8,8 \text{ pF}$$

Adotou-se  $C_C = 9 \text{ pF}$ . Calcula-se  $I_5$ , pela expressão (3.3.2).

$$I_5 = SR \cdot C_C \quad (3.3.2)$$

$$I_5 = 90 \mu\text{A}$$

Após encontrado o valor de  $I_5$ , pode-se calcular a razão de aspecto de  $M_3$  e  $M_4$ , baseando-se no requisito positivo de *Input Common Mode Range* (ICMR).

$$S_{3,4} = \left( \frac{W}{L} \right)_{3,4} = \frac{I_5}{K'_3 \cdot [V_{DD} - V_{in(\max)} - |V_{th3}| + V_{th1}]^2} \quad (3.3.3)$$

$$S_{3,4} = 46,4 \approx 45$$

A transcondutância  $g_{m1}$  pode ser calculada pela seguinte expressão (3.3.4).

$$g_{m1} = GBW \cdot C_c \quad (3.3.4)$$

$$g_{m1} = 282,7 \mu\text{S}$$

E a razão de aspecto de  $M_1$  e  $M_2$  é diretamente obtida de  $g_{m1}$ , como segue na expressão (3.3.5).

$$S_{1,2} = \left( \frac{W}{L} \right)_{1,2} = \frac{g_{m1}^2}{K'_1 \cdot I_5} \quad (3.3.5)$$

$$S_{1,2} = 7,096 \approx 7$$

Para o cálculo da razão de aspecto de  $M_5$  são utilizadas as expressões (3.3.6), (3.3.7), (3.3.8).

$$\beta_1 = \left( \frac{I_5}{K'_1 \cdot S_1} \right)^{1/2} \quad (3.3.6)$$

$$\beta_1 = 0,320$$

$$V_{DS5} = V_{in(min)} - V_{SS} - \left( \frac{I_5}{\beta_1} \right)^2 - V_{th1} \quad (3.3.7)$$

$$V_{DS5} = 0,390V$$

$$S_5 = \left( \frac{W}{L} \right)_5 = \frac{2 \cdot I_5}{K'_5 \cdot (V_{DS5})^2} \quad (3.3.8)$$

$$S_5 = 9,46 \approx 10$$

Para que o pólo introduzido por  $M_6$  seja alocado de modo a manter uma boa margem de fase,  $PM > 60^\circ$ , utilizou-se a relação (3.3.9). A partir de  $g_{m6}$  e para garantir um apropriado casamento (*matching*) entre  $M_6$  e  $M_4$ , a razão de aspecto de  $M_6$  é calculada por (3.3.10) e a corrente  $I_6$ , por (3.3.11).

$$g_{m6} \geq 10 \cdot g_{m1} \quad (3.3.9)$$

$$g_{m6} = 2,827 \text{ mS}$$

$$S_6 = \left( \frac{W}{L} \right)_6 = S_4 \cdot \frac{g_{m6}}{g_{m4}} \quad (3.3.10)$$

$$S_6 = 247,1 \approx 250$$

$$I_6 = \frac{g_{m6}^2}{2 \cdot K'_6 \cdot S_6} \quad (3.3.11)$$

$$I_6 = 244 \mu A$$

Por fim, o tamanho de  $M_7$  pode ser determinado por (3.3.12).

$$S_7 = \left( \frac{W}{L} \right)_7 = S_5 \cdot \frac{I_6}{I_5} \quad (3.3.12)$$

$$S_7 = 27$$

O estágio de saída, seguidor de fonte, deve ser dimensionado de modo a suprir a corrente necessária à carga ( $R_L = 2 \text{ k}\Omega$ ) para que o sinal de saída possa excursionar de 0 V a  $V_{eREF+} = 1,6 \text{ V}$ .

$$I_{out} = \frac{V_{eREF+}}{R_L} = \frac{1,6V}{2k\Omega} = 800 \mu A \quad (3.3.13)$$

Desta forma,

$$I_9 - I_8 = I_{out} \quad (3.3.14)$$

Uma vez determinadas as dimensões iniciais dos transistores, as mesmas foram refinadas no simulador, de modo a aproximar as especificações das simulações, usando-se o modelo BSIM3v3, disponibilizado no *design kit* da tecnologia CMOS 0,5  $\mu\text{m}$  *ON Semiconductor*. Para o dimensionamento de  $M_8$ , foi escolhida por simulação uma corrente  $I_8$  bem pequena de modo que mantenha a saturação de  $M_8$  e para que a corrente  $I_9$  não fosse muito grande, o que implicaria numa grande razão de aspecto para  $M_9$ . Assim, foi possível concluir as dimensões dos transistores, listados na tabela 3.3.4 junto com o valor do capacitor de compensação.

Tabela 3.3.4. Razão de aspecto dos transistores do circuito *buffer* e o valor do capacitor de compensação.

Parâmetros	Valores
(W/L) <sub>1,2</sub>	7 μm / 1 μm
(W/L) <sub>3,4</sub>	45 μm / 1 μm
(W/L) <sub>5,10</sub>	10 μm / 1 μm
(W/L) <sub>6</sub>	300 μm / 1 μm
(W/L) <sub>7</sub>	27 μm / 1 μm
(W/L) <sub>8</sub>	5 μm / 1 μm
(W/L) <sub>9</sub>	800 μm / 1 μm
(W/L) <sub>11</sub>	2,5 μm / 1 μm
(W/L) <sub>12</sub>	45 μm / 1 μm
(W/L) <sub>13</sub>	10 μm / 1 μm
C <sub>c</sub>	9 pF

### 3.4 Leiaute

Após o projeto do amplificador diferencial de alta linearidade, do circuito *buffer* e das simulações cujos resultados serão abordados no capítulo 4, iniciou-se a etapa de leiaute levando em consideração as regras de leiaute descritas no documento da tecnologia CMOS 0,5 μm da *ON Semiconductor* [32]. Algumas técnicas foram adotadas para a máxima compactação e o perfeito casamento dos transistores, prezando pela redução da área de silício a ser utilizada e redução dos erros randômicos devido ao processo de fabricação.

O fato do desempenho depender do casamento entre os MOSFETs é uma aspecto importante para os amplificadores diferenciais. Uma técnica que pode minimizar os efeitos de descasamento devido a gradientes do óxido e outras variações do processo é a configuração de centróide comum no par diferencial. Como o próprio nome já diz, nesta técnica coloca-se os dois MOSFETs do par diferencial simétricos em relação a um centro comum, de forma a cancelar os gradientes de variação do processo nas direções X e Y [33, 34].

Outra técnica importante e utilizada neste leiaute é a interdigitalização dos espelhos de corrente. Nesta técnica, cada MOSFET do espelho de corrente é dividido

em múltiplos e cada múltiplo de um MOSFET e intercalado pelo múltiplo do outro MOSFET.

Na figura 3.4.1 é apresentado o leiaute do circuito AMP-DIF<sub>AL</sub> mais os MOSFETs M<sub>RES</sub>. As técnicas de centróide comum utilizada no par diferencial e interdigitalização no espelho de corrente M<sub>3</sub> e M<sub>4</sub> podem ser visualizadas em destaque pelos números 1 e 2, respectivamente. Este leiaute possui a seguinte dimensão: 54 μm x 80 μm.

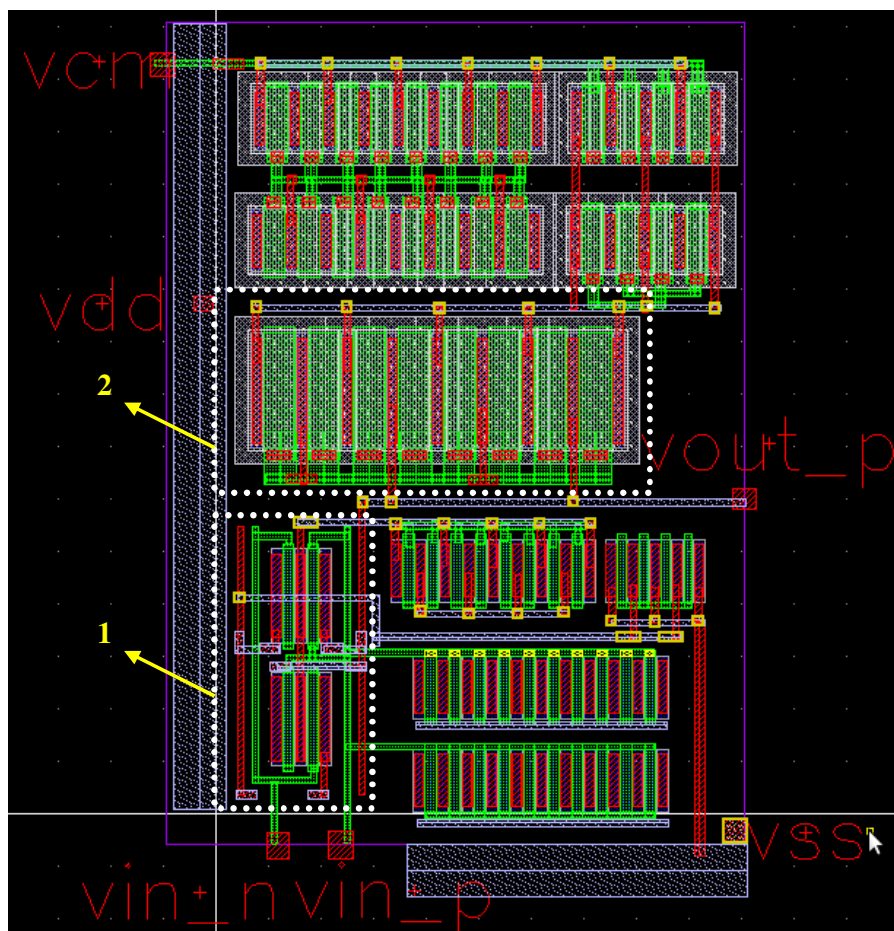


Figura 3.4.1 – Leiaute do circuito AMP-DIF<sub>AL</sub> mais os MOSFETs M<sub>RES</sub>.

Na figura 3.4.2 é apresentado o leiaute do circuito de condicionamento completo. Percebe-se que se utilizou a mesma orientação vertical para todos os MOSFETs, além do agrupamento dos transistores tipo N e tipo P em regiões separadas. O capacitor de compensação (C<sub>c</sub>) ocupa uma grande parte da área total do leiaute,

graças ao seu alto valor de capacitância que está relacionado à alta carga capacitiva na entrada do conversor A/D. A área total do circuito é  $179 \mu\text{m} \times 155 \mu\text{m}$ .

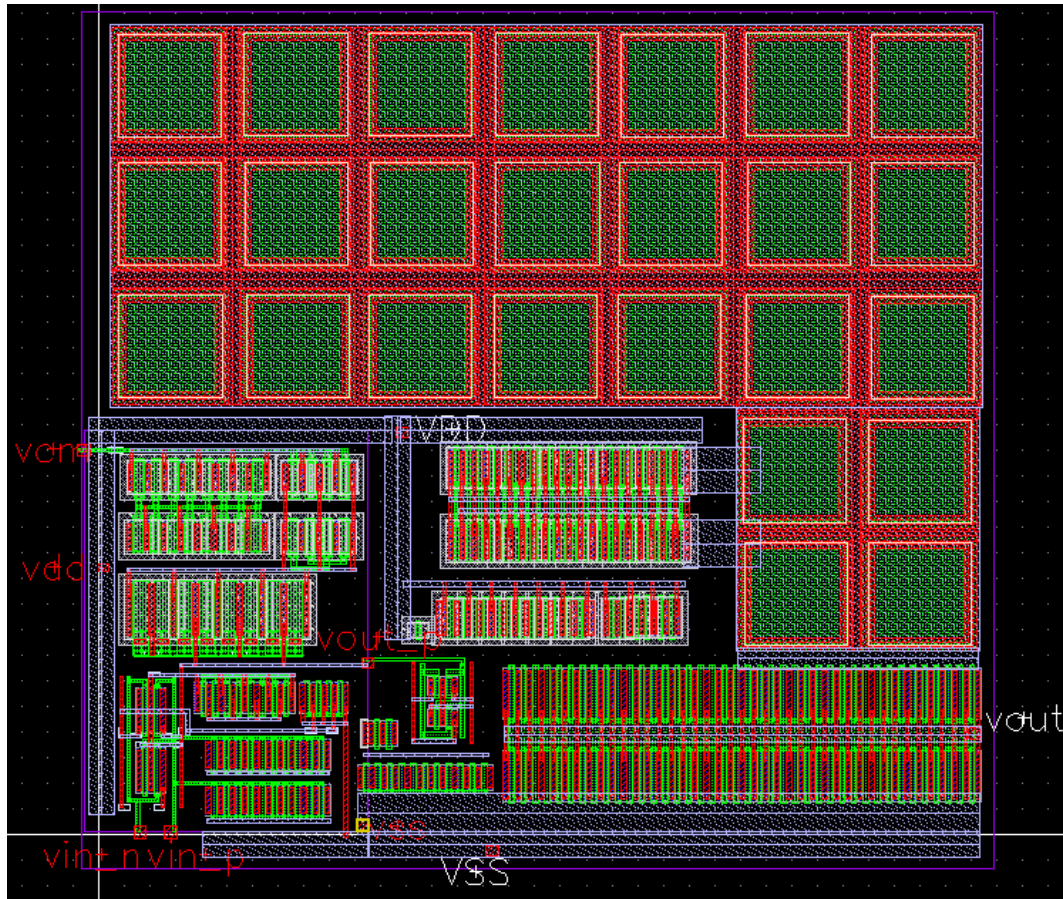


Figura 3.4.2 – Leiaute do circuito de condicionamento de sinais completo.

# Capítulo 4

## Resultados de simulação

Este capítulo tem por finalidade apresentar as simulações realizadas para verificação do desempenho dos projetos, descritos no capítulo 3, do Amplificador Diferencial de Alta Linearidade e do *Buffer* e simulações *top-level* para verificação da funcionalidade do circuito de condicionamento de sinais proposto. Os *testbenchs* utilizados foram extraídos de [18]. Após essas verificações, deu-se início a realização do leiaute.

Para as simulações, foram configurados alguns *corners* no intuito de testar o comportamento do circuito para situações de variação de temperatura, modelo de MOSFET e tensão de alimentação. As variáveis foram agrupadas de modo a obter os seguintes *corners*:

- *Corner 1*: objetivo de testar o caso típico;
- *Corner 2*: objetivo de testar o pior caso para velocidade, no qual foram configuradas situações extremas no modelo do MOSFET ( *wcs - worst case speed*), na temperatura (80°C) e redução de 10% na tensão de alimentação;
- *Corner 3*: objetivo de testar o pior caso para potência, no qual foram configurados situações extremas no modelo do MOSFET ( *wcp - worst*



*case power*), na temperatura (0°C) e aumento de 10% na tensão de alimentação;

- *Corner 4 e Corner 5*: objetivo de testar o *Corner 3 e Corner 2*, respectivamente, mas utilizando uma fonte regulada de alimentação;
- *Corner 6 e Corner 7*: objetivo de testar o comportamento do circuito para o caso da influência exclusiva do modelo do MOSFET *wcp* e *wcs*, respectivamente;
- *Corner 8 e Corner 9*: objetivo de testar o comportamento do circuito para o caso da influência exclusiva das temperatura extremas 80°C e 0°C, respectivamente.

A tabela 4.1 apresenta os *corners* utilizados para as simulações:

Tabela 4.1. Relação dos *corners* selecionados para testar o comportamento do circuito para situações de variação de temperatura, modelo de MOSFET

<b>Corners</b>	<b>Modelo MOSFET</b>	<b>Temperatura</b>	<b>V<sub>DD</sub></b>	<b>V<sub>SS</sub></b>
<i>Corner 1 (cor1)</i>	Típico	30°C	2,5 V	-2,5 V
<i>Corner 2 (cor2)</i>	wcs	80°C	2,25 V	-2,25 V
<i>Corner 3 (cor3)</i>	wcp	0°C	2,75 V	-2,75 V
<i>Corner 4 (cor4)</i>	wcp	0°C	2,5 V	-2,5 V
<i>Corner 5 (cor5)</i>	wcs	80°C	2,5 V	-2,5 V
<i>Corner 6 (cor6)</i>	wcp	30°C	2,5 V	-2,5 V
<i>Corner 7 (cor7)</i>	wcs	30°C	2,5 V	-2,5 V
<i>Corner 8 (cor8)</i>	Típico	80°C	2,5 V	-2,5 V
<i>Corner 9 (cor9)</i>	Típico	0°C	2,5 V	-2,5 V

## 4.1 Resultados de Simulação do Amplificador Diferencial de Alta Linearidade

### 4.1.1 Tensão de Desvio

A tensão de desvio (*off-set*) é proveniente de assimetrias no circuito projetado (tensão de desvio sistêmica) e proveniente de erros estatísticos referentes ao processo de fabricação (tensão de desvio randômico). O desvio sistemático pode ser bastante minimizado ao se fazer o projeto simétrico do circuito. O desvio randômico, por sua vez, sempre existirá e pode ser, na melhor das hipóteses, reduzido, mas nunca eliminado. Gradientes de temperatura, gradientes de estresse por esforço mecânico no material, variações no crescimento do óxido de porta (óxido fino), entre outros, sempre existirão e causarão tais erros.

Para a análise da tensão de desvio, foi configurado um circuito de malha fechada de ganho unitário com o AMP-DIF<sub>AL</sub> e mediu-se a tensão de saída para uma entrada CC de 0,8 V (metade da excursão da tensão de saída). Na figura 4.1.1.1 é mostrada a tensão de desvio (diferença entre a tensão de saída e a tensão de entrada) para os *corners* da tabela 4.1.

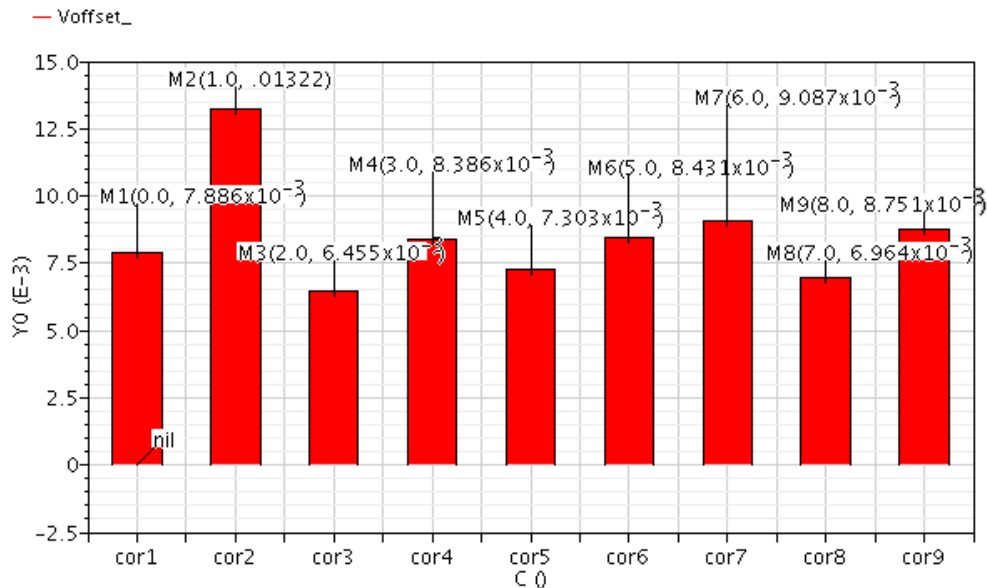


Figura 4.1.1.1 – Tensão de desvio do AMP-DIF<sub>AL</sub> para os *corners* da tabela 4.1.

No intuito de verificar a tensão de desvio para variações no comprimento (L) e largura (W) de canal do MOSFET devidas ao processo de *etching* durante a fabricação do *chip*, fez-se a mesma análise da tensão de desvio no AMP-DIF<sub>AL</sub>, no caso típico (cor1), para as variações de 0,1% e 0,01% nas dimensões do MOSFET M<sub>2</sub> do par diferencial, conforme tabela 4.1.1.1. Os resultados são apresentados na figura 4.1.1.2.

Tabela 4.1.1.1 Relação dos casos para as variações de 0,1% e 0,01% nas dimensões do MOSFET M<sub>2</sub> do par diferencial

<b>Caso1</b>	<b>Caso2</b>	<b>Caso3</b>
$W_2=W_1$	$W_2=W_1 \times 1,001$	$W_2=W_1 \times 1,001$
$L_2 = L_1 \times 1,001$	$L_2 = L_1$	$L_2 = L_1 \times 1,001$
<b>Caso4</b>	<b>Caso5</b>	<b>Caso6</b>
$W_2=W_1$	$W_2=W_1 \times 1,0001$	$W_2=W_1 \times 1,0001$
$L_2 = L_1 \times 1,0001$	$L_2 = L_1$	$L_2 = L_1 \times 1,0001$

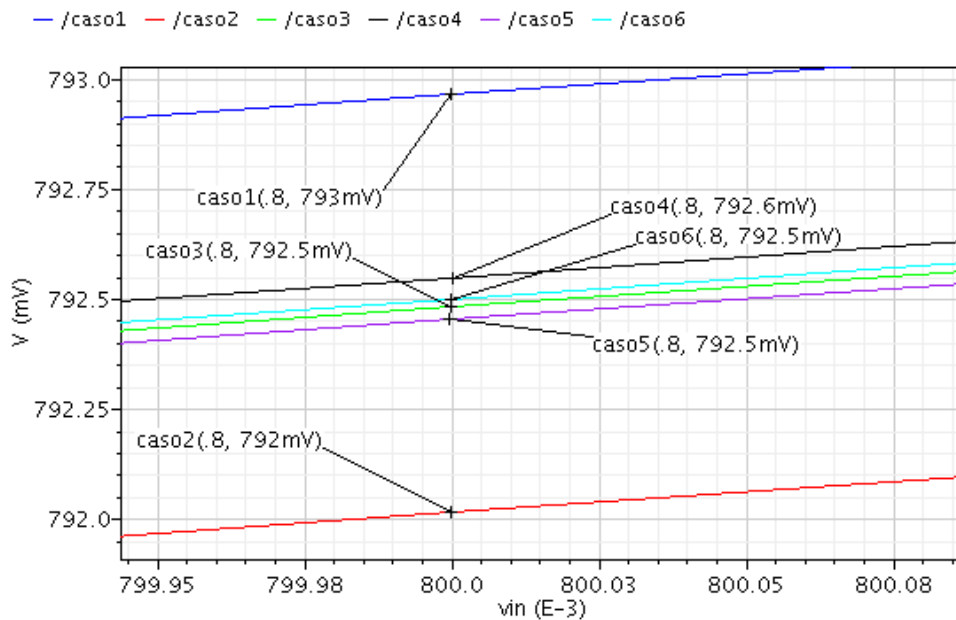


Figura 4.1.1.2 – Tensão de desvio do AMP-DIF<sub>AL</sub> para os casos da tabela 4.1.1.1.

Percebe-se que a variação da tensão de desvio para as variações nas dimensões do MOSFET M<sub>2</sub> do par diferencial é bem pequena, sendo em torno de 1 mV entre os casos de variação de 0,1% e em torno de 0,3 mV entre os casos de variação de 0,01%.

### 4.1.2 Resposta em Frequência

A análise CA obtida do circuito AMP-DIF<sub>AL</sub> é mostrado na figura 4.1.2.1. A resposta em frequência do amplificador é, em muitos casos, a mais importante caracterização do circuito, pois fornece o ganho em malha aberta, o produto ganho-largura de banda GBW e a margem de fase, responsável pela estabilidade do amplificador. A saída do AMP-DIF<sub>AL</sub> é conectada diretamente à entrada não-inversora do circuito *buffer*, conforme figura 3.1.1. Desta forma, fez-se a análise da resposta em frequência deste amplificador em circuito aberto ( $R_L \rightarrow \infty$  e  $C_L \rightarrow 0$ ), uma vez que o terminal de entrada do circuito *buffer* tem uma resistência muito alta, da ordem de megaohms, e capacitância muito baixa, da ordem de fentofarads.

Sendo assim, é possível observar, pelo diagrama de bode, a larga banda de ganho unitário (que no caso é, aproximadamente, igual ao GBW) fornecida pelo circuito. O ganho CC sofreu pouca variação, mesmo para as variações de temperatura, tensão de alimentação e parâmetros de processo consideradas. O ganho CC para o caso típico (cor1) é aproximadamente 39 dB. O melhor e o pior caso são o corner 2 (cor2) e o corner 3 (cor3), no quais os ganhos CC são 40 dB e 36 dB, respectivamente.

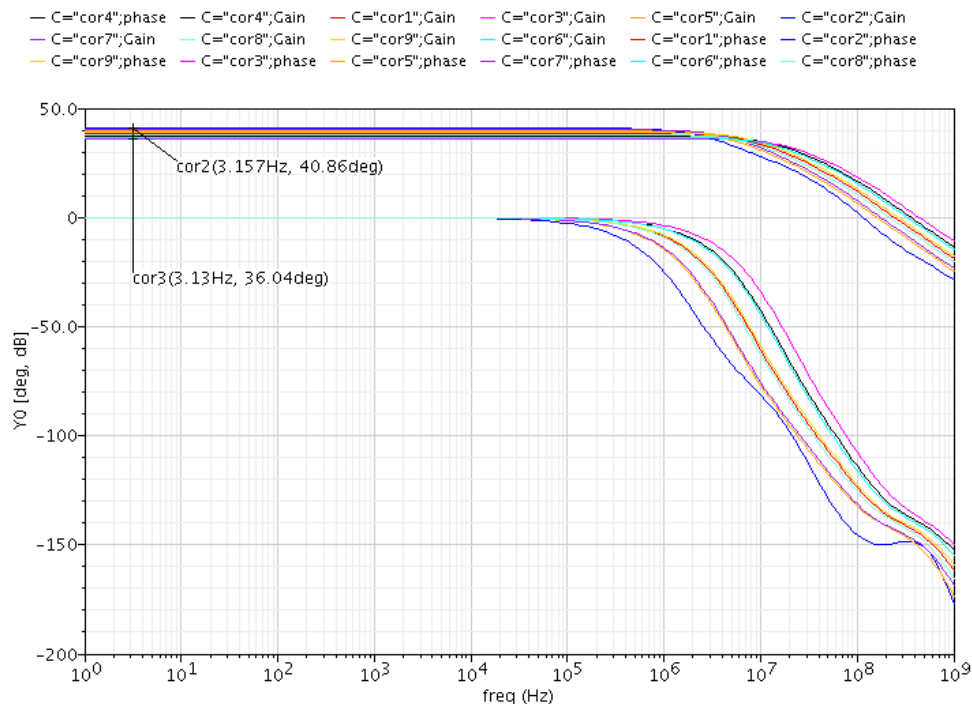


Figura 4.1.2.1 – Resposta em frequência em módulo e fase do AMP-DIF<sub>AL</sub> para os *corners* da tabela 4.1.

### 4.1.3 Razão de Rejeição de Modo Comum – CMRR

Na figura 4.1.3.1 é apresentada a análise CA para a taxa de rejeição de modo comum. Observa-se que o circuito *buffer* possui altos valores de CMRR para todos os *corners*, apresentando um leve decaimento para frequências acima de 100 kHz. Valores a serem destacados: no caso típico (*cor1*), CMRR = 81 dB; no pior caso (*cor3*), CMRR = 76,5 dB, e no melhor caso (*cor2*), CMRR = 85 dB. Estes valores podem ser visualizados na figura 4.1.3.2, na qual são mostrados os valores de CMRR em função dos *corners* da tabela 4.1 na frequência 20 kHz.

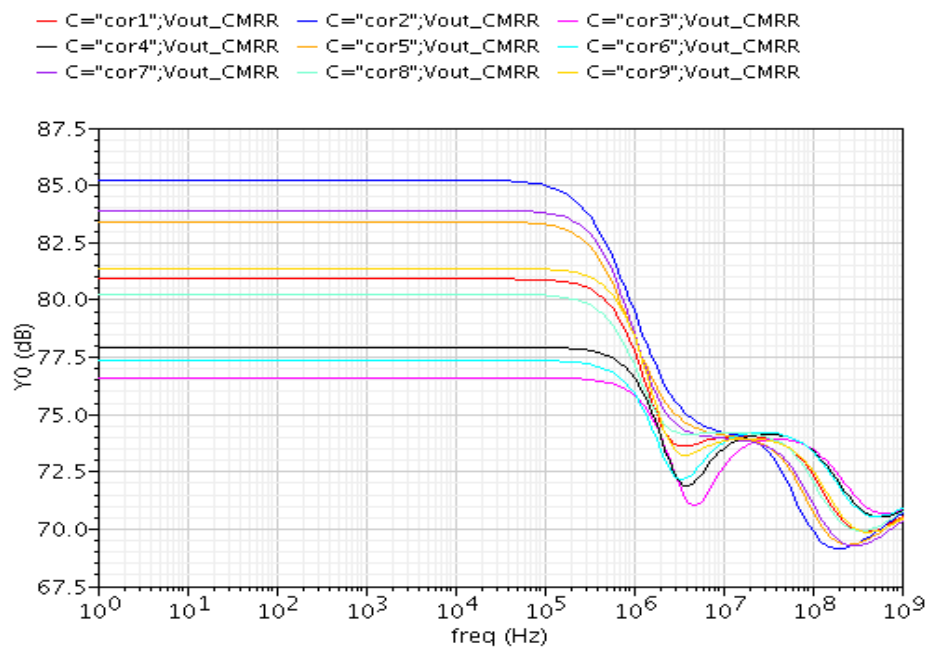


Figura 4.1.3.1 – CMRR do AMP-DIFAL para os *corners* da tabela 4.1

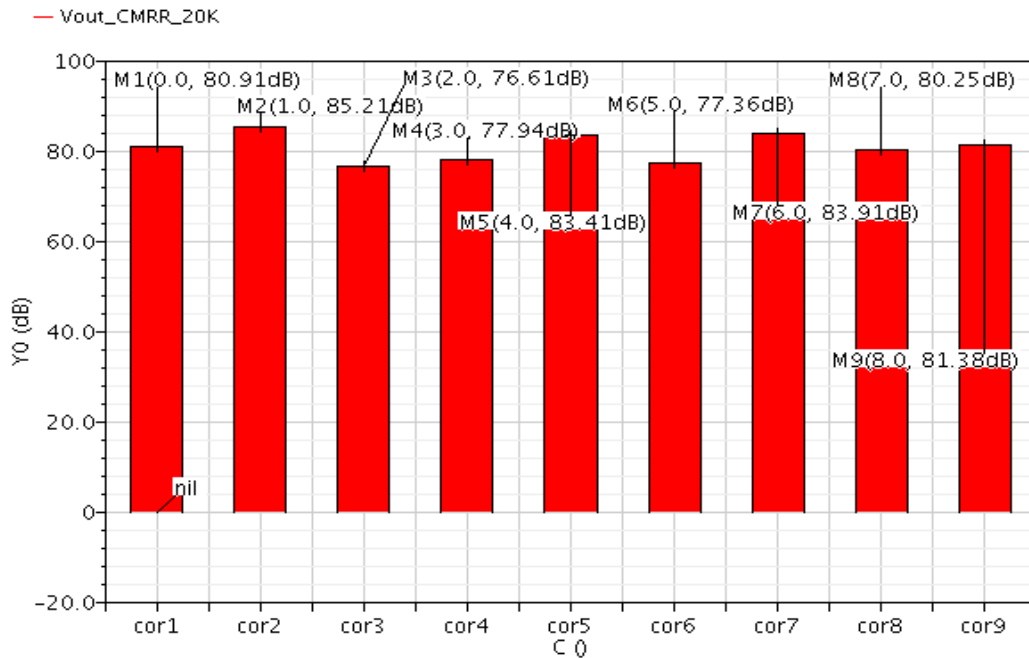


Figura 4.1.3.2 – CMRR do AMP-DIFAL para os *corners* da tabela 4.1, na frequência de 20 kHz.

#### 4.1.4 Resposta ao Sinal Senoidal

Na figura 4.1.4.1 é apresentada a análise no domínio do tempo da resposta do AMP-DIF<sub>AL</sub> para um sinal senoidal de entrada, simulando a funcionalidade do circuito a uma tensão de saída de um transdutor de efeito HALL [1]. Para tal, utilizou-se uma tensão de entrada de 8 V pico a pico e os resistores  $R_{IN} = 79,9 \text{ k}\Omega$ , de modo a se obter para o caso típico (cor1) o sinal de saída excursionando de 0 V a 1,6 V (tensões de pico mínima e máxima propostas para o funcionamento do circuito de condicionamento de sinais, conforme descrito na item 3.2).

Observa-se que os *corners* cor3, cor4, cor6 e cor9 possuem tensões de pico mínima e máxima menores que os valores 0 V e 1,6 V, respectivamente, necessitando assim de um simples ajuste do valor dos resistores  $R_{IN}$  para que cada caso se adeque à faixa em questão, sem prejuízo de distorções no sinal de saída. No caso dos *corners* cor2, cor5 e cor7, que possuem tensões de pico mínima e máxima maiores que os valores 0 V e 1,6 V, respectivamente, os sinais de saída apresentam visualmente grande distorção, que são mantidas mesmo com o ajuste dos resistores de entrada  $R_{IN}$ . Desta forma, analisando estes *corners*, nota-se que o circuito não responde bem a situações nas quais se tenha o modelo do MOSFET wcs (*worst case speed*).

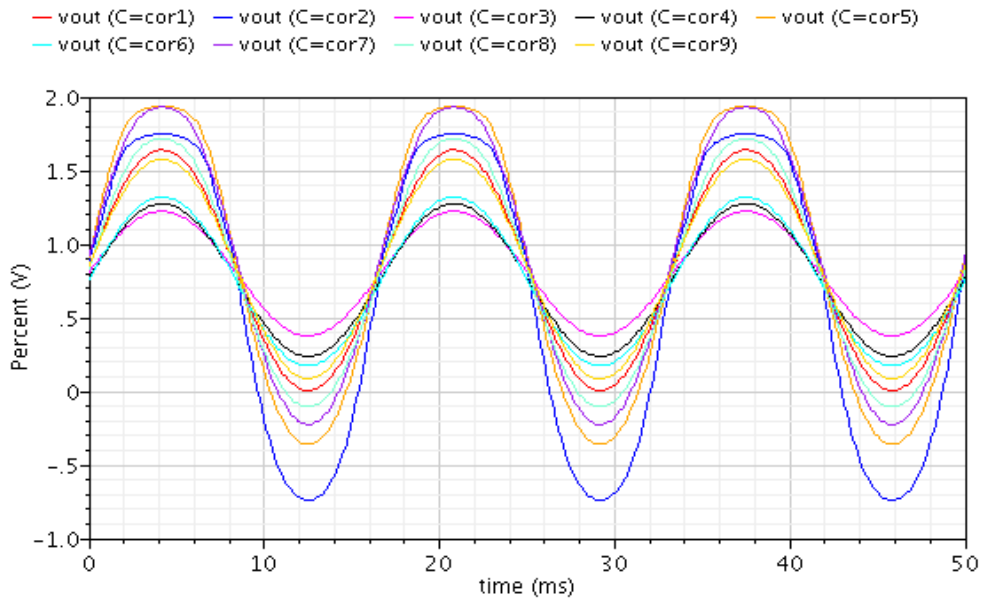


Figura 4.1.4.1 – Análise transiente da resposta do AMP-DIF<sub>AL</sub> a um sinal senoidal de entrada para os *corners* da tabela 4.1.

Nas figuras 4.1.4.2 e 4.1.4.3 são mostrados os valores de pico máximo e mínimo da tensão de saída para cada *corner*, respectivamente, e na figura 4.1.4.4 é apresentado o valor do deslocamento CC feito pelo circuito, que deve ser igual a metade do valor de  $V_{REF+}$ .

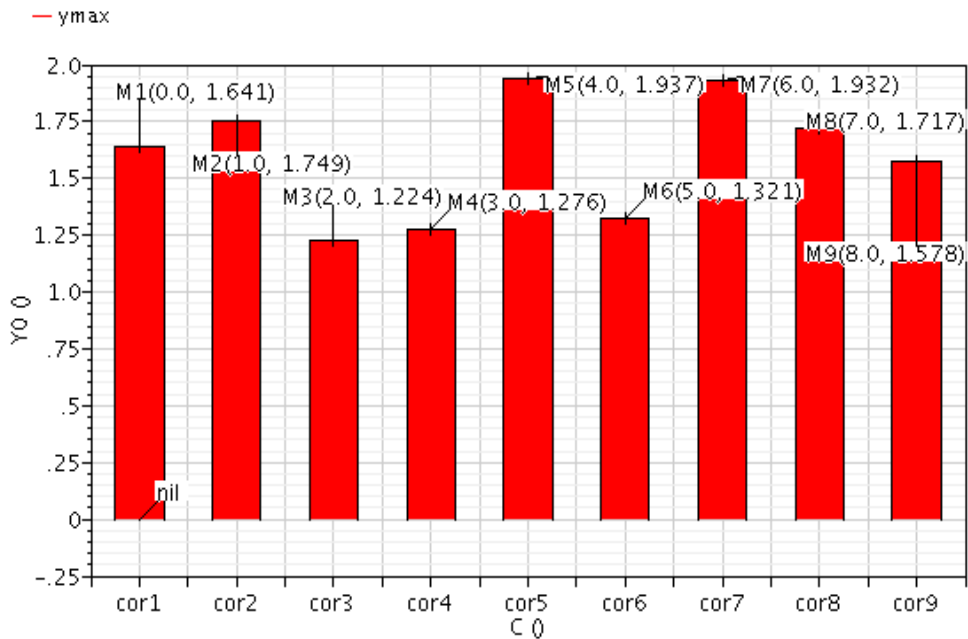


Figura 4.1.4.2 – Valores de pico máximo da tensão de saída do AMP-DIF<sub>AL</sub> para cada *corner* da tabela 4.1.

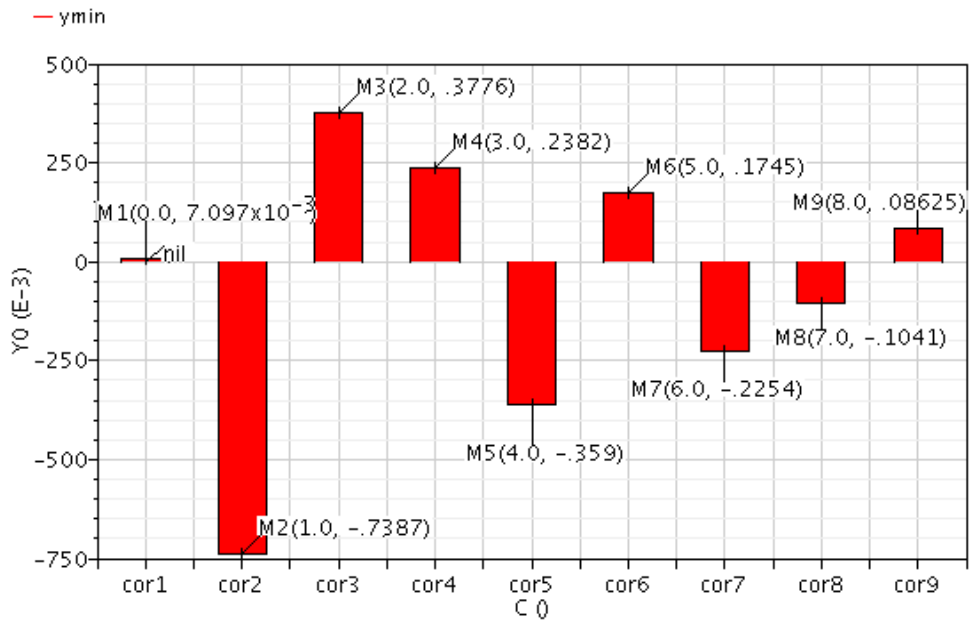


Figura 4.1.4.3 – Valores de pico mínimo da tensão de saída do AMP-DIF<sub>AL</sub> para cada *corner* da tabela 4.1.

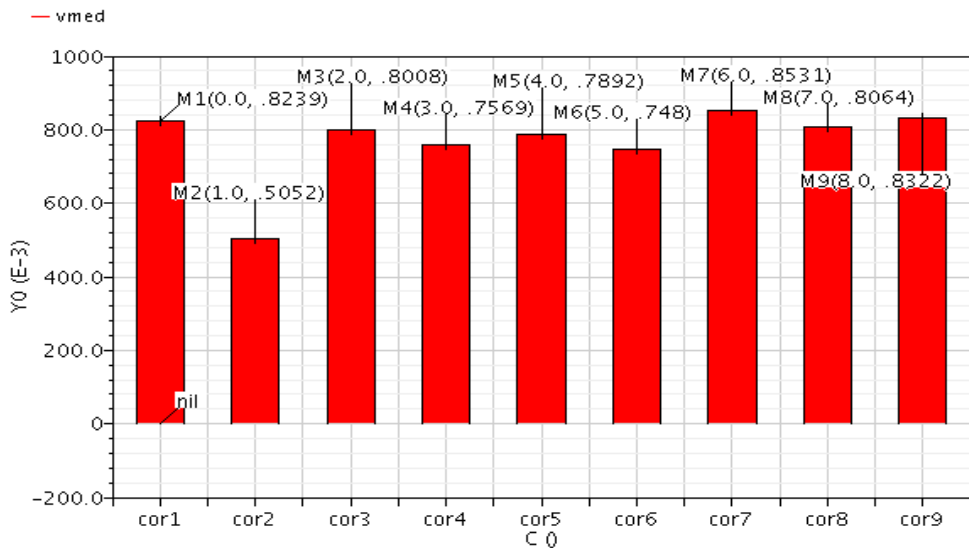


Figura 4.1.4.4 – Valores do deslocamento CC feito pelo circuito AMP-DIF<sub>AL</sub>.

### 4.1.5 Distorção Harmônica Total – THD

Utilizou-se o parâmetro da distorção harmônica total para testar a linearidade do AMP-DIF<sub>AL</sub>. Na figura 4.1.5.1 é mostrado o resultado de THD para os sinais de saída no gráfico da figura 4.1.4.1. Observa-se que os *corners* cor2, cor5 e cor7 apresentam



altas distorções, mostrando a inviabilidade de utilização do circuito para o modelo do MOSFET wcs (*worst case speed*).

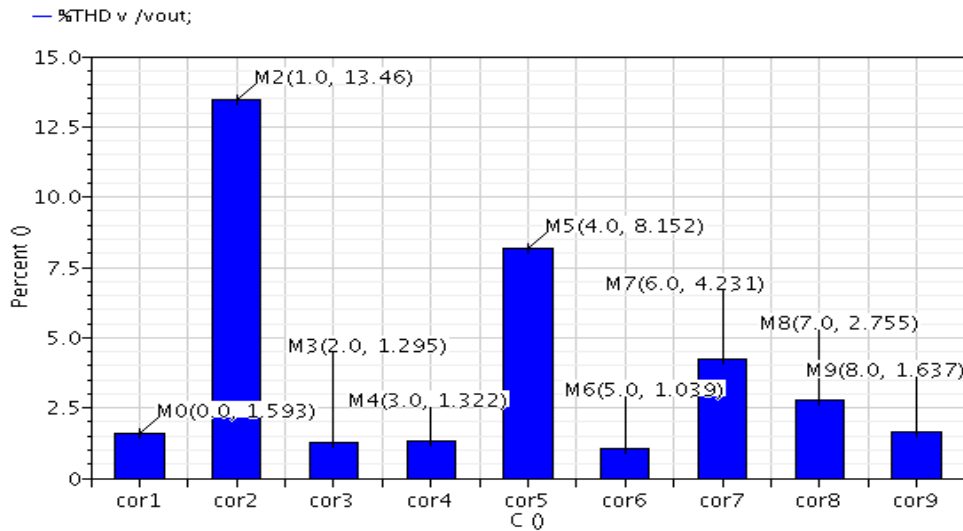


Figura 4.1.5.1 – Distorção Harmônica Total do AMP-DIF<sub>AL</sub> para os sinais de saída do gráfico da figura 4.1.4.1 nos *corners* da tabela 4.1.

#### 4.1.6 Consumo

Fez-se uma análise CC para verificar o consumo do circuito AMP-DIF<sub>AL</sub>. O resultado é demonstrado na figura 4.1.6.1. Percebe-se que o pior caso é o do *corner* cor3 no qual o consumo, igual a 3,43 mW (5,5 V x 623,4  $\mu$ A), chega ao dobro do caso típico cor1, 1,53 mW (5 V x 306,6  $\mu$ A). O melhor caso é o cor2, no qual o consumo é igual a 0,79 mW (4,5 V x 175,6  $\mu$ A). De fato, esperava-se que o *corner* cor3 apresentasse o maior consumo, uma vez que o modelo do MOSFET utilizado utilizado é o wcp (*worst case power*) e a tensão de alimentação fornecida é 10% maior para V<sub>DD</sub> e V<sub>SS</sub>. Similarmente, esperava-se que o *corner* cor2 apresentasse o menor consumo, devido às suas características.

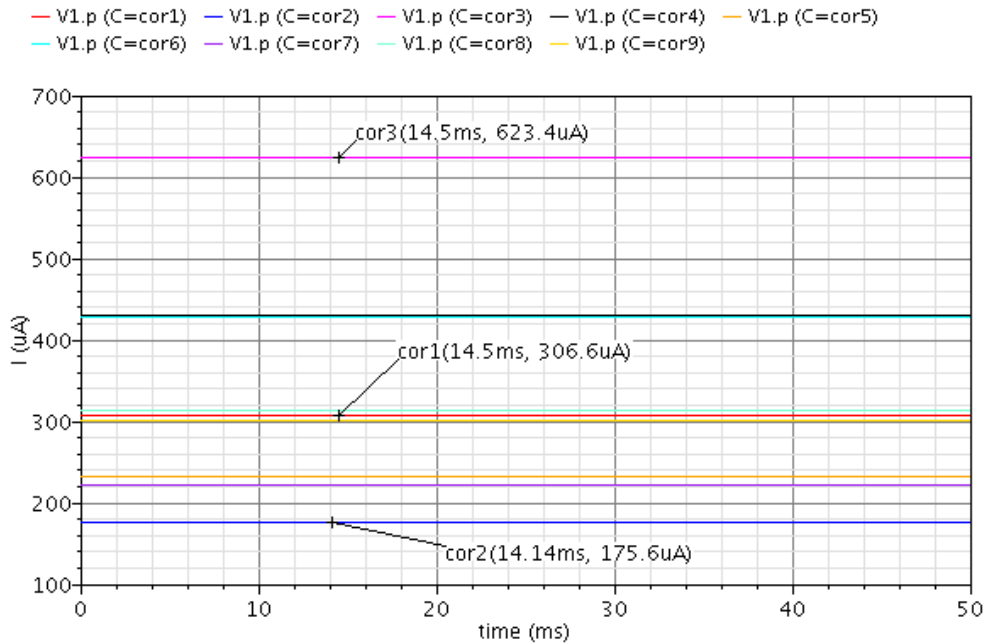


Figura 4.1.6.1 – Consumo do AMP-DIF<sub>AL</sub> para os *corners* da tabela 4.1.

## 4.2 Resultados de Simulação do Circuito *Buffer*

### 4.2.1 Tensão de Desvio

Da mesma forma abordada no item 4.1.1, a tensão de desvio foi analisada nas seguintes situações: para as dimensões dos MOSFETs da tabela 3.3.4, nos *corners* da tabela 4.1 e no caso típico (cor1), para as variações de 0,1% e 0,01% nas dimensões do MOSFET M<sub>2</sub> do par diferencial, conforme tabela 4.1.1.1. Os resultados são apresentados nas figuras 4.2.1.1 e 4.2.1.2, respectivamente.

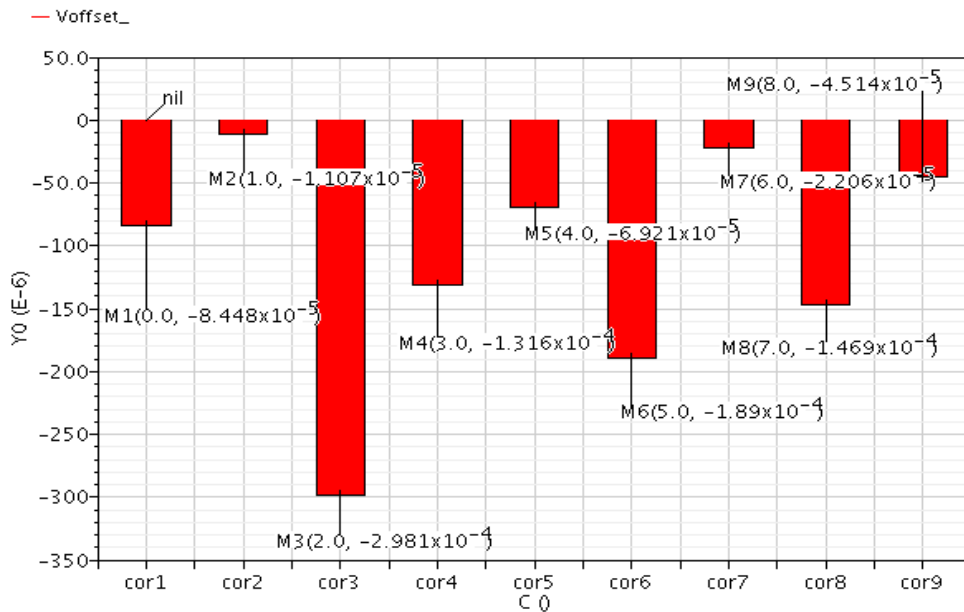


Figura 4.2.1.1 – Tensão de desvio do circuito *buffer* para os corners da tabela 4.1.

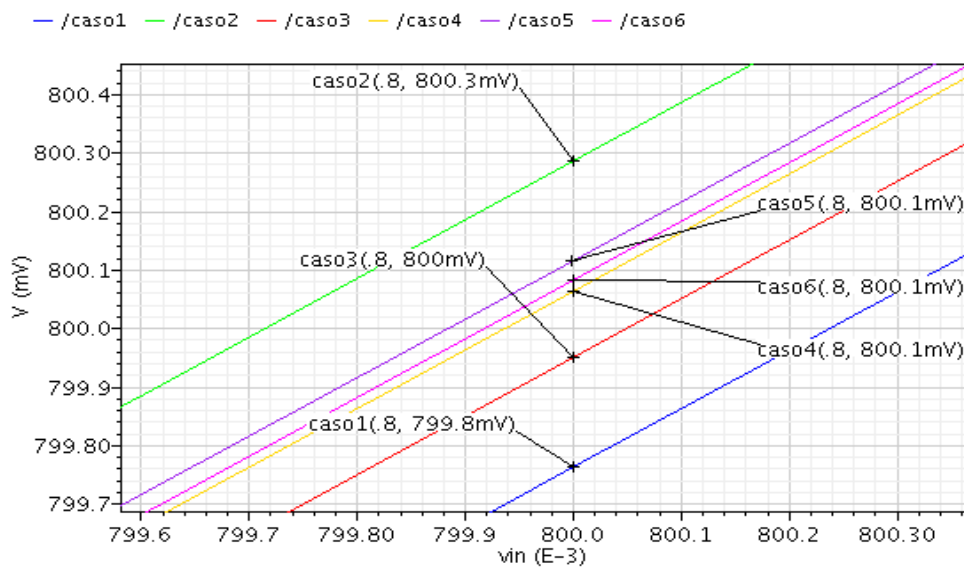


Figura 4.2.1.2 – Tensão de desvio do circuito *buffer* para os casos da tabela 4.1.1.1..

Percebe-se que a variação da tensão de desvio para as variações nas dimensões do MOSFET  $M_2$  do par diferencial do *buffer* é bem pequena, sendo em torno de 0,5 mV entre os casos de variação de 0,1% e em torno de 0,06 mV entre os casos de variação de 0,01%.

## 4.2.2 Faixa Dinâmica de Entrada – ICMR

O parâmetro ICMR (*input common mode range*) objetiva identificar os limites de operação do amplificador em relação à tensão de porta dos transistores do par diferencial de entrada, configurado em modo comum. Foi realizada uma simulação DC, com variação da tensão de entrada,  $V_{in}$ , entre -0,5 V a 2,0 V. O resultado dessa simulação é apresentado na figura 4.2.2.1.

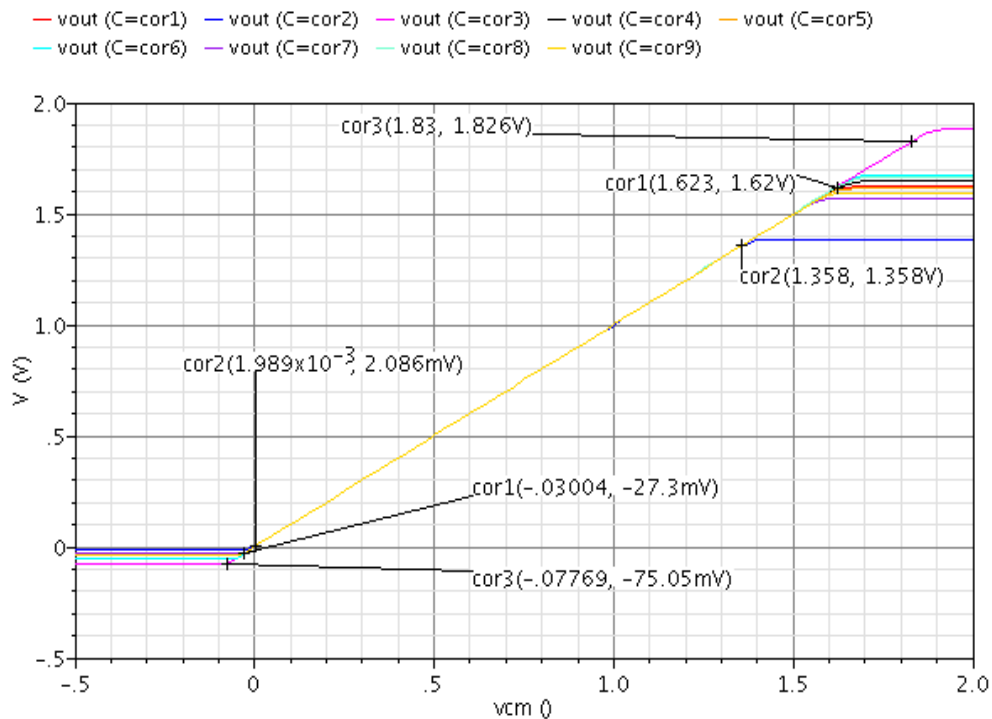


Figura 4.2.2.1 – Faixa de variação de tensão de modo comum na entrada (ICMR) do *buffer* para os *corners* da tabela 4.1

Pode-se verificar que a região linear de operação para o caso típico (cor1) está compreendida entre -30 mV e 1,62 V. O melhor caso é o *corner* 3 (cor3), no qual a região linear vai de -77 mV a 1,83 V e o pior caso é o *corner* 2 (cor2), no qual há um estreitamento na faixa linear de  $V_{in}$ , de -2 mV a 1,35 V. Este estreitamento provoca distorção na tensão de saída, uma vez que, como se trata de um *buffer*, o sinal de entrada deveria ser igual ao de saída, variando na faixa entre 0 V a 1,6 V.

### 4.2.3 Excursão do sinal na saída

Nesta análise, objetiva-se identificar os limites de operação do amplificador em relação à excursão da tensão na saída do circuito. Foi realizada uma simulação CC, com variação da tensão de entrada,  $V_{in}$ , entre -0,5 V a 0,5 V. O resultado dessa simulação é apresentado na figura 4.2.3.1.

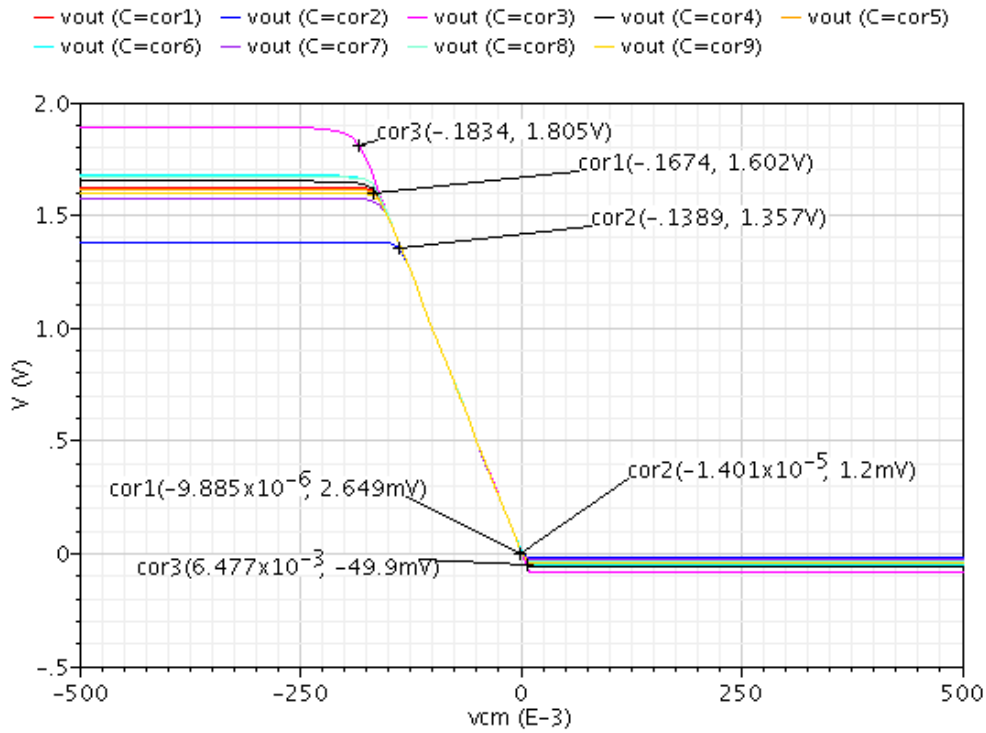


Figura 4.2.3.1 – Excursão do sinal de saída do *buffer* para os *corners* da tabela 4.1.

Pode-se verificar que a região linear de operação para o caso típico (cor1) está compreendida entre 2,65 mV e 1,60 V. O melhor caso é o corner 3 (cor3), no qual a região linear vai de -50 mV a 1,80 V e o pior caso é o corner 2 (cor2), no qual há um estreitamento na faixa linear de  $V_{out}$ , de -1,2 mV a 1,36 V.

### 4.2.4 Resposta em Frequência

A análise AC obtida do amplificador operacional utilizado no *buffer* é mostrada na figura 4.2.4.1. Pelo diagrama de bode em malha aberta é possível observar a posição dos dois pólos reais do circuito. O pólo de frequência mais próxima à do pólo

dominante se encontra em uma frequência bem mais elevada que a frequência de ganho unitário (portanto, aproximadamente igual ao GBW) para todos os *corners*, mostrando que o circuito é bem estável mesmo para variações de temperatura, tensão de alimentação e parâmetros de processo. O ganho CC em malha aberta para o caso típico (cor1) é 74 dB. O melhor e o pior caso são o corner 2 (cor2) e o corner 3 (cor3), no quais os ganhos CC em malha aberta são 77 dB e 65 dB, respectivamente.

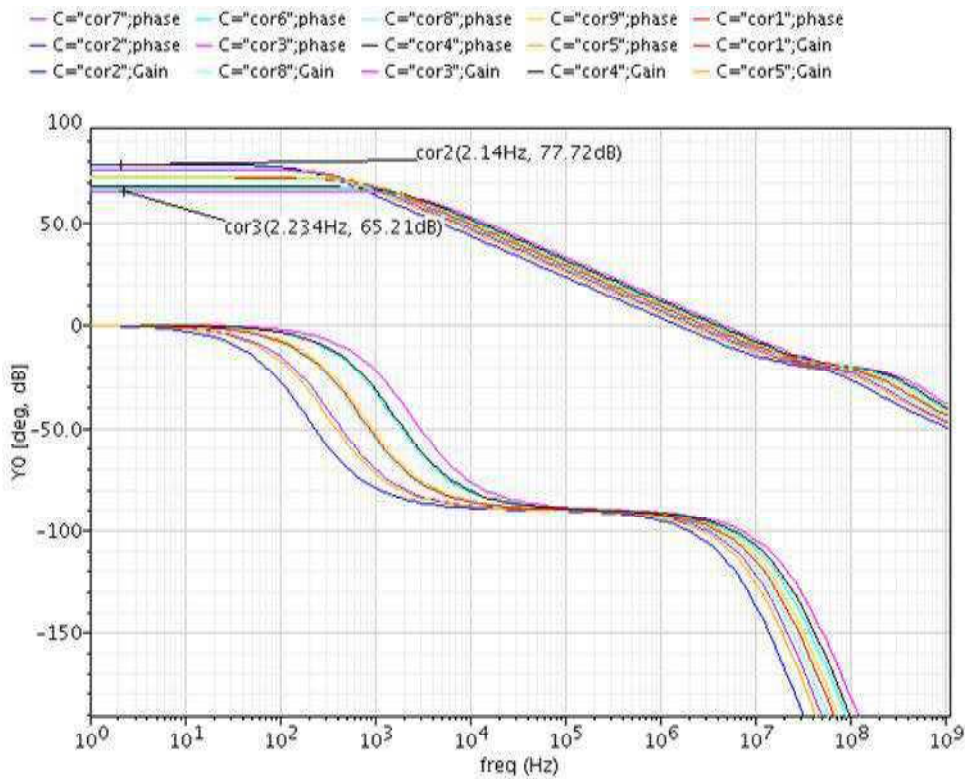


Figura 4.2.4.1 – Resposta em frequência em módulo e fase do amplificador operacional do *buffer* em malha aberta, para os *corners* da tabela 4.1.

As figuras 4.2.4.2 e 4.2.4.3 explicitam os valores de margem de fase e banda de ganho unitário, respectivamente, extraídas da figura 4.2.4.4. Percebe-se a pouca variação da margem de fase em função dos *corners*. Para a banda de ganho unitário, que no caso é aproximadamente igual ao produto ganho-largura de banda, tem-se  $GBW = 2,77$  MHz para cor1,  $GBW = 1,46$  MHz para cor2 e  $GBW = 4,35$  MHz para cor3, que são o pior e o melhor casos, respectivamente.

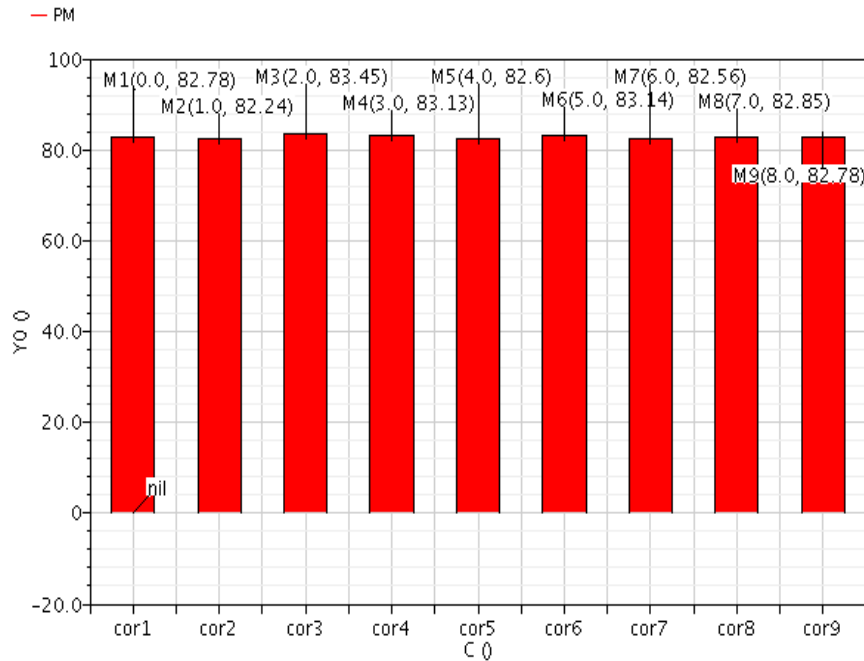


Figura 4.2.4.2 – Margem de fase do amplificador operacional do *buffer* para os *corners* da tabela 4.1.

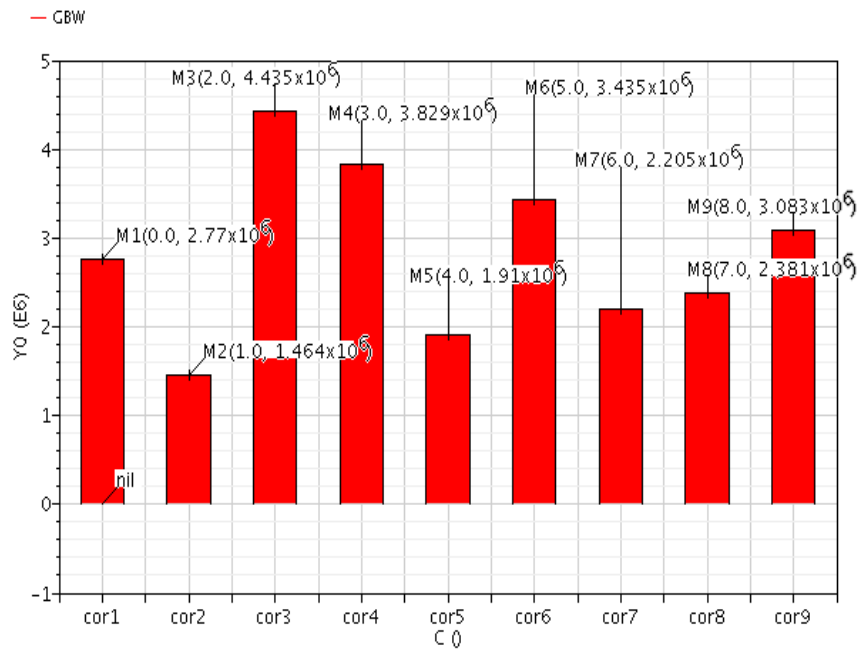


Figura 4.2.4.3 – Frequência de ganho unitário do amplificador operacional do *buffer* para os *corners* da tabela 4.1.

### 4.2.5 Slew-rate - SR

A medida do *slew-rate* determina qual a maior taxa de variação a tensão de saída pode ter. Normalmente é dado em V/ $\mu$ s. A resposta do circuito será distorcida quando for exigido que sua variação seja maior do que o SR, pois não é possível carregar e descarregar as capacitâncias associadas aos nós tão rapidamente quanto o necessário. Nas figura 4.2.5.1 e 4.2.5.2 são apresentados os valores de SR positivo e negativo para os *corners* da tabela 4.1, respectivamente.

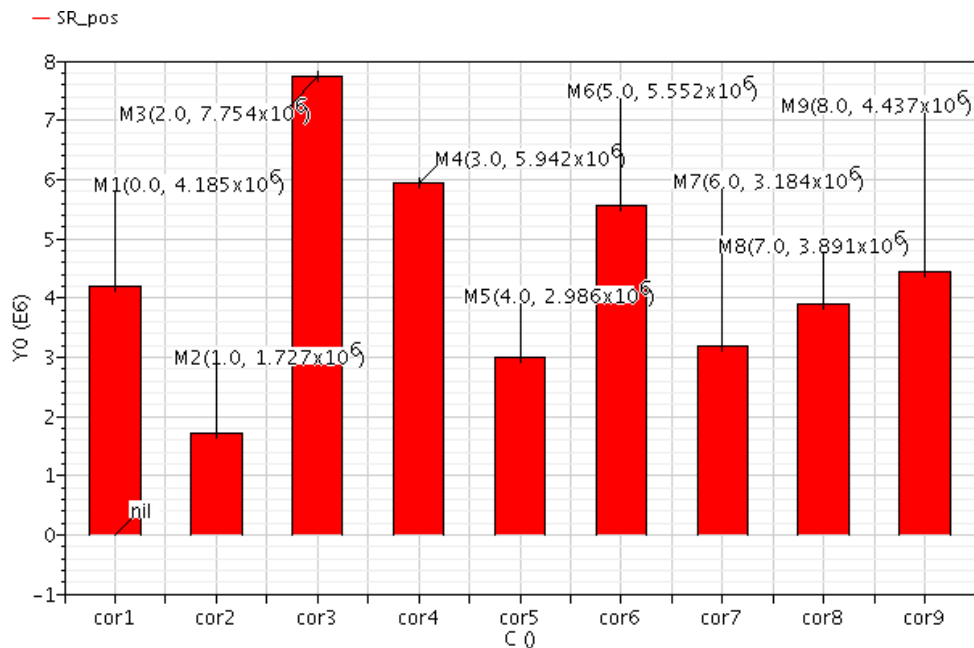


Figura 4.2.5.1 – Valores de SR positivo para os *corners* da tabela 4.1.



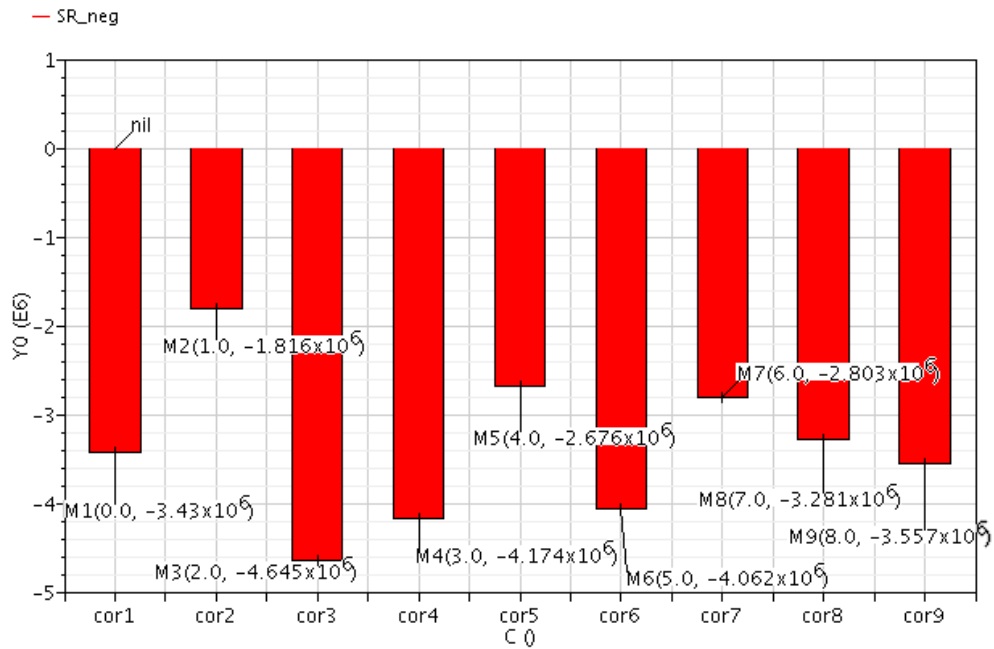


Figura 4.2.5.2 – Valores de SR negativo para os *corners* da tabela 4.1.

## 4.2.6 Consumo

Fez-se uma análise CC para verificar o consumo do circuito *buffer*. O resultado é demonstrado na figura 4.2.6.1. Da mesma forma ocorrida na análise do AMP-DIF<sub>AL</sub>, esperava-se que o pior caso fosse o do *corner* cor3, no qual o consumo igual a 13,4 mW (5,5 V x 2,435 mA) é bem maior que o caso típico cor1, 7,3 mW (5 V x 1,46 mA). O melhor caso é o cor2, no qual o consumo é igual a 3,6 mW (4,5 V x 798,2 μA).

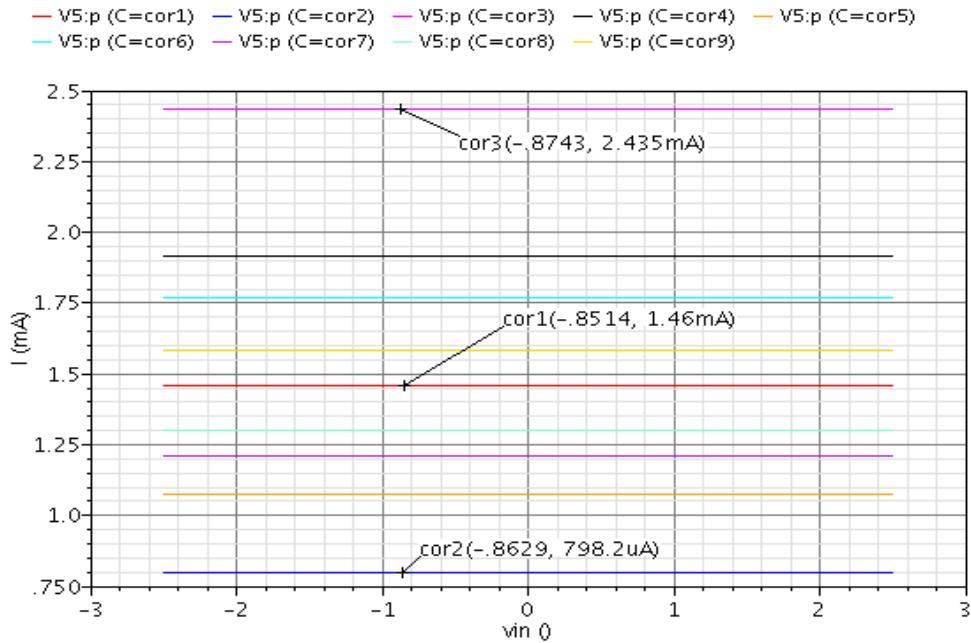


Figura 4.2.6.1 – Consumo do *buffer* para os *corners* da tabela 4.1

### 4.3 Resultados do Circuito de Condicionamento de Sinais

Por fim, foram feitas simulações para testar o desempenho do circuito completo de condicionamento de sinais para duas situações extremas de sinais de entrada: a tensão da rede elétrica de 220  $V_{rms}$  e a tensão proveniente de um eletrocardiograma de 10 mV pico a pico.

Na figura 4.3.1 é apresentado o sinal de entrada proveniente da rede elétrica ( $V_{IN}$ ) e o sinal de saída do circuito de condicionamento ( $V_{out}$ ). Para esta simulação no domínio do tempo no caso típico (cor1), o resistor de entrada  $R_{IN}$  foi ajustado para 6,22  $M\Omega$ , de modo que a saída pudesse excursionar entre 0 V e 1,6 V, valores a serem disponibilizados às entradas de referência externa no conversor A/D embutido no microcontrolador a ser usado no sistema de aquisição de dados.

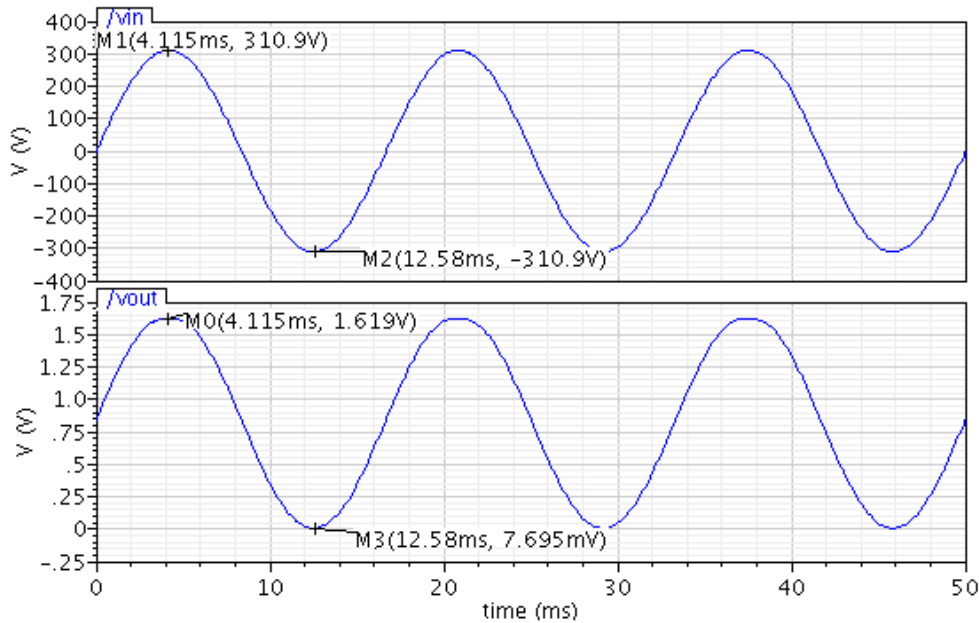


Figura 4.3.1 – Resposta do circuito de condicionamento ( $V_{OUT}$ ) ao sinal de entrada proveniente da rede elétrica ( $V_{IN}$ ) para o caso típico cor1.

Pode-se perceber que o sinal de saída se enquadra na faixa determinada para a leitura do conversor A/D, apresentando uma pequena variação de 19 mV na tensão de pico máxima e 7,7 mV na tensão de pico mínima. A distorção harmônica total para este caso é de 2,17 %.

Na figura 4.3.2 é apresentado o sinal de entrada ( $V_{IN}$ ) proveniente de um eletrocardiograma (ECG) e o sinal de saída do circuito de condicionamento ( $V_{OUT}$ ) para uma simulação no domínio do tempo no caso típico (cor1). Conforme abordado no item 3.2, o circuito AMP-DIF<sub>AL</sub> foi projetado de forma a amplificar um sinal de 5 mV de pico nas suas entradas diferenciais. Desta forma, resistor de entrada  $R_{IN}$  foi retirado de modo que a tensão do eletrocardiograma fosse aplicada diretamente às entradas diferenciais de AMP-DIF<sub>AL</sub>. Pode-se perceber que o sinal de saída se enquadra na faixa determinada para a leitura do conversor A/D (de 0 V a 1,6 V), apresentando uma pequena variação de 19 mV na tensão de pico máxima e 11,3 mV na tensão de pico mínima. A distorção harmônica total para este caso é de 2,1 %.

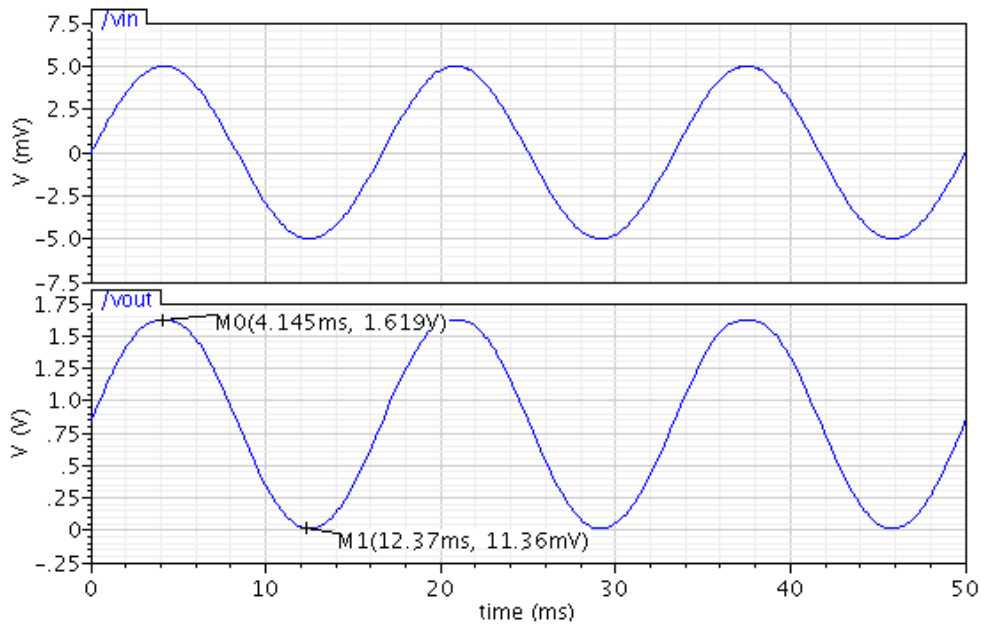


Figura 4.3.2 – Resposta do circuito de condicionamento ( $V_{OUT}$ ) ao sinal de entrada ( $V_{IN}$ ) proveniente de um eletrocardiograma (ECG) para o caso típico cor1.

Os *corners* mostrados no item 4.1.4 que apresentaram bons resultados para a resposta do AMP-DIF<sub>AL</sub> foram utilizados para a simulação do circuito completo de condicionamento, considerando como entrada a tensão da rede elétrica de 220  $V_{rms}$ . Os resultados estão destacados na figura 4.3.3. Os gráficos das figuras 4.3.4, 4.3.5, 4.3.6 e 4.3.7 explicitam as características de valor de pico máximo, de pico mínimo, de deslocamento CC e distorção harmônica total das curvas da figura 4.3.3.

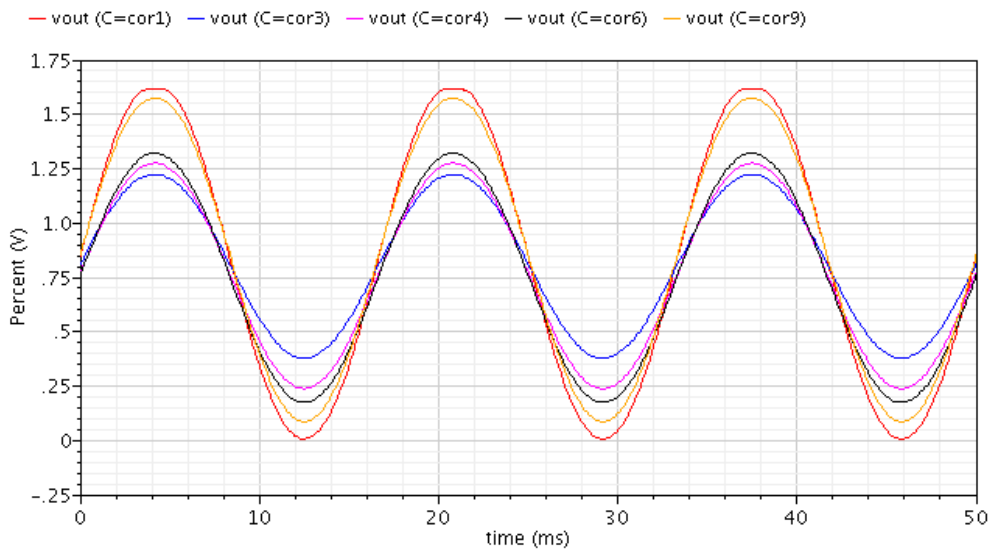


Figura 4.3.3 – Resposta do circuito de condicionamento de sinais à tensão da rede elétrica (220  $V_{rms}$ ), para  $R_{IN} = 6,22 M\Omega$ , nos *corners* cor1, cor3, cor4, cor6 e cor9.

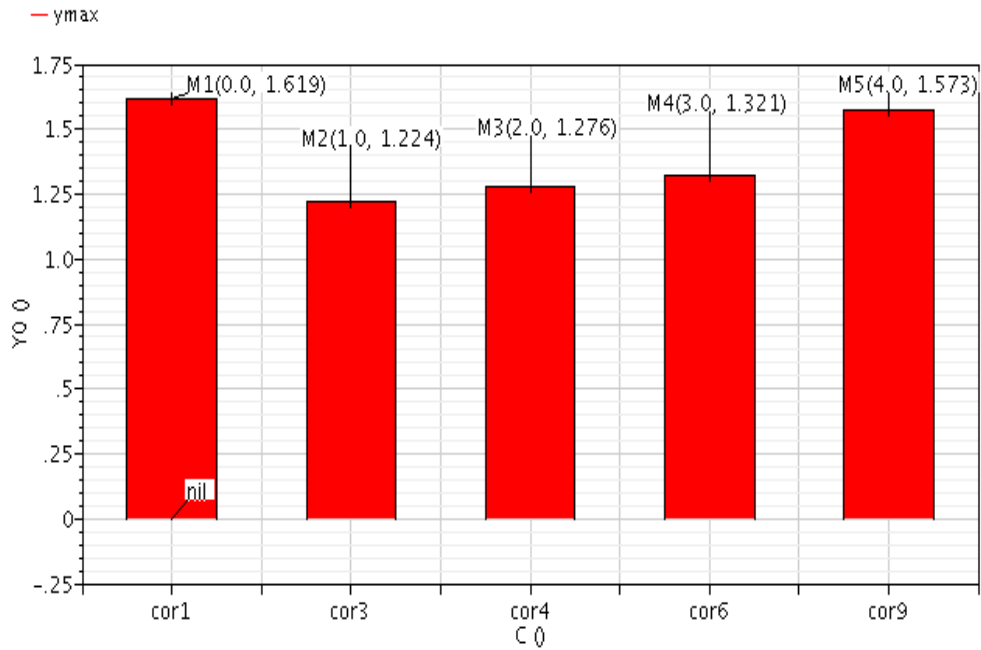


Figura 4.3.4 – Valores de pico máximo da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3.

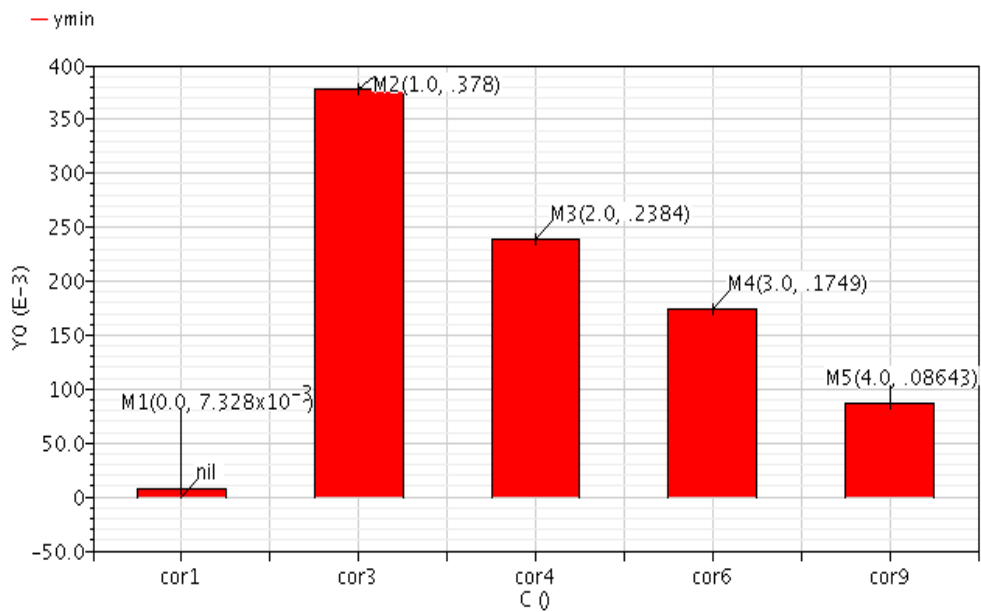


Figura 4.3.5 – Valores de pico mínimo da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3.

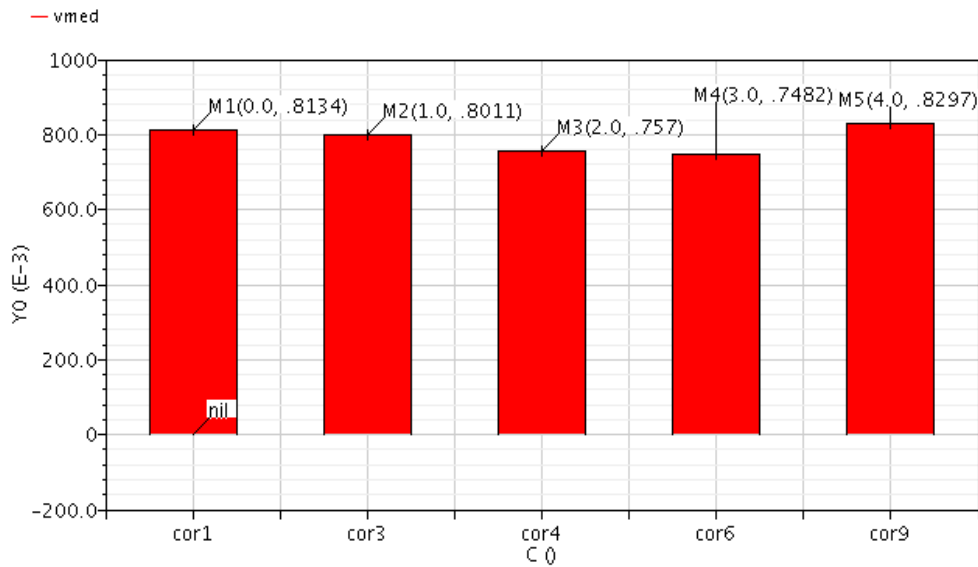


Figura 4.3.6 – Valores do deslocamento CC da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3.

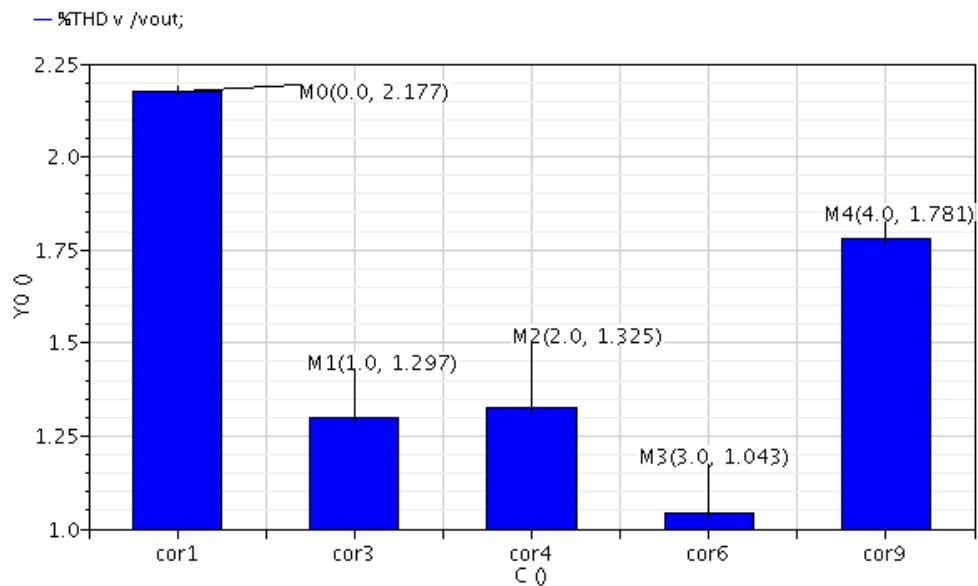


Figura 4.3.7 – Distorção Harmônica Total do da tensão de saída do circuito completo de condicionamento, extraído do gráfico da figura 4.3.3.

Embora os resultados mostrados na figura 4.3.3 apresentem pouca distorção, as tensões máxima e mínima no caso dos *corners* cor3, cor4, cor6 e cor9 ainda precisam ser enquadradas na faixa de 0 V a  $V_{REF+}$  para serem lidos pelo conversor A/D com o menor erro possível. Desta forma, para cada *corner*, deve-se alterar o valor do resistor de entrada,  $R_{IN}$ , de modo a obter tal excursão.

Fez-se inicialmente uma análise CC do circuito de referência em tais *corners* para verificar a variação do valor  $V_{eREF+}$ , a ser disponibilizado ao microcontrolador, conforme figura 4.3.8. Percebe-se uma variação do valor entre 1,555 V no cor9 e 1,823 V no cor3.

Para a verificação de desempenho do circuito de condicionamento de sinais para estes *corners*, escolheu-se inicialmente o *corner* cor9. Fez-se uma varredura no valor de  $R_{IN}$ , a partir de uma análise CC, para observar a variação dos valores de pico máximo e mínimo do sinal de saída, conforme figura 4.3.9. O ajuste de  $R_{IN}$  deve ser feito de forma a minimizar os erros de leitura. O resistor de entrada que melhor ajusta o sinal de saída do circuito de condicionamento é  $R_{IN} = 5,5 \text{ M}\Omega$ .

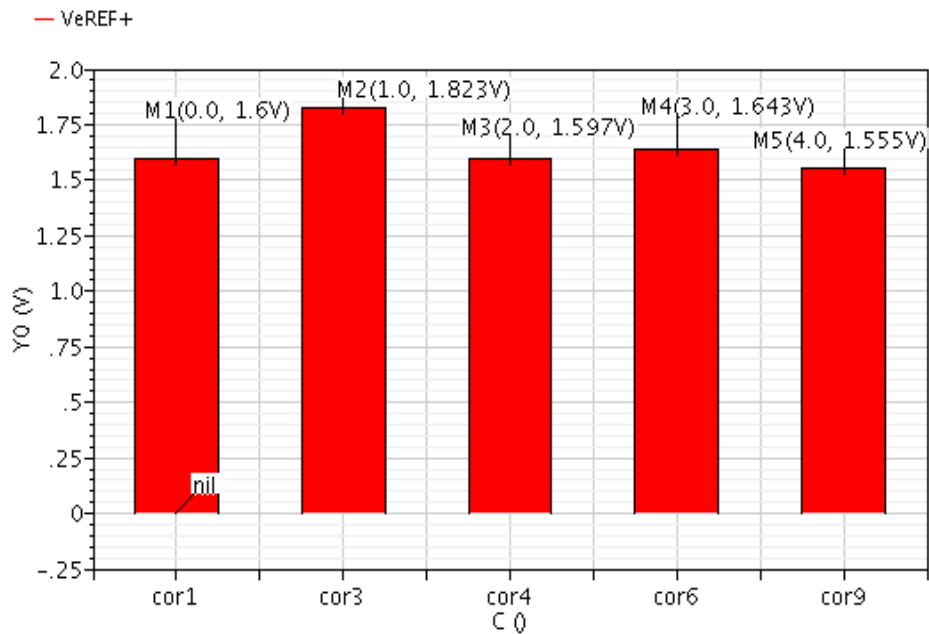


Figura 4.3.8 – Tensão  $V_{eREF+}$  gerado pelo circuito de referência para os corners cor1, cor3, cor4, cor6 e cor9.

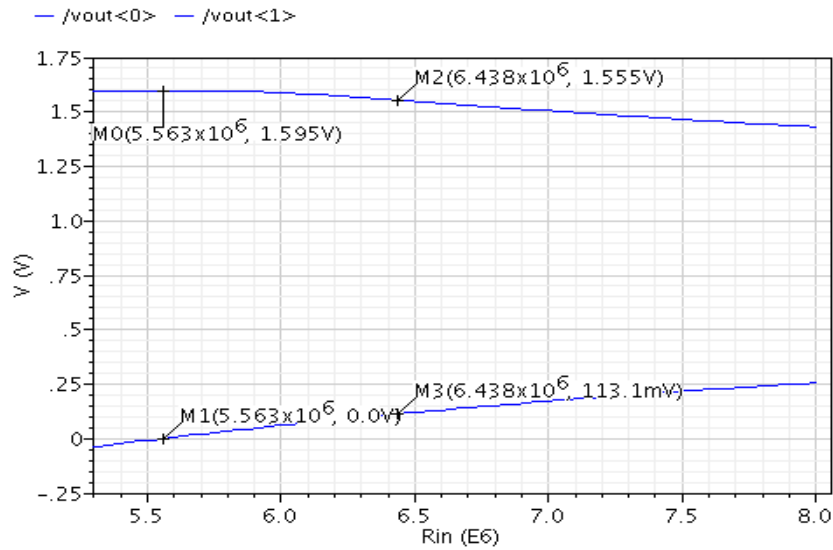


Figura 4.3.9 – Varredura no valor de  $R_{IN}$  para observar a variação dos valores de pico máximo e mínimo do sinal de saída do circuito de condicionamento para o *corner* cor9.

Uma vez determinada a resistência  $R_{IN}$ , fez-se uma simulação no domínio do tempo para observar a excursão do sinal de saída. O resultado é mostrado na figura 4.3.10. A distorção harmônica total deste sinal é de 1,9%.

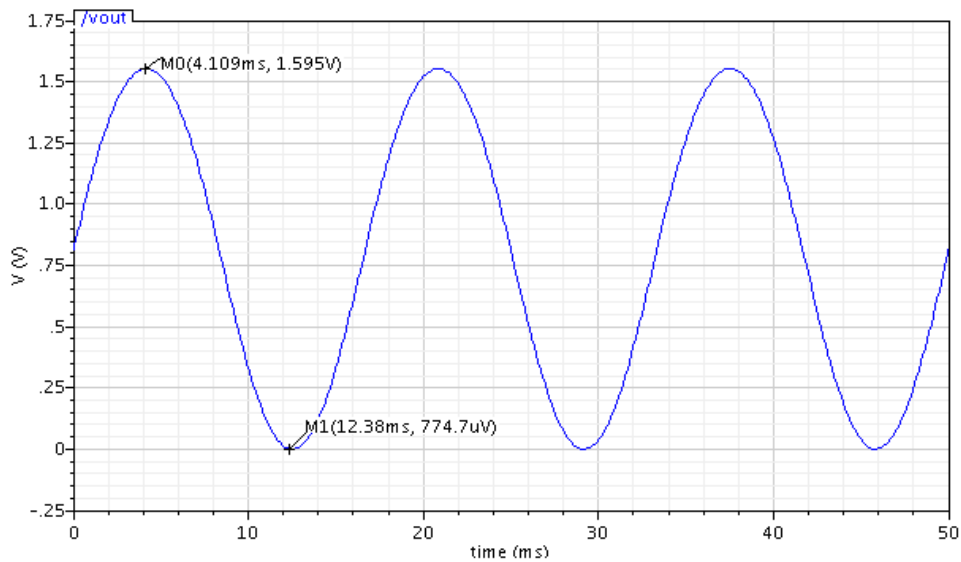


Figura 4.3.10 – Resposta do circuito de condicionamento de sinais à tensão da rede elétrica ( $220 V_{rms}$ ), para  $R_{IN} = 5,5 M\Omega$ , no *corner* cor9.



# Capítulo 5

## Conclusões

Neste trabalho foi apresentada uma topologia nova e simples para um circuito de condicionamento de sinais, integrado em um ASIC (*Application Specific Integrated Circuit*), em tecnologia CMOS. Este circuito tem por objetivo atender aos requisitos de leitura dos conversores analógicos digitais embutidos em microcontroladores de mercado usados em sistemas de aquisição de dados.

Foi utilizado o artifício do escalamento para que o circuito AMP-DIF<sub>AL</sub> tivesse seu sinal de saída enquadrado entre 0 V e 1,6 V e que atendesse aos requisitos de amplitude e frequência dos sinais de entrada do sistema de aquisição de dados e aos requisitos de entrada do conversor analógico-digital para o caso típico (cor1). A partir da análise dos resultados de simulação, este circuito apresentou boas respostas de ganho DC e de frequência, de consumo, além de alta taxa de rejeição de modo comum para todos os *corners* simulados. A taxa de rejeição de modo comum é um importante parâmetro para a aplicação de sinais biomédicos. No caso da resposta ao sinal senoidal, observou-se que o circuito tem um bom desempenho para os *corners* cor1, cor3, cor4, cor6 e cor9 e apresenta distorções harmônicas apreciáveis para cor2, cor5 e cor7. Analisando as características destes *corners*, percebe-se que o modelo do MOSFET *wcs* (*worst case speed*) é comum a todos eles, mostrando a inviabilidade de utilização do circuito de condicionamento para este modelo.

O circuito *buffer* foi projetado de modo a seguir a tensão de saída de 0 V a 1,6 V do AMP-DIF<sub>AL</sub> no caso típico (cor1), além de fazer um acoplamento de impedância de saída deste circuito à impedância de entrada do conversor A/D. A partir da análise dos

resultados de simulação, este circuito apresentou uma faixa dinâmica de entrada e uma excursão do sinal na saída condizentes com os valores projetados no caso típico. O *corner* que apresentou pior desempenho em ambos os casos foi o cor2, no qual o abaixamento dos limites superiores dessas faixas para valores menores que 1,4 V o torna inviável para utilização. No que diz respeito à resposta em frequência e *slew-rate*, apesar dos valores projetados e simulados apresentarem uma pequena variação, os valores obtidos por simulação apresentam resultados satisfatórios para o funcionamento do circuito de condicionamento de sinais. Devido à característica de baixa resistência da impedância de entrada do conversor A/D, o consumo apresentou valores na casa de unidades de miliamperes.

De posse de todas essas análises e verificações de desempenho dos blocos funcionais do circuito integrado, fez-se uma análise do circuito de condicionamento de sinais completo para o sinal da rede elétrica de 220 V<sub>rms</sub> e o sinal de um eletrocardiograma (ECG) de 5 mV de pico, no *corner* cor1. Pode-se perceber que o sinal de saída se enquadra na faixa determinada para a leitura do conversor A/D para ambas situações, apresentando uma pequena variação de 19 mV na tensão de pico máxima, 7,7 mV na tensão de pico mínima e distorção harmônica total de 2,17 % para o primeiro caso e variação de 19 mV na tensão de pico máxima, 11,3 mV na tensão de pico mínima e distorção harmônica total de 2,1 % para o segundo caso. Além disso, foi escolhido um dos *corners*, cor9, e feita uma análise do ajuste necessário a ser feito no resistor de entrada ( $R_{IN}$ ) para adequar o sinal de saída à faixa de leitura do conversor A/D. Observou-se que mesmo para o abaixamento no valor de  $V_{REF+}$  (de 1,6 V no caso típico para 1,555 V neste *corner*), o valor de  $R_{IN}$  que melhor ajusta o sinal de saída é 5,5 M $\Omega$ , no qual enquadra a tensão de saída entre 774  $\mu$ V e 1,595.

Diante do exposto, para um melhor resultado do circuito em situações adversas de variação de temperatura, tensão de alimentação e modelo do MOSFET, este trabalho abre a possibilidade de estudos futuros no que se refere a circuitos de referência que forneçam tensões mais estáveis a estas variações. Outra possibilidade seria o estudo de circuitos capazes de fazer a detecção dos picos máximos e mínimos da tensão de saída para serem disponibilizados às entradas de referência externa do microcontrolador, para minimizar ainda mais os erros de conversão do sinal analógico para digital. Por fim, cabe o estudo da caracterização do circuito integrado após fabricação.

# Referências Bibliográficas

- [1] ALMEIDA, Cleber V. R. de. “*Equipamento para Estimação do Torque em Motores de Indução Trifásicos pelo Método do Escorregamento auxiliado pela Análise Espectral do Sinal de Corrente do Estator - Desenvolvimento e Implementação*” – Dissertação de Mestrado, Departamento de Engenharia Elétrica (DEE), Escola Politécnica (EP), Universidade Federal da Bahia (UFBA), Salvador - BA, Brasil, 2007.
- [2] MARQUES, Ednaldo F. “*Concepção e Realização de uma Interface Hardware/Software destinada a Aquisição de Sinais Cardíacos utilizando Tecnologia sem Fio*” – Dissertação de Mestrado, Departamento de Mecatrônica, Escola Politécnica (EP), Universidade Federal da Bahia (UFBA), Salvador - BA, Brasil, 2009.
- [3] FRANÇA, Jose A. de. “*Sistemas de Aquisição de Dados Baseados em Microcontroladores*” – Dissertação de Mestrado, Coordenação de Cursos de Pós – Graduação em Engenharia Elétrica, Universidade Federal da Paraíba (UFPB), Campina Grande - PB, Brasil, 1997.
- [4] J. G. Webster, editor-in-chief. *The Measurement, Instrumentation, and Sensors Handbook*. United State of America: CRC Press LLC, IEEE Press, 1999.
- [5] R.Pallas-Areny and J.G. Webster. *Sensors and Signal Conditioning*. John Wiley & Sons, Inc, 2nd ed., 2001.
- [6] SANTOS, Jose Carlos dos. “*Sistema Eletrônico para Aquisição, Processamento e Armazenamento de Sinais Biológicos baseado na Norma IEEE 1451.4*” Dissertação de Mestrado, Pós – Graduação em Engenharia Elétrica, Universidade de São Paulo (USP), São Paulo - SP, Brasil, 2006.
- [7] S.Y.C Catunda, J. F Navier, R.C.S Freire, G.A.L Pinheiro. *Programmable and level shift analog signal conditioning circuit: Microcontroller based implementation*. Instrumentation and Measurement Technology Conference, 2005. IMTC 2005.

- [8] D.R Belfort, S.Y.C Catunda, F.R de Souza, J.P.M Dantas, R.C.S Freire. *Programmable analog signal conditioning circuit for integrated circuit*. Instrumentation and Measurement Technology Conference, 2008. IMTC 2008.
- [9] Jichun Zhang and Andrew Mason. *Characterization of a Configurable Sensor Signal Conditioning Circuit for Multi-Sensor Microsystems*. IEEE, 0-7803-8692-2/04, 2004.
- [10] P. Pietrzak, W. Tylman, Z. Kulesza, B. Pêkosàawski, M. Mularczyk, A. Napieralski. *Signal Conditioning Based on Programmable Analog Circuits*. MIXDES International Conference, 2006.
- [11] Jianqiang Wang, Jiuchun Jiang. *Design of Sampling Signal Conditioning Circuits for DSP-controlled Grid-connecting Photovoltaic Inverter*. 2nd International Conference on Power Electronics and Intelligent Transportation System, IEEE, 2009.
- [12] G. de Arcas, M. Ruiz', J.M. Lopez, R. Gutierrez, V. Villamayor, L. Gomez. Ma T. Montojo. *Design of an Intelligent Front-end Signal Conditioning Circuit for JR Sensors*. IEEE , 1-4244-0867-9/07, 2007.
- [13] P. D. Dimitropoulos, S. P. Nikolaidis, D. P. Karampatzakis, G. I. Stamoulis. *A Low-Power CMOS VLSI Circuit for Signal Conditioning in Integrated Capacitive Sensors*. IEEE, 0-7803-8692-2/04, 2004.
- [14] A. C. Barretto, C.V. R. Almeida, R. C. S. Freire. *Chip de Condicionamento Analógico de Sinais Aplicado a aquisição de Grandes e Pequenos Sinais para Equipamentos Eletrônicos de Medição*. Aceito para publicação no IX SEMETRO, 2011.
- [15] H. Daoud Dammak, S. Bensalem, S. Zouari, and M. Loulou. *Design of Folded Cascode OTA in Different Regions of Operation through gm/ID Methodology*. World Academic of Science, Engineering and Technology 45, 2008.
- [16] Mohammad Yavari and Omid Shoaie. *A Novel Fully-differential class AB folded-cascode OTA*. IEICE Eletronics Express, Vol.1, N° 13, 358-362, 2004.

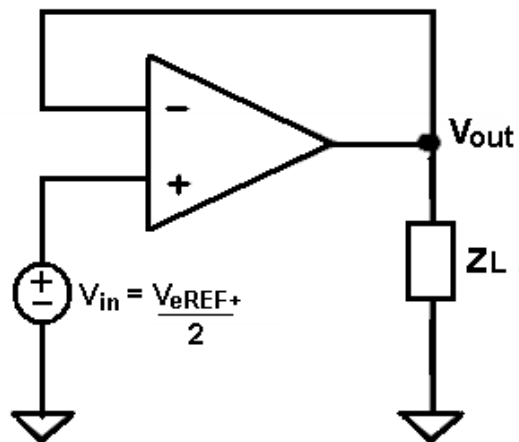
- [17] Franco Neto, Murillo F. “*Técnica para o Projeto de um Amplificador Folded-Cascode, Classe AB, em Tecnologia CMOS*”. Dissertação de Mestrado, Departamento de Sistemas Eletrônicos, Universidade de São Paulo (USP), São Paulo - SP, Brasil, 2006.
- [18] Allen and Holberg. *CMOS Analog Circuit Design*, 2nd Edition. New York: Oxford University Press, 2002.
- [19] Canh Q. Tran, Hiroshi Kawaguchi and Takayasu Sakurai. *Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment*. Institute of Industrial Science and Center for Collaborative Research, University of Tokyo, 2003.
- [20] Dong Pan<sup>1</sup>, Harry W. Li, Bogdan. M. Wilamowski. *A Low Voltage to High Voltage Level Shifter Circuit for MEMS Application*. University of Idaho, Electrical and Computer Engineering Department, Moscow.
- [21] Gianluca Giustolisi, Alfio Dario Grasso, Salvatore Pennisi. *High-Drive and Linear CMOS Class-AB Pseudo-Differential Amplifier*. IEEE Transactions on Circuits and Systems – II. Vol. 54, N° 2, 2007.
- [22] A. Arnaud and C. Galup-Montoro. *Pico-A/V range CMOS transconductors using series-parallel current division*. Electronics Letters, Vol. 39, N° 18, 2003.
- [23] C. Domínguez-Matas, R. Carmona-Galán, F. J. Sánchez-Fernández, A. Rodríguez-Vázquez. *Robust Symmetric Multiplication for Programmable Analog VLSI Array Processing*. IEEE, 1-4244-0395-2/06, 2006.
- [24] Francois Krummenacher, Norbert Joehl. *A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning*. IEEE Journal of Solid-State Circuits, Vol 23, N° 3, 1988.
- [25] Anônimos. *MSP430x15x, MSP430x16x, MSP430x161x Mixed Signal Microcontroller*. October 2002 – Revised June 2004. Datasheet.
- [26] B. Razavi. *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill, 2001.

- [27] A. S Sedra and K. C. Smith, *Microeletrônica – 5ª Edição*. São Paulo: Pearson Prentice Hall, 2007.
- [28] A.P. Jr. *Amplificadores Operacionais e Filtros Ativos*. Porto Alegre. RS: Bookman, 2003.
- [29] G.E.Tobey,J.G.Graeme,andL.P.Huelsman. *Operational Amplifiers-Design And Applications*. Electrical and Electronic Engineering Series, McGraw-HillBookCompany, 1989.
- [30] Edward Lau, Neal Wang. *Single-Ended 2-Stage Opamp*. San Jose State University EE 223.
- [31] F. P. Cortes, S. Bampi. *Miller OTA Design Using a Design Methodology Based on the Gm/Id and Early-Voltage Characteristics: Design Considerations and Experimental Results*. IFIP VLSI-Soc 2003, Poster Session, Germany, December 2003.
- [32] Anônimos. *C5N AMIS Manufacturing Documentation Procedure*. 2004. Process Design Kit
- [33] Baker, R. Jacob. *CMOS Circuit Design, Layout and Simulations*. John Wiley & Sons, 2008.
- [34] Barr, Keith Elliott. *ASIC Design in the Silicon Sandboxes*. McGraw-HillBookCompany, 2007.

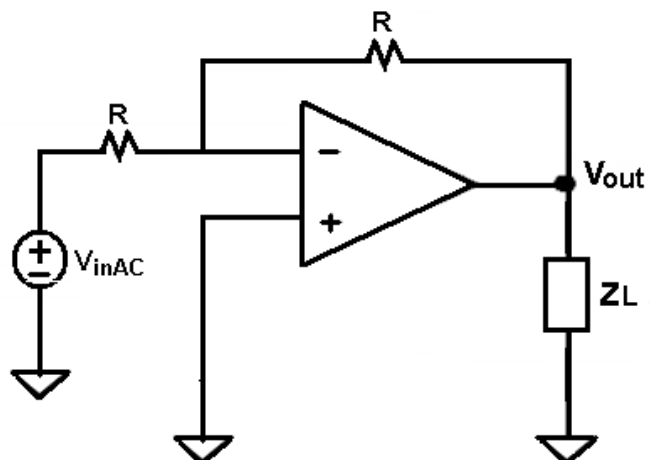
# Anexo I

## *Testbenchs* utilizados para simulações

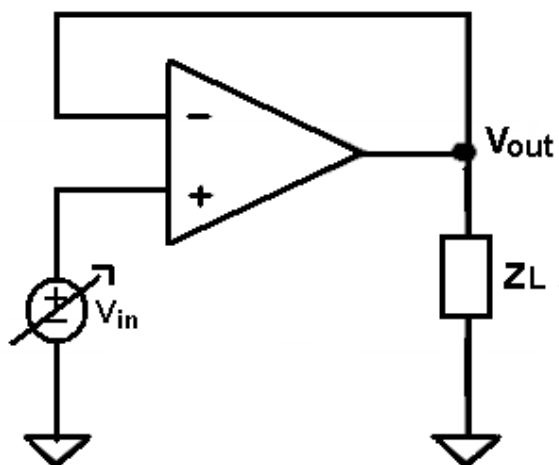
### I.1. Tensão de Desvio (off-set)



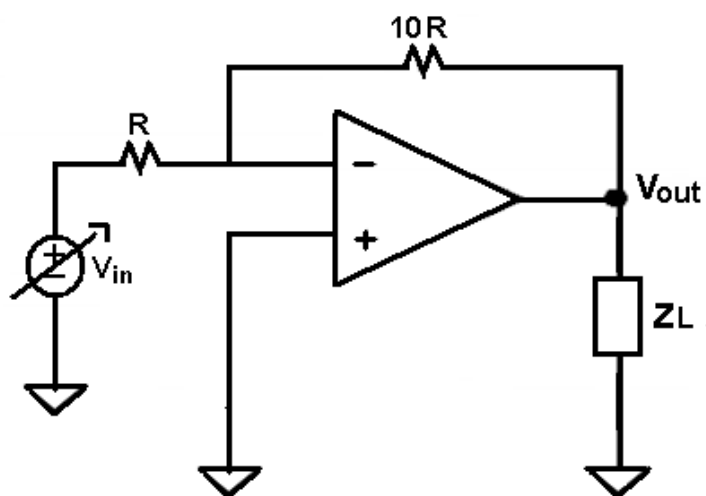
### I.2. Resposta em Frequência



### I.3. Faixa Dinâmica de Entrada (ICMR)

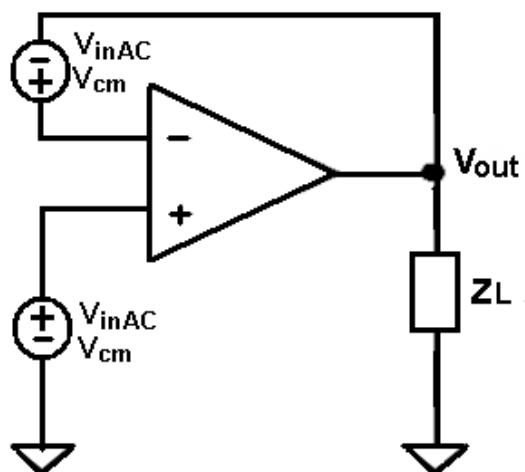


### I.4. Excursão do Sinal de Saída





### I.5. Taxa de Rejeição de Modo Comum



### I.6. Slew-Rate

