

**UNIVERSIDADE FEDERAL DE CAMPINA GRANDE  
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA  
COORDENAÇÃO DOS CURSOS DE PÓS-GRADUAÇÃO EM  
ENGENHARIA ELÉTRICA**

**TESE DE DOUTORADO**

**CONVERTOR ANALÓGICO-DIGITAL ASSÍNCRONO**

**Sabiniano Araújo Rodrigues**

**Campina Grande – PB  
2011**

**SABINIANO ARAÚJO RODRIGUES**

## **CONVERTOR ANALÓGICO-DIGITAL ASSÍNCRONO**

Tese de Doutorado submetida à Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências no domínio da Engenharia Elétrica – Área de concentração: Microeletrônica.

Orientadores: Prof. Dr. Raimundo Carlos Silvério Freire (UFCG) e Prof. Dr. Hassan Aboushady (UPMC – Paris VI)

**Campina Grande – PB  
2011**

**FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA  
CENTRAL DA UFCG**

R617c Rodrigues, Sabiniano Araujo  
Conversor analogico-digital assincrono / Sabiniano  
Araujo Rodrigues. - Campina Grande, 2011.  
137 f. : il.

Tese (Doutorado em Engenharia Eletrica) - Universidade  
Federal de Campina Grande, Centro de Engenharia Eletrica e  
Informatica.

1. Conversor Analogico-Digital 2. Tempo Continuo 3.  
Microeletronica 4. Tese I. Freire, Raimundo Carlos  
Silverio, Dr. II. Aboushady, Hassan, Dr. III. Universidade  
Federal de Campina Grande - Campina Grande (PB)

CDU 621.3.049.77(043)

**CONVERSOR ANALÓGICO-DIGITAL ASSÍNCRONO**

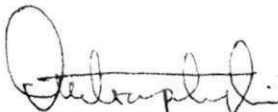
**SABINIANO ARAÚJO RODRIGUES**

Tese Aprovada em 28.11.2011

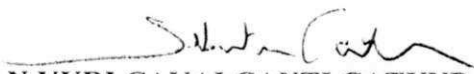


**RAIMUNDO CARLOS SILVÉRIO FREIRE, Dr., UFCG**  
Orientador

**HASSAN ABOUSHADY, Dr., UPMC – Paris VI**  
Orientador (Ausência Justificada)



**ANTONIO PETRAGLIA, Dr., UFRJ**  
Componente da Banca



**SEBASTIAN YURI CAVALCANTI CATUNDA, D.Sc., UFRN**  
Componente da Banca



**VINCENT PATRICK MARIE BOURGUET, Dr., UFRN**  
Componente da Banca



**NICOLAS ROBERT PAUL BEILLEAU, Dr., UFRN**  
Componente da Banca



**EDSON GUEDES DA COSTA, D.Sc., UFCG**  
Componente da Banca

CAMPINA GRANDE – PB  
NOVEMBRO - 2011

À memória de minha mãe,  
Eva Maria Campos Araújo,  
que me infundiu a confiança necessária  
para lutar sempre pela realização dos meus sonhos;  
à minha esposa, Giorgia, e à minha filha, Isabella,  
que trazem tanta luz e amor à minha vida,  
com sábias lições de esperança, compreensão e alegria,  
dedico humildemente este trabalho.

## AGRADECIMENTOS

A Deus, pelo amparo nos momentos difíceis e pela força interior.

À minha esposa, Giorgia, e à minha filha, Isabella, as quais amo muito, pelo carinho, paciência e incentivo.

À minha mãe, Eva (*in memoriam*), pelo dom da vida, pelos ensinamentos e pelas lições de amor, fé e esperança.

Aos meus orientadores e amigos, professores José Ivan Carnaúba Accioly, Raimundo Carlos Silvério Freire e Hassan Aboushady, por acreditarem no trabalho, pelo incentivo e pela contribuição valorosa.

Aos meus irmãos Lupicínio e Lamartine, às minhas tias Marily, Zélia e Avany e ao meu tio Manuel, pelo apoio, pela torcida e pelo incentivo nos momentos difíceis.

Aos meus sogros, Isaías e Irene, e aos cunhados Daphine, Demetra e Ernani, pelas visitas e viagens na França, pelas palavras de carinho e de apoio.

Aos meus amigos Luciano Londres, Silvino Londres, Ciro Leão e Rogério Honorato pelo apoio e amizade, principalmente ao cuidar das minhas coisas no Brasil no período que estive na França.

A todos os amigos do Instituto Federal de Educação, Ciência e Tecnologia da Paraíba (IFPB), e em especial a Aléssio Trindade, Alfredo Gomes Neto, Aniceto Costa, Evilacy Vieira (IFCE), Francisco Fachine, Luiz Guedes, Hélder Florentino, Ilton Barbacena, Jefferson Costa e Silva, Joabson Nogueira, Leonardo Moraes, Márcio Gomes, Marcílio Accioly (IFPE), Silvana Costa e Washington Costa, pelo incentivo constante e pela ajuda ao caminharmos juntos em alguns momentos.

A todos os amigos da Universidade Federal de Campina Grande, em especial aos amigos Alan Vinicius, Ana Carolina Lima, Bruno Costa, Bruno Winkeler, Bob Brandt, Cícero Soares, Cristovão Oliveira, Deusdete Brito, Eline Santos, Elyson Carvalho, Emmanuel Dupouy, Euler Macedo, Francisco Santos, Georgina Seres, Italo Arruda, Juan Villanueva, Karolie Grassi, Luana Gomes, Lucilene Mouzinho, Malone Castro, Maxwell Costa, Newton Fonseca, Reginardo Tribuzi, Thiago Batista, Wendell Costa e Will Almeida, pela ajuda, companheirismo e amizade.

A todos os amigos da *Université Pierre et Marie Curie* (UPMC – Paris VI), em especial aos professores Dimitri Galayko, Habib Mehrez, Jacky Porte, Marie-Minerve Louërat

e Ramy Iskander, e aos alunos Ahmed Ashry, Aline Mello, Andrii Dudka, Diomadson Rodrigues Belfort, Eldar Zianbetov, Farakh Javid, Hussein Adel, Isaac Maia Pessoa, Mahmoud Mostafa, Michel Vasilevski, Mootaz Allam, Wagdy Mohamed Gaber e Youssr Ismail, pelas orientações, pelas dicas, pelos momentos de descontração e pela amizade.

A todos os amigos que fiz na Maison du Brésil, em especial a Ana Paula Sartori, Alexandra Dumas, Angélica Müller, Danilo Augusto, David Costa, Denise Leitão, Diego Aguiar, Francisco Targino, Gaspar Leal Paz, Gelvam Hartmann, Higor Favarim, Inez Salim, Juliana Aguiar, Kattya Gyselle de Holanda, Lucas Melgaço, Luiz Cezar Frederico de Sá Filho, Marcelo Mattos, Paulo Burnier, Ricardo Lorenzi, M. Robin, Wagner Flauber, e tantos outros, pela amizade, pelas viagens, pelo companheirismo e incentivo.

À banca examinadora desta pesquisa, ao Prof. Dr. Edson Guedes da Costa (UFCEG), ao Prof. Dr. Antonio Petraglia (UFRJ), ao Prof. Dr. Sebastian Yuri Cavalcanti Catunda (UFRN), ao Prof. Dr. Vincent Patrick Marie Bourguet (UFRN) e ao Prof. Dr. Nicolas Robert Paul Beilleau (UFRN) pelas brilhantes considerações que guiaram a confecção final deste trabalho.

Ao Instituto Federal de Educação, Ciência e Tecnologia da Paraíba (IFPB), a Universidade Federal de Campina Grande (UFCEG) e a Capes, pelo apoio e financiamento desta pesquisa.

## RESUMO

Esta tese se integra na categoria de desenvolvimento de sistemas eletrônicos em circuitos integrados, e tem como objetivo obter um conversor analógico-digital inteiramente controlado pelas atividades do sinal de entrada, e que apresente, na concepção, consumo elétrico reduzido e complexidade baixa. Para tanto, foi definido o projeto de um conversor analógico-digital assíncrono, com uma amostragem irregular do tipo “amostragem por cruzamento de níveis”, que é uma amostragem não uniforme no tempo. Neste trabalho, então, é apresentado um conversor analógico-digital de 8 bits que opera sem relógio, com uma arquitetura do tipo dobramento (*folding*). A primeira parte do trabalho consistiu no projeto do circuito do conversor em uma tecnologia CMOS padrão de 0,35  $\mu\text{m}$ , com uma tensão de alimentação de 3,3 V. Por simulação, obteve-se desse conversor de 8 bits, uma relação sinal-ruído mais distorção (SNDR) de 58 dB, com um consumo de 35 mW. O circuito do conversor proposto também foi comparado, por simulação, com um conversor de canal (*pipeline*) similar, funcionando em tempo-contínuo, de 8 bits, com 1 bit por estágio, projetado com a mesma tecnologia, que obteve 50 dB para a SNDR. A segunda parte do trabalho consistiu na confecção do leiaute do circuito e na comprovação, por simulações a partir do leiaute, dos valores projetados de SNDR e de consumo do conversor proposto. As principais aplicações para um conversor assíncrono são aquelas nas quais a atividade do sinal analógico não é constante durante todo o período de conversão. Neste trabalho foi focalizada a aplicação deste tipo de conversor em espectrometria de raios *gamma*, na qual os eventos ocorrem aleatoriamente com distribuição de Poisson.

**Palavras-Chaves:** Conversor Analógico-Digital. Tempo contínuo. Sem relógio. Assíncrono. CMOS.



## ABSTRACT

The aim of this thesis is contribute in the category of integrated complex circuits systems development, the main objective is to present the design of a clockless analog-to-digital converter, with the features of low-power consumption and low-complexity. For this, it was defined the project of an asynchronous analog-to-digital converter, with an irregular sampling process, the “crossing levels sampling”, that is a non-uniform sampling in the time. This thesis presents an 8 bits clockless analog-to-digital converter project, based on a folding architecture. The first part of the work is based on the converter project in the CMOS 0,35  $\mu\text{m}$  technology standard, with a supply voltage of 3,3 V. The simulation results of this 8 bits converter presented a Signal-to-Noise and Distortion Ratio (SNDR) of 58 dB, with a power consumption of 35 mW. The proposed converter circuit was also compared by simulations, with a similar pipeline converter, operating in continuous time, with 8 bits, and 1 bit per stage, designed with the same technology standard, and obtained a SNDR of 50 dB. The second part of the work was the circuit layout conception and validation, based on simulations from the designed layout for the SNDR projected value and the desired power consumption. The main applications for an asynchronous converter are those where the activity of the analog signal is not constant during all the conversion period. In this work was focused the application of this type of converter in spectrometry of gamma rays, in which the events occur randomly with Poissonian distribution.

**Keywords:** Analog-to-Digital Converter. Continuous Time. Clock-less. Asynchronous. CMOS.

## RESUMÉ

Cette thèse s'inscrit dans la catégorie du développement de systèmes électroniques en circuits intégrés. Elle a pour objectif l'obtention d'un convertisseur analogique-numérique entièrement contrôlé par les activités du signal d'entrée, qui présente, en conception, une consommation réduite et une faible complexité. Pour cela, a été étudié le projet d'un convertisseur analogique-numérique asynchrone, avec échantillonnage irrégulier du type "échantillonnage par traversée de niveau", qui est un échantillonnage non-uniforme dans le temps. Dans cette thèse, est donc présenté un convertisseur analogique-numérique de 8 bits qui opère, sans horloge, avec une architecture repliée (folding). La première partie des travaux fût la conception du convertisseur en technologie CMOS standard de 0,35  $\mu\text{m}$  avec une tension d'alimentation de 3,3 V. Ce convertisseur de 8 bits a obtenu, en simulation, un rapport signal à bruit plus distorsion (SNDR) de 58 dB, avec une consommation de 35 mW. Le circuit de conversion proposé a également été comparé, en simulation, avec un convertisseur pipeline similaire, opérant en temps continu, de 8 bits, avec 1 bit par étage, conçu avec la même technologie, qui a obtenu 50 dB pour le SNDR. La deuxième partie du travail a consisté à réaliser le layout du circuit ainsi que la vérification, par des simulations post-layouts, des valeurs de SNDR et de consommation du convertisseur proposé. Les principales applications pour un convertisseur asynchrone sont celles où l'activité du signal analogique n'est pas constante durant toute la période de conversion. Dans ce travail, nous nous sommes focalisés sur l'application de ce type de convertisseur pour la spectrométrie de rayons gamma, dans laquelle les événements se produisent aléatoirement suivant une distribution de Poisson.

Mots Clés: Convertisseur Analogique-Numérique. Temps continu. Sans horloge. Asynchrone. CMOS.

## LISTA DE FIGURAS

<b>Figura 2.1</b> Amostragem-blocagem de um sinal contínuo.....	36
<b>Figura 2.2</b> Quantização de um sinal analógico.....	37
<b>Figura 2.3</b> Gráfico que determina a função de transferência teórica de um conversor analógico-digital (3 bits).....	37
<b>Figura 2.4</b> Densidade espectral do ruído para um ADC com sobreamostragem.....	41
<b>Figura 2.5</b> Representação gráfica do erro de desvio de tensão para um ADC .....	43
<b>Figura 2.6</b> Representação gráfica do erro de ganho para um ADC.....	44
<b>Figura 2.7</b> Gráfico utilizado para determinar a função de transferência de um ADC real.....	45
<b>Figura 2.8</b> SNDR em função da amplitude do sinal senoidal puro da entrada.....	48
<b>Figura 2.9</b> Diagrama esquemático de um ADC de rampa dupla.....	50
<b>Figura 2.10</b> Diferentes fases de um ADC de rampa dupla.....	51
<b>Figura 2.11</b> Diagrama simplificado de um ADC de aproximação sucessiva.....	52
<b>Figura 2.12</b> Diagrama simplificado de um ADC paralelo de 3 bits .....	53
<b>Figura 2.13</b> Diagrama simplificado de um ADC de canal com estágios idênticos .....	54
<b>Figura 2.14</b> Diagrama simplificado de um ADC paralelo ( <i>flash</i> ) com interpolação .....	55
<b>Figura 2.15</b> Tensões de referência de um ADC à interpolação – 3 bits .....	56
<b>Figura 2.16</b> Diagrama de blocos de um ADC de dobramento .....	56
<b>Figura 2.17</b> Gráfico utilizado para determinar a função de transferência de um ADC paralelo e de um ADC de dobramento .....	57
<b>Figura 2.18</b> Esquema elétrico de um bloco de um ADC de dobramento .....	58
<b>Figura 2.19</b> Gráficos utilizados para determinar a função de transferência dos blocos de dobramento do ADC da figura 2.16.....	59
<b>Figura 2.20</b> Diagrama de blocos de um ADC de dobramento e interpolação.....	60
<b>Figura 2.21</b> Diagrama simplificado de um ADC $\Sigma$ - $\Delta$ de primeira ordem.....	62
<b>Figura 3.1</b> Amostragem não uniforme à frequência P (P = 3) .....	68
<b>Figura 3.2</b> Amostragem uniforme com <i>jitter</i> .....	70
<b>Figura 3.3</b> Amostragem uniforme com perda de amostras.....	71

<b>Figura 3.4</b> Amostragem não uniforme por cruzamento de níveis .....	72
<b>Figura 3.5</b> Diagrama de blocos de um circuito assíncrono .....	74
<b>Figura 4.1</b> Diagrama simplificado de um bloco de um conversor de canal ( <i>pipeline</i> ).....	78
<b>Figura 4.2</b> Formas de sinais de um bloco de um conversor de canal ( <i>pipeline</i> ).....	78
<b>Figura 4.3</b> Arquitetura de um conversor de canal ( <i>pipeline</i> ).....	79
<b>Figura 4.4</b> Temporização de um conversor de canal ( <i>pipeline</i> ) de 10 bits, 2 bits por estágio.....	80
<b>Figura 4.5</b> Diagrama de blocos de um estágio de um conversor de canal ( <i>pipeline</i> ).....	81
<b>Figura 4.6</b> Forma de onda do resíduo: (a) estágio de 1 bit e (b) estágio de 3 bits.....	82
<b>Figura 4.7</b> Blocos não lineares para obter o dobramento do sinal de entrada .....	82
<b>Figura 4.8</b> Diagrama da arquitetura básica de um conversor de dobramento .....	83
<b>Figura 4.9</b> Diagrama simplificado de um bloco de um conversor de dobramento e a forma de onda da entrada e saída para uma entrada de rampa linear .....	84
<b>Figura 4.10</b> Diagrama de blocos de um conversor de dobramento de 3 bits.....	85
<b>Figura 4.11</b> Formas de onda da entrada e do resíduo para um ADC de dobramento de 3 bits .....	86
<b>Figura 5.1</b> Diagrama de blocos do ADC de dobramento sem relógio – 1 bit/estágio.....	87
<b>Figura 5.2</b> Fluxograma de conversão do ADC de dobramento proposto.....	88
<b>Figura 5.3</b> Diagrama esquemático do ADC de dobramento proposto.....	89
<b>Figura 5.4</b> Diagrama esquemático proposto da primeira configuração do ADC de dobramento .....	90
<b>Figura 5.5</b> Formas de onda dos sinais do primeiro bloco do conversor de dobramento proposto .....	91
<b>Figura 5.6</b> Formas de onda dos sinais dos blocos de conversor de dobramento de 3 bits .....	92
<b>Figura 5.7</b> Diagrama do decodificador do código Gray para binário padrão.....	93
<b>Figura 5.8</b> Fluxograma de conversão do ADC de canal.....	93
<b>Figura 5.9</b> Diagrama esquemático do ADC de canal construído .....	94
<b>Figura 5.10</b> Formas de onda dos sinais do primeiro bloco do conversor de canal.....	95
<b>Figura 5.11</b> Formas de onda dos sinais dos blocos do conversor de canal – 3 bits.....	96

<b>Figura 5.12</b> Simulação Ganho x SNDR – os dois conversores .....	98
<b>Figura 5.13</b> Simulação Pólo x SNDR – os dois conversores .....	98
<b>Figura 5.14</b> SNDR x Tensão de Desvio – Comparadores .....	99
<b>Figura 5.15</b> SNDR x Tempo de Comutação – Comparadores .....	100
<b>Figura 5.16</b> SNDR x Histerese – Comparadores.....	101
<b>Figura 5.17</b> SNDR e FFT do sinal de saída gerado pelo conversor de dobramento .....	102
<b>Figura 5.18</b> SNDR e FFT do sinal de saída gerado pelo conversor de canal.....	103
<b>Figura 5.19</b> Diagrama do amplificador operacional de dois estágios utilizado nos conversores .....	104
<b>Figura 5.20</b> Diagrama do amplificador operacional utilizado como comparador nos conversores.....	106
<b>Figura 6.1</b> Diagrama do amplificador operacional utilizado no conversor.....	109
<b>Figura 6.2</b> Diagrama do circuito de realimentação de modo comum.....	112
<b>Figura 6.3</b> Circuito da tensão de referência SMCA .....	113
<b>Figura 6.4</b> Circuito da tensão de referência EVPA1 .....	114
<b>Figure 6.5</b> Capacitores (verde) .....	115
<b>Figure 6.6</b> Resistores .....	116
<b>Figura 6.7</b> Configuração do esquemático com amplificador, resistores e chaves.....	117
<b>Figura 6.8</b> Circuito da tensão de referência $V_{refp}$ .....	118
<b>Figura 6.9</b> Circuito da tensão de referência $V_{refn}$ .....	119
<b>Figura 6.10</b> Leiaute do bloco 1 do conversor proposto .....	121
<b>Figura 6.11</b> Leiaute completo do conversor proposto.....	121
<b>Figura 6.12</b> Leiaute completo do conversor proposto com os <i>pads</i> .....	121
<b>Figura 7.1</b> FFT do sinal de saída (quantizado) do conversor de dobramento .....	124
<b>Figura 7.2</b> FFT do sinal de saída (quantizado) do conversor de canal.....	125
<b>Figura 7.3</b> FFT do sinal de saída (quantizado) do conversor de dobramento .....	127
<b>Figura 7.4</b> FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação à velocidade.....	128

<b>Figura 7.5</b> FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação aos transistores NMOS .....	128
<b>Figura 7.6</b> FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação aos transistores PMOS .....	129
<b>Figura 7.7</b> FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação à potência .....	130
<b>Figura 7.8</b> FFT do sinal de saída (quantizado) do conversor simulado com o leiaute .....	131

## LISTA DE TABELAS

<b>Tabela 1.1</b> Conversores Analógico-Digitais Comerciais.....	33
<b>Tabela 1.2</b> Comparação dos ADC existentes no mercado com o ADC proposto .....	34
<b>Tabela 5.1</b> Dimensões dos transistores do amplificador .....	105
<b>Tabela 5.2</b> Especificações do amplificador .....	105
<b>Tabela 5.3</b> Dimensões dos transistores do comparador.....	105
<b>Tabela 5.4</b> Especificações do comparador.....	106
<b>Tabela 6.1</b> Dimensões dos transistores do primeiro estágio do amplificador operacional.....	110
<b>Tabela 6.2</b> Dimensões dos transistores do segundo estágio do amplificador operacional .....	111
<b>Tabela 6.3</b> Dimensões dos transistores do circuito da tensão de referência SMCA.....	114
<b>Tabela 6.4</b> Dimensões dos transistores do circuito da tensão de referência SMCA.....	114
<b>Tabela 6.5</b> Dimensões dos transistores do circuito das tensões de referência Vrefp e Vrefn.....	119
<b>Tabela 7.1</b> Itens de comparação entre os conversores .....	125

## LISTA DE ABREVIATURAS E SIGLAS

<b>ADC</b>	<i>Analog-to-Digital Converter</i> [= Conversor analógico-digital]
<b>A/D</b>	Analógico-Digital
<b>A&amp;R</b>	Amostra e Retém
<b>AM</b>	Amplitude Modulada
<b>amp.</b>	amplificador
<b>AMPMAG</b>	Amplificador de magnitude
<b>AMS</b>	<i>Austriamicrosystems</i> [Originalmente, <i>Austria Mikro Systeme</i> ]
<b>AMS035</b>	<i>Design kit</i> de 0,35 $\mu\text{m}$ da <i>Austriamicrosystems</i>
<b>CAD</b>	<i>Computer-Aided Design</i> [= projeto assistido por computador]
<b>cc</b>	corrente contínua
<b>CDU</b>	Classificação Decimal Universal
<b>CMOS</b>	<i>Complementary Metal-Oxide-Semiconductor</i>
<b>DAC</b>	<i>Digital-to-Analog Converter</i> [= conversor digital-analógico]
<b>dc</b>	<i>direct current</i> [= corrente contínua]
<b>DK</b>	<i>Design Kit</i>
<b>DNL</b>	<i>Differential Non-Linearity Error</i> [= Erro de Não Linearidade Diferencial]
<b>DSP</b>	<i>Digital Signal Processor</i> [= processador digital de sinais]
<b>DOCSIS</b>	<i>Data Over Cable Service Interface Specification</i>
<b>ed.</b>	edição
<b>Ed.</b>	Editor
<b>EMI</b>	<i>Electromagnetic Interference</i> [= Interferência Eletromagnética]
<b>ENOB</b>	<i>Effective Number Of Bits</i> [= Número eficiente de bits]
<b>ERBW</b>	<i>Effective Resolution Bandwidth</i> [= banda-passante de resolução efetiva]
<b>ESSCIRC</b>	<i>European Solid-State Circuits Conference</i>
<b>f.</b>	folha(s)
<b>FA</b>	Função de Amostragem
<b>FFT</b>	<i>Fast Fourier Transform</i> [= transformada rápida de Fourier]
<b>fig.</b>	figura



<b>FIR</b>	<i>Finite Impulse Response (filter)</i> [= Filtro de decimação]
<b>FM</b>	Frequência Modulada
<b>FoM</b>	<i>Figure of Merit</i> [= Figura de Mérito]
<b>FPB</b>	Filtro Passa-Baixas
<b>FR</b>	<i>Folding Rate</i> [= Taxa de dobramento]
<b>Freq.</b>	Frequência
<b>GDS</b>	<i>Graphic Data System</i>
<b>HDTV</b>	<i>High-Definition Television</i> [= Televisão de alta definição]
<b>Ibid.</b>	Abreviação do advérbio latino <i>Ibidem</i> [= no mesmo lugar; na mesma obra]
<b>ICASSP</b>	<i>IEEE International Conference on Acoustics, Speech, and Signal Processing</i>
<b>IEEE</b>	<i>Institute of Electrical and Electronic Engineers</i>
<b>il.</b>	ilustrações
<b>IMEKO</b>	<i>Internationale Meßtechnische Konföderation</i> [= Confederação Internacional de Metrologia]
<b>INL</b>	<i>Integral Non-Linearity Error</i> [= Erro de não linearidade integral]
<b>INPG</b>	<i>Institut National Polytechnique de Grenoble</i>
<b>ISBN</b>	<i>International Standard Book Number</i> [= Número Padrão Internacional de Livro]
<b>ISCAS</b>	<i>IEEE International Symposium on Circuits and Systems</i>
<b>ISSCC</b>	<i>IEEE International Solid-State Circuits Conference</i>
<b>K</b>	Taxa de sobreamostragem
<b>LIMC</b>	Laboratório de Instrumentação e Metrologia Científicas
<b>LSB</b>	<i>Least Significant Bit</i> [= Bit menos significativo]
<b>Magamp</b>	<i>Magnitude amplifier</i> [= amplificador de magnitude (v. AMPMAG)]
<b>MDC</b>	Máximo Divisor Comum
<b>MMC</b>	Mínimo Múltiplo Comum
<b>MSB</b>	<i>Most Significant Bit</i> [= Bit mais significativo]
<b>MOS</b>	<i>Metal-Oxide-Semiconductor</i> [= semicondutor metal-óxido]
<b>MOSFET</b>	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> [= Transistor de efeito de campo de semicondutor metal-óxido]
<b>n.</b>	nascido; número(s)
<b>NF</b>	Número de blocos de dobramento
<b>NMOS</b>	Transistor de efeito de campo de semicondutor metal-óxido tipo N

<b>NUDFT</b>	<i>Non Uniform Discrete Fourier Transform</i> [= transformada de Fourier discreta não uniforme]
<b>Org.</b>	Organizador
<b>OSR</b>	<i>Over-Sampling Ratio</i> [= fator de sobreamostragem]
<b>p.</b>	página(s)
<b>PB</b>	Estado da Paraíba
<b>PDA</b>	<i>Personal Digital Assistant</i> [= Assistente digital pessoal]
<b>PMOS</b>	Transistor de efeito de campo de semicondutor metal-óxido tipo P
<b>pp.</b>	Abreviação do inglês <i>pages</i> [= páginas]
<b>Rel</b>	Relógio
<b>SEMETRO</b>	Seminário Internacional de Metrologia Elétrica
<b>S&amp;H</b>	<i>Sample and Hold</i> [= Amostra e Retém]
<b>SAR</b>	<i>Successive Approximation Register</i> [= Registrador de aproximação sucessiva]
<b>SDR</b>	<i>Software-Defined Radio</i> [= Rádio definido por <i>software</i> ]
<b>SFDR</b>	<i>Spurious-Free Dynamic Range</i> [= Faixa dinâmica livre de espúrios]
<b>SNDR</b>	<i>Signal-to-Noise and Distortion Ratio</i> [= Relação sinal-ruído mais distorção]
<b>SNR</b>	<i>Signal-to-Noise Ratio</i> [= Relação sinal-ruído]
<b>subDAC</b>	subconversor digital-analógico
<b>TFDNU</b>	Transformada de Fourier Discreta Não Uniforme
<b>Trad.</b>	Tradução
<b>UFCG</b>	Universidade Federal de Campina Grande
<b>UFPB</b>	Universidade Federal da Paraíba
<b>v.</b>	veja
<b>vol.</b>	volume
<b>WiFi</b>	<i>Wireless Fidelity</i>
<b>WiMAX</b>	<i>Worldwide Interoperability for Microwave Access</i> [= Interoperabilidade mundial para acesso por micro-ondas]
<b>X-FAB</b>	Fábrica de circuitos integrados alemã
<b>XH035</b>	<i>Design kit</i> de 0,35 $\mu\text{m}$ da X-FAB

## LISTA DE SÍMBOLOS

<b>A</b>	Amplitude máxima de um sinal senoidal
<b><math>a_i</math></b>	i-ésima amostra
<b>AMS</b>	<i>American Microsemiconductors Inc.</i>
<b>Ao</b>	Ganho de malha aberta
<b><math>b_0, b_1, \dots, b_{N-1}</math></b>	Bits
<b><math>b_i</math></b>	i-ésimo bit
<b><math>C_{ca}, C_{cb}</math></b>	Capacitores de compensação Miller
<b><math>C_1</math></b>	Capacitor
<b>dB</b>	Decibel
<b>dBc</b>	Decibel relativo à portadora
<b>EA(f)</b>	Esquema de amostragem
<b>em</b>	Entrada analógica negativa
<b>ep</b>	Entrada analógica positiva
<b>EVPA1</b>	Tensão de polarização
<b>f</b>	Frequência
<b><math>f_a</math></b>	Frequência de amostragem, em Hz
<b><math>F_a</math></b>	Periodicidade do esquema de amostragem uniforme
<b><math>F_{ai}</math></b>	Frequência de um conjunto i de amostragens
<b>fF</b>	femtofarad
<b><math>F_{máx}</math></b>	Frequência máxima do sinal
<b><math>F_p</math></b>	Período de um esquema de amostragem
<b><math>f_q</math></b>	Densidade de probabilidade
<b><math>F_{Nyq}</math></b>	Frequência de Nyquist
<b><math>F_T</math></b>	Frequência na qual o ganho é 0 dB
<b>G</b>	Ganho de amplificador
<b>GDFT</b>	<i>General Discrete Fourier Transform</i> [= transformada de Fourier discreta geral]
<b>GHz</b>	gigahertz
<b>Gsps</b>	<i>Giga samples per second</i> [= giga-amostras por segundo]

<b>H(f)</b>	Função de transferência do filtro
<b>Hz</b>	Hertz
<b>I<sub>0</sub>, I<sub>1</sub>, ..., I<sub>9</sub></b>	Correntes de saturação dos transistores MOSFET
<b>K</b>	Taxa de sobreamostragem
<b>kHz</b>	quilohertz
<b>ksp/s</b>	<i>kilo samples per second</i> [= quiloamostras por segundo]
<b>kΩ</b>	quilo-ohm
<b>L</b>	Comprimento
<b>MHz</b>	megahertz
<b>Msp/s</b>	<i>Mega samples per second</i> [= mega-amostras por segundo]
<b>mV</b>	milivolt
<b>mW</b>	miliwatt
<b>N</b>	Número de bits
<b>N<sup>+</sup></b>	Conjunto dos números naturais não nulos
<b>N<sub>1</sub>, N<sub>2</sub>, ..., N<sub>K</sub></b>	Número de bits de saída de cada fase do conversor
<b>N<sub>F</sub></b>	Número de blocos de dobramento
<b>ns</b>	nanossegundo
<b>°C</b>	Grau Celsius
<b>P</b>	Potência
<b>P<sub>e</sub></b>	Potência do erro
<b>P<sub>ε</sub></b>	Potência do ruído
<b>pF</b>	picofarad
<b>P<sub>m</sub></b>	Potência média total consumida pelo conversor
<b>q</b>	Quantum
<b>R</b>	Resistência
<b>R<sub>1</sub>, R<sub>2</sub></b>	Sinais analógicos residuais do estágio 1 e do estágio 2, respectivamente
<b>rms</b>	<i>Root mean square</i> [= raiz média quadrática]
<b>R<sub>ON</sub></b>	Valor da resistência da chave quando ligada
<b>R<sub>OFF</sub></b>	Valor da resistência da chave quando desligada
<b>s</b>	segundo

<b>S</b>	Saída
<b>S<sub>B</sub></b>	Densidade espectral de potência
<b>sm</b>	Saída analógica negativa
<b>SMCA</b>	Tensão de referência
<b>sp</b>	Saída analógica positiva
<b>SR</b>	<i>Slew rate</i>
<b>S1, S2, S3, S4</b>	Chaves analógicas
<b>t</b>	Tempo
<b>t<sub>0</sub>, t<sub>1</sub>, ..., t<sub>n</sub></b>	Instantes de tempo das amostragens 0, 1, ..., n
<b>T<sub>a</sub></b>	Período de amostragem
<b>T<sub>ai</sub></b>	Período da i-ésima amostragem
<b>T<sub>rel</sub></b>	Período da forma de onda do relógio
<b>T<sub>1</sub></b>	Período de duração da conversão na fase 1
<b>T<sub>2</sub></b>	Período de duração da conversão na fase 2
<b>V</b>	Volt
<b>V<sub>a</sub></b>	Tensão de amostragem de entrada
<b>V<sub>DAC</sub></b>	Tensão de saída do conversor digital-analógico (DAC)
<b>V<sub>dd</sub></b>	Tensão de alimentação
<b>V<sub>DD</sub></b>	Tensão de alimentação
<b>V<sub>dig</sub></b>	Tensão digital
<b>V<sub>DN</sub></b>	Sinal digital de saída do ADC de dobramento
<b>V<sub>DP</sub></b>	Sinal digital de saída do ADC de dobramento
<b>V<sub>ent</sub></b>	Sinal analógico de entrada
<b>V<sub>ent,i</sub></b>	Tensão analógica de entrada do bloco i
<b>V<sub>entn</sub></b>	Sinal analógico de entrada do ADC de dobramento
<b>V<sub>entp</sub></b>	Sinal analógico de entrada do ADC de dobramento
<b>V<sub>ε</sub></b>	Ruído de quantização
<b>V<sub>in</sub></b>	Tensão analógica de entrada
<b>V<sub>LSB</sub></b>	Tensão referente a 1 LSB
<b>V<sub>máx</sub></b>	Tensão analógica máxima de entrada

$V_{\text{mín}}$	Tensão analógica mínima de entrada
$V_P$	Tensão de pico
$V_R$	Tensão analógica no formato de uma rampa
$V_{\text{ref}}$	Tensão de referência
$V_{\text{refn}}$	Tensão de referência negativa
$V_{\text{refp}}$	Tensão de referência positiva
$V_{\text{res},i}$	Tensão residual do bloco i
$V_{\text{saída}}$	Tensão analógica de saída do bloco
$V_{SS}$	Tensão de referência
$V_x(t)$	Valor da tensão de saída do integrador
$V_1, V_2, V_3, V_4$	Faixas de valores de tensões em que a faixa da tensão analógica de entrada é dividida
$V_{1a}, V_{1b}$	Subdivisões da faixa de tensão V1
$V_{2a}, V_{2b}$	Subdivisões da faixa de tensão V2
$x(n)$	Conjunto de n pontos de amostragem consecutivos
$x(t)$	Função em tempo contínuo
$\tilde{X}_A(m)$	Espectro de um sinal amostrado a partir de um conjunto de N pontos consecutivos
$X_A(f)$	Espectro do sinal amostrado
$x_A(t)$	Sinal amostrado
<b>W</b>	watt; largura
<b>Z</b>	Conjunto dos números inteiros
$\alpha_i$	Coefficiente que representa o número de vezes que foi utilizada cada frequência
$\Delta f$	diferença ou passo de frequência
$\varepsilon_n$	Variável aleatória de tempo acrescentada ao período n
$\mu A$	microampère
$\mu m$	micrometro
$\mu s$	microsegundo
$\mu W$	microwatt
$\sigma_{\text{ent}}$	Desvio padrão típico do sinal de entrada
$\Sigma\text{-}\Delta$	Representam as operações que acontecem internamente num conversor analógico-digital sigma-delta.

$\tau_n$	Intervalo de tempo entre as amostras
$\Phi_1$	Sinal de relógio da fase 1
$\Phi_2$	Sinal de relógio da fase 2
$\Omega$	Ohm
$\Omega / \square$	Valor da resistência (em ohms) por quadrado de polissilício para resistores em circuitos integrados.

## SUMÁRIO

<b>CAPÍTULO 1 INTRODUÇÃO</b>	<b>26</b>
1.1 Organização do Texto	28
1.2 Estado da Arte	30
<b>CAPÍTULO 2 CONVERSÃO ANALÓGICO-DIGITAL</b>	<b>35</b>
2.1 Princípios da Conversão Analógico-Digital	35
2.1.1 Generalidades	35
2.1.2 Relação sinal-ruído	38
2.1.2.1 Relação geral	38
2.1.2.2 SNR e sobreamostragem	39
2.2 Critérios para Avaliação de Desempenho de um Conversor	42
2.2.1 Parâmetros estáticos	42
2.2.1.1 Erro de tensão de desvio ( <i>offset</i> )	42
2.2.1.2 Erro de ganho	43
2.2.1.3 O erro de não linearidade diferencial – DNL	44
2.2.1.4 O erro de não linearidade integral – INL	45
2.2.2 Parâmetros Dinâmicos	46
2.2.2.1 SNR	46
2.2.2.2 SFDR	48
2.2.2.3 Fator de mérito	48
2.3 Arquiteturas dos Conversores	49
2.3.1 Conversores que seguem o teorema de Nyquist	49
2.3.1.1 Conversor analógico-digital de rampa dupla	49
2.3.1.2 Conversor analógico-digital de aproximação sucessiva	50
2.3.1.3 Conversor analógico-digital paralelo ( <i>flash</i> )	51
2.3.1.4 Conversor analógico-digital de canal ( <i>pipeline</i> )	52
2.3.1.5 Conversor analógico-digital de interpolação	53
2.3.1.6 Conversor analógico-digital de dobramento ( <i>folding</i> )	55
2.3.1.7 Conversor analógico-digital de dobramento e interpolação	58
2.3.2 Os conversores sobreamostrados ou $\Sigma$ - $\Delta$	59
2.4 Conclusão	62



<b>CAPÍTULO 3 CONVERSÃO ASSÍNCRONA</b>	<b>64</b>
3.1 Teoria da Amostragem	64
3.1.1 Função e esquema de amostragem	63
3.1.2 Transformada de Fourier discreta geral	64
3.1.3 Amostragem uniforme	65
3.1.4 Amostragem não uniforme	66
3.1.4.1 Amostragem não uniforme à frequência P	67
3.1.4.2 Amostragem uniforme com <i>jitter</i>	68
3.1.4.3 Amostragem uniforme com perda de amostragens	70
3.1.4.4 Amostragem por cruzamento de níveis	72
3.2 Princípios dos Circuitos Assíncronos	73
3.2.1 Comparação entre os circuitos síncronos e assíncronos	74
3.2.1.1 Velocidade de processamento	74
3.2.1.2 Consumo de energia	75
3.2.1.3 Modularidade	75
3.2.1.4 Emissões eletromagnéticas	75
3.3 Conclusão	76
<b>CAPÍTULO 4 ARQUITETURAS UTILIZADAS NOS CONVERSORES ANALÓGICO-DIGITAIS SEM RELÓGIO</b>	<b>76</b>
4.1 Tipos de Arquitetura Utilizados	77
4.1.1 Conversor analógico-digital de canal ( <i>pipeline</i> )	77
4.1.1.1 Conceitos básicos (conversor de canal)	79
4.1.2 Conversor analógico-digital de dobramento ( <i>folding</i> )	82
4.1.2.1 Conceitos básicos (conversor de dobramento)	83
4.2 Conclusão	86
<b>CAPÍTULO 5 CONVERSORES PROJETADOS E IMPLEMENTADOS</b>	<b>86</b>
5.1 Conversor de Dobramento ( <i>Folding</i> ) Proposto	88
5.1.1 Funcionamento do conversor de dobramento proposto	89
5.2 Conversor de Canal ( <i>Pipeline</i> ) Construído	93
5.2.1 Funcionamento do conversor de canal	94
5.3 Resultados de Simulações com os Conversores Implementados com Macromodelos	96
5.4 Construindo os Blocos em Nível de Transistor	103
5.5 Conclusão	107

<b>CAPÍTULO 6 CONCEPÇÃO DO CIRCUITO INTEGRADO DO CONVERSOR A/D</b>	<b>107</b>
6.1 Kit de Projeto (Design Kit) Utilizado	108
6.2 Projeto do Novo Amplificador	108
6.3 Capacitores	114
6.4 Resistores	114
6.5 Chaves	115
6.6 Comparadores	116
6.7 Tensões de Referência	116
6.8 Leiaute	117
6.9 Conclusão	119
<b>CAPÍTULO 7 RESULTADOS</b>	<b>122</b>
7.1 Resultados de Simulação	120
7.2 Resultados de Simulação com o DK XH035	123
<b>CAPÍTULO 8 CONCLUSÕES, ARTIGOS PUBLICADOS E TRABALHOS FUTUROS</b>	<b>132</b>
8.1 Conclusões	132
8.2 Trabalhos Publicados	133
8.3 Trabalhos Futuros	133
<b>REFERÊNCIAS</b>	<b>134</b>

## CAPÍTULO 1

### INTRODUÇÃO

A tendência da microeletrônica, atualmente, é integrar cada vez mais sistemas complexos em um mesmo circuito integrado (*chip*): sensores (analógicos), conversores analógico-digitais (ADC) (mistos), circuitos de processamento digital de sinais (digitais), transmissão de dados (radiofrequência), etc.

Esses sistemas devem ser de baixo custo, de tamanho reduzido, de baixo ruído, e, especialmente, de baixo consumo de potência, porque eles são quase sempre alimentados por baterias ou por meio de sistemas de alimentação sem fio. (ALLIER et al., 2003).

Entre todos esses blocos, os conversores analógico-digitais são componentes-chaves na maioria dos sistemas, e seus projetos se tornam complicados quando passam a levar em consideração todas essas exigências.

Por isso, projetistas estão reativando um velho conceito: os processos sem relógio (*clock-less*). Novos sistemas sem relógio estão sendo desenvolvidos para operar em uma grande quantidade de telefones celulares, *palms* (PDA), e em outros componentes de alto desempenho alimentados por baterias. (GEER, 2005).

Além disso, processadores com relógio (*clock*) têm dominado a indústria de computadores desde a década de 1960, facilitando o projeto e a implementação de sistemas.

O relógio estabelece um tempo de sincronismo dentro do qual todos os elementos do sistema devem operar, e o sincronismo pode tornar o projeto mais fácil pela redução do número de decisões de controle. (YAHYA, 2006).

Em circuitos eletrônicos síncronos, os dados se propagam em cada transição do relógio, causando grandes variações de tensão (*spikes*). Em circuitos eletrônicos sem relógio, os dados não são todos produzidos ao mesmo tempo, diminuindo, assim, o fluxo de corrente e, desse modo, minimizando a intensidade e a frequência dos *spikes* e emitindo menos interferência eletromagnética (EMI). Menos EMI reduz o ruído e a interferência nos circuitos adjacentes (TSIVIDIS, 2004).

Além disso, como em sistemas sem relógio cada circuito só é acionado quando é necessária a sua utilização, sistemas assíncronos (*clock-less*) usam menos energia que sistemas síncronos por causa do fornecimento somente da alimentação necessária para uma determinada operação. (SCHELL, 2008).

Este trabalho se situa no contexto dos sistemas embarcados, na microeletrônica ou em telecomunicações. Os sistemas de processamento de sinais complexos podem ser constituídos de sensores, conversores analógico-digitais e/ou digital-analógicos, de blocos de processamento digital, de blocos de radiofrequência, etc. Eles são frequentemente alimentados por baterias ou por sistemas de alimentação sem fio. Um grande consumo de energia constitui então um grande problema na concepção desses sistemas.

O contexto deste trabalho é fazer um tratamento de sinal diferente, utilizando as propriedades estáticas dos sinais analógicos para reduzir seu consumo de energia. Dessa maneira, uma concepção de um conversor analógico-digital sem relógio, unicamente controlado pela informação contida no sinal de entrada, foi estudada.

A maioria dos sistemas integrados dos conversores analógico-digitais opera com sinais que possuem propriedades estáticas particulares, mas as arquiteturas usuais de processamento de sinais, geralmente, não aproveitam isso. A grande parte dos sinais, tais como os sinais de temperatura, de pressão, de eletrocardiograma, de voz, etc., são quase sempre constantes no tempo e variam sensivelmente apenas em alguns instantes. Assim, a coleta regular de amostras, respeitando o teorema de Nyquist, é muitas vezes desnecessária, já que é a componente máxima de frequência do sinal que determina a frequência de amostragem. Na maior parte do tempo, esse valor máximo não é atingido. No domínio temporal, essa condição se traduz por um grande número de amostragens redundantes, o que provoca problemas de armazenamento e de processamento digital de sinal. Isso implica igualmente um aumento inútil da atividade dos conversores e do seu consumo de energia.

A classe de conversores analógico-digitais citada neste trabalho é baseada em uma amostragem irregular, nomeada *amostragem por cruzamento de nível* (em inglês, “level crossing sampling”), não coletando as amostras regularmente no tempo, como é determinado no teorema de Nyquist. Para isso, níveis de quantização regularmente são dispostos no domínio das amplitudes, e uma amostra é coletada pelo sistema somente quando o sinal analógico de entrada atravessa um dos níveis predefinidos. Pode-se constatar que esse tipo de amostragem é adaptativa porque quanto maior a inclinação do sinal de entrada, mais o sinal é ativo e, portanto, uma maior quantidade de informação ele possui. Sendo assim, um maior número de amostras é coletado.

Essa técnica permite, assim, coletar apenas amostras relevantes e, por conseguinte, reduzir consideravelmente a atividade do circuito e o seu consumo de energia. Quando um nível de referência é cruzado, desencadeando a coleta de uma amostra, o valor da amplitude deste último é conhecido exatamente, é o mesmo do nível cruzado. Em contrapartida, o

intervalo de tempo entre as amostras não é constante, diferentemente dos conversores que seguem o teorema de Nyquist. Essa característica diferencia esses conversores dos conversores que seguem o teorema de Nyquist dado que, para estes, os momentos de amostragem são fixados por um relógio e, por conseguinte, perfeitamente conhecidos, e a amplitude das amostras é quantificada de acordo com a resolução do circuito.

Paralelamente a isso, no domínio da concepção lógica, a abordagem assíncrona põe-se como uma solução alternativa perante o modo de concepção síncrono usual, e comporta numerosas vantagens. Ela consiste unicamente em programar as comunicações entre os blocos de um circuito por sinais de controle locais, isto é, suprimindo qualquer relógio global do sistema. Foi provado que esse tipo de abordagem permite reduzir as emissões eletromagnéticas, reduzir os problemas de metaestabilidade, reduzir o consumo de energia, ter sistemas mais robustos às variações dos parâmetros tecnológicos, de temperatura e de tensão de alimentação. Esse modo de concepção já tem sido utilizado com sucesso em relativamente poucos trabalhos de pesquisa a fim de obter conversores mais eficientes. (RENAUDIN, 2000).

As principais aplicações para um conversor assíncrono são aquelas nas quais a atividade do sinal analógico não é constante durante todo o período de conversão, como, por exemplo, em redes de sensores remotos de grandezas de ambiente como temperatura, pressão e vibração. Encontram-se aplicações também em equipamentos biomédicos, como, por exemplo, em sensores implantados para mensuração da atividade cerebral ou cardíaca.

Neste trabalho foi focalizada a aplicação deste tipo de conversor em espectrometria de raios *gamma*, na qual os eventos ocorrem aleatoriamente com distribuição de Poisson, com sinais de frequência variando entre 0 e 100 kHz. (PICOLLI et al., 2008).

O objetivo deste trabalho é, por conseguinte, realizar o modo de amostragem por cruzamento de nível para uma aplicação sem relógio. Com efeito, essas duas abordagens constituem uma real convergência entre os princípios teóricos de funcionamento do circuito e a sua aplicação material. Essa classe de conversores faz parte de uma família que possui uma grande variedade de circuitos, comandados unicamente pelas partes úteis dos sinais.

## 1.1 Organização do Texto

No segundo capítulo são apresentadas as noções fundamentais no que concerne à conversão analógico-digital. Inicialmente, são descritos os princípios básicos da conversão e a teoria associada, principalmente em relação ao cálculo da relação sinal-ruído (SNR). Depois, os diferentes critérios para a estimação dos desempenhos de conversores analógico-digitais

são detalhados: os critérios estáticos e dinâmicos são claramente definidos e, finalmente, as principais arquiteturas de conversão são apresentadas. Elas são divididas em duas famílias: os conversores que seguem o teorema de Nyquist e os conversores sobreamostrados.

No Capítulo 3, são apresentadas as noções diferentes de circuitos assíncronos do ponto de vista da concepção lógica ou da amostragem. Na primeira parte, descreve-se brevemente a concepção de circuitos assíncronos. Na segunda parte, apresentam-se os princípios da amostragem assíncrona (ou irregular), nas quais, contrariamente à amostragem descrita no teorema de Nyquist, os instantes de amostragem não são uniformemente repartidos no tempo. A teoria se desenrola sobre as diferenças entre o que é utilizado normalmente em tratamento de sinal com amostragem regular e o que se utiliza em amostragem irregular. Esse domínio de pesquisa é muito amplo e somente são apresentados aqui os resultados principais em relação aos diferentes modos de amostragem irregular, os princípios de reconstrução, as transformadas de Fourier e os tratamentos digitais básicos. Finalmente, na terceira parte são apresentados os vários conversores assíncronos publicados na literatura. São destacados, sobre uma concepção assíncrona com uma amostragem irregular, os benefícios da redução de atividades, da redução do consumo de energia, da redução das emissões eletromagnéticas ou dos problemas devidos à metaestabilidade.

No Capítulo 4, iniciam-se as contribuições deste trabalho de tese. Inicialmente, são apresentados detalhadamente os conversores sem relógio do tipo de canal (*pipeline*) e de dobramento (*folding*), bem como suas vantagens e seus problemas. Também será visto nesse capítulo por que essas duas arquiteturas se adaptam melhor a uma amostragem irregular por cruzamento de níveis.

No Capítulo 5, são mostrados todos os detalhes dos projetos dos dois conversores utilizados neste trabalho: um conversor de dobramento, sem relógio, de oito bits, e um conversor de canal, também sem relógio e de oito bits. Para finalizar o capítulo, são mostradas as implementações dos transistores dos amplificadores operacionais e dos comparadores utilizados nesses conversores.

No Capítulo 6, é mostrado o projeto do conversor analógico-digital de dobramento (*folding*) realizado com o *design kit* da X-FAB, o XH035, com todos os seus circuitos e os tamanhos de todos os seus transistores. Depois também é mostrado o leiaute produzido com esse *design kit*.

No Capítulo 7, são mostrados os resultados obtidos em simulações com os dois conversores, e também é feita uma comparação entre eles, utilizando-se o *design kit* AMS035. Em seguida, são apresentados os resultados da relação sinal-ruído mais distorção do conversor

projetado com o *design kit* XH035, além da análise das simulações feitas com os piores casos dos transistores desse DK. Após isso, são apresentadas as conclusões e, depois, uma lista das publicações geradas por este trabalho. Para finalizar o capítulo, é apresentada uma lista de futuros trabalhos.

No Capítulo 8, são mostradas as referências.

## 1.2 Estado da Arte

Até a década de 1980, as exigências militares determinavam as especificações dos conversores de dados no mercado. Militares necessitavam de conversores de dados em seus radares, em suas aplicações de comunicação e em detecção de impulsos eletromagnéticos causados por bombas atômicas ou de outros tipos. Na maioria das vezes, esses conversores foram especificados com uma única dimensão de desempenho, tais como a região dinâmica livre de espúrios (em inglês, *Spurious-Free Dynamic Range*, abreviadamente SFDR) ou a taxa de amostragem. Ocasionalmente, a faixa dinâmica livre de espúrios e a taxa de amostragem podem ser maximizadas, mas dentro de um grupo de múltiplos parâmetros de desempenho. Na verdade, essas dimensões foram, muitas vezes, sacrificadas para melhorar a especificação de desempenho necessário. Por exemplo, num esforço para fornecer a relação sinal-ruído maior possível, foi autorizado aumentar a potência do conversor para reduzir a importância do ruído geral do dispositivo. Assim, eram necessários, por sua vez, dispositivos maiores (discretos ou em *chip*) e, portanto, o custo também aumentou.

Atualmente, os clientes e, especialmente, os mercados comerciais esperam um melhor desempenho em múltiplos parâmetros do conversor, e não apenas um ou dois parâmetros maximizados. Em muitos casos, até quatro ou cinco. Assim, parâmetros como o consumo de energia, a relação sinal-ruído (SNR), a faixa dinâmica sem espúrios (SFDR), largura de banda de entrada e custos devem ser otimizados.

Conversores de alta velocidade, uma vez reservados apenas para usos militares e, talvez, para equipamentos em testes de alta tecnologia, agora estão encontrando aplicações em produtos industriais e de consumo. Aplicações notáveis incluem infraestrutura móvel celular e uma infinidade de outras aplicações sem fio e com fio, como DOCSIS (*Data Over Cable Service Interface Specification*), WiFi (*Wireless Fidelity*), WiMAX (*Worldwide Interoperability for Microwave Access*) e grandes consumidores finais de receptores de radiodifusão comercial para HDTV (*High Definition TeleVision*), FM, AM e transmissões via satélite. O grande apelo para um ADC de alto desempenho está justificado no fato de que, uma vez que a banda do sinal de interesse é digitalizado, processamentos de sinais podem ser

otimizados e adaptados para quase qualquer aplicação usando técnicas de *software*, como encontrado em SDR (*Software Defined Radio*) ou *software* de instrumentação definida.

No campo das comunicações sem fio, exigem-se constantemente dos conversores analógico-digitais (ADC) maiores velocidade e resolução para capacitá-los a processar uma banda de frequência cada vez maior, permitindo, assim, mais canais, com melhor resolução.

Uma maneira de melhorar as especificações de um ADC é a utilização de múltiplos ADCs de alta velocidade em paralelo, para aumentar o alcance dinâmico. Com dois ADC, por exemplo, a relação sinal-ruído global pode ser melhorada em até 3 dB; com três conversores, a melhora pode chegar a 4,8 dB.

Teoricamente, a SNR pode ser aumentada em 3 dB (meio-bit) com dois métodos diferentes. Uma das opções é dobrar a taxa de amostragem e filtrar digitalmente a saída (por exemplo, com um filtro de decimação FIR). A segunda opção é colocar em paralelo dois ADC e simplesmente fazer uma média do sinal digital de saída (Neu, 2007). Isso corresponde ao ADC sigma-delta de ordem zero.

Na maioria das vezes, dobrar a taxa de amostragem não é a melhor opção porque exige ADC mais rápidos. Já a técnica de fazer a média de dois ADC em paralelo reduz a média de ruído branco não correlacionado, mas não tem efeito sobre as distorções inerentes ao projeto do ADC, que podem ser comuns a todos os outros ADC. Se, por exemplo, um ADC cria uma grande distorção de terceira ordem, esta vai aparecer em cada ADC utilizado, e calculando a média não vai reduzi-la. Portanto, com a média, só melhora a relação sinal-ruído, mas não a região dinâmica livre de espúrios (SFDR).

A maioria dos fabricantes está dividindo os ADC hoje em algumas categorias, a saber: ADC de ultra-alta velocidade, ADC de alta velocidade, ADC para aplicações gerais, ADC de precisão, ADC isolados e ADC com entrada em corrente.

Na categoria dos ADC de ultra-alta velocidade, inserem-se os ADC de frequência de amostragem acima de 1 giga-amostras por segundo (1 *Gsps*), com resoluções de 8 a 14 bits, com arquiteturas diversas e, principalmente, com arranjos entre mais de um conversor para possibilitar atingir essa velocidade.

Na categoria dos ADC de alta velocidade, inserem-se os ADC de frequência de amostragem acima de cem mega-amostras por segundo (100 *Msp*s), com resoluções de 8 a 14 bits, geralmente com arquiteturas *flash* ou *pipeline*.

Na categoria dos ADC para aplicações gerais se inserem os ADC de frequência de amostragem até oitenta mega-amostras por segundo (80 *Msp*s), com resoluções de até 12 bits, geralmente com arquiteturas sigma-delta ou SAR (aproximação sucessiva).



Na categoria dos ADC de precisão, inserem-se os ADC de frequência de amostragem baixa, em torno de 2000 amostras por segundo (2000 *sps*), com resoluções de 16 a 24 bits, geralmente com arquiteturas *pipeline*, sigma-delta ou SAR (aproximação sucessiva).

Na categoria dos ADC isolados, inserem-se os ADC de frequência de amostragem baixa, de até 100 mil amostras por segundo (100 *ksps*), com resoluções de 16 bits, no máximo. Normalmente, eles possuem arquitetura sigma-delta.

Na categoria dos ADC com entrada em corrente, inserem-se os ADC de frequência de amostragem baixa, de até 100 mil amostras por segundo (100 *ksps*), com resoluções de 14 a 20 bits. Normalmente, eles possuem arquitetura sigma-delta ou SAR.

As principais especificações dos conversores analógico-digitais consideradas neste trabalho foram a relação sinal-ruído (SNR) e o consumo de energia. Em relação a essas especificações para os ADC de alta velocidade, a SNR varia de 78 dB, para os de 16 bits, até 50 dB, para os de 8 bits. E com relação ao consumo, ele varia de 800 mW para os de 16 bits até 150 mW para os de 8 bits.

Para os ADC utilizados em aplicações gerais, a SNR varia entre 68 dB (12 bits) a 48 dB (8 bits). E o consumo varia entre 300 e 400 mW. Para os ADC de precisão, a SNR fica em torno de 130 dB para os ADC de 24 bits, com um consumo de energia de 15 mW. Para os ADC com entrada em corrente, a SNR fica em torno de 100 dB (20 bits). E o consumo varia entre 80 e 540 mW, dependendo da arquitetura utilizada. Para os ADC isolados, a SNR fica em torno de 85 dB para os ADC de 16 bits, e o consumo fica em torno de 80 mW.

Alguns fabricantes também criaram a categoria dos ADC de ultra-alta velocidade. Esses conversores têm entre 0,5 e 3,6 giga-amostras por segundo (*Gsps*) com resoluções de 8 a 12 bits. O que possui a frequência de amostragem de 3,6 *Gsps* atinge uma SNR de 57,7 dB, com um consumo de 4,4 W e com uma tensão de alimentação de 2,0 V.

Na Tabela 1.1, estão mostradas algumas especificações dos conversores analógico-digitais (ADC) comerciais mais modernos. Procurou-se dar destaque às especificações que foram mais consideradas neste trabalho, como a relação sinal-ruído (SNR) e o consumo de energia.

**Tabela 1.1** Conversores Analógico-Digitais Comerciais.

Conversor Analógico-digital (ADC)	Fabricante	Resolução (bits)	Frequência de Amostragem Máxima (em amostras por segundo – aps)	Relação Sinal-Ruído (SNR) (em dB)	Potência Consumida (em watts)	Tensão de Alimentação (em volts)	Arquitetura
<b>ADC12D1800R</b> (ultrarrápido – CMOS)	National Semiconductor	12 bits	3,6 Gaps	57,7 dB	4,4 W	2,0 V	Dobramento ( <i>foldings</i> ) e Interpolação
<b>CHAIS</b> (ultrarrápido – CMOS)	Fujitsu	8 bits	56 Gaps	40 dB (1 GHz) 36 dB (17 GHz)	9 W	1,2 V	4 ADC entrelaçados (SAR)
<b>ISLA112P50</b> (rápido – CMOS)	Intersil	12 bits	500 Maps	65,9 dB	455 mW	1,8 V	<i>Pipeline</i>
<b>HI5714</b> (de uso geral – BiCMOS)	Intersil	8 bits	80 Maps	48 dB	325 mW	5 V	Dobramento ( <i>foldings</i> ) e Interpolação
<b>ADC10DV200</b> (rápido – CMOS)	National Semiconductor	10 bits	200 Maps	59,9 dB	280 mW	1,8 V	<i>Pipeline</i>
<b>HI7190</b> (precisão – CMOS)	Intersil	24 bits	2 kaps	132,3 dB	15 mW	5 V	Sigma-delta
<b>DDC316</b> (entrada em corrente – CMOS)	Texas Instruments	16 bits	100 kaps	90 dB	540 mW	5 V	Rampa simples

Referências: <http://www.eetimes.com/design/automotive-design/4009960/>  
<http://focus.ti.com/>  
<http://www.linear.com/>  
<http://www.intersil.com/>  
<http://www.maxim-ic.com/>  
<http://www.national.com/>  
<http://www.iceach.com/>  
<http://www.fujitsu.com/>

Um grande número de publicações recentes de 2008 a 2011 foi revisado (IEEE, Kluwer ou Elsevier) e publicações em conferências (ISCAS, ISSCC, etc.) foram utilizadas numa análise, a fim de comparar os conversores com as melhores especificações.

Foram agrupados todos os tipos de arquitetura (ADC que segue o teorema de Nyquist e ADC sobreamostrado), e todos os tipos de aplicações (baixo consumo, alta velocidade, alta resolução, etc.). As especificações que são alvo da pesquisa nem sempre são mostradas nas publicações. Diante disso, foram escolhidas as que apresentavam as melhores especificações em termos de SNR e de consumo.

**Tabela 1.2** Comparação dos ADC existentes em artigos e periódicos com o ADC proposto.

	<b>Tempo-intercalado</b>	<b>Paralelo (Flash)</b>	<b>SAR</b>	<b>Rampa Dupla</b>	<b>Sigma-Delta</b>	<b>Canal (Pipeline)</b>	<b>Dobramento (Folding)</b>
Referência	(HARPE et al., 2010)	(STROEBLE et al., 2004)	(DONDI et al., 2006)	(FANG et al., 2009)	(SCHOOFIS et al., 2005)	(STROEBLE et al., 2004)]	(RODRIGUES et al., 2010)
Número de bits	5 bits	6 bits	6 bits	12 bits	14 bits	10 bits	8 bits
Tensão de Alimentação	1 V	1,75 V	1,0 V	1,8 V	1,1 V	1,5 V	3,3 V
Frequência de Amostragem Máxima	250 MHz	25 GHz	1,2 GHz	50 kHz	1 GHz	80 MHz	25 MHz
Tempo de Conversão	4 ns	40 ns	0,83 ns	20 $\mu$ s	1 ns	12,5 ns	40 ns
Consumo	0,8 mW	2,3 W	16 mW	60 $\mu$ W	10 mW	33 mW	30 mW
SNDR	30 dB	<29 dB	35,7 dB	N/A	63,4 dB	59 dB	58 dB

## CAPÍTULO 2

### CONVERSÃO ANALÓGICO-DIGITAL

Neste capítulo, são apresentadas as noções fundamentais da conversão analógico-digital. Os princípios básicos da conversão são descritos, e também toda a teoria associada, principalmente no que se refere ao cálculo da relação sinal-ruído.

Os diferentes critérios para estimação do desempenho dos conversores são explicados: os critérios estáticos e dinâmicos são claramente definidos, assim como o fator de mérito, critério geral para avaliação do desempenho de um conversor, que integra suas características essenciais, como velocidade, consumo, etc.

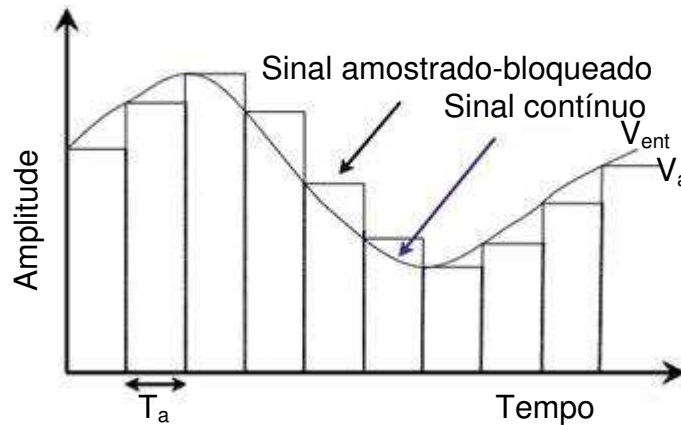
Enfim, algumas das principais arquiteturas de conversores que seguem o teorema de Nyquist e as arquiteturas de conversores sobreamostrados são descritas.

#### 2.1 Princípios da Conversão Analógico-Digital

A conversão analógico-digital é a etapa, em processamento de sinais, que permite passar de um sinal analógico, geralmente contínuo no tempo e em amplitude, para um sinal discreto no tempo (amostrado) e em amplitude (quantizado). A conversão analógico-digital se passa geralmente em duas etapas distintas: a amostragem-retenção e a quantização.

##### 2.1.1 Generalidades

A amostragem consiste em manter o valor do sinal contínuo analógico,  $V_{ent}$ , durante uma duração de tempo fixa chamada de *período de amostragem* (v. figura 2.1), o que é feito por um circuito chamado de *amostrador-retentor* (S&H – *Sample and Hold*). A tensão analógica  $V_a$ , contínua por partes, é obtida. O período de amostragem,  $T_a$ , é fixado segundo o teorema de Nyquist: a frequência de amostragem deve ser, pelo menos, o dobro da banda passante máxima do sinal contínuo analógico. (MALOBERTI, 2007).



**Figura 2.1** Amostragem-blocagem de um sinal contínuo.

A quantização é a etapa de conversão analógico-digital propriamente dita: ela consiste em transformar uma tensão real  $V_a$  em um número binário  $V_{dig} = (b_i)_{0 \leq i \leq N-1}$ , escolhido entre um conjunto finito e predeterminado de valores.

Um conversor analógico-digital (ADC) é caracterizado por dois principais parâmetros: seu número de bits (ou resolução),  $N$ , e sua faixa dinâmica de entrada,  $\Delta V_{ent} = [V_{min}, V_{máx}]$ . A partir disso, o quantum  $q$  ou LSB (*Least Significant Bit*) é determinado pela relação:

$$q = \frac{\Delta V_{ent}}{2^N} \quad (2.1)$$

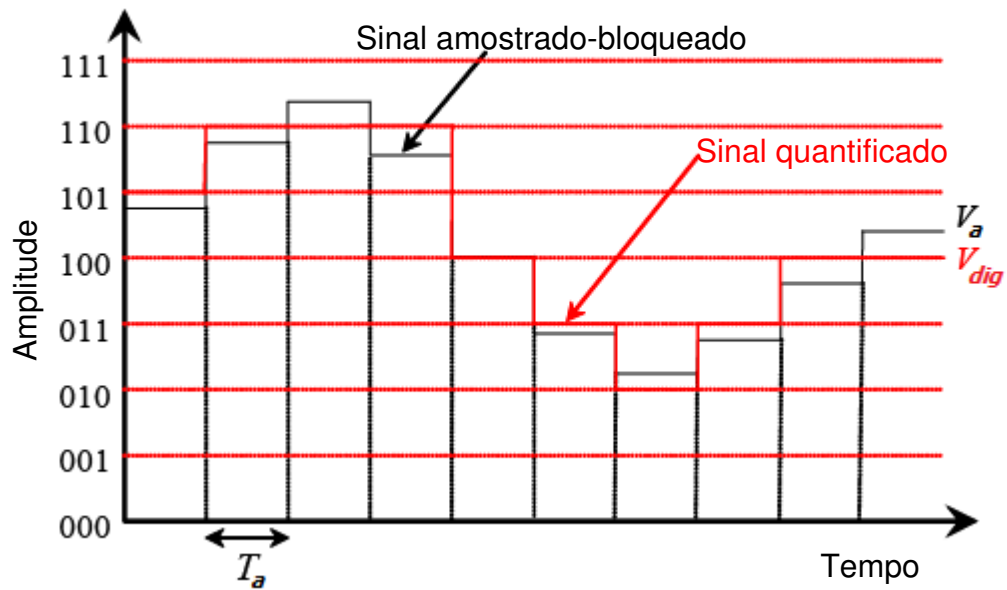
Esse é o valor básico com o qual são multiplicadas todas as tensões digitais de saída. Para uma tensão analógica de entrada  $V_a$ , o ADC faz corresponder uma tensão analógica  $V_{dig}$  tal que:

$$|V_a - V_{dig}| \leq \frac{q}{2} \quad (2.2)$$

com

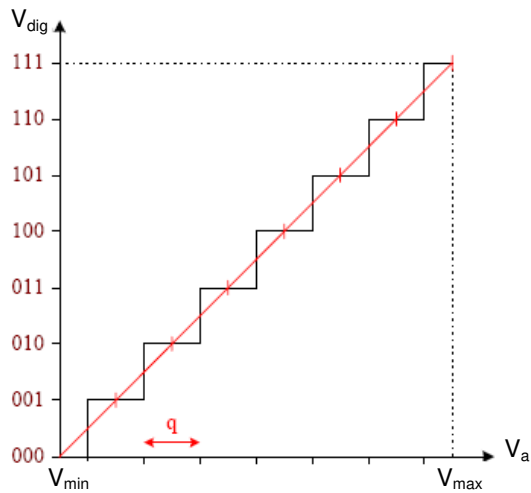
$$V_{dig} = q \cdot [b_{N-1}2^{N-1} + \dots + b_12^1 + b_02^0] \quad (2.3)$$

A equação (2.3) resulta na utilização de um código numérico em binário natural. Outros tipos de códigos poderiam ser utilizados: o código Gray, o código 1 entre N, etc. A diferença  $V_e = V_a - V_{dig}$  é frequentemente chamada de *ruído de quantização*. Esse ruído é inerente ao princípio da conversão analógico-digital, e não pode ser suprimido. Isso aumenta a importância do cálculo da relação sinal-ruído (SNR). (PLASSCHE, 2003).



**Figura 2.2** Quantização de um sinal analógico.

A função de transferência de um conversor analógico-digital é determinada simplesmente pelo gráfico da tensão digital,  $V_{dig}$ , em função da tensão analógica,  $V_a$ . Na figura 2.3, é mostrado o gráfico de um ADC com resolução de 3 bits.



**Figura 2.3** Gráfico que determina a função de transferência teórica de um conversor analógico-digital (3 bits).

## 2.1.2 Relação sinal-ruído

A relação sinal-ruído (SNR) é uma razão entre as potências de um sinal contendo algum tipo de informação e o ruído presente nesse mesmo sinal. Quanto mais alto for a SNR, menor será o efeito do ruído sobre a informação desejada.

### 2.1.2.1 Relação geral

O ruído de quantização,  $V_\varepsilon$ , é o fator que limita a exatidão das amostras digitais. Ele é utilizado na definição da relação sinal-ruído,  $SNR_{dB}$ , como segue:

$$SNR_{dB} = 10 \cdot \log \left[ \frac{P(V_{ent})}{P(V_\varepsilon)} \right] \quad (2.4)$$

na qual  $P(V_{ent})$  é a potência do sinal  $V_{ent}$ .

Em processo estocástico, supõe-se que o sinal de entrada,  $V_{ent}$ , varia rapidamente, de modo que o ruído de quantização,  $V_\varepsilon$ , pode ser considerado como não relacionado com o sinal  $V_{ent}$ . Ele se assemelha mais a um ruído branco, de média nula, tendo uma probabilidade igual de se encontrar no intervalo entre  $[-q/2$  e  $q/2]$ , e sua densidade de probabilidade,  $f_q$ , pode ser escrita como:

$$f_q = \frac{1}{q} \cdot 1_{\left[-\frac{q}{2}, \frac{q}{2}\right]} \quad (2.5)$$

A potência do ruído de quantização vale então:

$$P(V_\varepsilon) = \int_{-\infty}^{+\infty} x^2 \cdot f_q(x) \cdot dx \quad (2.6)$$

Substituindo  $f_q$ , tem-se que:

$$P(V_\varepsilon) = \int_{-\infty}^{+\infty} x^2 \cdot \frac{1}{q} \cdot 1_{\left[-\frac{q}{2}, \frac{q}{2}\right]} \cdot dx = \frac{1}{q} \cdot \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 \cdot dx \quad (2.7)$$

Donde:

$$P(V_\varepsilon) = \frac{q^2}{12} \quad (2.8)$$

O valor *rms* do ruído de quantização vale:

$$\varepsilon_{rms} = \sqrt{P(V_\varepsilon)} = \frac{q}{\sqrt{12}} \quad (2.9)$$

No caso geral, o sinal de entrada,  $V_{ent}$ , tem por desvio padrão típico  $\sigma_{ent}$ , de modo que sua potência vale:

$$P(V_{ent}) = \sigma_{ent}^2 \quad (2.10)$$

Substituindo (2.8) e (2.10) em (2.4), tem-se que:

$$SNR_{dB} = 10 \cdot \log\left(\frac{12 \cdot \sigma_{ent}^2}{q^2}\right) \quad (2.11)$$

Essa relação geral pode ser aplicada a qualquer sinal analógico, como, por exemplo, um sinal senoidal de amplitude máxima  $A$  e de frequência  $f$ :

$$V_{ent}(t) = A \cdot \text{sen}(2\pi ft) \quad (2.12)$$

na qual

$$A = \frac{(2^N) \cdot q}{2} \quad (2.13)$$

A potência média vale:

$$P(V_{ent}) = f_a \cdot \int_{-\frac{2}{f_a}}^{+\frac{2}{f_a}} V_{ent}^2(t) \cdot dt = \frac{A^2}{2} = \frac{(2^N)^2 \cdot q^2}{8} \quad (2.14)$$

A  $SNR_{dB}$  torna-se:

$$SNR_{dB} = 6,02 \cdot N + 1,76 \quad (2.15)$$

A definição da  $SNR$  mostrada na eq. (2.15) é comumente adotada pelos conversores analógico-digitais que seguem o teorema de Nyquist. De qualquer maneira, essa equação serve bem aos testes de conversores, dado que, na prática, eles são realizados considerando sinais analógicos senoidais puros. Assim, para um conversor, a  $SNR$  obtida na teoria pela equação (2.15) pode ser comparada diretamente à  $SNR$  medida em práticas de teste do circuito.

### 2.1.2.2 SNR e sobreamostragem

Deve-se considerar agora o caso geral no qual o sinal é amostrado a uma frequência  $f_a$  superior à frequência de Nyquist,  $F_{Nyq}$ .



Seja  $S_B = |\varepsilon(f)|^2$  a densidade espectral de potência do ruído de quantização, sendo  $\varepsilon(f)$  a transformada de Fourier do ruído de quantização  $V\varepsilon(t)$ . A potência total do ruído de quantização, que se encontra na banda de frequência  $\left[-\frac{f_a}{2}, \frac{f_a}{2}\right]$ , é igual ao valor calculado na equação (2.8):

$$P(V_\varepsilon) = \int_{-\frac{f_a}{2}}^{\frac{f_a}{2}} S_B(f) \cdot df = \frac{q^2}{12} \quad (2.16)$$

Em se tratando de um ruído branco, sua densidade espectral de potência é constante. Assim:

$$S_B(f) = \frac{q^2}{12} \cdot \frac{1}{f_a} \quad (2.17)$$

O fator de sobreamostragem, OSR (do inglês *Over-Sampling Ratio*), é definido como a relação  $f_a/F_{Nyq}$ , isto é:  $OSR = \frac{f_a}{F_{Nyq}}$ .

A potência total do ruído de quantização se encontra sobre a banda  $\left[-\frac{f_a}{2}, \frac{f_a}{2}\right]$ , e seu valor fica idêntico ao caso inicial, no qual o sinal era amostrado à frequência de Nyquist. Em contrapartida, num conversor do tipo sobreamostrado, o filtro reduz, depois, a banda útil ao intervalo  $\left[-\frac{f_{Nyq}}{2}, \frac{f_{Nyq}}{2}\right]$ . A função de transferência do filtro é:

$$H(f) = 1 \left[ \begin{array}{c} f_{Nyq} \\ -\frac{f_{Nyq}}{2}, \frac{f_{Nyq}}{2} \end{array} \right] \quad (2.18)$$

A potência do ruído de quantização na nova banda útil é:

$$P_\varepsilon = \int_{-\frac{f_a}{2}}^{\frac{f_a}{2}} |H(f)|^2 \cdot S_B(f) \cdot df \quad (2.19)$$

Portanto, em vista da eq. (2.18), chega-se a:

$$P_\varepsilon = \int_{-\frac{f_a}{2}}^{\frac{f_a}{2}} S_B(f) \cdot df \quad (2.20)$$

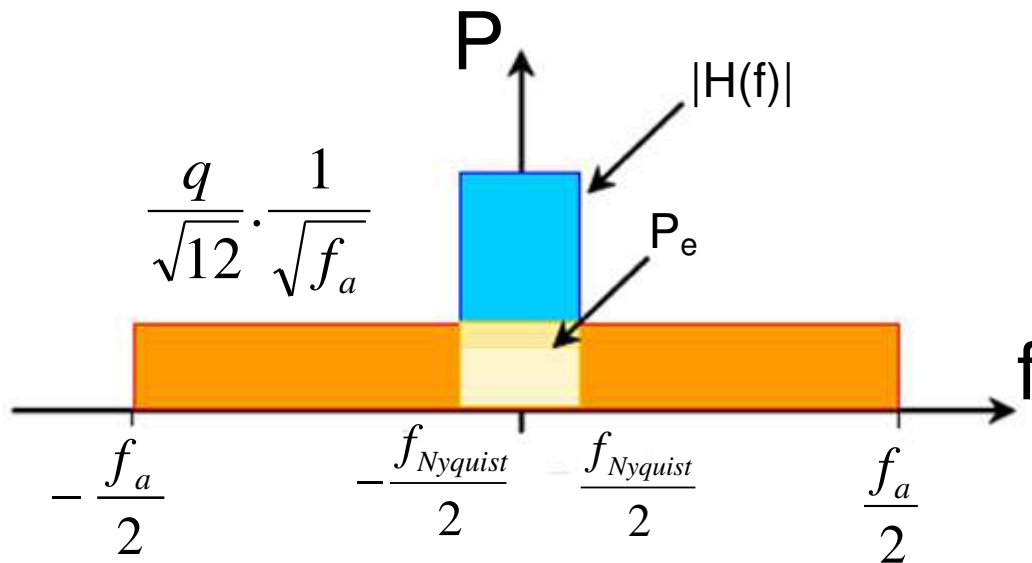
Isso significa que:

$$P_\varepsilon = S_B(f) \cdot \int_{-\frac{f_{Nyq}}{2}}^{\frac{f_{Nyq}}{2}} df = \frac{q^2}{12} \cdot \frac{1}{f_a} \cdot \int_{-\frac{f_{Nyq}}{2}}^{\frac{f_{Nyq}}{2}} df = \frac{q^2}{12} \cdot \frac{f_{Nyq}}{f_a} = \frac{q^2}{12} \cdot \frac{1}{OSR} \quad (2.21)$$

A SNR, considerando a potência média de um sinal senoidal, é dada pela equação (2.4). A relação sinal-ruído, calculada a partir da equação (2.11) torna-se então:

$$SNR_{dB} = 6,02 \cdot N + 1,76 + 10 \cdot \log(OSR) \quad (2.22)$$

Assim, dobrar, por exemplo, a frequência de amostragem permite melhorar a SNR de 3 dB ou de 0,5 bit.



**Figura 2.4** Densidade espectral do ruído para um ADC com sobreamostragem.

Independentemente da arquitetura de conversão empregada, todo ADC que segue o teorema de Nyquist pode ter sua resolução melhorada pela técnica de sobreamostragem e de filtragem. (PLASSCHE, 2003).

## 2.2 Critérios para Avaliação de Desempenho de um Conversor

Os diferentes parâmetros úteis que definem o desempenho de um conversor analógico-digital são definidos neste item. Esses parâmetros, no entanto, nem sempre são apresentados nos artigos nos quais são mostradas novas arquiteturas de conversão.

Existe na bibliografia uma vasta gama de critérios para estimar o desempenho de um conversor analógico-digital. Em muitos artigos, somente alguns desses critérios são realmente explícitos: a relação sinal-ruído (SNR), a faixa dinâmica livre de espúrios (SFDR – *Spurious-Free Dynamic Range*), o número efetivo de bits (ENOB – *Effective Number of Bits*) e, enfim, a potência consumida.

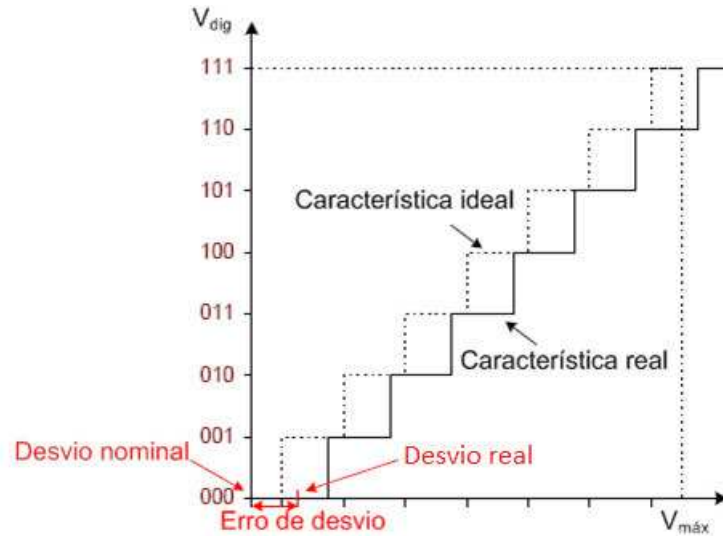
O número efetivo de bits pode ser determinado de forma dinâmica, utilizando a SNR e a SFDR, ou de forma estática, com o erro de não linearidade integral (INL – *Integral Non-Linearity*) ou o erro de não linearidade diferencial (DNL – *Differential Non-Linearity*). Contudo, as medidas dinâmicas permitem uma melhor exatidão sobre essas estimativas.

### 2.2.1 Parâmetros estáticos

O desempenho de um conversor analógico-digital pode ser estimado por meio de análise dos seus parâmetros estáticos. Os mais importantes são: o erro da tensão de desvio (*offset*), o erro de ganho, o erro de não linearidade diferencial (DNL) e o erro de não linearidade integral (INL).

#### 2.2.1.1 Erro de tensão de desvio (*offset*)

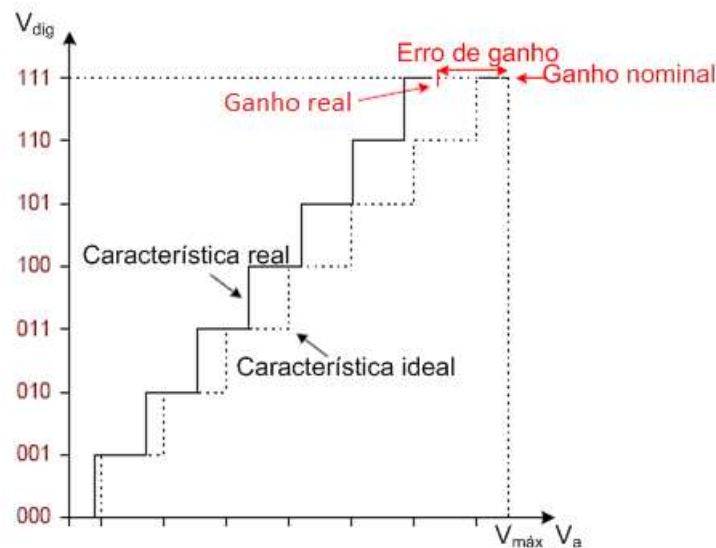
O erro da tensão de desvio é a diferença entre o valor nominal da tensão de desvio (medida da origem da função de transferência: o ponto 0) e o valor da tensão de desvio definido como metade da amplitude do primeiro degrau da função de transferência, expressa em LSB. O erro da tensão de desvio atinge globalmente toda a característica do conversor, e pode facilmente ser compensado por técnicas comuns de concepção de circuitos.



**Figura 2.5** Representação gráfica do erro de desvio de tensão para um ADC.

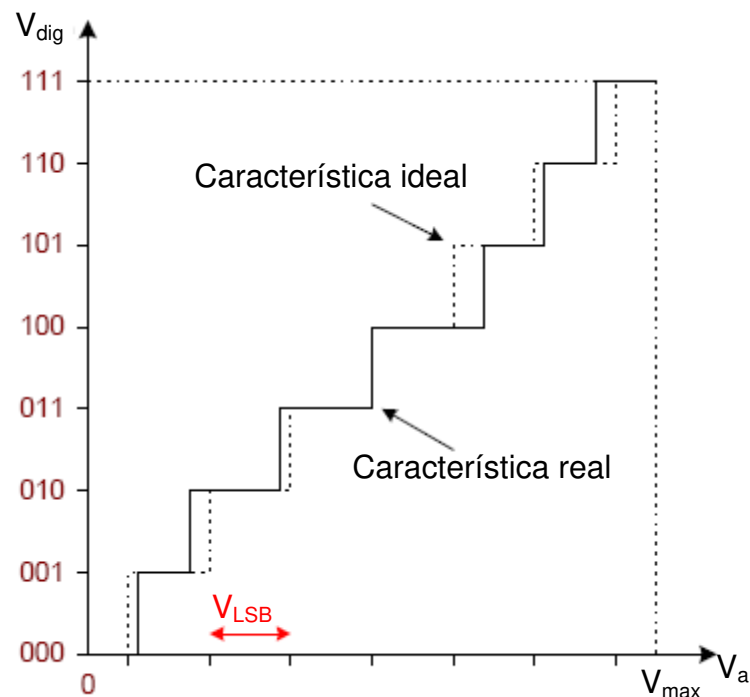
### 2.2.1.2 Erro de ganho

Para definir o erro de ganho, inicialmente se considera que o erro de tensão de desvio está suprimido. O erro de ganho é definido como sendo a diferença entre o valor nominal de ganho (o ponto inicial da função de transferência: o ponto de abscissa  $V_{máx}$ ) e o valor do ganho definido como a metade da amplitude da abscissa do último degrau da função de transferência, expressa em LSB. Ele representa uma diferença de inclinação entre a função de transferência ideal e a função de transferência real, e afeta globalmente todos os degraus com a mesma porcentagem de LSB. O erro de ganho pode, igualmente, ser facilmente compensado por técnicas comuns de concepção de circuitos.



**Figura 2.6** Representação gráfica do erro de ganho para um ADC.

Uma vez que o erro de tensão de desvio e o erro de ganho são suprimidos, a função de transferência de um ADC real pode ter o procedimento apresentado na figura 2.7. Contrariamente à figura 2.3, embora a altura dos degraus continue rigorosamente igual a 1 LSB, a sua amplitude não é mais constante. Dois outros parâmetros estáticos são agora definidos: o erro de não linearidade diferencial (DNL – *Differential Non-Linearity Error*) e o erro de não linearidade integral (INL – *Integral Non-Linearity Error*).



**Figura 2.7** Gráfico utilizado para determinar a função de transferência de um ADC real.

### 2.2.1.3 O erro de não linearidade diferencial – DNL

A partir da função de transferência real de um ADC, o DNL pode ser facilmente determinado. Ele é definido, para qualquer degrau, como sendo a variação da largura do degrau em torno de  $V_{LSB}$  (tensão referente a 1 LSB), expresso em porcentagem de  $V_{LSB}$ . Uma curva de DNL pode ser traçada em função dos códigos numéricos da saída  $V_{dig}$ . Na bibliografia, o DNL de um ADC pode ser também definido como o valor máximo dos DNLs assim calculados. Para o caso ideal, o DNL vale exatamente zero. Em contrapartida, nos casos reais, se ele exceder 1 LSB, o conversor poderá ter alguns códigos faltando, isto é, alguns valores digitais da saída  $V_{dig}$  jamais serão assumidos. Um ADC com um DNL de 0,5 LSB

significa que a largura de seus passos pode variar de 0,5 LSB a 1,5 LSB. (MALOBERTI, 2007).

#### **2.2.1.4 O erro de não linearidade integral – INL**

O INL traduz o desvio dos pontos da função de transferência real dos pontos de uma função dita ideal. Esta pode ser definida de várias formas: em primeiro lugar, como uma reta ligando os dois pontos extremos da curva característica,  $(0, 000)$  e  $(V_{\text{máx}}, 111)$  (v. fig. 2.3), de modo que ela pode ser definida como a reta obtida quando se minimizam os erros quadráticos entre os pontos reais da curva característica. Essa primeira definição é a mais comumente utilizada. Como o DNL, o INL pode ser traçado em função dos códigos numéricos da saída  $V_{\text{dig}}$ , e ele é também definido na bibliografia como o valor máximo dos INL assim calculados. Para o caso ideal, o INL, assim definido, vale exatamente zero. O nome “erro de não linearidade integral” vem do fato de que, se a soma de todos os DNL compreendidos entre o primeiro degrau e aquele considerado for efetuada, o INL do último degrau será encontrado. Um ADC é monotônico se seu erro de INL máximo não exceder 0,5 LSB. (MALOBERTI, 2007).

A partir de uma característica real inicial de ADC, existe também o erro absoluto de exatidão que permite incluir o erro de ganho, o erro de tensão de desvio e o INL. Ele é obtido calculando o valor máximo das diferenças entre as abscissas dos degraus à meia largura e as abscissas dos pontos correspondentes à reta ideal.

### **2.2.2 Parâmetros Dinâmicos**

Na maioria das vezes, o desempenho de um conversor analógico-digital é estimado pela análise dos seus parâmetros dinâmicos. Os mais importantes são: a relação sinal-ruído (SNR – *Signal-to-Noise Ratio*), a faixa dinâmica livre de espúrios (SFDR – *Spurious Free Dynamic Range*) e o fator de mérito (FoM – *Factor of Merit*).

#### **2.2.2.1 SNR**

Para um ADC ideal, o único erro introduzido quando ocorre a conversão analógico-digital é o ruído de quantização. Assim, a tensão analógica de entrada, que pode assumir qualquer valor real num intervalo dado, é transformada num valor numérico que varia num conjunto finito de elementos. A incerteza com a qual são conhecidas as amostras é caracterizada pela relação sinal-ruído.

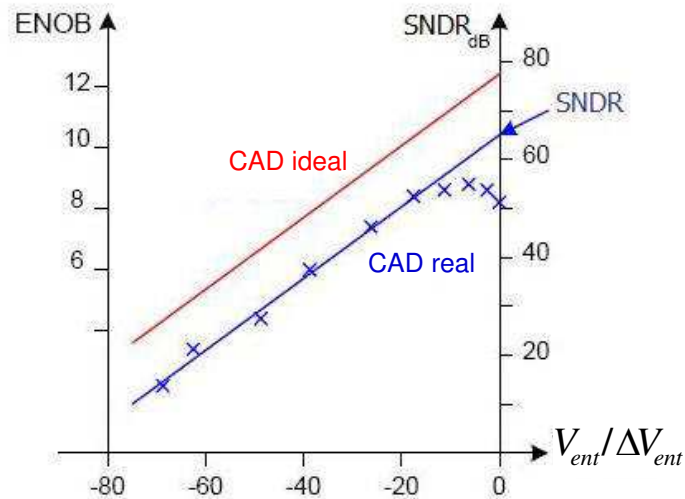
No caso de um ADC real, no cálculo da SNR leva-se em consideração não somente o ruído de quantização, mas também o ruído provocado por todas as imperfeições que podem existir nos blocos do circuito, como o ruído térmico, o DNL, o INL, etc. Após ter medido a SNR, o número efetivo de bits do ADC ou ENOB (*Effective Number Of Bits*) é deduzido a partir da equação (2.15), isto é:

$$ENOB = \frac{SNR_{dB} - 1,76}{6,02} \quad (2.23)$$

No caso de um ADC que segue o teorema de Nyquist, a estimativa da SNR faz-se, por meio de simulações ou em teste sobre circuito integrado, da mesma maneira: uma frequência de amostragem,  $f_a$ , é fixada e, depois, um sinal senoidal puro de frequência  $f$  é introduzido na entrada do circuito (respeitando o teorema de Nyquist). Uma transformada rápida de Fourier (FFT – *Fast Fourier Transform*) é feita sobre a sequência de amostras digitais na saída do ADC. A SNR é calculada fazendo a relação da amplitude da frequência fundamental (a frequência  $f$ ) com a integral sobre a banda útil  $\left[-\frac{f_a}{2}, \frac{f_a}{2}\right]$  da densidade espectral de potência do ruído. Normalmente, a SNR pode ser traçada em função da frequência  $f$  de entrada, com  $f_a$  tomada como parâmetro. A SNR é constante para as frequências baixas, diminuindo seguidamente quando a frequência aumenta. O valor da frequência  $f$  em que a SNR diminuiu de 3dB é o limite superior da banda passante do conversor ou banda-passante de resolução efetiva (ERBW – *Effective Resolution Bandwidth*), valor esse muito importante visto que indica o limite da banda de frequência sobre a qual o conversor deve ser utilizado. Se  $ERBW \geq \frac{f_a}{2}$ , trata-se de um conversor que segue o teorema de Nyquist.

A SNR, assim definida, frequentemente é chamada relação sinal-ruído mais distorção (abreviadamente SNDR, do inglês *Sinal-to-Noise-and-Distortion Ratio*), pois ela leva em conta tanto o ruído quanto a distorção harmônica. O cálculo da SNDR vista anteriormente deve ser feita com precauções: outro parâmetro, não levado em conta até agora, que tem um papel muito importante é a amplitude  $V_{ent}$  do sinal senoidal de entrada. Com efeito, quanto mais a amplitude aumenta, mais a SNDR aumenta. É lógico interrogar-se sobre qual o valor de amplitude a tomar para considerar a SNDR e, por conseguinte, o ENOB. A equação (2.15) é calculada teoricamente para  $V_{ent}$  máximo, isto é, quando toda a faixa dinâmica de entrada,  $\Delta V_{ent}$ , é varrida. No entanto, na prática, tal amplitude aumenta a distorção, e chega-se à

conclusão, por esse método, de que a SNDR e, por conseguinte, o ENOB são estimados com valores mais baixos do que realmente são. Para evitar isso, o método seguinte é geralmente empregado:  $f$  é fixada, e a SNDR é traçada em função da amplitude de entrada,  $V_{ent}$ . Para um ADC ideal, o resultado é uma reta crescente (v. fig. 2.8). Para um ADC real, dois efeitos intervêm: para as amplitudes baixas, a curva obtida a partir dos pontos experimentais é deslocada para baixo (isso acontece devido ao DNL), e, para as amplitudes altas, a curva diminui devido ao aumento da distorção harmônica. O valor da SNDR é estimado dinamicamente interpolando o segmento de reta das amplitudes baixas para toda a dinâmica do sinal de entrada (figura 2.8). O ENOB é então deduzido pela equação (2.23). (ALLIER, 2003).



**Figura 2.8** SNDR em função da amplitude do sinal senoidal puro da entrada.

#### 2.2.2.2 SFDR

A importância da medição da SFDR é idêntica à da medição da SNR. A relação entre a fundamental e a primeira harmônica sobre a banda de frequência útil  $\left[-\frac{f_a}{2}, \frac{f_a}{2}\right]$  é efetuada.

O número efetivo de bits do ADC é calculado pela relação:

$$N_{ef(SFDR)} = \frac{SFDR_{dBc}}{6,02}. \quad (2.24)$$



Na prática, a resolução efetiva  $N_{\text{ef(SFDR)}}$  é mais próxima da resolução teórica  $N$  que a estimada pelo método que utiliza a SNR. (WALDEN, 1999).

### 2.2.2.3 Fator de mérito

Todos os parâmetros descritos anteriormente permitem caracterizar um conversor analógico-digital. Entretanto, a fim de comparar os conversores entre si, um critério mais geral, calculado a partir de parâmetros gerais, é comumente adotado: o Fator de Mérito (FoM – *Factor of Merit*). Sua definição geral é dada por Walden (1999):

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m} \quad (2.25)$$

na qual o número efetivo de bits, ENOB, é calculado por meio da SNR dada pela equação (2.23), ERWB (em Hz) é a banda efetiva do conversor, e  $P_m$  é a potência média total consumida pelo conversor (em W).

Outras definições do Fator de Mérito podem ser encontradas na bibliografia, mas são equivalentes. A superfície  $S$  do circuito (em  $m^2$ ) pode igualmente ser integrada à equação do Fator de Mérito da maneira seguinte:

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m \cdot S} \quad (2.26)$$

## 2.3 Arquiteturas dos Conversores

Somente algumas das arquiteturas clássicas de conversão são apresentadas neste item. As informações suplementares podem ser encontradas para cada uma delas em Jaspers (2001), Johns e Martin (1996) e Bailleu et al. (1996). Duas grandes famílias de conversores coexistem. Em primeiro lugar, há os conversores que seguem o teorema de Nyquist, para os quais uma amostra digital na saída corresponde a uma amostra analógica na entrada. A fim de minimizar os requisitos do filtro *anti-aliasing* na entrada, tais ADC são frequentemente sobreamostrados de um fator inferior a dez. Existem também os conversores sobreamostrados cuja frequência de amostragem é bem superior à frequência de Nyquist, e para os quais a resolução é melhorada por uma decimação realizada posteriormente.

### 2.3.1 Conversores que seguem o teorema de Nyquist

Os conversores analógico-digitais que seguem o teorema de Nyquist são os que operam mantendo uma razão pequena entre sua frequência de amostragem e a frequência de

amostragem mínima calculada pelo teorema de Nyquist. Normalmente, eles operam com uma frequência de amostragem entre 1,5 a 10 vezes a frequência de Nyquist.

### 2.3.1.1 Conversor analógico-digital de rampa dupla

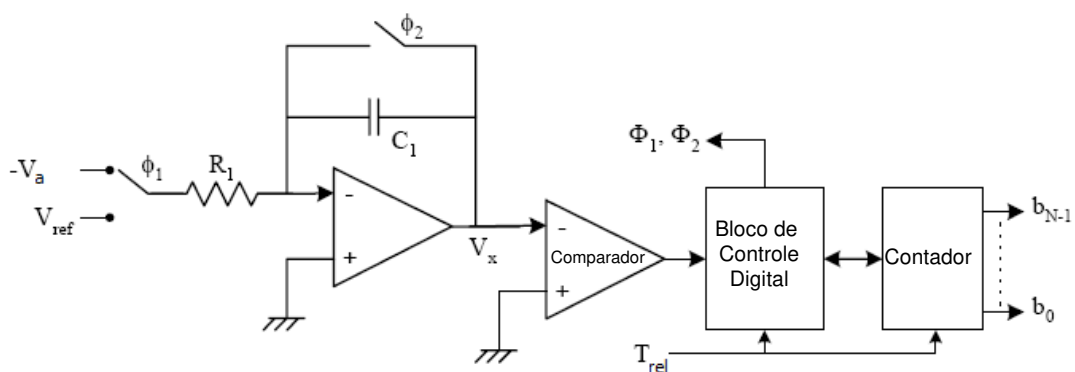
O ADC de rampa dupla é um tipo de conversor comumente utilizado na conversão de alta resolução de sinais de baixa frequência. O esquema elétrico do ADC de rampa dupla, também chamado de *ADC à integração dupla*, é dado na figura 2.9. A conversão de uma amostra efetua-se em duas fases.

Na fase 1 de conversão, de duração  $T_1$ , o contador evolui durante  $2^N$  pulsos de relógio:

$$T_1 = 2^N \cdot T_{rel} \quad (2.27)$$

Durante esse tempo, a chave  $\Phi_1$  é religada a  $-V_a$ . Assim, a saída,  $V_x$ , do integrador é uma rampa de inclinação fixa. No fim da fase 1, o valor de  $V_x$  é:

$$V_x = \frac{V_a \cdot T_1}{R_1 \cdot C_1} \quad (2.28)$$



**Figura 2.9** Diagrama esquemático de um ADC de rampa dupla.

A fase 2 tem uma duração variável,  $T_2$ , dependendo da tensão de entrada a converter,  $V_a$ . No início dessa fase, o contador é reinicializado, e  $\Phi_1$  é conectada a  $V_{ref}$ . A inclinação da tensão  $V_x$  é então decrescente e constante. Paralelamente, o contador é incrementado a cada pulso do relógio, até que a saída do comparador volte a zero, isto é, quando  $V_x$  se torna negativa. Nesse instante, o valor do contador é igual ao valor digital da tensão de entrada amostrada.

Sendo assim, a duração de  $T_2$  vale:

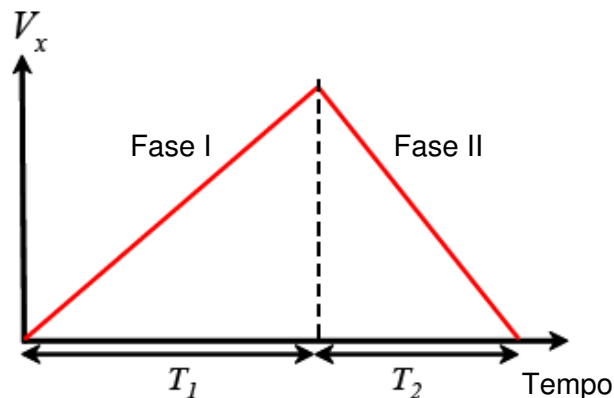
$$T_2 = T_{ref} \cdot (b_{N-1} \cdot 2^{N-1} + \dots + b_1 \cdot 2 + b_0) \quad (2.29)$$

O valor de  $V_x$  na fase 2 é:

$$V_x(t) = \frac{V_a \cdot T_1}{R_1 \cdot C_1} + \frac{(-V_{ref}) \cdot (t - T_1)}{R_1 \cdot C_1} \quad (2.30)$$

Como  $V_x(T_1 + T_2) = 0$ , e levando em conta as equações (2.27), (2.29), e (2.30), uma relação equivalente à equação (2.3) é encontrada:

$$V_a = \frac{V_{ref}}{2^N} \cdot [b_{N-1} \cdot 2^{N-1} + \dots + b_1 \cdot 2 + b_0] \quad (2.31)$$



**Figura 2.10** Diferentes fases de um ADC de rampa dupla.

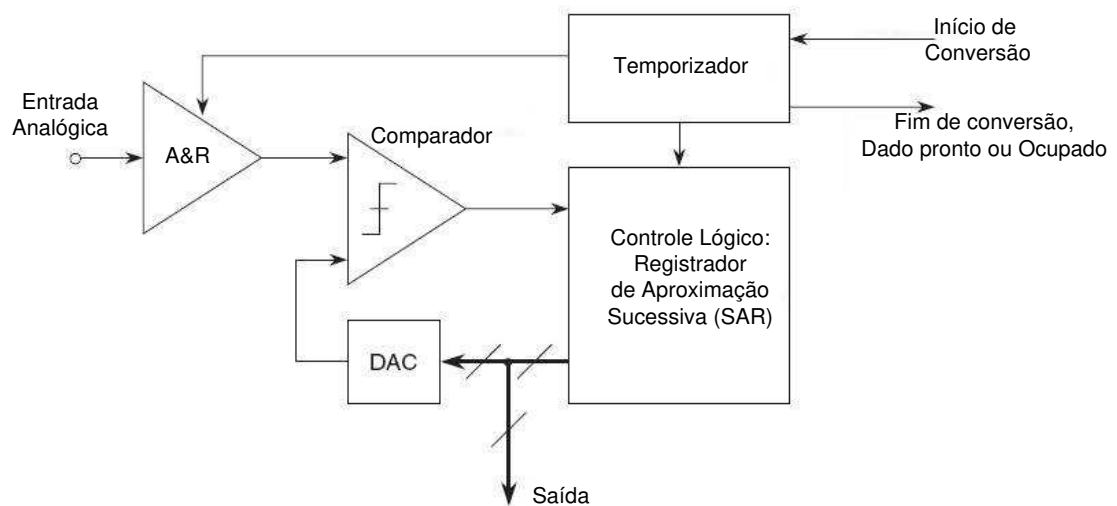
A conversão é independente da constante de tempo do integrador. Ela é, no entanto, muito lenta. A utilização desses conversores, por conseguinte, é limitada a instrumentação para aplicações de baixa velocidade. (KESTER, 2005).

### 2.3.1.2 Conversor analógico-digital de aproximação sucessiva

O ADC de aproximação sucessiva foi e continua sendo essencial nos sistemas de aquisição de dados. As atualizações nos projetos dos ADC de aproximação sucessiva estenderam-lhes a frequência de amostragem para a região de megahertz. Muitas arquiteturas

usam internamente técnicas de capacitores chaveados junto com técnicas de autocalibração para aumentar a resolução desses ADC para 18 bits ou mais.

O circuito básico de um ADC de aproximação sucessiva é mostrado na figura 2.11. Ele possui um comando de inicialização de conversão. No acionamento do comando de inicialização, o bloco de amostragem e retenção (*sample-and-hold* – S&H) é colocado no modo retenção (*hold*), e todos os bits do registro de aproximação sucessiva (SAR) são 0, exceto o bit mais significativo (MSB – *Most Significant Bit*), que é ajustado para 1 e aciona o DAC interno. Se a saída do DAC for maior do que o sinal analógico de entrada, esse bit no SAR é alterado; caso contrário, ele é mantido em 1. (PLASSCHE, 2003).

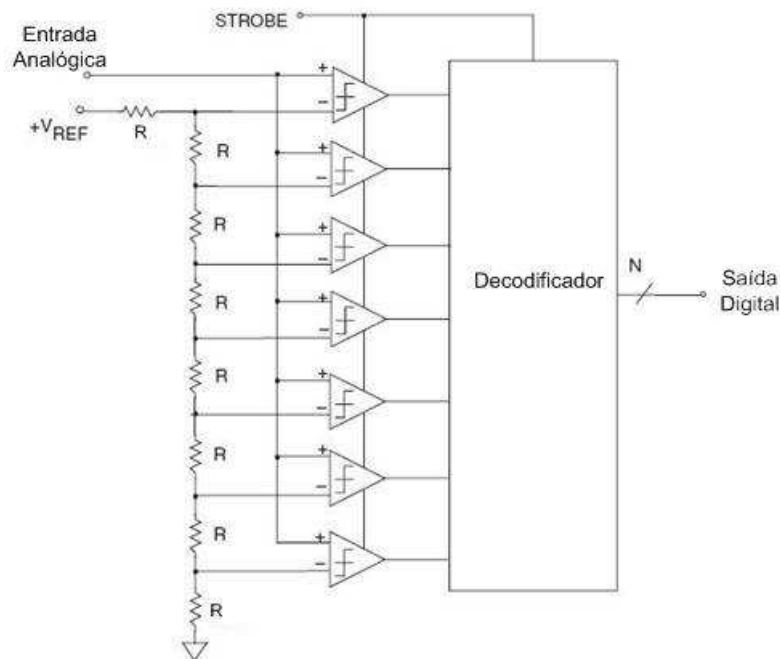


**Figura 2.11** Diagrama simplificado de um ADC de aproximação sucessiva.

O bit seguinte é então ajustado para 1, e aciona o DAC interno. Novamente, se a saída do DAC for maior do que o sinal analógico de entrada, esse bit no SAR é alterado; se não, ele é mantido em 1. O processo é repetido com cada bit, um de cada vez. Quando todos os bits forem ajustados, testados e alterados ou não, a saída do SAR corresponderá ao valor da entrada analógica. (PLASSCHE, 2003).

### 2.3.1.3 Conversor analógico-digital paralelo (*flash*)

Os conversores paralelos (*flash*) são os tipos de conversores mais rápidos existentes no mercado, e são também os que possuem a maior quantidade de comparadores. Um ADC paralelo de  $N$  bits consiste em  $2^N$  resistores,  $2^N - 1$  comparadores e um circuito digital (decodificador) para converter  $2^N - 1$  saídas dos comparadores em  $N$  bits, montados como mostrado na figura 2.12.



**Figura 2.12** Diagrama simplificado de um ADC paralelo de 3 bits.

Cada comparador tem uma tensão de referência no seu terminal negativo, que é 1 LSB (Bit Menos Significativo – *Least Significant Bit*) maior do que o comparador abaixo dele na malha. Para uma dada tensão de entrada, todos os comparadores abaixo de algum ponto da malha terão sua tensão de entrada, no terminal positivo, maior do que sua tensão de referência, e apresentarão uma saída lógica 1. E todos os comparadores acima desse ponto terão uma tensão de entrada, no terminal positivo, menor do que sua tensão de referência, e apresentarão uma saída lógica 0. (MALOBERTI, 2007).

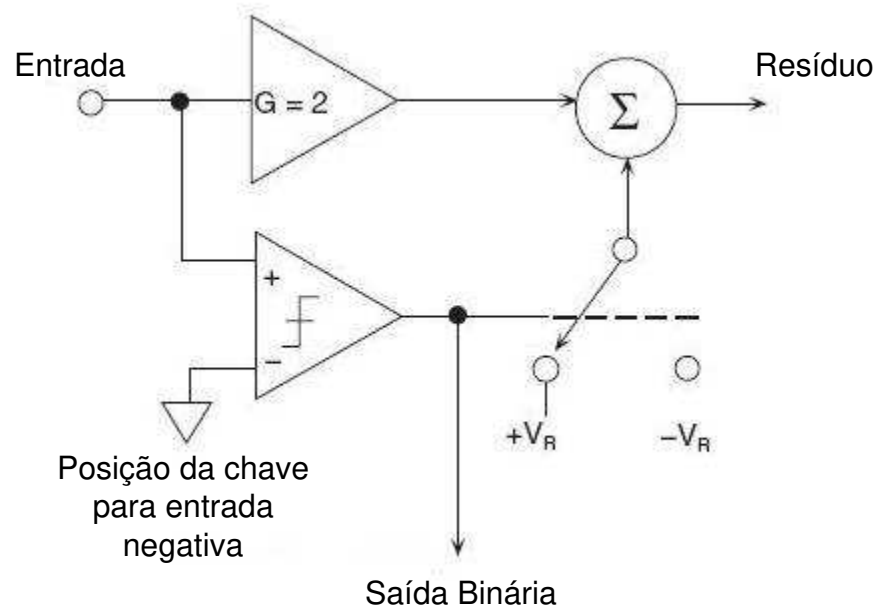
Como as saídas de dados (dos comparadores) não são saídas digitais que obedecem ao código denominado termômetro ou unário, elas são processadas por um decodificador para gerar uma saída binária de N bits.

#### 2.3.1.4 Conversor analógico-digital de canal (*pipeline*)

O ADC de canal (*pipeline*) é um dos conversores implementados neste trabalho, e foi utilizado principalmente para comparações de parâmetros com o conversor de dobramento proposto.

O ADC de canal (*pipeline*) consiste em uma cascata de estágios idênticos. Cada estágio é constituído de um subADC de um ou mais bits de saída, um subconversor digital-analógico (subDAC) de um ou mais bits de saída e um estágio de ganho. Esse subADC

controla diretamente os bits do subDAC para reconstruir o sinal quantizado. Esse sinal analógico quantizado é subtraído do sinal de entrada analógico amostrado no estágio. Após a subtração do sinal quantizado, o resíduo é amplificado pelo estágio de ganho e então aplicado ao estágio seguinte do conversor. (PLASSCHE, 2003). O diagrama simplificado de um estágio é mostrado na figura 2.13.



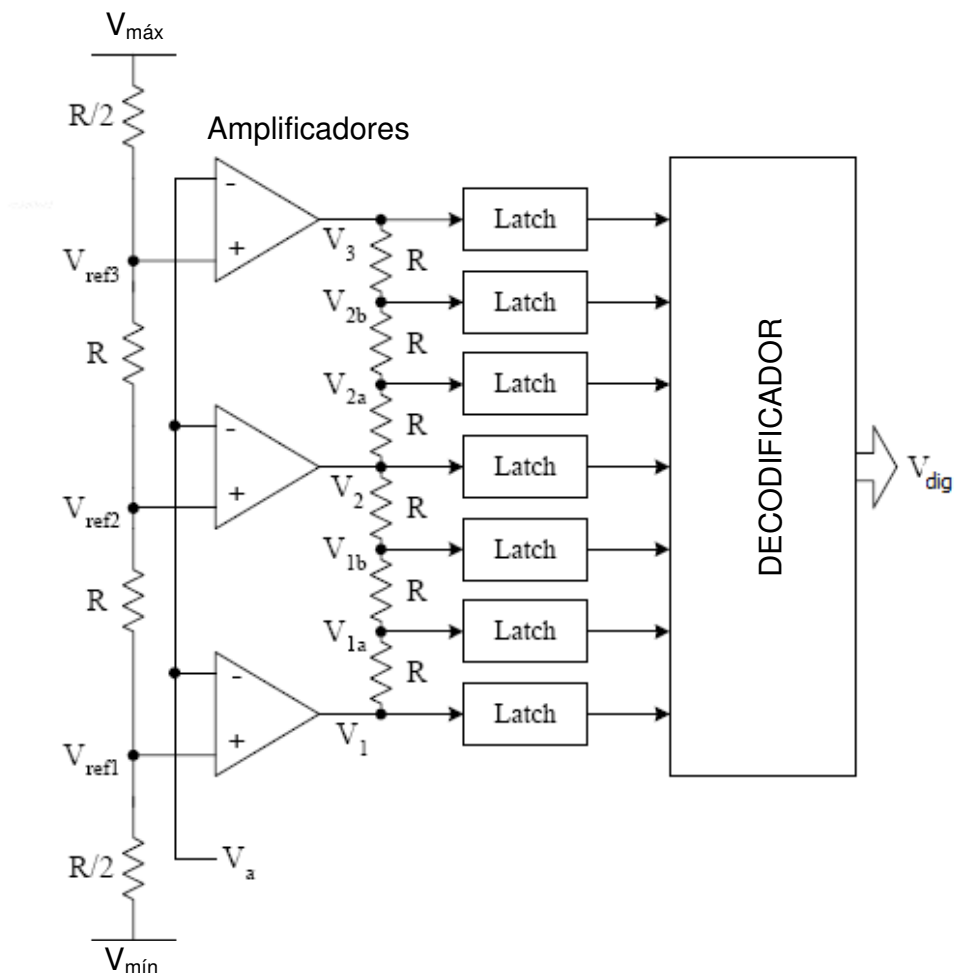
**Figura 2.13** Diagrama simplificado de um estágio de um ADC de canal.

Existem muitas maneiras possíveis de projetar um ADC de canal (*pipeline*). Na figura 2.13 está mostrado um ADC de canal com estágios idênticos com 1 bit de saída. Essa arquitetura, que tem a vantagem de usar a mesma estrutura de núcleo em cada estágio, oferece ainda algumas outras vantagens, mas, principalmente, maximiza o ADC para obter um melhor desempenho. (KESTER, 2005).

### 2.3.1.5 Conversor analógico-digital de interpolação

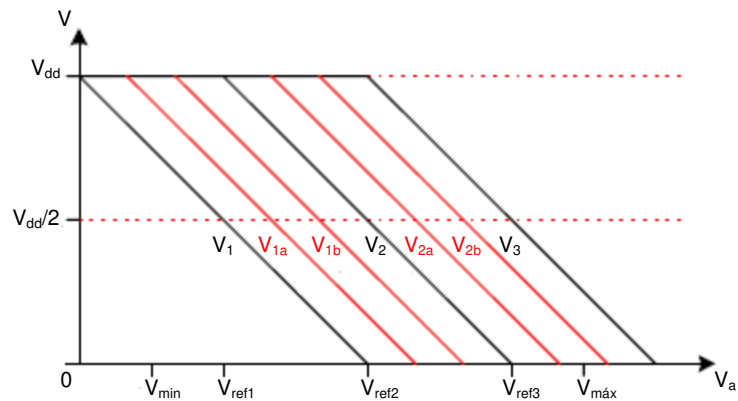
O ADC de interpolação é um conversor que tem uma estrutura semelhante a um conversor paralelo, mas com sua estrutura modificada segundo a figura 2.14. Os comparadores da estrutura do conversor paralelo são substituídos por amplificadores lineares, trabalhando da mesma forma que comparadores, com tensões perto da tensão de limiar dos *latches* ( $V_{dd}/2$ ), podendo saturar com uma pequena diferença de tensão em seus terminais de entrada. Nesse caso, um número limitado de amplificadores, dispendiosos em termos de superfície de circuito e em consumo, é necessário. As referências intermediárias são obtidas

por interpolações com a utilização de simples pontes divisoras de tensão, que podem ser feitas com resistores e capacitores, em modo tensão, ou com espelhos de corrente, em modo corrente. Uma tensão de referência é colocada, via alimentação externa na maioria das vezes, e as outras são derivadas dessa. A evolução das diferentes tensões de referência é indicada na figura 2.15. Contudo, o número de comparadores continua a ser idêntico ao número de comparadores da estrutura paralela equivalente. A única diferença é que os comparadores agora são substituídos por conjuntos de amplificadores, funcionando como comparadores, e *latches*<sup>1</sup>. Assim, os erros de ganho e de tensão de desvio dos pré-amplificadores da estrutura de interpolação traduzem-se em erros de INL antes de erros de DNL. Por exemplo, em modo corrente, a exatidão da interpolação das referências é limitada pela exatidão dos espelhos de corrente. (SONG et al., 2000).



**Figura 2.14** Diagrama simplificado de um ADC paralelo (*flash*) com interpolação.

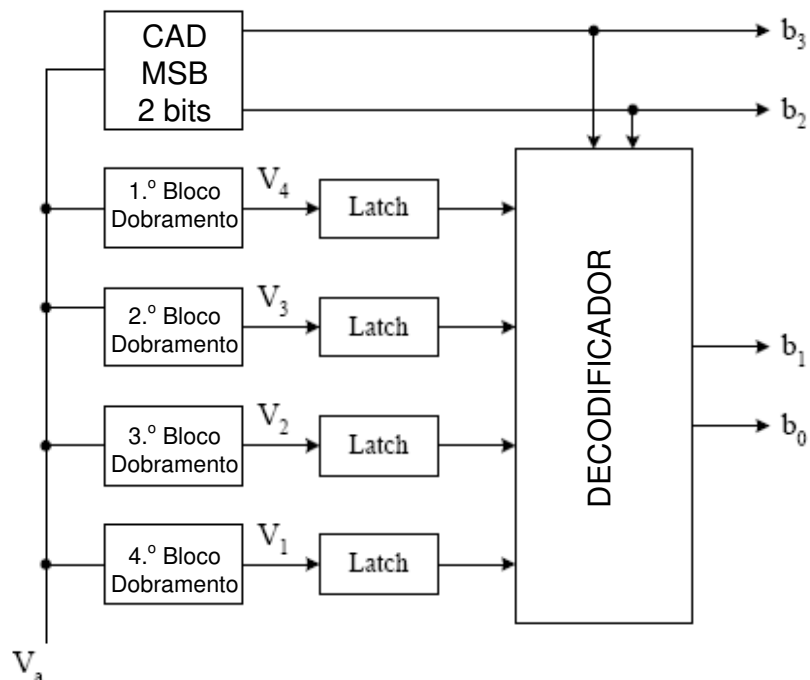
<sup>1</sup> Latch é um circuito eletrônico digital que implementa uma célula de memória estática.



**Figura 2.15** Tensões de referência de um ADC à interpolação – 3 bits.

### 2.3.1.6 Conversor analógico-digital de dobramento (*folding*)

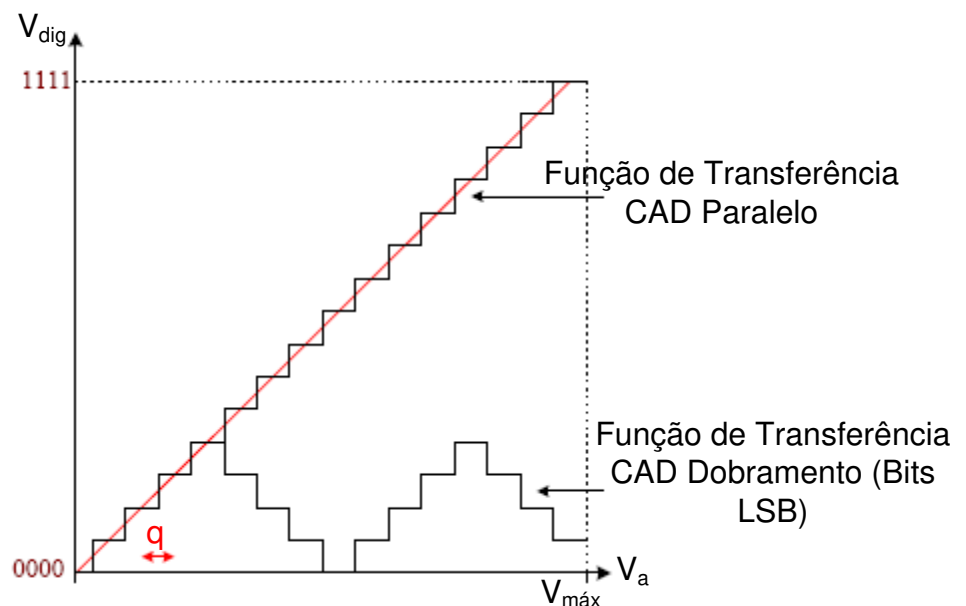
O princípio básico deste tipo de conversores vem do fato de que, para um ADC paralelo (*flash*), se o valor do sinal de entrada,  $V_a$ , a ser convertido é próximo do valor da tensão de referência,  $V_{ref}$ , só os comparadores próximos dessa tensão de referência são úteis para a estimativa do valor digital da amostra. Num ADC de dobramento (*folding*) (v. fig. 2.16), as saídas dos amplificadores são combinadas de modo que apenas os comparadores que têm suas tensões de referência próximas de  $V_a$  sejam utilizados.



**Figura 2.16** Diagrama de blocos de um ADC de dobramento.



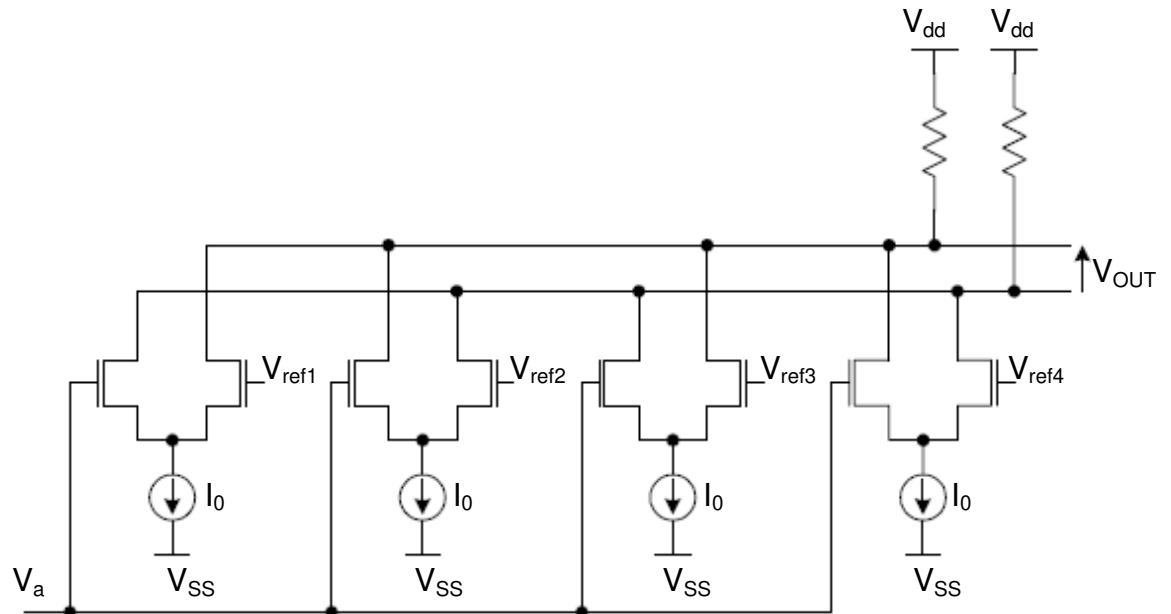
Para um conversor de dobramento, dois parâmetros são importantes: o número de blocos de dobramento  $NF$  (para o ADC de 4 bits dado na figura 2.16,  $NF = 4$ ) e a taxa de dobramento  $FR$  (para o ADC de 4 bits dado na figura 2.16,  $FR = 4$ ). Para esse tipo de ADC, a quantidade de comparadores é a mesma quantidade de blocos de dobramento,  $NF$ , ao mesmo tempo em que um ADC paralelo, com a mesma resolução, teria  $NF \times FR$  comparadores. Isso resulta numa diminuição de componentes, consequentemente de superfície de circuito e de consumo de energia. Os gráficos que determinam as funções de transferência de um ADC paralelo e de um ADC de dobramento são mostrados na figura 2.17.



**Figura 2.17** Gráfico utilizado para determinar a função de transferência de um ADC paralelo e de um ADC de dobramento.

Para um ADC de dobramento, a mesma sequência de bits menos significativos aparece periodicamente desde que a faixa dinâmica da tensão de entrada  $V_a$  seja varrida. Considerando o ADC de 4 bits dado na figura 2.18, os gráficos que determinam a função de transferência dos bits  $V_1$ ,  $V_2$ ,  $V_3$ , e  $V_4$  são mostrados na figura 2.19, e comparados aos de um ADC paralelo equivalente. Ele necessita, por conseguinte, da presença de outro bloco de conversão a fim de codificar essas sequências: o ADC MSB (v. fig. 2.20). Geralmente, esse ADC de MSB não existe fisicamente porque os bits MSB podem ser diretamente deduzidos dos blocos dobradores do ADC de LSB, combinando alguns sinais intermediários. As estruturas dos ADC de interpolação e de dobramento são muito semelhantes pelo fato de os

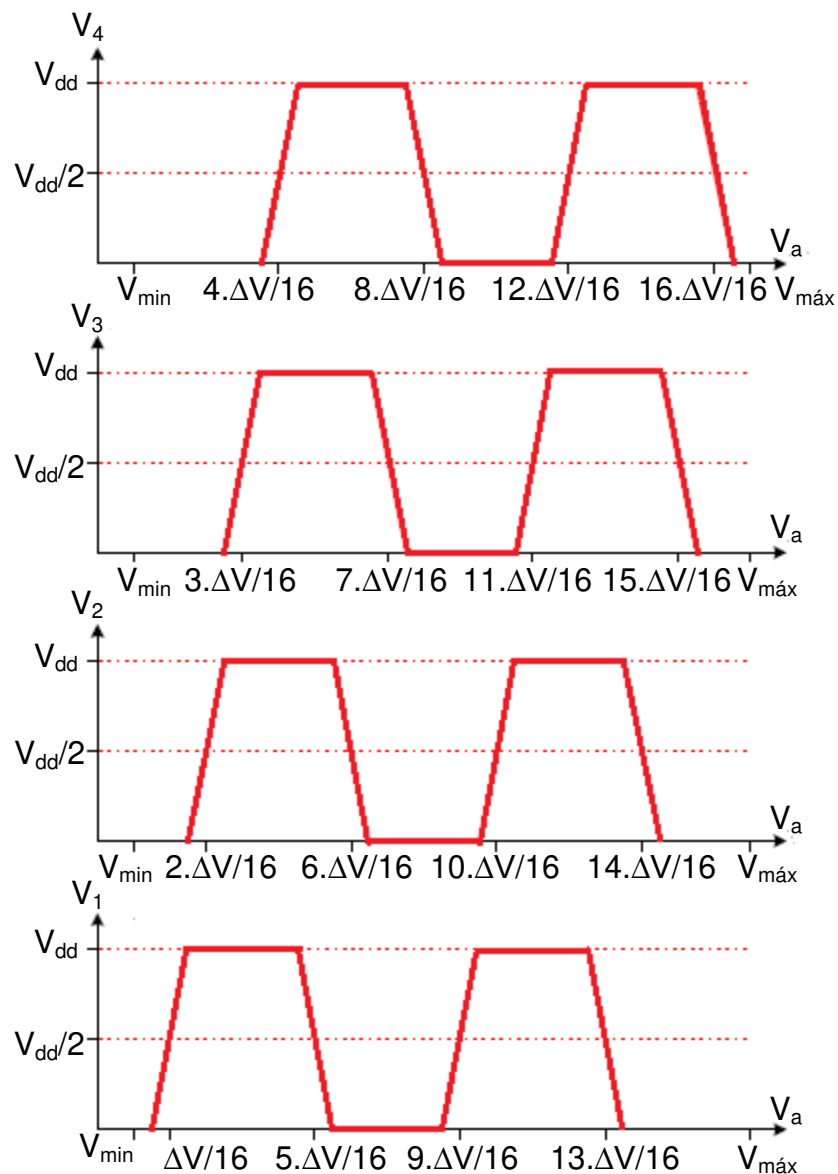
LSB e MSB serem encontrados de forma independente. Contudo, a estrutura de interpolação é mais rápida porque os bits são determinados em paralelo.



**Figura 2.18** Esquema elétrico de um bloco de um ADC de dobramento.

Os blocos de dobramento são os mais frequentemente realizados a partir de pares diferenciais MOS, nos quais uma entrada é conectada a uma tensão de referência,  $V_{ref}$ , e outra ao sinal de entrada,  $V_a$ , com as saídas combinadas da maneira apresentada na figura 2.18. As formas de onda das tensões  $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$  são dadas na figura 2.19. Está claro que, quanto mais importante for o fator de dobramento, maior deverá ser o ganho dos blocos de dobramento, mantendo uma dinâmica de entrada constante. Desde que um sinal de tensão senoidal seja aplicado a um bloco de dobramento, o sinal de saída tem uma frequência igual àquela do sinal de entrada multiplicada pelo fator NF. Além do mais, a necessidade de ter um grande ganho em pequenos sinais para os blocos de dobramento limita a banda passante. Existem muitas limitações no desempenho dinâmico dos ADC de dobramento; assim, a taxa de dobramento NF frequentemente não passa de 8.

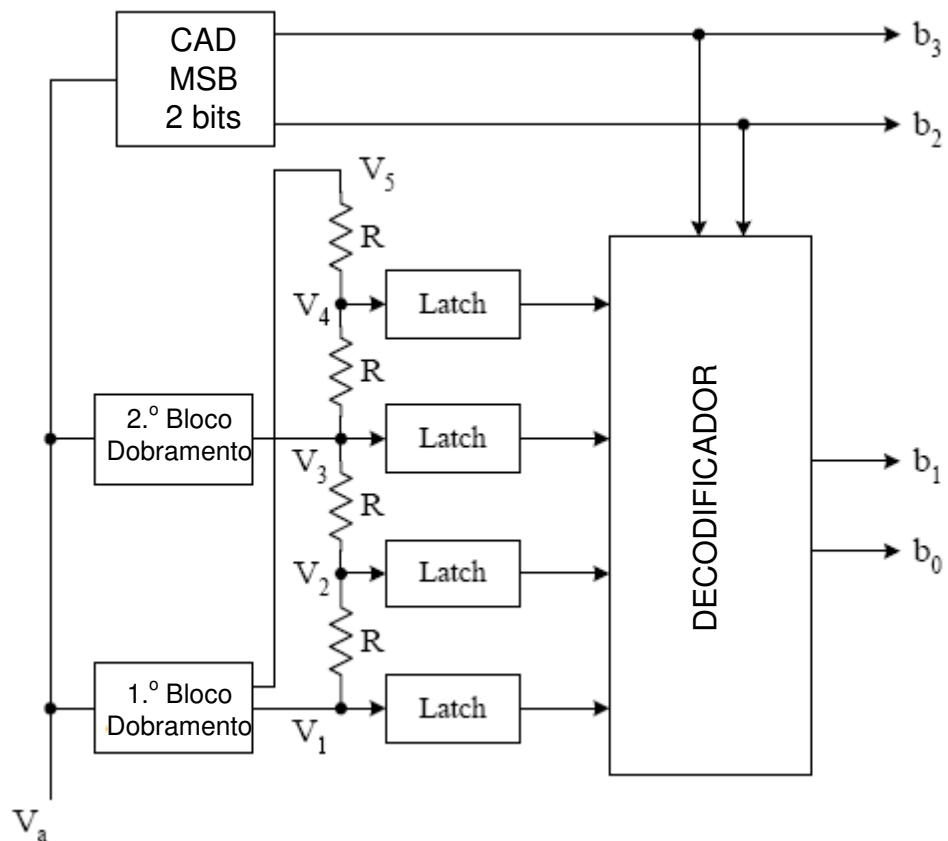
Alguns conversores foram publicados, seguindo essa técnica, por Song et al. (2000), Geelen (2001), Uyttenhove & Steyaert (2002) e Uyttenhove et al. (2003).



**Figura 2.19** Gráficos utilizados para determinar a função de transferência dos blocos de dobramento do ADC da figura 2.16.

### 2.3.1.7 Conversor analógico-digital de dobramento e interpolação

Esta família de conversores combina as técnicas de interpolação e dobramento, a fim de minimizar ainda mais a quantidade de componentes e, por conseguinte, o consumo de energia do circuito. O número de blocos de dobramento pode ser reduzido utilizando o método da interpolação descrita previamente. A evolução dos potenciais  $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$  é a mesma que é dada na figura 2.19; o potencial  $V_5$  é fácil de obter dado que se trata do sinal complementar de  $V_1$ .



**Figura 2.20** Diagrama de blocos de um ADC de dobramento e interpolação.

### 2.3.2 Os conversores sobreamostrados ou $\Sigma$ - $\Delta$

Os conversores Sigma-Delta (ADC  $\Sigma$ - $\Delta$ ) foram desenvolvidos há mais de 30 anos, mas somente alguns anos atrás as novas tecnologias de fabricação de circuitos integrados possibilitaram uma redução nos seus custos. Agora eles são usados em muitas aplicações que requerem custo baixo, banda passante reduzida, consumo de potência baixo e resolução alta.

Um ADC  $\Sigma$ - $\Delta$  contém uma eletrônica analógica muito simples (um comparador, uma tensão de referência, uma chave, um ou vários integradores, e circuitos analógicos de adição) e circuitos computacionais digitais mais complicados. Esses circuitos consistem de um processador digital de sinais (DSP – *Digital Signal Processor*) que atua como um filtro (geralmente, mas não invariavelmente, um filtro passa-baixas). Não é necessário saber precisamente como o filtro opera para entender o que ele faz. Para entender como um ADC  $\Sigma$ - $\Delta$  opera, a familiaridade com os conceitos de sobreamostragem, formação do ruído de quantização, filtragem digital e decimação é necessária. (KESTER, 2005).

Considera-se a técnica de sobreamostragem como uma análise no domínio da frequência, na qual uma conversão de um sinal dc (de frequência zero) tem um erro de quantização de mais de  $\frac{1}{2}$  LSB, e um sistema de dados amostrados tem ruído de quantização. Um ADC clássico de N bits com amostragem tem um valor *rms* do ruído de quantização igual a  $q/\sqrt{12}$  uniformemente distribuído dentro da banda de Nyquist de dc a  $f_a/2$  (no qual q é o valor de 1 LSB e  $f_a$  é a taxa de amostragem). Conseqüentemente, com um sinal de entrada senoidal variando por toda a faixa de tensão, sua relação sinal-ruído é definida pela expressão (2.15). Se o ADC for real e seu ruído maior que o ruído de quantização teórico mínimo, então sua efetiva resolução será menor que N bits. Sua resolução (conhecida frequentemente como número efetivo de bits – ENOB) é definida pela equação (2.23).

Se for escolhida uma taxa de amostragem muito alta,  $Kf_a$ , o valor rms do ruído de quantização permanece  $q/\sqrt{12}$ , mas o ruído é agora distribuído sobre uma larga banda passante, de dc a  $Kf_a/2$ . Se for então colocado um filtro passa-baixas (FPB) na saída, remove-se muito do ruído de quantização, mas não se afeta o sinal desejado, e então o ENOB é melhorado. (KESTER, 2005).

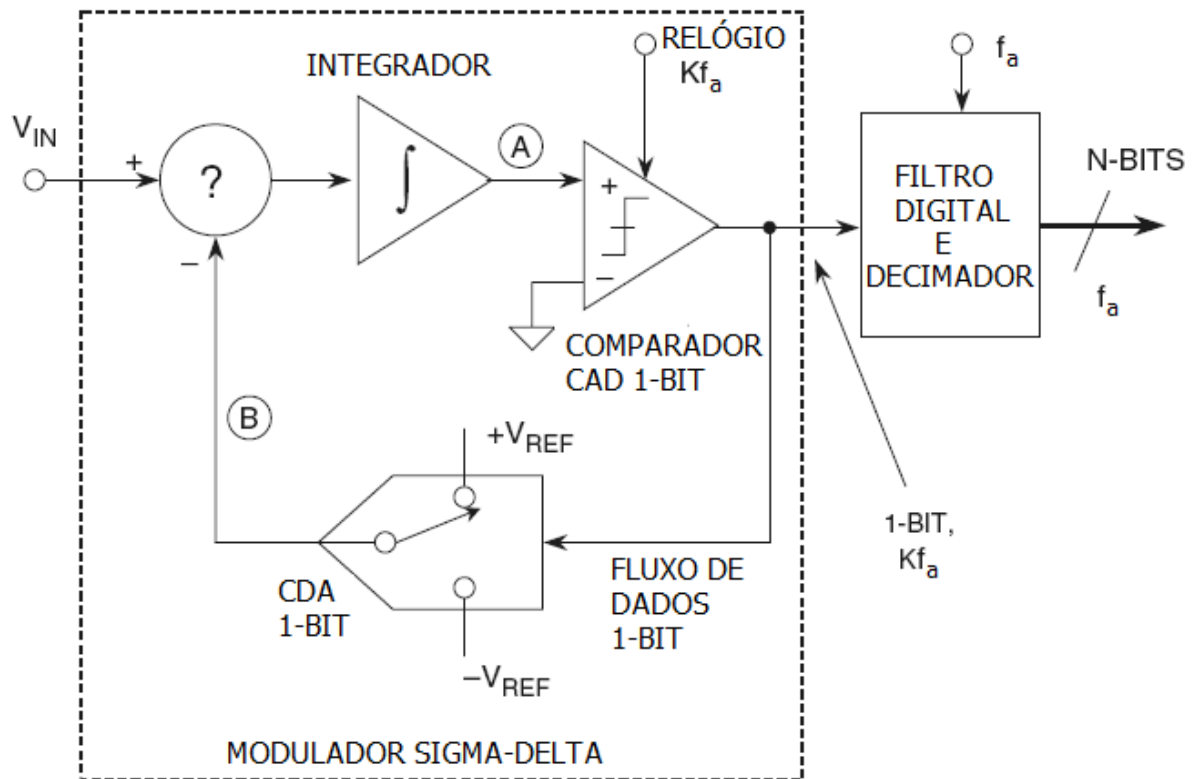
Consegue-se, assim, uma conversão analógico-digital de alta resolução com um ADC de baixa resolução. O fator K é geralmente referenciado como sendo a taxa de sobreamostragem. Deve ser notado neste ponto que a sobreamostragem tem o benefício adicional de fazer com que as exigências do filtro analógico *anti-aliasing* sejam diminuídas.

Desde que a banda passante seja reduzida pelo filtro digital de saída, a taxa de dados de saída pode ser menor do que a taxa de dados amostrados ( $Kf_a$ ) e ainda satisfazer o critério de Nyquist. Isso pode ser conseguido passando cada M-ésimo resultado para a saída e rejeitando o restante. Esse processo é conhecido como *decimação por um fator de M*. Apesar da origem latina do termo (*decem*, que significa dez), M pode ser qualquer valor inteiro, providenciando que a taxa de dados de saída seja mais que duas vezes a banda passante do sinal. A decimação, assim, não causa nenhuma perda de informação. (KESTER, 2005).

Utilizando-se a sobreamostragem para aumentar a resolução, deve-se sobreamostrar por um fator de  $2^{2N}$  para obter um aumento de N bits na resolução. O ADC  $\Sigma$ - $\Delta$  não precisa de uma taxa de sobreamostragem tão elevada, porque isso não somente limita a banda passante do sinal, mas também cria o ruído de quantização, de modo que a maior parte dele caia fora da banda passante.

Considerando-se um ADC de 1 bit (geralmente formado por um comparador), colocando na sua entrada o sinal de saída de um integrador, e alimentando o integrador com

um sinal de entrada somado com a saída de um DAC de 1 bit alimentado pela saída do ADC, tem-se um modulador  $\Sigma$ - $\Delta$  de primeira ordem, como mostrado na figura 2.21.



**Figura 2.21** Diagrama simplificado de um ADC  $\Sigma$ - $\Delta$  de primeira ordem.

Adicionando-se um filtro passa-baixas (FPB) e um decimador na saída digital, tem-se um ADC  $\Sigma$ - $\Delta$ . O modulador  $\Sigma$ - $\Delta$  constrói o ruído de quantização de tal forma que sua maior parte fique acima da banda passante do filtro digital de saída, e o ENOB seja então muito maior que o esperado com outra maneira de sobreamostragem.

Um ADC  $\Sigma$ - $\Delta$  opera como se segue. Supõe-se que tem uma tensão de entrada contínua em  $V_{ent}$ . O integrador estará constantemente com uma rampa subindo ou descendo no nó A (v. figura 2.21). A saída do comparador é alimentada de volta por meio do DAC de 1 bit, que é conectado ao ponto de soma, o que forçará que a tensão contínua média no nó B (v. figura 2.21) seja igual a  $V_{ent}$ . Isso implica que a média da tensão de saída do DAC deve ser igual à tensão de entrada,  $V_{ent}$ . Isso implica que a média da tensão de saída do DAC é controlada pela quantidade de bits 1 no conjunto serial de dados da saída do comparador. Enquanto o sinal de entrada aumenta até  $+V_{REF}$ , os números de uns no conjunto serial de dados aumenta, e o número de zeros diminui. Similarmente, quando o sinal se torna negativo até  $-V_{REF}$ , os

números de uns no conjunto serial de dados diminui, e o número de zeros aumenta. De um ponto de vista muito simplista, essa análise mostra que o valor médio da tensão de entrada está contido no conjunto serial de dados de saída do comparador. O filtro digital e o decimador processam o conjunto serial de dados e produz o dado final de saída. (KESTER, 2005).

## **2.4 Conclusão**

As noções fundamentais da conversão analógico-digital foram apresentadas neste capítulo. Após a descrição dos seus princípios básicos e da teoria associada, os diferentes parâmetros estáticos (INL, DNL) e dinâmicos (SNR, SNDR, SFDR) para a estimativa dos desempenhos dos ADC foram explicados. Além disso, definiu-se o fator de mérito, critério geral para a avaliação do desempenho de um conversor, que integra as suas características essenciais (velocidade e consumo de energia). Por fim, algumas das principais arquiteturas de conversão que seguem o teorema de Nyquist e sobreamostradas foram igualmente descritas.

No próximo capítulo, serão vistos os tipos e os conceitos básicos de uma amostragem irregular, bem como as vantagens de se aplicar esse tipo de processamento.

## CAPÍTULO 3

### CONVERSÃO ASSÍNCRONA

Neste capítulo, são apresentadas as diferentes noções relativas aos circuitos assíncronos, tanto do ponto de vista da concepção lógica de circuitos quanto do da amostragem.

Em primeiro lugar, é apresentado o interesse de uma amostragem não uniforme no tempo. São resumidas as diferentes formas clássicas de amostragens irregulares e as suas propriedades. Entre elas, destaca-se a amostragem por cruzamento de níveis que, ligada ao sinal de entrada, permite adaptar a atividade do circuito à atividade do sinal de entrada.

A segunda parte refere-se à amostragem assíncrona (ou irregular). Contrariamente à amostragem descrita no teorema de Nyquist, os instantes de amostragem não são repartidos uniformemente no tempo. A teoria que decorre é, por conseguinte, diferente dessa que habitualmente é utilizada. Por existirem vários modos de amostragem irregular, são apresentados aqui apenas os resultados principais relativos a esses modos, os princípios de reconstrução, as transformadas de Fourier e os tratamentos digitais básicos.

Para finalizar, na terceira parte é apresentada uma breve comparação entre os circuitos síncronos e assíncronos, destacando as vantagens do segundo.

#### 3.1 Teoria da Amostragem

A teoria da amostragem estuda as relações existentes entre uma população e as amostras extraídas dessa população. É útil para avaliação de grandezas desconhecidas da população, ou para determinar se as diferenças observadas entre duas amostras são devidas ao acaso ou se são verdadeiramente significativas. Amostragem é o processo de determinação de uma amostra a ser pesquisada.

##### 3.1.1 Função e esquema de amostragem

Em tratamento de sinal, a amostragem permite representar um sinal em tempo contínuo por um sinal em tempo discreto. É a operação básica do tratamento digital, sem a qual nenhuma aplicação é possível. No domínio temporal, consiste em multiplicar a função em tempo contínuo  $x(t)$  por uma soma de impulsos de Dirac transladados em instantes diferentes, chamada *função de amostragem*,  $FA(t)$ .

$$FA(t) = \sum_{n \in \mathbb{Z}} \delta(t - t_n). \quad (3.1)$$



O sinal amostrado pode então ser escrito como:

$$x_A(t) = \sum_{n \in \mathbb{Z}} x(t_n) \cdot \delta(t - t_n). \quad (3.2)$$

No domínio da frequência, a amostragem corresponde ao produto da convolução entre as transformadas de Fourier do sinal em tempo contínuo e a função de amostragem. Essa última, chamada de *esquema de amostragem*, obtém-se a partir da equação (3.1), por linearidade:

$$EA(f) = \sum_{n \in \mathbb{Z}} e^{-j2\pi f t_n}. \quad (3.3)$$

De acordo com a equação (3.3), a forma do esquema de amostragem é caracterizada pelo conjunto dos instantes de amostragem. Assim, de acordo com a forma do pulso de Dirac, e ainda de acordo com a técnica de amostragem utilizada, o esquema de amostragem e o espectro do sinal amostrado  $X_A(f)$  serão diferentes:

$$X_A(f) = \sum_{n \in \mathbb{Z}} x(t_n) e^{-j2\pi f t_n}. \quad (3.4)$$

### 3.1.2 Transformada de Fourier discreta geral

A transformada de Fourier discreta geral (abreviadamente GDFT, do inglês *General Discrete Fourier Transform*) permite calcular numericamente o espectro de um sinal amostrado a partir de um conjunto de  $N$  pontos consecutivos (BAGSHAW; SARHADI, 1991):

$$\tilde{X}_A(m) = \frac{1}{N} \sum_{n=0}^{N-1} x(n) e^{-j2\pi m \Delta f t_n} \quad (3.5)$$

na qual o eixo das frequências é discretizado com um passo  $\Delta f$  qualquer, definido pelo usuário. Sabendo que o sinal amostrado é truncado sobre  $N$  pontos por uma janela retangular, a GDFT é apenas uma aproximação do espectro teórico (como a Transformada de Fourier Discreta). Este é, assim, convoluído pela transformada de Fourier da janela, ou seja, no caso presente, por um seno cardinal. A amostragem de frequência pode então introduzir fugas de energia em função da escolha de  $N$  e de  $\Delta f$ . Para um sinal periódico, por exemplo, é necessário assegurar-se de que a amplitude da janela seja um múltiplo inteiro do período fundamental, e que a frequência fundamental seja igualmente um múltiplo inteiro do passo de frequência.

A GDFT, às vezes chamada também de *transformada de Fourier discreta não uniforme* (abreviadamente NUDFT, do inglês *Non Uniform Discrete Fourier Transform*), foi

objeto de estudo por anos, para aplicações em altas frequências. (BAGSHAW; SARHADI, 1991), (DUTT; ROKHLIN, 1993), (DUIJNDAM; SCHOENEWILLE, 1999).

### 3.1.3 Amostragem uniforme

O tratamento digital do sinal normalmente é aplicado sobre uma amostragem uniforme de sinais em tempo contínuo. Produz, assim, um sinal em tempo discreto cujas amostras são regularmente espaçadas com uma duração  $T_a$ , o *período de amostragem*. As equações (3.2), (3.3) e (3.4) tornam-se, respectivamente:

$$x_A(t) = \sum_{n \in \mathbb{Z}} x(nT_a) \cdot \delta(t - nT_a) \quad (3.6)$$

$$EA(f) = \frac{1}{T_a} \sum_{n \in \mathbb{Z}} \delta(f - nF_a) \quad (3.7)$$

$$X_A(f) = \frac{1}{T_a} \sum_{n \in \mathbb{Z}} X(f - nF_a) \quad (3.8)$$

O esquema de amostragem é um pulso de Dirac uniforme em frequência. O espectro do sinal amostrado é, então, periodizado a todos os múltiplos inteiros da frequência de amostragem. Assim, é possível reencontrar facilmente o teorema de Shannon (igualmente chamado teorema WKS, em homenagem aos dois outros contribuintes, Whittaker e Kotelnikov) que decorreu sobre a periodização: um sinal em tempo contínuo com banda limitada, de frequência máxima  $F_{\text{máx}}$ , pode ser reconstruído a partir de amostras regulares se a ocorrência dessas amostras respeitar a condição:

$$F_a \geq 2 \cdot F_{\text{máx}} \quad (3.9)$$

Assim, respeitando essa condição, a periodização não introduz replicação entre as componentes; o espectro do sinal analógico, isto é, o próprio sinal analógico pode ser obtido filtrando o sinal amostrado por um filtro passa-baixas ideal, cuja resposta impulso é um seno cardinal (*sinc*):

$$x(t) = \sum_{n \in \mathbb{Z}} x(nT_a) \text{sinc}[\pi F_a(t - nT_a)] \quad (3.10)$$

O resultado fundamental do tratamento de sinal, que mostra que nenhuma informação é perdida no processo de amostragem se esta for suficientemente alta, já tinha sido formulado em primeiro lugar por Cauchy, seguidamente por Nyquist, na década de 1920. É por isso que se fala frequentemente da frequência de Nyquist para especificar o dobro da frequência máxima:  $F_{\text{Nyq}} = 2F_{\text{máx}}$ .

Além disso, a expressão da GDFT é simplificada no caso de uma amostragem uniforme para reencontrar a formulação clássica da Transformada de Fourier Discreta considerando  $t_n = nT_a$  e  $\Delta f = F_a/N$ .

### 3.1.4 Amostragem não uniforme

No caso de uma amostragem não uniforme, os instantes de amostragem são aleatórios. A função de amostragem permanece, por conseguinte, sob a forma geral descrita pela equação (3.2). A amostragem, natural ou implementada num sistema de conversão (sinais amostrados em determinados instantes), induz sempre certo grau de incerteza no conhecimento dos instantes de amostragem. Quando os dados provêm de observações ou medições realizadas sem sensores, isto é, quando o sinal é amostrado naturalmente, as condições nas quais são coletadas as amostras não podem assegurar a regularidade das ocorrências. É possível citar, principalmente em astronomia, irregularidades das observações ligadas às condições meteorológicas, à órbita da Terra ou a avarias técnicas; da mesma maneira em geofísica, quando se coleta parte de uma camada de gelo, por exemplo, a variação de altura de neve evolui de um ano para o outro, o que torna não uniformes a amostragem da coleta e a base temporal associada. Paralelamente, quando dados são amostrados voluntariamente por um sistema de conversão, a presença de um sinal de relógio que desencadeia a amostragem não pode garantir uma exatidão infinita dos instantes de amostragem. Embora geralmente negligenciada, a frequência do relógio sofre sempre pequenas variações, chamadas, em inglês, *jitter*, cuja importância varia em função da oscilação do sistema. Outra fonte natural de irregularidade aparece sobre dados voluntariamente amostrados: a perda de amostra quando ocorre a transmissão de dados sobre o canal ou mesmo sobre um suporte (arranhões sobre um disco laser, por exemplo).

Às vezes, a amostragem pode ser voluntariamente não uniforme, isto é, imposta pelo usuário. No entanto, esse caso não se aplica quando o sinal é naturalmente amostrado, porque, se as condições permitirem, as observações se farão sempre regularmente. Em contrapartida, quando o sinal é amostrado por um dispositivo, pode ser que seja não voluntariamente uniforme para comprimir o sinal, por exemplo. Por último, a amostragem pode igualmente ser voluntariamente não uniforme a fim de modelar a influência das irregularidades de uma amostragem natural e deduzir técnicas de tratamento adequadas como uma reconstrução de sinal.

### 3.1.4.1 Amostragem não uniforme à frequência P

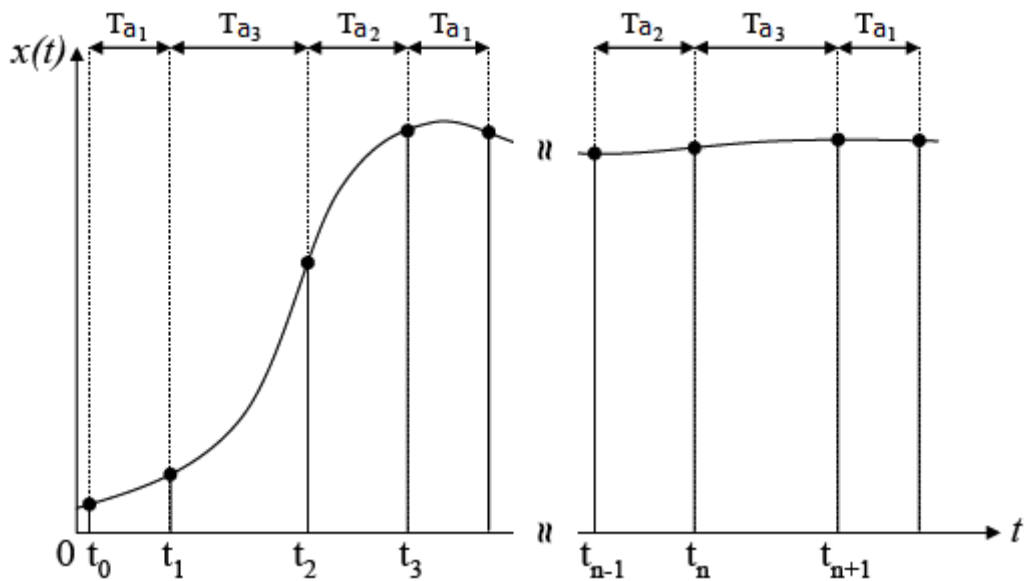
A amostragem não uniforme à frequência P consiste em prever as amostragens com os intervalos de tempo variáveis, pertencendo a um conjunto de P períodos de amostragem possíveis:  $\{F_{ai} = 1/T_{ai}\}$  com  $i \in [1, \dots, P]$ . A cada frequência está associada uma possibilidade de aparição  $p_{(i)}$ .

Cada ocorrência acontece a um tempo  $\tau_n$  depois da anterior. Os instantes de amostragem são então uma combinação linear dos diferentes períodos de amostragem possíveis:

$$t_n = t_{n-1} + \tau_n = \sum_{i=1}^P \alpha_i T_{ai} \quad (3.11)$$

com  $\alpha_i \in N^+$ .

Os coeficientes  $\alpha_i$  representam o número de vezes em que cada frequência foi utilizada. Na figura 3.1, é mostrado um exemplo em que o sinal é amostrado por três frequências diferentes.



**Figura 3.1** Amostragem não uniforme à frequência P ( $P = 3$ ).

Esse esquema de amostragem pode ser periódico sob certas condições. A partir da equação (3.2), um esquema periódico de período  $F_P$  se escreve assim (BAGSHAW; SARHADI, 1991):

$$SA(f + F_P) = \sum_{n \in Z} e^{-j2\pi(f + F_P)t_n}$$

$$= \sum_{n \in \mathbb{Z}} e^{-j2\pi f t_n} e^{-j2\pi F_P t_n} \quad (3.12)$$

se  $e^{-j2\pi F_P t_n} = 1$  para todo  $n \in \mathbb{Z}$ , quer dizer que  $F_P t_n \in \mathbb{N}$ .

Depois da equação (3.11), essa condição torna-se:  $F_P \sum_{i=1}^P \alpha_i T_{ai} \in \mathbb{N}$ . Então, como os coeficientes  $\alpha_i$  são inteiros positivos, uma condição suficiente e necessária, pode-se escrever:

$$F_P T_{ai} \in \mathbb{N} \text{ para todo } i \in [1, \dots, P] \quad (3.13)$$

Para determinar o valor do período do esquema de amostragem em função dos períodos de amostragem, os períodos são considerados números racionais  $\left\{ T_{ai} = \frac{a_i}{b_i} \right\}$  com  $i \in [1, \dots, P]$  e  $\{a_i\}, \{b_i\} \in \mathbb{N}$ . Essa simplificação permite expressar diretamente  $F_P$  em função de  $a_i$  e  $b_i$  (GREENGARD; LEE, 2004):

$$F_P = \frac{mmc\{b_i\}}{mdc\{a_i\}} \quad (3.14)$$

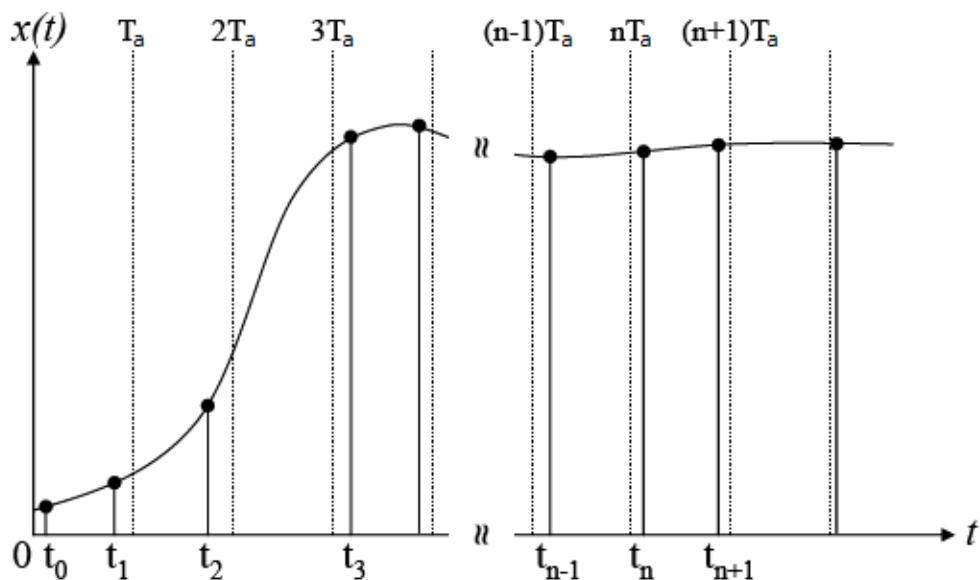
na qual  $mmc$  representa o mínimo múltiplo comum e  $mdc$ , o máximo divisor comum.

Considerando  $P = 1$ , tem-se diretamente a periodicidade  $F_a$  do esquema de amostragem uniforme. A vantagem de se utilizar uma amostragem não uniforme a  $P$  frequência é aumentar a frequência de periodização do esquema de amostragem e, então, de poder analisar digitalmente com a TFDNU (transformada de Fourier discreta não uniforme) o espectro de um sinal em tempo contínuo sem, no entanto, respeitar o teorema de Shannon. Assim, cada vez mais se aumenta o valor da frequência de amostragem, mas a periodização do espectro é relaxada: é então possível analisar um sinal cuja frequência máxima é maior que algumas das frequências de amostragem coletadas separadamente. Isso é a propriedade *anti-aliasing* da amostragem não uniforme (*alias-free sampling*).

### 3.1.4.2 Amostragem uniforme com *jitter*

Um sistema de conversão baseado em uma amostragem uniforme introduz naturalmente um erro nos instantes de amostragem, como mostrado na figura 3.2. Causados pelas flutuações da frequência do relógio comandante da amostragem, esses erros são geralmente negligenciados, na grande parte das situações, para conservar as técnicas habituais de tratamento digital de sinal. Contudo, uma flutuação da frequência de amostragem pode apresentar esta vantagem: se a frequência de amostragem puder assumir qualquer valor numa

dada banda, o esquema de amostragem não é periódico; ele não tem replicação de espectro. Esse resultado é a base de uma série de aplicações chamadas, em inglês, de *alias-free*: a análise espectral de sinais de vários GHz ou a melhoria das técnicas de transmissão em radiofrequência são alguns exemplos. (SHAPIRO; SILVERMAN, 1960), (TARCZYNSKI; ALLAY, 2004), (TARCZYNSKI; TZVETKOV, 2005), (WOJTIUK, 2000).



**Figura 3.2** Amostragem uniforme com *jitter*.

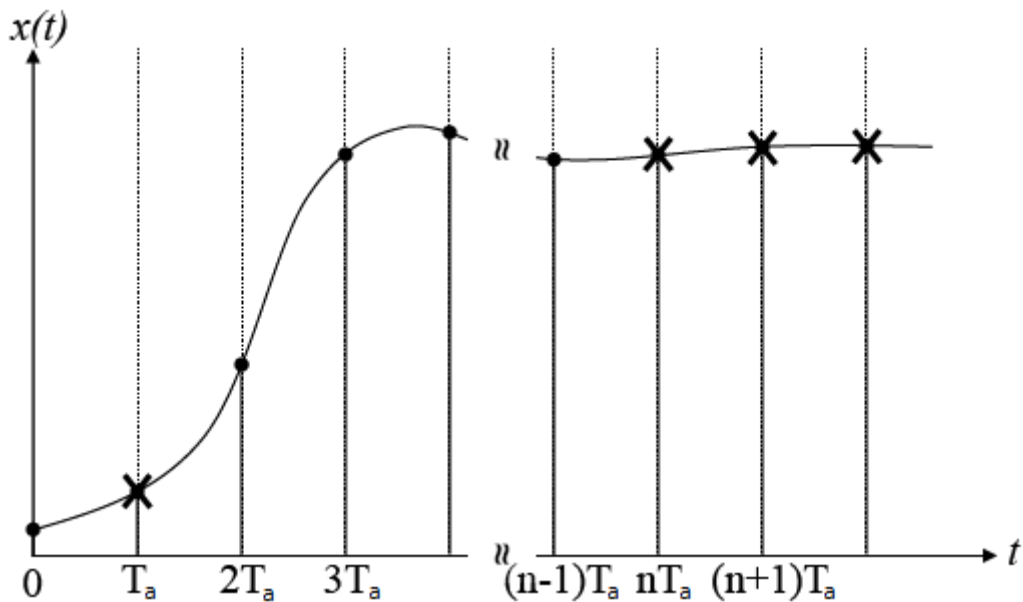
Existem vários tipos de *jitter* que produzem amostragens irregulares:

- Amostragem aleatória uniforme (*Random Uniform Sampling*) introduz uma obliquidade sobre cada instante de amostragem:  $t_n = nt_a + \varepsilon$ , na qual  $\varepsilon$  é uma variável aleatória.
- Amostragem aleatória variável (*Jittered Sampling*) introduz um *jitter* em cada instante de amostragem:  $t_n = nt_a + \varepsilon_n$ , na qual  $\{\varepsilon_n\}$  é um conjunto de variáveis aleatórias independentes e identicamente distribuídas.
- Amostragem aleatória cumulativa (*Additive Random Sampling*) introduz um *jitter* que modifica o erro de cada nova amostragem em função dos erros precedentes:

Em todo o caso, com os erros possuindo médias nulas, a frequência média de amostragem é igual a  $F_a$ . Assim, mesmo que esse tipo de amostragem tenha propriedades de amostragem irregular, o número médio de amostragens por unidade de tempo fica fixo pela frequência de amostragem. Esse tipo de amostragem não convém, a não ser pela ótica de uma redução significativa da atividade de um canal de processamento de sinal.

### 3.1.4.3 Amostragem uniforme com perda de amostragens

Em amostragens não uniformes, quando da transmissão, algumas informações anteriormente amostradas regularmente podem ser perdidas. O objetivo passa a ser então encontrar as amostragens que faltam (marcadas com um **x** na Figura 3.3) com técnicas de interpolação. (MARVASTI, 2005), (SANTOS et al., 2005).



**Figura 3.3** Amostragem uniforme com perda de amostras.

Contudo, em certos casos, as amostragens podem ser voluntariamente suprimidas por um sistema de decimação. Esse procedimento foi utilizado por Fontaine (1999) para comprimir os dados provenientes de sinais de eletrocardiogramas.

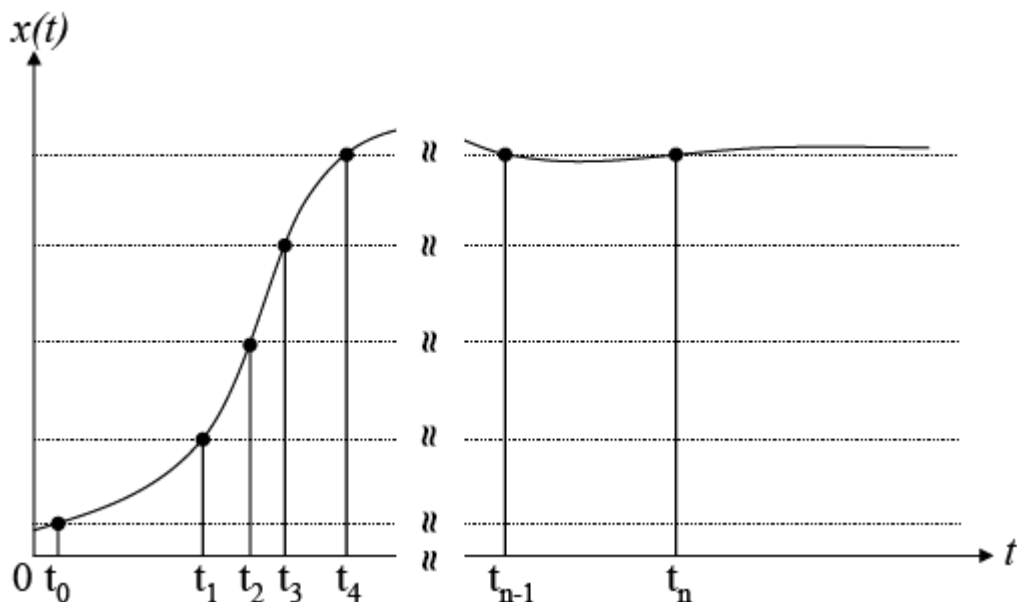
Num primeiro momento, o sinal é amostrado regularmente; depois, um algoritmo conserva apenas os pontos de máxima variação de amplitude em função do sinal, sob a forma de dados em duplas: amplitude e intervalo de tempo. Essa estratégia permite reduzir a atividade do sistema de processamento. Contudo, na entrada, um sistema de conversão deve

funcionar continuamente, transformando esse tipo de amostragem para melhorar o armazenamento de dados, mas não para reduzir a atividade elétrica do sistema completo.

#### 3.1.4.4 Amostragem por cruzamento de níveis

A amostragem por cruzamento de níveis tem como princípio a ausência do sinal de relógio que comanda a amostragem nos sistemas de conversão analógico-digital. Dessa forma, uma frequência de amostragem não está ligada ao sinal em tempo contínuo, a não ser pelo teorema de Nyquist. As características do sinal não são levadas em conta, principalmente nas zonas de fraca variação, nas quais uma amostragem uniforme coleta dados redundantes. Em 1981, foi proposto um método no qual as amostras são convertidas quando o sinal cruza um dos níveis repartidos uniformemente sobre a faixa dinâmica do sinal de entrada, a fim de comprimir os dados coletados. (MARK; TODD, 1981).

Diferentemente de qual instante a amplitude do sinal é quantizada normalmente, esse tipo de amostragem introduz uma quantização do tempo ligada à medida da sua duração separando duas amostras sucessivas. O interesse nessa amostragem reside no fato de a atividade do sinal controlar automaticamente a atividade do sistema de conversão. A amostragem por cruzamento de níveis é, por conseguinte, muito atrativa para reduzir a atividade do conjunto do sistema de processamento do sinal e, por conseguinte, o seu consumo de energia.



**Figura 3.4** Amostragem não uniforme por cruzamento de níveis.



Partindo desse princípio, um sistema completo de conversão analógico-digital baseado numa amostragem por cruzamento de níveis foi proposto por Sayiner, Sorensen e Viswanathan (1996), que definem assim um sistema composto de três estágios sucessivos:

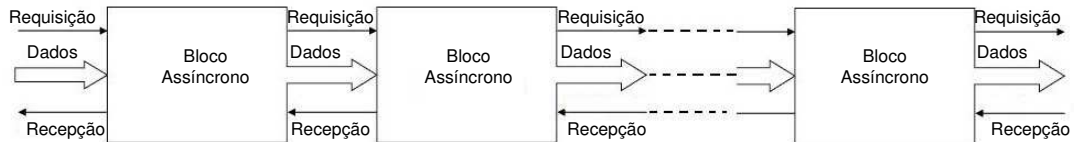
1. Um conversor com amostragem por cruzamento de níveis: estudando uma aplicação dada, eles propõem uma arquitetura que permite amostrar não uniformemente um sinal. Os parâmetros da estrutura, como o número de níveis ou a base temporal que serve à quantização do tempo, são fixados em função da relação sinal-ruído (SNR) desejada;
2. Um interpolador para reamostrar o sinal regularmente: eles mostram, então, que interpolando o sinal com a ajuda de polinômios de ordem 2, a SNR não é degradada. Isso lhes permite reportar à teoria clássica de processamento de sinal: obtendo na saída amostras uniformemente repartidas no tempo, eles puderam, por um lado, comparar o seu sistema com as estruturas existentes baseadas na amostragem uniforme e, por outro lado, utilizar os algoritmos clássicos, apesar de uma amostragem não uniforme;
3. Um decimador para reduzir a frequência de amostragem à frequência de Nyquist: puderam, assim, reduzir o número de pontos a processar, mas isso lhes permitiu, sobretudo, aumentar a  $SNR_{dB}$  de  $10\log$  (fator de decimação) e, por consequência, a resolução efetiva do conversor.

Finalmente, o conjunto do conversor é equivalente a um sistema clássico que utiliza uma amostragem uniforme. Contudo, o trabalho deles é muito interessante porque propõem uma arquitetura de conversão fechada e dominada sobre o sinal a amostrar, embora os estágios do interpolador e do decimador suprimam o interesse na amostragem por cruzamento de níveis para redução da atividade de um sistema de processamento de sinal. (AESCHLIMANN,2006).

### **3.2 Princípios dos Circuitos Assíncronos**

Ao contrário de um circuito síncrono, cujo funcionamento é organizado por um sinal de relógio global, um circuito assíncrono é um sistema controlado por uma multidão de sinais que geram as trocas de informações entre blocos funcionais internos. O funcionamento é, assim, do tipo *fluxo de dados*: cada bloco espera os dados provenientes do bloco precedente, processa-os e envia-os ao bloco seguinte. O controle não é mais global, mas localizado: para processar um dado, é necessário esperar uma ordem inicial de validação por parte do bloco

precedente; para receber essa ordem, o bloco seguinte deve enviar um pedido. Logo depois, é necessário informar ao bloco precedente que o dado foi recebido, para que ele mesmo possa executar uma nova tarefa; para isso, é necessário enviar ao bloco precedente um sinal de recebimento. O controle utiliza, então, uma sinalização bidirecional que é baseada num modo de comunicação do tipo *pede-recebe*, como mostrado na figura 3.5.



**Figura 3.5** Diagrama de blocos de um circuito assíncrono.

### 3.2.1 Comparação entre os circuitos síncronos e assíncronos

Desde muito tempo, a concepção dos circuitos integrados é realizada quase que exclusivamente por meio de funções síncronas. Dessa forma, como as comunicações entre os blocos são simplificadas pela presença de um relógio, há só um requisito a ser respeitado pelo projetista: assegurar que o caminho crítico não seja maior que um período de relógio. Contudo, os requisitos impõem que os circuitos sejam de dimensão reduzida, pouco ruidosos e, sobretudo, com pouco consumo de energia. Esses novos requisitos de concepção revelam então certas lacunas ligadas ao caráter síncrono de um circuito. Alguns desses requisitos são apresentados nas subseções seguintes.

#### 3.2.1.1 Velocidade de processamento

A velocidade de um circuito síncrono é definida pelo seu caminho crítico; por conseguinte, é limitada pelo bloco mais lento: a frequência do sinal de relógio deve ser reduzida em função do tempo necessário para efetuar a tarefa do caminho crítico, independentemente dos desempenhos do resto do circuito.

Num circuito assíncrono, a tarefa realizada por um módulo é efetuada num tempo limitado que depende diretamente dos dados que ele recebe. Assim, cada bloco é definido por um tempo de latência mínimo e tempos de latência máximos. Contudo, o princípio de funcionamento do tipo *fluxo de dados* é que todas as saídas podem ser utilizadas imediatamente pelo módulo seguinte. Um circuito assíncrono operará, dessa forma, sempre em tempo mínimo porque os dados se propagarão sistematicamente nos diferentes blocos à velocidade máxima permitida pelas condições de funcionamento.

### **3.2.1.2 Consumo de energia**

Em um circuito síncrono, todos os blocos são ativados ao mesmo tempo a cada pulso de relógio, mesmo que os dados de entrada não tenham atingido todos os blocos. A memorização repetida do estado dos blocos é então causa de consumo de energia que cresce com a frequência do relógio.

Em contrapartida, num circuito assíncrono, somente o bloco utilizado nessa parte do processamento é ativado e consome energia. Os blocos que não são necessários são postos naturalmente em repouso pelo controle local. O consumo de energia do circuito é, por isso, diretamente ligado à atividade do sistema, e, conseqüentemente, à aplicação. (VEZYRTZIS; TSIVIDIS, 2009).

### **3.2.1.3 Modularidade**

A modularidade é um aspecto fundamental da concepção de um circuito; permite, com efeito, conceber sistemas complexos inteiros a partir da utilização de blocos preexistentes. No caso de concepção síncrona, a montagem de módulos diferentes é considerada ainda mais difícil, porque todos foram otimizados separadamente para funcionar a frequências de relógio diferentes. Em contrapartida, no caso de concepção assíncrona, a modularidade é induzida diretamente pelo funcionamento do tipo fluxo de dados. Dessa forma, como o controle de um módulo é localizado, a utilização de um protocolo de comunicação único permite conectar facilmente diferentes blocos preconcebidos para criar um sistema complexo.

### **3.2.1.4 Emissões eletromagnéticas**

A presença de um sinal de relógio nos circuitos síncronos é fonte de emissões eletromagnéticas. Dessa maneira, cada pulso do sinal induz passagens de corrente repetidas, e isso acontece em qualquer atividade do circuito. O aumento da frequência do relógio aumenta as passagens e aumenta o espectro das ondas eletromagnéticas.

A localização do controle num circuito assíncrono permite melhorar a distribuição temporal da atividade elétrica porque alguns blocos são mais ativados pelos pulsos do relógio do que outros. Uma melhor distribuição da atividade elétrica reduz as passagens de corrente e, por conseguinte, a potência das ondas eletromagnéticas emitidas. Essa vantagem dos circuitos assíncronos foi utilizada várias vezes no âmbito de aplicações específicas. Dhanistha Panyasak (2004) mostrou que era possível adaptar a concepção de um circuito em termos de arquitetura: modelando a evolução das correntes no tempo, propôs extrair os perfis que ele

reintroduziria quando da descrição de alto nível do circuito. Essa técnica permite mostrar que um circuito adaptado para gerar correntes mais bem repartidas no tempo emite ondas eletromagnéticas mais fracas. Outra aplicação que aproveita as características dos circuitos assíncronos é a criptografia. Normalmente, os circuitos criptográficos sofrem ataques por meio de análises que ligam os picos de corrente consumida e os dados tratados. Como cada bloco lógico possui uma assinatura elétrica específica em função dos dados que processa, a análise das correntes por métodos estatísticos ou diferenciais dá uma representação da atividade de um circuito integrado criptográfico e permite descobrir tanto os dados manipulados como o código de criptografia. Sobre o mesmo princípio, a análise da assinatura eletromagnética pode substituir a análise da assinatura elétrica. A solução proposta por Fraidy Bouesse (2005) é utilizar os circuitos assíncronos para equilibrar os caminhos de dados. Essa técnica torna os perfis de corrente quase idênticos, imunizando, assim, circuitos de criptografia contra ataques ligados às emissões eletromagnéticas. (PANYASAK, 2004), (BOUESSE, 2005).

### **3.3 Conclusão**

Nas seções precedentes, foi mostrado que a utilização de uma amostragem irregular pode reduzir a atividade de um sistema de processamento de sinal adaptando-se à atividade do próprio sinal. A amostragem deve ser não uniforme no tempo e, entre os diferentes tipos mencionados previamente, a amostragem por cruzamento de níveis parece mais bem adaptada porque é diretamente ligada ao sinal.

Paralelamente, sabe-se que uma concepção assíncrona de um conversor melhora o seu desempenho em termos de consumo e de ruído. Contudo, conservando uma amostragem uniforme, esse tipo de conversor não permite otimizar a atividade do sistema de processamento porque não leva mais em consideração o sinal de entrada.

A solução proposta no próximo capítulo é livrar-se completamente dos aspectos uniformes da conversão analógico-digital para realizar um sistema de processamento no qual a atividade dependa apenas do sinal, suprimindo definitivamente o sinal de relógio: a concepção material é assíncrona; a determinação da sequência das tarefas é controlada pelo sinal de entrada; e a amostragem é não uniforme: os pontos coletados são determinados em função do sinal propriamente dito.

Exemplos de conversores desse tipo são propostos no capítulo seguinte.

## CAPÍTULO 4

### ARQUITETURAS UTILIZADAS NOS CONVERSORES ANALÓGICO-DIGITAIS SEM RELÓGIO

Conforme dito no capítulo anterior, um circuito assíncrono é um sistema controlado por uma grande quantidade de sinais que geram as trocas de informações entre blocos funcionais internos. O seu funcionamento é, assim, do tipo fluxo de dados: cada bloco espera os dados provenientes do bloco precedente, processa-os e envia-os ao bloco seguinte.

Dessa forma, os conversores que mais se adaptam a esse tipo de funcionamento são os conversores analógico-digitais de canal (*pipeline*) e os conversores analógico-digitais de dobramento (*folding*), já descritos no Capítulo 2. (KESTER, 2005).

Neste capítulo, serão vistos os conceitos gerais e básicos das arquiteturas dos ADC de canal (*pipeline*) e dos ADC de dobramento (*folding*).

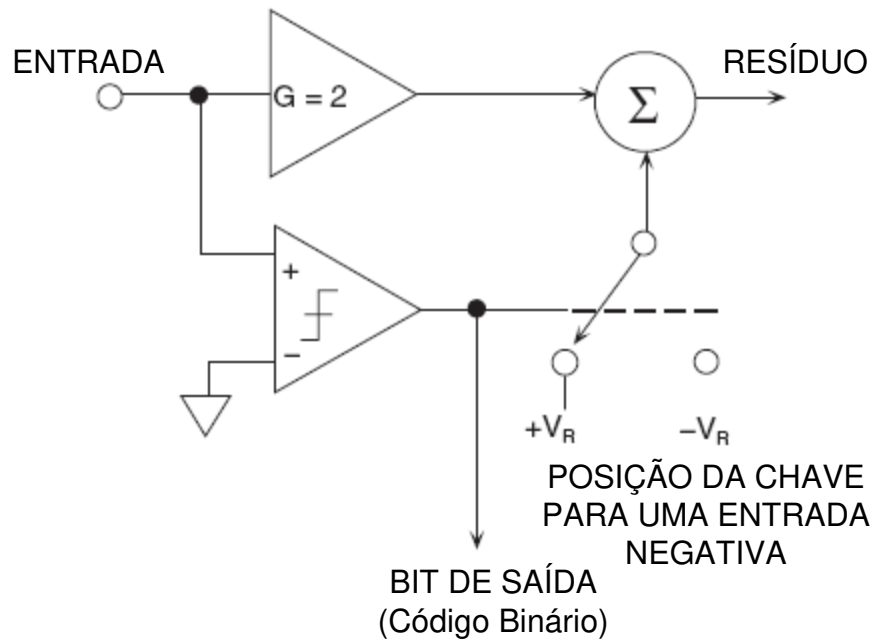
#### 4.1 Tipos de Arquitetura Utilizados

Neste trabalho de tese foram desenvolvidos dois conversores analógico-digitais sem relógio, com 8 bits de resolução. Um conversor foi projetado seguindo uma arquitetura do tipo dobramento (*folding*), e o outro foi um conversor seguindo uma arquitetura do tipo canal (*pipeline*).

##### 4.1.1 Conversor analógico-digital de canal (*pipeline*)

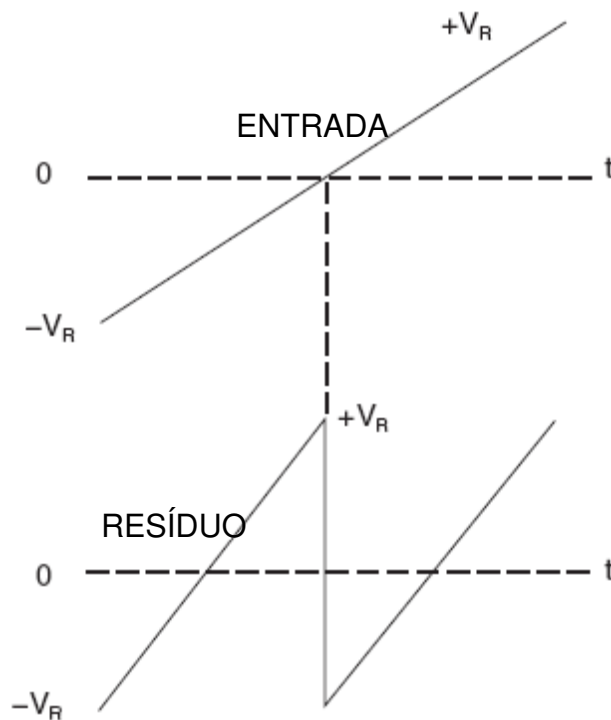
Um dos conversores projetados e implementados neste trabalho foi o conversor analógico-digital de canal (*pipeline*). Ele usa uma cascata de etapas individuais na qual cada etapa executa uma das funções elementares exigidas por um algoritmo sequencial. Essencialmente, o conversor de canal distribui sobre blocos o que deveria ser feito ao longo do tempo por um esquema sequencial.

Na figura 4.1 é mostrado um diagrama simplificado de um bloco de um possível conversor de canal de 1 bit de saída em cada etapa. A quantidade de bits de cada etapa pode ser aumentada, necessitando, para isso, aumentar o número de componentes em cada etapa (bloco).



**Figura 4.1** Diagrama simplificado de um bloco de um conversor de canal (*pipeline*).

Considerando como sinal de entrada uma rampa variando entre os valores  $-V_R$  e  $+V_R$ , tem-se na saída de cada bloco um erro de quantização, chamado de *resíduo*. Na figura 4.2, são mostradas as formas de onda do sinal analógico de entrada e a forma de onda do resíduo.

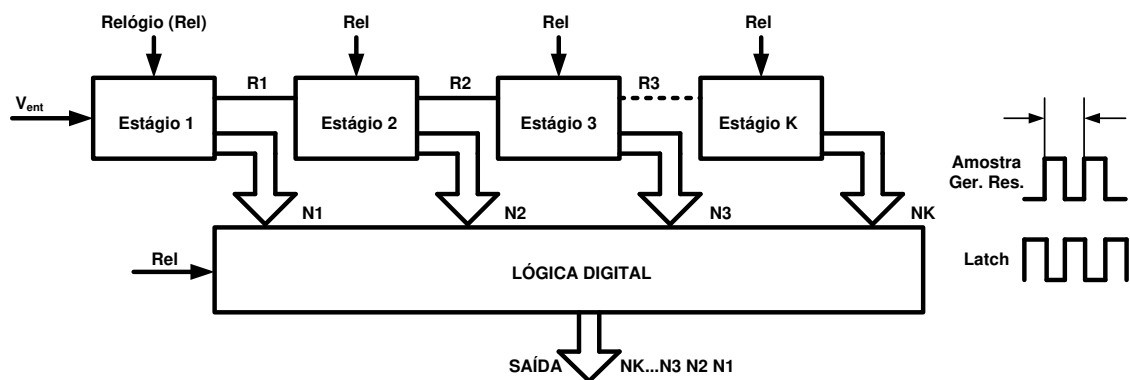


**Figura 4.2** Formas de sinais de um bloco de um conversor de canal (*pipeline*).

O algoritmo sequencial que é realizado no tipo de conversor de canal é o mesmo que o dos conversores de aproximação sucessiva. O conversor obtém um bit por vez (por estágio) em vez de um bit por período de relógio. Cada etapa do conversor gera duas saídas: o bit necessário, e a diferença entre a entrada e a saída do conversor digital-analógico interno, o resíduo. A exatidão dos sinais analógicos deve ser suficiente para atender o número de bits a ser determinado a partir dessa etapa.

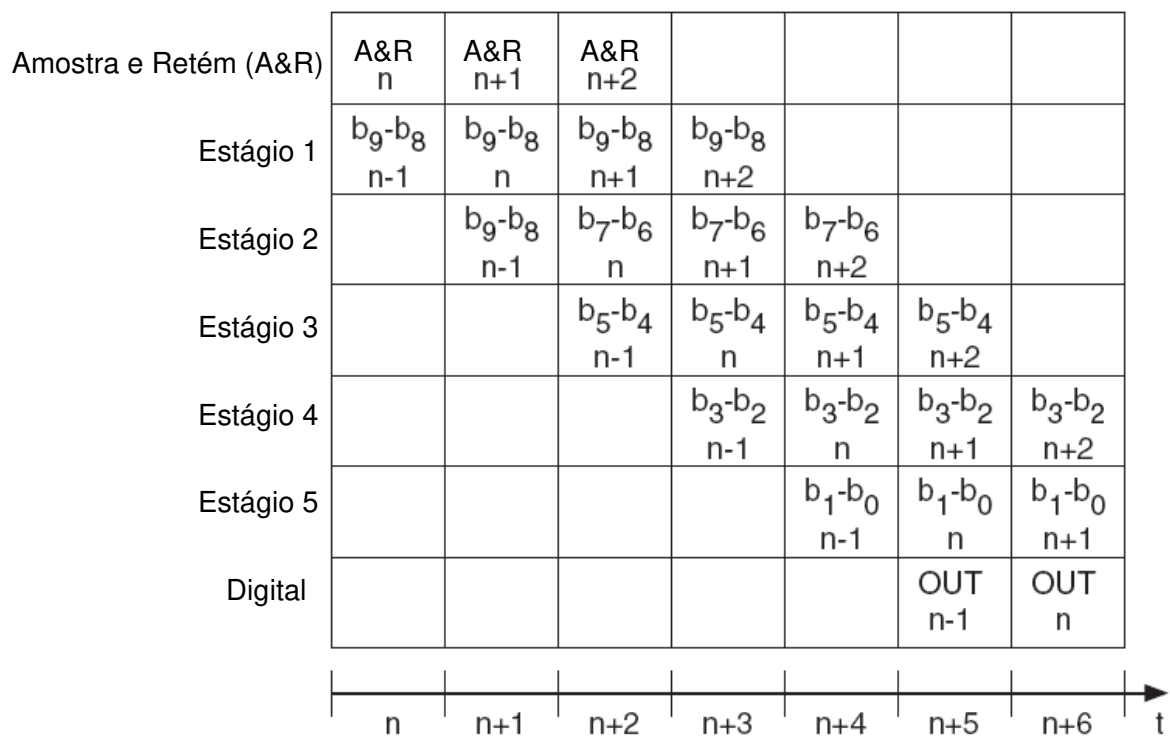
O conversor de canal pode também gerar vários bits por fase e, se esse for o caso, cada fase requer um conversor analógico-digital de vários bits para obter a saída digital, e um conversor digital-analógico de vários bits para gerar a entrada para a próxima fase. A resolução total da arquitetura do conversor é dada pela soma dos bits em cada etapa. Note que o número de bits em cada etapa pode ser igual ou diferente um do outro, dependendo do projeto.

Na figura 4.3, é mostrado o diagrama de bloco conceitual de uma arquitetura de canal, com relógio, com K estágios. O regime de trabalho pressupõe que o relógio tem um ciclo de 50% e que uma fase do relógio é usada na amostragem e a outra fase é usada para travar os comparadores. Após o travamento, durante a fase de amostragem seguinte, cada fase gera uma saída analógica para ser recolhida pelo próximo estágio do conversor. A primeira fase gera  $N_1$  bits; a segunda fase,  $N_2$  bits; e assim por diante. Por conseguinte, todo o canal dá origem a  $N_1 + N_2 + \dots + N_K$  bits. A lógica digital combina os bits de cada etapa, e gera as palavras de saída a uma taxa de  $f_a$ , embora com um atraso de  $(K + 1)$  períodos de relógio (um para a amostragem da entrada e um para cada fase). O tempo de latência, causado por esse atraso, é uma consequência da operação de canais. Esse tempo é um limite menor, e não vai causar problemas para a maioria das aplicações, a menos que usem o conversor em uma malha de realimentação. A operação da lógica digital é simples, pois é necessário atrasar corretamente os bits das etapas e combiná-los lado a lado.



**Figura 4.3** Arquitetura de um conversor de canal (*pipeline*).

Como exemplo da operação de temporização, na figura 4.4 está mostrado o controle sequencial de um conversor de canal de 10 bits, 5 fases, 2 bits por estágio. Considere-se que um valor de entrada analógica é amostrado no período  $N$  do relógio. No período  $N+1$  do relógio, os bits  $B_9$  e  $B_8$  são gerados. No período seguinte do relógio, o circuito gera os bits  $B_7$  e  $B_6$ . Isso continua até o período  $N+5$ , durante o qual os bits  $B_1$  e  $B_0$  são determinados. Por último, o período  $N+6$  é usado pela lógica digital para combinar os bits e tornar o resultado disponível. (MALOBERTI, 2007).

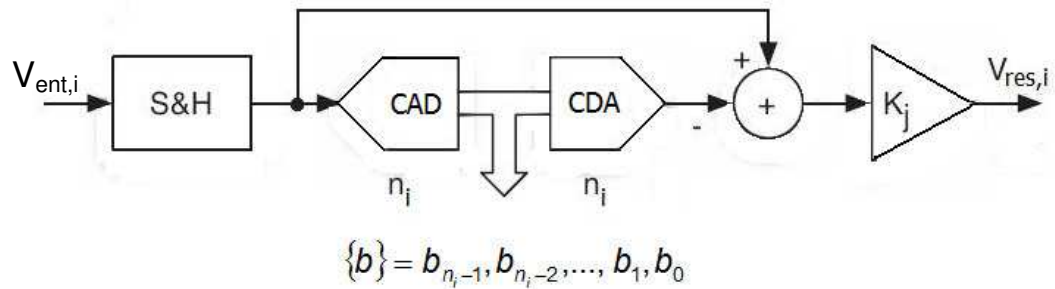


**Figura 4.4** Temporização de um conversor de canal (*pipeline*) de 10 bits, 2 bits por estágio.

#### 4.1.1.1 Conceitos básicos (conversor de canal)

O diagrama de bloco de um estágio de um conversor de canal é mostrado na figura 4.5. O conversor analógico-digital (ADC) gera o bit  $i$ , enquanto que o conversor digital-analógico (DAC) converte o resultado em analógico usando o mesmo número de bits.





**Figura 4.5** Diagrama de blocos de um estágio de um conversor de canal (*pipeline*).

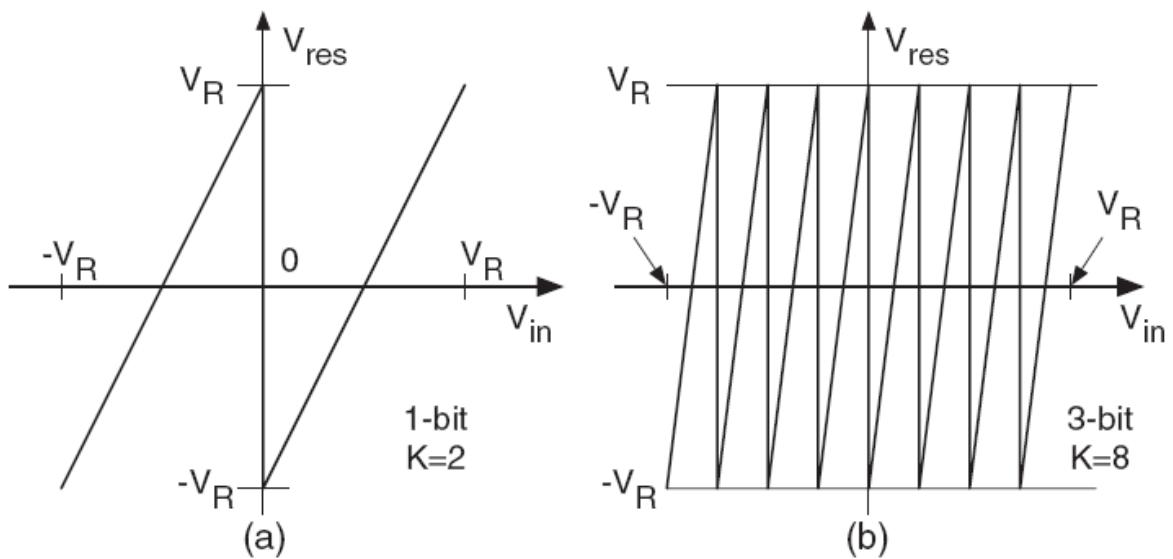
Entretanto, arquiteturas que usam correção digital têm um DAC com resolução menor do que a resolução do ADC. A subtração da saída do DAC do sinal de entrada  $V_{ent}$  determina a medida do erro de quantização de  $V_{ent}$ , que, após a amplificação, determina a nova tensão de resíduo:

$$V_{res}(i) = \{V_{res}(i-1) - V_{CDA}(b_i)\}k_j. \quad (4.1)$$

A faixa dinâmica do resíduo é igual ao da entrada, se, para qualquer bit  $n_i$  do DAC o ganho é  $2^{n_i}$ . Esta condição é frequentemente usada porque permite que as mesmas tensões de referência sejam utilizadas em todas as fases.

A característica de transferência entrada-saída do resíduo de um estágio com faixa de entrada entre  $+V_R$  e  $-V_R$ , com um ADC e um DAC de 1 bit e com  $K$  igual a 2 é mostrada na figura 4.6(a). Com uma entrada negativa o DAC subtrai  $-V_R/2$ , tornando o ponto inicial, após a multiplicação por dois, igual a  $-V_R$ . Em  $-V_R/2$ , o resíduo cruza o zero e a rampa cresce até  $+V_R$  justamente antes de a entrada cruzar o zero que é o ponto no qual o DAC muda de  $-V_R/2$  para  $+V_R/2$ , levando o resíduo a cair para  $-V_R/2$ . (MALOBERTI, 2007).

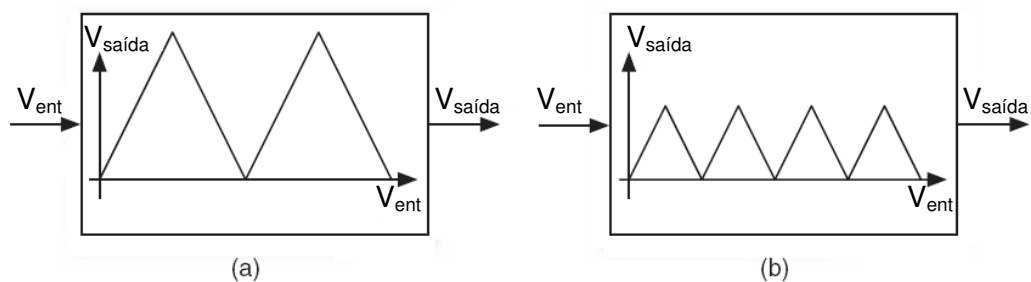
Para um conversor de 3 bits e um  $K$  igual a 8, o resíduo mostrado na figura 4.6(b) tem 7 quebras e 7 transições entre os 8 intervalos de quantização do DAC. Desde que a amplitude do erro de quantização é  $V_R/4$ , a multiplicação por 8 torna a faixa dinâmica do resíduo igual a da entrada,  $\pm V_R$ .



**Figura 4.6** Forma de onda do resíduo: (a) estágio de 1 bit e (b) estágio de 3 bits.

#### 4.1.2 Conversor analógico-digital de dobramento (*folding*)

O outro conversor projetado e implementado neste trabalho foi o conversor de dobramento (*folding*). Ele opera com o gerador de resíduos funcionando como uma transformação não linear da entrada: a gama do sinal de entrada é dividida em um determinado número de partes MSB com relações lineares entre entrada e saída dentro de cada bloco. Na figura 4.7, está mostrada a relação linear existente nos conversores de dobramento entre a entrada e a saída, internamente ao bloco.



**Figura 4.7** Blocos não lineares para obter o dobramento do sinal de entrada.

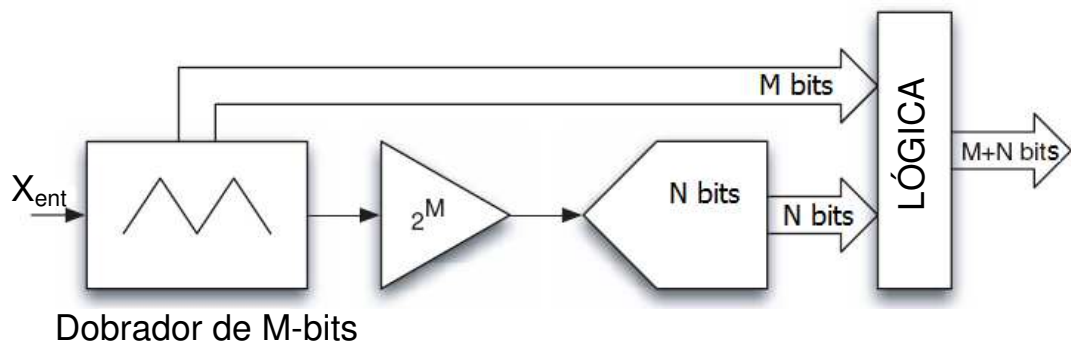
A transformação não linear, mostrada na figura 4.7, é o dobramento do sinal de entrada que divide o intervalo de entrada em um número de setores — 4, na figura 4.6(a), e 8, na figura 4.6(b) — para obter uma resposta linear dentro de cada bloco, com inclinações

alternativas positivas e negativas iguais. As respostas não lineares podem ser vistas como um múltiplo dobramento de uma rampa — duas vezes para gerar quatro setores, três vezes para gerar as respostas não lineares da figura 4.6(b). É por isso que o método é chamado de *dobramento*.

Um único circuito dobra a entrada em torno de  $\frac{1}{2}V_{FE}$  e dá origem a dois setores (1-bit) com pico de amplitude de  $\frac{1}{2}V_{FE}$ . Dobrando duas vezes conduz a quatro setores (2-bits) com pico de amplitude  $\frac{1}{4}V_{FE}$ . Dobrando três vezes corresponde a três bits, cujo valor de pico torna-se  $\frac{1}{8}V_{FE}$ , e assim por diante. Desde que dobrando várias vezes reduz o intervalo de saída, o número de intervalos que será necessário para quantificar o sinal dobrado diminui em conformidade. Por exemplo, após um dobrador de M bits, será necessário o uso de  $2^{n-M} - 1$  comparadores para concluir a conversão de N-bits. Obviamente, é necessário saber em qual segmento a entrada está ligada para determinar os MSBs, que são então combinados com os LSB dados pela quantização do sinal dobrado.

#### 4.1.2.1 Conceitos básicos (conversor de dobramento)

A figura 4.8 é um diagrama de bloco conceitual do conversor dobrador. O dobrador de M bits produz dois sinais: a saída analógica dobrada e o código de M bits que identifica em qual segmento está conectada a entrada. O estágio de ganho aumenta a faixa dinâmica para atingir  $V_{FE}$ . O conversor de N bits então determina os LSB que serão combinados com os MSB pela lógica digital para dar uma produção total de  $n = (N + M)$  bits.



**Figura 4.8** Diagrama da arquitetura básica de um conversor de dobramento.

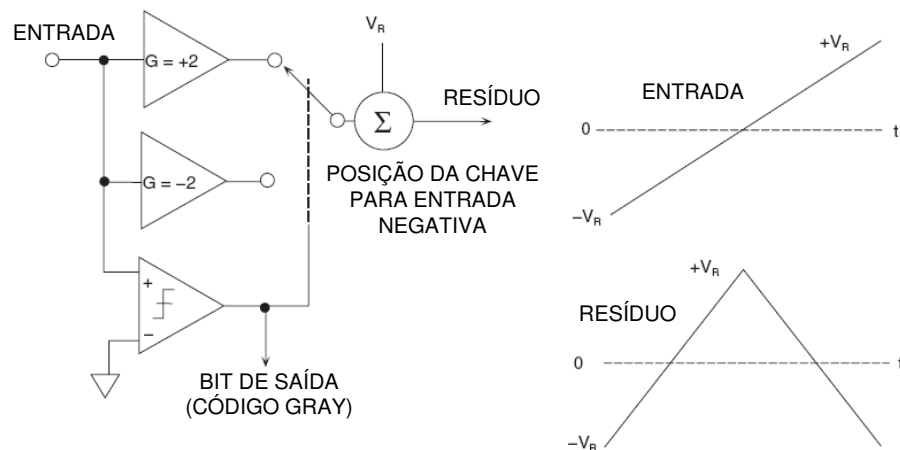
As regiões em torno dos pontos de dobradura são críticas, pois é necessário que haja variações bruscas na inclinação da curva entrada-saída. Essas variações bruscas não podem ser obtidas diretamente por circuitos reais usando transistores bipolares ou MOS, porque suas respostas são sempre um pouco arredondadas. Além disso, operar em instantes de diferentes

variações estabelece atrasos diferentes, porque é necessário carregar ou descarregar as capacitâncias parasitas dos elementos de chaveamento para a aquisição da transição entre os blocos.

Além dos limites citados no parágrafo anterior, é necessário levar em consideração a largura de banda finita e a taxa de variação porque o circuito de dobradura é normalmente utilizado para altas taxas de conversão e de média a alta resolução.

Para um conversor com arquitetura de dobramento operar sem relógio, foi utilizada uma arquitetura de 1 bit por estágio. Essa arquitetura é baseada em amplificadores de valor absoluto (amplificadores de magnitude – *Magamps*) e é referenciada como serial Gray, porque a saída está em código Gray, ou conversor de dobramento (*folding*), por causa da forma da função de transferência. Formar a conversão usando uma função de transferência que produz inicialmente um código Gray tem a vantagem de minimizar as discontinuidades nas formas de onda do resíduo, além de oferecer um potencial de operação em velocidades mais altas que o conversor de saída binária. (KESTER, 2005).

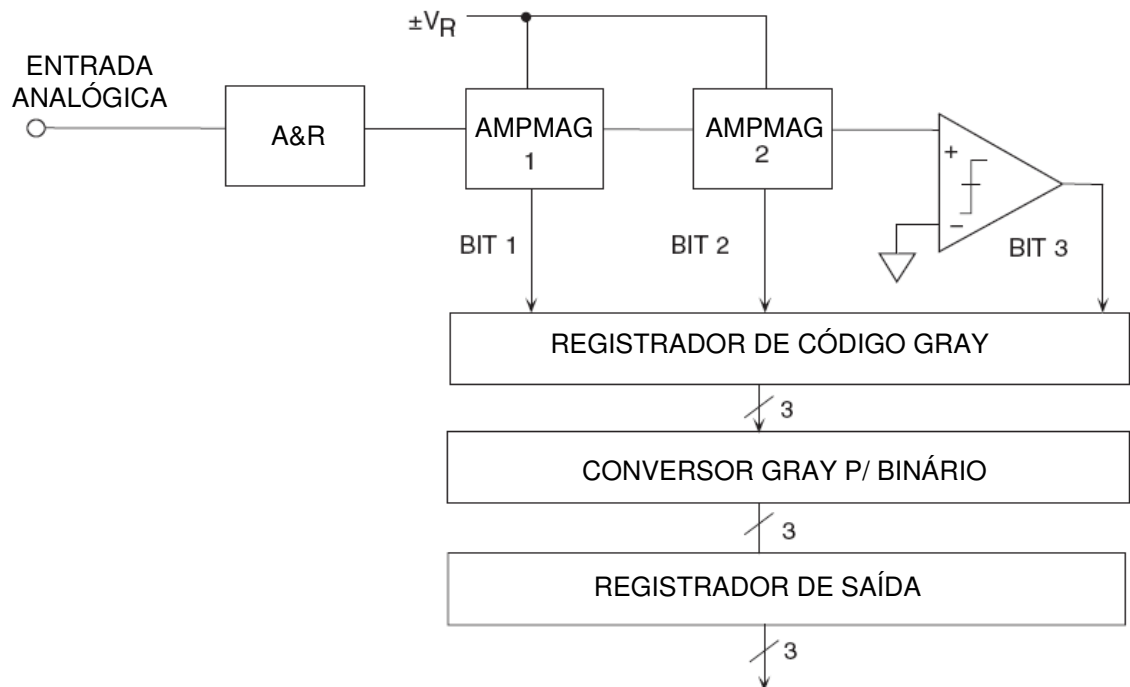
O estágio básico funcional desse tipo de conversor de dobramento é mostrado na figura 4.9, junto com o gráfico que exemplifica sua função de transferência. Nessa figura, a entrada do estágio é considerada uma rampa linear de tensão cuja faixa varia entre  $-V_R$  e  $+V_R$ . O comparador detecta a polaridade do sinal de entrada e fornece o bit Gray de saída do estágio. Ele também determina se o ganho do estágio de amplificação será  $+2$  ou  $-2$ . O ganho será de  $+2$  quando o sinal for negativo e de  $-2$  quando o sinal for positivo. A tensão de referência é somada com a saída da chave para gerar o sinal de resíduo que é aplicado ao próximo estágio. O gráfico que exemplifica a função de transferência para o estágio de dobramento com uma rampa na entrada é também mostrado na figura 4.9.



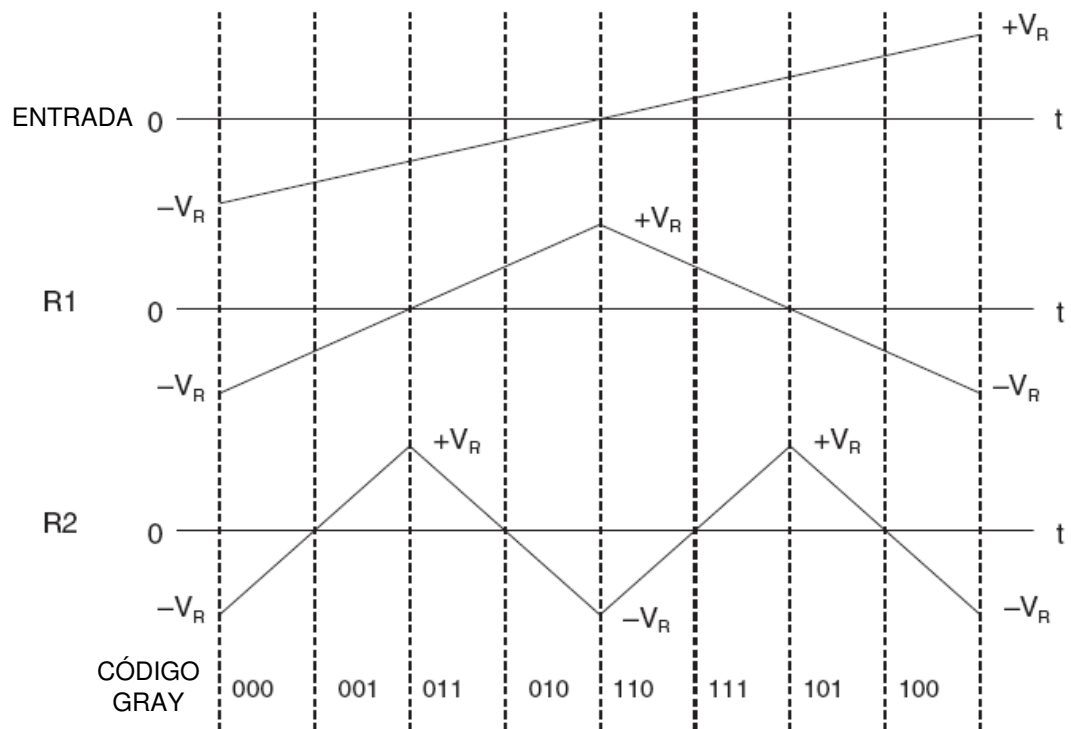
**Figura 4.9** Diagrama simplificado de um bloco de um conversor de dobramento e a forma de onda da entrada e saída para uma entrada de rampa linear.

Um conversor de dobramento de 3 bits com amplificadores de magnitude é mostrado na figura 4.10, e as formas de onda da entrada e dos resíduos são mostradas na figura 4.11.

Como no caso do conversor de saída binária (*pipeline*), a polaridade do sinal do resíduo de saída de um estágio determina o valor do bit Gray para o próximo estágio. A polaridade da entrada do primeiro estágio determina o Gray MSB. A polaridade da saída de R1 (Resíduo 1) determina o bit Gray 2, e a polaridade de R2 determina o bit Gray 3. Convém notar que, diferentemente do conversor de saída binária, não existe transição abrupta em nenhuma das formas de onda do resíduo de saída do conversor de dobramento. Isso torna mais fácil a operação em velocidades mais altas.



**Figura 4.10** Diagrama de blocos de um conversor de dobramento de 3 bits.



**Figura 4.11** Formas de onda da entrada e do resíduo para um ADC de dobramento de 3 bits.

## 4.2 Conclusão

Nas seções precedentes foram mostrados os conceitos gerais e básicos das duas arquiteturas utilizadas.

As arquiteturas dos conversores de canal (*pipeline*) com uma arquitetura interna em cada estágio semelhante a de um conversor de aproximação sucessiva são as mais difundidas em conversores analógico-digitais sem relógio.

Um conversor com uma arquitetura de dobramento (*folding*) do sinal foi desenvolvido e implementado, e comparado em seus parâmetros dinâmicos com a arquitetura do conversor de canal também desenvolvido e implementado.

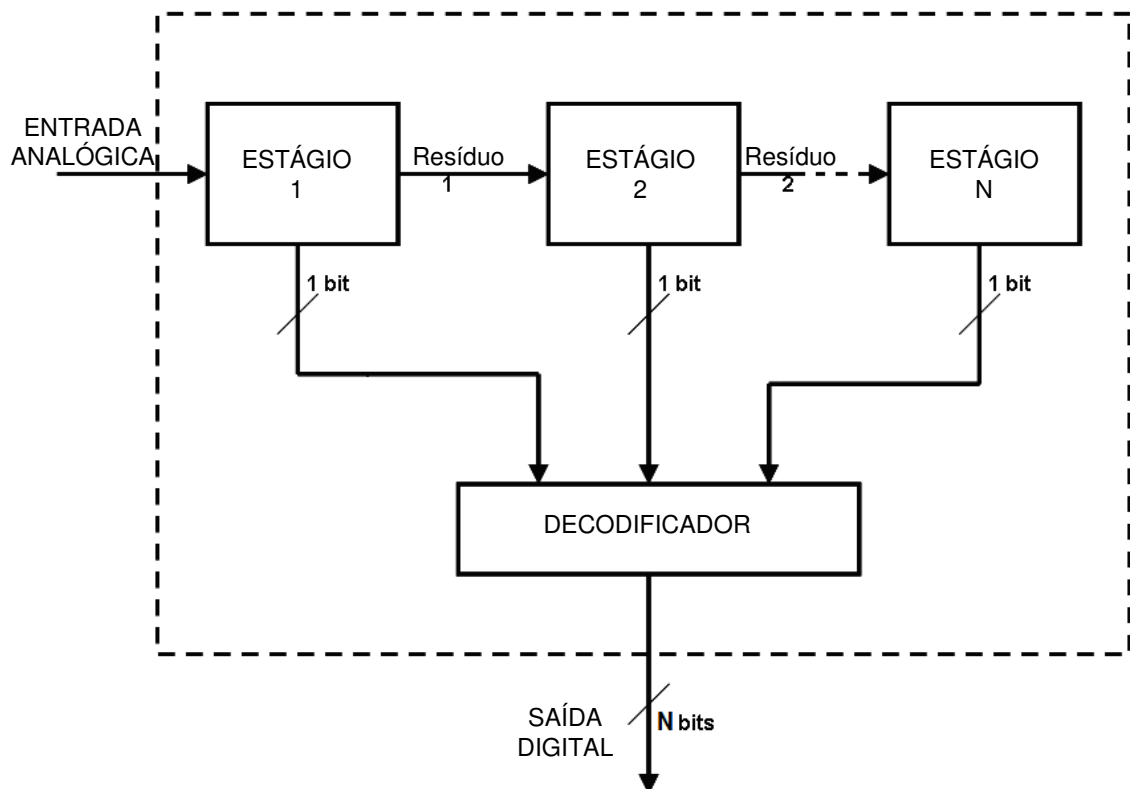
O tipo de amostragem irregular utilizado nesses dois tipos de conversores foi a amostragem irregular por cruzamento de níveis. Neste capítulo, foi visto por que essas arquiteturas se adaptam mais a esse tipo de amostragem.

No próximo capítulo, serão vistas as arquiteturas implementadas.

## CAPÍTULO 5

### CONVERSORES PROJETADOS E IMPLEMENTADOS

O conversor analógico-digital (ADC) sem relógio proposto é baseado num processamento analógico de sinal. A arquitetura geral do conversor proposto é mostrada na figura 5.1. A estrutura é a mesma de uma arquitetura de um conversor de canal (*pipeline*) ou de um conversor de dobramento (*folding*) mostrada no capítulo anterior.



**Figura 5.1** Diagrama de blocos do ADC de dobramento sem relógio – 1 bit/estágio.

Essa arquitetura é uma de um número de possíveis arquiteturas seriais ou de 1 bit/estágio. Ela consiste em uma cascata de estágios idênticos. Cada estágio é constituído de um subADC de um bit de saída, um subconversor digital-analógico (subDAC) de um bit de saída, formado por chaves, e um estágio de ganho, que multiplica o sinal na saída por +2 ou por -2. O subADC controla diretamente o subDAC para reconstruir o sinal analógico quantizado. O sinal analógico quantizado é subtraído do sinal analógico de entrada do estágio. Após a subtração do sinal quantizado do sinal analógico de entrada, o resíduo é amplificado pelo estágio de ganho e então aplicado ao próximo estágio. (PLASSCHE, 2003).

O funcionamento desse ADC é baseado no algoritmo de retificação geral:

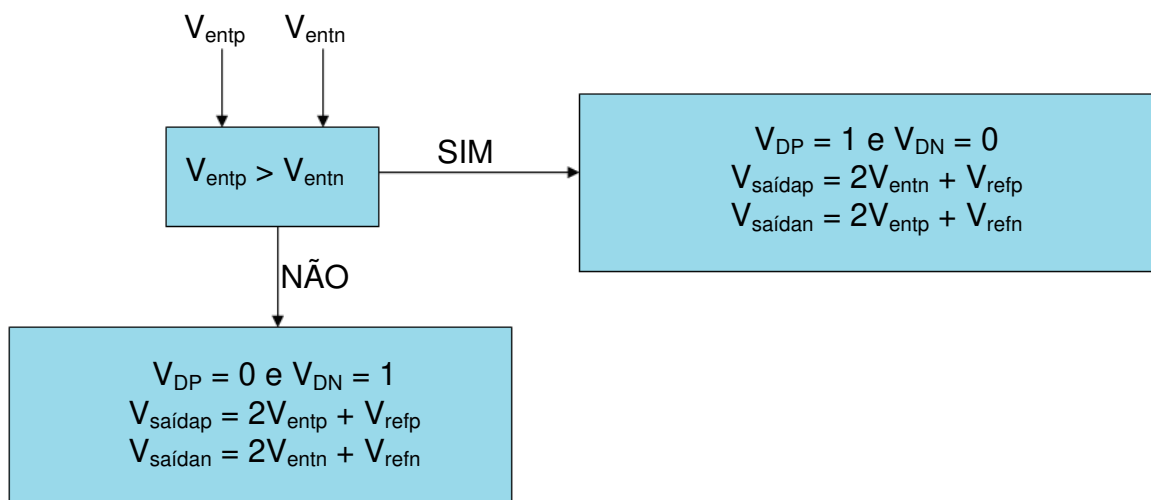
$$V_{saída} = 2|V_{ent}| - V_{ref} \quad (5.1)$$

na qual  $V_{ent}$  representa o sinal analógico de entrada de cada bloco,  $V_{saída}$  representa o sinal analógico de saída, também de cada bloco, e  $V_{ref}$  é a tensão de referência que será comparada ao sinal de entrada em cada instante de amostragem.

O conversor proposto neste trabalho foi, inicialmente, projetado para operar com um sinal digital na saída em três níveis, como mostrado em Rodrigues et al. (2008), mas as mudanças para obter uma saída digital em dois níveis transformaram-no num ADC de dobramento (*folding*) que é semelhante em seu funcionamento a um ADC de canal (*pipeline*) (RODRIGUES et al., 2009). Por esse motivo, foram projetados e implementados os dois tipos de conversores para efeito de comparação, principalmente em relação aos seus parâmetros dinâmicos. Todos os conversores projetados neste trabalho tiveram a resolução de 8 bits.

### 5.1 Conversor de Dobramento (*Folding*) Proposto

O algoritmo para um estágio do ADC de dobramento proposto é mostrado na figura 5.2, na qual  $V_{entp}$  e  $V_{entn}$  são os sinais analógicos de entrada, contendo a mesma amplitude e frequência, mas defasados de 180 graus, e  $V_{DP}$  e  $V_{DN}$  são os sinais digitais de saída.



**Figura 5.2** Fluxograma de conversão do ADC de dobramento proposto.



O diagrama esquemático de um estágio do conversor de dobramento proposto é mostrado na figura 5.3. Implementações em modo corrente com saída simples são feitas em Robinson (1987), Vesalainen et al. (2004) e Wilamowski et al. (2006).

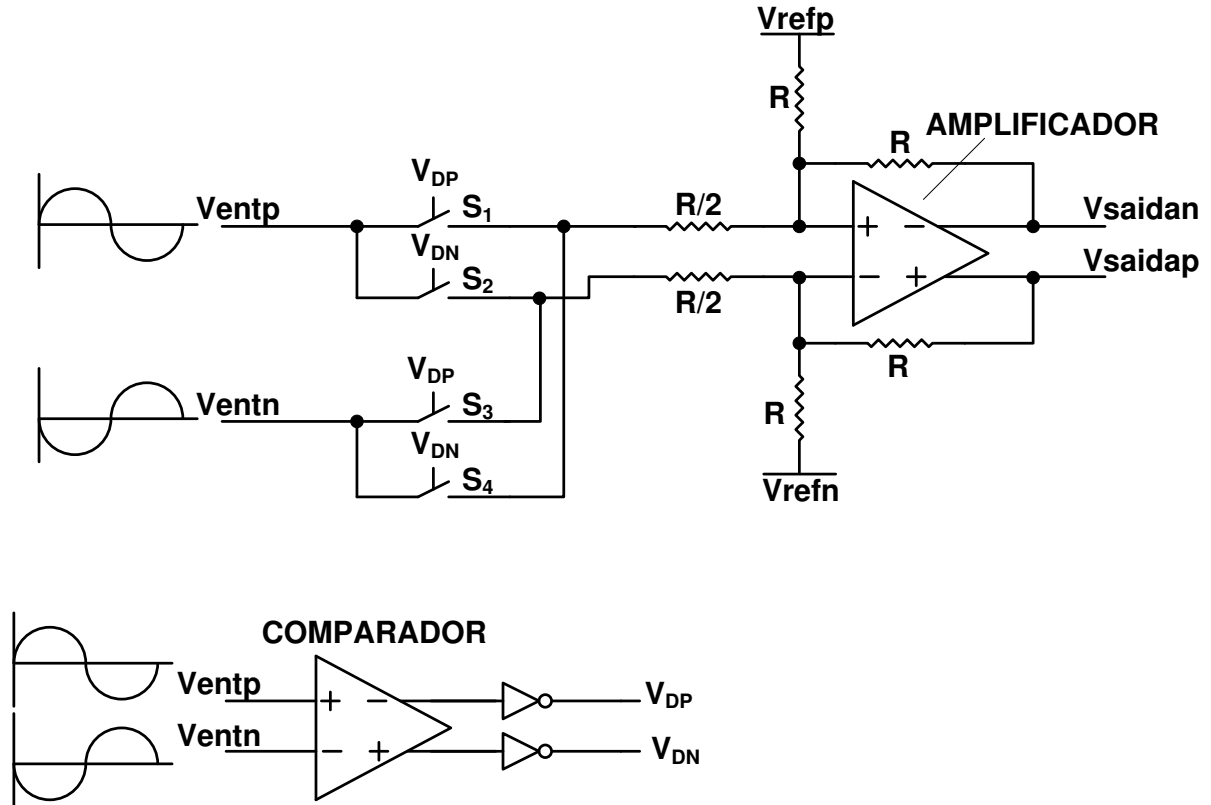


Figura 5.3 Diagrama esquemático do ADC de dobramento proposto.

O conversor proposto neste trabalho foi construído em modo tensão diferencial. As saídas de cada estágio são dadas por:

$$V_{saidap} = V_{DP}(2 \cdot V_{entn} + V_{refp}) + V_{DN}(2 \cdot V_{entp} + V_{refp}) \quad (5.2)$$

$$V_{saidan} = V_{DP}(2 \cdot V_{entp} + V_{refn}) + V_{DN}(2 \cdot V_{entn} + V_{refn}) \quad (5.3)$$

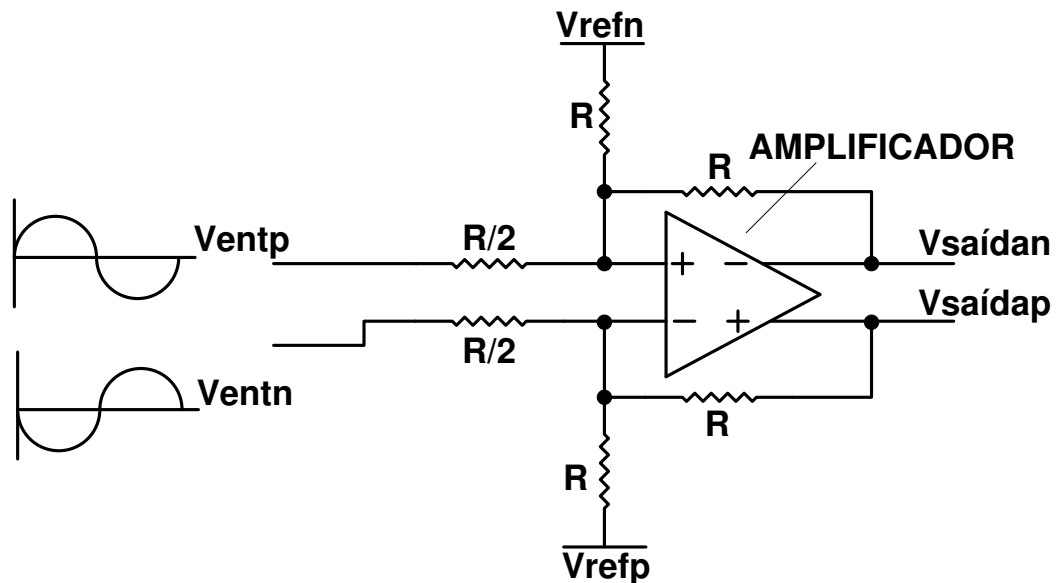
### 5.1.1 Funcionamento do conversor de dobramento proposto

Dependendo dos valores das saídas do comparador da figura 5.3 ( $V_{DP}$  e  $V_{DN}$ ), o amplificador é ajustado em duas diferentes configurações. Se  $V_{entp} \geq V_{entn}$ , a saída digital  $V_{DP}$  é igual a 1 e a saída digital  $V_{DN}$  é igual a 0. Dessa forma, as chaves  $S_1$  e  $S_3$  são fechadas, as chaves  $S_2$  e  $S_4$  são abertas e as saídas do amplificador operacional diferencial são iguais a:

$$V_{saidap} = 2 \cdot V_{entn} + V_{refp} \quad (5.4)$$

$$V_{saidan} = 2 \cdot V_{entp} + V_{refn} \quad (5.5)$$

Na figura 5.4, está mostrada essa configuração.



**Figura 5.4** Diagrama esquemático proposto da primeira configuração do ADC de dobramento.

A segunda e última configuração acontece quando  $V_{entp} < V_{entn}$ . Então, a saída digital  $V_{DP}$  é igual a 0 e a saída digital  $V_{DN}$  é igual a 1. Dessa forma, as chaves  $S_1$  e  $S_3$  são abertas, as chaves  $S_2$  e  $S_4$  são fechadas, e as saídas do amplificador operacional diferencial são iguais a:

$$V_{saidap} = 2 \cdot V_{entp} + V_{refp} \quad (5.6)$$

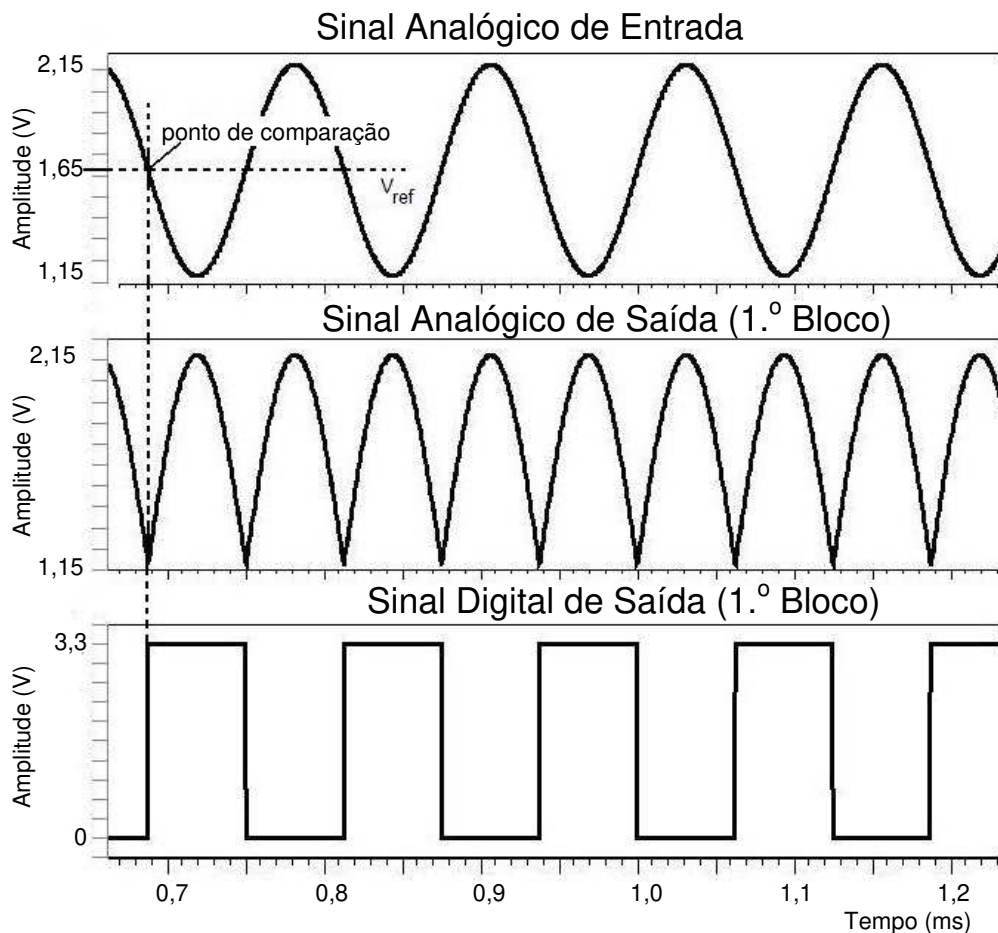
$$V_{saidan} = 2 \cdot V_{entn} + V_{refn} \quad (5.7)$$

Inicialmente, os dois conversores construídos neste trabalho, o conversor de dobramento e o de canal, foram implementados usando macromodelos da linguagem *SPICE* para simulação na ferramenta Eldo, da Mentor Graphics. Macromodelos são descrições ideais de componentes e circuitos eletrônicos na linguagem *SPICE*, nas quais o usuário pode inserir imperfeições inerentes aos componentes e circuitos.

Nas simulações feitas com os conversores, o sinal de entrada é um sinal senoidal com frequência de 8 kHz. Esta frequência foi escolhida baseada em um dos primeiros artigos pesquisados antes de iniciar este trabalho. Neste artigo, é provado que o processamento digital de sinais em tempo contínuo evita *aliasing* e reduz o erro de quantização (TSIVIDIS, 2004).

A escala completa do sinal de entrada é de  $1 V_P$  (tensão de pico). A tensão de desvio (*offset*) do sinal de entrada é  $1,65V$  com os circuitos alimentados por uma tensão de  $3,3V$ .

Na figura 5.5, estão mostradas as formas de onda do sinal analógico de entrada, do sinal analógico de saída (resíduo) e do sinal digital de saída do primeiro bloco, obtidas por simulação. Pode-se observar que, em cada ponto de comparação entre o sinal analógico de entrada e a tensão de referência ( $V_{ref}$ ), uma transição é gerada no sinal digital de saída.

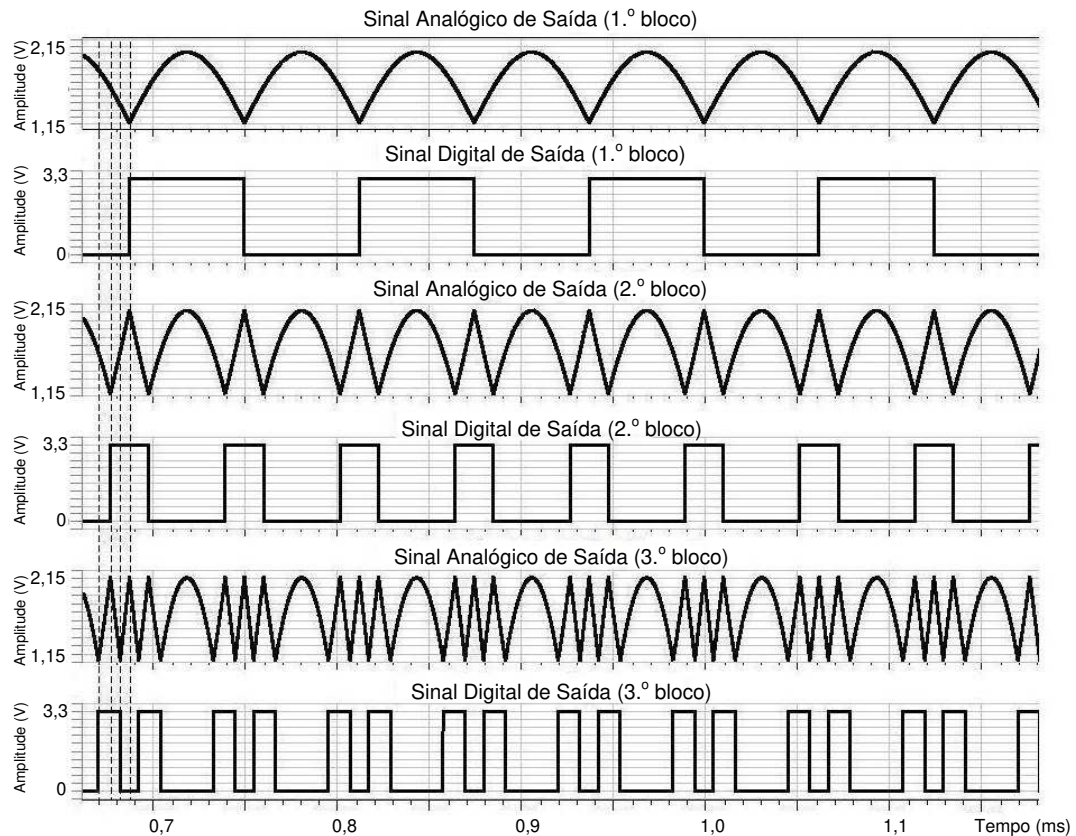


**Figura 5.5** Formas de onda dos sinais do primeiro bloco do conversor de dobramento proposto.

Depois que o sinal analógico de entrada é processado pelo primeiro bloco, a frequência do sinal analógico de saída tem praticamente o dobro da frequência do sinal de entrada. Esse é um dos efeitos no sinal provocado pelo dobramento.

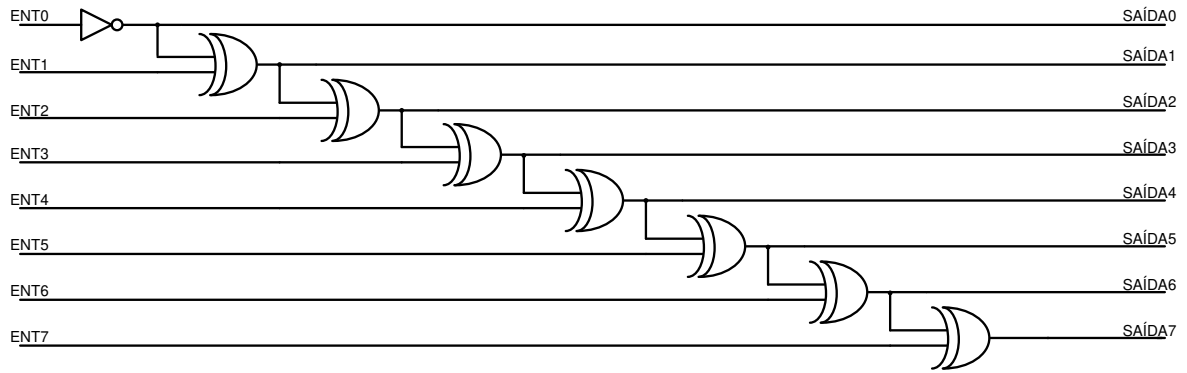
Dessa forma, o desempenho dinâmico do conversor de dobramento sem relógio é determinado, principalmente, pelo desempenho dos amplificadores operacionais dos últimos estágios.

Os sinais de um ADC de dobramento sem relógio, numa configuração de 3 bits, são mostrados na figura 5.6. Observa-se que nunca acontece mais de uma transição dos sinais por instante de tempo. Ou seja, nesse conversor, nunca dois sinais digitais irão realizar uma transição ao mesmo tempo. Essa é uma característica dos circuitos geradores de código Gray como saída digital, que é o caso do conversor de dobramento proposto.



**Figura 5.6** Formas de onda dos sinais dos blocos de conversor de dobramento de 3 bits.

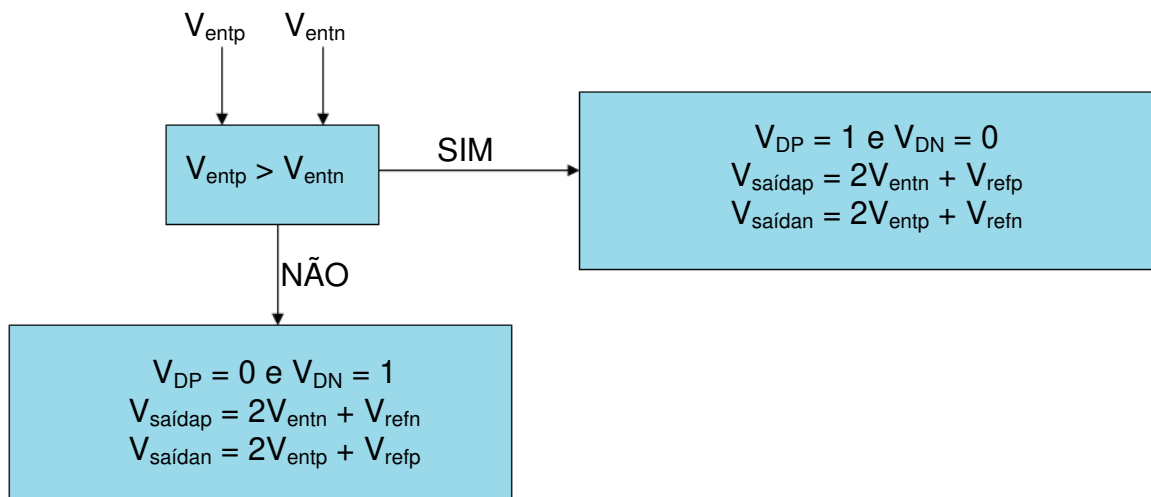
Como, com o conversor de dobramento, é apresentado em sua saída digital um código Gray, para operar com conversores digital-analógicos padrões, de entrada binária, o código de saída do ADC de dobramento deve ser decodificado para binário. Na figura 5.7 está mostrado o codificador utilizado para converter o código Gray de saída do ADC de dobramento proposto para um código binário padrão (8 bits).



**Figura 5.7** Diagrama do decodificador do código Gray para binário padrão.

## 5.2 Conversor de Canal (*Pipeline*) Construído

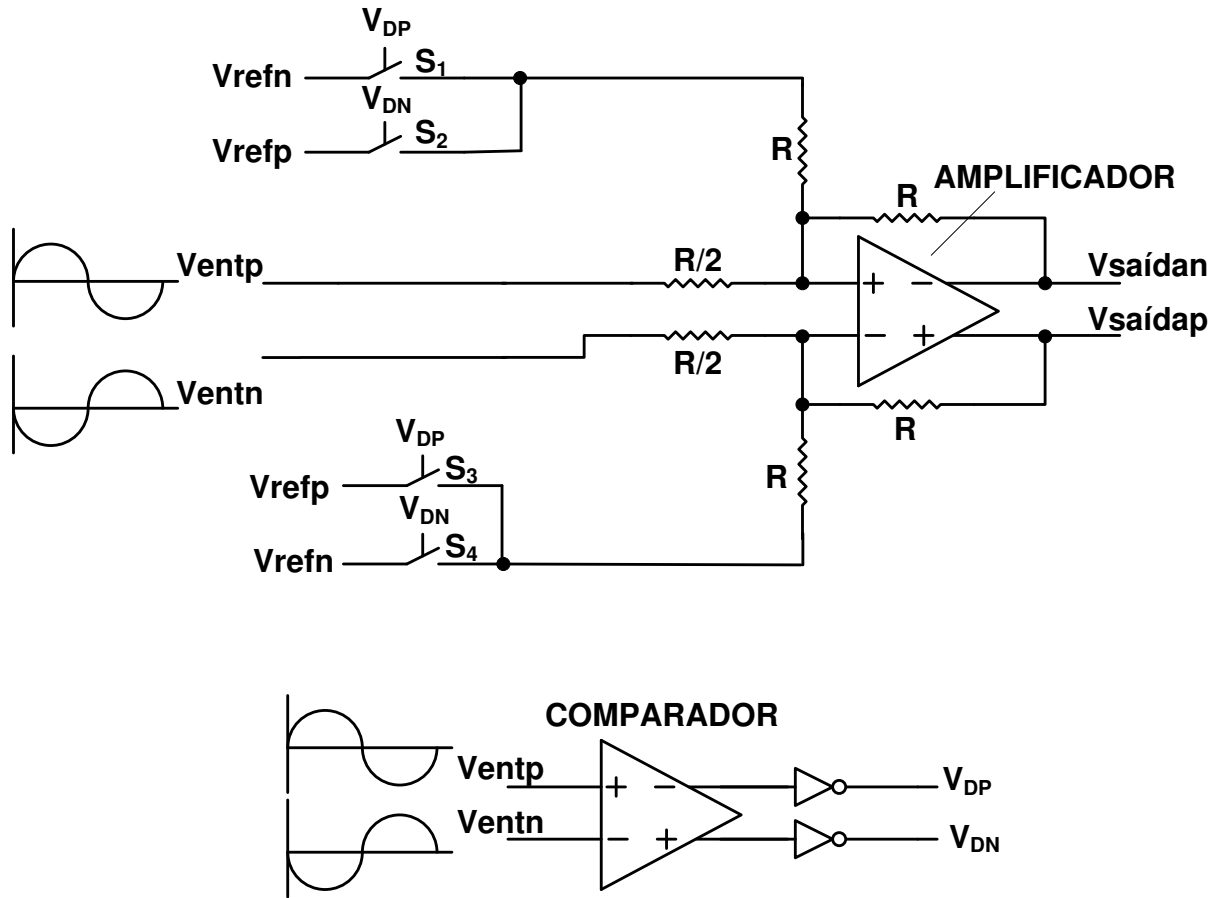
O fluxograma para um estágio do ADC de canal construído é mostrado na figura 5.8.



**Figura 5.8** Fluxograma de conversão do ADC de canal.

No fluxograma da figura 5.8,  $V_{entp}$  e  $V_{entn}$  são os sinais analógicos de entrada, contendo a mesma amplitude e frequência, mas defasados de 180 graus;  $V_{DP}$  e  $V_{DN}$  são os sinais digitais de saída.

O diagrama esquemático de um estágio do conversor de canal construído é mostrado na figura 5.9.



**Figura 5.9** Diagrama esquemático do ADC de canal construído.

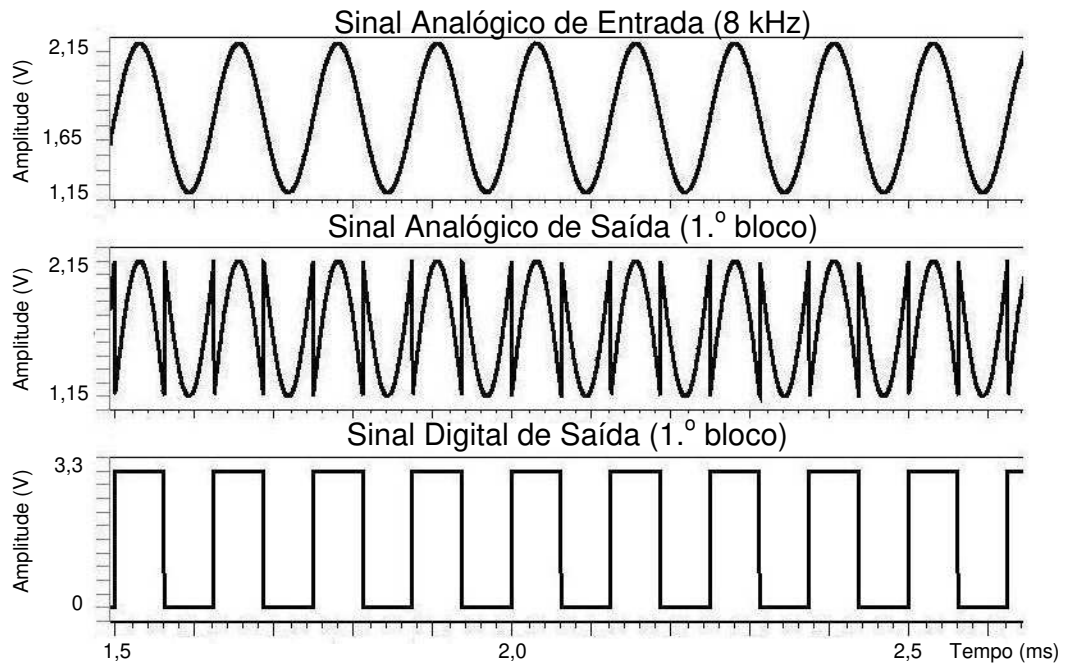
O conversor de canal deste trabalho foi construído também em modo tensão diferencial. As saídas de cada estágio são dadas por:

$$V_{saídap} = V_{DP}(2 \cdot V_{entn} + V_{refp}) + V_{DN}(2 \cdot V_{entn} + V_{refn}) \quad (5.8)$$

$$V_{saídan} = V_{DP}(2 \cdot V_{entp} + V_{refp}) + V_{DN}(2 \cdot V_{entp} + V_{refn}) \quad (5.9)$$

### 5.2.1 Funcionamento do conversor de canal

Com as mesmas condições de circuito e sinais, um conversor sem relógio de canal (*pipeline*) foi construído e simulado. Na figura 5.10, estão mostrados o sinal analógico de entrada, o sinal analógico de saída e o sinal digital de saída do primeiro bloco do conversor.

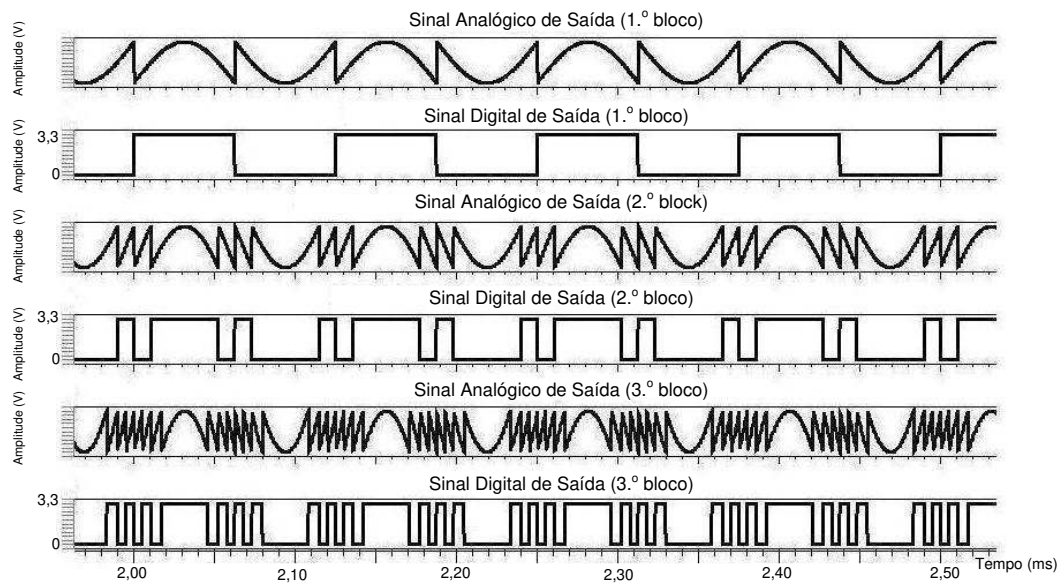


**Figura 5.10** Formas de onda dos sinais do primeiro bloco do conversor de canal.

Podem-se observar as transições abruptas que ocorrem no sinal analógico de saída (resíduo) do primeiro bloco. Essas transições não ocorrem no sinal analógico de saída do primeiro bloco do conversor de dobramento (v. figura 5.5).

Em todos os outros blocos, no conversor de canal é apresentado um número maior de transições do que no conversor de dobramento. Obviamente, quando se consideram juntos os limites dos amplificadores operacionais dos dois conversores, o desempenho dos amplificadores do conversor de canal deve ser melhor que a dos amplificadores do conversor de dobramento.

Os sinais de saída de 3 blocos do conversor de canal construído estão mostrados na figura 5.11. Diferentemente do conversor de dobramento, o conversor de canal pode ter mais de uma transição em suas saídas digitais em cada instante.



**Figura 5.11** Formas de onda dos sinais dos blocos do conversor de canal – 3 bits.

### 5.3 Resultados de Simulações com os Conversores Implementados com Macromodelos

As primeiras simulações dos conversores foram feitas utilizando componentes implementados com macromodelos SPICE para a ferramenta Eldo, da Mentor Graphics. Como num conversor analógico-digital sem relógio, utilizando uma amostragem por cruzamento de níveis, os parâmetros do circuito são fixados em função da relação sinal-ruído desejada. Essa foi a preocupação inicial em termos de especificações do circuito.

Para isso, foi tomado como exemplo o trabalho de Picolli et al. (2008), no qual um conversor de canal, sem relógio, de 10 bits, atingiu uma SNR de 55,4 dB e um número eficiente de bits (ENOB) de 9,91 bits.

Nos conversores implementados neste trabalho, foram calculadas as SNDRs. Para calcular a SNDR dos conversores, primeiro a saída digital é passada em um conversor digital-analógico (DAC) ideal. Segundo, a saída analógica em tempo contínuo do DAC é amostrada usando uma alta taxa de amostragem, se comparado com a faixa de frequência do sinal de entrada e, finalmente, uma transformada rápida de Fourier (FFT) é formada do sinal amostrado.

Em conversores sem relógio com amostragem por cruzamento de níveis, as amostras não são igualmente espaçadas no tempo, porque elas dependem da variação do sinal: quanto mais o sinal varia, mais amostras se têm nesse intervalo de tempo. Por isso, a frequência de



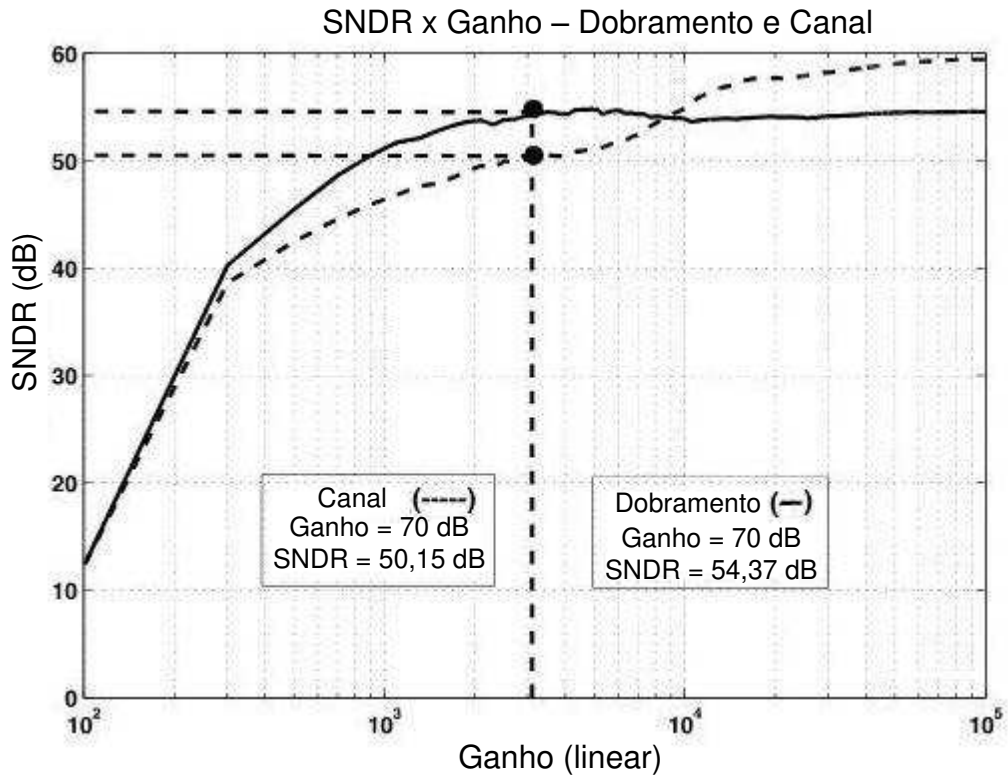
amostragem utilizada no cálculo da FFT foi determinada pela medida do menor tempo entre uma amostra e outra do sinal quantizado de saída do DAC ideal.

Mesmo utilizando macromodelos dos componentes, alguns parâmetros dos amplificadores operacionais e dos comparadores foram estimados por meio de simulações. Como o sinal de entrada é de baixa frequência, foi utilizado um amplificador operacional de 1 polo em cada estágio do conversor. Como o conversor implementado é de 8 bits, foram necessários 7 amplificadores operacionais e 8 comparadores. Dos amplificadores operacionais foram estimados o ganho de malha aberta e a posição do polo. E dos comparadores foram estimados a tensão de desvio, a histerese e o tempo de comutação.

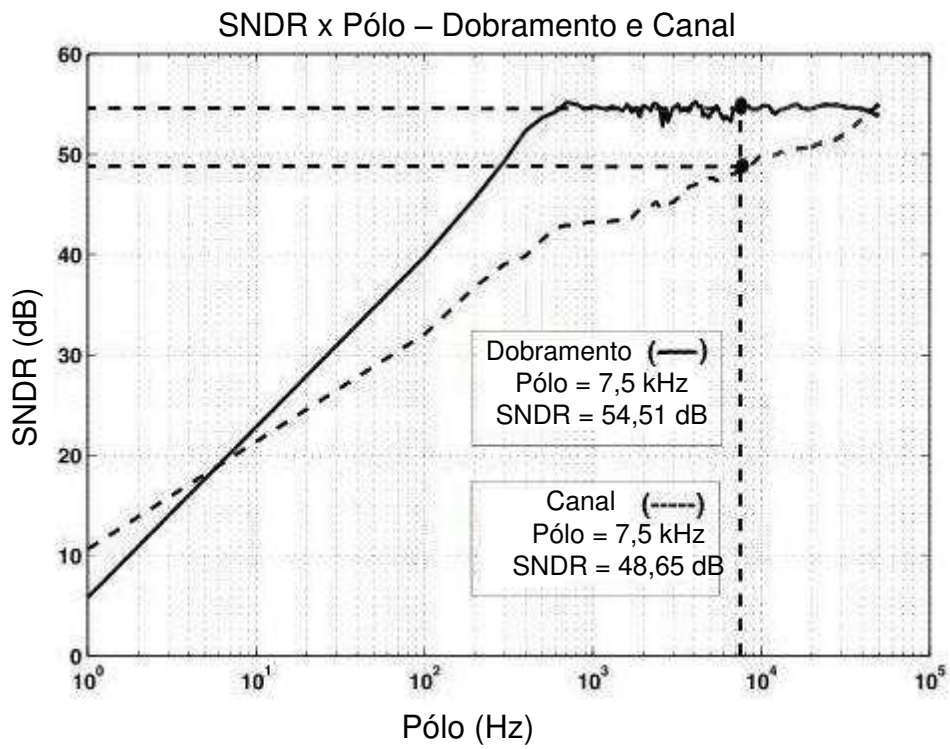
As simulações com os amplificadores foram feitas fixando um valor alto para a posição do polo e fazendo variar o ganho entre 10 e 100 dB, com uma variação linear de 100. Para cada ponto, foi calculada a SNDR e, após todos os cálculos, foram feitas curvas de variação para os dois conversores. A partir daí, pôde-se escolher o ganho de malha aberta para os amplificadores de cada conversor.

A curva de ganho *versus* SNDR, para os dois conversores, é mostrada na figura 5.12.

Da mesma forma foi feito para estimar a posição do polo. Fixou-se um ganho alto, em torno de 80 dB, e variou-se a posição do polo, de 1 Hz a 15 kHz, com passos de 100 Hz. Em cada ponto foi calculada a SNDR e, após todos os cálculos, curvas de variação para os dois conversores foram feitas. A partir daí, pôde-se escolher a posição do polo para os amplificadores de cada conversor. A curva da posição do polo *versus* SNDR é mostrada na figura 5.10.



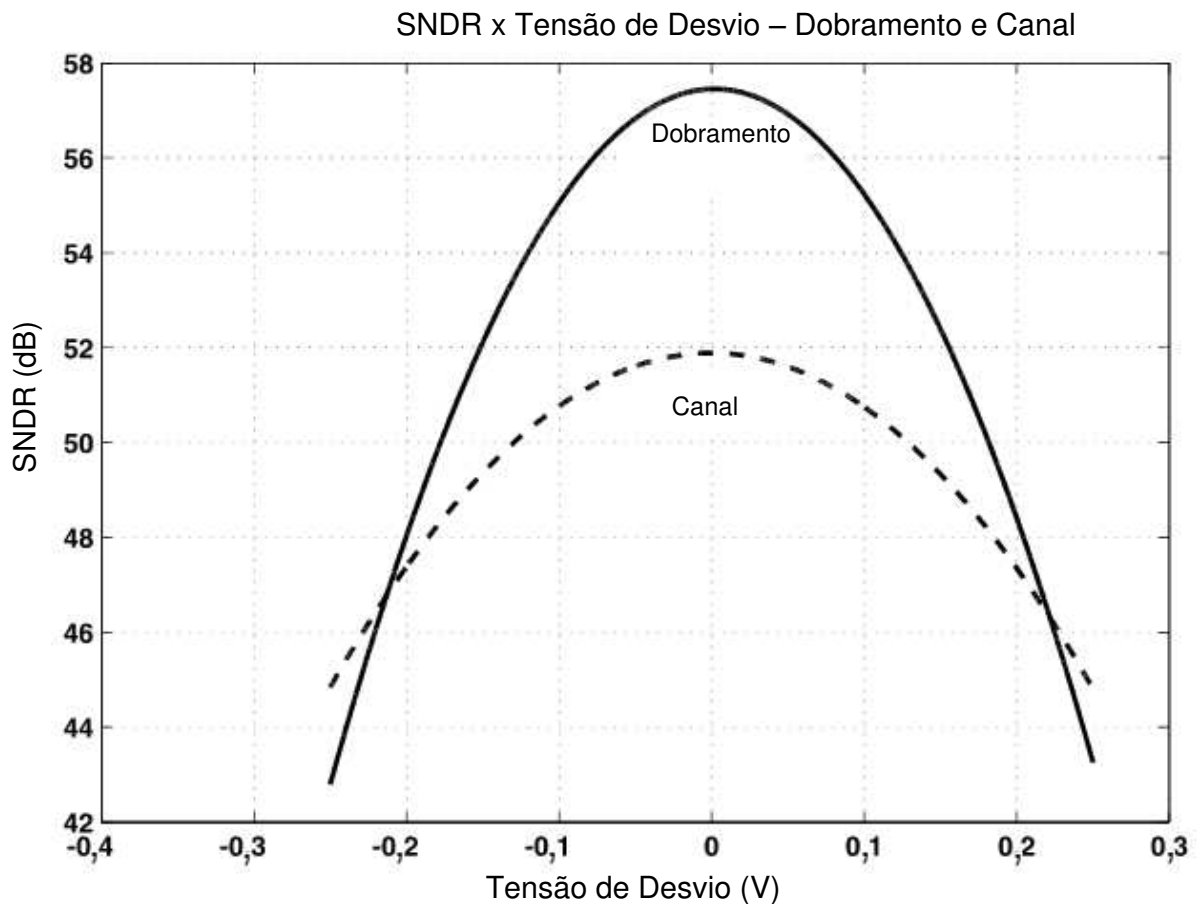
**Figura 5.12** Simulação Ganho x SNDR – os dois conversores.



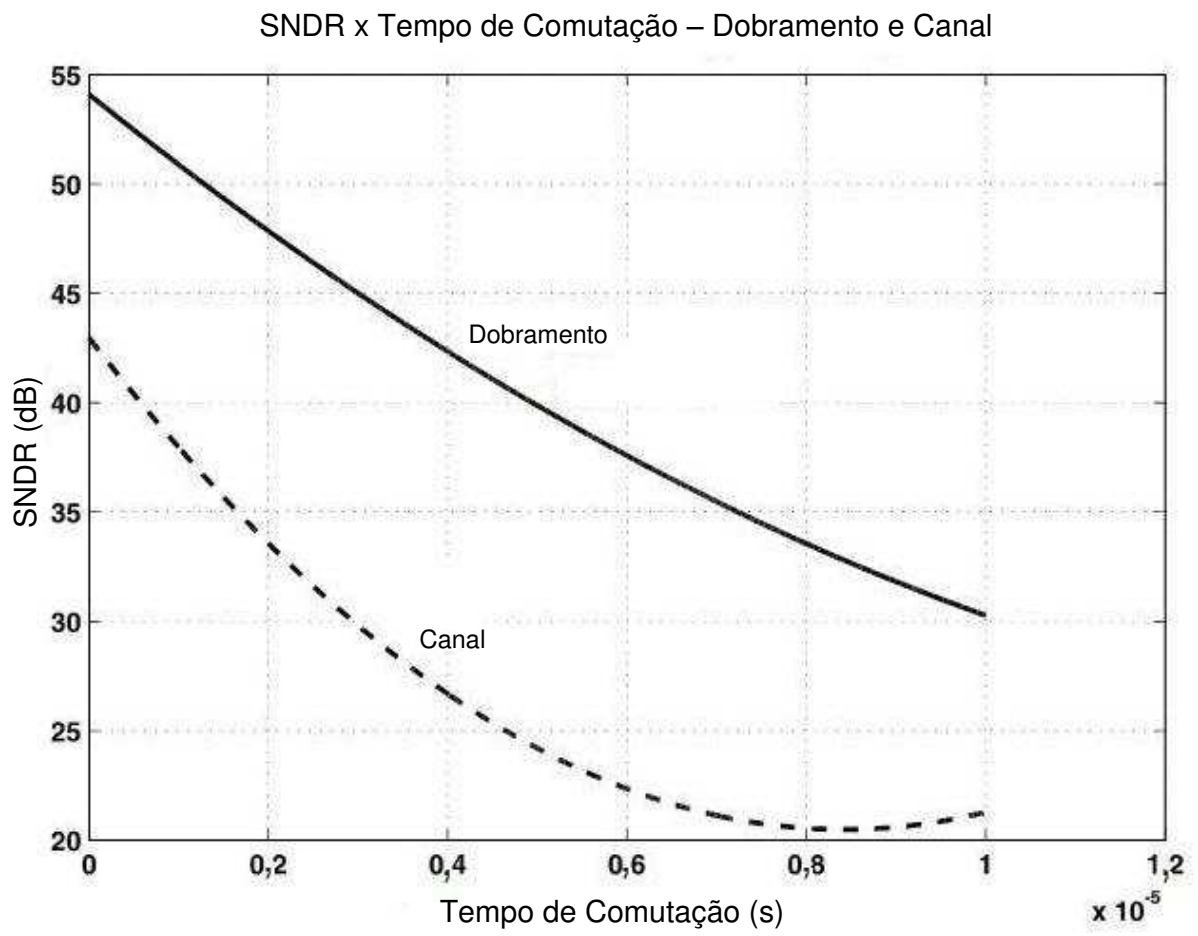
**Figura 5.13** Simulação Ganho x SNDR – os dois conversores.

As mesmas simulações foram feitas para a determinação de três parâmetros dos comparadores: tensão de desvio, tempo de comutação e histerese. A metodologia empregada seguiu a mesma linha da metodologia empregada na determinação dos parâmetros dos amplificadores operacionais: fixar dois parâmetros em valores de melhor desempenho e fazer variar o terceiro parâmetro, calculando em cada etapa a SNDR do conversor.

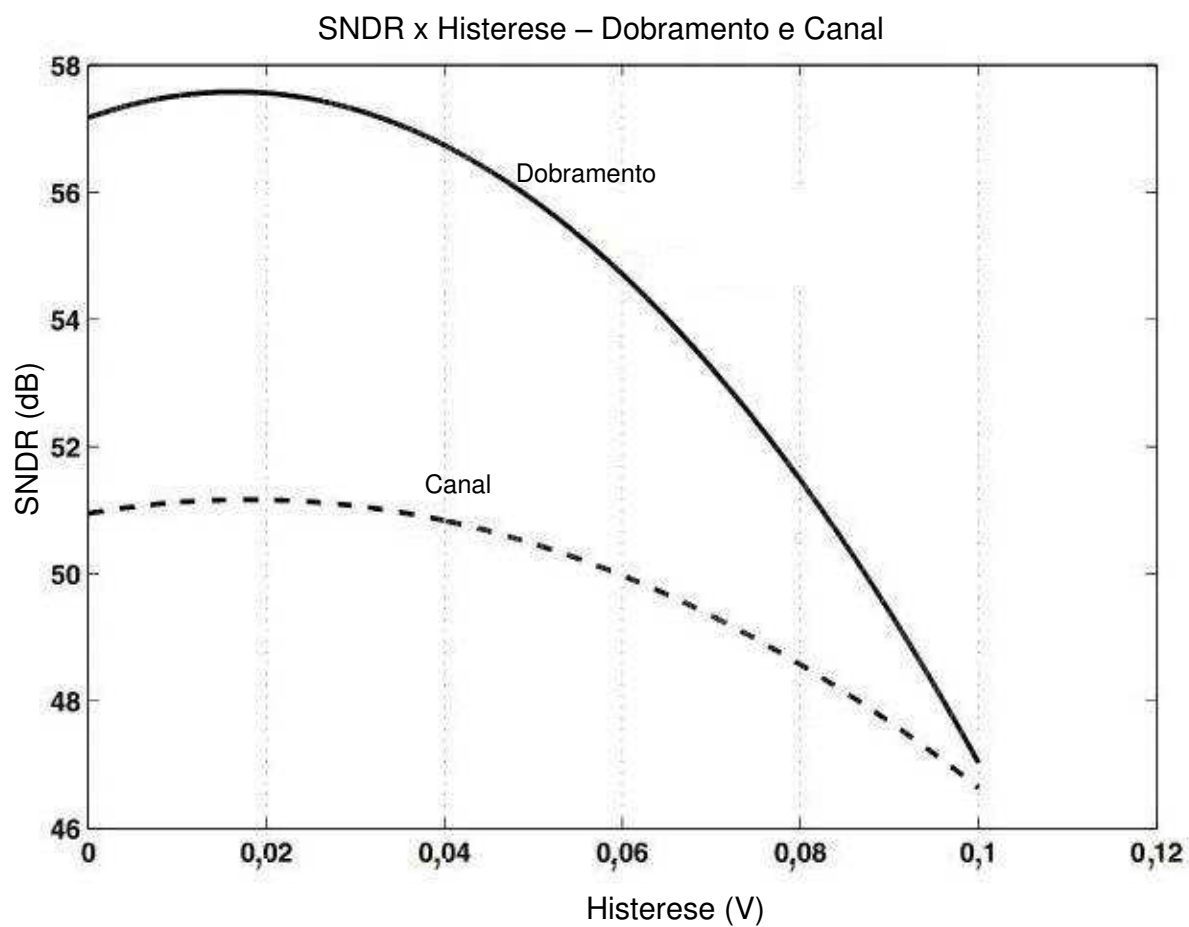
As curvas representativas das simulações feitas com os parâmetros dos comparadores estão mostradas nas figuras 5.14, 5.15 e 5.16. Na figura 5.14 é apresentada a curva SNDR *versus* tensão de desvio; na figura 5.15 é apresentada a curva SNDR *versus* tempo de comutação; e na figura 5.16 é apresentada a curva SNDR *versus* histerese.



**Figura 5.14** SNDR x Tensão de desvio – Comparadores.

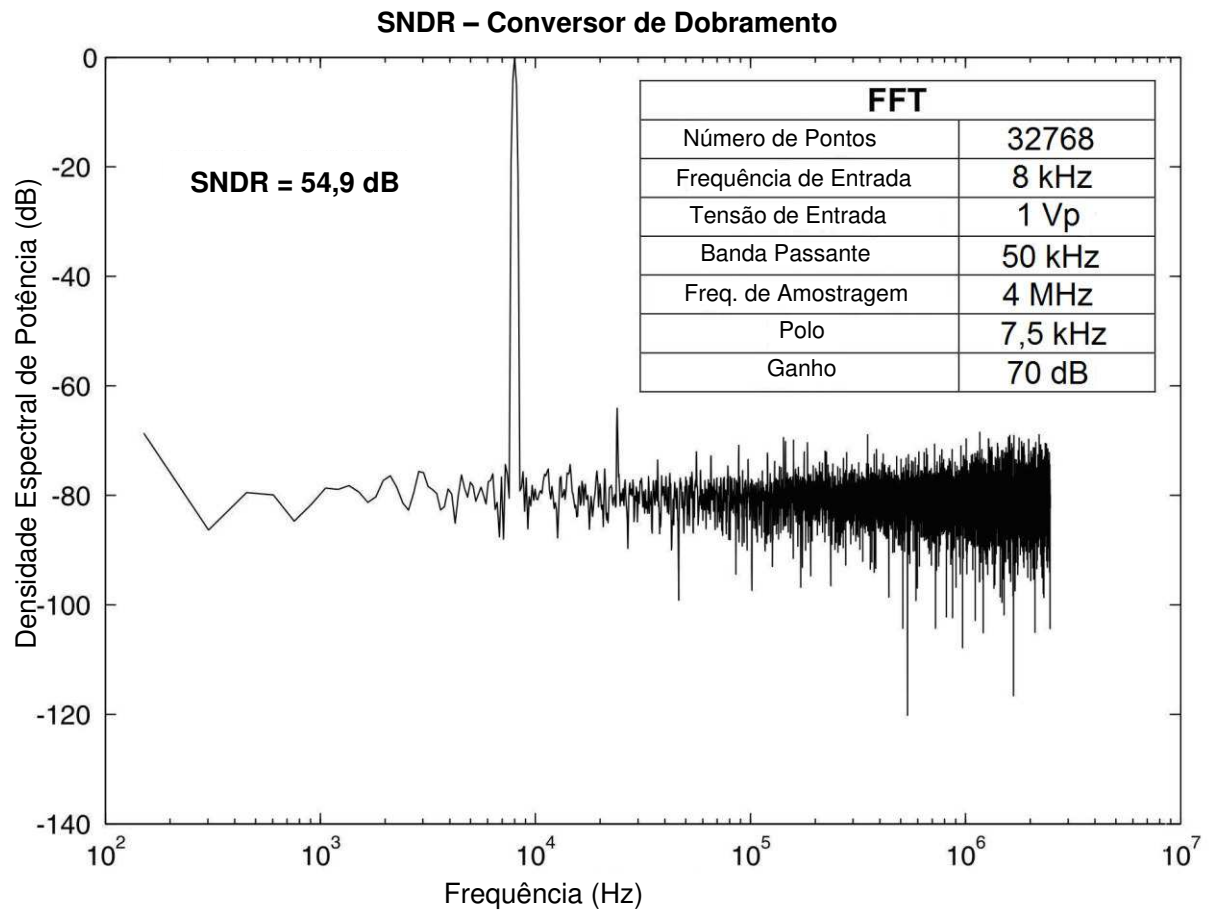


**Figura 5.15** SNDR x Tempo de Comutação – Comparadores.

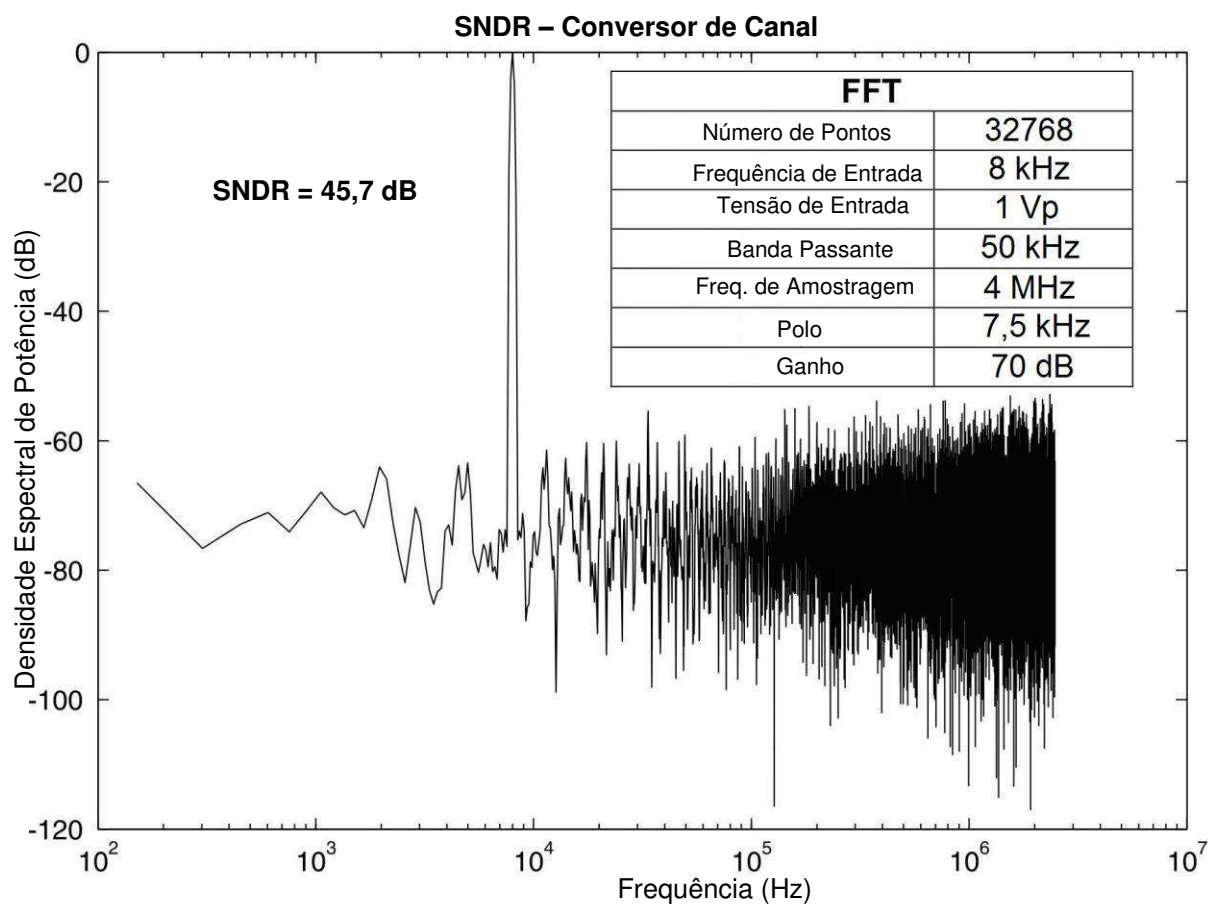


**Figura 5.16** SNDR x Histerese – Comparadores.

Com os parâmetros definidos, tanto dos amplificadores como dos comparadores, as FFTs dos dois conversores foram calculadas. As FFTs, junto com a SNDR, dos dois conversores simulados com macromodelos estão mostradas nas figuras 5.17 e 5.18.



**Figura 5.17** SNDR e FFT do sinal de saída gerado pelo conversor de dobramento.



**Figura 5.18** SNDR e FFT do sinal de saída gerado pelo conversor de canal.

No gráfico mostrado na figura 5.17, para o conversor *folding*, podem-se ver harmônicos e sub-harmônicos com amplitude máxima de -60 dB. Já no gráfico mostrado na figura 5.18, para o conversor *pipeline*, verifica-se a existência de harmônicos e sub-harmônicos com amplitude de mais de -50 dB. Isso justifica a diferença de resultado na medição da SNDR para os dois conversores, e é explicada pelo aumento do número de transições dos sinais residuais de cada bloco dos dois conversores.

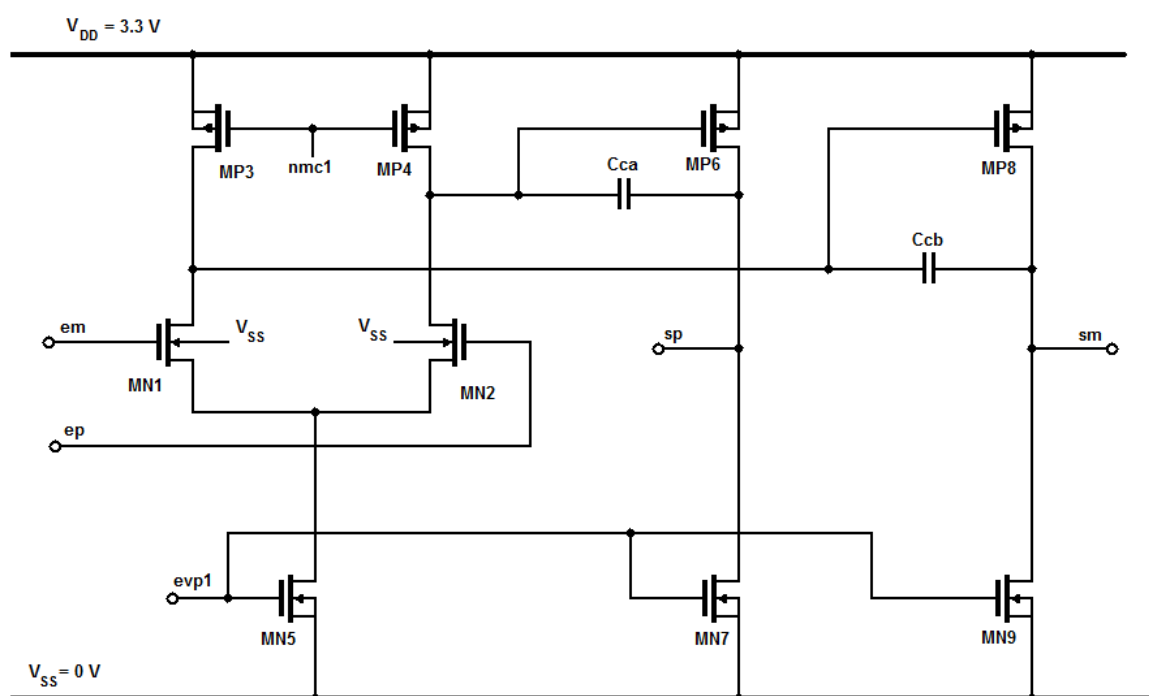
A maior quantidade de harmônicos e sub-harmônicos nas frequências altas é justificada pelo fato de os conversores assíncronos só possuírem o ruído de quantização, e como sinais com frequências mais altas possuem mais pontos de quantização, nessas mesmas frequências esse ruído é maior.

#### 5.4 Construindo os Blocos em Nível de Transistor

Os blocos dos conversores foram implementados em nível de transistor utilizando uma tecnologia padrão de 0,35  $\mu\text{m}$ . A utilização dessa tecnologia deve-se ao fato de os conversores operarem com sinais de baixa frequência nas simulações.

O amplificador operacional utilizado nos conversores implementados está mostrado na figura 5.19, sendo um amplificador de dois estágios que utiliza a técnica Miller para compensação de frequência. Os nomes MN e MP denotam transistores NMOS (transistores de efeito de campo de semicondutores metal-óxido tipo N) e PMOS (transistores de efeito de campo de semicondutores metal-óxido tipo P), respectivamente. Tipo N e tipo P querem dizer que o canal do transistor é tipo N (Negativo) ou tipo P (Positivo). (RAZAVI, 2001).

A utilização de amplificadores operacionais diferenciais trouxe várias vantagens como maior rejeição ao ruído da alimentação, uma maior excursão do sinal de saída, etc., mas também possibilitou uma maior semelhança em termos de circuito entre o conversor de dobramento e o conversor de canal.



**Figura 5.19** Diagrama do amplificador operacional de dois estágios utilizado nos conversores.

O primeiro estágio do amplificador, formado pelos transistores MN1, MN2, MP3, MP4 e MN5, é configurado como par diferencial com carga ativa. Nesse estágio, os transistores operam na saturação, sendo utilizados em aplicações que requeiram um ganho de tensão grande num simples estágio. (RAZAVI, 2001).

O segundo estágio, formado pelos transistores MP6, MN7, MP8 e MN9, é tipicamente configurado como fonte comum simples para permitir uma máxima excursão do sinal de saída.



As dimensões dos transistores do amplificador são mostradas na tabela 5.1, e as especificações do amplificador são mostradas na tabela 5.2.

**Tabela 5.1** Dimensões dos transistores do amplificador.

<b>Transistores</b>	<b>W/L (<math>\mu\text{m}/\mu\text{m}</math>)</b>
MN1, MN2	10,55/0,65
MP3, MP4, MP6, MP8	35,15/0,65
MN5, MN7, MN9	23,45/0,65

**Tabela 5.2** Especificações do amplificador.

<b>A<sub>o</sub></b>	<b>71,65 dB</b>
<b>F<sub>T</sub></b>	<b>45,2 MHz</b>
<b>SR</b>	<b>23,5 V/<math>\mu\text{s}</math></b>
<b>Consumo</b>	<b>0,63 mW</b>

O valor dos capacitores usados na utilização da técnica Miller para compensação da frequência foi de 0,0821 pF.

O comparador utilizado nos conversores é mostrado na figura 5.20. Ele é um amplificador operacional, formado pelos transistores MN1, MN2, MP3, MP4 e MN5, configurado como par diferencial com carga ativa, igual ao primeiro estágio do amplificador utilizado (v. fig. 5.19).

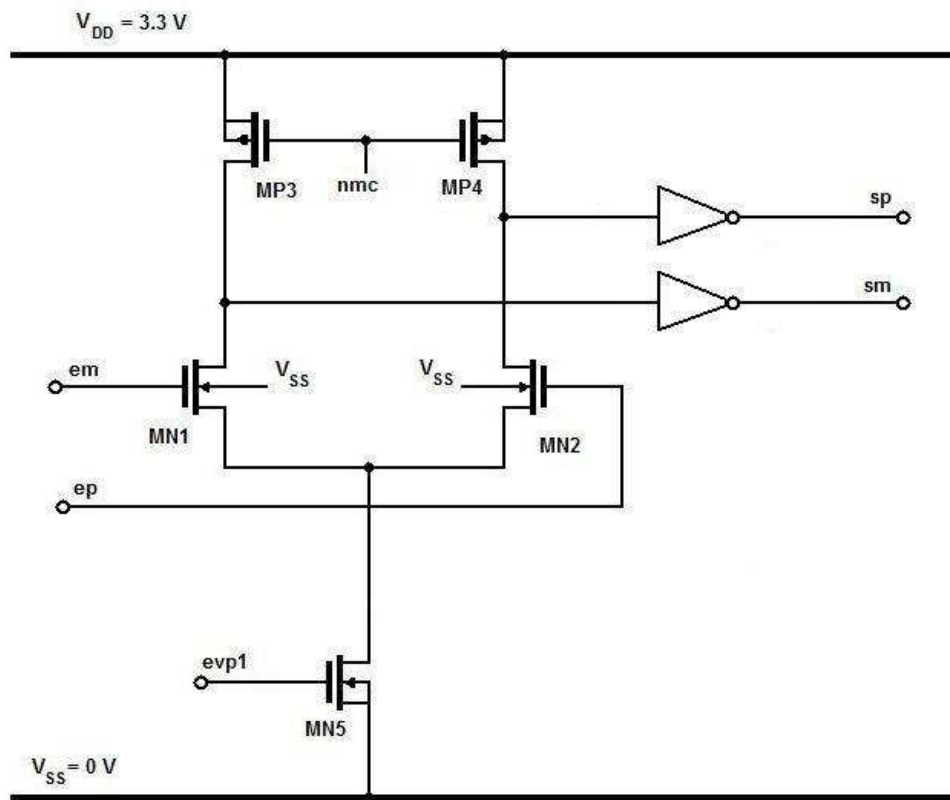
Dois inversores foram adicionados às saídas do comparador para garantir o ganho requerido. As dimensões dos transistores utilizados no comparador são mostradas na tabela 5.3, e as especificações do comparador são mostradas na tabela 5.4.

**Tabela 5.3** Dimensões dos transistores do comparador.

<b>Transistores</b>	<b>W/L (<math>\mu\text{m}/\mu\text{m}</math>)</b>
MN1, MN2	127,6/13,7
MP3, MP4	352,65/13,7
MN5	140,8/13,7

Tabela 5.4 Especificações do comparador.

<b>Ao</b>	<b>60,01 dB</b>
<b>F<sub>T</sub></b>	<b>51,6 MHz</b>
<b>SR</b>	<b>65,4 V/μs</b>
<b>Consumo</b>	<b>0,14 mW</b>



**Figura 5.20** Diagrama do amplificador operacional utilizado como comparador nos conversores.

Para construir as chaves, foram utilizados transistores NMOS. Quando fechada, cada chave tem um valor de resistência de 28,5 Ω (ohms). Os resistores utilizados nas entradas do amplificador possuem resistências de valores iguais a 100 kΩ, e os resistores utilizados na malha de realimentação e na entrada das tensões de referência são de valor igual a 200 kΩ. Esses resistores possuem valores de resistência suficientemente grandes para evitar um aumento significativo da potência consumida pelo amplificador e pequenos o bastante para que os resistores ocupem uma área razoável.

## 5.5 Conclusão

Nas secções precedentes deste capítulo foram mostrados os detalhes dos projetos dos dois conversores utilizados neste trabalho, um conversor de dobramento (*folding*), sem relógio, de 8 bits, e um conversor de canal (*pipeline*), também sem relógio, de 8 bits.

Foi também mostrado o funcionamento detalhado dos dois conversores, principalmente por meio dos fluxogramas de funcionamento e das arquiteturas utilizadas em cada estágio.

Para finalizar o capítulo, foram mostrados, na última seção, o amplificador operacional e o comparador, em nível de transistor CMOS, utilizados nos dois conversores.

No capítulo 6, serão mostradas as etapas da confecção do leiaute do circuito integrado do conversor analógico-digital de dobramento proposto com o DK XH035, da X-FAB.

## CAPÍTULO 6

### CONCEPÇÃO DO CIRCUITO INTEGRADO DO CONVERSOR A/D

Neste capítulo, são mostradas as etapas da confecção do leiaute do circuito integrado do conversor analógico-digital de dobramento, sem relógio, proposto.

O leiaute de um circuito integrado define as figuras geométricas que aparecerão nas máscaras usadas no processo de fabricação. (RAZAVI, 2001). Nesse processo, foram utilizadas algumas técnicas de confecção de leiaute de circuitos analógicos, como a análise da utilização de transistores multiportas, cuidados com a simetria, com a distribuição das tensões de referência e com os componentes passivos. Sendo assim, algumas mudanças foram realizadas em comparação com o circuito original do conversor A/D descrito na seção 5.4.

#### 6.1 Kit de Projeto (*Design Kit*) Utilizado

O objetivo de projetar um circuito analógico é transformar especificações em circuitos que satisfaçam as especificações (topologias, esquemático, *netlist* e leiaute). O projetista deve conhecer profundamente o processo de circuitos integrados para modelar, projetar, realizar o leiaute e testar os *chips*, considerando fatores como confiabilidade da metodologia de projeto, modelagem e caracterização da tecnologia.

Pelos conhecimentos adquiridos, e para facilitar o processo de envio para a fabricação do circuito integrado, o *design kit* (DK) utilizado foi mudado para o XH035, da X-FAB. Essa mudança ocorreu porque no Laboratório de Instrumentação e Metrologia Científicas (LIMC), da UFCG, não havia o DK da AMS, com o qual o trabalho foi iniciado. Então, procurou-se um DK com transistores de mesmo valor de  $L$  mínimo —  $0,35\ \mu\text{m}$  —, e que possibilitasse, ao final do projeto, a fabricação do circuito integrado. O DK XH035 é um *kit* básico da X-FAB para a produção de circuitos integrados com uma das tecnologias modulares CMOS de sinal misto. Nesse caso, a tecnologia utilizada foi a  $0,35\ \mu\text{m}$ .

#### 6.2 Projeto do Novo Amplificador

O efeito de dobramento que cada bloco do conversor efetua no sinal de entrada causa a exigência de requisitos, para o amplificador a ser utilizado no conversor, de um ganho alto, maior que 50 dB, um *slew rate* alto, maior que  $20\ \text{V}/\mu\text{s}$ , e também um produto ganho x banda passante maior que 40 MHz. Todas essas especificações proporcionaram, com esse DK, uma SNDR maior ou igual a 50 dB do ADC proposto. A frequência do sinal de entrada no

primeiro bloco, que é de 8 kHz, chega ao oitavo bloco com mais de 2 MHz. Por isso, o sinal, ao chegar no último bloco, terá um período de 500 ns.

Define-se o *slew rate* (SR) de um amplificador como sendo a máxima variação da tensão de saída por unidade de tempo. Normalmente o SR é dado em V/ $\mu$ s. Para encontrar o *slew rate* necessário de um amplificador é necessário identificar os pontos de máxima variação do sinal de entrada e então estimar esta variação. Para isso precisa-se derivar o sinal de entrada e determinar os pontos de máximo valor do sinal derivado. Multiplicando o valor máximo pelo ganho, obtêm-se o *slew rate* necessário para o amplificador.

No ADC descrito na seção 5.4, o sinal analógico de entrada é um sinal senoidal descrito pela expressão  $V_P \sin(\omega t)$ , na qual  $V_P$  é o valor de pico ( $V_P = 0,5$  V) e  $\omega t$  é a frequência angular multiplicada pelo instante  $t$ , que é definida como sendo igual a  $2\pi f t$ .

A derivada do sinal senoidal é um sinal cossenoidal multiplicado por  $\omega$ , cujos valores máximos positivos ocorrem nos instantes  $t = 0$  e  $t = 2\pi$ . No instante  $t = 0$  o valor do sinal derivado é igual a  $2\pi f V_P$ . Multiplicando-se o valor máximo do sinal derivado pelo ganho, teremos o *slew-rate* necessário para o amplificador.

No ADC descrito na seção 5.4, o sinal analógico de entrada passa por 8 blocos em série, cada bloco contendo um amplificador de ganho 2. A frequência do sinal de entrada é 8 kHz. Multiplicando o ganho dos oito blocos (2 elevado a 8) por  $V_P 2\pi f$  obtêm-se o valor de 6,44 V/ $\mu$ s, que é o *slew-rate* necessário para que os amplificadores respondam às variações do sinal de entrada do ADC.

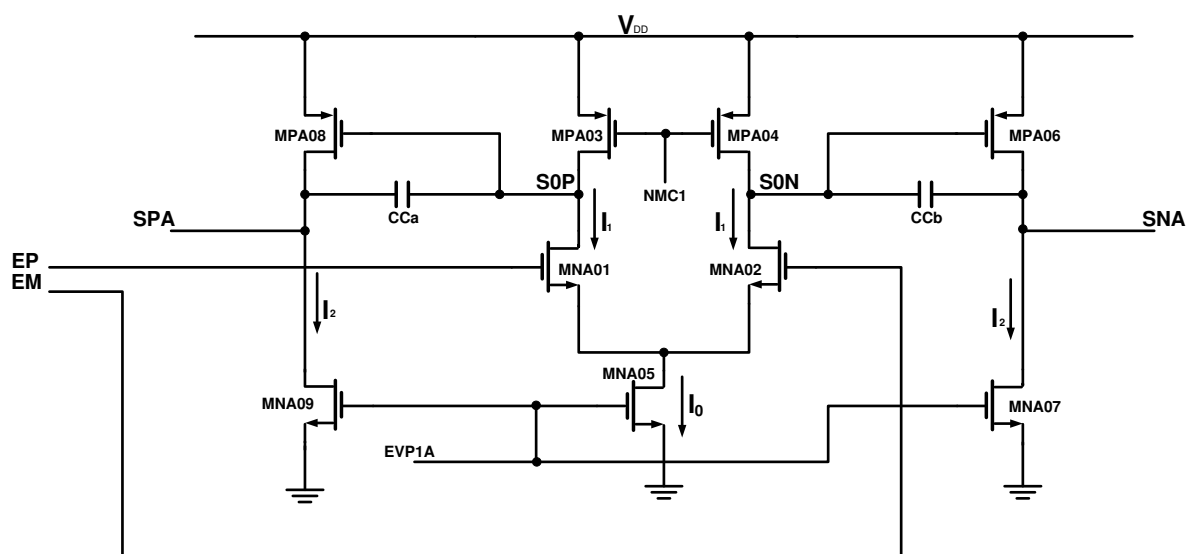
Para estimar o valor do *slew-rate* do conversor depois do circuito estar em nível de transistor, foram realizadas simulações colocando-se um sinal degrau na entrada do conversor com a máxima inclinação possível permitida pelo simulador, e depois comparando a saída do conversor, após passar por um DAC ideal, com o sinal degrau de entrada. Por meio de simulações, obteve-se o resultado de 20 V/ $\mu$ s.

Segundo Allen e Holberg (2002), os passos para o projeto de um amplificador operacional CMOS são:

- Escolha ou criação da estrutura básica do amplificador operacional;
- Seleção das correntes  $I_{CC}$  e dos tamanhos dos transistores;
- Implementação física do projeto;
- Fabricação;
- Medições.

A etapa de escolha ou criação da estrutura básica resulta no esquemático do circuito mostrando os transistores e suas interconexões. O diagrama do amplificador não muda durante todo o restante do projeto, a menos que as especificações não sejam satisfeitas. Então, algumas modificações deverão ser feitas ou uma nova estrutura deverá ser projetada.

Sendo assim, optou-se por manter a mesma topologia empregada para o amplificador operacional mostrada, e já explicada, no Capítulo 5.



**Figura 6.1** Diagrama do amplificador operacional utilizado no conversor.

Na etapa da seleção das correntes cc e dos tamanhos dos transistores está a parte mais demorada do trabalho. Utilizaram-se exaustivamente as ferramentas de projeto e simulação da Mentor Graphics, principalmente o Eldo, para determinação dos valores das tensões de polarização, das correntes cc e das dimensões dos transistores.

Na figura 6.1, as correntes do primeiro estágio do amplificador operacional são:

$$I_1 = 10 \mu\text{A} \text{ e } I_0 = 20 \mu\text{A}$$

Essas correntes são determinadas em função do consumo de energia. O projetista é livre para escolher qualquer valor de corrente. Uma corrente alta aumenta o ganho do estágio, mas, ao mesmo tempo, aumenta o consumo de energia do circuito.

As tensões NMC1 e EVPA1 foram ajustadas para os mesmos valores do circuito projetado com o DK anterior, ou seja, NMC1 = 2,44 V e EVPA1 = 0,736 V.

Com essas configurações, determinaram-se os valores dos transistores MNA01, MNA02, MPA03, MPA04, MNA05, MPA06, MNA07, MPA08 e MNA09. As dimensões dos

transistores MNA01 e MNA02 são as mesmas, e as dimensões dos transistores MPA03 e MPA04 também são as mesmas. A mesma coisa acontecendo com os transistores MPA06 e MPA08, e MNA07 e MNA09, respectivamente.

Mas com os valores de tensão de polarização herdados do projeto anterior, o ganho do amplificador operacional chegou a um máximo de 40 dB, valor baixo para os requisitos do circuito do conversor A/D.

A partir daí, foi necessária uma pequena mudança no valor de uma das tensões de polarização para poder obter um ganho maior na configuração. Sendo assim, a tensão NMC1 passou de 2,44 V para 2,25 V.

Os valores das dimensões dos transistores do primeiro estágio do amplificador operacional de dois estágios mostrado na figura 6.1 foram determinados com os valores de tensões e correntes mostrados na tabela 6.1.

**Tabela 6.1** Dimensões dos transistores do primeiro estágio do amplificador operacional.

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ ) (M=1)
MNA01, MNA02	1,250/0,350
MPA03, MPA04	23,800/2,000
MNA05	3,825/0,350

O segundo estágio do amplificador operacional foi projetado com uma corrente  $I_2 = 100 \mu\text{A}$ . Com essa corrente, como a saída de um amplificador operacional vai alimentar as chaves na entrada de outro amplificador operacional, o *slew rate* necessário é atingido.

Os valores das dimensões dos transistores do segundo estágio do amplificador operacional de dois estágios mostrado na figura 6.1 estão discriminados na tabela 6.2.

**Tabela 6.2** Dimensões dos transistores do segundo estágio do amplificador operacional.

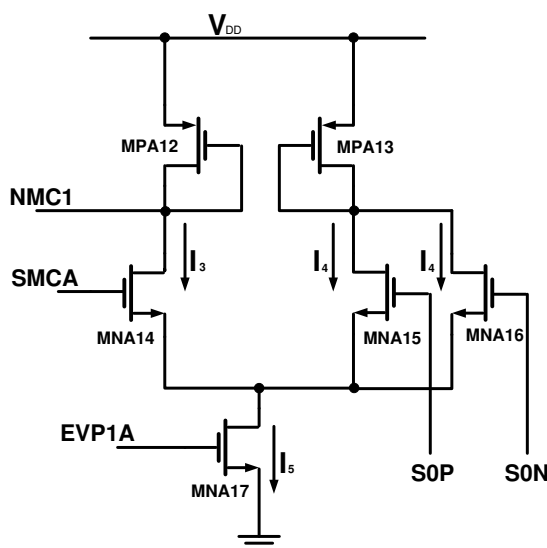
Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ ) (M=1)
MNA07, MNA09	80,250/1,000
MPA06, MPA08	11,100/0,350

Além de dimensionar os transistores do amplificador operacional propriamente dito, foi necessário projetar um circuito de realimentação de modo comum (*Common Mode Feedback Circuit*). Esse circuito é necessário por causa da indefinição do ganho de modo

comum de uma topologia de saída diferencial, e, sendo assim, um sinal de modo comum na entrada poderá causar uma tensão de modo comum indesejável na saída. (ALLEN; HOLBERG, 2002).

A tensão de modo comum na saída é estabilizada coletando-se a tensão de modo comum na saída e usando uma realimentação negativa para ajustar a tensão de modo comum para o valor desejado. No circuito do amplificador operacional (v. figura 6.1), a tensão de modo comum é coletada na saída do primeiro estágio, e um circuito de realimentação negativa gera uma tensão de 2,25 V na entrada MNC1.

As tensões de saída do primeiro estágio, SOP e SON, são ligadas às portas dos transistores MNA15 e MNA16, como mostrado na figura 6.2. A tensão de saída para a polarização do primeiro estágio do amplificador operacional sai nos drenos dos transistores MPA12 e MNA14. E na porta do transistor MNA14 entra a tensão de modo comum desejada, ou seja, 2,25 V (entrada SMCA).



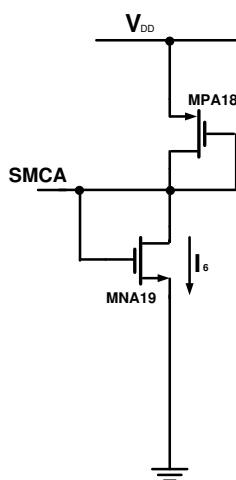
**Figura 6.2** Diagrama do circuito de realimentação de modo comum.

As correntes  $I_3$ ,  $I_4$  e  $I_5$ , do circuito mostrado na figura 6.2, têm os valores de  $80 \mu\text{A}$ ,  $40 \mu\text{A}$  e  $160 \mu\text{A}$ , respectivamente. Esses valores de corrente foram escolhidos para possibilitar que uma máxima variação na tensão de modo comum provocasse, no máximo, 10% de variação na corrente do circuito de realimentação de modo comum. E a justificativa para a utilização do circuito da figura 6.2 para a realimentação de modo comum é que a impedância de entrada do circuito de realimentação de modo comum deve ser muito maior que a impedância de saída do amplificador operacional para evitar a diminuição do ganho de malha aberta. (RAZAVI, 2001).



Após o dimensionamento dos transistores do amplificador operacional e do circuito de realimentação de modo comum, foi feito o dimensionamento dos transistores do circuito para geração da tensão de polarização EVP1A e das tensões de referência  $V_{\text{refp}}$  e  $V_{\text{refn}}$ . Inicialmente, pensou-se em projetar um circuito de referência de *bandgap*, mas, diante dos excelentes resultados com as tensões geradas por apenas dois transistores, optou-se pela sua utilização.

No circuito mostrado na figura 6.3, utilizam-se dois transistores, um PMOS e um NMOS, funcionando na saturação e com os seus drenos e portas conectados.



**Figura 6.3** Circuito da tensão de referência SMCA.

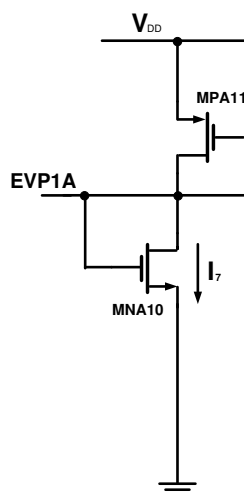
No circuito mostrado na figura 6.3, a corrente  $I_6$  tem o valor de  $100 \mu\text{A}$ , e a tensão SMCA é de  $1,65 \text{ V}$ . Com o circuito e os valores da tensão e da corrente, as dimensões dos transistores são mostradas na tabela 6.3.

**Tabela 6.3** Dimensões dos transistores do circuito da tensão de referência SMCA.

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ ) (M=1)
MPA18	2,125/0,350
MNA19	0,700/0,350

O circuito projetado para gerar a tensão de polarização EVP1A, também composto de dois transistores, um PMOS e um NMOS, é mostrado na figura 6.4. A corrente  $I_7$  tem o valor de  $100 \mu\text{A}$ , e a tensão de polarização EVP1A foi ajustada em  $0,736 \text{ V}$ .

Com o circuito e os valores da tensão e da corrente, as dimensões dos transistores foram determinadas, e estão mostradas na tabela 6.4.



**Figura 6.4** Circuito da tensão de referência EVPA1.

**Tabela 6.4** Dimensões dos transistores do circuito da tensão de referência SMCA.

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ ) (M=1)
MPA11	0,725/0,350
MNA10	17,450/0,350

Todos os transistores utilizados foram do tipo MOS (*Core MOS Module*), polissilício simples e metal triplo CMOS, com  $3,3 \text{ V}$  de tensão de alimentação.

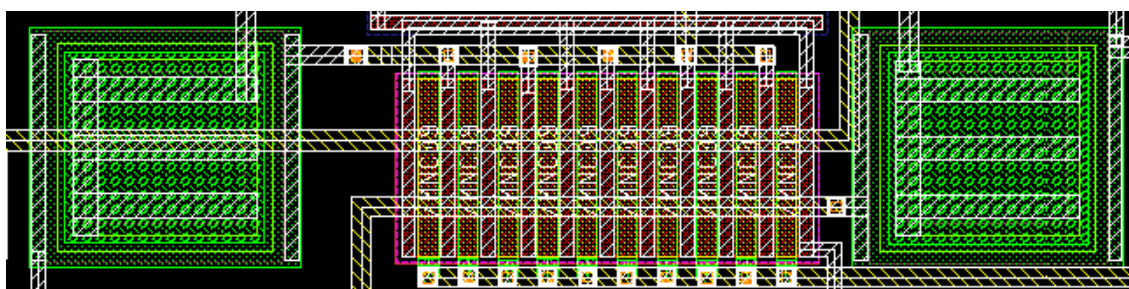
### 6.3 Capacitores

Os capacitores de compensação Miller,  $C_{ca}$  e  $C_{cb}$ , foram escolhidos do tipo *Cap poly*, capacitor construído com o polissilício 1 e o polissilício 2, e que é um dispositivo de 3 terminais. O pino do meio de cada capacitor deve ser ligado ao terminal de potencial mais baixo da fonte de alimentação do circuito. Todo capacitor desse tipo tem o nome de *cpp* e tem uma capacitância típica de  $0,85\text{fF}/\mu\text{m}^2$ .

O valor dos capacitores de compensação foi de  $0,02\text{ pf}$ , valor esse encontrado com a relação entre a corrente do primeiro estágio e o *slew rate* mínimo requerido, segundo a equação:

$$C_{Ca} = C_{Cb} = \frac{I_0}{SR} \quad (6.1)$$

As dimensões encontradas para os capacitores de compensação foram:  $W = 3,50\ \mu\text{m}$  e  $L = 6,575\ \mu\text{m}$ , com uma área de  $23,01\ \mu\text{m}^2$  e um perímetro de  $20,15\ \mu\text{m}$ . As capacitâncias parasitas nas extremidades desses capacitores foram de  $6,2\ \text{fF}$  e  $1,7\ \text{fF}$ . A geometria dos capacitores é mostrada na Figura 6.5.



**Figure 6.5** Capacitores (na cor verde).

### 6.4 Resistores

Depois de dimensionar os transistores e capacitores dos amplificadores operacionais e os transistores dos circuitos de referência do amplificador operacional, foram dimensionados os resistores utilizados na configuração do amplificador. Os resistores utilizados foram os do tipo XRPOLY (*Very High Resistance Polysilicon – 1 module*). É um tipo de resistor de polissilício de valor muito alto. Todo resistor desse tipo tem o nome de

$r_{hp1}$  e possui uma resistência de  $10 \text{ k}\Omega/\square^1$  (valor da resistência por quadrado de polissilício em resistores utilizados em circuitos<sup>2</sup> integrados).

Os valores das resistências dos resistores R no diagrama esquemático mostrado na figura 6.6 são de  $200 \text{ k}\Omega$ , e, conseqüentemente, os valores dos resistores de valor  $R/2$  são de  $100 \text{ k}\Omega$ . Esses resistores são componentes de 3 terminais, sendo que o terminal do meio deverá sempre estar ligado ao terminal de potencial mais baixo da fonte de alimentação do circuito, como ocorre nos capacitores.

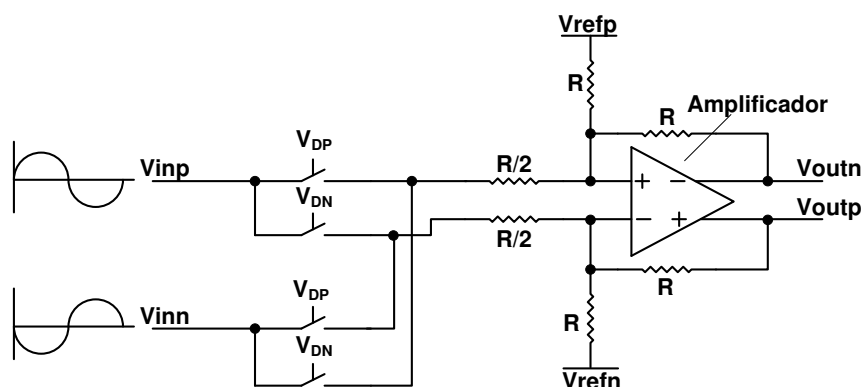
O bem conhecido exemplo de ruído em elementos é o “ruído térmico” ou “*Johnson Noise*” ou “*Nyquist Noise*” produzido por um resistor. Pode ser representado por um resistor ideal sem ruído com uma fonte de tensão de ruído em série, ou com uma fonte de corrente de ruído em paralelo. A densidade espectral de potência do ruído térmico em um resistor é obtida a partir de  $\sigma_n = 4kTR$ . Para se saber a potência gerada por um resistor, deve-se especificar a faixa de freqüências (em geral a banda passante do sistema),  $\sigma_n^2 = 4kTR\Delta f$ . Para uma dada largura de banda, a raiz do valor quadrático médio (rms) da tensão,  $v_n$ , é dado por  $\sqrt{4kTR\Delta f}$ . No caso do ADC proposto neste trabalho, o valor da tensão de ruído foi de, aproximadamente,  $300 \text{ nV}$ , o que foi considerado desprezível em razão da faixa dinâmica do sinal de entrada.

Os resistores com valor de  $200 \text{ k}\Omega$  ficaram com a dimensão de  $L = 40,375 \mu\text{m}$  e  $W = 2,000 \mu\text{m}$ ; e os resistores de  $100 \text{ k}\Omega$  ficaram com a dimensão de  $L = 20,375 \mu\text{m}$  e  $W = 2,000 \mu\text{m}$ .



**Figure 6.6** Resistores.

<sup>2</sup>  $\Omega/\square$  – Normalmente os resistores em circuitos integrados são feitos com polissilício. Como a espessura do polissilício é um dado da tecnologia de fabricação, a resistência de um resistor é dada por quadrados de polissilício ( $R = \rho(L/A)$ ). O tamanho do lado é aumentado quando se precisa passar mais corrente pelo resistor.



**Figura 6.7** Configuração do esquemático com amplificador, resistores e chaves.

## 6.5 Chaves

Com o uso de simulações, foram dimensionados os transistores que funcionam como chaves nas entradas dos amplificadores operacionais. Foram realizadas simulações com chaves CMOS e com chaves NMOS, para análise da influência da injeção de cargas das chaves no resultado final do conversor. Como os resultados foram semelhantes com os dois tipos de chaves, optou-se pela implementação de chaves NMOS por sua maior simplicidade.

Os transistores utilizados como chave têm as dimensões de  $W = 10,000 \mu\text{m}$  e  $L = 0,350 \mu\text{m}$ . Para calcular os valores de  $R_{\text{ON}}$  e  $R_{\text{OFF}}$  das respectivas chaves, simulações foram realizadas, e aplicou-se a equação:

$$R_{\text{ON}} = \frac{V_{\text{DS}}}{I_{\text{D}}} = \frac{1}{G_{\text{DS}}} \quad (6.2)$$

Os valores encontrados nas simulações foram:

$$R_{\text{ON}} = 250 \Omega \quad \text{e} \quad R_{\text{OFF}} = 6,88 \cdot 10^{15} \Omega$$

O conversor A/D proposto utiliza vinte e oito chaves NMOS, quatro em cada um dos sete primeiros blocos. O oitavo bloco é composto apenas do comparador, e não utiliza chaves NMOS.

## 6.6 Comparadores

Os comparadores projetados no Capítulo 5 precisavam de inversores na saída para que a tensão pudesse aumentar a sua excursão, indo de zero volt a quase os 3,3V da alimentação.

Nessa mudança de *design kit*, optou-se por utilizar o amplificador operacional projetado como comparador. Para isso, utiliza-se o ganho de malha aberta do amplificador operacional sem as chaves e sem os resistores.

A primeira vantagem que se tem ao utilizar o amplificador já projetado é não precisar projetar outro circuito. A segunda vantagem é não precisar utilizar inversores para aumentar a excursão do sinal de saída. A própria saída do amplificador funcionando como comparador já atinge mais de 90% da excursão máxima do sinal.

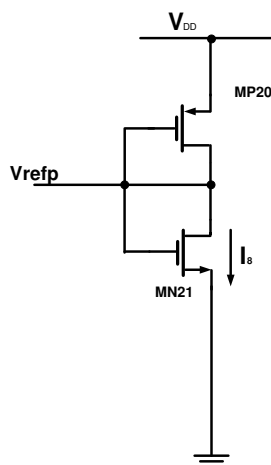
Sendo assim, todos os itens projetados na seção 6.2 servem também para os comparadores.

## 6.7 Tensões de Referência

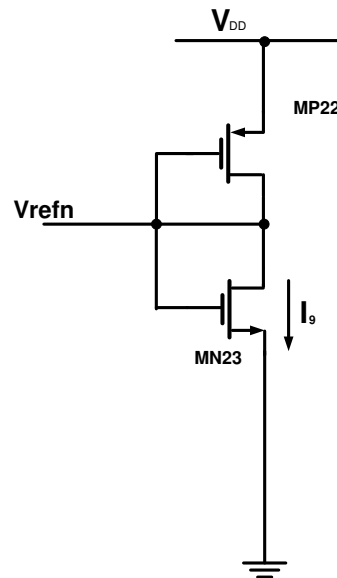
No ADC de dobramento, sem relógio, as tensões de referência, que são comparadas com as tensões dos sinais de entrada a fim de disparar o processo de amostragem, são muito importantes. Por isso, pensou-se em utilizar tensões de referência externas, ou mesmo um circuito de referência (*bandgap*) projetado.

Mas, com as simulações, foi mostrado que a solução com dois transistores ligados como cargas ativas serviu muito bem. Os resultados nas especificações foram semelhantes aos obtidos com fontes ideais gerando essas tensões de referência.

Os circuitos que geram as tensões de referência  $V_{refp}$  e  $V_{refn}$  estão mostrados nas figuras 6.8 e 6.9.



**Figura 6.8** Circuito da tensão de referência  $V_{refp}$ .



**Figura 6.9** Circuito da tensão de referência  $V_{refn}$ .

Os valores das tensões  $V_{refp}$  e  $V_{refn}$  são, respectivamente, 2,15 V e 1,15 V. Os valores das dimensões dos transistores estão mostrados na tabela 6.5.

**Tabela 6.5** Dimensões dos transistores do circuito das tensões de referência  $V_{refp}$  e  $V_{refn}$ .

Transistores	W/L ( $\mu\text{m}/\mu\text{m}$ ) (M=1)
MP20	97,000/2,000
MN21	1,575/2,000
MP22	1,075/0,350
MN23	1,850/0,350

Os resultados das simulações realizadas com o conversor A/D projetado com os transistores do DK XH035 serão mostrados no Capítulo 7.

## 6.8 Leiaute

A etapa de leiaute compreende a disposição geométrica dos dispositivos do circuito a ser fabricado. Um arquivo contendo todas as informações dessas geometrias (arquivo em formato GDS – *Graphic Data System*) em diferentes camadas de materiais é enviado para a fabricação.

No projeto do ADC de dobramento, as características que dependem do casamento de partes simétricas nos amplificadores operacionais e nos comparadores foram abordadas, e seu desempenho foi avaliado utilizando simulações.

As técnicas de leiaute comumente conhecidas são padrões que a literatura sugere para diminuição das variações do processo e de descasamento. Uma técnica bastante difundida é a técnica do centroide comum, na qual os dispositivos a serem casados são intercalados em uma estrutura planar simétrica, e, dessa forma, supõe-se que serão afetados simetricamente pelas variações do processo. Outra técnica bastante utilizada consiste em adicionar estruturas chamadas *dummies*, a fim de evitar o efeito de borda, para que os entornos dos transistores sejam os mesmos. Além dessas técnicas, sugere-se ainda que os dispositivos tenham a mesma orientação, tenham seus elementos parasitas casados, assim como suas interconexões (roteamento), e que sejam simétricos. (SAINT, C.; SAINT, J., 2002).

Na figura 6.10 está apresentado o leiaute de um dos blocos do circuito, e nas figuras 6.11 e 6.12 estão apresentados os leiautes do circuito completo. Os sete primeiros blocos são idênticos e possuem dimensões iguais. Os transistores possuem uma multiplicidade de 2, o que facilita proposadamente o leiaute dos transistores. Multiplicidade 2 é dito quando se divide a largura ( $W$ ) do canal do transistor em dois e, em vez de utilizar apenas um transistor, utiliza-se dois com mesmo comprimento ( $L$ ) de canal, com a largura dividida e ligando-se os terminais de mesmo nome.

O leiaute possui uma estrutura de centroide comum, com interdigitamentos, além da inserção de transistores *dummies*<sup>2</sup> nas extremidades do leiaute.<sup>3</sup>

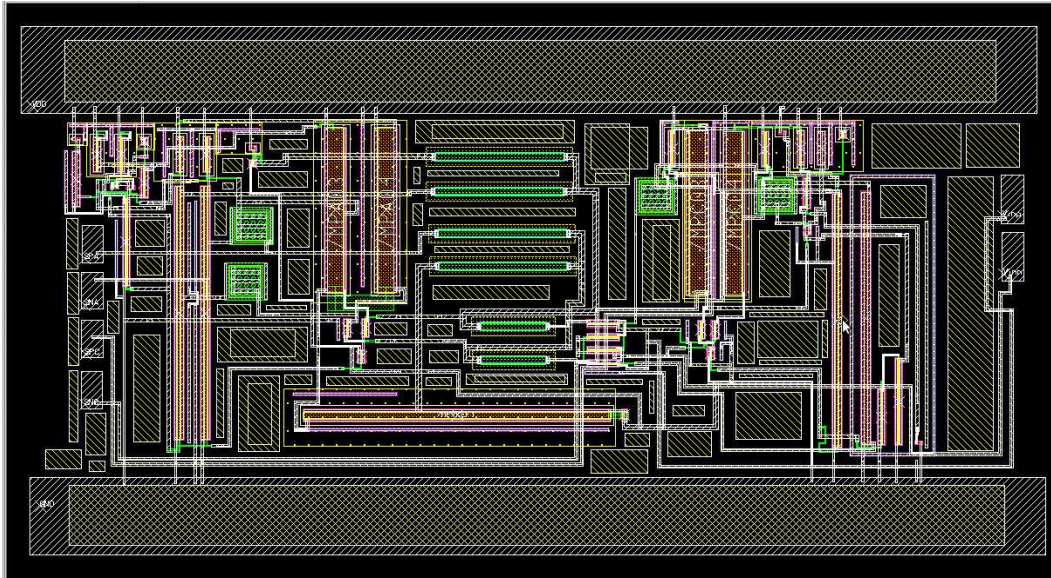
As regiões de porta ativas de um transistor geralmente têm a forma de um retângulo longo e estreito. Os transistores são geralmente divididos em segmentos para permitir a construção de um arranjo compacto. Quando os segmentos de dois ou mais transistores são "entrelaçados" é dito que isto eles estão interdigitados. Os tipos mais simples de arranjos envolvem o posicionamento de múltiplos segmentos em paralelo. Se estes segmentos forem interdigitados corretamente, então os centróides dos dispositivos casados estarão alinhados em um ponto no meio do eixo de simetria do arranjo, e eles possuem, então, um centróide comum. E se o número de segmentos forem insuficientes para se obter um centróide comum, o circuito pode ser acrescido de transistores *dummies*<sup>2</sup>, nos quais todos os terminais deles

---

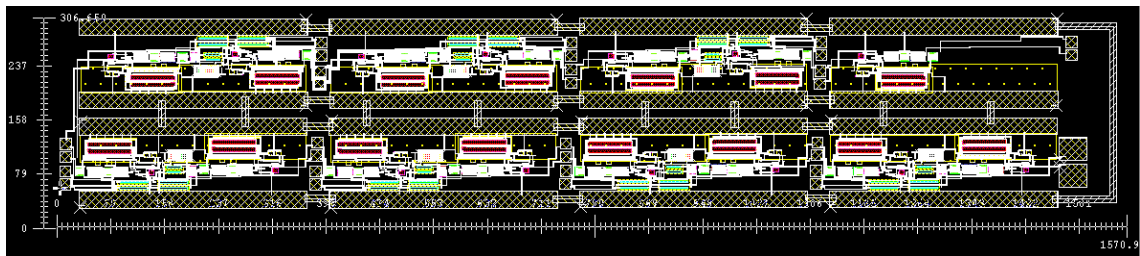
<sup>3</sup> Transistores *dummies* são transistores sem função alguma no circuito que são colocados para que todos os outros transistores tenham o mesmo entorno e com isso evitem a presença de campos parasitários nas bordas dos transistores.



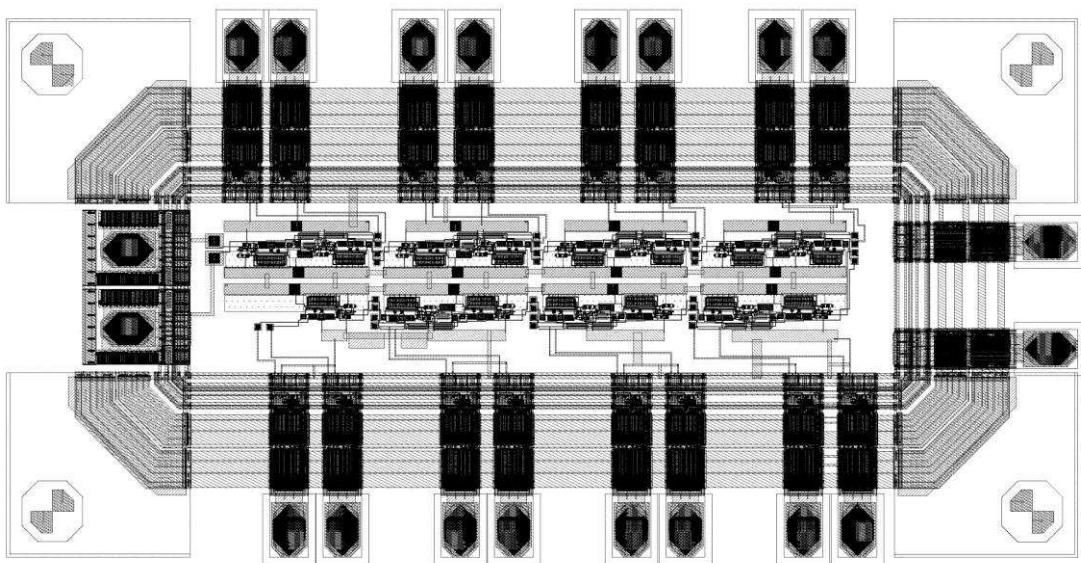
terão que ser curto-circuitados para não ocorrerem erros na verificação do leiaute e do esquemático.



**Figura 6.10** Leiaute do bloco 1 do conversor proposto.



**Figura 6.11** Leiaute completo do conversor proposto.



**Figura 6.12** Leiaute completo do conversor proposto com os *pads*.

## 6.9 Conclusão

Nas seções precedentes deste capítulo, foram mostrados os detalhes do projeto do conversor A/D proposto, um conversor de dobramento (*folding*), sem relógio, de 8 bits, implementado com o DK XH035, da X-FAB.

Foi também mostrado neste capítulo a confecção do leiaute do circuito integrado, com as técnicas utilizadas.

No próximo capítulo, serão vistos os resultados obtidos em simulações com os dois conversores e também uma comparação entre eles. Também serão vistos os resultados obtidos com os componentes em nível de transistor do DK XH035 e as conclusões deste trabalho. Em seguida, é apresentada uma lista das publicações geradas por este trabalho. Para finalizar o capítulo, possibilidades de trabalhos futuros são apresentadas.

## CAPÍTULO 7

### RESULTADOS

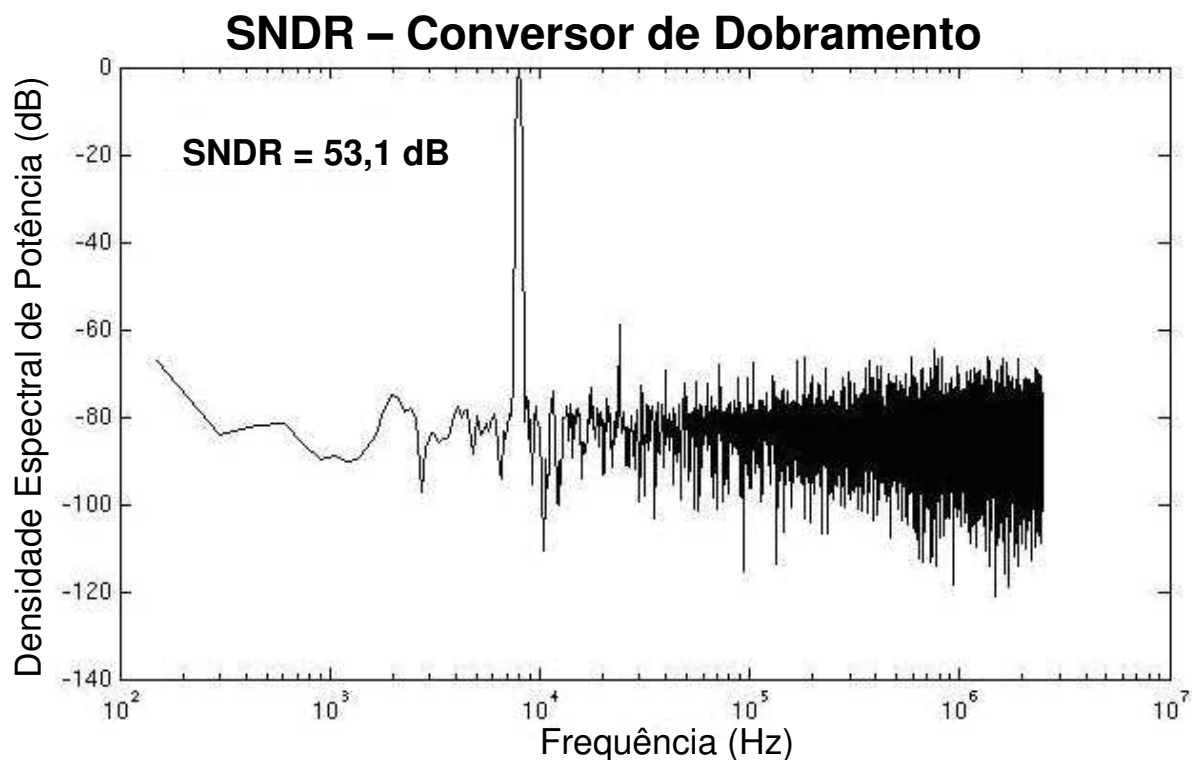
Neste capítulo, são vistos os resultados obtidos em simulações com os dois conversores em nível de transistor utilizando o *design kit* (DK) AMS035. Também é mostrada uma comparação entre eles. Também são vistos os resultados obtidos com os componentes em nível de transistor com a utilização do DK XH035.

#### 7.1 Resultados de Simulação

Após a implementação dos circuitos dos dois conversores em nível de transistor, com a utilização do DK AMS035, simulações foram feitas para encontrar a SNDR.

O conversor de dobramento, sem relógio, proposto neste trabalho, foi projetado, implementado e simulado com circuitos CMOS de tecnologia padrão de 0,35  $\mu\text{m}$ . Todas as chaves utilizadas no circuito foram construídas com transistores NMOS. Com as tensões de referência  $V_{\text{refp}}$  e  $V_{\text{refn}}$  iguais a 2,15 V e 1,15 V, respectivamente, o conversor de dobramento de 8 bits obteve um tempo de conversão de 140 ns, e consumiu 5,51 mW de potência com uma alimentação de 3,3 V. A SNDR foi de 53,4 dB. Esses resultados de potência consumida e tempo de conversão foram conseguidos com os circuitos de tensão de polarização e de referência construídos com componentes ideais, como fontes de tensão controladas por tensão e fontes de corrente controladas por tensão.

A FFT do sinal de saída do conversor proposto é mostrada na figura 7.1.



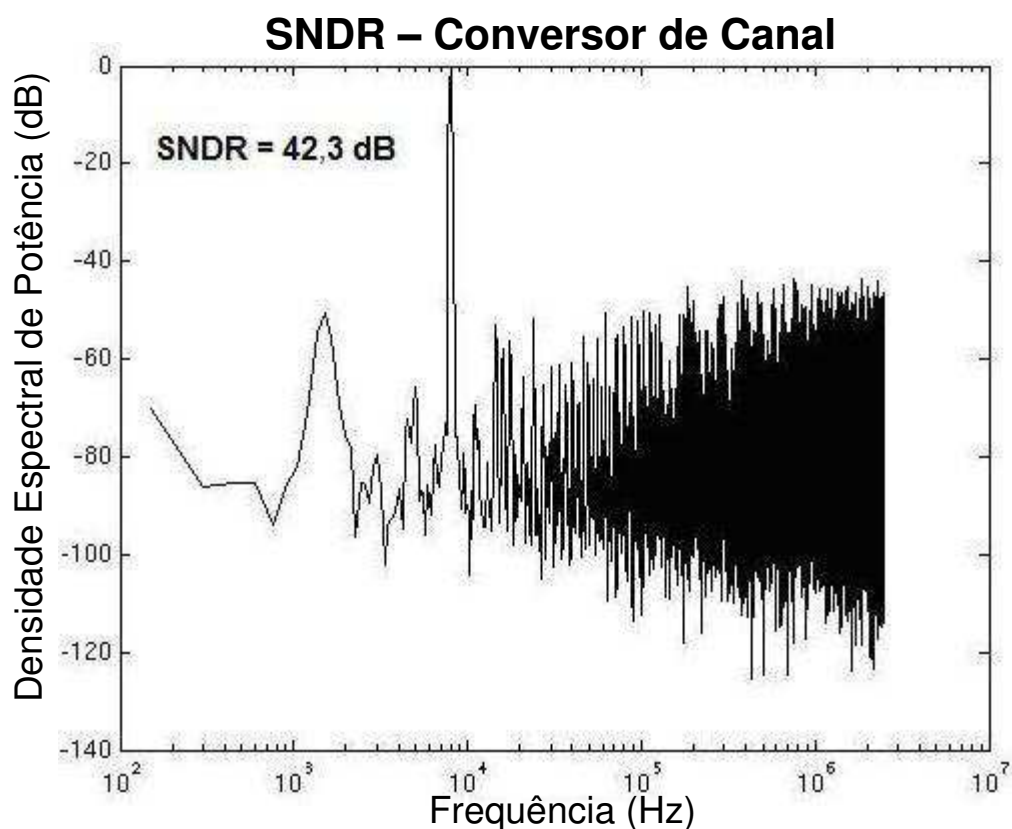
**Figura 7.1** FFT do sinal de saída (quantizado) do conversor de dobramento.

Na FFT da figura 7.1, pode-se observar que a terceira harmônica atinge cerca de  $-60$  dB e que a SNDR do conversor de dobramento atinge um máximo de 53 dB com uma largura de banda de 50 kHz.

Com os mesmos circuitos CMOS, com a mesma tecnologia padrão de  $0,35 \mu\text{m}$ , e com as mesmas tensões de referência, o conversor de canal (*pipeline*) padrão foi projetado, implementado e simulado. Esse conversor teve um tempo de conversão de 160 ns e consumiu 6,28 mW de potência com uma tensão de alimentação de 3,3 V. A SNDR foi de 42,3 dB. No gráfico mostrado na figura 7.2, para o conversor *pipeline* já em nível de transistor, verifica-se a existência de harmônicos e sub-harmônicos com amplitude de mais de  $-50$  dB. Isso justifica a diferença de resultado na medição da SNDR para os dois conversores, e é explicada pelo aumento do número de transições dos sinais residuais de cada bloco dos dois conversores.

A maior quantidade de harmônicos e sub-harmônicos nas frequências altas é justificada pelo fato de os conversores assíncronos só possuírem o ruído de quantização, e como sinais com frequências mais altas possuem mais pontos de quantização, nessas mesmas frequências esse ruído é maior.

A FFT do sinal de saída do conversor de canal é mostrada na figura 7.2.



**Figura 7.2** FFT do sinal de saída (quantizado) do conversor de canal.

Para comparar os resultados entre os dois conversores foi montada a tabela 7.1, na qual se podem encontrar os principais parâmetros de simulação medidos dos dois conversores, bem como alguns parâmetros dos amplificadores operacionais neles utilizados.

**Tabela 7.1** Itens de comparação entre os conversores.

Itens	Valores	
	Dobramento	Canal
Frequência do sinal de entrada	8 kHz	8 kHz
Tempo de conversão (8 bits)	140 ns	160 ns
Ganho de malha aberta (amp.)	71,65 dB	71,65 dB
Produto Ganho x Banda Passante (amp.)	52,7 MHz	52,7 MHz
Resolução	8 bits	8 bits
Consumo (Partes analógicas)	5,51 mW	6,28 mW
ENOB	8,53 bits	6,88 bits
SNDR	53,1 dB	43,2 dB

A parte digital, apenas necessária no conversor de dobramento, foi implementada com componentes em macromodelos ideais.

## **7.2 Resultados de Simulação com o DK XH035**

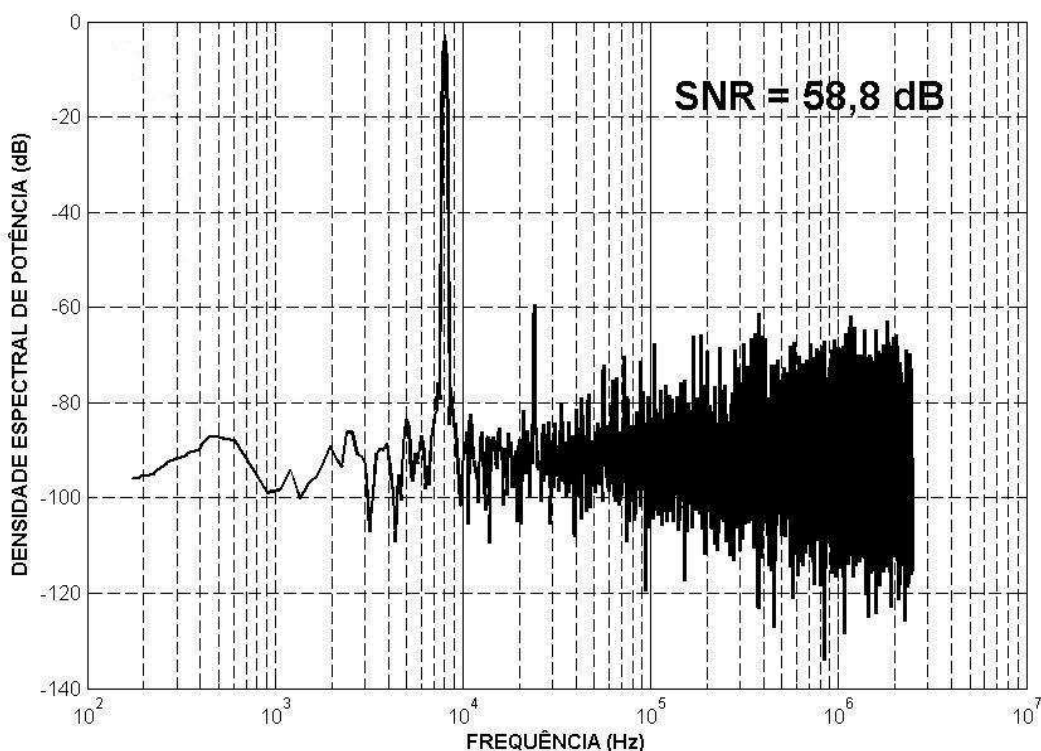
As especificações do conversor A/D proposto consideradas mais importantes neste trabalho foram a relação sinal-ruído mais distorção (SNDR) e o consumo de energia.

Com os transistores do DK XH035, foi atingido um valor próximo de 59 dB de SNDR para o conversor proposto. Essa especificação se mostrou melhor no projeto com o XH035 do que com os DKs AMS035 ou TSMC035 (implementação de teste para o leiaute).

A justificativa para um melhor resultado da medição da SNDR para o conversor projetado com os transistores do DK XH035 é uma redução na banda passante do cálculo da FFT do sinal reconvertido de 50 kHz para 32 kHz (quatro vezes a frequência do sinal de entrada). Com essa redução, mesmo com amplificadores de ganhos menores, o resultado obtido foi melhor.

A justificativa para a maior quantidade de harmônicos e sub-harmônicos nas frequências altas é a mesma apresentada para o conversor projetado com os transistores do DK da AMS. Como os conversores assíncronos só possuem o ruído de quantização, e como sinais com frequências mais altas possuem mais pontos de quantização, nessas mesmas frequências esse ruído é bem maior.

Na figura 7.3, está mostrada a FFT do sinal de saída reconvertido do conversor proposto.



**Figura 7.3** FFT do sinal de saída (quantizado) do conversor de dobramento.

O conversor de dobramento, sem relógio, proposto neste trabalho foi projetado, implementado e simulado com circuitos CMOS de tecnologia padrão de 0,35  $\mu\text{m}$  (XH035 – X-FAB). Todas as chaves utilizadas no circuito foram construídas com transistores NMOS. Com as tensões de referência  $V_{\text{refp}}$  e  $V_{\text{refn}}$  iguais a 2,15 V e 1,15 V, respectivamente, o conversor de dobramento de 8 bits consumiu 35,42 mW de potência com uma alimentação de 3,3 V. A SNDR foi de 58,8 dB. Nesse caso, todos os circuitos, tanto das tensões de polarização como das tensões de referência, foram projetados em nível de transistores.

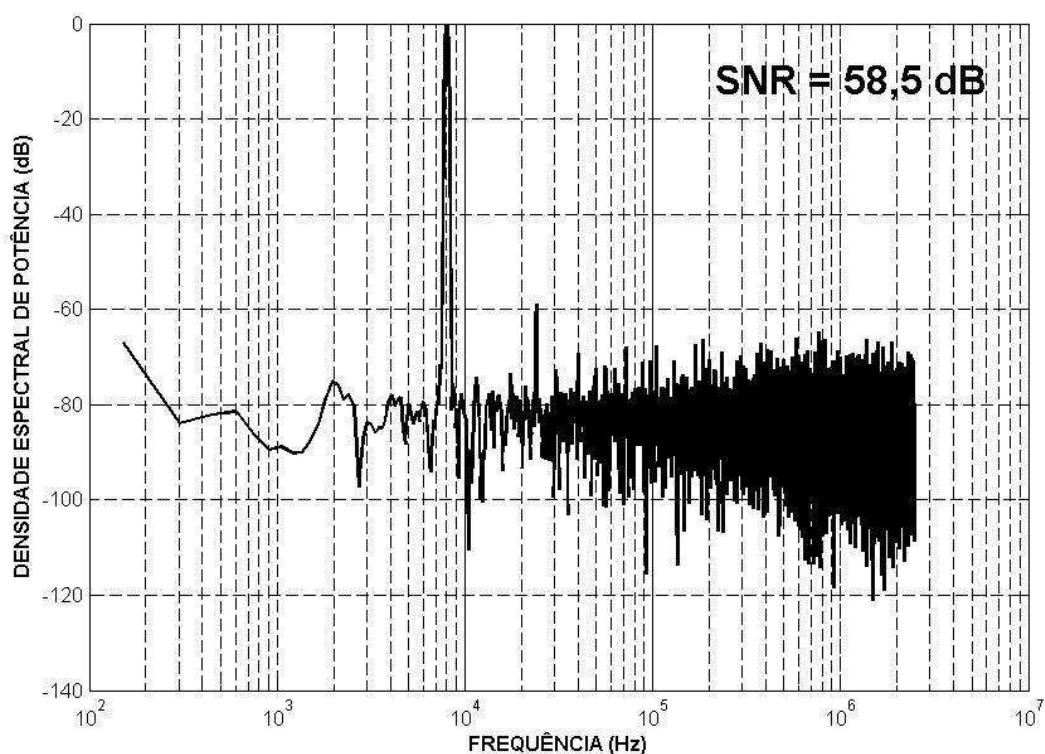
Para validação do funcionamento do conversor A/D nas mais diversas condições, foram feitas simulações para os piores casos de especificações dos transistores MOS nele utilizados.

Quatro grupos de parâmetros predefinidos de piores casos são disponíveis no DK utilizado. São eles:

- a) wp – pior caso em termos de potência (*worst case power*). Este grupo é composto por transistores NMOS e PMOS mais rápidos;
- b) ws – pior caso em termos de velocidade (*worst case speed*). Este grupo é composto por transistores NMOS e PMOS mais lentos;
- c) wo – pior caso dos transistores ligados em “1” (PMOS) (*worst case one*). Este grupo é composto por transistores NMOS rápidos e PMOS lentos;

d) wz – pior caso dos transistores ligados em “0” (NMOS) (*worst case zero*). Este grupo é composto por transistores NMOS lentos e PMOS rápidos.

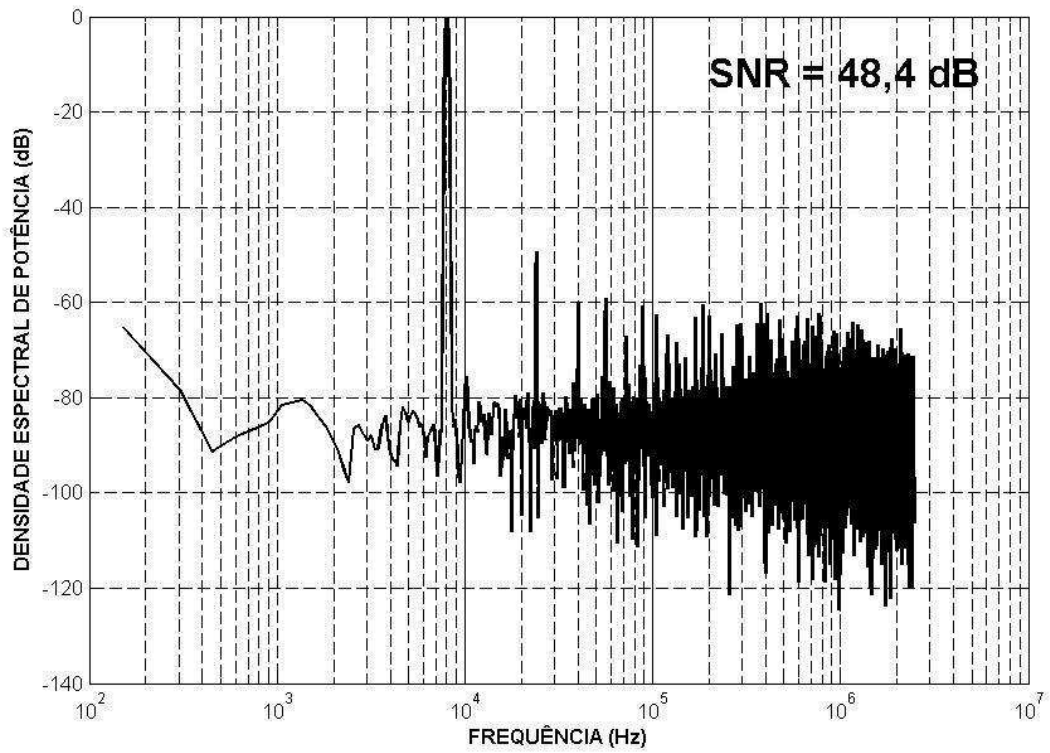
Na figura 7.4, é mostrada a FFT do sinal de saída do conversor proposto (sinal reconvertido) para o caso ws.



**Figura 7.4** FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação à velocidade.

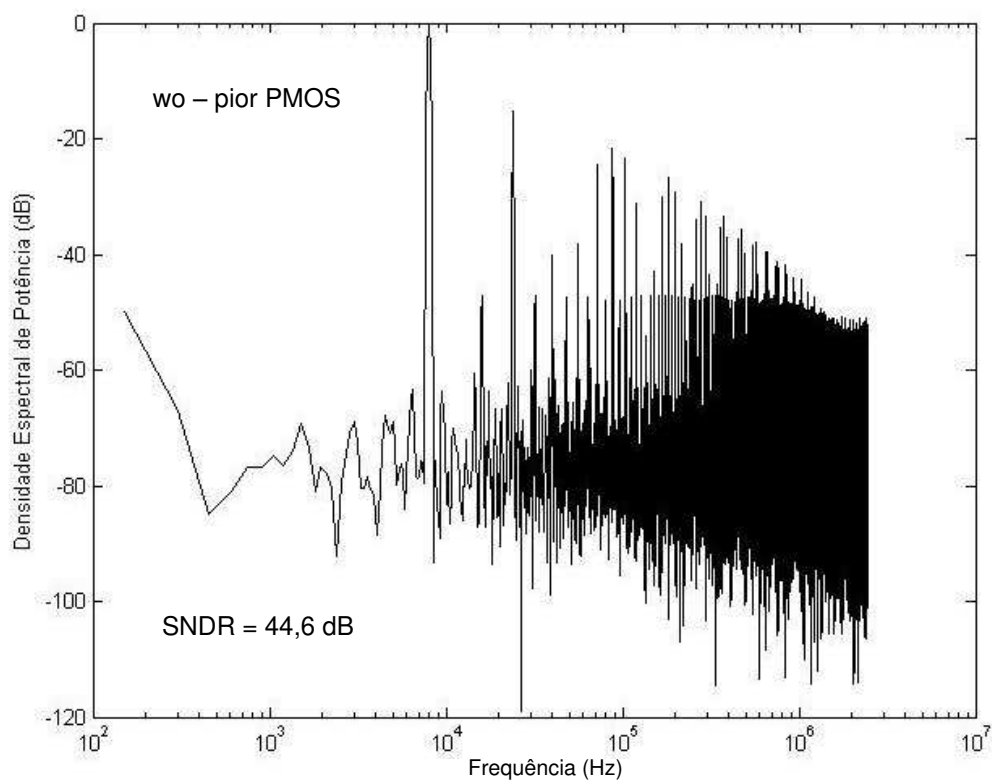
Na figura 7.5, é mostrada a FFT do sinal de saída do conversor proposto (sinal reconvertido) para o caso wz.





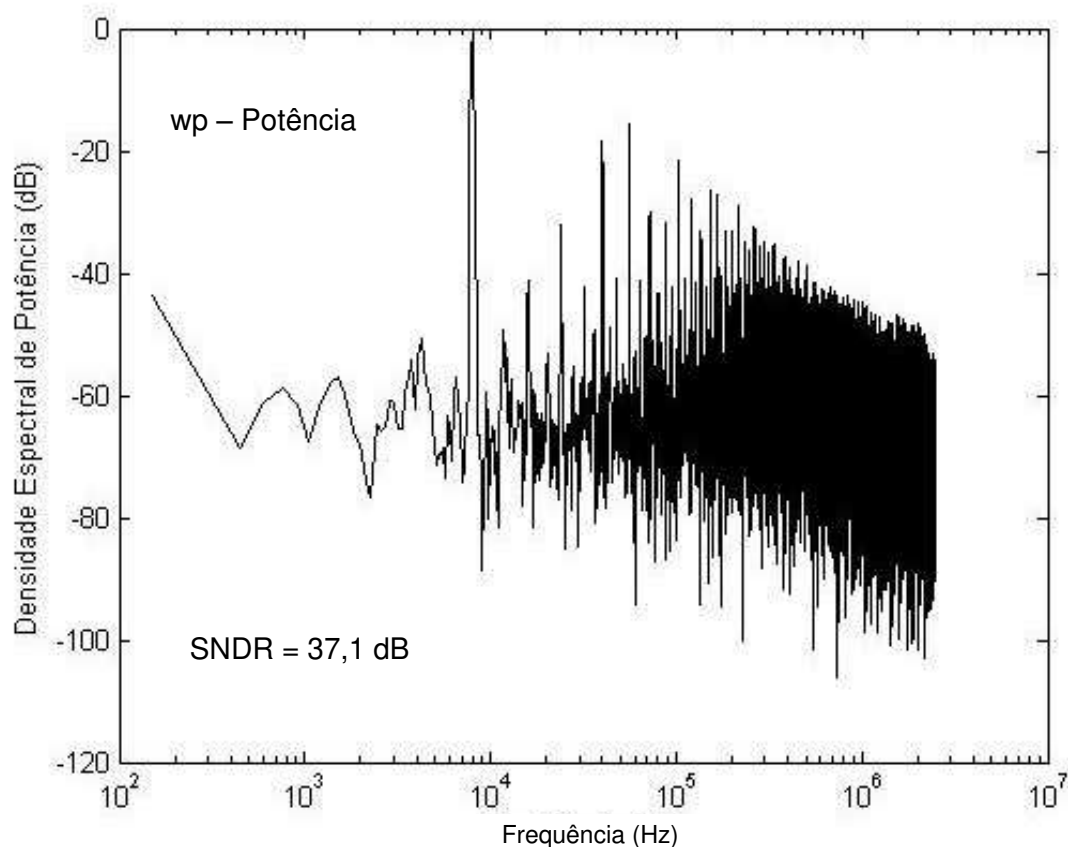
**Figura 2** FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação aos transistores NMOS.

Na figura 7.6, é mostrada a FFT do sinal de saída do conversor proposto (sinal reconvertido) para o caso wo.



**Figura 7.6** FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação aos transistores PMOS.

Na figura 7.7, é mostrada a FFT do sinal de saída do conversor proposto (sinal reconvertido) para o caso wp.



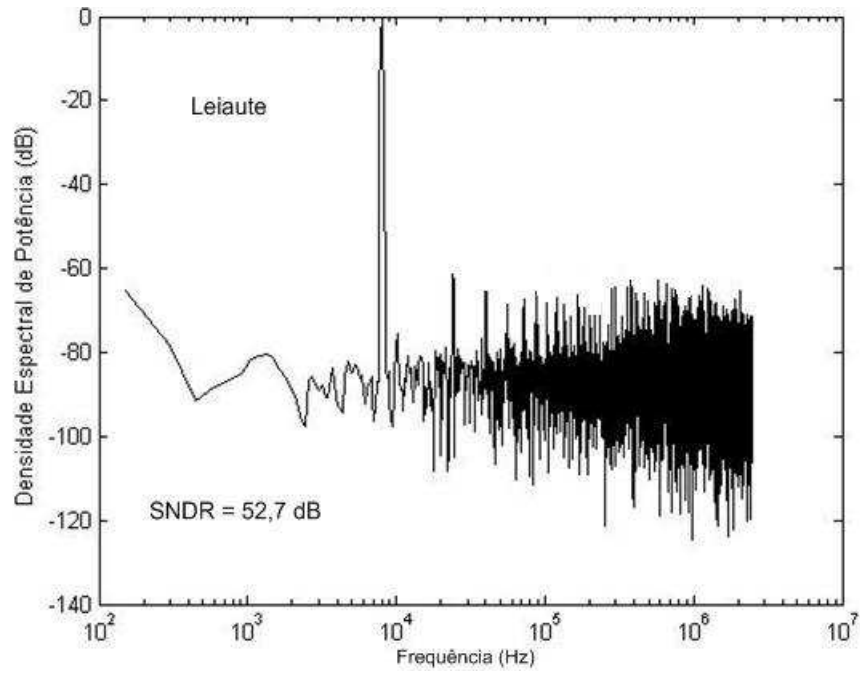
**Figura 7.7** FFT do sinal de saída (quantizado) do conversor para os transistores de piores casos com relação à potência.

Também foram feitas simulações com variações de temperatura. Nessas simulações, as temperaturas variaram de  $0^{\circ}\text{C}$  a  $50^{\circ}\text{C}$ . Não houve variação significativa na FFT do sinal de saída (quantizado) do conversor proposto.

Finalizados os testes com os piores casos e com variações de temperatura e com o final da confecção do leiaute, foram feitas simulações com o leiaute.

As primeiras simulações apresentaram resultados bastante insatisfatórios. Mas com o emprego das técnicas de leiaute comumente conhecidas para diminuição das variações do processo e de descasamento, como a técnica do centroide comum e o adicionamento de estruturas chamadas *dummies*, a fim de evitar o efeito de borda, os resultados melhoraram bastante. Além desses, os dispositivos foram arranjados de forma a ter quase sempre a mesma orientação.

Na figura 7.8, é apresentada a FFT do sinal de saída do conversor proposto (sinal reconvertido) para a simulação realizada com o leiaute.



**Figura 7.8** FFT do sinal de saída (quantizado) do conversor simulado com o leiaute.

## CAPÍTULO 8

### CONCLUSÕES, ARTIGOS PUBLICADOS E TRABALHOS FUTUROS

Neste capítulo, são mostradas as conclusões deste trabalho e uma lista das publicações geradas. Para finalizar o capítulo, são apresentadas possibilidades de trabalhos futuros.

#### 8.1 Conclusões

Neste trabalho, foi proposta uma arquitetura para um conversor de dobramento sem relógio, baseada num circuito diferencial em modo tensão de 1 bit por estágio. Uma arquitetura similar, de um conversor de canal diferencial sem relógio, também foi proposta.

As especificações requeridas para o amplificador operacional e para o comparador utilizado nos dois conversores foram determinadas por simulações de forma a obter o desempenho desejado para os conversores.

O amplificador operacional e o comparador foram projetados e integrados num modelo completo de um conversor de dobramento sem relógio de 8 bits e de um conversor de canal sem relógio, também de 8 bits.

Resultados de simulação mostraram que o conversor de dobramento sem relógio atingiu um melhor desempenho que o conversor de canal sem relógio.

Após isso, foi confeccionado o leiaute do conversor, e foram realizadas várias simulações com o leiaute até atingir resultados próximos das simulações com o esquemático, comprovando o excelente desempenho do conversor proposto em comparação com o conversor de canal, sem relógio, também projetado nesta tese.

As comparações foram feitas, principalmente, em relação a três parâmetros: SNDR, potência consumida e tempo de conversão. Quando foram projetados com os mesmos circuitos, com os dois conversores foi obtida uma diferença de 53,1 dB para 43,2 dB em favor do conversor tipo *folding*. A potência consumida do ADC tipo *folding* foi de 5,51 mW (apenas as partes analógicas, sem os circuitos de tensão de referência) contra 6,28 mW do ADC tipo *pipeline* padrão. E, por fim, o ADC tipo *folding* obteve, por meio de simulações, um tempo de conversão de 140 ns contra 160 ns do ADC tipo *pipeline* padrão.

## 8.2 Trabalhos Publicados

Além dos três artigos referenciados no texto — (RODRIGUES et al., 2008, 2009, 2010) —, o artigo “Design of a Differential Operational Amplifier in a Clock-less A/D Converter”, em parceria com H. Aboushady, M.-M. Louërat, J. I. C. Accioly e R. C. S Freire, foi apresentado no XVIII IMEKO TC4 Symposium e IX SEMETRO, em Natal, Rio Grande do Norte, em setembro de 2011.

## 8.3 Trabalhos Futuros

Vários projetos podem ser gerados a partir desta tese.

Sistema de conversores sem relógio:

- Projeto, análise e implementação de uma versão com 1,5 bit/estágio;
- Projeto, análise e implementação de uma versão com 2,5 bit/estágio.

A mudança da resolução do ADC proposto para uma resolução maior possibilitará um aumento na quantidade de possíveis aplicações dele, além de possibilitar uma comparação com outros conversores do tipo *pipeline* padrão de resoluções maiores. Esse aumento de resolução não foi feito neste trabalho de tese por fugir um pouco do escopo do trabalho, que foi comprovar as vantagens de uma arquitetura diferente para os estágios dos conversores *pipeline* sem relógio.

Projeto de circuito de conversores sem relógio com o objetivo de:

- Minimizar o consumo na arquitetura proposta;
- Melhorar a configuração dos comparadores e amplificadores para aumentar a banda passante do conversor.

Um possível refinamento dos circuitos que compõem o ADC proposto se mostra interessante porque, por meio dele, se podem melhorar as especificações desse conversor. Como o objetivo da tese era fazer funcionar o ADC proposto e compará-lo com o *pipeline* padrão, um melhoramento dos circuitos de sua arquitetura foi descartado.

## REFERÊNCIAS

- AESCHLIMANN, F. **Traitement du Signal Échantillonné non Uniformément**: Algorithme et Architecture. Thèse de Doctorat – Institut National Polytechnique de Grenoble – INPG, fevereiro de 2006.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design** – Second Edition. Oxford University Press, 2002.
- ALLIER, E. **Interface Analogique Numérique Asynchrone**: Une Nouvelle Classe de Convertisseurs Basés sur La Quantification du Temps. Thèse de Doctorat – Institut National Polytechnique de Grenoble – INPG, novembro de 2003.
- ALLIER, E.; SICARD, G.; FESQUET, L.; RENAUDIN, M. **A New Class of Asynchronous A/D Converters Based On Time Quantization**. *Proceedings of the Ninth International Symposium on Asynchronous Circuits and Systems (ASYNC'03)*, Volume: 12, Editora: IEEE Comput. Soc, Páginas: 196-205, Vancouver, Canada, Maio de 2003.
- BAGSHAW, P. C.; SARHADI, M. **Analysis of Samples of Wideband Signals Taken at Irregular, Sub-Nyquist, Intervals**. *IEE Electronics Letters*. Volume 27(artigo 14). Páginas: 1228-1230. 1991.
- BAILLEU, F.; BLANCHARD, Y.; LOUMEAU, P.; PETIT, H.; PORTE, J. **Capacités Commutées et Applications**. Paris: Dunod, 1996.
- BOUESSE, F. **Contribution à la conception de circuits intégrés sécurisés**: l'alternative asynchrone. Thèse de Doctorat – Institut National Polytechnique de Grenoble – INPG, dezembro de 2005.
- DONDI, S.; VECCHI, D.; BONI, A.; BIGI, M. **A 6-bit, 1.2 GHz Interleaved SAR ADC in 90nm CMOS**. *Proc. of IEEE Ph.D. Research in Microelectronics and Electronics, PRIME*, 2006, Páginas: 301 – 304.
- DUIJNDAM, A. J. W.; SCHONEWILLE, M. A. **Nonuniform Fast Fourier Transform**. *Geophysics*. Volume 64(artigo 2). Páginas: 539-551. 1999.
- DUTT, A.; ROKHLIN, V. **Fast Fourier Transforms for Nonequispaced Data**. *SIAM Journal of Scientific Computing*. Volume 14(artigo 6). Páginas: 1368-1393. 1993.
- FANG, X.; SRINIVASAN, V.; WILLS, J.; GRANACKI, J.; LACOSS, J.; CHOMA, J. **CMOS 12 bits 50kS/s Micropower SAR and Dual-Slope Hybrid ADC**. *52nd IEEE International Midwest Symposium on Circuits and Systems*, 2009. MWSCAS '09, Páginas: 180-183, Cancun, Mexico, 2 a 5 de agosto de 2009.
- FONTAINE, L. **Traitement des Signaux à Échantillonnage Irrégulier**. Application au Suivi Temporel de Paramètres Cardiaques. Thèse de Doctorat – Institut National Polytechnique de Lorraine, 1999.

GEELLEN, G. **A 6b 1.1GSample/s CMOS A/D Converter**. *Proceedings of the ISSCC*, San Francisco, CA, USA, Páginas: 128 – 129. Fevereiro de 2001.

GEER, D. **Is It Time For Clockless Chips?**. *IEEE Computer Society*, Mar. 2005. Data da consulta: 06 de Junho de 2009 (10h00).

GREENGARD, L.; LEE, J. Y. **Accelerating the Nonuniform Fast Fourier Transform**. *SIAM Review*. Volume: 46(artigo 3). Páginas: 443-454. 2004.

HARPE, P.; ZHOU, C., PHILIPS, K., GROOT, H. **A 0.8 mW 5bit 250MS/s Time-Interleaved Asynchronous Digital Slope ADC**. *2010 IEEE Asian Solid State Circuits Conference (A-SSCC)*. Páginas: 8-10. Novembro de 2010. Páginas: 1-4.

JESPER, P. G. A. **Integrated Converters**, D to A and A to D Architectures, Analysis and Simulations. Oxford University Press, 2001.

JOHNS, D. A.; MARTIN, K. **Analog Integrated Circuit Design**. John Wiley & Sons, 1996.

KESTER, W. (Ed.). **The Data Conversion Handbook**. Newnes, 2005.

MALOBERTI, F. **Data Converters**. Springer, 2007. ISBN: 0387324852.

MARK, J. W.; TODD, T. D. **A Nonuniform Sampling Approach to Data Compression**. *IEEE Transactions on Communications COM* - Volume: 29(artigo 1). Páginas: 24-32. 1981.

NEU, T., CHRISTIANSEN, G. **Multiple A/Ds versus a single one: pushing high-speed A/D converter SNR beyond the state of the art**. Texas Instruments. Abril de 2007. (<http://www.eetimes.com/design/automotive-design/4009960/Multiple-A-Ds-versus-a-single-one-pushing-high-speed-A-D-converter-SNR-beyond-the-state-of-the-art>).

MARVASTI, F. A. **Recovery of Missing Samples using a Novel Iterative Method**. *International Workshop on Sampling Theory and Applications*, SampTA. Samsun, Turkey, julho de 2005. 5 páginas.

PANYASAK, D. **Réduction des émissions électromagnétiques des circuits intégrés : l'alternative asynchrone**. Tese (Doutorado) – Institut National Polytechnique de Grenoble – INPG, junho de 2004.

PICOLLI, L.; ROSSINI, A.; MALCOVATI, P.; MALOBERTI, F.; BORGHETTI, F.; BASCHIROTTO, A. **A Clock-Less 10-bit Pipeline-Like A/D Converter for Self-Triggered Sensors**. *IEEE Journal of Solid-State Circuits*, Volume: 43 (artigo 2), Fevereiro de 2008.

PLASSCHE, R. van de. **CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters**. 2. ed., Boston, MA: Kluwer, 2003.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. Tata McGraw-Hill, 2001.

RENAUDIN, M. **Asynchronous Circuits and Systems: a Promising Design Alternative**. *Journal of Microelectronics*, Volume 54 (artigo 1). Páginas: 133-149, 2000.



ROBINSON, J. **Continuous Time Domain Analog-Digital Converter**. U.S. Patent number 4,667,180, 19 de maio de 1987.

RODRIGUES, S. A.; ACCIOLY, J. I. C.; FREIRE, R. C. S.; PESSOA, I. M. **Asynchronous Analog-Discrete Converter Using An Analog Signal Processor Stabilized In An Inflection Point**. *12th IMEKO TC1 & TC7 Joint Symposium on Man Science & Measurement*, setembro de 2008., Annecy, França. Páginas: 407 – 412.

RODRIGUES, S. A.; ABOUSHADY, H.; LOUËRAT, M.-M.; ACCIOLY, J. I. C.; FREIRE, R. C. S. **Clock-less Analog-to-Digital Converter**. In: VIII INTERNATIONAL SEMINAR ON ELECTRICAL METROLOGY (SEMETRO), Poster, João Pessoa, Paraíba, Brasil, 2009.

RODRIGUES, S. A.; ABOUSHADY, H.; LOUËRAT, M.-M.; ACCIOLY, J. I. C.; FREIRE, R. C. S.; BELFORT, D. R. **A Clock-less 8-bit Folding A/D Converter**. *1st IEEE Latin American Symposium on Circuits and Systems*, Iguazu Falls, Paraná, Brazil, Fevereiro de 2010. 4 páginas.

SAINT, C.; SAINT, J. **IC Mask Design: Essential Layout Techniques**. New York: McGraw-Hill, 2002.

SANTOS, D.; FERREIRA, P.; VIEIRA, J. **Study of the Recovery of Missing Samples for Function and Derivative Oversampled Filter Bank**. *International Workshop on Sampling Theory and Applications*, SAMPTA. Samsun, Turkey, Julho de 2005. 5 páginas.

SAYINER, N.; SORENSEN, H. V.; VISWANATHAN, T. R. **A Level Crossing Scheme for A/D Conversion**. *IEEE Transactions on Circuits and Systems*, Volume II 43 (artigo 4). Páginas: 335-339. 1996.

SCHELL, B.; TSIVIDIS, Y. **A Continuous-Time ADC/DSP/DAC System With No Clock and With Activity-Dependent Power Dissipation**. *IEEE Journal of Solid-State Circuits*, Volume 43 (artigo 11), Novembro de 2008. Páginas: 2472 – 2481.

SCHOOFS, R.; STEYAERT, M.; SANSEN, W. **A 1 GHz Continuous-Time Sigma-Delta A/D Converter in 90 nm Standard CMOS**. *IEEE MTT-S International Microwave Symposium Digest*. 12 a 17 de junho de 2005. 4 páginas.

SHAPIRO, H. S.; SILVERMAN, R. A. **Alias-Free Sampling of Random Noise**. *SIAM Journal on Applied Mathematics*, Volume 8 (artigo 2). Páginas: 225-248. 1960.

SONG, B.; RAKERS, P. L.; GILLIG, S. F. **A 1-V, 6-b, 50-MSamples/s Current-Interpolating CMOS ADC**. *IEEE Journal of Solid-State Circuit*, Volume 35 (artigo 4). Páginas: 647-651, Abril de 2000.

STROEBLE, O.; DIAS, V.; SCHWOERER, C. **An 80MHz 10b Pipeline ADC with Dynamic Range Doubling and Dynamic Reference Selection**. *IEEE International Solid-State Circuits Conference (ISSCC)*, Fevereiro de 2004.

TARCZYNSKI, A.; ALLAY, N. **Spectral Analysis of Randomly Sampled Signals: Suppression of Aliasing and Sampled Jitter**. *IEEE Transactions on Signal Processing*, Volume 52 (artigo 12). Páginas: 3324-3334. 2004.

TARCZYNSKI, A.; TZVETKOV, K. **Evaluation of Several Random Sampling Schemes for DASP Applications**. International Workshop on Sampling Theory and Applications, SAMPTA'05. Samsun, Turkey, Julho de 2005. Sessão 25, 10 páginas.

TSIVIDIS, Y. **Digital Signal Processing In Continuous Time: A Possibility For Avoiding Aliasing And Reducing Quantization Error**. *ICASSP'04 IEEE International Conference on Acoustics, Speech, and Signal Processing*, Montreal, Canada, 17 a 21 de maio de 2004. Páginas: 589 – 592.

UYTTENHOVE, K.; STEYAERT, M. **A 1.8V, 6-bit, 1.3-GHz CMOS Flash ADC in 0.25  $\mu\text{m}$  CMOS**. *Proceedings of the ESSCIRC*, Florence, Italy, 24 a 26 de setembro de 2002. Páginas: 1115 – 1122.

UYTTENHOVE, K.; VANDENBUSSCHE, J.; LAUWERS, E.; GIELEN, G.; STEYAERT, M. **Design Techniques and Implementation of an 8-bit 200-MS/s Interpolating/Averaging CMOS A/D Converter**. *IEEE Journal of Solid-State Circuit*, Volume: 38 (artigo 3). Páginas: 483-493. Março de 2003.

VESALAINEN, L.; POIKONEN, J.; PANKAALA, M.; PAASIO, A. **A Gray-Code Current-Mode ADC For Mixed-Mode Cellular Computer**. *IEEE International Symposium on Circuits and Systems, ISCAS'04*, Vancouver, Canada, maio de 2004. Volume 3. Páginas: 81 – 84.

VEZYRTZIS, C.; TSIVIDIS, Y. **Processing of Signals Using Level-Crossing Sampling**. *IEEE International Symposium on Circuits and Systems, ISCAS 2009*, Taipei, Taiwan, maio de 2009. Páginas: 2293 – 2296.

WALDEN, R. H. **Analog to Digital Converter Survey and Analysis**. *IEEE Journal on Selected Areas in Communications*. Volume 17 (artigo 4). Páginas: 539-550, abril de 1999.

WILAMOWSKI, B.; SINANGIL, M.; DUNDAR, G. **A Gray-Code Current Mode ADC Structure**. *IEEE Mediterranean Electrotechnical Conference, MELECON'06*, Espanha, 2006. Páginas: 35 – 38.

WOJTIUK, J. J. **Randomised Sampling for Radio Design**. Ph.D. Thesis, University of South Australia. 2000.

YAHYA, E.; RENAUDIN, M. **Asynchronous design: fault robustness and security characteristics**. *Proceedings of the 12th IEEE International On-Line Testing Symposium (IOLTS'06)*, Itália, Julho de 2006. Páginas: 92 – 95.