

SIMULAÇÃO DIGITAL DE SISTEMAS LÓGICOS

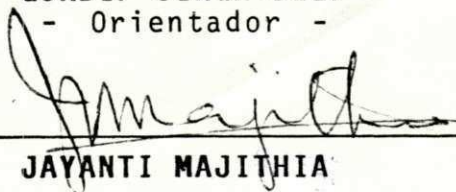
JOSÉ HOMERO FEITOSA CAVALCANTE

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS CURSOS DE
PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DA PARAÍ
BA COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO
GRAU DE MESTRE EM ENGENHARIA ELÉTRICA

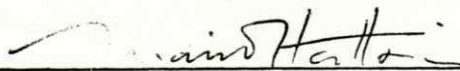
Aprovada por:



GURDIP SINGH DEEP
- Orientador -



JAYANTI MAJITHIA



MARIO TOYOTARO HATTORI

CAMPINA GRANDE
ESTADO DA PARAÍBA - BRASIL
OUTUBRO - 1975



C376s Cavalcante, José Homero Feitosa.
Simulação digital de sistemas lógicos / José Homero Feitosa Cavalcante. - Campina Grande, 1975.
75 f.

Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal da Paraíba, Centro de Ciências e Tecnologia, 1975.
"Orientação : Prof. Gurdip Singh Deep".
Referências.

1. Circuitos Lógicos - Engenharia Elétrica. 2. Sistemas Lógicos - Simulação Digital. 3. Computadores Digitais. 4. Dissertação - Engenharia Elétrica. I. Deep, Gurdip Singh. II. Universidade Federal da Paraíba - Campina Grande (PB). III. Título

CDU 621.3:004.312(043)

Aos meus pais

AGRADECIMENTOS

O autor agradece o trabalho:

- aos Professores M.Chandrashekar, Mattu Vishnumoorthi Bhat e Gurdip Singh Deep, pela idéia inicial.

- ao Professor Gurdip Singh Deep, pela orientação e revisão final do texto;

- aos Professores Jayanti Majithia e Mario Toyotaro Hattori, pelo apoio prestado à sua execução;

- ao Professor Edison Roberto Cabral da Silva, pelo incentivo à sua elaboração;

- ao Pessoal do Núcleo de Computação pela gentil cooperação nos testes dos programas;

- aos CAPES (Coordenação do Aperfeiçoamento de Pessoal de Nível Superior), CIDA (Canadian International Development Agency), e BNDE (Banco Nacional de Desenvolvimento Econômico), pelo apoio financeiro.

R E S U M O

ESTE TRABALHO DESENVOLVE UM SIMULADOR À TABELA DE ACIONAMENTO PARA SIMULAÇÃO DE SISTEMAS LÓGICOS UTILIZANDO COMPUTADORES DIGITAIS. BASEIA-SE NUM MODELO SIMPLES PARA OS BLOCOS LÓGICOS BASEADOS NO ATRASO DE PROPAGAÇÃO E NA AMBIGUIDADE DE SAÍDA DURANTE O CHAVEAMENTO. O SIMULADOR PODE DETECTAR "HAZARDS" E CORRIDAS CRÍTICAS NOS CIRCUITOS COMBINACIONAIS E SEQUENCIAIS, RESPECTIVAMENTE.

SUGERE-SE UM MÉTODO PARA A SIMULAÇÃO DE SISTEMAS DESCRITOS POR EQUAÇÕES BOOLEANAS, E UMA TÉCNICA PARA GERAR O DESENHO DESSES SISTEMAS USANDO-SE COMPUTADOR DIGITAL.

A B S T R A C T

A TABLE DRIVEN SIMULATOR IS DEVELOPED FOR SIMULATION OF LOGIC SYSTEMS, ON THE DIGITAL COMPUTER. A SIMPLE MODEL FOR THE LOGIC BLOCKS BASED ON PROPAGATION DELAY AND OUTPUT AMBIGUITY DURING SWITCHING IS USED. THE SIMULATOR ENABLES DETECTION OF HAZARDS AND CRITICAL RACES IN THE COMBINATORIAL AND SEQUENTIAL CIRCUITS RESPECTIVELY.

A METHOD FOR SIMULATION OF SYSTEM DESCRIBED BY BOOLEAN EQUATIONS IS INDICATED AND A TECHNIQUE FOR OBTAINING COMPUTER GENERATED DRAWINGS OF THESE SYSTEMS IS SUGGESTED.

C O N T E U D O

	PÁGINA
CAPÍTULO 1 - INTRODUÇÃO	01
1.0 - INTRODUÇÃO	02
1.1 - O SIMULADOR	02
1.2 - TESTES DE SISTEMAS DIGITAIS ...	02
1.3 - PERSPECTIVA DO TRABALHO	03
CAPÍTULO 2 - ESCOLHA E DESCRIÇÃO DO SIMULADOR	05
2.0 - INTRODUÇÃO	05
2.1 - REQUISITOS DE UM BOM SIMULADOR.	05
2.2 - ESCOLHA DO SIMULADOR	06
2.3 - TABELAS DE ACIONAMENTO EM RELA- ÇÃO AO TEMPO	07
2.4 - TIPOS DE TABELAS DE ACIONAMENTO	08
CAPÍTULO 3 - TABELAS DE ACIONAMENTO	09
3.0 - INTRODUÇÃO	09
3.1 - DESCRIÇÃO DO CIRCUITO ILUSTRATI VO	09
3.2 - TABELAS ESTÁTICAS	10
3.2.1 - TABELA TGEC	10
3.2.2 - TABELA TLSG	10
3.2.3 - TABELA TDS	12

	<u>PÁGINA</u>
3.3 - TABELAS DINÂMICAS	13
• 3.3.1 - TABELA TVDT	13
3.3.2 - TABELA TVC	14
CAPÍTULO 4 - ANÁLISE DE UM CIRCUITO COMBINACIONAL USANDO O SIMULADOR	25
4.0 - INTRODUÇÃO	25
4.1 - ANÁLISE DO CIRCUITO	25
4.2 - ANÁLISE DAS TABELAS DE ACIONA- MENTO	26
4.3 - DETERMINAÇÃO DAS FALHAS	30
CAPÍTULO 5 - ANÁLISE DE UM CIRCUITO SEQUENCIAL ...	44
5.0 - INTRODUÇÃO	44
5.1 - ANÁLISE CONVENCIONAL	44
5.2 - DETECÇÃO DE CORRIDAS CRÍTICAS PELO SIMULADOR	45
5.3 - CONCLUSÕES	46
CAPÍTULO 6 - CONCLUSÕES	52
6.0 - INTRODUÇÃO	52
6.1 - RESULTADOS DO MODELO DE TABELAS DE ACIONAMENTO	52
6.2 - MODELOS ESPECIAIS DE ANÁLISE DE SISTEMAS DIGITAIS	53
6.3 - COMENTÁRIOS	54

CAPÍTULO 7 - SUGESTÕES	
7.0 - INTRODUÇÃO	55
7.1 - LINGUAGEM LIPSI	55
7.2 - LINGUAGENS PREQS e LINKS	56
7.3 - PROGRAMA LISCI	57
APÊNDICE A - SIMULAÇÃO DOS ELEMENTOS LÓGICOS	63
A.1 - ELEMENTO LÓGICO "AND"	63
A.2 - ELEMENTO LÓGICO "OR"	64
A.3 - ELEMENTO LÓGICO "EXCLUSIVE-OR"	65
A.4 - ELEMENTO LÓGICO "FULL-ADDER" ..	65
A.5 - FLIP-FLOP TIPO-D	66
APÊNDICE B - DESCRIÇÃO DO PROGRAMA SIMULADOR	70
B.1 - FLUXOGRAMA DO SIMULADOR	70
B.2 - ANÁLISE DOS BLOCOS	70
B I B L I O G R A F I A	74

INDICE DE TABELAS

<u>TABELA</u>		<u>PÁGINA</u>
3.1a	Formato da Tabela TGEC	17
3.1b	Tabela TGEC aplicada ao circuito da figura 3.1	17
3.2a	Formato da Tabela TLSG	18
3.2b	Tabela TLSG para TC=8	19
3.3a	Formato da Tabela TDS	20
3.3b	Tabela TDS para o circuito da figura 3.1.	21
3.4a	Formato da Tabela TVDT	22
3.4b	Tabela TVDT para TC=3	23
3.5a	Formato da Tabela TVC	24
3.5b	Tabela TVC para TC=3	24
4.1	Tabela TDS	33
4.2	Tabela TGEC	34
4.3	Tabelas TVDT e TVC para TC = 1	35
4.4	Tabelas TVDT e TVC para TC = 2	36
4.5	Tabelas TVDT e TVC para TC = 3	37
4.6	Tabelas TVDT e TVC para TC = 4	38
4.7	Tabelas TVDT e TVC para TC = 5	39

ÍNDICE DE TABELAS

<u>TABELA</u>		<u>PÁGINA</u>
4.8	Tabelas TVDT e TVC para TC = 6	40
4.9	Tabelas TVDT e TVC para TC = 7	41
4.10	Tabelas TVDT e TVC para TC = 8	42
4.11	Tabela TLSG	43
5.1	Tabela Transição	49
A.1	Tabela da Verdade, FULL-ODDER	68
A.2	Tabela da Verdade, "FLIP-FLOP" tipo-D ...	69

ÍNDICE DE FIGURAS

<u>FIGURA</u>		<u>PÁGINA</u>
3.1	Circuito exemplo das tabelas de acionamento	16
4.1	Circuito combinacional em teste	31
4.2	Saídas do circuito combinacional	32
5.1	Circuito sequencial	48
5.2	Mudanças de estado de Y1Y2	49
5.3	Saídas para TC=0	50
5.4	Saídas para TC=1	51
7.1	Circuito Exemplo	58
7.2	Linguagem LIPSI	59
7.3	Linguagem PREQS	60
7.4	Linguagem LINKS	61
7.5	Fluxograma do sistema digital	62
A.1	FULL-ADDER	68
A.2	"FLIP - FLOP" tipo-D	69
B.1	Fluxograma do simulador	73

CAPÍTULO I

INTRODUÇÃO

1.0 - INTRODUÇÃO

A evolução na construção de circuitos lógicos aumentou a sua complexidade em termos de projeto e análise. Acresce que, por outro lado, esse avanço tecnológico impulsionou o desenvolvimento (capacidade de memória, velocidade, precisão) dos computadores digitais, abrangendo enorme gama de circuitos lógicos necessários ao projeto desses computadores.

Observou-se que um projeto de sistemas digitais, pelo método convencional, requer dispêndio desnecessário de tempo e de trabalho manual. Por essas razões, verificou-se que o projeto de sistemas digitais poderia ser feito utilizando-se computadores.

O termo **projeto automático digital** refere-se à aplicação de computadores e técnicas baseadas em computadores no projeto de sistemas digitais.

1.1 - O SIMULADOR

Usa-se a palavra simulador para especificar um conjunto de programas usados na análise do projeto de um sistema digital. Tais programas são usualmente preparados para utilizar banco de dados ou sistema de arquivos no projeto, análise, documentação, e na geração dos resultados desejados. Esse segmento refere-se à análise de falhas ("HAZARDS", corridas críticas e ciclos) ocorridas no projeto dos sistemas digitais. A importância dessa análise exige grande precisão e velocidade de execução do simulador.

O projeto do simulador necessita de algum tipo de comunicação de dados entre o usuário e o sistema a ser processado. O método mais comum é a obtenção dos dados a partir do desenho do circuito lógico ou a partir das suas equações.

1.2 - TESTES DE SISTEMAS DIGITAIS

Uma maneira de determinar se um sistema digital funciona corretamente consiste na aplicação de todas as combinações possíveis de entrada e em seguida comparar as saídas.

das corretas correspondentes, usando, por exemplo, uma versão sem falhas do mesmo sistema. Qualquer diferença observada indica falhas no projeto desse sistema. Esses testes exaustivos são usualmente grandes para serem práticos e algumas vezes são desnecessários.

Normalmente é possível determinar a presença de falhas em sistemas digitais por meio de testes especiais, ou seja, por testes não exaustivos.

Os testes especiais normalmente se baseiam na análise de funções booleanas ⁽¹⁾, simplificação dos mapas de Karnaugh, uso da teoria dos grafos ⁽²⁾, e de algumas técnicas derivadas desses testes.

1.3 - PERSPECTIVA DO TRABALHO

Os sistemas digitais dividem-se em circuitos sequenciais e circuitos combinacionais. A escolha do simulador baseia-se na sua capacidade de representar tanto os circuitos sequenciais como os combinacionais⁽³⁾

O capítulo 2 mostra a escolha das tabelas de acionamento à guisa de modelo básico do simulador. Descreve também os tipos de tabelas de acionamento (tabelas estáticas e dinâmicas) necessárias ao seu funcionamento.

O capítulo 3 desenvolve os tipos de tabelas de acionamento de acordo com as suas subdivisões. Usa, para melhor assimilação, um circuito como exemplo de utilização dessas tabelas.

O capítulo 4 analisa um circuito combinacional com o objetivo de determinar falhas no seu projeto, e mostra o funcionamento das tabelas de acionamento em função da análise do simulador.

O capítulo 5 mostra a análise de um circuito sequencial pelo simulador. A análise é dirigida para determinar corridas críticas além de mostrá-las.

O capítulo 6 faz a comparação entre os objetivos obtidos e os desejados no início deste trabalho.

O capítulo 7 indica sugestões para pesquisas futuras no intuito de aperfeiçoar o sistema aqui desenvolvido.

O apêndice "A" descreve a simulação dos elementos lógicos, e utiliza o monitor FORTRAN como linguagem básica de descrição.

O apêndice "B" descreve o funcionamento do programa simulador através da análise dos blocos do seu fluxograma.

O anexo "A" mostra a listagem dos programas e rotinas do simulador.

CAPÍTULO II

ESCOLHA E DESCRIÇÃO DO SIMULADOR

2.0 - INTRODUÇÃO

O simulador tem dois objetivos principais: análise de grandes sistemas de circuitos lógicos, e a detecção de falhas nesse sistema.

A análise de grandes sistemas de circuitos lógicos é limitada pelo porte do computador usado na simulação.

Falhas nos sistemas decorrem das simplificações ou omissões efetuadas no projeto desses sistemas.

2.1 - REQUISITOS DE UM BOM SIMULADOR

A imposição na escolha de um bom simulador

CCO de Arty
Rua Aprigio Veloso, 1.100, 11.111-111
58.100 - Campina Grande - Paraíba

visando os objetivos desejados, é forçada pelos seguintes fatores:

- a) grande velocidade de execução e compilação;
- b) mínima utilização de memória e capacidade de executar grandes circuitos;
- c) facilidade de implementação contanto que flexível e versátil;
- d) fidelidade na descrição dos sistemas físicos que estão sendo simulados.

2.2 - ESCOLHA DO SIMULADOR

Os requisitos do item 2.1 e mais a necessidade de se representar elementos lógicos, indicam as tabelas de acionamento como modelo básico do simulador.

As tabelas de acionamento lidam diretamente com os vários tipos de elementos, descrevem os circuitos, e determinam, durante a simulação, os elementos que devem ser analisados com o uso de rotinas especialmente preparadas.

Uma das características das tabelas de acionamento é a sua facilidade de simular tanto circuitos sequenciais como combinacionais, não havendo a necessidade de se especificar realimentações em circuitos sequenciais (⁴).

No funcionamento das tabelas de acionamento, os níveis lógicos dos circuitos são dinamicamente analisados pela determinação dos elementos que precisam da análise dos seus níveis de entrada e saída, devido a uma mudança de nível ao circuito interno ou externo.

2.3 - TABELAS DE ACIONAMENTO EM RELAÇÃO AO TEMPO

Uma das maiores vantagens das tabelas de acionamento é a sua capacidade de mudanças de níveis lógicos, síncronos e assíncronos, nas entradas dos elementos.

A mudança de níveis lógicos síncronos obedece a uma frequência constante na variação de seus valores lógicos.

A mudança de níveis lógicos assíncronos não obedece a uma frequência fixa.

O tempo de mudança de estado lógico de saída dos elementos é da ordem de "ns" (nano segundos), normalizando-se para uma base de tempo em que "1ns" seja representado por uma unidade de tempo. Podem-se usar múltiplos desta base como aproximações para o tempo de atraso e de ambiguidade dos elementos lógicos.

O simulador analisa o circuito com a varia -

ção do tempo para cada um dos seus valores. Caso necessário, os elementos pertencentes ao circuito são avaliados e modificados. Essa variação de tempo é múltipla da sua base. O termo tempo corrente (TC) é usado para especificar o tempo atual de análise. A variação de tempo obedece a um valor constante chamado tempo de incremento (TINCR).

2.4 - TIPOS DE TABELAS DE ACIONAMENTO

O simulador necessita de dois tipos de tabelas de acionamento; tabelas dinâmicas e tabelas estáticas.

As tabelas dinâmicas descrevem as entradas e saídas dos elementos de acordo com a variação dos seus níveis lógicos.

As tabelas estáticas descrevem o circuito e mostram os elementos que devem ser avaliados ou modificados naquele instante de análise.

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 822 - Tel (083) 321-7222-R 355
58.100 - Campina Grande - Paraíba

CAPÍTULO III

TABELAS DE ACIONAMENTO

3.0 - INTRODUÇÃO

O capítulo mostra as tabelas de acionamento, estáticas e dinâmicas, utilizando um circuito como exemplo ilustrativo do funcionamento dos tipos dessas tabelas.

3.1 - DESCRIÇÃO DO CIRCUITO ILUSTRATIVO

O circuito da figura 3.1 tem a finalidade de mostrar o funcionamento das tabelas estáticas e dinâmicas. Compõe-se de tres elementos: dois lógicos "AND" e um lógico "OR". O elemento lógico de número 1 tem como entradas os parâmetros X2 e X3, o elemento 2 tem como entradas X1 e X3, e o elemento 3 tem como entradas as saídas lógicas dos elementos 1 e 2. A figura 3.1 mostra as formas de ondas de entrada.

3.2 - TABELAS ESTÁTICAS

Desenvolvemos tres tipos de tabelas estáti - cas: tabela dos elementos com entrada externa ao sistema (TGEC), tabela da saída dos elementos a serem desenhados (TMSG), e tabela de descrição do sistema (TDS).

3.2.1 - TABELA TGEC

A tabela TGEC indica ao simulador os elementos com entradas externas ao sistema. Por exemplo, na figura 3.1 os elementos 1 e 2 possuem como entradas X1, X2 e X3. Os valores de mudança dessas entradas serão armazenados na tabela TGEC.

A tabela 3.1a mostra o formato da tabela TGEC.

A tabela TGEC possui 12 campos: o primeiro informa o número do elemento; o segundo, o número de entrada externa; e os dez últimos, o tempo corrente de mudança (TC). A mudança do valor lógico "0" para "1", na entrada do elemento, representa-se por TC positivo, a mudança de "1" para "0" representa-se por TC negativo.

A tabela 3.1b mostra o formato da TGEC aplicado ao circuito da figura 3.1. Para o exemplo, mostra-se que

X1 muda para o valor lógico "0", em TC=2; depois, para o valor lógico "1", em TC=5; X2, do valor lógico "0" para "1" em TC=4; e X3, do valor lógico "1" para "0", em TC=7; e afinal de "0" para "1", em TC=9.

3.2.2 - TABELA TLSG

A tabela TLSG armazena os valores lógicos das saídas dos elementos de acordo com a variação do tempo. As informações são usadas no desenho dos valores lógicos de saída dos elementos.

A tabela 3.2a mostra o formato da TLSG.

A tabela TLSG tem as seguintes funções:

- a) indicar o número do elemento lógico do qual se quer o desenho dos seus valores lógicos de saída;
- b) número da saída a desenhar;
- c) número de polegadas usadas no traçador de gráficos ("PLOTTER");
- d) número de mudanças de estados lógicos;
- e) tempo corrente em que houve as mudanças de estados lógicos;
- f) valor lógico da saída dos elementos após as mudanças.

A tabela 3.2b mostra as informações armazenadas na tabela TLSG de acordo com o funcionamento do circuito da figura 3.1. Levou-se em consideração TIN=0 (tempo inicial de análise) e TFIM=8 (tempo final de análise). O valor -1, referenciado no campo do valor lógico após a mudança, indica ambiguidade na saída do elemento.

3.2.3 - TABELA TDS

A tabela TDS descreve o circuito por meio das seguintes funções:

- a) faz a ligação entre os elementos lógicos, isto é, indica, para todas as entradas dos elementos, o elemento e o número de sua saída correspondentes a essas entradas, ou se a entrada é externa ao sistema;
- b) indica o tempo de atraso do elemento;
- c) mostra o tempo em que o elemento permanece em ambiguidade;
- d) aponta o tipo do elemento lógico por meio de números: "OR" = 1, "NOR" = 2, "AND"=3, "NAND" = 4, "EXCLUSIVE-OR" = 5, "NOT" = 6, "HALF-ADDER" = 7, "FULL-ADDER" = 8, etc.

A tabela 3.3a mostra o formato da tabela TDS.

A ligação entre os elementos lógicos é feita pela indicação do número do elemento a entrar e do número de sua saída. O armazenamento dessas duas informações por entrada, é feita no mesmo campo e obedece à seguinte fórmula:

$$\text{Entrada} = 10 \times (\text{número do elemento a entrar}) + (\text{número de saída do elemento a entrar})$$

A informação sobre a entrada do elemento tendo um número negativo, indica que o controle da entrada é externo ao sistema.

A tabela 3.3b mostra as informações armazenadas na TDS de acordo com o circuito da figura 3.1.

3.3 - TABELAS DINÂMICAS

Desenvolvemos dois tipos de tabelas dinâmicas; a tabela dos valores lógicos de entrada e saída de acordo com a variação do tempo (TVDT), e a tabela do valor lógico corrente de saída (TVC).

3.3.1 - TABELA TVDT

A tabela TVDT mostra a variação dos níveis

lógicos de entrada e saída dos elementos em função da variação do tempo.

A tabela TVDT tem as seguintes funções:

- a) indicar o número do elemento;
- b) armazenar os valores lógicos das entradas dos elementos conforme as suas variações;
- c) armazenar os valores lógicos das saídas dos elementos tendo em vista essas variações;
- d) apontar o tempo de atraso do elemento face a uma mudança de estado lógico;
- e) indicar o tempo em que o elemento permanece com a sua saída lógica em ambiguidade.

A tabela 3.4a mostra o formato da tabela TVDT. Usam-se as seguintes abreviações: TC - tempo corrente de análise; TD - tempo de atraso; e TA - tempo em que a saída do elemento permanece em ambiguidade.

A tabela 3.4b mostra os valores armazenados na tabela TVDT para TC=3.

3.3.2 - TABELA TVC

A tabela TVC indica os valores lógicos das saídas dos elementos de acordo com a variação de TC. Armazena os valores lógicos "0" e "1".

A tabela TVC tem duas funções: indicar o número do elemento e armazenar o valor das suas saídas lógicas (máximo de quatro saídas).

A tabela 3.5a mostra o formato da tabela TVC.

A tabela 3.5b indica os valores armazenados na tabela TVC para TC=3.

Rua Aprício Viana 223 - N 355
 58.100 - Campina Grande - Paraíba

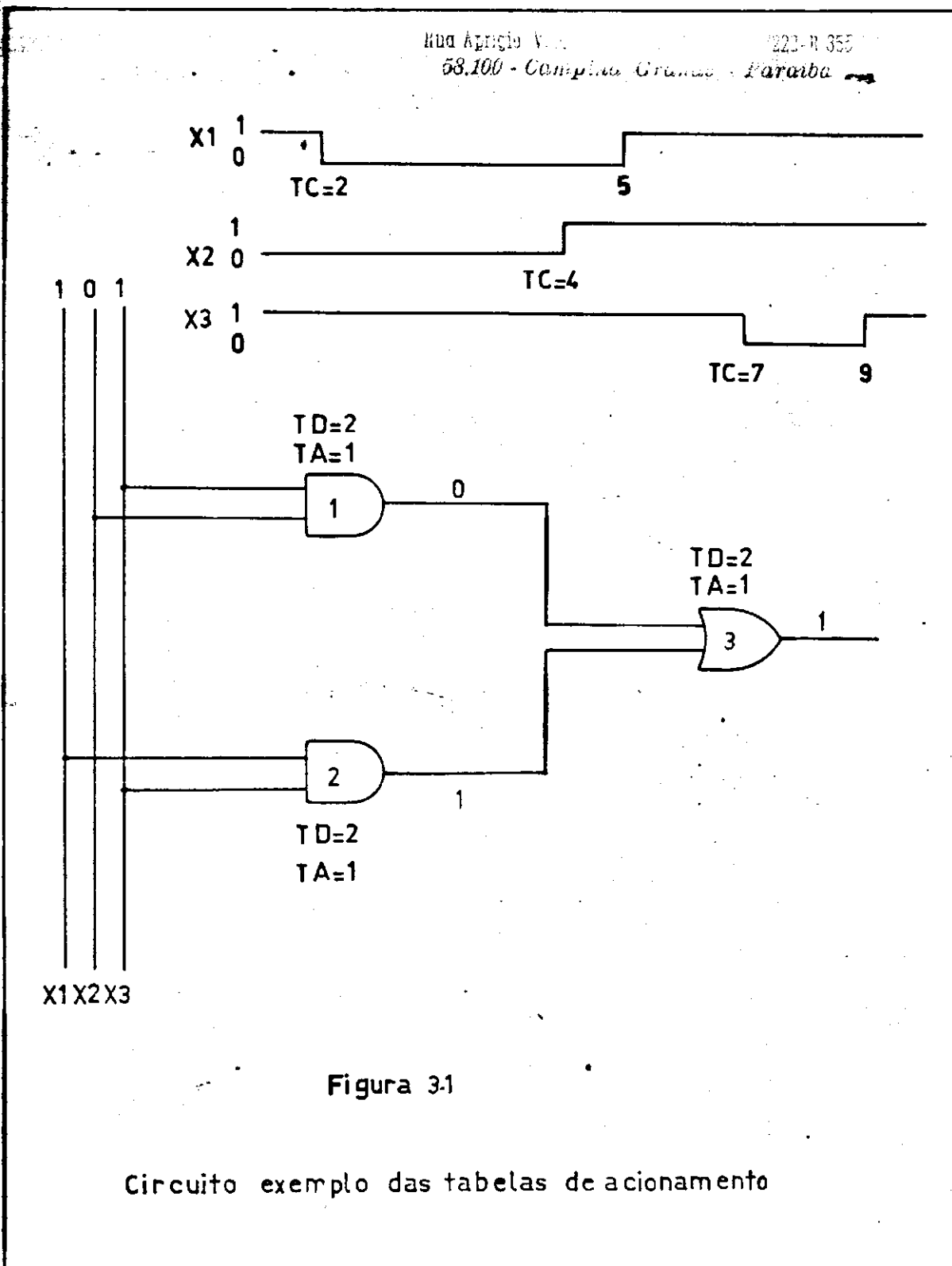


Figura 3-1

Circuito exemplo das tabelas de acionamento

NÚMERO DO ELEMENTO	NÚMERO DE ENTRADA	MUDANÇAS LÓGICAS									
		1	2	3	4	5	6	7	8	9	10

TABELA 3.1a

Formato da tabela TGEC

NÚMERO DO ELEMENTO	NÚMERO DE ENTRADA	MUDANÇAS LÓGICAS									
1	1	-7	9								
1	2	4									
2	1	-2	5								
2	2	-7	9								

TABELA 3.1b

Tabela TGEC aplicada ao circuito da fig. 3.1

NÚMERO DO ELEMENTO	NÚMERO DA SAÍDA	NÚMERO DE POLEGADAS	NÚMERO DE MUDANÇAS	MUDANÇAS DE ESTADOS LÓGICOS (13 mudanças)			
				TEMPO DE MUDANÇA (TM)	VALOR LÓGICO ATUAL (VA)		VALOR LÓGICO ATUAL (VA)

TABELA 3.2a

Formato da tabela TLSG

NÚMERO DO ELEMENTO	NÚMERO DA SAÍDA	NÚMERO DE POLEGADAS	NÚMERO DE MUDANÇA	MUDANÇAS DE ESTADOS LÓGICOS (13 mudanças)									
				TM	VA	TM	VA	TM	VA	TM	VA		
1	1	7	2	0	0	6	-1	7	1				
2	1	7	3	0	1	4	-1	5	0	7	-1		
3	1	7	0	0	1								

TABELA 3.2b

Tabela TLSG para TC=8

NÚMERO DO ELEMENTO	ENTRADAS DO ELEMENTO								TEMPO DE ATRASO (TD)	TEMPO DE AMBIG. (TA)	TIPO DO ELEMENTO (TIPO)
	1	2	3	4	5	6	7	8			

TABELA 3.3a
Formato da Tabela TDS

NÚMERO DO ELEMENTO	ENTRADAS DO ELEMENTO								TD	TA	TIPO
	1	2	3	4	5	6	7	8			
1	-3	-2							2	1	3
2	-1	-3							2	1	3
3	11	21							2	1	1

TABELA 3.3b

Tabela TDS para o circuito da figura 3.1

UNIVERSIDADE FEDERAL DA PARAIBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (83) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADA								VALORES LÓGICOS SAÍDAS				ATRASSO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		

TABELA 3.4a
Formato da tabela TVDT

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAIDAS				ATRASO	AMBIGUIDADE
	1	2	3	4	5	6	7	8	1	2	3	4	TC + TD	TC + TD + TA
1	1	0							0					
2	1	1							1				4	5
3	0	1							1					

TABELA 3.4b

Tabela TVDT para TC=3

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4

TABELA 3.5a
Formato da Tabela TVC

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4
1	0			
2	1			
3	1			

TABELA 3.5b
Tabela TVC para TC=3

CAPÍTULO IV

ANÁLISE DE UM CIRCUITO COMBINACIONAL USANDO O SIMULADOR

4.0 - INTRODUÇÃO

A análise do circuito combinacional é feita com o objetivo de determinar falhas ("HAZARDS") no seu projeto e para mostrar o funcionamento das tabelas de acionamento com a análise em foco.

4.1 - ANÁLISE DO CIRCUITO

Analisou-se o circuito da figura 4.1 com o objetivo de determinar falhas ("HAZARDS") devido a diferentes atrasos na mudança de estado dos elementos lógicos do circuito. Determinam-se as falhas considerando-se valores lógicos diferentes nas entradas do circuito, e atribuindo valo-

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 832 Tel. (33) 321 7222-R 355
58.100 - Campina Grande - Paraíba

res de atraso diferentes dos seus elementos. A saída "Z" do circuito terá valor lógico "1" para valores lógicos diferentes nas entradas do circuito.

Elegendo-se convenientes mudanças nos barramentos, de maneira que tenham valores lógicos diversos ("0" e "1"), a saída "Z" continuará com o valor lógico "1". Por outro lado, adotando-se tempos de atrasos diferentes nos elementos do circuito, a saída "Z" pode permanecer no estado lógico "0" durante um certo tempo. A determinação do valor lógico "0" na saída do elemento 4, define a falha no projeto do circuito.

4.2 - ANÁLISE DAS TABELAS DE ACIONAMENTO

A análise do circuito da figura 4.1 foi feita utilizando-se as tabelas 4.1 a 4.11, geradas pelo simulador (SIMUL).

A tabela 4.1 (tabela TDS) mostra que os elementos 1, 2 e 3 possuem entradas externas indicadas pelos números negativos nos seus campos de entrada. O elemento 4 possui como entradas a primeira saída lógica dos elementos 1, 2 e 3. O campo do tempo de atraso informa que os elementos 1 e 3 tem TD=4 e os elementos 2 e 4 têm TD=2. Considera-se TA=0 para todos os elementos. O campo to tipo do elemento informa

que os elementos 1, 2 e 3 são circuitos lógicos "EXCLUSIVE-OR" (tipo 5), e o elemento 4 é um circuito lógico "OR" (tipo 1).

A tabela 4.2 (tabela TGEC) armazena as mudanças dos valores lógicos das entradas. Para TC=1 a primeira entrada do elemento 1 muda do valor lógico "1" para o valor "0". A segunda entrada do elemento 2 e a primeira entrada do elemento 3, mudam do valor lógico "0" para o valor "1". As outras mudanças lógicas apresentadas na tabela TGEC, não interessam nesta análise.

A tabela 4.3 (tabelas TVDT e TVC) mostra as tabelas dinâmicas para TC=1.

O armazenamento dos valores lógicos de entrada e saída dos elementos na tabela TVDT, é feita pela utilização de dois "bits" (dígitos binários), onde "bits" 0-0 representam valor lógico "0", "bits" 0-1 representam "1", e "bits" 1-1 ou 1-0 representam ambiguidade.

O elemento 1 possui, no seu campo de entrada, o número 20480 em decimal, ou 0101000000000000 em binário. Analisando-se o número binário da esquerda para a direita, verifica-se que as entradas lógicas do elemento 1 têm os valores "1" (duas entradas). As entradas dos elementos 2, 3 e 4 são determinadas da mesma maneira.

A saída lógica do elemento 2 tem o número 64 em decimal, ou 0000000001000000 em binário. Portanto, a saída lógica do elemento 2 tem o valor "1".

Para TC=1 verifica-se que não houve mudança no estado lógico do circuito. A mudança nos elementos do cir

cuído, devido às informações contidas nas tabelas TDS e TGEC, é mostrada na tabela 4.4 (isto se deve à lógica do simulador; Apêndice B). Não foram modificados os campos de TA e TD da tabela TVDT.

O armazenamento dos valores lógicos de saída dos elementos na tabela TVC, é feito pela utilização de um "bit" por saída. A tabela sô armazena os valores lógicos de saída "0" e "1".

A saída do elemento 2 é representada na TVC pelo número 8 em decimal ou 1000 em binário. As saídas dos elementos são armazenadas da esquerda para a direita. Portanto, a saída do elemento 2 tem o valor lógico "1". A mesma análise pode ser feita nos outros elementos do circuito.

Tabelas dinâmicas para TC=2 (tabela 4.4).

Na tabela TVDT o elemento 1 possui, no seu campo de entrada, o número 4096 em decimal ou 0001000000000000 em binário. Portanto, os valores lógicos de entrada do elemento 1 mudaram de "1-1" para "0-1". Esta mudança foi feita de acordo com a análise das tabelas TDS e TGEC. Para estas entradas, a saída do elemento 1 deverá mudar do valor lógico "0" para o valor "1". A tabela TDS mostra que este elemento tem TD=4. O valor de TC no instante de mudança da entrada lógica do elemento 1, é adicionado com o seu valor de tempo de atraso. Portanto, o novo valor do campo de tempo de atraso será 5. Isto significa que o elemento 1 mudará o valor lógico de sua saída em TC=5. A mesma análise pode ser feita para os elementos lógicos 2 e 3.

Não houve modificações na tabela TVC.

Tabelas dinâmicas para TC=3 (tabela 4.5).

Analisando-se a tabela TVDT, verifica-se que a saída do elemento 2 mudou do valor lógico "1" para o valor "0".

Não houve modificações na tabela TVC e na entrada lógica do elemento 4 (ver Apêndice B).

Tabelas dinâmicas para TC=4 (tabela 4.6).

Verifica-se a atualização da tabela TVC e da entrada lógica do elemento 4, na tabela TVDT.

O campo do tempo de atraso do elemento 4 indica que, para TC=5, a saída do elemento 4 mudará de valor lógico "1" para o valor "0".

Tabelas dinâmicas para TC=5 (tabela 4.7).

Verifica-se, na tabela TVDT, que a saída do elemento 4 mudou do valor lógico "1" para o valor "0".

As saídas dos elementos 1 e 3 mudaram do valor lógico "0" para o valor "1". Não houve atualização da tabela TVC.

Tabelas dinâmicas para TC=6 (tabela 4.8).

Observa-se, na tabela TVDT, que os campos de tempo de atraso e de ambiguidade do elemento 4 tem o valor 7. Portanto, para TC=7, a saída lógica do elemento 4 mudará do valor "0" para "1". Observa-se a atualização da tabela TVC.

Tabelas dinâmicas para TC=7 (tabela 4.9)

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (083) 321 7222-R 355
58.100 - Campina Grande - Paraíba

A tabela TVDT mostra que a saída lógica do elemento 4 mudou do valor "0" para o valor "1".

Tabelas dinâmicas para TC=8 (tabela 4.10).

As tabelas TVDT e TVC mostram que não haverá modificações nas saídas lógicas dos elementos, até que haja uma mudança nos barramentos de entrada.

A tabela 4.11 mostra TLSG para TC=8.

A tabela TLSG indica o desenho dos elementos 1, 2, 3 e 4. Esse desenho deve ser feito no traçador de gráficos ("PLOTTER") com 5 polegadas de comprimento (figura 4.2).

O elemento 1 mudará o seu valor lógico de "0" para "1" em TC=5; o elemento 2 de "1" para "0" em TC=3; o elemento 3 de "0" para "1" em TC=5; e o elemento 4 de "1" para "0" em TC=5 e de "0" para "1" em TC=7. Tais informações estão armazenadas no campo de mudanças de estados lógicos da tabela TLSG.

4.3 - DETERMINAÇÃO DAS FALHAS

A figura 4.2 mostra o desenho das saídas lógicas dos elementos do circuito. Observa-se que entre TC=5 e TC=7, a saída do elemento 4 permanece com valor lógico "0". O valor "0" na saída do elemento 4 determina a presença de falhas no projeto do circuito.

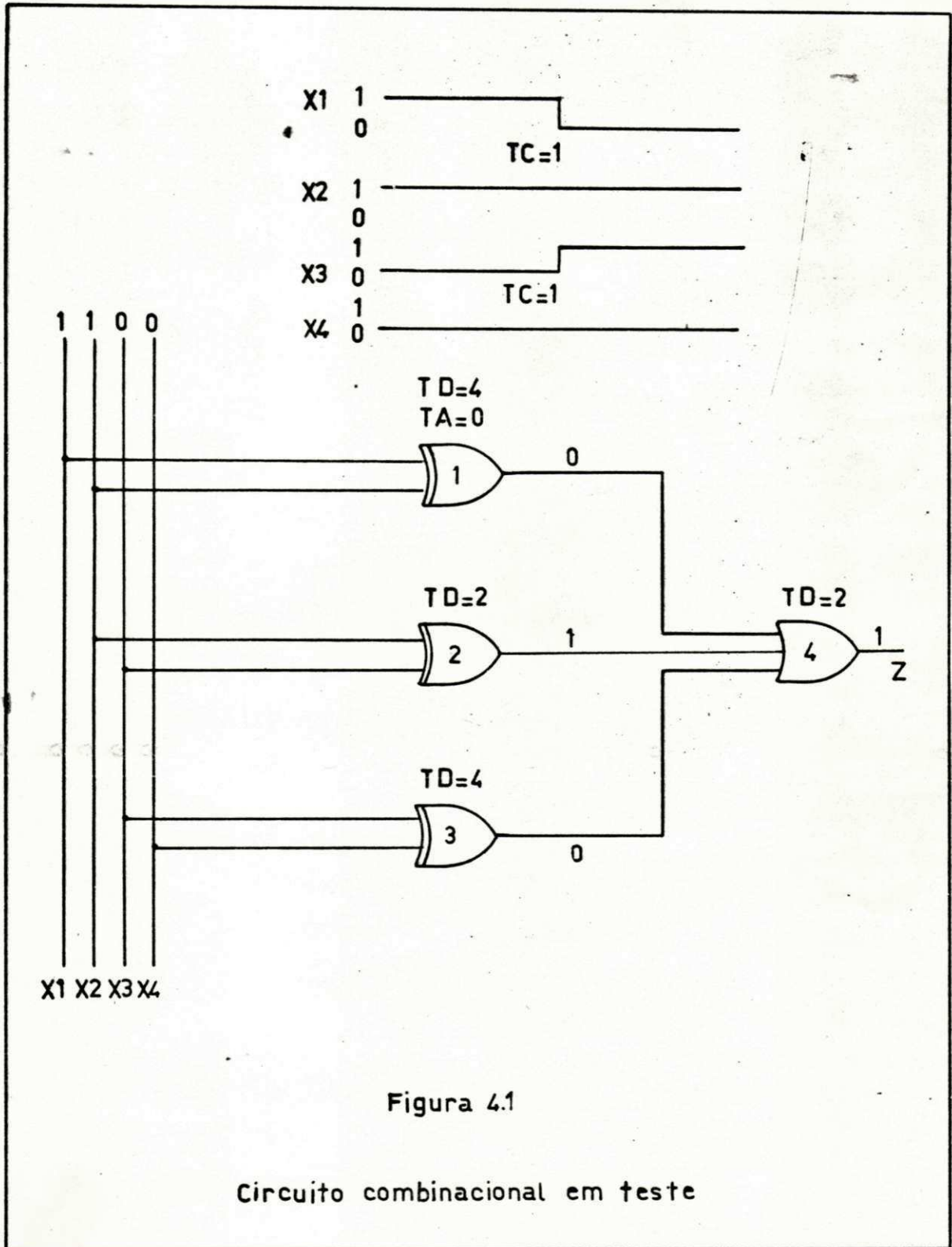


Figura 4.1

Circuito combinacional em teste

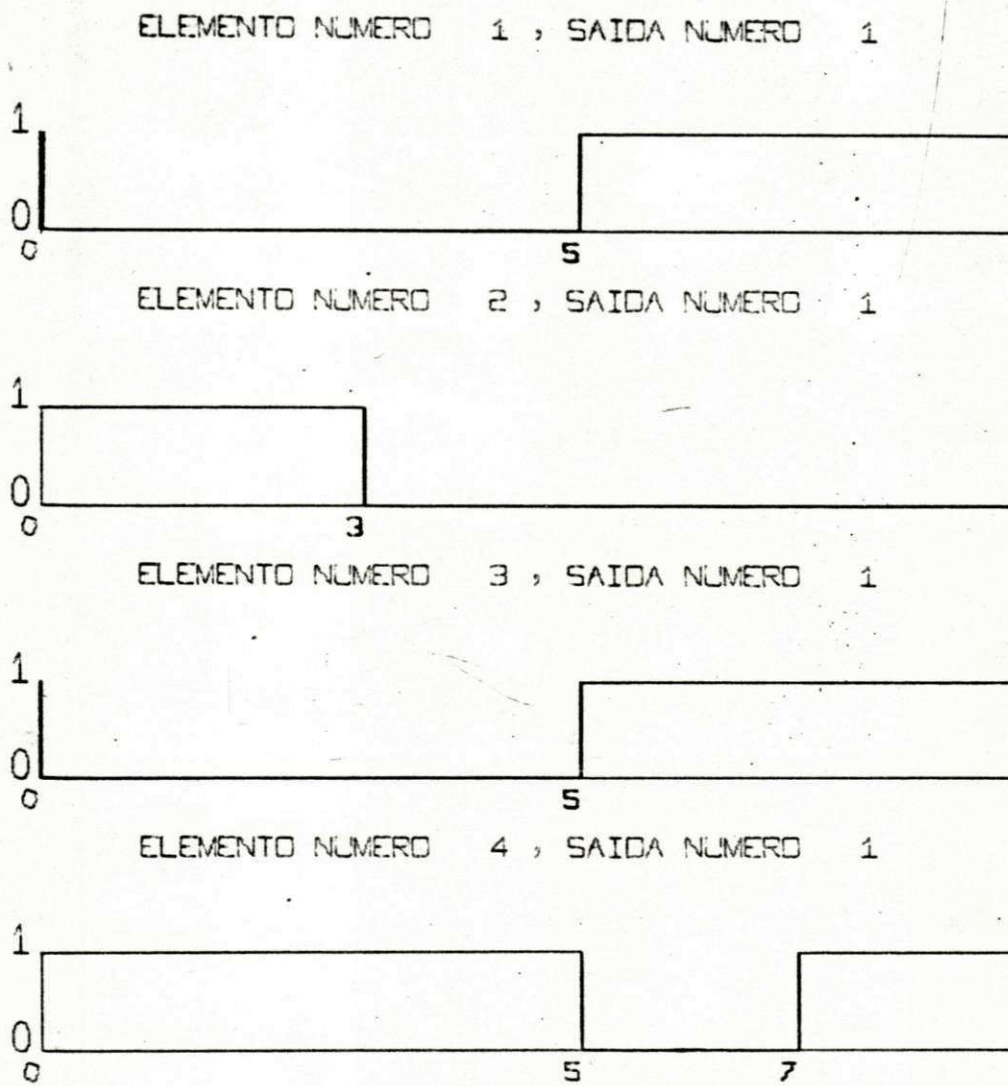


FIGURA 4.2

SAIDAS DO CIRCUITO COMBINACIONAL

NÚMERO DO ELEMENTO	ENTRADAS DO ELEMENTO								TD	TA	TIPO
	1	2	3	4	5	6	7	8			
1	-10	-10							4	0	5
2	-10	-10							2	0	5
3	-10	-10							4	0	5
4	11	21	31						2	0	1

TABELA 4.1

Tabela TDS

NÚMERO DO ELEMENTO	NÚMERO DE ENTRADA	MUDANÇAS LÓGICAS									
1	1	- 1	24								
1	2	-16	24								
2	1	-16	24								
2	2	1	-24								
3	1	1	-24								
3	2	16	-50								

TABELA 4.2

Tabela TGEC

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAÍDAS				ATRASO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		
1	4096								0				5	5
2	20480								64				3	3
3	16384								0				5	5
4	4096								64				0	0

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4
1	0			
2	8			
3	0			
4	8			

TABELA 4.4

Tabelas TVDT e TVC para TC=2

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAIDAS				ATRASO	AMBIGUIDADE
	1	2	3	4	5	6	7	8	1	2	3	4	TC + TD	TC + TD + TA
1	4096								0				5	5
2	20480								0				3	3
3	16384								0				5	5
4	4096								64				0	0

NÚMERO DO ELEMENTO	SAIDAS LÓGICAS			
	1	2	3	4
1	0			
2	8			
3	0			
4	8			

TABELA 4.5

Tabelas TVDT e TVC para TC=3

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAIDAS				ATRASSO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		
1	4096								0				5	5
2	20480								0				3	3
3	16384								0				5	5
4	0								64				5	5

NÚMERO DO ELEMENTO	SAIDAS LÓGICAS			
	1	2	3	4
1	0			
2	0			
3	0			
4	8			

TABELA 4.6

Tabelas TVDT e TVC para TC=4

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

NÚMERO DE ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAÍDAS				ATRASSO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		
1	4096								64				5	5
2	20480								0				3	3
3	16384								64				5	5
4	0								0				5	5

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4
1	0			
2	0			
3	0			
4	8			

TABELA 4.7

Tabelas TVDT e TVC para TC=5

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAÍDAS				ATRASO	AMBIGUIDADE
	1	2	3	4	5	6	7	8	1	2	3	4	TC + TD	TC + TD + TA
1	4096								64				5	5
2	20480								0				3	3
3	16384								64				5	5
4	17408								0				7	7

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4
1	8			
2	0			
3	8			
4	0			

TABELA 4.8

Tabelas TVDT e TVC para TC=6

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAIDAS				ATRASSO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		
1	4096								64				5	5
2	20480								0				3	3
3	16384								64				5	5
4	17408								64				7	7

NÚMERO DO ELEMENTO	SAIDAS LÓGICAS			
	1	2	3	4
1	8			
2	0			
3	8			
4	0			

TABELA 4.9

Tabelas TVDT e TVC para TC=7

NÚMERO DO ELEMENTO	VALORES LÓGICOS ENTRADAS								VALORES LÓGICOS SAÍDAS				ATRASO TC + TD	AMBIGUIDADE TC + TD + TA
	1	2	3	4	5	6	7	8	1	2	3	4		
1	4096								64				5	5
2	20480								0				3	3
3	16384								64				5	5
4	17408								64				7	7

NÚMERO DO ELEMENTO	SAÍDAS LÓGICAS			
	1	2	3	4
1	8			
2	0			
3	8			
4	8			

TABELA 4.10

Tabelas TVDT e TVC para TC=8

UNIVERSIDADE FEDERAL DA PARAIBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

NÚMERO DO ELEMENTO	NÚMERO DA SAÍDA	NÚMERO DE POLEGADAS	NÚMERO DE MUDANÇA	MUDANÇAS DE ESTADOS LÓGICOS (13 mudanças)													
				TM	VA	TM	VA	TM	VA	TM	VA	TM	VA	TM	VA		
1	1	5	1	0	0	5	1										
2	1	5	1	0	1	3	0										
3	1	5	1	0	0	5	1										
4	1	5	2	0	1	5	0	7	1								

TABELA 4.11

Tabela TLGG

CAPÍTULO V

ANÁLISE DE UM CIRCUITO SEQUENCIAL

5.0 - INTRODUÇÃO

O capítulo mostra a análise de um circuito sequencial pelo método convencional (3) e pelo uso do simulador (4).

A análise convencional utiliza a tabela de transição do circuito. Sugere-se um método de determinação das corridas críticas, a partir do método convencional, usando-se computadores digitais.

A análise pelo simulador determina corridas críticas e mostra como evitá-las.

5.1 - ANÁLISE CONVENCIONAL

A figura 5.1 mostra um circuito sequencial?

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
58.100 - Campina Grande - Paraíba

assíncrono com duas entradas, X1 e X2.

A tabela 5.1 mostra a tabela de transição do circuito da figura 5.1.

Da análise da tabela 5.1, observa-se que, tendo-se, $X1X2=11$ e $Y1Y2=01$, no estado estável, com mudança de $X1X2=11$ para $X1X2=01$, segue-se que $Y1Y2$ podem mudar para os estados lógicos mostrados na figura 5.2. Essa análise determina dois estados estáveis para $Y1Y2$. A mudança para esses estados depende dos atrasos nas mudanças de $Y1Y2$. Em conclusão: nota-se uma corrida crítica na variação de $X1X2=11$ para $X1X2=01$.

5.2 - DETECÇÃO DE CORRIDAS CRÍTICAS PELO SIMULADOR

A análise de circuitos sequenciais usando o programa simulador, baseia-se nos diferentes tempos de atraso dos elementos. Variando-se o tempo de atraso nas malhas de realimentação, obtêm-se estados diferentes para $Y1Y2$. Quando as mudanças de estado de $Y1Y2$ forem simultâneas, um aumento no tempo de atraso de algum elemento na malha de realimentação implicará numa possível mudança de estado estável de $Y1Y2$.

A figura 5.3 mostra as saídas do circuito considerando-se $TA=0$ em todos os elementos. Usou-se o programa

simulador, SIMUL. Observa-se para $TC=10$ a mudança simultânea dos estados de $Y1Y2$. Variando-se o tempo de atraso dos elementos na malha de realimentação, obtem-se o estado desejado no projeto do circuito.

Para se determinar a corrida crítica usando-se ambiguidade, considera-se $TA=1$ em todos os elementos do circuito (ou nos elementos da malha de realimentação). A figura 5.4 mostra a resposta do circuito para $TA=1$. Verifica-se que $Y1$ permanece em ambiguidade entre $TC=10$ e $TC=13$, e $Y2$ permanece em ambiguidade entre $TC=10$ e $TC=12$. Entre $TC=10$ e $TC=12$, uma das entradas do elemento 8 tem o valor lógico "1", e as outras duas estão em ambiguidade. Portanto, entre $TC=14$ e $TC=17$, a saída do elemento 8 está em ambiguidade. A região de ambiguidade na saída do elemento 8 faz com que, entre $TC=20$ e $TC=24$, a saída do elemento 10 permaneça em ambiguidade. Esta ambiguidade na saída do elemento 10 é chamada região potencial de erro.

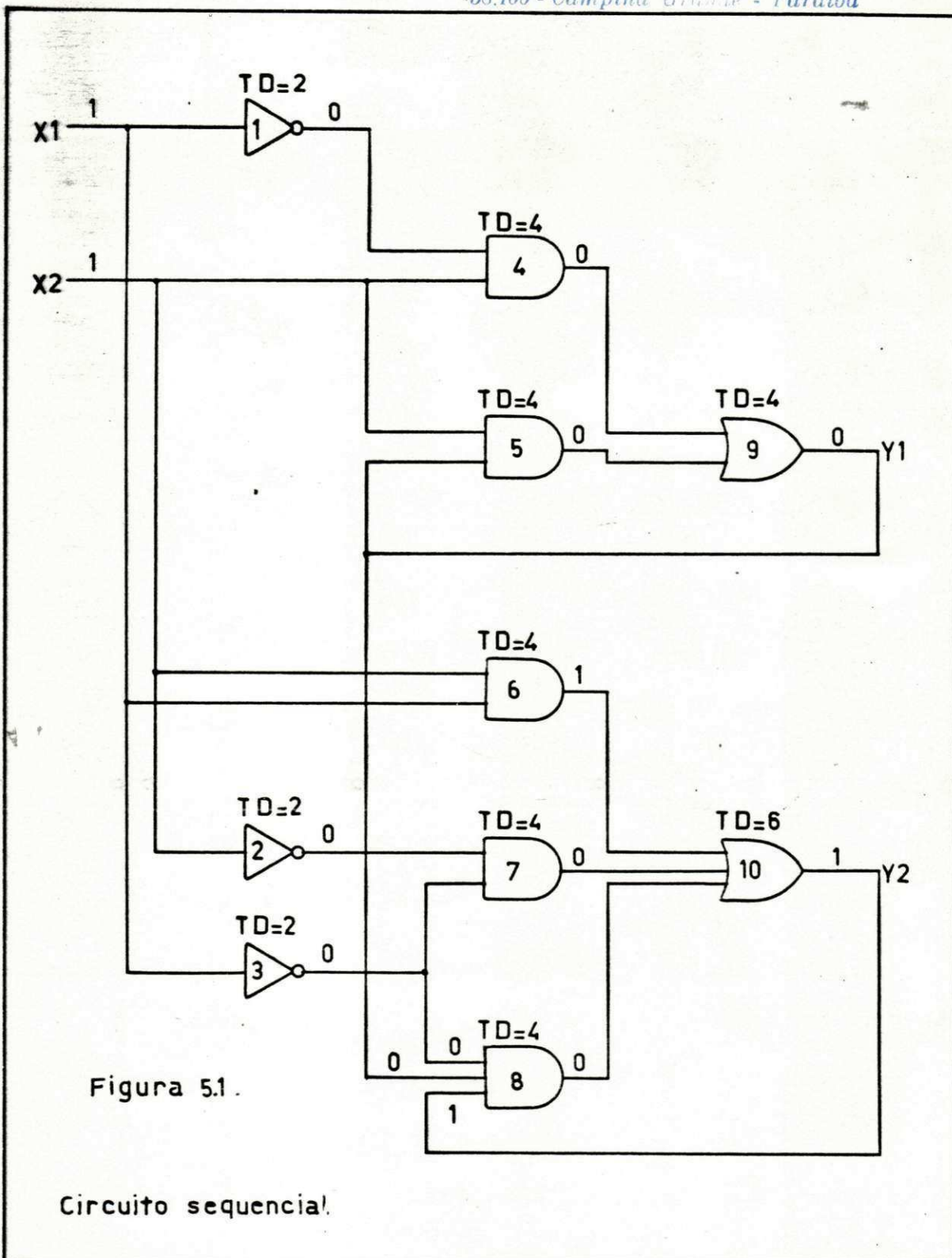
O simulador determina corridas críticas pela indicação de uma região potencial de erro numa das malhas de realimentação do circuito.

5.3 - CONCLUSÕES

A determinação de corridas críticas pelo mē-

todo convencional (tabelas de transição), à primeira vista, parece ser simples, mas, para circuitos com mais de três excitações, o método convencional torna-se complicado. Verifica-se então a necessidade de se utilizar computadores para essa determinação. Um método de determinar corridas críticas a partir da tabela de transição, usando-se computadores, é pela determinação de uma mudança de estado para uma coluna em que haja mais de um estado estável de excitações. Atente-se para o fato de que a mudança das entradas seja para um estado instável das excitações.

A determinação de corridas críticas pelo simulador tem a vantagem de indicar as correções possíveis no circuito. Adicionando-se atrasos aos elementos do circuito, obtem-se o funcionamento desejado.



		X1 X2			
		00	01	11	10
Y1 Y2	00	01	10	01	00
	01	01	10	01	00
	11	01	11	11	00
	10	01	10	11	00

Tabela 5.1

Tabela de transição

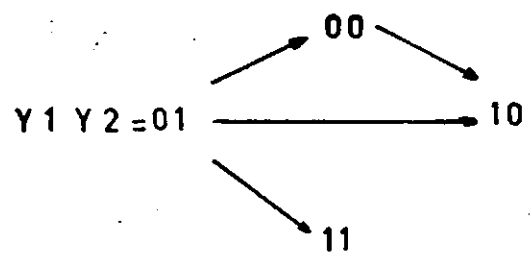
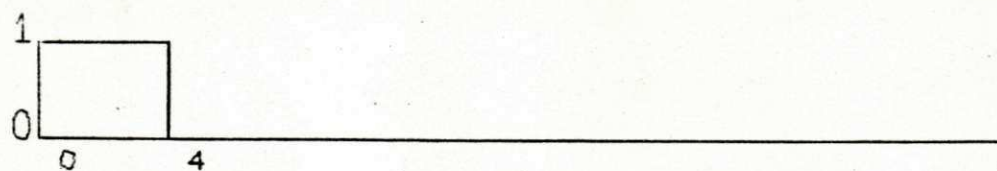


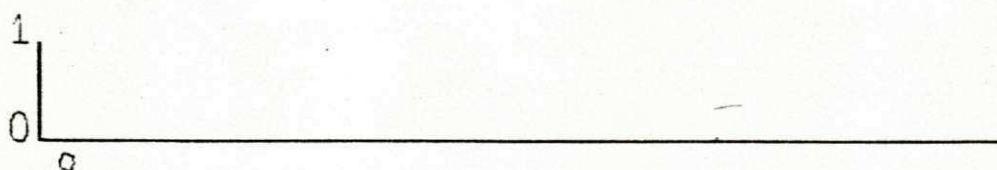
Figura 5.2

Mudanças de estado de Y1 Y2

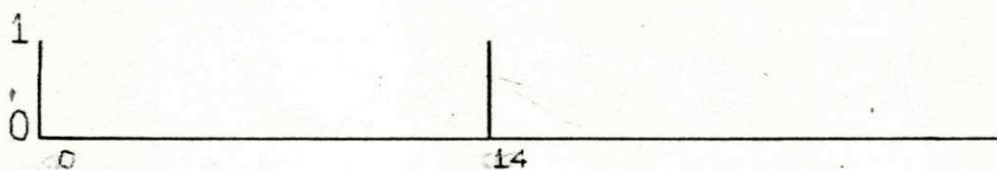
ELEMENTO NUMERO 6 , SAIDA NUMERO 1



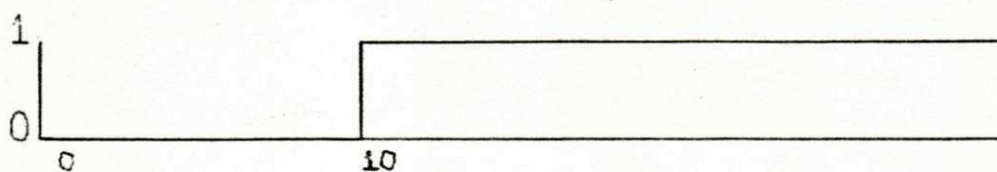
ELEMENTO NUMERO 7 , SAIDA NUMERO 1



ELEMENTO NUMERO 8 , SAIDA NUMERO 1



ELEMENTO NUMERO 9 , SAIDA NUMERO 1



ELEMENTO NUMERO 10 , SAIDA NUMERO 1

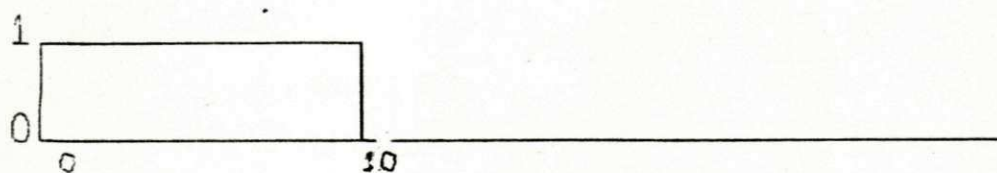
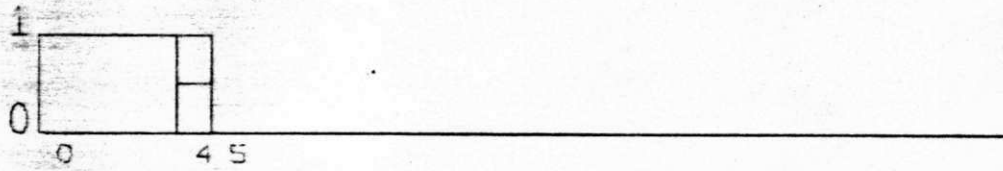


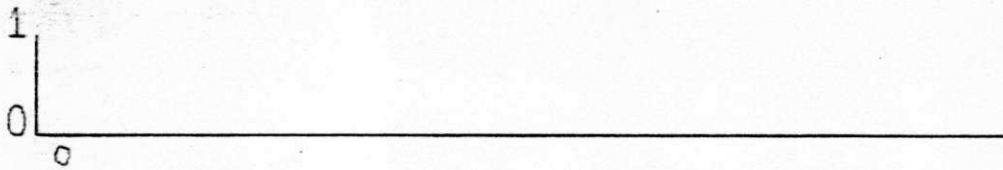
Figura 5.3

Saídas para $TC = 0$

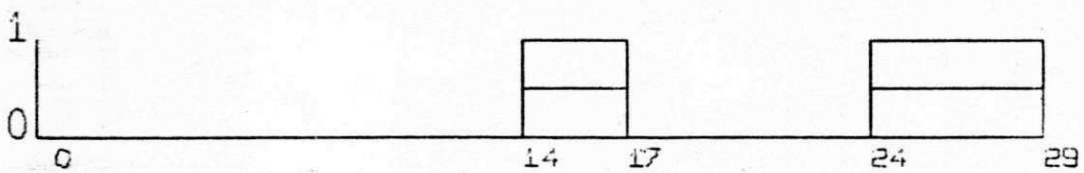
ELEMENTO NUMERO 6 , SAIDA NUMERO 1



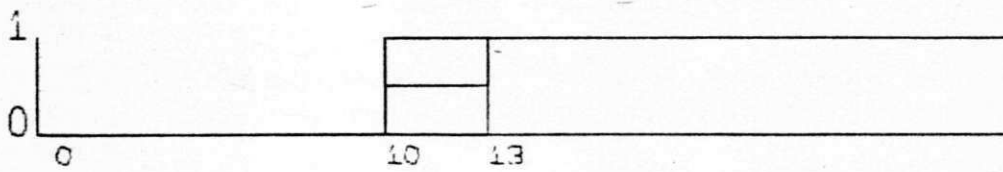
ELEMENTO NUMERO 7 , SAIDA NUMERO 1



ELEMENTO NUMERO 8 , SAIDA NUMERO 1



ELEMENTO NUMERO 9 , SAIDA NUMERO 1



ELEMENTO NUMERO 10 , SAIDA NUMERO 1

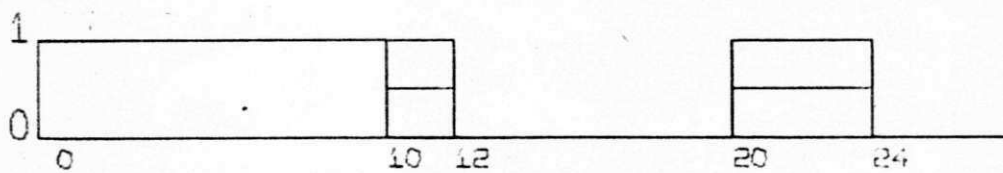


Figura 5.4

Saidas para TC = 1

CAPÍTULO VI

CONCLUSÕES

6.0 - INTRODUÇÃO

O capítulo faz uma comparação entre os objetivos desejados no início deste trabalho e os resultados obtidos. Discute alguns aspectos relativos à análise de sistemas digitais.

6.1 - RESULTADOS DO MODELO DE TABELAS DE ACIONAMENTO

A maior desvantagem das tabelas de acionamento, no sentido de economia de memória, é que a quantidade de memória reservada é fixa para todos os elementos, causando dispêndio de memória, pois não são normalmente necessárias na descrição dos elementos. Por exemplo: reservam-se quatro saí

das para cada elemento do circuito; mas, normalmente, os elementos lógicos s \tilde{o} t \tilde{e} m uma sa \tilde{i} da. Essa desvantagem \tilde{e} compensada pela facilidade de an \tilde{a} lise das tabelas e consequente velocidade de execu \tilde{c} o, isto \tilde{e} , como a quantidade de informa \tilde{c} oes armazenadas de um elemento \tilde{e} fixa, a sua posi \tilde{c} o na tabela \tilde{e} facilmente determinada, atrav \tilde{e} s de uma declara \tilde{c} o indexada (7) de alguma linguagem cient \tilde{i} fica.

O computador utilizado na simula \tilde{c} o foi de pequeno porte, um IBM 1130. A limita \tilde{c} o na mem \tilde{o} ria desse computador reduziu a capacidade de simular os elementos, de terminando, como quantidade \tilde{o} tima, 4 entradas e 8 sa \tilde{i} das l \tilde{o} gicas nos elementos. Al \tilde{e} m disso, for \tilde{c} ou o uso de uma linguagem "ASSEMBLY" para poder representar essas entradas e sa \tilde{i} das l \tilde{o} gicas (7).

A l \tilde{o} gica do simulador \tilde{e} mostrada na figura B.1 (Ap \tilde{e} ndice B). Sendo o objetivo principal deste trabalho a determina \tilde{c} o de falhas em sistemas digitais, o programa simulador n \tilde{a} o considerou o caso em que TD=0. A an \tilde{a} lise de um sistema em que se deseje TD=0, pode ser feita atrav \tilde{e} s de um programa semelhante ao SIMUL.

6.2 - MODELOS ESPECIAIS DE AN \tilde{A} LISE DE SISTEMAS DIGITAIS

Existem diversos modelos desenvolvidos para

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (083) 321-7222-N 355
58.100 - Campina Grande - Paraíba

analisar circuitos de elementos discretos (resistores, transistores, capacitores, diodos). O mais conhecido é o ECAP⁽⁸⁾.

A partir desses modelos, desenvolveu-se a análise de sistemas digitais pela consideração de um bloco lógico como um conjunto de elementos discretos. Um desses modelos considera, para a representação de um bloco lógico, um circuito composto de capacitores e de resistores, pois, sabe-se que um circuito RC tem uma característica exponencial semelhante à de mudança de estado de um circuito digital⁽⁹⁾. A característica de sistema digital obtida com o uso de circuitos RC, pode ser usada para a criação de diversos blocos que representarão o sistema digital⁽¹⁰⁾. Um sistema com esta análise é muito dispendioso (quantidade de memória, tempo de execução); a sua "performance" é inferior a do simulador aqui desenvolvido.

6.3 - COMENTÁRIOS

O programa simulador mostrou ser eficaz na análise de sistemas digitais, mas, para um bom funcionamento necessita de desenvolvimento de um sistema que facilite a obtenção de dados para o seu processamento. O capítulo 7 descreve um sistema com este objetivo.

CAPÍTULO VII

SUGESTÕES

7.0 - INTRODUÇÃO

O capítulo sugere um sistema baseado no Simulador. O sistema consiste de linguagens (uma a partir do desenho do circuito e a outra pelas equações booleanas que descrevem o circuito) para a preparação de dados necessários ao Simulador, e de um programa para desenhar o circuito a partir da tabela de descrição do sistema.

7.1 - LINGUAGEM LIPSI

Um dos problemas em simulação é a construção de uma linguagem para simplificar a transmissão de dados entre o usuário e o programa simulador. A linguagem sugerida aqui será chamada de LIPSI.

A figura 7.1 mostra um circuito usado como exemplo.

A figura 7.2 mostra as declarações da linguagem LIPSI para o circuito da figura 7.1.

7.2 - LINGUAGENS PREQS e LINKS

Linguagem de preparação de dados para o simulador a partir das equações booleanas usadas na descrição do circuito.

A figura 7.3 mostra a entrada de dados para o PREQS a partir das equações booleanas do circuito da figura 7.1.

LINKS é uma linguagem de ligação entre a PREQS e o SIMUL. As informações fornecidas, inicialmente, pelas equações booleanas, não são completas para o funcionamento do SIMUL.

PREQS mostra ao usuário, por meio de lista-gem da tabela de descrição do circuito, os elementos que vão ser usados na análise do sistema. Estas informações são armazenadas e depois completadas pela LINKS. A complementação permite a chamada do SIMUL. Há uma semelhança entre LINKS e LIPSI.

7.3 - PROGRAMA LISCI

Desenho do circuito usando-se o traçador de gráficos ("PLOTTER") (6).

O Desenho do circuito é feito a partir da ta bela de descrição do sistema (TDS).

A preparação do circuito e o seu subsequente desenho é feito por meio das etapas abaixo.

Etapa 1

Determinação, a partir da TDS, dos barramentos do sistema, desenhá-los.

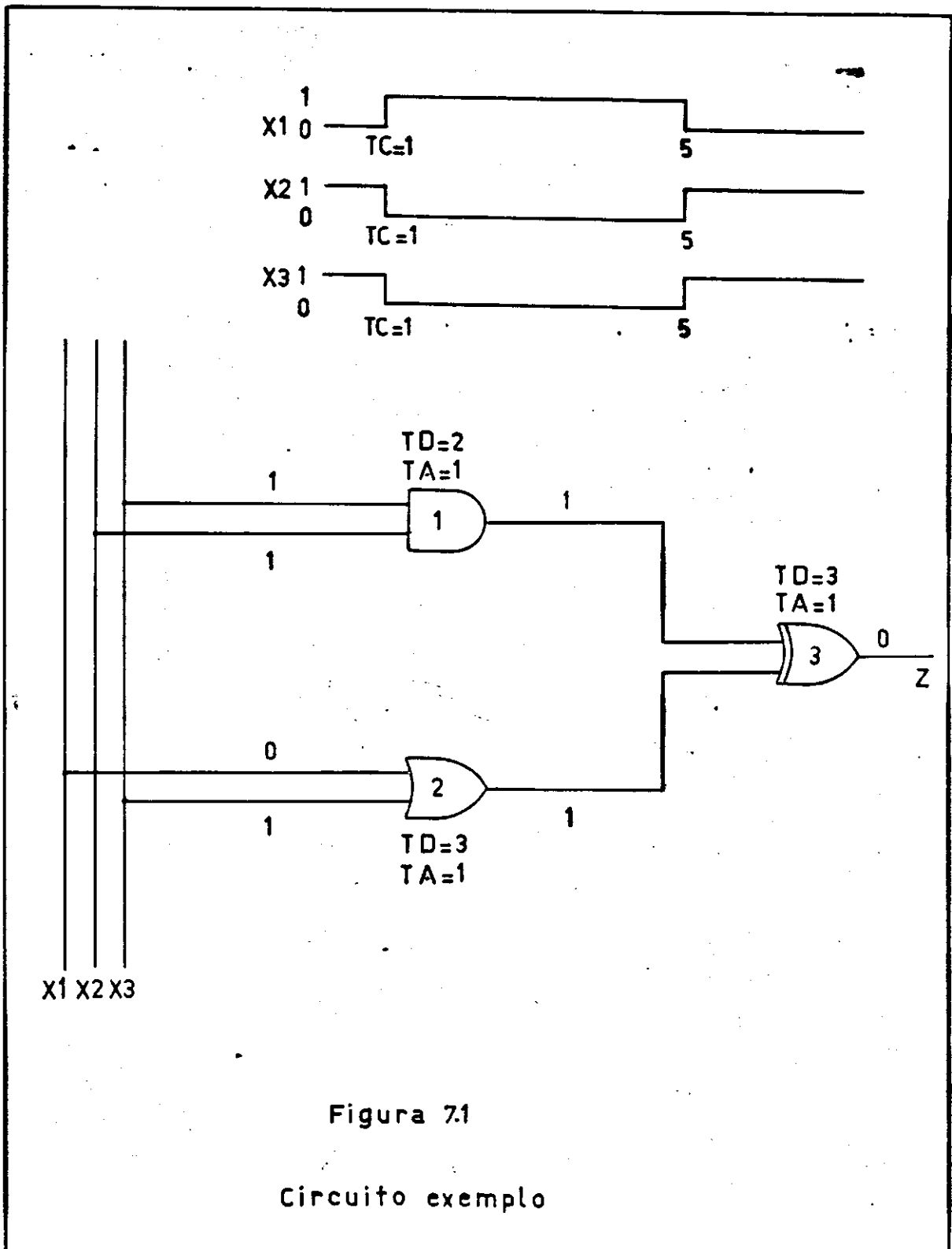
Etapa 2

Determinação da primeira coluna do circuito, desenhar os elementos da coluna.

Etapa 3

Desenhar as colunas subsequentes de acordo com a sua formação a partir da TDS.

A figura 7.5 mostra o sistema com as linguagens LIPSI, PREQS e LINKS, e o programa LISCI.



```
// XEQ LIPSI
  * INICIO
  * IMPRIMA O PROGRAMA FONTE
C   PROGRAMA EXEMPLO NA PREPARAÇÃO DE DADOS PARA O SIMUL
C   A PARTIR DO CIRCUITO DA FIGURA 7.1
  NÚMERO DE ELEMENTOS 3
  ELEMENTO 1, AND, TD=2, TA=1
  ENTRADAS X3, X2
  ESTÁVEL 1,1,1
C   VALORES LÓGICOS INICIAIS DE ENTRADA "1" e "1", SAIDA "1"
  ELEMENTO 2, OR, TD=3, TA=1
  ENTRADAS X1, X3
  ESTAVEL 0,1,1
  ELEMENTO 3, EXCLUSIVE-OR, TD=3, TA=1
  ENTRADAS ELEM1, ELEM2
  ESTAVEL 1,1,0
  X1 1, -5
  X2 -1, 5
  X3 -1, 5
  TIN=0, TFIM=10, TINC=1
  FIM
  EXECUTE
  * IMPRIMA ELEMENTOS 1,2,3
  *IMPRIMA TABELAS
  * FIM DE EXECUÇÃO
// XEQ SIMUL
```

figura 7.2

LINGUAGEM LIPSI

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (083) 321 7222-R-355
58.100 - Campina Grande - Paraíba

// XEQ PREQS

*INICIO

*IMPRIMA O PROGRAMA FONTE

Z1=(X2*X3) @ (X1+X3)

EXECUTE

*IMPRIMA TABELA DE DESCRICAO

*FIM

figura 7.3

LINGUAGEM PREQS

```
// XEQ LINKS
  *INICIO
  *IMPRIMA O PROGRAMA FONTE
C  DADOS COMPLEMENTARES DE PREQS
  ELEM 1, TD=3, TA=1
  ESTAVEL 1,1,1
  ELEM 2,TD=3, TA=1
  ESTAVEL 0,1,1
  ELEM 3, TD=3, TA=1
  ESTAVEL 1,1,0
  X1 1, -5
  X2 -1, 5
  X3 -1, 5
  TIN=0, TFIM=10, TINC=1
  FIM
  EXECUTE
  *IMPRIMA ELEMENTOS 1,2,3
  *FIM DE EXECUCAO
// XEQ SIMUL
```

figura 7.4

LINGUAGEM LINKS

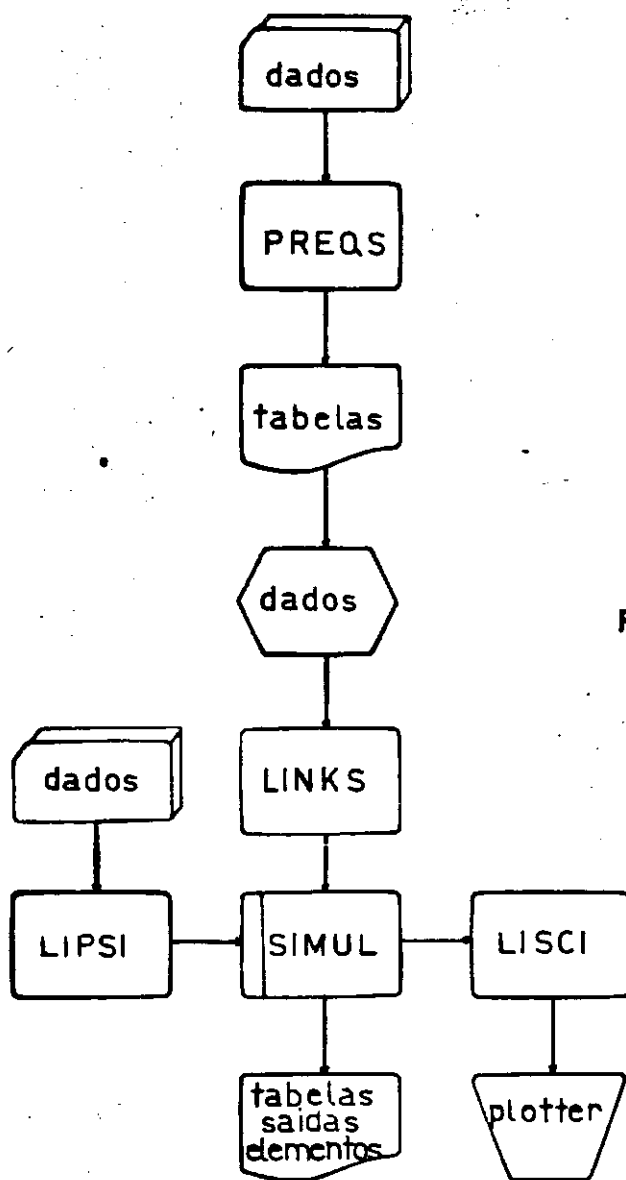


Figura 75

Fluxograma do sistema digital

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 832 Tel. (83) 321-7222-N 355
58 100 - Campina Grande - Paraíba

APÊNDICE A

SIMULAÇÃO DOS ELEMENTOS LÓGICOS

A.1 - ELEMENTO LÓGICO "AND"

O circuito lógico "AND" (⁵) terá saída "1" quando todas as entradas tiverem o valor "1"; se houver pelo menos uma entrada com valor "0", a saída terá o valor lógico "0". Matematicamente, a saída do circuito terá valor lógico de saída igual a multiplicação dos valores lógicos de entrada, isto é, considerando-se a álgebra valor lógico "1" vezes "0" igual a "0", valor lógico "1" vezes valor lógico "1" igual a "1".

Usando-se a linguagem FORTRAN obtem-se o seguinte trecho de programa:

```
C-----ENTRADA - VALOR LÓGICO DE ENTRADA  
C-----SAÍDA   - VALOR LÓGICO DE SAÍDA  
C-----N       - NÚMERO DE ENTRADAS  
                SAIDA = 1  
                DO 10 I=1, N
```



```
10  - SAIDA = SAIDA + ENTRADA (I)
10  CONTINUE
    IF (SAIDA - N) 20,30, 20
20  SAIDA = 0
    GO TO 40
30  SAIDA = 1
40  CONTINUE
```

A.2 - ELEMENTO LÓGICO "OR"

O circuito lógico "OR" terá saída "1" quando ao menos uma das suas entradas tiver o valor "1". Matematicamente, a saída do circuito terá o valor de saída igual a comparação da soma dos valores de entrada com zero. Se igual a zero, a saída terá o valor "0"; se diferente (maior), terá o valor "1". Considerando-se a álgebra desenvolvida acima com algumas modificações, obtem-se trecho adiante de um programa FORTRAN:

```
      K=0
      DO 10 I=1
      K=K + ENTRADA (I)
10  CONTINUE
    IF (K) 20, 30, 20
20  SAIDA=0
    GO TO 40
30  SAIDA = 1
40  CONTINUE
```

Os elementos "NOR", "NAND" e "NOT" podem ser simulados da mesma maneira que "AND" e "OR".

A.3 - ELEMENTO LÓGICO "EXCLUSIVE-OR"

"EXCLUSIVE-OR" é uma função booleana, mas, na sua simulação, podemos usar uma análise matemática semelhante à dos circuitos lógicos "AND" e "OR". A saída da função terá o valor lógico "1" quando as entradas tiverem número ímpar de "1"; caso contrário, a saída terá valor lógico "0". Pelas mesmas considerações das análises anteriores, obtem-se o trecho que segue de um programa FORTRAN:

```
      K=0
      DO 10 I=1,N
      K=K+ENTRADA(I)
10    CONTINUE
      IF(K-2*(K/2))20,30,20
20    SAIDA=1
      GO TO 40
30    SAIDA=0
40    CONTINUE
```

A.4 - ELEMENTO LÓGICO "FULL-ADDER"

A figura A1 mostra um bloco lógico "FULL-ADDER". A sua tabela de verdade está na tabela A1.

Analisando-se a tabela A1, verifica-se que a soma das tres entradas e o "CARRYOUT" podem ser determinadas matematicamente, como o foram os elementos anteriores. O trecho de programa FORTRAN abaixo mostra como podem ser determinados a soma e o "CARRYOUT".

```
CARRYOUT=0
SOMA=CARRYIN+A+B
IF(SOMA-2)40,20,30
20  SOMA=0
    CARRYOUT=1
    GO TO 40
30  SOMA=1
    CARRYOUT=1
40  CONTINUE
```

A.5 - FLIP-FLOP TIPO-D

O fli-flop tipo-D é caracterizado por uma única entrada (D) e uma entrada do "clock".

Possui duas saídas (Q e \bar{Q}). Pode ter controle assíncrono na entrada do relógio. Possui duas entradas de controle "CLEAR" e "PRESET". Quando houver o valor "0" numa das entradas de controle, a operação do dispositivo é inibida a saída vai para estado "1" ou "0", dependendo da entrada presente.

A operação do fli-flop (fig. A.2) é analisada pela tabela da verdade (tabela A.2.). O estado da entrada "D" mostra-se antes do "clocking", e o estado da saída Q, após o "clocking".

O trecho do programa FORTRAN, abaixo aponta a simulação do "flip-flop" tipo-D.

```

C-----CLEAR = 0, Q = 0,  $\bar{Q}$  = 1
C-----PRESET = 0, Q = 1,  $\bar{Q}$  = 0
C-----CLOCK 1 VALOR ANTERIOR DE CLOCK
C-----CLOCK = 1, MUDA ESTADO DE Q E  $\bar{Q}$  SE CLOCK 1 = 0
      IF (CLEAR) 20, 10, 20
10    Q = 0
       $\bar{Q}$  = 1
      GO TO 60
20    IF (PRESET) 40, 30, 40
30    Q = 1
       $\bar{Q}$  = 0
      GO TO 60
40    IF(CLOCK 1) 60, 45, 60
45    IF(CLOCK) 50, 60, 50
50    Q = D
       $\bar{Q}$  = 1 - D
60    CONTINUE
      CLOCK 1 = CLOCK

```

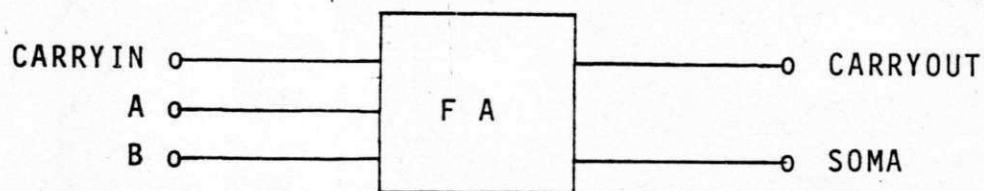


Figura A.1
Full-adder

CARRYIN	B	A	CARRYOUT	SOMA
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tabela A.1
Tabela da verdade
Full - Adder

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 822 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

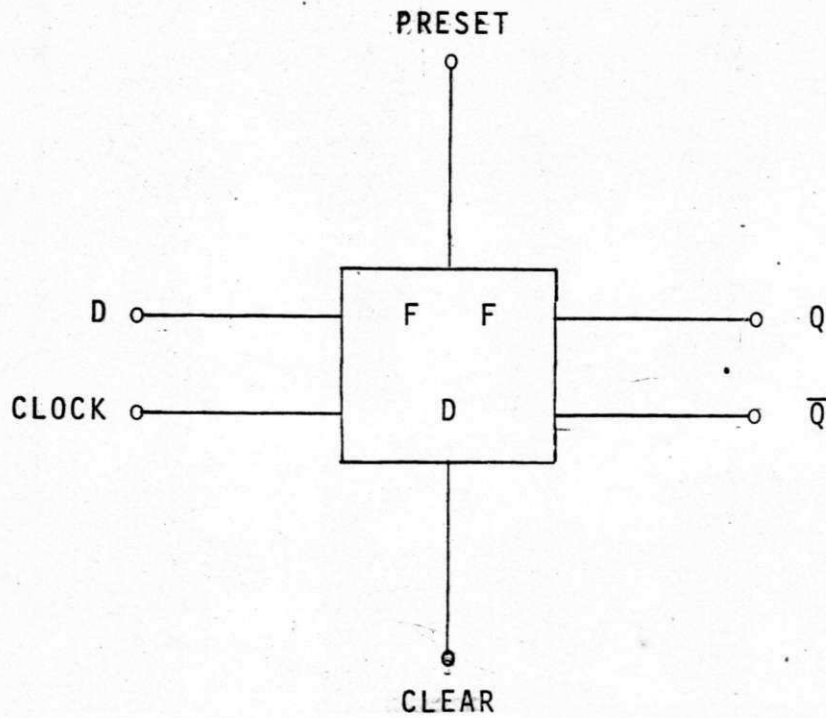


FIGURA A.2
 "Flip-flop" tipo-D

t_n	t_{n+1}
D	Q
0	0
1	1

TABELA A.2
 Tabela da Verdade
 "Flip-flop" tipo-D

APÊNDICE B

DESCRIÇÃO DO PROGRAMA SIMULADOR

B.1 - FLUXOGRAMA DO SIMULADOR

A figura B.1 mostra o fluxograma do funcionamento do simulador (programa SIMUL).

Os blocos descrevem sucintamente as etapas de obtenção de dados e de execução do programa SIMUL.

A numeração ao lado dos blocos é usada na análise do fluxograma.

B.2 - ANÁLISE DOS BLOCOS

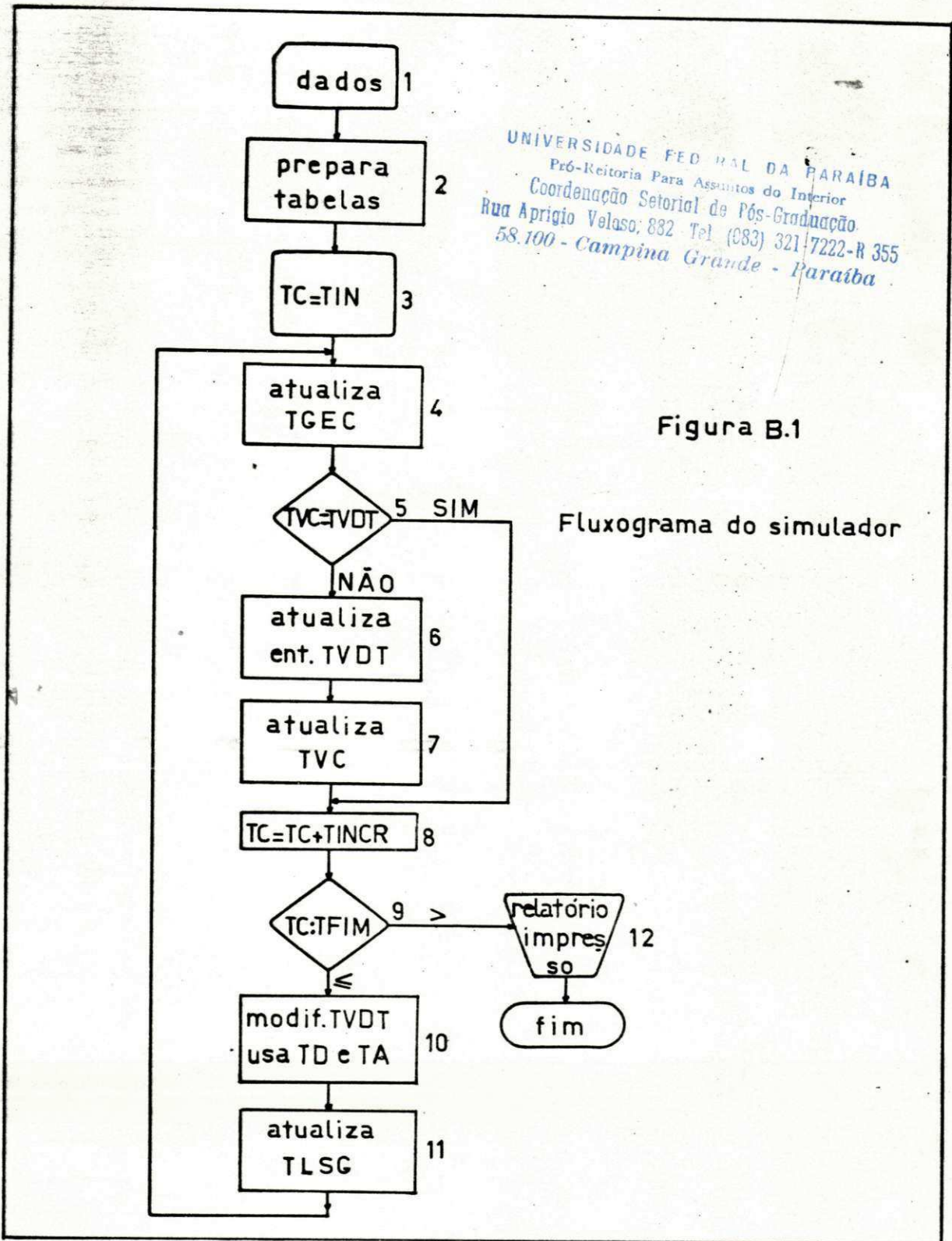
Bloco 1 - Mostra a entrada de dados - via leitora de cartões - necessários ao funcionamento do simulador.

- Bloco 2** - Mostra a preparação das tabelas de acionamento.
- Bloco 3** - Atribui valor inicial a TC.
- Bloco 4** - Atualiza as entradas dos elementos de acordo com a tabela TGEC.
- Bloco 5** - Compara os valores lógicos de saída dos elementos. A comparação é feita entre os valores armazenados na TVC e TVDT.
- Bloco 6** - Indica que, devido à mudança na saída do elemento, os elementos cujas entradas sejam encadeadas com a saída do elemento que variou, devem mudar o seu valor lógico de entrada.
- Bloco 7** - Mostra a atualização da tabela TVC. A atualização depende da mudança na saída do elemento. Só haverá atualização se não houver ambiguidade na saída da TVDT.
- Bloco 8** - Incremento em TC.
- Bloco 9** - Teste de TC com o tempo final de análise.
- Bloco 10**- Mostra modificação, após a variação de TC, das saídas dos elementos armazenados na TVDT. A modifi-

cação é feita de acordo com TD e TA.

Bloco 11- Atualização da tabela TLSG.

Bloco 12- O relatório pode ser das tabelas de acionamento através de uma impressora de papel, ou desenho, pelo "PLOTTER", da variação dos valores lógicos de saída dos elementos.



B I B L I O G R A F I A

- 1 - Ku, C. T. e Masson, G. M. - "The Boolean Difference and Multiple Fault Analysis", IEEE Transactions on Computers, Vol. C-24, N^o 1, Janeiro, 1975, pg. 72.
- 2 - Mayeda, Wataru - "Graph Theory", (book), University of Illinois, John Wiley and Sons, Inc., 1972.
- 3 - Hill, Fredrick J. e Peterson, Gerald R. - "Introduction to Switching Theory and Logical Design", (book), John Wiley and Sons, Inc., New York, 1968.
- 4 - Szygenda, Stephen A., Rouse, David M. e Thompson, Edward W. - "A Model and Implementation of a Universal Time Delay Simulator for Large Digital Nets", procedência - Spring Joint Computer Conference, 1970.
- 5 - Morris, Robert L. e Miller, John R. - "Designing with TTL Integrated Circuits", (book), Texas Instruments Electronics Series, 1971.
- 6 - Smith, James A. - "Automated Generation of Logic Diagrams", Ph.d Thesis, University of Waterloo, 1975.
- 7 - Donovan, John J. - "Systems Programming", (book), McGraw-Hill Book Company, New York, 1972, pg. 199.

- 8 - Jensen, Randall W. e Lieberman, Mark D. - IBM Electronics Circuit Analysis Program (ECAP - Ibm)", (book) , Prentice Hall, New Jersey, 1968.
- 9 - Greenbaum, John R. - "Digital IC Models for Computer Aided Design", Part. 1, Electronics, McGraw-Hill Inc, Dezembro, 1973, pg. 121.

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (063) 321 7222-R 355
58.100 - Campina Grande - Paraíba