

PROJETO DE UM EQUIPAMENTO ATC DIGITAL
AUTO-TESTÁVEL E SEGURO EM FALHA

BÁRBARA SILVA NOGUEIRA

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE
PÓS-GRADUAÇÃO DO CENTRO DE CIÊNCIAS E TECNOLOGIA DA UNIVERSIDA
DE FEDERAL DA PARAÍBA, COMO PARTE DOS REQUISITOS NECESSÁRIOS PA
RA OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS (M.Sc.).

CAMPINA GRANDE
ESTADO DA PARAÍBA - BRASIL
JULHO DE 1977



N778p Nogueira, Bárbara Silva.
Projeto de um equipamento ATC digital auto-testável e seguro em falha / Bárbara Silva Nogueira. - Campina Grande, 1977.
Ca.250 f.

Dissertação (Mestrado em Ciências) - Universidade Federal da Paraíba, Centro de Ciências e Tecnologia, 1977.
"Orientação : Prof. Jorge Rabello Cavalcanti Filho".
Referências.

1. Equipamento Digital. 2. Circuitos. 3. Teste de Falhas. 4. Dissertação - Ciências. I. Cavalcanti Filho, Jorge Rabello. II. Universidade Federal da Paraíba - Campina Grande (PB). III. Título

CDU 621.376(043)

BANCA EXAMINADORA:

JORGE RABELLO CAVALCANTI FILHO (PRESIDENTE)

IVAN ROCHA NETO

JOSÉ IVAN CARNAÚBA ACCIOLY

WILLIAM LOYD BRANT

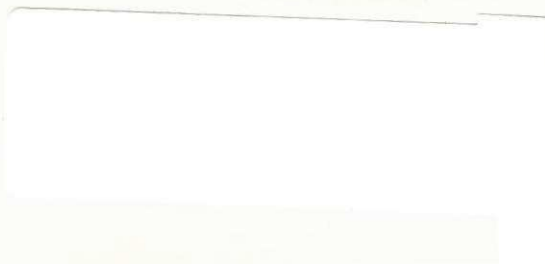
APROVADA

Jorge Rabello Cavalcanti Filho
JORGE RABELLO CAVALCANTI FILHO

Ivan
IVAN ROCHA NETO

Jose Ivan Carnauba Accioly
JOSE IVAN CARNAUBA ACCIOLY

William Lloyd Brandt
WILLIAM LLOYD BRANDT



A meus pais.



Agradecimentos

Desejo agradecer a Jorge Rabello Cavalcanti Filho pela orientação deste trabalho, a Olga Rodrigues Cardoso e Regina Coeli Jacob os trabalhos de datilografia e a Márcio Roberto de Oliveira e Ricardo dos Santos Martins pelos desenhos.

Capítulo I - Apresentação do Trabalho

- I.1 - Definição básica do atual e novo ATC.
- I.2 - Tecnologia de circuito para o novo ATC.
- I.3 - Técnicas de segurança em falha e autoteste.
- I.4 - Conclusões.

Capítulo II - Equipamento ATC em operação na Vale do Rio Doce

- II.1 - Descrição das funções do ATC em operação na Companhia Vale do Rio Doce.

Capítulo III - Projeto do Equipamento ATC Digital

- III.1 - Definição
 - III.1.1 - Entradas
 - III.1.2 - Saídas
- III.2 - Curva de frenagem.
- III.3 - Diagrama de blocos
- III.4 - Realização.
- III.5 - Circuito
 - III.5.1 - Definição
 - III.5.2 - Realização
- III.6 - Simulação
- III.7 - Montagem

Capítulo IV - Técnicas para projeto de circuitos autotestáveis ou seguros em falha

- IV.1 - Circuitos combinacionais autotestáveis
- IV.2 - Máquinas sequenciais síncronas
 - IV.2.1 - Método de Thomas para realização de máquinas sequenciais seguras em falha
 - IV.2.2 - Método de Sawin para realização de máquinas sequenciais autotestáveis

- IV.3 - Código Detector de Erro Único
- IV.4 - Código Detector de Erros Duplos
 - IV.4.1 - Circuito Codificador
- IV.5 - Relógio Seguro em Falha
- IV.6 - Ligações de Saída

Capítulo V - Redutores, Detectores de Frequência, Detector de Paridade e Detector de Estado Errado

- V.1 - Redução de N duplas em código 1 - em - 2
 - V.1.1 - Circuito redutor para o caso de uma dupla fora de código
 - V.1.2 - Circuito redutor para o caso de mais de uma dupla fora de código ao mesmo tempo
- V.2 - Comparador em Ponte
- V.3 - Detector de Frequência 1
- V.4 - Detector de Frequência 2
- V.5 - Detector de Paridade
- V.6 - Detector de Estado Errado

R E S U M O

O trabalho aqui apresentado é o projeto de um equipamento ATC (Automatic Train Control) digital.

Para a elaboração do projeto foram pesquisadas técnicas de construção de circuitos seguros em falha, circuitos autotestáveis, dados e métodos para o cálculo da confiabilidade de um equipamento.

Primeiramente o projeto foi exposto e em seguida as técnicas pesquisadas, que foram então aplicadas ao mesmo. Por fim apresentam-se dados sobre confiabilidade de componentes os quais foram aplicados no cálculo da confiabilidade do equipamento projetado.

A B S T R A C T

This approachment is a project for a digital automatic train control.

For that it was made research on techniques to build a fail-safe circuits self-checking circuits data and methods for the calculation of reliability of an equipment.

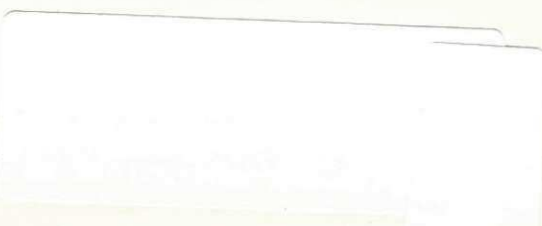
At first the project was presented and then the techniques researched were applied so that the work suffered some modification due those techniques. Finally, we present data on reliability of the components, which were applied on the calculus of the reliability of the designed equipment.

Capítulo VI - Projeto do Equipamento ATC seguro em falha

- VI.1 - Detector de falha na alimentação do receptor de código
- VI.2 - Endereço valor inicial de frenagem
- VI.3 - Contador de endereço da PROM
- VI.4 - PROM
- VI.5 - Valor final de freio, Patamar, V_p
- VI.6 - Registro de patamar
- VI.7 - MPX
- VI.8 - Buzina
- VI.9 - Inicialização
- VI.10 - Detector de velocidade
- VI.11 - Detector de paridade
- VI.12 - Comparador
- VI.13 - Amostrador
- VI.14 - Relógio
- VI.15 - Divisores
- VI.16 - Redução de duplas
- VI.17 - Segurança dos equipamentos ligados ao ATC
 - VI.17.1 - Receptor de código
 - VI.17.2 - L.S.D.
- VI.18 - Circuito de aplicação do freio
- VI.19 - Circuito de controle seguro em falha
 - VI.19.1 - Combinacional autotestável
 - VI.19.2 - Máquina 2 autotestável
 - VI.19.3 - Máquina 3 autotestável
 - VI.19.4 - Máquina 4 autotestável
- VI.20 - Realização
- VII - Cálculo de Confiabilidade

Apêndice

Sistema automático de teste utilizado na simulação do ATC



Cap 1 - Apresentação do Trabalho.

I.1 - Definição básica do atual e novo ATC.

O equipamento ATC é o subsistema do Sistema Integrado de Controle de Tráfego e Comunicação (SI-CIC) responsável pela apresentação das ordens de licenciamento ao maquinista e pelas supervisões das velocidades dos trens.

Cada mensagem de licenciamento corresponde a um limite superior de velocidade permitida (patamar), sendo estes em número de três variando de 60 Km/h a 0 Km/h.

O equipamento ATC verifica continuamente a velocidade real do trem e gera uma tensão correspondente ao valor da velocidade máxima permitida (patamar). Quando há uma mudança para um valor inferior do patamar é gerada uma curva padrão de velocidade decrescente, com a qual é comparada a cada instante o valor da velocidade desenvolvida pelo trem que deve decair pela ação do freio aplicado pelo maquinista.

Sempre que o valor da velocidade real ultrapassa o valor da curva padrão ou o patamar, soará uma buzina de alarme e o freio será aplicado. O controle do trem será pois assumido pelo ATC que exercerá uma ação de frenagem até que a velocidade real do trem, chegue a menos de 3 Km/h.

O ATC projetado neste trabalho prevê até 6 patamares, ao invés de três, e quando ocorrer ultrapassagem de patamar ou curva padrão existe a opção do freio ser aplicado até que a velocidade torne-se menor do que 3 Km/h ou até que a velocidade torne-se menor do que a máxima permitida.

No projeto do novo ATC alguns blocos como gerador de velocidade acoplado à roda, receptor de código, L.S.D. (low speed detector) e painel de controle não foram reprojctados, sendo a parte realizada digitalmente, compatível com estes elementos.

O ATC atual e o novo projeto são seguros em falha, ou seja qualquer falha no circuito deve necessariamente condicionar o comando de forma a resultar numa situação a favor da segurança. No caso é a aplicação do freio.

I.2 Tecnologia de circuito para o novo ATC

O ATC em operação na Companhia Vale do Rio Doce é construído essencialmente com componentes discretos tais como transistores, capacitores, relês, etc e componentes integrados lineares tais como amplificadores operacionais tendo como tempo médio entre falhas cerca de 13000 horas (valor obtido na prática) e ocupando um espaço aproximado de 0,05m.³

Procurou-se então projetar um ATC que utilizasse uma tecnologia mais recente, mais confiável e mais compacta, com componentes que fossem facilmente encontrados no mercado nacional.

A utilização de circuitos integrados ao invés de discretos nos equipamentos eletrônicos tem aumentado a confiabilidade de um valor proporcional ao quociente do número de transistores dividido pelo número de integrados que o substituem. (Referência 6).

As razões desse aumento de confiabilidade vêm das soluções apresentadas por circuitos integrados para pontos críticos tais como:

- 1) Confiabilidade de componentes
- 2) Projeto com utilização indevida de componentes
- 3) Conexões não confiáveis

Já que no projeto de circuitos integrados os parâmetros são especificados e não funcionam a não ser sob essas condições, a aplicação se aproxima bastante dos critérios de projeto e condições ótimas para as quais são manufacturados e testados.

Associado ao uso indevido de componentes estão excessivas voltagens e temperaturas de junções que são os maiores contribuintes para os problemas de confiabilidade.

O fato de circuitos integrados digitais operarem em níveis ótimos de voltagem e corrente, reduz estes problemas.

A redução no número e variedades de conexões que tornou-se possível devido ao uso de componentes integrados é outro fator na melhoria da confiabilidade dos circuitos eletrônicos.

Segundo dados de laboratórios tais como o DCA Reliability Laboratory e Continental Testing Laboratory (referência 8), a tecnologia digital mais confiável é ECL, sendo sua taxa de falha 58% menor do que a de TTL, que por sua vez tem uma taxa de falha 79% menor do que CMOS.

Segundo também o Continental Testing Laboratory e DCA Reliability Laboratory, a taxa de falha de circuitos digitais MOS é aproximadamente a mesma de circuitos lineares.

A referência 17 (Proceedings of the IEEE) afirma que a taxa de falha de circuitos digitais é cerca de 90% menor do que a de circuitos integrados lineares.

O Continental Testing Laboratory apresenta a taxa de falha de integrados como 52% menor do que a de transistores e o DCA Reliability Laboratory como 23% menor.

Apesar das vantagens da tecnologia CMOS (10V de alimentação) em relação a TTL padrão, na imunidade ao ruído no baixo consumo e menor dependência no valor da tensão de alimentação, pelas razões de confiabilidade acima apresentadas e ainda tendo em vista que desejava-se projetar um equipamento com um índice máximo de nacionalização a tecnologia escolhida foi a TTL, série 74 que é parcialmente fabricada no Brasil. Ainda por este último motivo procurou-se usar ao máximo SSI e MSI, tendo-se como única exceção o uso de uma PROM LSI

I.3 Técnicas de segurança em falha e autoteste.

Um circuito é dito seguro em falha se para qualquer falha no circuito as suas saídas assumem um valor previamente determinado e se-

guro em relação à ação que provocam.

Se fosse possível se prognosticar os estados das saídas de cada componente eletrônico em caso de falha, a realização de circuitos seguros em falha seria simplificada. Como isto não acontece em circuitos integrados digitais, deve-se projetar o circuito a ser seguro em falha de maneira que a presença de falha seja detectada e neste caso a saída seja forçada para o estado de segurança através de circuitos ou componentes intrinsecamente seguros em falha como por exemplo reles.

Um circuito cuja presença de falha leve as saídas para um estado qualquer, mas que a falha seja monitorada automaticamente é dito autotestável.

A realização de um circuito digital seguro em falha será feita através de circuitos seguros em falha ou autotestáveis.

A seguir apresentamos as técnicas para construção de circuitos autotestáveis ou seguros em falha.

a) Duplicação

Para realização segura em falha de um circuito qualquer, a solução mais imediata é a duplicação total dos circuitos e uso de comparadores obrigatoriamente seguros em falha. A duplicação pode ser feita de duas maneiras:

- 1 - Duplicação total do circuito
- 2 - Duplicação a nível de blocos.

Em ambos os casos a comparação é feita em pontos si milares de saída dos circuitos e também em pontos estratégicos no interior do circuito a fim de amentar a velocidade de detecção que pode ser lenta em vários casos.

As saídas destes comparadores seriam reduzidas através de um circuito também obrigatoriamente seguro em falha, a uma única saída que força o estado de segurança.

Esta comparação é feita de forma tal que o normal é que os sinais comparados sejam opostos (código 1 em 2, isto é sempre 1 dos 2 sinais está no estado lógico '1' e o outro no estado lógico '0').

A razão da comparação de sinais opostos é que se eventualmente os sinais a serem comparados estiverem fisicamente próximos então ocorre o risco de haver falha que junta os 2 sinais, o que no caso da comparação ser feita de sinais iguais levaria a não haver detecção deste tipo de falha. Por este motivo é padronizado que a presença de sinais opostos significa ausência de falha e sinais iguais a presença de falha.

A Siemens desenvolveu uma família de integrados (referência 19) na qual cada CI contém um elemento duplicado, sendo a saída de um o complemento do outro, e um comparador seguro em falha. Esse comparador, tem como entradas um sinal oscilante e as saídas dos dois elementos complementares. Caso o sinal oscilante torne-se fixo ou as saídas dos elementos não sejam complementares, a saída do comparador será desenergizada.

Um circuito a ser seguro em falha pode pois ser construído com estes elementos de maneira que todos os circuitos comparadores dos integrados sejam ligados serialmente, na ordem mais conveniente com relação a posição física dos mesmos. No último ponto desta série tem-se a informação sobre o funcionamento do circuito.

Contudo com o emprego desta família de integrados, o número de componentes usados aumenta bastante, aproximadamente quatro vezes.

Tendo em vista o objetivo de se realizar o projeto seguro em falha com o menor número possível de componentes, como também o fato destes componentes não serem encontrados no mercado nacional, foram pesquisadas técnicas que exigissem menos elementos do que a simples duplicação do circuito e apresentando em relação à duplicação melhor segurança e autotestabilidade mais rápida, com componentes encontrados no mercado nacional.

Estas técnicas foram então aplicadas ao projeto ATC com exceção de alguns casos em que a duplicação torna mais simples o projeto.

b) Circuitos Combinacionais Autotestáveis

Para o projeto de circuitos combinacionais o método Design of Built-in-Self-Checking Monitoring Circuits for Combinational Devices - E.S. Sogomonyan (referência 22) que é apresentado em IV.1, em muitos casos torna a realização de combinacionais autotestáveis bastante simples.

O método consiste em unir saídas independentes (aquelas que sob a presença de falha única não são afetadas simultaneamente), pela função ou exclusivo e realiza-se a função inversa a função ou exclusivo destas saídas independentes.

O normal para se obter as duplas em código 1-em-2, no caso de duplicação, seria realizar-se a função inversa de cada saída do circuito e posteriormente reduzir-se, a uma dupla final. Considerando este método acima, reduz-se o número de funções inversas pois é

uma para várias saídas independentes, sendo a dupla final obtida sem necessidade de mais redutores.

Em muitos casos a função inversa ao ou exclusivo das saídas independentes fica muito simples.

Para as saídas dependentes o método não traz simplificação, sendo necessário obter a função inversa de cada saída.

c) Máquinas Sequenciais Síncronas

Para a construção de máquinas sequenciais síncronas, os dois melhores métodos encontrados foram Design of Reliable Synchronous Sequential Circuits - Dwight H. Sawin (referência 18) e Design Technique of Fail-Safe Sequential Circuits Using Flip-Flops for Internal Memory-Yoshiro Thomas (referência 22).

Estes métodos são descritos em IV.2.

O método de Thomas baseia-se em uso de código. Nele os estados normais tem distância entre si maior do que dois de maneira que falha que modifique um bit de um estado, coloca a máquina em um estado anormal.

O método de Sawin baseia-se no uso de partições dos estados de máquinas sequenciais.

O método de Thomas leva em consideração falha únicas e é seguro em falha. Na presença da falha o estado da máquina permanecerá 11... 1 ou 00... 0 o que não é nenhum dos estados normais, dependendo se a falha levou alguma saída a ficar colocada a zero ou a um.

É apresentada uma variação do método de Thomas, cuja realização é muito simples, onde o circuito seguro em falha não tem a facilidade de fixar-se em um estado, na presença de falha somente passa por um estado anormal.

Este método tem a desvantagem de considerar que se uma saída Y_i de um flip-flop, ficar com uma colagem a um a saída $\overline{Y_i}$ deve assumir uma colagem a zero e vice-versa. Na realização são usadas as variáveis Y_i como também as $\overline{Y_i}$. No método de Sawin em caso de falha a máquina passará por um estado anormal mas não se fixa nele, podendo voltar a um estado normal.

O método de Sawin tem as vantagens de considerar falhas múltiplas de um mesmo tipo, colagens a um ou a zero (não uma mistura delas) e de utilizar somente um tipo de saídas Y_i ou $\overline{Y_i}$ não havendo obrigação de uma colagem inversa na outra saída.

Outra vantagem deste método é permitir compartilhamento dos circuitos das entradas dos flip-flops, reduzindo desta forma o número de portas necessárias, o que não é permitido no método de Thomas. Uma desvantagem é que o número de flip-flops necessários é maior do que o usado quando da utilização de Thomas.

Levando em consideração as vantagens do método Sawin, este foi empregado no projeto do ATC seguro em falha. Após aplicar-se o método de Sawin para o circuito torna-se seguro em falha é necessário realizar-se ainda um circuito que detecte a existência de falha, o que é feito pela passagem por estado anormal, devendo este circuito ser também seguro em falha.

Em relação a duplicação o método de Sawin apresenta a vantagem de uma detecção mais ampla de falha já que é autotestável não só para falhas únicas como também para falhas múltiplas de um mesmo tipo, colagens a um ou a zero.

d) Códigos Detectores de Erro

Para a construção de circuitos autotestáveis, o uso de código detector de erro em memórias, tais como PROMS, matrizes de diodos, RAMS, registros, etc, e circuitos que transmitem dados resultantes destas memórias, (multiplexes, transmissores, etc) traz muita simplificação.

Quando as memórias utilizadas são do tipo permanente (por exemplo PROM), o uso é mais simples ainda pois não é necessário circuito para a geração do código.

Para a detecção de erro em um único bit as palavras em código devem ter distância entre si maior do que um de maneira que erro afetando um bit não transforme uma palavra em código, em outra palavra em código.

Para a detecção de erros duplos é necessário que a distância entre as palavras em código seja maior do que dois, pois desta forma erros que afetem dois bits não transformam uma palavra em código em outra palavra em código.

O código detector de erros duplos apresentados em IV.4 é usado no projeto do ATC seguro em falha, além de detectar erros duplos, detecta também todos os erros que afetem qualquer número de bits de um integrado (cada integrado possui 4 bits). Desta forma falhas únicas em um circuito integrado que afetem qualquer número de bits (por exemplo num clear ou sinal de multiplexer) são detectadas.

Os bits de paridade afetam a paridade de combinações de bits da palavra não codificada, tornando a distância mínima igual a três entre palavras codificadas.

Para aumentar a distância para 3 entre palavras que diferem entre si em apenas um bit é suficiente que cada bit da palavra não codificada contribua para pelo menos dois bits de paridade.

No caso de palavras não codificadas com distância 2 (diferem em 2 bits) para aumentar para 3 é necessário que exista pelo menos um bit de paridade que seja dependente de somente um dos bits que diferem. Desta forma a paridade será alterada devido a dependência de um só dos bits que modificaram-se o que aumenta a distância para três.

Resumindo as condições são que cada bit contribua para dois bits de paridade e dois bits de paridade não contribuam da mesma maneira para todos os bits de paridade.

Para palavras de n bits são suficientes p bits de paridade sendo p tal que $C_p^2 \geq n$

No caso do ATC como tem-se palavras de 10 a 9 bits a serem codificadas são necessários 5 bits de paridade.

A medida que o número de bits a serem codificados aumenta, a eficiência do código melhora.

A aplicação do código detector de erros duplos aqui apresentado em PROMs, ROMs, matrizes de diodos e registros apresenta em relação a duplicação as vantagens de detecção, mais ampla de falhas com menor número de componentes.

e) Ligações entre blocos

Muitas vezes são monitoradas a fim de serem reduzidas para indicarem a presença de falha. Estas saídas são também entradas para outros blocos que normalmente não detectam falhas nas entradas. Por este motivo a

ligação entre saída, entrada e monitor deve sempre ser feita nesta ordem pois assim qualquer falha na ligação será também detectada pelo monitor. Se o monitor estivesse no meio da ligação, uma quebra de ligação entre o trecho monitor-entrada-bloco seguinte não seria detectada.

f) Redutores

É apresentado em V.5 um circuito detector de paridade seguro em falha (constituído por portas ou exclusivo) que calcula a partir da palavra a ser decodificada bits que são os inversos de cada bit de paridade. A dupla formada por cada saída do detector e o correspondente bit de paridade está em código 1-em-2.

Nas aplicações do método Sawin para a construção de circuitos sequenciais síncronos autotestáveis é necessário um circuito que detecte a passagem por um estado incorreto.

Isto é feito obtendo-se uma dupla em código 1-em-2 a partir dos estados corretos da máquina. Se a máquina passar por um estado incorreto, a dupla sai de código.

Para formar o código 1-em-2 divide-se os estados corretos da máquina em 2 conjuntos.

Realiza-se então um detector de estados para cada um destes conjuntos. Desta forma sempre que o estado for correto a dupla formada pelas saídas dos detectores estará em código, caso contrário a dupla sai de código.

Poderia se pensar em fazer um circuito detector de estado correto e compará-lo com um valor fixo, mas assim este detector não seria seguro em falha. Na forma acima a dupla indicadora de estado correto es tã sempre transicionando, o que permite detectar fa lha no próprio detector.

A aplicação das técnicas referidas acima cria duplas em código 1-em-2 quando da ausência de falha, que devem ser reduzidas para obtenção de um único sinal indicativo do funcionamento correto/incorrecto do circuito.

São apresentados em V.1 dois redutores, um para o caso em que sô uma dupla a ser reduzida pode estar fora de código num determinado instante de tempo, is to é, duplas independentes, e outro no qual um n^um^ero qualquer de duplas pode estar fora de código ao mesmo tempo, isto é duplas dependentes.

A unidade redutora da dupla independente é feita por duas portas ou exclusivo. A unidade redutora para duplas dependentes é formada por quatro portas e duas portas ou. No capítulo V é apresentado detalhes destes redutores.

Determina-se se as duplas são dependentes ou não ve rificando-se no circuito se alguma falha única afe ta ou não simultaneamente as duplas. Este conceito foi usado para a construção de circuitos com binacionais aut otestáveis.

É necessário ainda detectar se a dupla final re duzi da está em código ou não, e também o funcionamento correto do relógio do circuito.

Isto é feito por um comparador em ponte seguro em falha, apresentado em V.2 que tem como entradas a dupla resultante e o relógio.

Se a dupla está em código 1-em-2 e o relógio oscila, a saída será um sinal oscilante, caso a dupla saia de código ou o relógio deixe de oscilar, a saída será um sinal constante.

Falha em qualquer componente do comparador também retira o sinal oscilante da saída.

A saída do comparador vai para um detector de frequência, seguro em falha, que tem como saída um relê. No caso do ATC este relê aplica o freio.

Durante a existência de sinal oscilante na entrada, o relê estará energizado, quando o sinal de entrada fica fixo, ou ocorre falha no próprio detector de frequência o relê é desenergizado.

As máquinas sequenciais na presença de falha não ficam num estado errado, sendo pois preciso ser memorizada a presença de falha. Nos outros circuitos a variação das entradas pode retirar a propagação de falha, colocando as duplas de monitoramento novamente em código, por este motivo é necessário também a memorização da existência de falha. Para que isto seja feito é colocado em série com a bobina do relê que é carga do detector de frequência, um contacto de relê que abre quando o relê é desenergizado. Este relê só será energizado novamente sob a ação de uma chave inicialização. Desta forma sendo detectada falha, o sinal de memorização de falha só é retirado por uma operação de inicialização.

I.4 - Projeto do Novo ATC e Conclusões

A primeira etapa do trabalho foi o projeto de um ATC usando circuitos integrados digitais, família TTL, série 74, SSI e MSI, que são facilmente encontrados no mercado nacional e na maior parte fabricados no Brasil, sendo a única exceção uma memória que é LSI. A escolha de TTL foi também baseada no fato desta tecnologia ser mais confiável do que CMOS, que seria outra opção para a implementação.

Este projeto foi simulado num sistema automático de teste (ver apêndice) e a parte de controle foi montada.

A segunda etapa foi a pesquisa de técnicas de construção de circuitos autotestáveis e seguros em falha, que foram em seguida aplicadas ao projeto do ATC digital.

As conclusões são baseadas na comparação do ATC digital seguro em falha com o ATC em operação no Vale do Rio Doce, que é constituído de componentes discretos e alguns circuitos integrados líneares, como também da comparação entre a duplicação de um circuito a fim de torná-lo seguro em falha, com a duplicação dos blocos deste circuito para a mesma finalidade, e por último a comparação da duplicação local com a aplicação das técnicas de construção de circuitos seguros em falha aqui apresentadas.

I.4.1 - Comparação do ATC da Vale com o ATC digital seguro em falha

O ATC digital seguro em falha apresenta várias vantagens em relação ao em operação no Vale do Rio Doce.

Apesar de se utilizar uma tecnologia moderna no projeto do novo ATC, teve-se o cuidado de escolher uma que fosse fabricada quase que em sua totalidade no Brasil, sendo facilmente encontrada no mercado nacional.

Esta tecnologia é mais confiável e mais compacta do que a do ATC atual. Em termos de confiabilidade temos que: os tempos médios entre falhas dos componentes são apresentados pelos fabricantes, dentro de faixas bastante largas. No cálculo foram empregados índices que levam em consideração a alta temperatura em que o equipamento operará bem como o fato de ser utilizado em veículo, o resultado obtido foi de 13800 horas, que é apenas um pouco maior do que o apresentado pelo ATC atual, 13000 horas. Contudo já que os dados empregados no cálculo não foram baseados em dados otimistas é de se esperar que o valor real do tempo médio entre falhas seja maior do que o calculado.

Quanto ao tamanho, o atual ocupa uma área de $0,05\text{m}^3$, enquanto que o novo ocupa uma área estimada de $0,002\text{m}^3$, sendo a redução do volume devido a compactação da tecnologia usada.

Do ponto de vista de segurança em falha o ATC atual tem também a desvantagem na geração da curva de frenagem, pois esta depende dos valores de um capacitor e resistor que variam ao longo da vida do equipamento, exigindo testes periódicos para verificação da curva correta. Isto não acontece no ATC digital.

I.4.2 - Comparação entre a duplicação a nível de blocos, e a duplicação total de um circuito, com a finalidade de torná-lo seguro em falha.

Um circuito que para se tornar seguro em falha, seja duplicado a nível de blocos, apresenta várias vantagens em relação a um que seja duplicado totalmente. Estas vantagens são:

1) Velocidade de detecção de falha

Na duplicação por blocos, uma falha para ser detectada, precisa somente, propagar-se até a saída do bloco em que ocorreu, enquanto que no outro caso a falha tem que se propagar até a saída do circuito, o que pode ser demorado.

2) Maior grau de segurança

Sendo a detecção de falha mais demorada, a probabilidade de ocorrer outra falha no outro circuito que possa impedir as duplas de saídas afetadas a saírem de código, torna-se maior, e nestes casos falhas não são detectadas.

Outro fato que aumenta o grau de segurança é que na duplicação por blocos, se vários blocos falham ao mesmo tempo, estas falhas são mais facilmente detectadas.

3) Simplicidade de localização de falhas

Na duplicação por blocos, cada um destes tem seu próprio monitoramento de falha, se forem utilizados indicadores luminosos conectados a estes monitoramentos, facilmente se localiza os blocos falhos. Mesmo sem os indicadores luminosos, através de medidas em certos pontos de prova identifica-se facilmente o bloco com falha.

I.4.3 - Comparação da aplicação das técnicas de construção de circuitos seguros em falha com a duplicação de blocos.

Uma grande simplificação trazida pelas técnicas de construção de circuitos seguros em falha é a diminuição no número de componentes.

A técnica empregada para circuitos combinacionais utiliza de uma maneira geral um número bem menor de componentes do que a simples duplicação. Para memórias, fixas ou não, registros e multiplexer, o uso do código detector de erros duplos aqui apresentado, detecta além de todos os erros duplos, todos aqueles que afetem um número qualquer de bits de um integrado (cada integrado possui quatro bits) o que melhora a segurança em relação a duplicação.

Esta detecção mais ampla de falhas pelo uso de código é conseguida, com menos componentes do que a duplicação.

Para máquinas sequenciais, o método aplicado de uma maneira geral não usa menor número de componentes, mas detecta todos os erros múltiplos de um só tipo, (colagens a 1 ou a zero, não uma mistura delas) o que aumenta a segurança.

A redução do número de componentes que se obtém aplicando as técnicas aqui apresentadas, ao invés da duplicação de blocos, torna o tempo médio entre falhas maior, ou seja, torna o circuito mais confiável.

Todavia em alguns casos, como para contadores, a duplicação ficou mais simples e por isto foi utilizada.

Os outros circuitos utilizados tais como o comparador seguro em falha, detector de frequência seguro em falha e redutores são necessários tanto na duplicação como nas técnicas aqui apresentadas.

21 22

CAP. II EQUIPAMENTO ATC* EM OPERAÇÃO NA VALE DO RIO DOCE

II.1 - Descrição das funções do equipamento ATC em operação na Companhia Vale do Rio Doce

O equipamento ATC é o subsistema do Sistema Integrado de Controle de Tráfego e Comunicação (SI-CTC), responsável pela apresentação das ordens de licenciamento ao maquinista e pela supervisão das velocidades dos trens.

Nas vias controladas pelo SI-CTC os trens são operados pelos maquinistas, os quais são licenciados e permanentemente supervisionados pelo sistema.

Um centro de controle operacional recebe continuamente dos equipamentos de campo a localização a cada instante de todos os trens na linha. O centro de controle pode se necessário enviar, via rádio, instruções aos maquinistas.

Os equipamentos de campo instalados em estações ao longo da linha, supervisionam a presença dos trens e transmitem para os mesmos através dos trilhos sinais codificados com a velocidade limite permitida.

O equipamento de bordo capta dos trilhos, a mensagem codificada, processa-a e indica na cabina do maquinista o valor respectivo da velocidade limite permitida. A indicação se faz pela iluminação de pequenos sinais chamados de Cabsinais, que são indicadores luminosos coloridos, dispostos em uma coroa de círculo concentrico com o velocímetro da cabina da locomotiva.

Cada mensagem de licenciamento corresponde a um aspecto de indicação do Cabsinal, segundo convenção estabelecida no código de Cabsinais, apresentado adiante.

* Automatic Train Control

As ordens de licenciamento são, contínua e permanentemente, indicadas na cabine do maquinista e consistem, tão somente, na informação do limite superior de velocidade, abaixo do qual o maquinista deve conduzir o trem.

O equipamento ATC verifica continuamente a velocidade real do trem e em função das informações do Cabsinal, gera uma tensão correspondente a velocidade máxima permitida. Sempre que as informações do Cabsinal tornam-se mais restritivas, deverá haver uma redução na velocidade, então o equipamento gera uma curva padrão de velocidade, com a qual compara a cada instante o valor da velocidade desenvolvida pelo trem.

A curva padrão foi preestabelecida em função das tolerâncias admitidas, considerando o tempo de reação do maquinista e a distância máxima de frenagem adotada pelo sistema.

Sempre que o valor da velocidade real ultrapassar o valor da curva padrão, soará uma buzina de alarme, e o freio será aplicado. O controle do trem será pois tomado do maquinista e assumido pelo sistema que exercerá uma ação de frenagem até que a velocidade real chegue a menos de 3Km/h.

É adotado um sistema de licenciamento de Casinais de quatro aspectos, com a seguinte convenção:

- a) Cabsinal em cor verde, limite superior de velocidade de 60Km/h significando prosseguir com velocidade máxima autorizada VMA.
- b) Cabsinal em cor amarela, limite superior de 44Km/h significando prosseguir com velocidade limitada VL.
- c) Cabsinal em cor vermelha significando pare.
- d) Cabsinal em cor branca e vermelha, limite superior de 15Km/h, significando prosseguir com velocidade restritiva, VRT.

Os códigos correspondentes aos aspectos são recebidos através dos trilhos na forma de trens de pulsos de corrente, resultantes da interrupção a intervalos iguais de uma portadora de 60HZ a saber:

Código 180 - aspecto verde 180 interrupções por minuto.

Código 120 - aspecto amarelo 120 interrupções por minuto.

Na realidade apenas dois códigos são transmitidos aos trilhos. A ausência de código ou da portadora corresponde ao aspecto vermelho.

O sinal permissivo permite o trem ir com velocidade de até 15Km/h (VRT) quando for autorizado pelo Centro de Controle via rádio, visando aumentar o rendimento operacional do trem, quando o aspecto é vermelho devido a falha no circuito de via.

O limite superior das velocidades máximas permitidas pelos aspectos dos Cabsinais são permanentemente supervisionados pelo Controle automático de velocidade com base nas seguintes premissas:

- 1) No caso da velocidade real do trem exceder o limite de velocidade permitida, automaticamente soará uma buzina de alarme na cabina da locomotiva, e haverá aplicação do freio.
- 2) Para eliminar a possibilidade de causar danos aos engates dos vagões, o freio automaticamente será aplicado em dois estágios, iniciando com uma frenagem de 8lb/pol^2 da pressão do encanamento principal no período de 20 segundos, e mudando automaticamente para uma frenagem de 24lb/pol^2 até a parada.
- 3) A aplicação do freio, uma vez sendo iniciada pelo ATC, não poderá ser aliviada antes que a velocidade do trem seja menor do que 3Km/h.

- 4) Uma buzina de alerta soará durante todo o período de comando de aplicação do freio pelo ATC.
- 5) Uma buzina de alerta soará durante 5 segundos, todas as vezes que houver uma mudança do aspecto do Cabsinal.
- 6) Sempre que houver uma mudança de um aspecto de Cabsinal para um aspecto de velocidade limite mais baixa, a velocidade permitida subirá instantaneamente e decrescerá gradualmente para o novo valor de velocidade permitida dentro do percurso de 1400m, contados do ponto onde o Cabsinal mudar.

A figura (2.1) descreve a relação frequência x velocidade fornecida pelo gerador de velocidade que é acoplado à roda e informa ao controle automático de velocidade, a velocidade real do trem.

A figura (2.2) representa a curva padrão de frenagem.

21/03/11
F. S. Lima

CURVA VELOCIDADE X FREQUENCIA

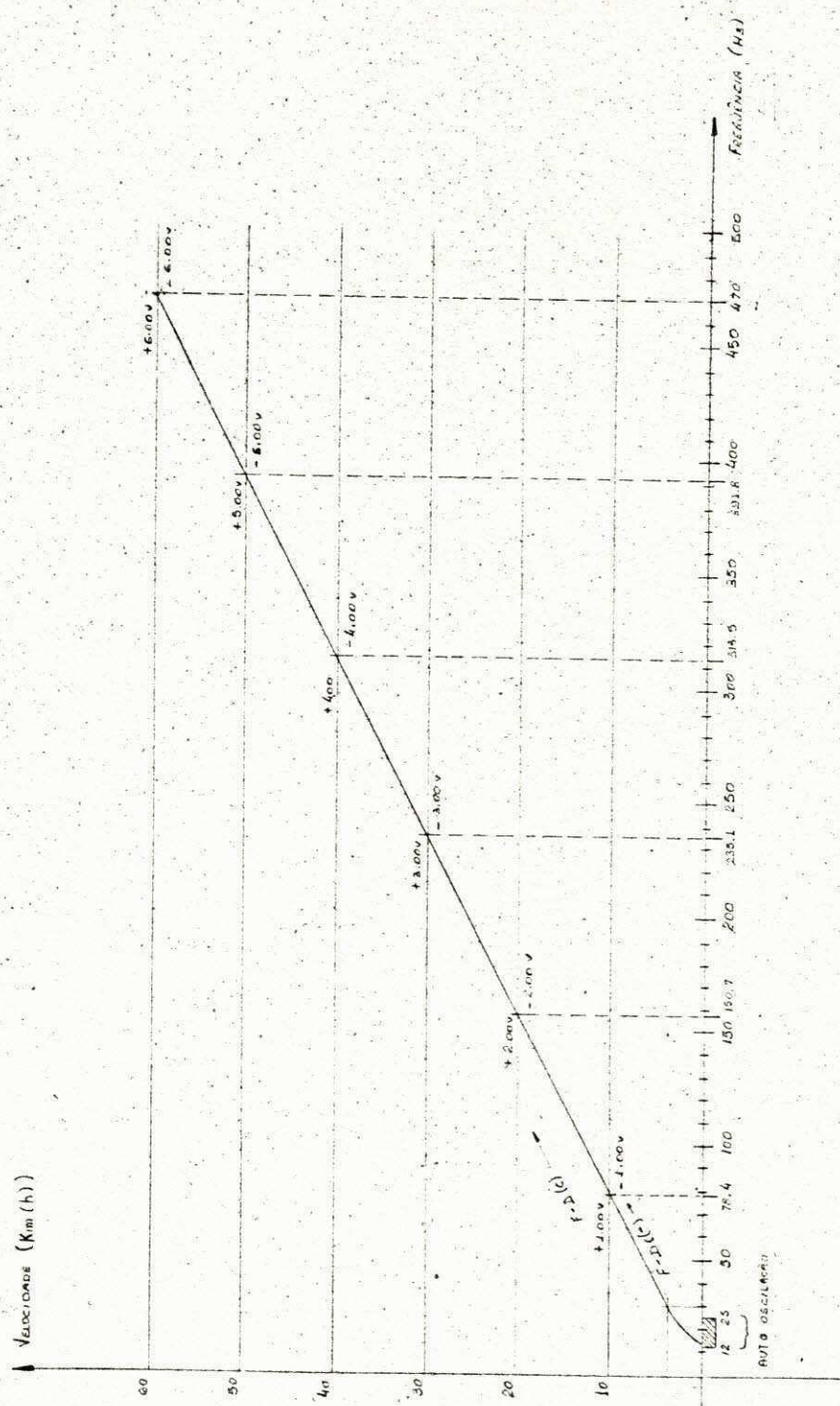


FIGURA 2.1

CURVA DE FREIAGEM



FIGURA 2.2

II.2 Diagrama de blocos de ATC em operação na Vale do Rio Doce.

O diagrama de bloco (figura 2.3) representa o ATC em operação na Vale do Rio Doce.

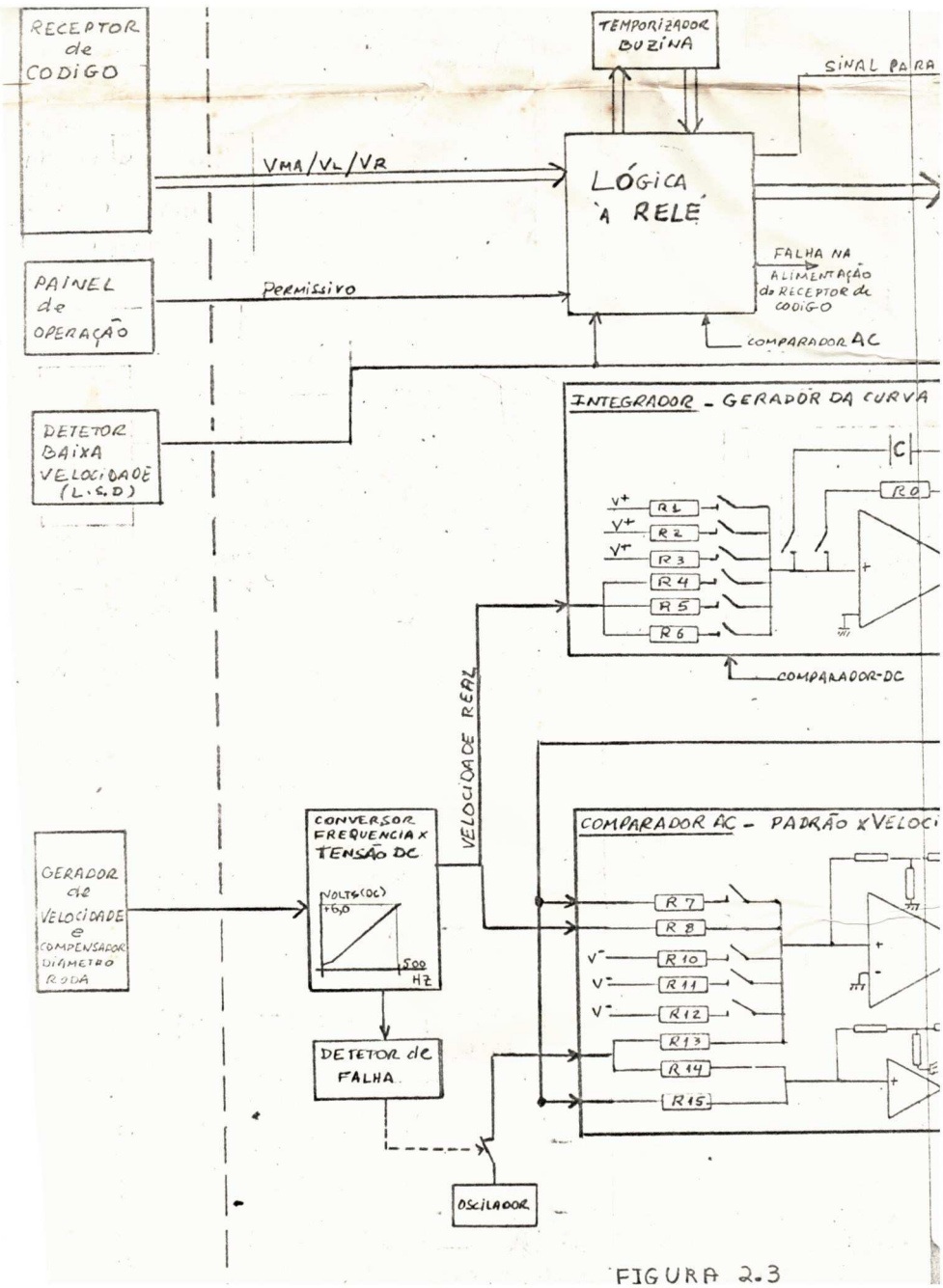


FIGURA 2.3

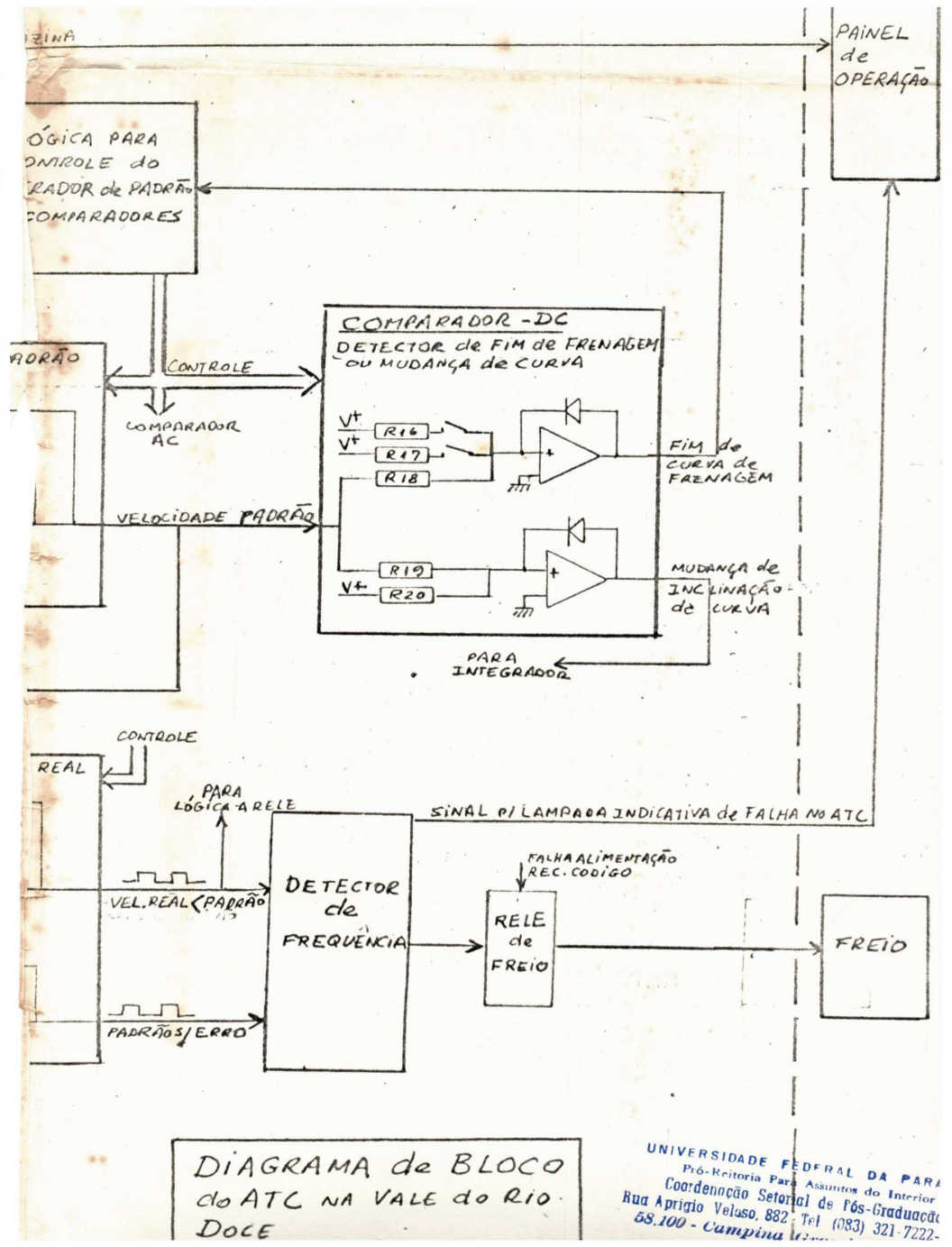


DIAGRAMA de BLOCO do ATC NA VALE do RIO DOCE

CAP. III PROJETO DO EQUIPAMENTO ATC DIGITAL

III.1 - Definição

III.1.1 - Entradas

- a) 3 a 6 entradas que recebem 3 a 6 sinais de velocidades máximas permitidas.

Supomos o caso mais complexo de 6 entradas:

V1, V2, V3, V4, V5, V6

Somente uma das 6 aparece de cada vez no tempo.

Na transição as 6 vão para lógica '0' por um curto espaço de tempo (de 1 a 10mseg). Se ocorrer falha no circuito anterior às entradas, ela pode provocar os 6 sinais ficarem em lógica '0' permanentemente. (*)

Na mudança de uma entrada, o ATC gera curva de velocidade padrão que poderá ser um dos casos abaixo:

- mudança de sinais correspondentes a velocidades máximas adjacentes:
 - . para cima - o padrão é a nova velocidade máxima permitida.
 - . para baixo - o padrão é uma curva de velocidade decrescente. (**)

- mudança de sinais correspondentes a velocidades máximas não adjacentes:

184

1
R. 355

bu

- . para cima - o padrão é a nova velocidade máxima permitida.
- . para baixo - o padrão é composto de diversas curvas subsequentes. (**)

b) Velocidade

Um gerador ligado à roda fornece sinal cuja frequência é proporcional à velocidade.

Dependendo do diâmetro da roda deve haver uma compensação. A relação frequência x velocidade é linear acima de 4Km/h. A velocidade nula é indicada por uma frequência maior do que zero. Pode ocorrer de romper a bobina do gerador de velocidade e isto é detectado por frequência zero.

Domínio de velocidade/frequência:

0-100Km/h 1-1000Hz (aproximado)

Uma velocidade nova deve ser amostrada a cada segundo. A velocidade na curva padrão também irá variar a cada segundo.

c) Permissivo

Botão que quando acionado indica que uma velocidade V_p acima da máxima permitida pelo V_0 é admissível.

É um "push botton" e portanto seu acionamento deve ser memorizado.

Só é memorizado se o sinal atual na linha for V_0 . Se está ocorrendo uma frenagem para V_0 , e há um acionamento do permissivo, então o valor final da frenagem deve mudar para V_p .

(*) É o caso de falha na alimentação do receptor de código.

(**) Mais adiante as curvas são mostradas.

d) O L.S.D. (Low Speed Detector)

O L.S.D. permite que uma certa velocidade baixa, cerca de (3Km/h), na região em que o detector de velocidade normal é muito impreciso, seja detectada com precisão. A detecção da velocidade baixa gera um sinal para o ATC que passa a considerar a velocidade do trem como nula.

O L.S.D. permite:

- que seja detectada a parada (3Km/h) da locomotiva com melhor precisão.
- que seja aplicado o freio até a parada (3Km/h) quando for necessário.
- que seja detectada velocidade não nula ($\geq 3\text{Km/h}$) quando o sinal for V0.

III.1.2 - Saídas

a) Uma saída que aciona a buzina:

- . na aplicação do freio
- . na mudança de sinal (5 segundos)

b) Uma saída que ordena o freio;

- (a) . Se não receber nenhum sinal V1' a V6
- (b) . Se ultrapassa o padrão
- (c) . Em caso de falha no ATC

Em (a) e (c) o freio é aplicado permanentemente.

Em (b) há 2 alternativas:

- Aplicar o freio até parar, ou

- Aplicar o freio até a velocidade tornar-se menor do que a padrão.

c) Uma saída que acende uma lâmpada quando o permissivo estiver memorizado.

d) Uma saída que apaga a lâmpada "ATC operation" quando uma falha é detectada.

III. 2) CURVA DE FRENAGEM

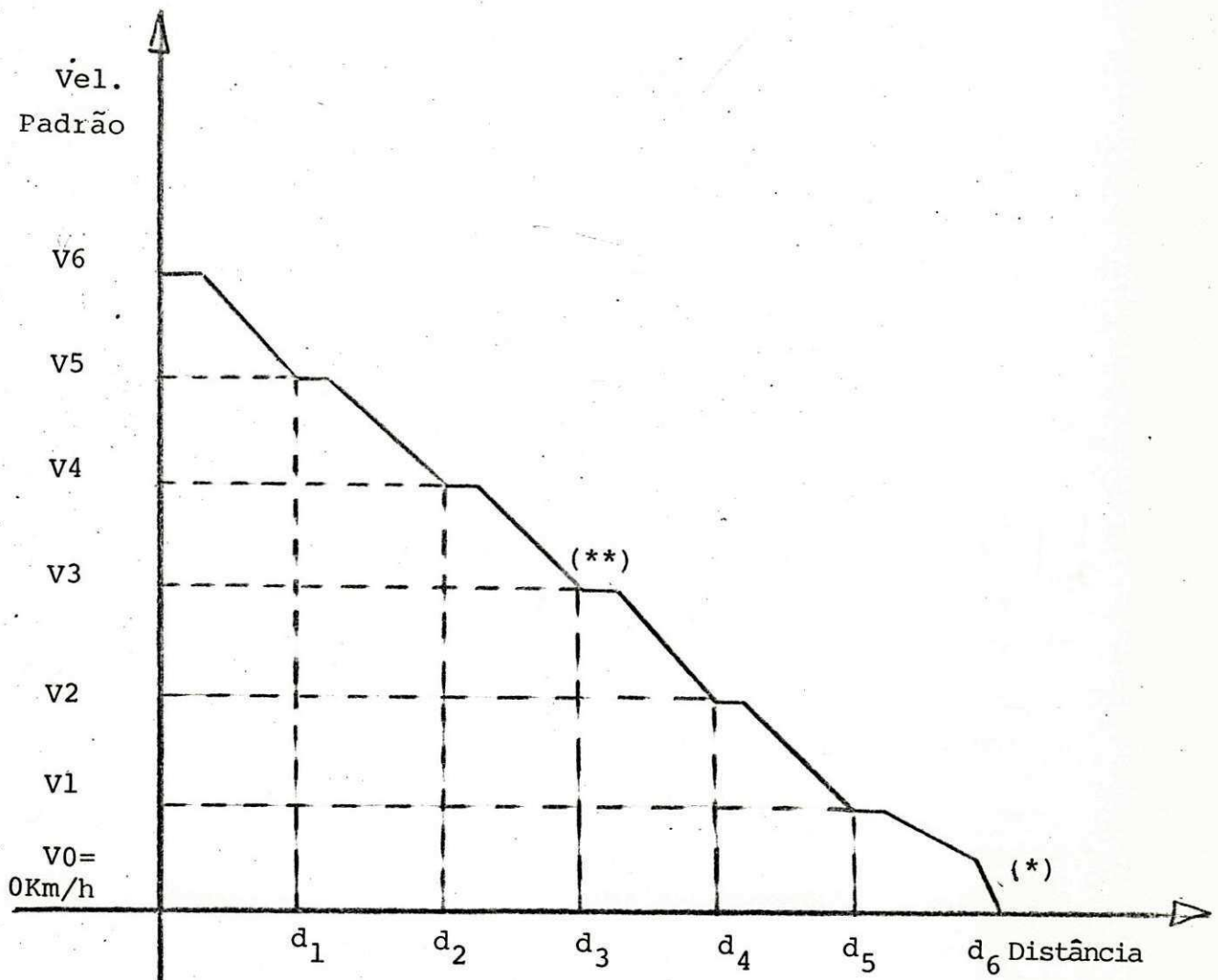


Figura 3.1

- A velocidade real é amostrada de segundo em segundo e a padrão tem a mesma frequência de variação.

(*) Para baixas velocidades o gerador de velocidade é impreciso e por isso deve-se tomar o cuidado de que a curva seja acima da pior situação de imprecisão.

(**) A região plana da curva corresponde ao tempo necessário ao maquinista para acionar o freio e este começar a fazer efeito.

III.3 DIAGRAMA DE BLOCOS

O controle automático de trem é descrito pelo diagrama de blocos (figura 3.2). Acoplado a roda existe um gerador de velocidade (bloco 1) que fornece sinal de frequência proporcional a velocidade do trem para valores maiores que 4Km/h. Este sinal passa então num quadrador (bloco 0). A cada segundo o monoestável (bloco 2) zera o contador (bloco 3) que durante um segundo conta os pulsos enviados pelo gerador de velocidade, fornecendo a cada segundo um valor binário correspondente a velocidade real do trem que é armazenado no registro de velocidade (bloco 4). O tempo que o contador permanece inibido pelo monoestável é ajustado conforme o diâmetro da roda. Desta forma a velocidade real é amostrada a cada segundo.

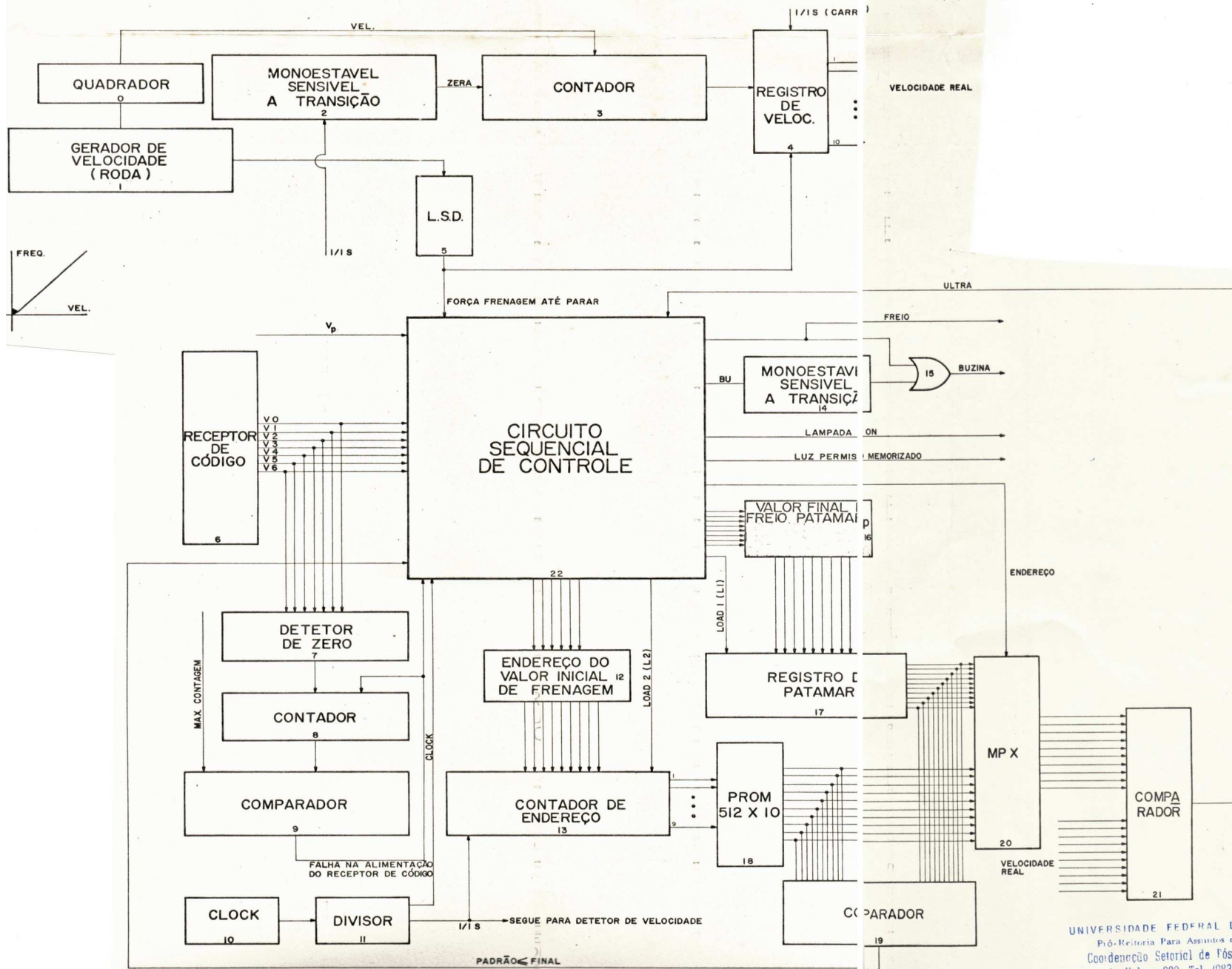
Para baixas velocidades o gerador (bloco 1) torna-se impreciso, então para que seja detectada a parada, existe um detetor de baixa velocidade (bloco 5, L.S.D. = low speed detector). Quando é detectada a parada (velocidade 3Km/h) o registro de velocidade que contém a velocidade real (bloco 4) é zerado, pela atuação do sinal L.S.D. no clear do mesmo.

O sinal que indica a máxima velocidade permitida ao trem é decodificado pelo receptor de código (bloco 6). Para cada uma das seis velocidades máximas permitidas é ativado um dos sinais V0, V1, V2, .. V6.

Quando houver variação da velocidade máxima permitida o circuito de controle (bloco 22) gerará o sinal Bu que atua no monoestável (bloco 14) fazendo com que seja aplicada a buzina durante 5 segundos.

Conforme o sinal detectado pelo receptor de código (bloco 6) um valor binário é carregado pelo sinal L1, no registro de patamar (bloco 17). O valor binário é obtido de uma matriz de diodos (bloco 16) que tem como entradas os sinais de controle $\overline{V0}$, $\overline{V1}$, $\overline{V2}$.

CONTROLE AUTOMÁTICO DE IREM



$\overline{V3'}$, $\overline{V4'}$, $\overline{V5'}$, $\overline{V6'}$, $\overline{Vp'}$. Em caso do sinal detectado corresponder a uma velocidade superior a anterior o valor carregado no registro de patamar corresponde ao novo valor limite de velocidade. Em caso de frenagem é carregado no registro de patamar o valor final de freio.

Quando a velocidade permitida é $V0$ e o botão permissivo é acionado ativando Vp o limite superior de velocidade será VRT , cujo valor é carregado no registro de patamar. Se está sendo seguida uma curva de frenagem até $V0$ e o botão permissivo for acionado, o valor final de freio passará a ser VRT sendo carregado no registro de patamar valor correspondente.

Durante um patamar de velocidade, ou seja quando não está ocorrendo frenagem, o multiplexer, MPX (bloco 20) é endereçado pelo controle de maneira a levar até ao comparador (bloco 21) o conteúdo do registro de patamar para ser comparado com a velocidade real do trem. Quando houver ultrapassagem da máxima velocidade permitida, o sinal Ultra informa ao controle, para que seja aplicado o freio e buzina. Quando estiver ligado a opção freiar até parar o freio é aplicado automaticamente até a parada, caso contrário só é aplicado até que a velocidade real torne-se menor do que a máxima permitida.

Quando houver uma mudança de velocidade máxima permitida para um valor inferior ao anterior, o circuito de controle carregará através do sinal L2 um valor no contador de endereço (bloco 13), este valor é obtido da matriz de diodos (bloco 12) a partir dos sinais de controle, $\overline{V1''}$, $\overline{V2''}$, $\overline{V3''}$, $\overline{V4''}$, $\overline{V5''}$, $\overline{V6''}$.

Este contador endereça a PROM (bloco 18) na posição em que está contido o valor inicial de frenagem. Os subsequentes valores padrões que formam a curva padrão de frenagem, estão contidos nas posições seguintes da PROM. De segundo a segundo o contador de endereço (bloco 13) tem seu valor decrementado, endereçando outro valor de curva padrão de frenagem. Durante frenagem o multiplexer (MPX bloco 20) é endereçado de maneira a transmitir o con

teúdo da PROM ao comparador (bloco 21). Em caso da velocidade real ultrapassar a curva padrão de frenagem é aplicado o freio automaticamente até a parada se a opção freiar até parar estiver ligada ou até que a velocidade torne-se menor do que a padrão permitida, quando a opção freiar até parar estiver desligada.

O valor final de freio é colocado no registro de patamar e comparado com o que é lido da PROM (bloco 18) pelo comparador (bloco 19) que informa ao controle quando a velocidade padrão atingir o valor final de freio através do sinal $P_{\leq}F$.

Numa transição da velocidade máxima permitida, os sinais V_0, V_1, \dots, V_6 permanecem normalmente zero durante um espaço de tempo Δt , se esses sinais permanecem zero por um espaço de tempo maior do que Δt , indica falha na fonte do receptor de código e por segurança deve ser aplicado o freio automaticamente.

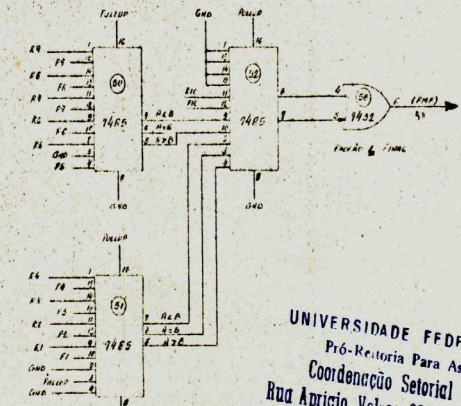
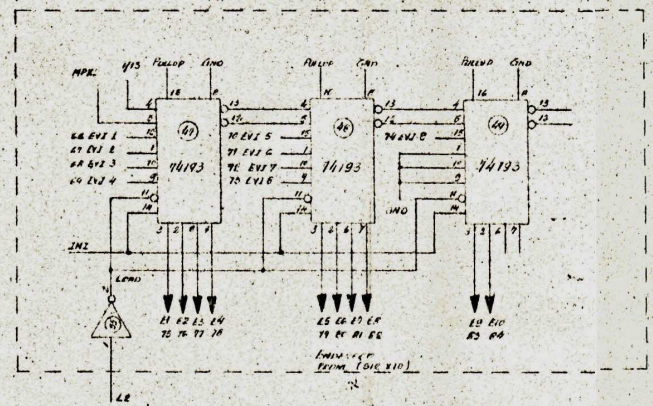
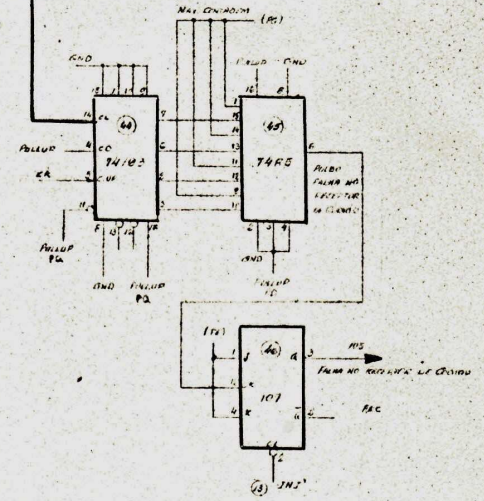
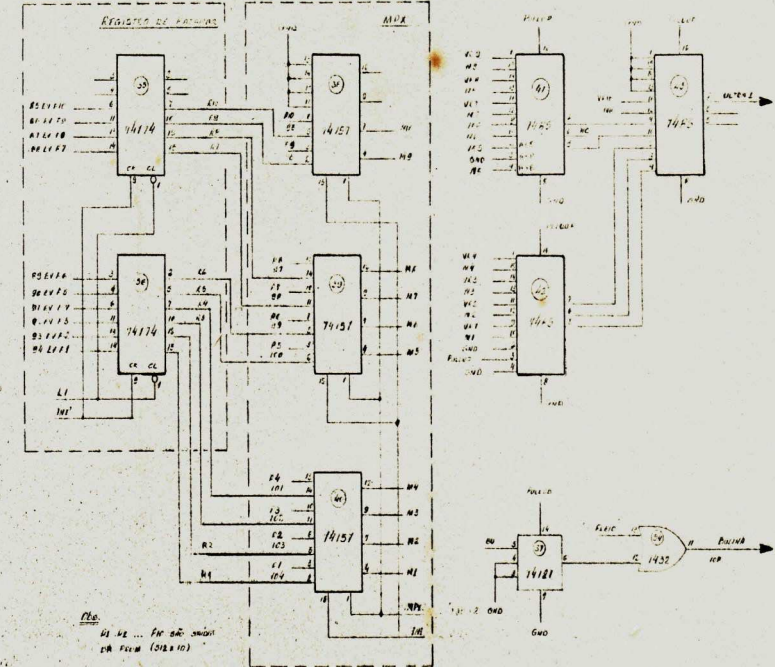
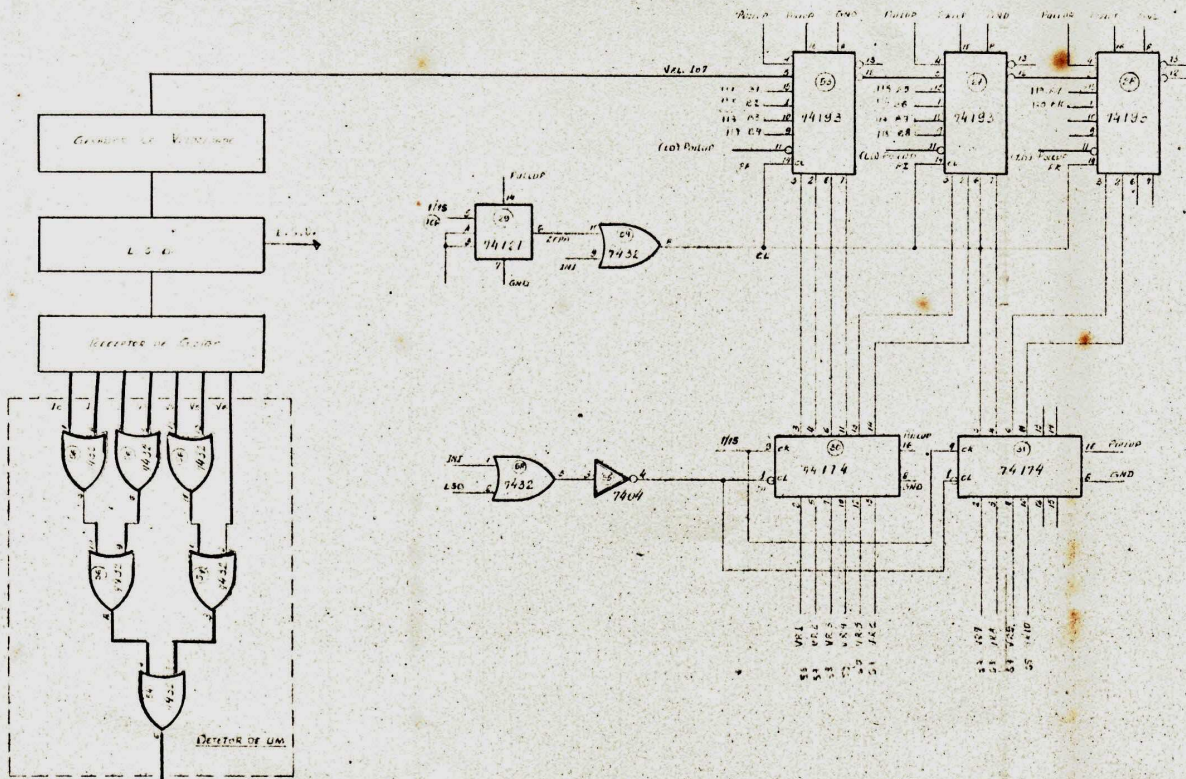
Quando os sinais V_0, V_1, \dots, V_6 são todos zero o detector de zero (bloco 7) libera o contador (bloco 8) e o comparador (bloco 9) compara o conteúdo do contador com o valor máximo de contagem.

Quando este é atingido o comparador informa ao controle que o receptor de código está com falha e deve ser aplicado o freio automaticamente.

A detecção desta condição no equipamento atual é feita pelo ATC e por isto foi incluído aqui. Qualquer outro tipo de falha no receptor de código força a saída deste ser V_0 obrigando a parada do trem e portanto sendo também detectada através do ATC.

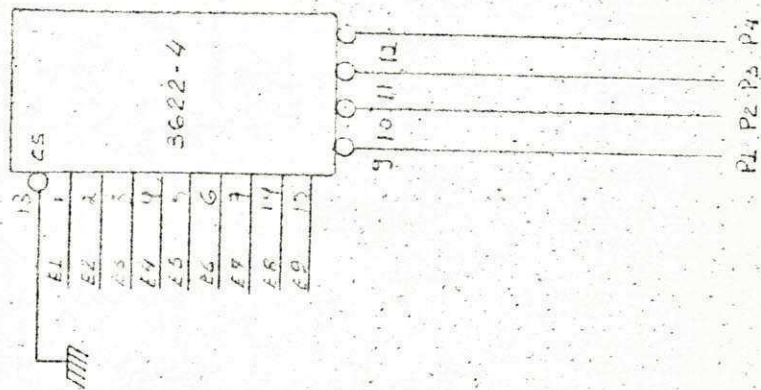
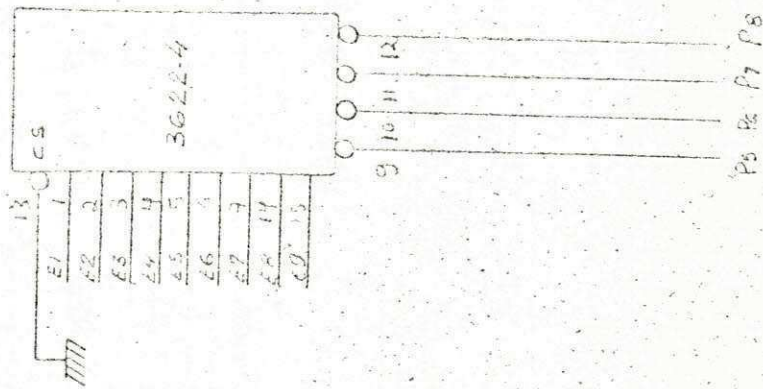
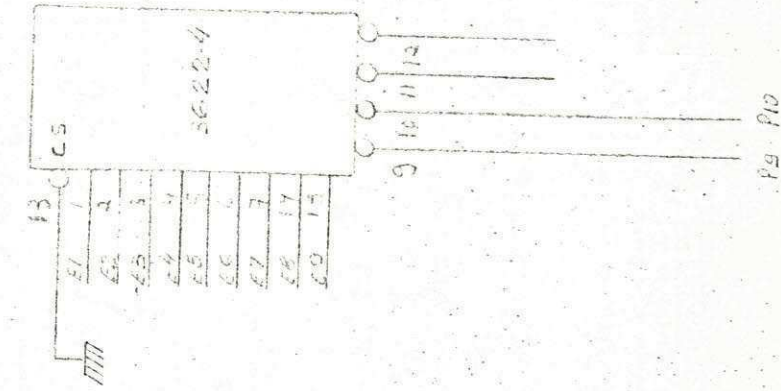
III.4 - REALIZAÇÃO

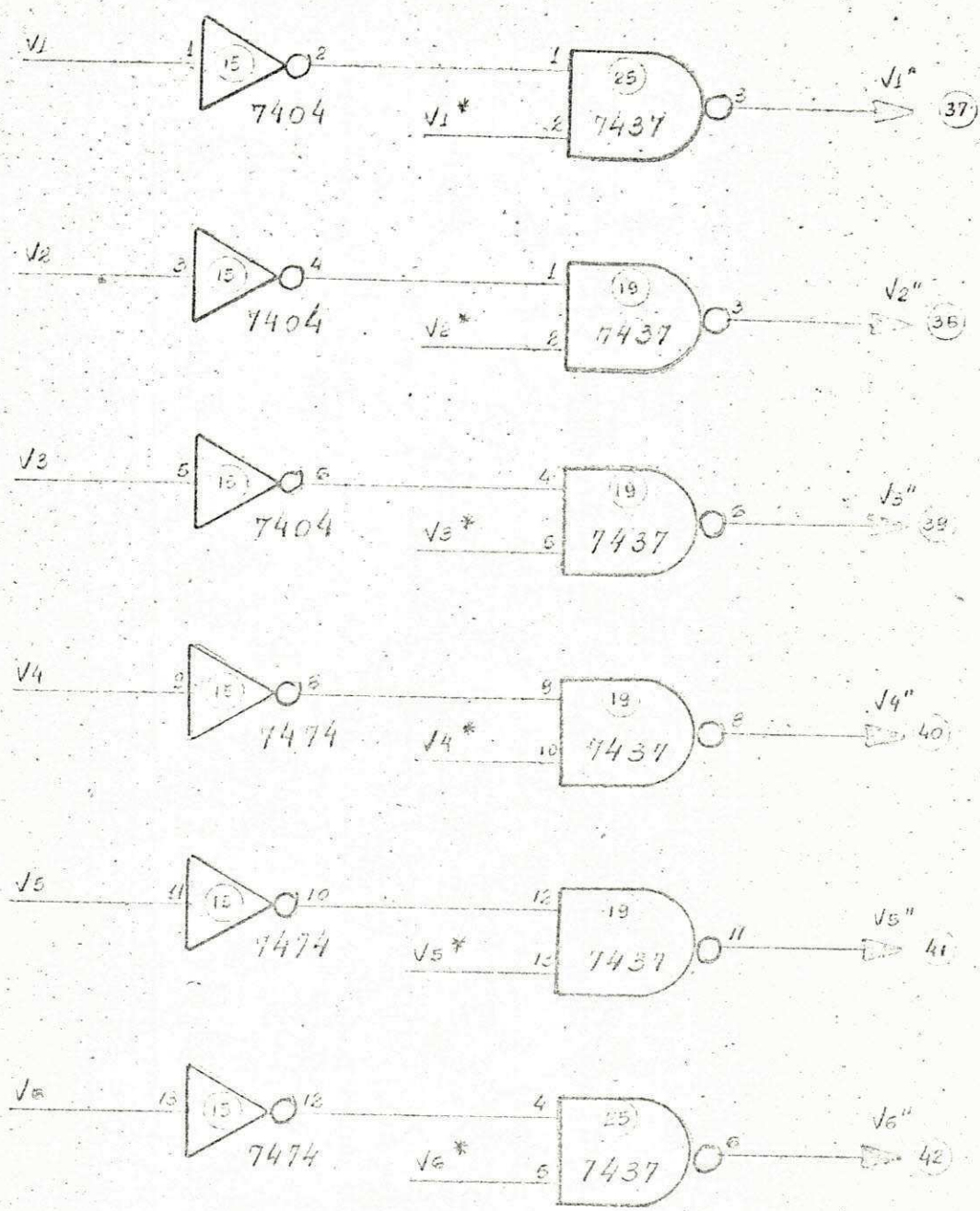
A realização do circuito de controle é descrita no item III.5. O diagrama abaixo apresenta a implementação da parte restante que compreende registros, PROM, multiplexer, contadores, etc.



UNIVERSIDADE FEDERAL DA PARAIBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 832 - Tel. (083) 321.722
 58.100 - Campina

1100/11
Pomeroy





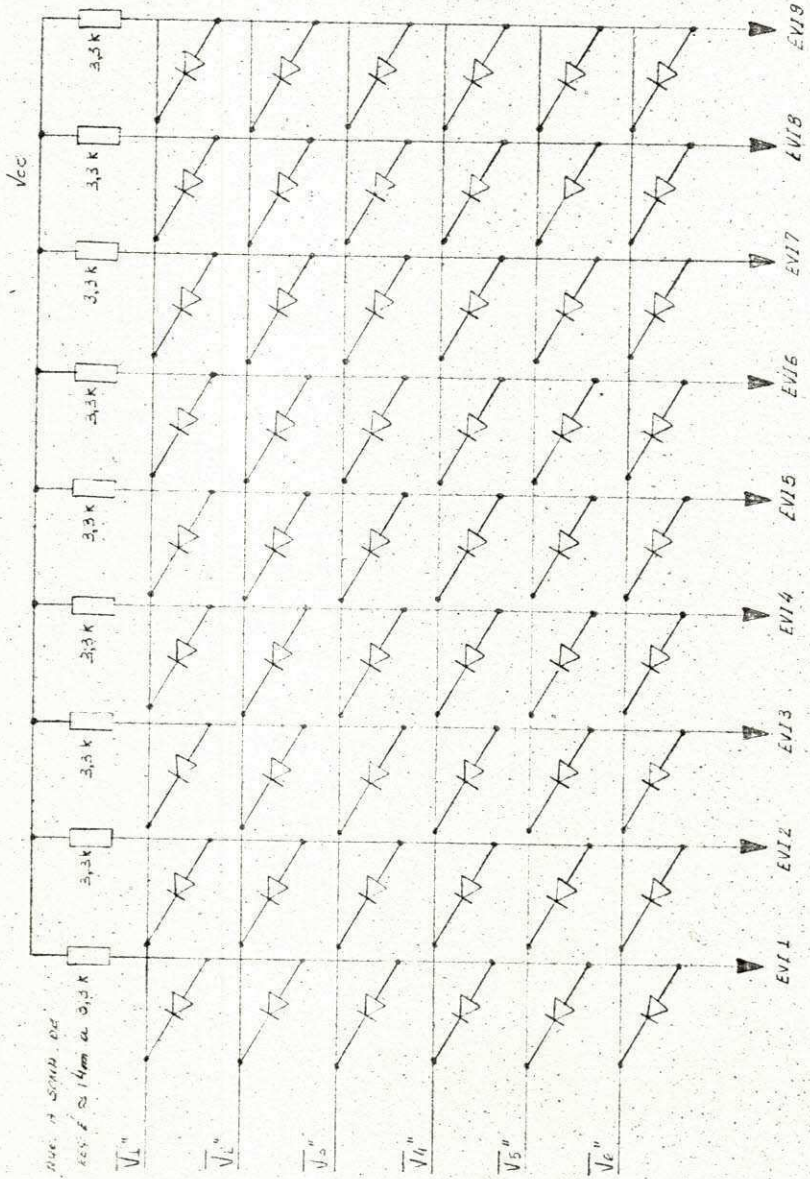
ENDEREÇO VALOR INICIAL

17.05.77

[Handwritten signature]

ENDEREGO DO VALOR INICIAL DE FREIAGEM

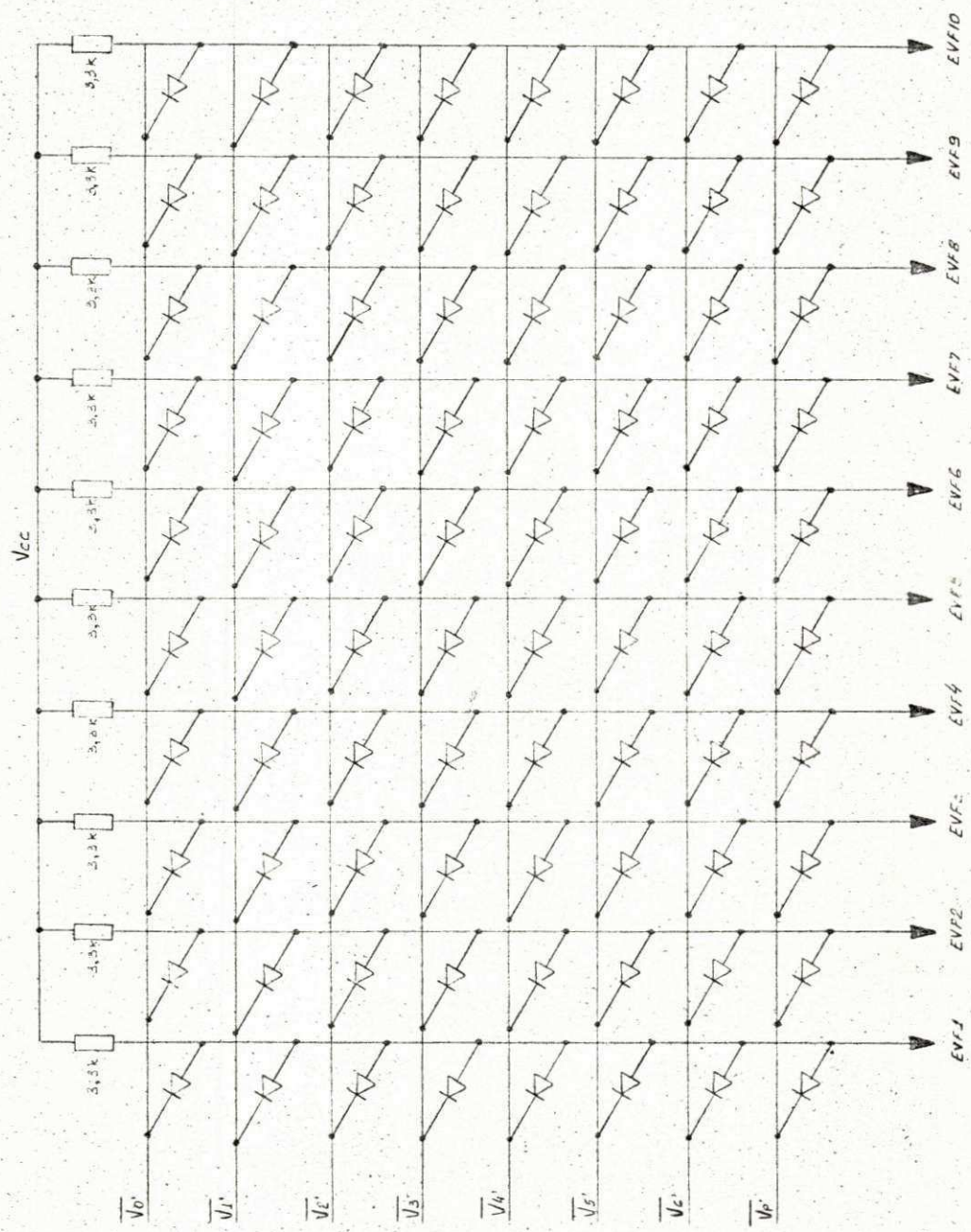
18/01/12
[Handwritten Signature]



6 VOLTES POR DIA. A LINDA DE
 EQUILIBRE USAR RES. F. 33 1/2W e 0,33k

Obs.: Diodo GE JN60
 Fonte de D.E.V.
 Corrente máx. = 40 mA

VALOR FINAL DE FREIO, PATINAR, V_p , OU VELOCIDADE NULA NA CRESCENTE
 FREIO ATÉ PARAR



12/03/77
 [Signature]

III.5 CIRCUITO SEQUENCIAL DE CONTROLE

III.5.1 - Definição

O controle é composto de três máquinas seqüenciais síncronas, um circuito combinacional e um amostrador da máxima velocidade permitida. (Fig. 3.3).

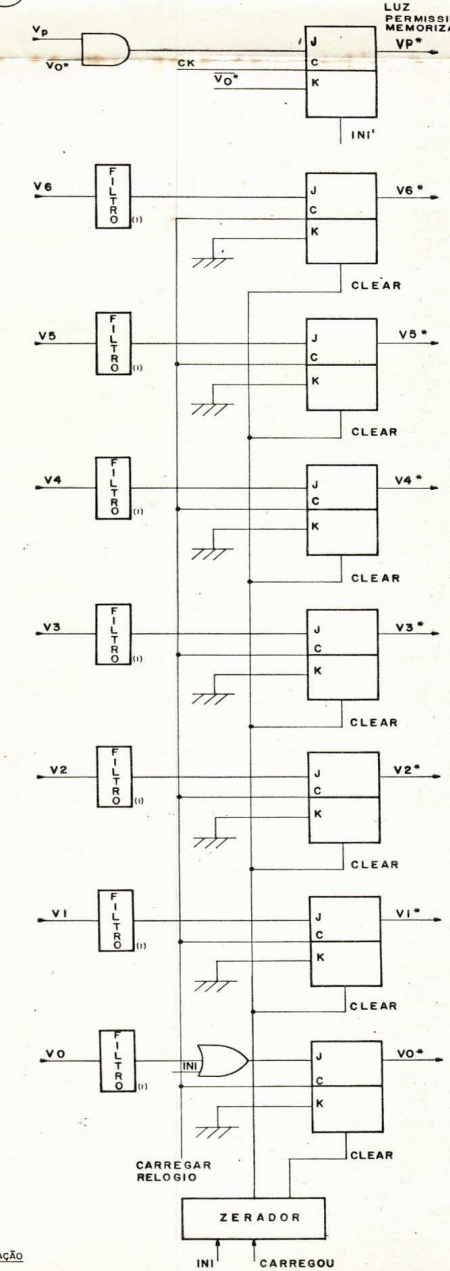
A máxima velocidade permitida é amostrada numa freqüência de 100Hz, bem maior do que a freqüência de amostragem da velocidade real. Dos sinais V_0, V_1, \dots, V_6 , só um é ativo em cada instante de tempo, sendo carregado no amostrador pelo relógio. Quando houver variação da máxima velocidade permitida, o novo sinal será colocado na saída do amostrador, ficando assim o mesmo com duas saídas ativas. Esta informação é utilizada pelo combinacional (Fig. 3.3) que compara as saídas e as entradas do amostrador e informa as máquinas seqüenciais de controle, por meio dos sinais, Estável, Estável e Para Baixo, se a máxima velocidade permitida esta estável ou houver uma mudança para um valor superior ou inferior. No bloco 1 (fig. 3.3) vêem-se as equações que realizam as funções para cima, para baixo e estável.

Quando o sinal estável for desativado, devido a uma mudança para cima ou para baixo, a máquina 3 (bloco 3 fig.3.3) saíra do seu estado (a) e irá para o estado (b), gerando o sinal Bu que atua no monoestável (bloco 14 figura 3.3) acionado a buzina durante 5 segundos.

Neste estado, também é ativado o sinal L1, que carrega um novo valor no registro de patamar.

Se for o caso de uma mudança para baixo, a máquina 2 passará do estado (1) ao (2) que em conjunto com (b) ativará o sinal L2 que carrega no contador de endereço da PROM (bloco 13 fig.3.2 o endereço do valor inicial da

5 AMOSTRADOR



CIRCUITO SEQUENCIAL DE CONTROLE

COMBINACIONAL

NÃO ESTÁVEL SÓ QUANDO HÁ DOIS SINAIS EM V*

ESTÁVEL = P/CIMA . P/BAIXO

V0, V1, V2...V6 = 1 OU 0 ATIVOS

V0*, V1*, V2*...V6* = 0, 1 OU 2 ATIVOS

PARA BAIXO

V0 V0*(V1*+V2*+V3*+V4*+V5*+V6*)

V1 V1*(V2*+V3*+V4*+V5*+V6*)

V2 V2*(V3*+V4*+V5*+V6*)

V3 V3*(V4*+V5*+V6*)

V4 V4*(V5*+V6*)

V5 V5*(V6*)

PARA CIMA

V1 V1*(V2)

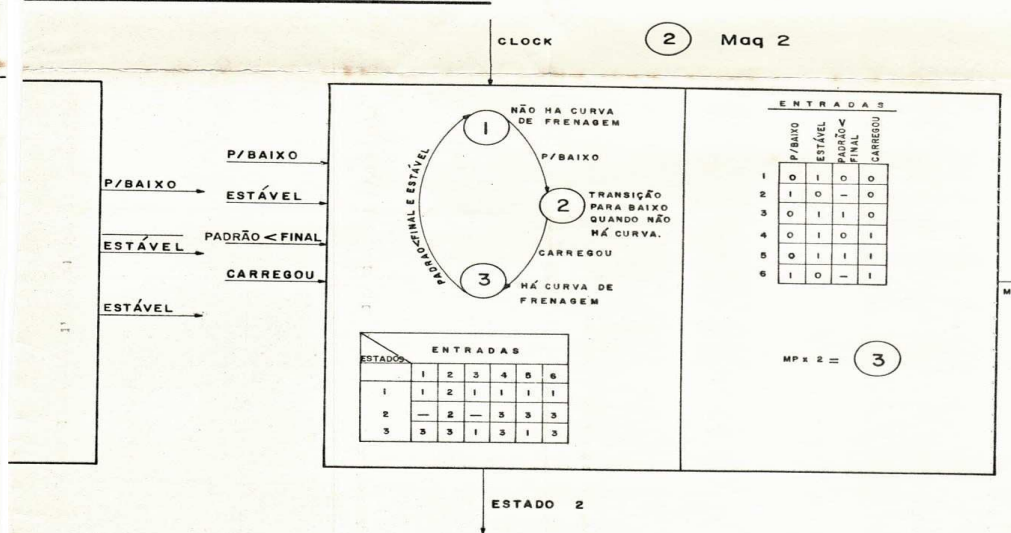
V2 V2*(V0*+V1*)

V3 V3*(V0*+V1*+V2*)

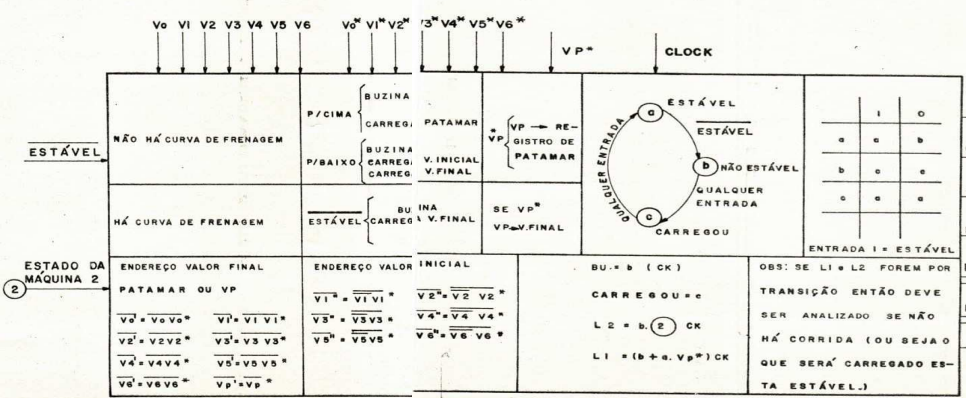
V4 V4*(V0*+V1*+V2*+V3*)

V5 V5*(V0*+V1*+V2*+V3*+V4*)

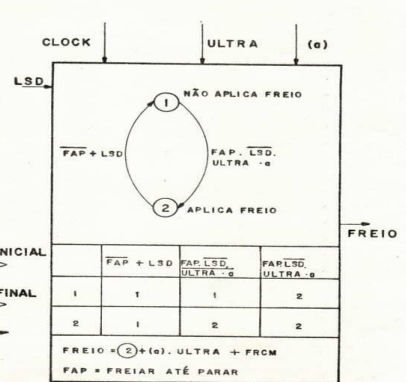
V6 V6*(V0*+V1*+V2*+V3*+V4*+V5*)



3 Maq 3



4 Maq 4



UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 822 - Tel (083) 321 7222-R 355
 58.100 - Campina Grande - Paraíba

OBSERVAÇÃO
 (1) DEPENDENDO DO BOUNCE DO RELÉ DE ENTRADA

FIGURA 3.3

curva de frenagem. Os sinais $\overline{V0}'$, $\overline{V1}'$, ... $\overline{V6}$, \overline{Vp}' atuam na matriz de diodos (figura 3.2. bloco 16) cuja saída é o novo patamar a ser carregado por L1.

Os sinais $\overline{V1}''$, $\overline{V2}''$, ... $\overline{V6}''$ são as entradas da matriz de diodos, (figura 3.2 bloco 2) que fornece conforme a transição o endereço do valor inicial de frenagem que está gravado na PROM (figura 3.2 bloco 18).

No próximo pulso do relógio a máquina 3 irá para o estado \textcircled{C} gerando o sinal Carregou que vai zerar o amostrador (figura 3. bloco 5).

Note que o tempo decorrido desde a variação da velocidade máxima permitida e a geração do sinal Carregou, zerando o amostrador, não é suficiente para uma nova mudança da máxima velocidade permitida. Assim sendo o amostrador terá, em qualquer instante de tempo, no máximo duas saídas ativas. No próximo pulso de relógio a máquina 3 retornará ao seu estado estável \textcircled{a} e o amostrador terá somente ativa uma saída correspondente a máxima velocidade permitida.

O sinal permissivo Vp vem de um botão e é memorizado num flip-flop do amostrador (sinal Vp) (figura 3.3 bloco 5).

Quando a máquina 3 recebe o sinal Carregou irá para o estado $\textcircled{3}$. Neste estado o conteúdo da PROM é encaminhado pelo multiplexer de maneira a ser comparado com a velocidade real pelo comparador (figura 3.2 bloco 21).

Quando o sinal padrão \leq final que é saída do comparador (figura 3.2 bloco 21) torna-se ativo e o circuito combinacional através de sua saída Estável informa que não houve variação da velocidade permitida, a máquina 2 voltará no próximo pulso do relógio para o estado $\textcircled{1}$, indicando que acabou a frenagem. Neste estado, o multiple-

xer passa a endereçar o conteúdo do registro de patamar (figura 3.2 bloco 17).

A máquina 4 (figura 3.3 bloco 4) controla a aplicação do freio.

Quando a opção freiar até parar estiver desligada, esta máquina permanecerá no estado 1 e o freio obedece a seguinte equação:

$$\text{FREIO} = (a) \cdot \text{ULTRA} + \text{FRCM} + \textcircled{2} \cdot \text{MAQ4}$$

ou seja, se a máquina 3 estiver no estado \textcircled{a} o que significa que não está havendo transição de velocidade máxima, então o freio será aplicado enquanto o sinal Ultra estiver ativo. Se o sinal FRCM (falha no receptor de código memorizada) (gerado na figura 3.2 estiver ativo, o freio também será aplicado.

Se a opção freiar até parar estiver ligada, e ocorrer o sinal Ultra, com a máquina 3 no estado \textcircled{a} e o sinal L.S.D. indicar que a velocidade do trem está maior do que 3Km/h, então o freio é aplicado pois a máquina 4 vai para o estado $\textcircled{2}$ (aplicar freio) até que ou seja desligado a opção freiar até parar ou o sinal L.S.D. seja alto indicando que a velocidade está menor do que 3Km/h quando então a máquina 4 voltará para o estado $\textcircled{1}$ retirando a aplicação automática do freio.

III.5.2 - Realização

a) Circuito combinacional

Da tabela abaixo são retiradas as equações que realizam as funções desejadas.

V0*	V1*	V2*	V3*	V0	V1	V2	V3	P/B	P/C	E
X	X	X	X	0	0	0	0	0	0	1
0	0	0	0	X	X	X	X	0	0	1
1	1	0	0	1	0	0	0	1	0	0
1	1	0	0	0	1	0	0	0	1	0
1	0	1	0	1	0	0	0	1	0	0
1	0	1	0	0	0	1	0	0	1	0
1	0	0	1	1	0	0	0	1	0	0
1	0	0	1	0	0	0	1	0	1	0
0	1	1	0	0	1	0	0	1	0	0
0	1	1	0	0	0	1	0	0	1	0
0	1	0	1	0	1	0	0	1	0	0
0	1	0	1	0	0	0	1	0	1	0
0	0	1	1	0	0	1	0	1	0	0
0	0	1	1	0	0	0	1	0	1	0
1	0	0	0	1	0	0	0	0	0	1
0	1	0	0	0	1	0	0	0	0	1
0	0	1	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0	0	1

Obs: O restante das combinações não importa. Notar que nos sinais V0*, V1*, ... V6* 0, 1, ou 2 são ativos num determinado instante de tempo, e nos sinais V0, V1, ... V6, ou todos são inativos ou só 1 é ativo.

Generalizando as equações para todas as variáveis tem-se:

Para Baixo:

$$V_0V_0^* (V_1^*+V_2^*+V_3^*+V_4^*+V_5^*+V_6^*) +$$

$$V_1V_1^* (V_2^*+V_3^*+V_4^*+V_5^*+V_6^*) +$$

$$V_2V_2^* (V_3^*+V_4^*+V_5^*+V_6^*) +$$

$$V_3V_3^* (V_4^*+V_5^*+V_6^*) +$$

$$V_4V_4^* (V_5^*+V_6^*) +$$

$$V_5V_5^* (V_6^*)$$

Para Cima:

$$V_1V_1^* (V_0^*) +$$

$$V_2V_2^* (V_0^*+V_1^*) +$$

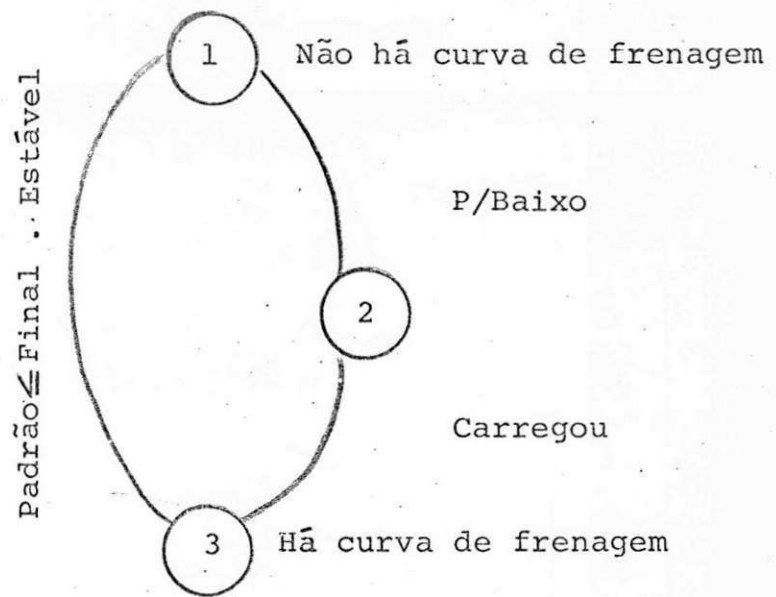
$$V_3V_3^* (V_0^*+V_1^*+V_2^*) +$$

$$V_4V_4^* (V_0^*+V_1^*+V_2^*+V_3^*) +$$

$$V_5V_5^* (V_0^*+V_1^*+V_2^*+V_3^*+V_4^*) +$$

$$V_6V_6^* (V_0^*+V_1^*+V_2^*+V_3^*+V_4^*+V_5^*) +$$

b) Máquina 2



São quatro as entradas; Para Baixo, Estável, Padrão ≤ Final e Carregou.

Obs: (Para Baixo. Estável) = 0.

Estados y1 y2		Entradas							
		1	2	3	4	5	6	7	8
0	0	1	2	1	1	1	1	-	1
0	1	-	2	-	3	3	3	-	2
1	1	3	3	1	3	1	3	-	3
1	0	-	-	-	-	-	-	-	-

Entradas

	P/B	E	$P \leq F$	C
1	0	1	0	0
2	1	0	-	0
3	0	1	1	0
4	0	1	0	1
5	0	1	1	1
6	1	0	-	1
7	1	1	-	-
8	0	0	-	-

y1

y1	1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	-	0
0	-	0	-	1	1	1	-	0
1	1	1	0	1	0	1	-	1
0	-	-	-	-	-	-	-	-

y2

y2	1	2	3	4	5	6	7	8
0	0	1	0	0	0	0	-	0
1	-	1	-	1	1	1	-	1
1	1	1	0	1	0	1	-	1
0	-	-	-	-	-	-	-	-

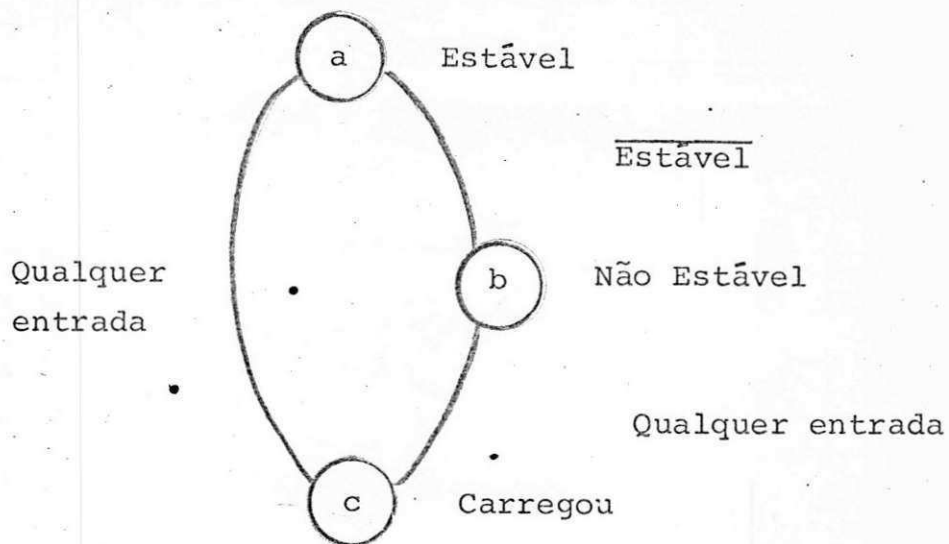
$$\begin{aligned}
J1 &= Y2 (4+5+6+7) \\
&= Y2 (0101+0111+10-1+11-1) \\
&= Y2 (01-1+10-1+11-1) \\
&= Y2 (-1-1+1--1) = \\
&= Y2. \text{Carregou (P/B+Estável)}.
\end{aligned}$$

$$\begin{aligned}
K1 &= 3+5+7=0110+0111+111--= \\
&= 011-+111- = -11-- \\
&= \text{Estável. } P \leq F.
\end{aligned}$$

$$\begin{aligned}
J2 &= 2+7 = 10-0+11-0 = 1--0= \\
&= P/B. \overline{\text{Carregou}}
\end{aligned}$$

$$\begin{aligned}
K2 &= Y1 (3+5+7) = \\
&= Y1 \text{ Estável. } P \leq F.
\end{aligned}$$

c) Máquina 3



Saídas - Bu=b.CK

Carregou=C

L2=b. (2) .CK

L1=(b+aVp*)CK

Endereço valor final patamar ou Vp

$$\overline{V0}' = \overline{V0V0}^* \quad \overline{V3}' = \overline{V3V3}^* \quad \overline{V6}' = \overline{V6V6}^*$$

$$\overline{V1}' = \overline{V1V1}^* \quad \overline{V4}' = \overline{V4V4}^* \quad \overline{Vp}' = \overline{Vp}^*$$

$$\overline{V2}' = \overline{V2V2}^* \quad \overline{V5}' = \overline{V5V5}^*$$

Endereço valor inicial

$$V1'' = \overline{\overline{V1V1}}^* \quad V4'' = \overline{\overline{V4V4}}^*$$

$$V2'' = \overline{\overline{V2V2}}^* \quad V5'' = \overline{\overline{V5V5}}^*$$

$$V3'' = \overline{\overline{V3V3}}^* \quad V6'' = \overline{\overline{V6V6}}^*$$

		Entradas	
		1	0
Estados	a	a	b
	b	c	c
	c	a	a

Entrada 1 = Estável

		Entradas	
		1	0
Estados Y1, Y2	00	a	b
	01	c	c
	11	a	a
	10	-	-

Y1	1	0
0	0	0
0	1	1
1	0	0
1	-	-

Y2	1	0
0	0	1
1	1	1
1	0	0
0	-	-

		Y1	
		1	0
00	0	0	
01	1	1	
11	-	-	
10	-	-	

		Y2	
		1	0
00	0	1	
01	-	-	
11	-	-	
10	-	-	

		J1	
		1	0
00	-	-	
01	-	-	
11	1	1	
10	-	-	

		J2	
		1	0
00	-	-	
01	0	0	
11	1	1	
10	-	-	

K1

K2

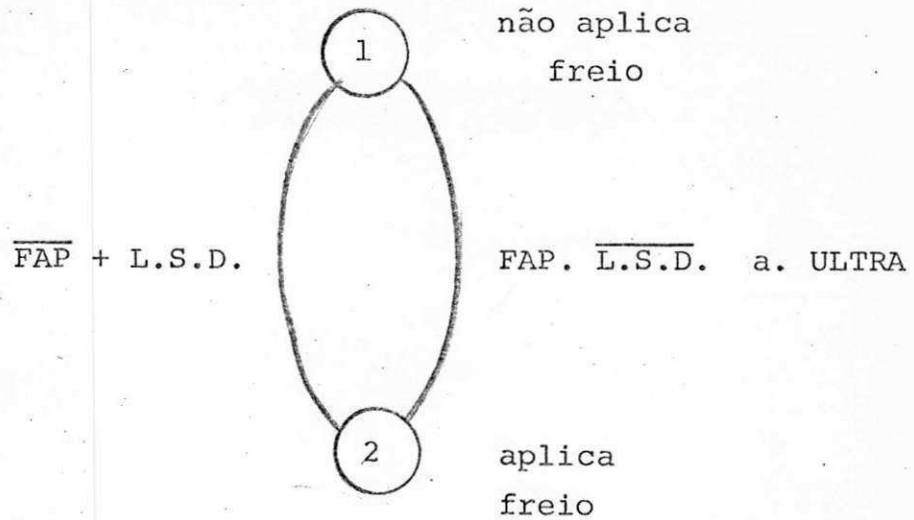
$$J1 = Y2$$

$$J2 = \overline{\text{Estável}}$$

$$K1 = Y2$$

$$K2 = Y1$$

d) Máquina 4



Entradas

FAP

LSD

(ULTRA.a)

Transição para cada entrada

0

X

X

① ; ② → ①

1

0

0

① ; ②

1

0

1

② ; ① → ②

1

1

X

① ; ② → ①

$$I1 = \overline{F.A.P.} + L.S.D.$$

$$I2 = F.A.P. \overline{L.S.D.} \overline{ULTRA.a}$$

$$I3 = F.A.P. \overline{L.S.D.} (ULTRA.a)$$

Entradas

Estados	I1	I2	I3
1	1	1	2
2	1	2	2

$$\text{Freio} = \textcircled{2} + \text{estável. (a) . ULTRA} + \text{FRCM}$$

FRCM = Falha no receptor de código memorizada.

y	I1	I2	I3
0	1	1	2
1	1	2	2

y	I1	I2	I3
0	0	0	1
1	0	1	1

Y

	I1	I2	I3
0	0	0	1
1	-	-	-

J

	I1	I2	I3
0	-	-	-
1	1	2	2

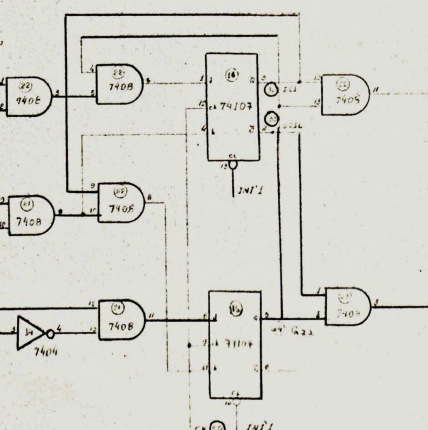
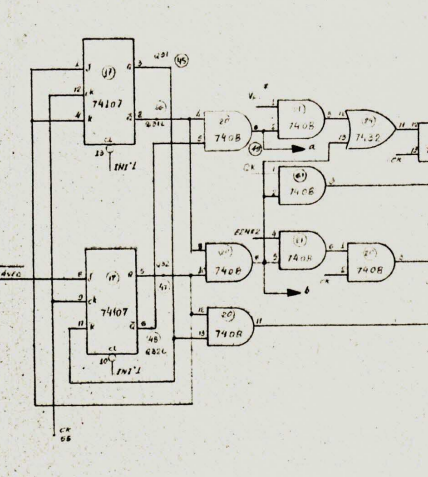
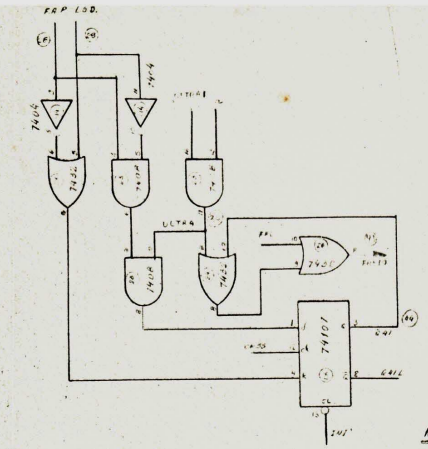
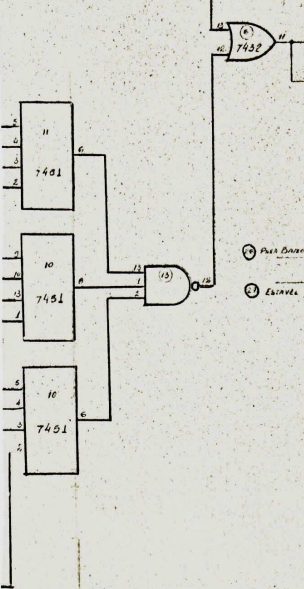
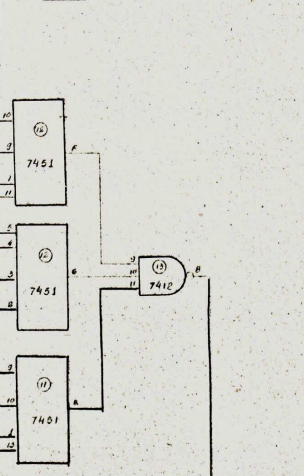
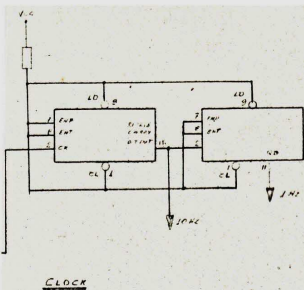
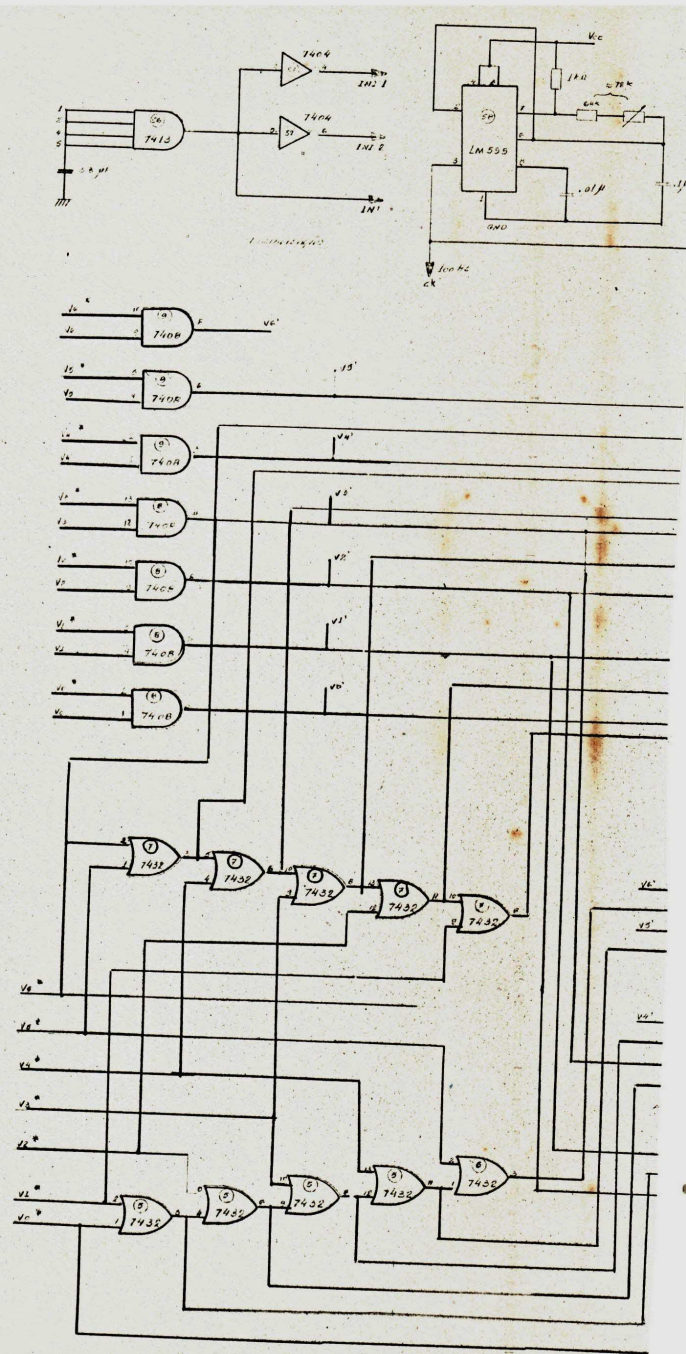
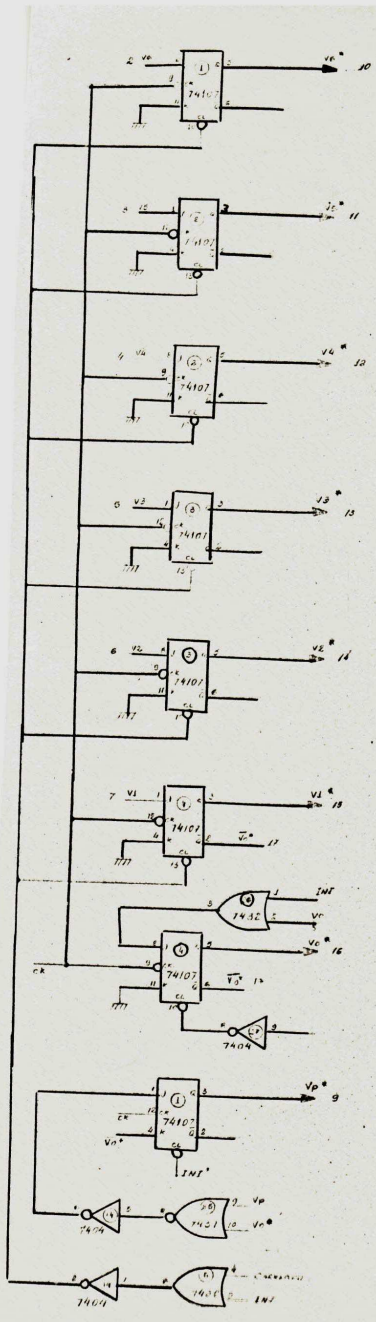
K

$$J = \overline{F.A.P.} \cdot \overline{L.S.D.} \quad (a.ULTRA)$$

$$K = \overline{F.A.P.} + L.S.D.$$

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 Tel (083) 321 7222-R 355
 58.100 - Campina Grande - Paraíba

e) A implementação foi feita com TTL série 74. O diagrama abaixo mostra o circuito combinacional, amostrador e máquinas 2, 3 e 4.



III.6 SIMULAÇÃO

O projeto foi simulado num sistema destinado a simulação e teste automático de circuitos.

Esta simulação é resumida nos seguintes passos:

Primeiramente é feita a descrição do circuito na qual são especificados os componentes utilizados e as ligações em cada terminal dos componentes. Em seguida é feito um programa de maneira tal que as entradas são variadas, segundo sequências que acontecem no funcionamento real. Em cada passo do programa e correspondentes aos valores das entradas são programados os valores das saídas, que são os esperados no funcionamento real. Estes valores de saídas programados são então comparados com os obtidos pela simulação, caso haja discrepância, a simulação é interrompida sendo então enviada mensagem de erro especificando as saídas que não se comportaram como o esperado e em que passos de programa isto aconteceu.

III.7 MONTAGEM

O amostrador e todo circuito sequencial de controle foram montadas em placas com conexões em "Wire Wrap" e testados.

CAP. IV TÉCNICAS PARA PROJETO DE CIRCUITOS AUTOTESTÁVEIS
OU SEGUROS EM FALHA

IV.1 - Circuitos Combinacionais Autotestáveis

Realização autotestável de circuitos combinacionais baseada no método apresentado pelo artigo "Design of Built-in Self Checking Monitoring Circuits for Combinational Devices" - E.S. Sogomonyan.

- 1) Separe as saídas do circuito combinacional em grupos de saídas dependentes, qualquer par de saídas não pertencente ao mesmo grupo deve ser independente.

Duas saídas de um circuito são dependentes (independentes) se existe (não existe) pelo menos uma coleção de entradas que sob um erro, no circuito, ocasiona erro nas duas saídas simultaneamente.

Para examinar a independência de duas saídas verifica-se primeiro se elas são graficamente independentes. Duas saídas são ditas graficamente dependentes (independentes) se existe (não existe) nos seus diagramas lógicos um vértice (saída de um componente) que seja graficamente essencial para dois vértices contendo estas saídas.

Um vértice i é graficamente essencial para um vértice j se no diagrama lógico há pelo menos um caminho de propagação do sinal digital do vértice i para o vértice j , caso contrário o vértice é dito graficamente não essencial.

Saídas graficamente dependentes são ou não dependentes, enquanto que saídas graficamente independentes são independentes.

Considere duas saídas Z_{i1} e Z_{i2} de um circuito combi
nacional graficamente dependentes. Acha-se então to-
dos os vértices que são essenciais para estas saídas.

Para estes vértices concorrem os seguintes subconjun-
tos de elementos do circuito:

$$\{q_{t1}^1, \dots, q_{t1}^1\} \dots, \{q_{tk}^k, \dots, q_{tk}^k\}$$

As saídas Z_{i1} e Z_{i2} são independentes uma da outra se

$$\frac{d Z_{i1}}{dq_{t1}^1} \cdot \frac{d Z_{i2}}{dq_{t1}^1} \cdot \dots \cdot \frac{d Z_{i1}}{dq_{tk}^k} \cdot \frac{d Z_{i2}}{dq_{tk}^k} = 0$$

Para o conjunto de entradas possíveis.

Nesta expressão a derivada booleana é feita em rela-
ção as funções dos pontos internos do circuito combi
nacional que são as de fato as saídas dos elementos
($q_{t1}^1, \dots, q_{tk}^k$)

O termo $\frac{d Z_{i1}}{dq_{t1}^1} \cdot \frac{d Z_{i2}}{dq_{t1}^1}$ define a

coleção de variáveis de entrada para as quais as saí-
das Z_{i1} e Z_{i2} assumam simultaneamente valores errados
devido a falha nos elementos pertencentes ao subcon-
junto ($q_{t1}^1, \dots, q_{t1}^1$)

A derivada booleana tem a seguinte forma:

$$\frac{d Z_l}{dq} = z_l (q=0) \oplus z_l (q=1)$$

- 2) Reduza através de ou exclusivo saídas independentes pertencentes aos diversos grupos dependentes e verifique a função realizada na saída do ou exclusivo.
- 3) Construa para cada grupo de saídas independentes reduzidas acima (uma saída não deve pertencer a mais de um grupo), um circuito cuja saída seja o complemento do ou exclusivo que une as saídas independentes correspondentes.
- 4) Para cada saída restante, ou seja aquelas que não pertencerem a nenhum dos grupos de saídas independentes formados, deve-se construir um circuito cuja saída seja o complemento da mesma.

Qualquer circuito projetado segundo o método acima apresentado terá um número par de saídas de monitoramento que indicam se o circuito está ou não operando livre de falha.

Estas saídas de monitoramento estão organizadas em duplas de maneira que na ausência de falha todas as duplas estejam em código 1- em -2 ou seja pertencem ao conjunto $\{(01) (10)\}$ e em caso de falha pertencem ao conjunto $\{(00) (11)\}$.

Todas as falhas únicas são detectadas assim que se propaguem até as saídas tirando-as de código.

Grande parte das falhas múltiplas para uma certa combinação de entradas propagam-se também às saídas, tirando-as de código. Todavia aquelas falhas múltiplas que mascaram-se mutuamente podem não se propagar até as saídas.

O número destes casos é muito difícil de se determinar, a experiência mostra que são muito poucos.

IV.2 MÁQUINAS SEQUENCIAIS SINCRONAS

Para o projeto de máquinas sequenciais síncronas a escolha foi feita entre dois métodos: Design of Reliable Synchronous Sequential Circuits - Dwight H. Sawin, e Design Technique of Fail-Safe Sequential Circuits Using Flip-Flops for Internal Memory - Yoshihiro Thomas.

IV.2.1 - Método de Thomas para realização de máquinas sequenciais seguras em falha.

Este método faz as seguintes suposições:

- 1 - Usa flip-flops JK.
- 2 - Os circuitos de excitação das entradas J e K de cada flip-flop são realizadas independentemente.
- 3 - Leva em consideração falhas únicas
- 4 - A realização do circuito de entrada é dependente de Q e \bar{Q} de um mesmo flip-flop, daí quando uma saída Q ou \bar{Q} cola em zero, a outra \bar{Q} ou Q deverá colar a um e vice-versa.
- 5 - Assume que as entradas são seguras em falha.
- 6 - Assume que o relógio não falha.

O método consiste no seguinte:

Os estados corretos são escolhidos de maneira que a distância Hamming entre eles seja maior do que 1 para que ocorrendo uma falha num circuito de excitação (geração das entradas J e K) ou na saída de um flip-flop, o novo estado distará somente de 1 do estado cor

reto e será identificada a ocorrência de erro.

O circuito é projetado de tal maneira que se uma falha forçar uma saída Q a ser zero quando deveria ser um, então o próximo estado de toda máquina será 00...0 e caso contrário 11...1. O circuito então permanece neste estado errado independente das entradas. O número de portas adicionais que se fazem necessárias para que o projeto se torne seguro em falha é bastante grande. Contudo apenas um flip-flop adicional é necessário.

Caso após atingir um estado errado não seja preciso que permaneça neste estado, pois outro circuito já memorizou a condição, então o número de portas adicionais para formar o circuito seguro em falha reduz-se consideravelmente tornando este método atrativo sob este aspecto.

IV.2.2 - Método de Sawin para realização de máquinas sequenciais auto-testáveis.

Este método faz as seguintes suposições:

- 1 - Assume que as entradas são seguras em falha.
- 2 - Que o relógio não falha.
- 3 - É seguro em falhas para falhas únicas e falhas múltiplas de um único tipo de colagem (0 ou 1).
- 4 - Permite compartilhamento entre os circuitos de excitação.
- 5 - Na realização dos circuitos de entrada

usa-se somente as saídas Q dos flip-flops. Desta forma não importa em caso de falha se Q_i assumir um determinado valor ou \bar{Q}_i não assumir o valor inverso.

6 - Na ocorrência de erro não permanece no estado errado.

O método consiste no seguinte:

Lista-se os conjuntos de estados que são predecessores (conjuntos P_i) de um mesmo estado S_k para uma coluna de entrada I_j .

Se uma coluna possuir apenas um conjunto de predecessores este é deletado.

As variáveis de estado são descritas em termos de partições τ . A cada conjunto P_i único associa-se uma τ_i , tal que τ_i é codificado com 1 para cada estado em P_i e zero para cada estado que não está em P_i .

A cada τ_i corresponderá uma nova variável de estado Y_i .

Formam-se partições τ_j^P que particionam nos estados atuais aqueles que para a entrada I_p terão estados seguintes em que $\tau_i = '1'$ ($y_i = 1$) dos que terão estado seguinte com $\tau_i = '0'$ ($y_i = 0$)

As equações dos próximos estados são expressas da seguinte forma:

$$\begin{aligned}
Y_1 &= f_1^1 (y_i) I_1 + f_1^2 (y_i) I_2 + \dots + f_1^m (y_i) I_m \\
Y_2 &= f_2^1 (y_i) I_1 + f_2^2 (y_i) I_2 + \dots + f_2^m (y_i) I_m \\
&\quad \cdot \\
&\quad \cdot \\
&\quad \cdot \\
Y_n &= f_n^1 (y_i) I_1 + f_n^2 (y_i) I_2 + \dots + f_n^m (y_i) I_m
\end{aligned}$$

Os coeficientes f_i^p são determinados empregando-se os seguintes teoremas:

Teo I - Se $\eta_j^p \leq \tau_i$ então, $f_j^p = y_i$

Teo II - Seja $\tau_i, i = 1, 2, \dots, x$ e
 $p_i, i = 1, 2, \dots, x$

respectivamente partições e conjuntos p correspondentes à entrada I_p .

Para qualquer $\eta_j^p = \{ \overline{p_1, p_2, \dots, p_m}; \overline{p_{m+1}, \dots, p} \}$
 $m \leq x$ então $f_j^p = y_j, j = 1, \dots, m$

Para que a aplicação do método obedeça todas as condições impostas pelos teoremas é necessário que as equações dos próximos estados sejam realizadas da forma acima apresentada. Para isto é conveniente o uso de flip-flops tipo D.

IV.3 CÓDIGO DETECTOR DE ERRO ÚNICO

Para a detenção de erros únicos é necessário apenas um bit de paridade. Este bit pode ser escolhido independentemente para efetuar a paridade par ou impar das palavras, a não ser que a palavra 00...0 seja indicação de falha.

A utilização de um bit de paridade acarreta numa distância mínima de 2 entre as palavras. Havendo um erro único, ou seja que afete um dos bits, a paridade não obedecerá mais o código. Se o erro for duplo, ou seja afete dois bits, a palavra errada estará em côdigo, não sendo pois detectada a existência de erro.

IV.4 CÓDIGO DETECTOR DE ERROS DUPLOS

Para a detecção de erros duplos é necessário que as palavras do código tenham entre si uma distância mínima de 3. Desta forma erros duplos, ou seja aqueles que afetam dois bits de palavra codificada, não a transformam em uma palavra em código já que as palavras em código têm uma distância mínima entre si de 3.

Suponhamos que queiramos codificar m palavras diferentes, de n bits onde $2^n \geq m$. No grupo das m palavras, tem-se aquelas que distam-se entre si de 1 e outras de 2. Nestes dois casos tem-se que aumentar a distância mínima para 3. Os outros casos ou sejam aqueles em que as palavras diferem entre si de 3 ou mais já satisfazem o código.

Para tornar a distância mínima igual a 3 entre palavras cuja distância é 1, é suficiente que cada bit da palavra não codificada contribua para pelo menos dois bits de paridade. Desta forma se duas palavras não codificadas diferem apenas num determinado bit, como este bit contribui para dois bits de paridade, estes serão diferentes nas duas palavras codificadas.

No caso das palavras não codificadas que diferem em dois bits é necessário que exista pelo menos um bit de paridade que seja dependente de somente 1 dos bits que diferem. Desta forma a paridade será alterada devido a dependência de 1 só dos bits que modificaram-se o que aumenta a distância para 3.

Resumindo as condições são que cada bit contribua para 2 bits de paridade e dois bits de informação não contribuam da mesma maneira para todos os bits de paridade.

Para palavras de n bits são suficientes p bits de paridade sendo p tal que $C_p^2 \geq n$.

A tabela a seguir mostra o número de bits de paridade necessários para a codificação de palavra para vários valores de n , como tam

IV.4 CÓDIGO DETECTOR DE ERROS DUPLOS

Para a detecção de erros duplos é necessário que as palavras do código tenham entre si uma distância mínima de 3. Desta forma erros duplos, ou seja aqueles que afetam dois bits de palavra codificada, não a transformam em uma palavra em código já que as palavras em código têm uma distância mínima entre si de 3.

Suponhamos que queiramos codificar m palavras diferentes, de n bits onde $2^n \geq m$. No grupo das m palavras, tem-se aquelas que distam-se entre si de 1 e outras de 2. Nestes dois casos tem-se que aumentar a distância mínima para 3. Os outros casos ou sejam aqueles em que as palavras diferem entre si de 3 ou mais já satisfazem o código.

Para tornar a distância mínima igual a 3 entre palavras cuja distância é 1, é suficiente que cada bit da palavra não codificada contribua para pelo menos dois bits de paridade. Desta forma se duas palavras não codificadas diferem apenas num determinado bit, como este bit contribui para dois bits de paridade, estes serão diferentes nas duas palavras codificadas.

No caso das palavras não codificadas que diferem em dois bits é necessário que exista pelo menos um bit de paridade que seja dependente de somente 1 dos bits que diferem. Desta forma a paridade será alterada devido a dependência de 1 só dos bits que modificaram-se o que aumenta a distância para 3.

Resumindo as condições são que cada bit contribua para 2 bits de paridade e dois bits de paridade não contribuam da mesma maneira para todos os bits de paridade.

Para palavras de n bits são suficientes p bits de paridade sendo p tal que $C_p^2 \geq n$.

A tabela a seguir mostra o número de bits de paridade necessários para a codificação de palavra para vários valores de n , como também

bem a eficiência do código n/p em cada caso.

n	p	n/p
1	2	0,50
2	3	0,67
4	4	1,00
5	4	1,25
7	5	1,40
11	6	1,83
11	7	2,28
20	7	2,86
22	8	2,75
29	9	3,22

IV.4.1-Circuito Codificador

Se a palavra codificada é lida de uma PROM ou matriz de diodos não há necessidade de circuito codificador, pois as palavras gravadas na PROM ou matriz de diodos já devem estar codificadas. Caso contrário, quando é necessário a existência de circuito codificador, faz-se uma restrição na forma de codificar que permite o circuito ser autotestável com um acréscimo mínimo no número de componentes.

Esta restrição consiste no seguinte: os p-1 bits de paridade devem efetuar alternadamente a paridade ímpar e par. O p-ésimo bit deve efetuar a paridade oposta a soma das paridades dos p-1 bits de paridade.

Se isto acontece mostraremos que o p-ésimo bit de paridade será igual ao inverso da função ou exclusivo dos p-1 bits de paridade.

$$P_p = \overline{P_1 \oplus \dots \oplus P_{p-1}}$$

Sejam $P_1, P_2 \dots P_{p-1}$, bits de paridade que efetuam alternadamente a paridade ímpar e par de combinações de bits de informação. Chamaremos estas combinações respectivamente de $A, B, C, \dots I$. O p -ésimo bit de paridade efetuará sobre a combinação de bits J da palavra não codificada a paridade contrária a soma das paridades efetuadas pelos $p-1$ bits de paridade.

Teremos então:

$$\begin{aligned} A \oplus P_1 &= 1 \\ B \oplus P_2 &= 0 \\ C \oplus P_3 &= 1 \\ &\vdots \\ I \oplus P_{p-1} &= 0 \end{aligned}$$

Fazendo-se o ou exclusivo de todas estas equações teremos:

$$A \oplus B \oplus C \oplus \dots \oplus I \oplus P_1 \oplus P_2 \oplus \dots \oplus P_{p-1} = X \quad (1)$$

onde $X = 1$ se $p-1$ for ímpar e $X = 0$ se $p-1$ for par

$$J \oplus P_p = \bar{X} \quad (2)$$

a função ou exclusivo de (1) e (2) resulta na equação abaixo:

$$(A \oplus B \oplus C \oplus \dots \oplus J) \oplus (P_1 \oplus P_2 \oplus \dots \oplus P_p) = 1 \quad (3)$$

Como cada bit de informação contribui para dois bits de paridade então em $A \oplus B \oplus \dots \oplus J$, tem-se cada bit de informação aparecendo duas vezes, uma vez que $X \oplus X = 0$ e $0 \oplus Y = Y$ tem-se:

$$P_1 \oplus P_2 \oplus \dots \oplus P_p = 1$$

$$\overline{P_1 \oplus P_2 \oplus \dots \oplus P_{p-1}} = P_p$$

Notar que decorrente do fato de que cada bit de informação contribui para dois bits de paridade e que dois bits quaisquer não contribuem da mesma forma para todos os bits de paridade, a realização dos p bits de paridade são graficamente independentes entre si.

Segundo o método aqui apresentado para a realização de circuitos combinacionais autotestáveis, separam-se as saídas do circuito a tomar-se autotestável em grupos de saídas independentes. No nosso caso, todas as saídas P_1, P_2, \dots, P_p são independentes entre si. Em seguida une-se os grupos de saída independentes pela função ou exclusivo e para cada grupo de saídas unidos pela função ou exclusivo, deve-se realizar uma função que seja o inverso da função ou exclusivo destas saídas.

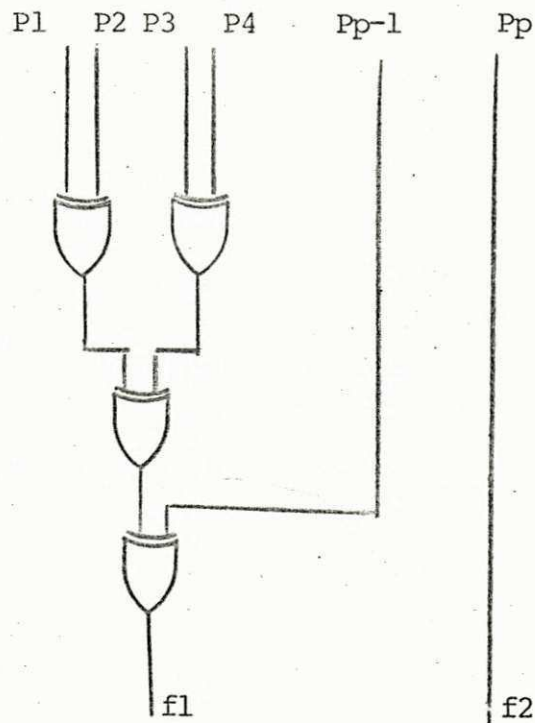
Já que todas as saídas P_1, P_2, \dots, P_p , são independentes entre si e

$$P_p = \overline{P_1 \oplus P_2 \oplus \dots \oplus P_{p-1}}$$

A realização do codificador autotestável torna-se muito simples:

Realizam-se os p bits de paridade, une-se os p-1 bits de paridade pela função ou exclusivo o que em conjunto com o bit de paridade P_p formará uma dupla em código 1- em -2.

A figura abaixo mostra o circuito codificador



$$f1 = P1 + P2 + P3 + \dots + Pp-1 = \overline{Pp} = \overline{f2}$$

Havendo falha na realização de Pp ou de qualquer bit de paridade pi, i=1, ..., p-1, a dupla (f1, f2) sairá de código.

IV.5 RELÓGIO SEGURO EM FALHA

A falha em um relógio manifesta-se de 2 formas:

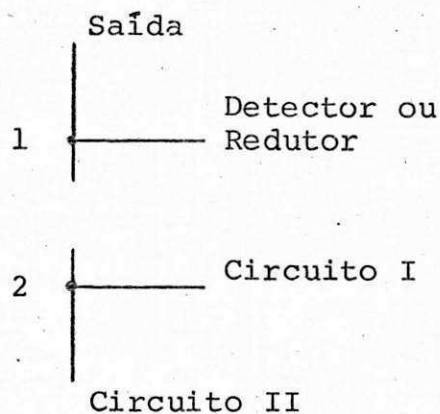
- 1 - A saída permanece constante em algum estado.
- 2 - A frequência de oscilação modifica-se com o tempo.

No primeiro caso a detenção de falha é feita por um Detector de Frequência.

No segundo caso a solução de duplicar-se é inconveniente devido a dificuldade de sincronização dos dois circuitos. A utilização de relógio a cristal, devido a sua excelente estabilidade de frequência com o tempo, elimina praticamente a possibilidade deste tipo de falha. Por este motivo e pela simplicidade adotamos esta solução.

IV.6 LIGAÇÕES DE SAÍDA

Vamos supor que na realização auto-testável de um circuito, uma determinada saída esteja emitindo sinal para outro circuito que foi duplicado para se tornar auto-testável. Suponhamos também que a saída envia sinal para um detector de paridade ou um redutor que indica falha no circuito emissor.



Caso haja uma quebra de ligação entre os pontos 1 e 2 (figura acima) o detector ou redutor estará recebendo informação correta e os dois circuitos estarão recebendo informações idênticas, porém incorretas. Esta falha não será detectada nem pelo detector ou redutor nem pelos dois circuitos.

Contudo, se quando um sinal é saída para mais de um integrado, inclusive um redutor ou detector de paridade, e a ligação saída-entradas é feita em série, se o detector ou redutor está conectado ao final da linha, a quebra de ligação em qualquer ponto será detectada.

Saída

Entrada do
Circuito I

Entrada do
Circuito II

Entrada do
Detector ou
Redutor

CAP. V REDUTORES , DETECTORES DE FREQUÊNCIA , DETECTOR DE PARIDADE E DETECTOR DE ESTADO ERRADO.

V.1 - Redução de N duplas em código 1- em -2

Na redução de N duplas em código 1- em -2 a uma tem-se dois casos:

- 1) Só uma das N pode estar fora de código num determinado instante de tempo
- 2) Mais de uma das N podem estar fora de código ao mesmo tempo.

Apresentamos circuitos redutores para cada um dos casos.

V.1.1 - Circuito redutor para o caso de uma dupla fora de código (Redutor i)

A finalidade deste circuito é reduzir um conjunto de N duplas de maneira que se todas as duplas estão em código, a dupla resultante também está e se somente uma sair de código a dupla resultante sairá também.

Este redutor se aplica pois as duplas provenientes de saídas independentes já que mais de uma não pode estar fora de código ao mesmo tempo.

Mostraremos que a realização deste redutor é feito com a utilização de ou exclusivos:

Suponhamos N duplas e que todas elas estejam em código 1- em -2, têm-se então:

$$\begin{aligned}
 f_1^1 \oplus f_2^1 &= 1 \\
 f_1^2 \oplus f_2^2 &= 1 \\
 &\vdots \\
 &\vdots \\
 f_1^n \oplus f_2^n &= 1
 \end{aligned}$$

Fazendo o ou exclusivo destas equações teremos para N par:

$$\begin{aligned}
 (f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n) \oplus (f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n) &= 0 \\
 \therefore f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n &= f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n
 \end{aligned}$$

Para que a dupla resultante (F1, F2) esteja em código quando todas as duplas a serem reduzidas estão em código, é necessário que:

$$F_2 = \overline{F_1}$$

$$\text{Se } F_1 = f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n$$

$$\text{Então } F_2 = \overline{f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n} = \overline{F_1}$$

Quando uma dupla i , $i = 1, \dots, N$ sai de código.

$$f_1^i \oplus f_2^i = 0$$

Conseqüentemente:

$$\begin{aligned}
 (f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n) \oplus (f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n) &= 1 \\
 \therefore f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n &\neq f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n
 \end{aligned}$$

o que implica em:

$$F_2 \neq \overline{F_1}$$

Ou seja se uma dupla sair de código a dupla resultante sai também de código.

Se N for ímpar:

$$(f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n) \oplus (f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n) = 1$$
$$\therefore f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n = \overline{f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n}$$

Então:

$$F_1 = f_1^1 \oplus f_1^2 \oplus \dots \oplus f_1^n$$

$$F_2 = f_2^1 \oplus f_2^2 \oplus \dots \oplus f_2^n = \overline{F_1}$$

Como no caso em que N é par se uma dupla sai de código:

$$F_2 \neq \overline{F_1}$$

Portanto a realização abaixo fig. V.2 e fig. V.1 reduz N duplas para 1 nos casos de N ímpar e N par.

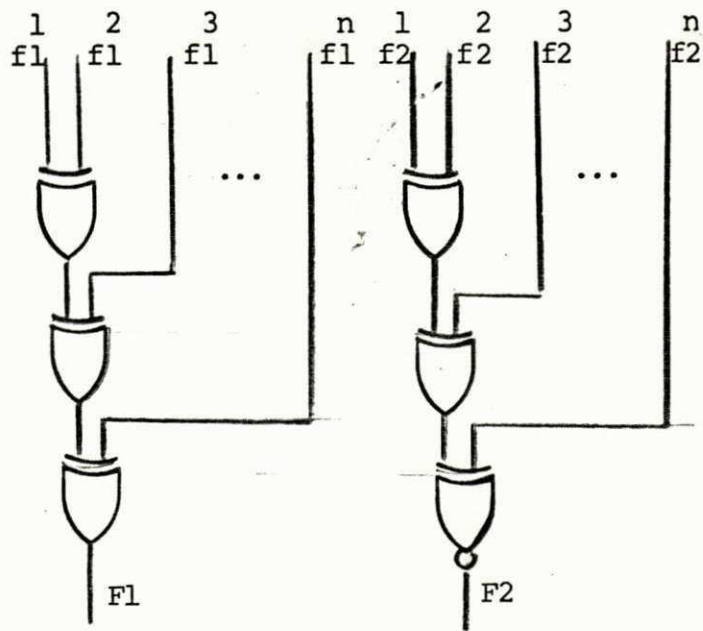


Figura V.1

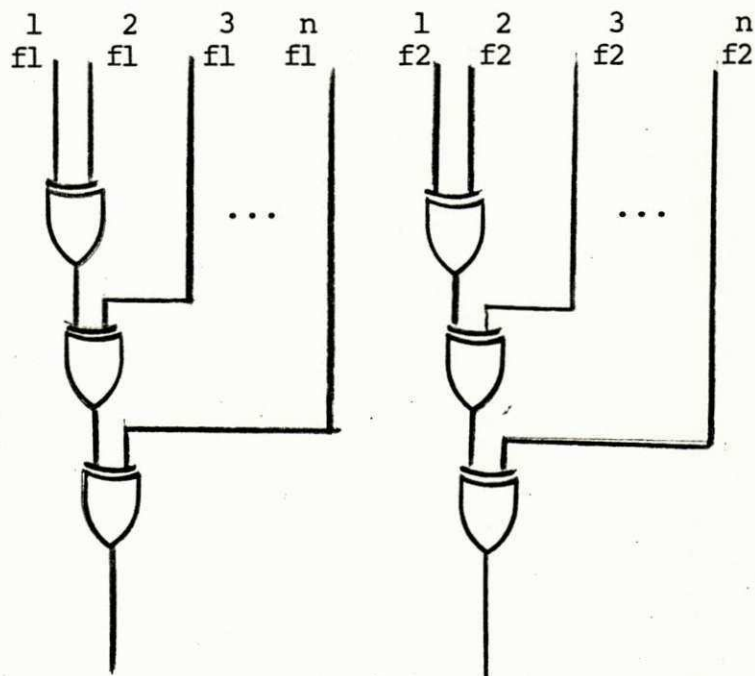


Figura V.2

Redutor Tipo I

Se ocorrer de duas duplas de entrada saírem de código temos que para dois valores de i .

$$f1^i \oplus f2^i = 0 \text{ ao invés de } f1^i \oplus f2^i = 1$$

Está dupla mudança faz com que

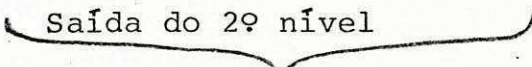
$$(f1^1 \oplus f1^2 \oplus \dots \oplus f1^n) \oplus (f2^1 \oplus f2^2 \oplus \dots \oplus f2^n) = 0$$

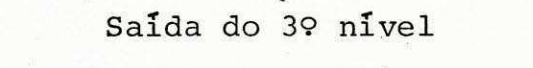
não modifique-se, donde F2 permanece sendo igual ao inverso de F1 e portanto em código.

Um argumento semelhante aplica-se para N ímpar.

Pode-se observar que falhas no circuito redutor sempre se localizarão em saídas dos ou exclusivos. Cada saída de ou exclusivo corresponde a uma parcela da equação de F1 ou F2. Por exemplo:

$$F1 = f1^1 \oplus f1^2 \oplus f1^3 \oplus f1^4 \oplus \dots \oplus f1^n$$





Desta forma é fácil ver que qualquer falha no redutor, assim que contraria o valor correto irá propagar-se a saída tirando a dupla de código. Portanto o redutor é autotestável.

Notar que F1 e F2, variam permanentemente com as entradas, não permanecendo constante. Este aspecto é importante pois significa que o circuito redutor está sendo permanentemente excitado aumentando a chance de rapidamente propagar falha nele próprio.

V.1.2 - Circuito redutor para o caso de mais de uma dupla fora de código ao mesmo tempo (Redutor D)

A finalidade deste circuito é a redução de N duplas entre as quais mais de uma pode estar fora de código de maneira que se estas duplas estão em código a dupla resultante também estará em código. Se uma ou mais saem de código a dupla resultante estará fora de código, sendo o circuito redutor autotestável.

Sejam $(f1^1, f2^1)$ $(f1^2, f2^2)$ duas saídas duplas em código 1- em -2, durante o funcionamento normal. As quatro combinações possíveis são mostradas abaixo:

$f1^1$	$f2^1$	$f1^2$	$f2^2$
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0

As saídas reduzidas $(F1, F2)$ devem pertencer ao conjunto $\{(01) (10)\}$ sem permanecerem fixas nos casos mostrados na tabela acima, caso contrário ao conjunto $\{(00) (11)\}$.

Os diagramas de Karnaugh abaixo mostram uma solução para as saídas $(F1, F2)$ em função das duplas $(f1^1, f2^1)$ $(f1^2, f2^2)$ atendendo a todas as condições acima desejadas.

		1 1			
		f1 f2			
2 2		f1 f2		00	
		00	01	11	10
00		0	0	0	0
01		0	1	1	0
11		0	1	1	1
10		0	0	1	1

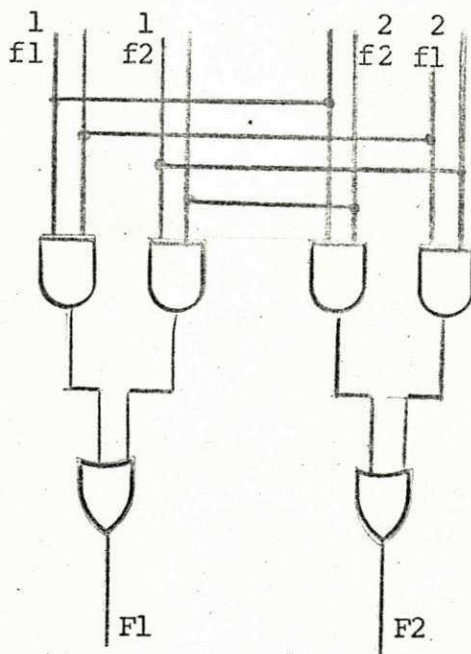
F1

		1 1			
		f1 f2			
2 2		f1 f2		00	
		00	01	11	10
00		0	0	0	0
01		0	0	1	1
11		0	1	1	1
10		0	1	1	0

F2

$$F1 = f1^1 f1^2 + f2^1 f2^2$$

$$F2 = f1^1 f2^2 + f2^1 f1^2$$



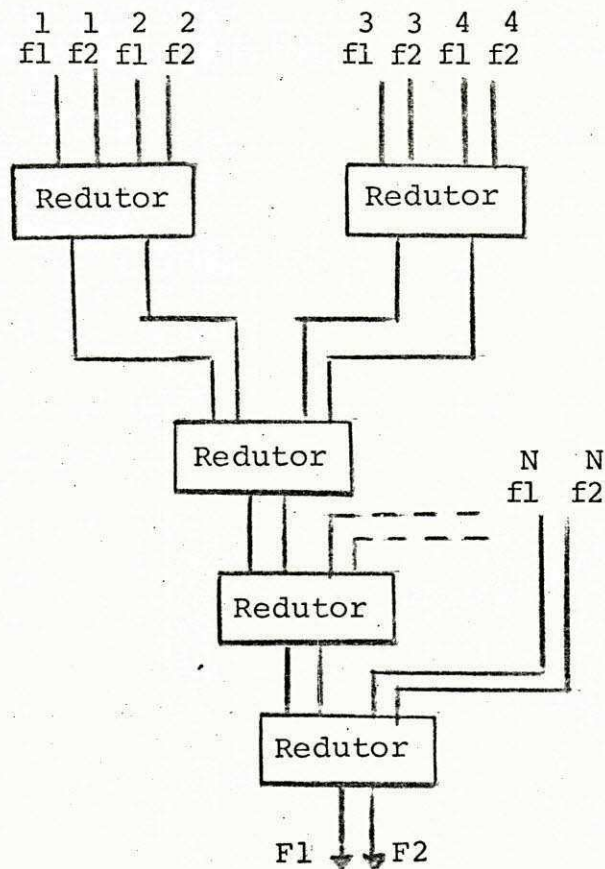
Redutor tipo D

A figura acima mostra a realização deste circuito.

Vamos analisar o efeito de uma falha no circuito redutor. Como as duas saídas F1 e F2 são graficamente independentes então uma falha simples em qualquer porta do redutor só pode modificar uma das saídas, portanto qualquer falha simples no redutor tira a dupla (F1, F2) de código.

Este redutor serve para saídas dependentes e independentes, já que não é necessário que só uma dupla possa sair de código num determinado instante de tempo. Apesar disto este só deve ser usado para duplas dependentes já que utiliza maior número de portas do que o apresentado anteriormente.

Para reduzir um conjunto de N duplas a uma basta cascatear redutores como na figura abaixo.



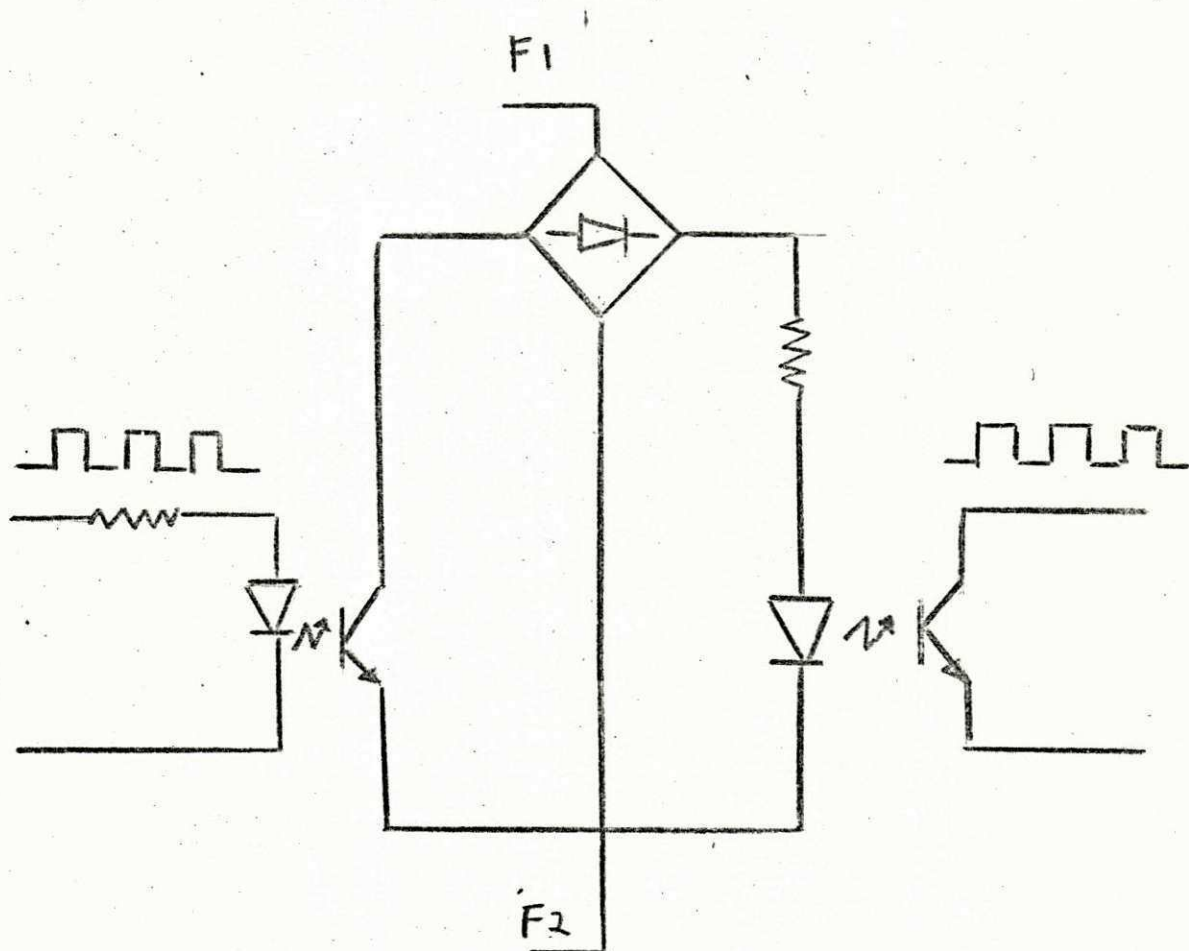
Redutor tipo D

V.2 COMPARADOR EM PONTE

A redução de todas as duplas em código 1 - em - 2 termina em uma dupla final que resume a informação do funcionamento correto ou incorreto de toda a lógica do circuito.

O comparador abaixo, deixa passar um sinal de relógio ou não dependendo da dupla final estar em código ou não.

Desta forma ele transforma a informação circuito correto/incorrecto, contida numa dupla para presença ou não de sinal de relógio.



O retificador faz a função de fonte de alimentação para energizar os isoladores ópticos. Quando os sinais F1 e F2 são opostos, os isoladores opticamente acoplados estão energizados permitindo pul

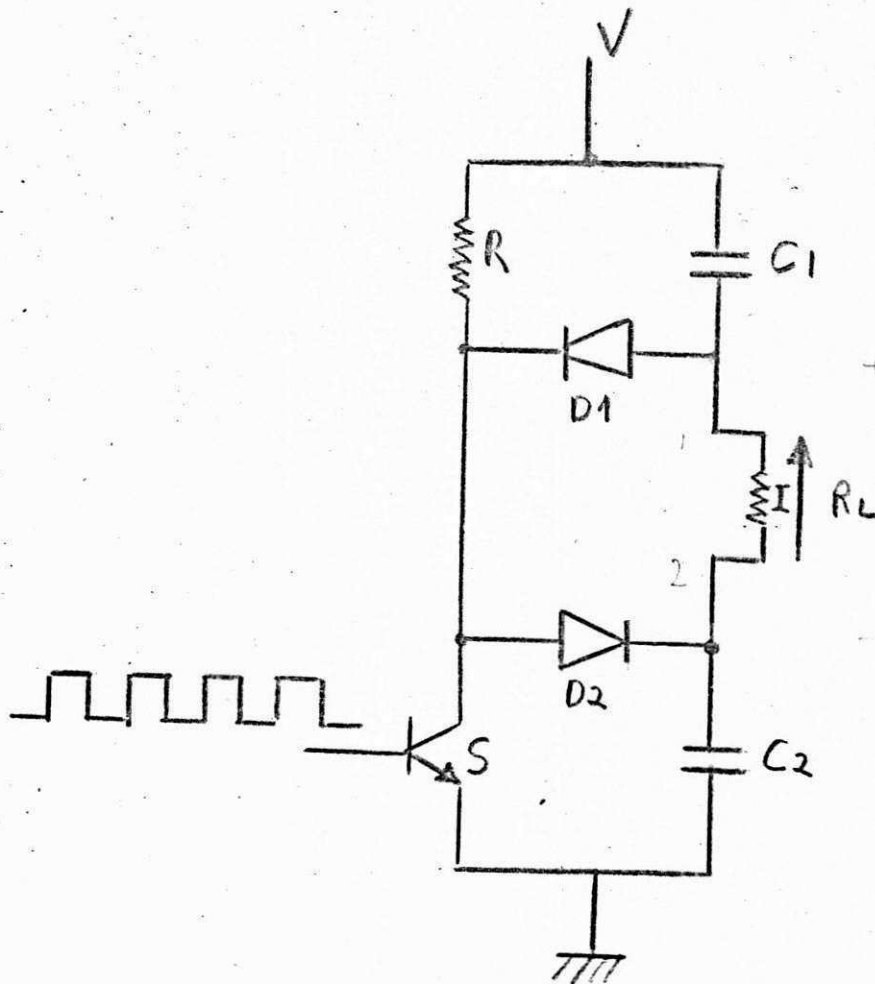
sos de relógio serem transmitidos de um isolador ao outro.

Pode-se observar que qualquer falha nos componentes do comparador inibe a passagem do sinal de relógio e, portanto, que o comparador é seguro em falha.

V.3 DETECTOR DE FREQUÊNCIA 1.

O detector abaixo indica através de seu relê de saída a presença ou não na entrada de sinal pulsante. O relê de saída estará energizado caso haja sinal pulsante. Se o sinal de entrada fixar-se em qualquer valor constante o relê de saída será desenergizado.

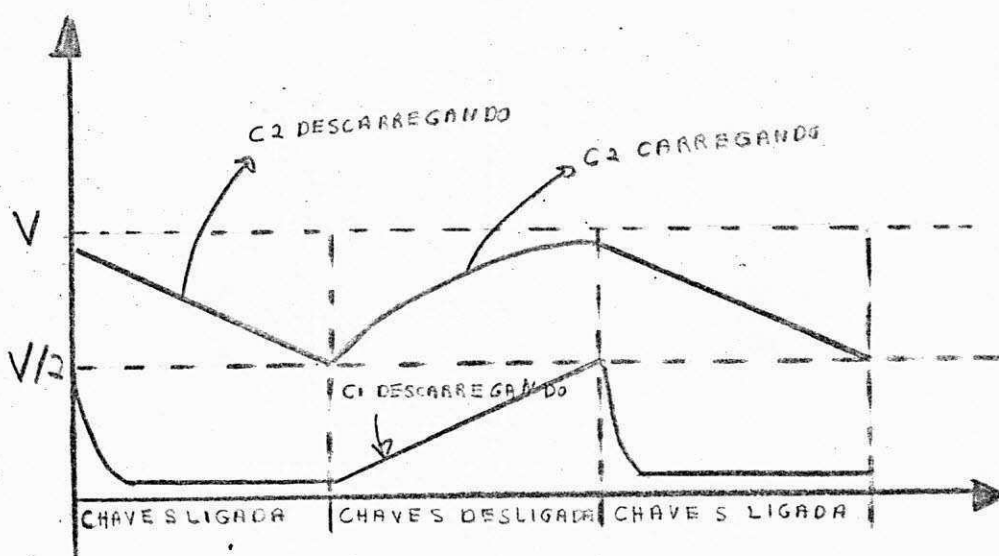
No ATC este detector é usado para indicar diretamente falha no relógio e indiretamente, através do comparador apresentado no item V.2, falha em toda a lógica do circuito. Portanto este detector resume a maior parte das falhas no ATC, inclusive nele próprio e por isso seu relê de saída comanda o freio da locomotiva.



O funcionamento deste circuito é descrito abaixo:

O sinal pulsante alimenta o transistor S que funciona como chave. Quando o transistor está saturado, a chave está fechada, e nestas condições haverá $0,2V$ através do transistor. (VCE de saturação). Quando o transistor está cortado a chave está aberta.

Os dois capacitores C1 e C2 estão continuamente sendo carregados e descarregados. Os dois diodos D1 e D2 são usados para bloquear a corrente de maneira que o caminho de descarga de C1 e C2 seja sempre através de RL.



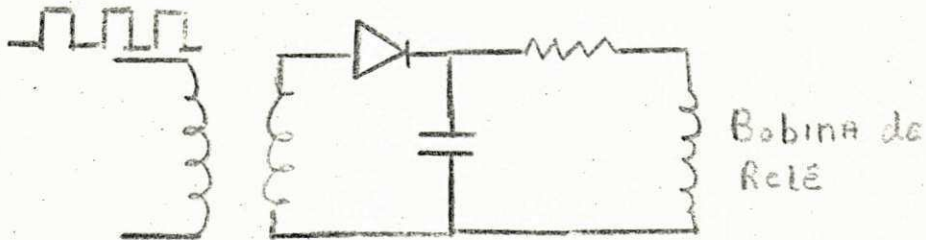
Quando um capacitor está carregando, o outro está descarregando.

A corrente sobre RL é sempre na mesma direção.

A carga RL é a bobina de um relê. Na curva acima vê-se que através de RL existe permanentemente pelo menos uma voltagem $V/2$, o que mantém o relê energizado quando existe pulso na entrada do circuito. Têm-se então um circuito dinâmico, ou seja o transistor S deve estar sempre abrindo e fechando de maneira que o relê permaneça energizado permitindo que falha em qualquer componente, inclusive no relê desenergize a carga RL.

V.4 - DETECTOR DE FREQUÊNCIA 2

O circuito abaixo detecta a presença de sinal oscilante, energizado o relê de saída.



No ATC é usado acoplado a saída do circuito quadrador, para detectar a quebra da bobina do gerador de velocidade acoplado a roda.

Na presença de sinal oscilante o retificador no secundário do transformador mantém a bobina energizada, caso não haja sinal oscilante ou haja falha em qualquer componente do detector, o relê será desenergizado, sendo pois o detector de frequência seguro em falha.

V.5 DETECTOR DE PARIDADE

A partir da palavra em código de saída de um certo elemento calculam-se os bits de paridade para cada combinação $p_i (i=1, \dots, p)$ onde $p = n^\circ$ de bits de paridade, que devem ser iguais aos inversos dos bits de paridade P_i , contidos na mesma palavra.

$$p_i = \overline{P_i}$$

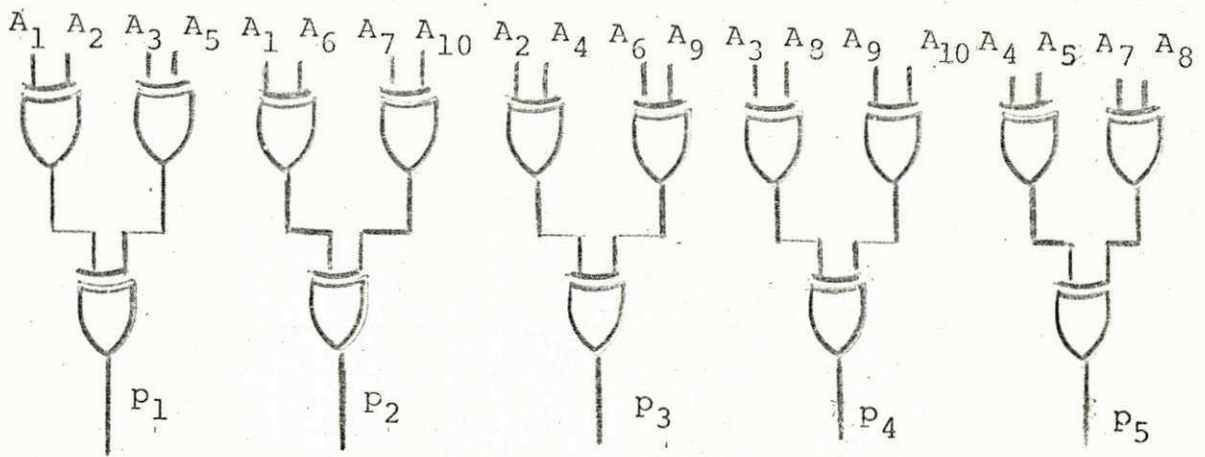
Tem-se então na ausência de falhas, duplas em código 1 - em - 2, $\{p_i, \overline{p_i}, i = 1, 2, \dots, p\}$

Para exemplificar suponhamos uma palavra de 10 bits, A_1, A_2, \dots, A_{10} tendo-se então cinco bits de paridade, Ap_1, Ap_2, \dots, Ap_5 . A tabela abaixo mostrará as combinações de bits para os quais cada bit de paridade efetua a paridade ímpar.

A_1	A_2	A_3	A_4	A_5	A_6	A_7	A_8	A_9	A_{10}	
X	X	X		X						P_1
X					X	X			X	P_2
	X		X		X			X		P_3
		X					X	X	X	P_4
			X	X		X	X			P_5

O detector de paridade calcula então 5 bits de paridade que efetuam a paridade par das mesmas combinações de bits de informação de que dependem os bits Ap_1, Ap_2, \dots, Ap_5 .

A figura a seguir mostra a realização deste detector.



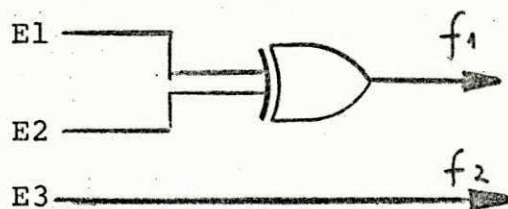
Falhas no detector de paridade que modifiquem o valor de qual -
quer p_i retira a dupla $(p_i, \overline{p_i})$ de código, sendo pois o detec -
tor de paridade seguro em falha.

V.6 DETECTOR DE ESTADO ERRADO

Na existência de erro as máquinas sequenciais assumem estados que não fazem parte do conjunto de seus estados normais. É preciso pois se detectar que estas máquinas assumiram um estado errado, de maneira que o circuito detector seja seguro em falha.

Isto é feito obtendo-se uma dupla em código 1- em -2 a partir dos sinais que indicam os estados corretos de maneira que quando o estado de uma máquina não pertencer ao conjunto dos estados corretos esta dupla saia de código.

Por exemplo se uma máquina possui três estados corretos, a partir dos sinais indicativos destes três estados E1, E2, E3, une-se dois deles pela função ou exclusivo o que forma com o terceiro estado uma dupla em código 1- em -2 quando o estado da máquina é um dos corretos.



Aparentemente a função f_1 poderia ser realizada com portas tipo ou, porém, com ou exclusivo nos casos em que são necessários mais de duas portas, fica mais rápida a detenção de colagens a l nas saídas destas portas. Por isso é aconselhável o uso de portas tipo ou exclusivo.

CAP. VI PROJETO DO EQUIPAMENTO ATC SEGURO EM FALHA

Na realização segura em falha do ATC são utilizadas as técnicas apresentadas nos capítulos anteriores. As máquinas seqüenciais foram projetadas segundo o método de Sawin devido as vantagens que este método apresenta. Como exemplificação estas máquinas são apresentadas também projetadas de acordo com o método de Thomas.

Para a realização das entradas e saídas das máquinas seqüenciais bem como para o combinacional que faz parte do controle, é empregada a técnica de construção de circuito combinacional autotestáveis apresentadas no capítulo IV.

Nos circuitos compreendidos por multiplexer, registros, PROM, contadores etc., algumas vezes é empregado código detector de erros duplos e outras vezes é aplicada a duplicação.

Em alguns blocos o uso de código detector de erros duplos para que a realização seja autotestável faz uso de um menor número de componentes do que a duplicação. Contudo em alguns casos o uso de código aumentaria largamente o número de componentes usados. Um exemplo é em contadores, onde seria muito complexo fazer a contagem obedecer ao código utilizado.

Quando um bloco é duplicado um deles tem suas saídas complementadas em relação ao outro de maneira que as saídas de ambos formam duplas em código 1- em -2.

A seguir discriminamos a execução de cada bloco.

VI.1 - DETECTOR DE FALHA NA ALIMENTAÇÃO DO RECEPTOR DE CÓDIGO

Não é usado código devido a presença do contador. É pois duplicado e as saídas de ambos os circuitos formam a dupla ($F1^2$, $F2^2$).

VI.2 - ENDEREÇO VALOR INICIAL DE FRENAGEM

As linhas $\overline{V1}$ ", $\overline{V2}$ ", $\overline{V3}$ ", ... , $\overline{V6}$ " endereçam o endereço valor inicial de frenagem que é lido numa matriz de diodos. Aqui o uso de código reduz o número de componentes. Os sinais lidos na matriz já estão codificados. Como o valor inicial de frenagem é carregado no contador de endereços da PROM para o qual não se aplica código, este valor vai para um detector de paridade para que seja verificado a existência de falha.

As duplas formadas pelos bits de paridade da matriz e os bits calculados pelo detector de paridade são reduzidas formando a dupla ($F1^4$, $F2^4$).

VI.3 - CONTADOR DE ENDEREÇO DA PROM

Contém os endereços das velocidades que compõem as curvas padrões de frenagem, e é duplicado. As saídas de ambos os contadores são reduzidas para a dupla ($F1^3$, $F2^3$).

VI.4 - PROM

Aqui é aplicado o uso de código detector de erro duplo. Os valores já são gravados codificados, ou seja com os cinco bits de paridade pois são 10 bits de informações.

Segundo o código cada bit de informação deve contribuir para dois bits de paridade e dois bits não devem participar da mesma forma para todos os bits de paridade.

A tabela abaixo mostra as combinações de bits para as quais cada bit de paridade efetua a paridade ímpar.

Bits de Informação

P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	
X	X	X		X						Pp1
X					X	X			X	Pp2
	X		X		X			X		Pp3
		X					X	X	X	Pp4
			X	X		X	X			Pp5

Bits
de
Paridade

Existem várias maneiras de se armar a tabela acima obedecendo as condições do código. Estas maneiras se diferenciam pelas combinações de bits de informação para as quais cada bit de paridade efetua a paridade ímpar.

A seguir mostraremos como foram escolhidas as combinações de maneira tal que sejam detectados todos os erros que afetem simultaneamente mais de 2 bits de um mesmo circuito integrado da PROM (por exemplo uma falha simples que afete todos os bits de um CI da PROM).

O código empregado detecta erros simples e duplos. Para que sejam detectados os erros que afetem mais de dois bits de um integrado é suficiente que para cada combinação de mais de 2 bits de um integrado exista pelo menos 1 bit de paridade que seja formado a partir de um número ímpar de bits da referida combinação.

A tabela abaixo mostra a combinação dos bits de cada integrado para atender a condição acima.

P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15
X	X	X		X						X				
X					X	X			X		X			
	X		X		X			X				X		
		X					X	X	X				X	
			X	X		X	X							X
CI ₁				CI ₂				CI ₃				CI ₄		

VI.5 - VALOR FINAL DE FREIO, PATAMAR, Vp

Aqui também se aplica o uso de código detector de erro duplo, as linhas $\overline{V0}'$, $\overline{V1}'$, ..., $\overline{V6}'$, \overline{Vp}' endereçam valores na matriz de diodos já codificados.

VI.6 - REGISTRO DE PATAMAR

O valor já codificado lido na matriz de diodos do item anterior é colocado neste registro. Aplica-se a mesma tabela usada na PROM para distribuição das combinações de bits. Os bits de paridade são: Rp1, Rp2, Rp3, Rp4 e Rp5.

VI.7 MPX

Este multiplexer é constituído de quatro circuitos integrados. Nele é feita a multiplexação dos valores lidos no Registro de Patamar e PROM. Como estes valores estão em código detector de erros duplos, se a verificação deste código é feita após a multiplexação, então todo o multiplexador é também testado pelo código.

A única entrada do MPX que não está em código detector de erro duplo é o sinal de seleção. Falhas neste sinal já são detectadas pelo fato de ele já ter sido realizado em código 1 - em - 2.

Falhas no circuito que recebe este sinal farão o MPX encaminhar incorretamente conjuntos de bits de entrada de um integrado.

Conforme mostrado no item VI-4 a combinação escolhida para formar o código permite que até 4 bits errados de um integrado sejam detectados. Desta forma se ocorrer falha na entrada que recebe o sinal de seleção e 4 bits forem encaminhados incorretamente a palavra sai de código e o erro é detectado.

A distribuição dos bits pelos integrados do MPX obedece a mesma tabela que é válida para a PROM e o Registro de Patamar.

VI.8 BUZINA

Uma vez que o circuito da buzina compõe-se de um único sinal, a realização autoestável será obtida duplicando o circuito e invertendo a nova saída. As saídas dos dois circuitos formam a dupla (F_1^6, F_2^6)

VI.9 INICIALIZAÇÃO

Circuito que fornece ao ligar, pulsos que estabelecem as condições iniciais de operação do controle. Este circuito tem que ser duplicado para obtenção de saídas em código 1 - em - 2, porque a saída compõe-se de um único sinal.

VI.10 DETECTOR DE VELOCIDADE

Devido ao fato que o detector de velocidade contém um contador, a aplicação do código torna-se mais complexa do que duplicá-la.

O único circuito que segue-se ao detector de velocidade é o comparador (Ultra) que também é duplicado, pois tem uma única saída. Portanto não há necessidade de se obter a saída do detector em código 1 - em - 2 Invertendo-se a saída do comparador duplicado, teremos o sinal em código que informa sobre o funcionamento do detector de velocidade e do comparador. A dupla obtida é: (F_1^I, F_2^I)

O preço desta simplificação é que inúmeras falhas no detector de velocidade, não são detectadas imediatamente. Toda falha que forçar a situação Ultra = 0 somente será detectada quando ocorrer Ultra = 1 que não é comum. Testes periódicos do equipamento forçam a situação Ultra = 1 que permitirá detectar este tipo de falhas.

VI.11 DETECTOR DE PARIDADE

Utilizando-se a técnica apresentada em V-4 obtêm-se todos os detectores de paridades cujas saídas já estão em código 1 - em - 2.

VI. 12 COMPARADOR

O sinal padrão \leq final é obtido da comparação dos bits de informação do Registro de Patamar com os da PROM.

Devido ao fato deste circuito ter somente uma única saída, o comparador tem que ser duplicado, formando as saídas destas duplas que reduzidas resultam na dupla (F_1^5, F_1^5) .

VI.13 - AMOSTRADOR

A aplicação do código detector de erros duplos no amostrador requer maior número de componentes do que a duplicação, por este motivo o circuito é duplicado.

VI.14 - RELÓGIO

O relógio usado é o cristal devido a excelente estabilidade de frequência deste componente. Além disso qualquer variação nos parâmetros dos componentes de um oscilador a cristal provoca uma parada de oscilação, o que é sentido imediatamente pelo detector de frequência garantindo a segurança necessária para este tipo de falha.

VI.15 - DIVISORES

É preciso se detectar que os divisores do relógio estão operando corretamente. A existência de oscilação nos sinais que são obtidos da divisão do relógio poderia ser verificada por um detector de frequência, contudo isto não detectaria falha que modificasse a divisão sem parar a oscilação.

VI.16 - Redução das duplas

A realização segura em falha ou autotestável dos vários blocos componentes do ATC da origem a várias duplas que são reduzidas aplicando-se os redutores apresentados em VI.1, redutores tipo I e tipo D.

1) Em cada grupo de duplas fornecidos:

- pelos dois contadores de endereço da PROM;
- pelas paridades geradas das palavras da matriz de diodos que fornece o valor inicial de frenagem;
- pelas paridades geradas das palavras na saída do MPX.

tem-se duplas dependentes e por isso para cada um destes grupos é utilizado redutores tipo D e a redução termina na duplas $(F1^3, F2^3)$ $(F1^4, F2^4)$ e $(F1^7, F2^7)$.

2) A redução das duplas $(F1^1, F2^1)$ $(F1^2, F2^2)$, ... , $(F1^7, F2^7)$ originadas no comparador \leq , detector de falha na alimentação do receptor de código, comparador $<$. buzina e duplas resultantes das reduções especificadas em (1) são analisadas a seguir:

Nem todas estas duplas são independentes entre si. As duplas $(F1^5, F2^5)$ e $(F1^7, F2^7)$ são dependentes pois havendo uma quebra entre 2 comparadores \leq , de uma linha que sai da PROM, as duas duplas podem ficar fora de código ao mesmo tempo.

A dupla $(F1^2, F2^2)$ é dependente de $(F1^4, F2^4)$ e de $(F1^7, F2^7)$ pois se há quebra entre 2 detectores de falha na alimentação do receptor de código, de uma linha que sai do receptor de código, todas 3 duplas podem sair de código.

As duplas $(F1^1, F2^1)$ $(F1^4, F2^4)$ e $(F1^5, F2^5)$ são todas independentes entre si. A dupla $(F1^1, F2^1)$ é graficamente dependente da dupla $(F1^5, F2^5)$, mas elas são independentes entre si pois se no ponto do circuito em que passa um sinal comum para as 2 duplas, ocorre um sinal errado, este não propaga-se a nenhuma das duas. Ambos os circuitos que geram estas duplas foram duplicados e o sinal errado entra em ambos os circuitos.

Se ocorre falha no ponto referido acima, esta irá se propagar no máximo a $(F1^5, F2^5)$ mas nunca a $(F1^1, F2^1)$. Argumentos semelhantes comprovam a independência entre $(F1^4, F2^4)$ e $(F1^1, F2^1)$ e entre $(F1^4, F2^4)$ e $(F1^5, F2^5)$.

Estas duplas $(F1^3, F2^3)$ $(F1^6, F2^6)$ e $(F1^7, F2^7)$ são independentes entre si, apesar de serem graficamente dependentes, aplicando-se argumentos similares aos aplicados acima mostra-se que são independentes.

Este grupo é pois reduzido por redutores do tipo I.

As duplas resultantes dos 2 grupos acima e a dupla $(f^2, F2^2)$ são reduzidas com redutores tipo D formado a dupla $(F1, F2)$.

- 3) As duplas do circuito de controle são separadas em dois grupos de duplas independentes. Cada um destes grupos é reduzido por redutores do tipo I e as duas duplas resultantes por um redutor tipo D.
- 4) As duplas do circuito inicializador $(F1^{22}, F2^{22})$ e divisores $(F1^{21}, F2^{21})$ como são independentes entre si são reduzidas por redutor do tipo I.

Tem-se então como resultado da redução de todas as duplas:

- a dupla (F1, F2)
- dupla resultante do circuito de controle
- dupla resultante da redução de $(F1^{21}, F2^{21})$ e $(F1^{22}, F2^{22})$ que são dependentes entre si e portanto reduzidas por redutores tipo D formando a dupla (FR1, FR2).

VI.17 - SEGURANÇA DOS EQUIPAMENTOS LIGADOS AO ATC

VI.17.1 - Receptor de Código

Este circuito já é feito de maneira a ser seguro em falha. Na presença de falha nunca será apresentado um sinal errado. A condição de falha sempre leva a ativar V0 (velocidade permitida é zero) ou desenergizar todos os sinais, o que é detectado pelo detector de falha na alimentação do receptor de código, resultando na aplicação do freio.

VI.17.2 - L.S.D.

É seguro em falha. Na presença de erro indica que a velocidade é $\geq 4\text{Km/h}$ e desta forma a ordem de freio não será liberada mesmo se a velocidade for nula.

VI.18 CIRCUITO DE APLICAÇÃO DO FREIO

O freio deve ser aplicado nas seguintes condições:

- 1 - Máquina 3 no estado ② e Ultra verdadeira.
- 2 - Máquina 4 no estado ② (opção freiar até parar).
- 3 - Falha no controle automatizado do trem, que é indicada por uma das condições abaixo:
 - a - Dupla resultante (FR_1 , FR_2) sai de código.
 - b - Falha no relógio.
 - c - Falha no comparador em ponte e detector de frequência.
 - d - Falha no gerador de velocidade ou quadrador.

Nos casos de aplicação do freio por ultrapassagem da velocidade máxima permitida, o sinal \overline{IFR} gerado na máquina 4 desenergiza a bobina RL2, abrindo o contacto RL2 - 1 e desenergizando a bobina do relê do freio.

A dupla em código 1 - em - 2 resultante (FR_1 , FR_2) entra no comparador em ponte que também recebe o sinal do relógio. Se a dupla estiver em código 1 - em 2 e o relógio estiver funcionando, sua saída será um sinal pulsante; caso o relógio falhe ou a dupla saia de código, a saída será um sinal constante.

A saída do comparador vai para o detector de frequência 1 (descrito no item V.3) que comanda o relê RL1 cujo contacto RL1-2 pode desenergizar o relê de freio RL.

O detector de frequência 2 é utilizado para indicar falha no gerador de velocidade ou quadrador e atua no freio através do contacto RL3.

Qualquer falha no comparador em ponte ou detector de frequência também abrirá um dos contactos RL1 - 2 ou RL3 ordenando a aplicação do freio.

VI.19- CIRCUITO DE CONTROLE SEGURO EM FALHA

VI.19.1- Combinacional autotestável

Saídas - Estável, $\overline{\text{Estável}}$ e P/Baixo

Entradas

$V_0, V_1, V_2, \dots, V_6$ - 1 ou 0 ativo

$V_0^*, V_1^*, V_2^*, \dots, V_6^*$ - 0, 1 ou 2 ativos

Para Baixo

$V_0V_0^* (V_1^*+V_2^*+V_3^*+V_4^*+V_5^*+V_6^*)$

$V_1V_1^* (V_2^*+V_3^*+V_4^*+V_5^*+V_6^*)$

$V_2V_2^* (V_3^*+V_4^*+V_5^*+V_6^*)$

$V_3V_3^* (V_4^*+V_5^*+V_6^*)$

$V_4V_4^* (V_5^*+V_6^*)$

$V_5V_5^* (V_6^*)$

Para Cima

$V_1V_1^* (V_0^*)$

$V_2V_2^* (V_0^*+V_1^*)$

$V_3V_3^* (V_0^*+V_1^*+V_2^*)$

$V_4V_4^* (V_0^*+V_1^*+V_2^*+V_3^*)$

$V_5V_5^* (V_0^*+V_1^*+V_2^*+V_3^*+V_4^*)$

$V_6V_6^* (V_0^*+V_1^*+V_2^*+V_3^*+V_4^*+V_5^*)$

$\text{Estável} = \overline{\text{P/Cima}} \cdot \overline{\text{P/Baixo}}$

As saídas desta máquina são Estável, $\overline{\text{Estável}}$ e P/Baixo.

P/Baixo e estável são graficamente dependentes

$$\underline{d \text{ P/B}} = 1 \oplus 0 = 1$$

d 35.8

35.8 = porta 35 pino 8

$$\frac{d E}{d 35.8} = \overline{P/C}$$

$$\frac{d E}{d 35.8} \cdot \frac{d P/B}{d 35.8} \neq 0$$

Pela equação acima vê-se que são dependentes. Graficamente vê-se que qualquer falha que se propaga até \bar{E} , também se propaga até E.

Quando $P/C = 0$ qualquer falha que se propague até P/B, propaga-se até E.

Quando $P/C = 1$ qualquer falha que propaga-se em P/B não aparece em E. Porém falhas que provoca $P/B = 1$ quando $P/C = 1$ propagar-se-ão também logo após P/C voltar a zero, o que leva 2 pulsos de relógio.

Pelas razões acima concluímos que basta observar a saída E para que P/B, E e \bar{E} sejam auto-testáveis. Realiza-se como circuito redundante \bar{E} para ser comparado com E.

VI.19.2 MÁQUINA 2 AUTOESTÁVEL

(a) Método SAWIN

		Entradas					
		1	2	3	4	5	6
Estados	1	1	2	1	1	1	1
	2	-	2	-	3	3	3
	3	3	3	1	3	1	3

		Entradas			
		P/B	E	$\overline{P \leq F}$	Carregou
1	0	1	0	0	
2	1	0	1	0	
3	0	1	1	0	
4	0	1	0	1	
5	0	1	1	1	
6	1	0	-	1	

Usando as transições opcionais para reduzir a tabela tem-se:

		Entradas		
		I ₁	I ₂	I ₃
Estados	1	1	2	1
	2	3	2	3
	3	3	3	1

$$I_1 = \text{Estável } \overline{P \leq F} + P/B \cdot \text{Carregou}$$

$$I_2 = P/B \cdot \overline{\text{Carregou}}$$

$$I_3 = \text{Estável} \cdot P \leq F$$

a.1) Conjunto de Predecessores

$$I_1 = \{1\} \{2,3\}$$

$$I_2 = \{1,2\} \{3\}$$

$$I_3 = \{1,3\} \{2\}$$

$$P_1 = \{1\} \quad P_2 = \{2\} \quad P_3 = \{3\}$$

$$P_4 = \{12\} \quad P_5 = \{13\} \quad P_6 = \{23\}$$

a.2) Partições τ

$$\tau_1 = \{\bar{1}, \bar{23}\} \quad \tau_2 = \{\bar{2}, \bar{13}\} \quad \tau_3 = \{\bar{3}, \bar{12}\}$$

$$\tau_4 = \{\bar{12}, \bar{3}\} \quad \tau_5 = \{\bar{13}, \bar{2}\} \quad \tau_6 = \{\bar{23}, \bar{1}\}$$

a.3) Partições η_j^p

$$\eta_1^1 = \{1\} \{2,3\} = \tau_1 \quad \eta_2^1 = \{0\} \{1,23\} = 0$$

$$\eta_1^2 = \{0\} \{1,23\} = 0 \quad \eta_2^2 = \{1,2\} \{3\} = \tau_4$$

$$\eta_1^3 = \{1,3\} \{2\} = \tau_5 \quad \eta_2^3 = \{0\} \{1,23\} = 0$$

$$\eta_3^1 = \{2,3\} \{1\} = \tau_6 \quad \eta_4^1 = \{1\} \{2,3\} = \tau_1$$

$$\eta_3^2 = \{3\} \{1,2\} = \tau_3 \quad \eta_4^2 = \{1,2\} \{3\} = \tau_4$$

$$\eta_3^3 = \{2\} \{1,3\} = \tau_2 \quad \eta_4^3 = \{1,3\} \{2\} = \tau_5$$

$$\eta_5^1 = \{1,2,3\} \{0\} = p_1 p_6 \quad \eta_6^1 = \{2,3\} \{1\} = \tau_6$$

$$\eta_5^2 = \{3\} \{1,2\} = \tau_3 \quad \eta_6^2 = \{1,2,3\} \{0\} = p_4 p_3$$

$$\eta_5^3 = \{1,2,3\} \{0\} = p_5 p_2 \quad \eta_6^3 = \{2\} \{1,3\} = \tau_2$$

$$Y1 = Y1 I1 + Y5 I3$$

$$Y2 = Y4 I2$$

$$Y3 = Y6 I1 + Y3 I2 + Y2 I3$$

$$Y4 = Y1 I1 + Y4 I2 + Y5 I3$$

$$Y5 = (Y1 + Y6) I1 + Y3 I2 + (Y5 + Y2) I3$$

$$Y6 = Y6 I1 + (Y4 + Y3) I2 + Y2 I3$$

Y1	Y2	Y3	Y4	Y5	Y6	I1	I2	I3
1	0	0	1	1	0	1	2	1
0	1	0	1	0	1	3	2	3
0	0	1	0	1	1	3	2	1

(b) Entradas autotestáveis

$$I1 = \text{Estável. } \overline{P \leq F} + P/B. \text{ Carregou}$$

$$I2 = P/B. \overline{\text{Carregou}}$$

$$I3 = \text{Estável. } P \leq F$$

Estas funções são graficamente independentes logo são independentes. São então unidas por ou exclusivo formando a função $I1 \oplus I2 \oplus I3$. Para que as entradas sejam autotestáveis executa-se também $I1 \oplus I2 \oplus I3$ que é retirada do mapa de Karnaugh abaixo

P/B.C	E.P ≤ F			
	00	01	11	10
00			I3 I1	
01			I3 I1	
11	I1	I1		I1
10	I2	I1		

$$I1 \oplus I2 \oplus I3 = E . P/B + E . P/B . P \leq F + E . P/B . C$$

$$= E . \overline{P/B} + E . P/B . (\overline{C} + P \leq F)$$

(c) Saídas

$$\text{Estado } \textcircled{2} \text{ e } \text{MPX} = \textcircled{3}$$

$$\textcircled{2} = \overline{Y1} \cdot Y2 \cdot \overline{Y3} \cdot Y4 \cdot \overline{Y5} \cdot Y6$$

$$\text{MPX} = \overline{Y1} \cdot \overline{Y2} \cdot Y3 \cdot \overline{Y4} \cdot Y5 \cdot Y6$$

$\textcircled{2}$ e MPX não são graficamente independentes tendo como ponto gráfico comum a realização de $\overline{Y1}$.

Se elas forem independentes a equação $\frac{d \textcircled{2}}{d \overline{Y1}} \cdot \frac{d \text{MPX}}{d \overline{Y1}} = 0$ será verdadeira.

$$\frac{d \textcircled{2}}{d \overline{Y1}} = Y2 \cdot \overline{Y3} \cdot Y4 \cdot \overline{Y5} \cdot Y6$$

$$\frac{d \text{MPX}}{d \overline{Y1}} = \overline{Y2} \cdot Y3 \cdot \overline{Y4} \cdot Y5 \cdot Y6$$

$$\frac{d \textcircled{2}}{d \overline{Y1}} \cdot \frac{d \text{MPX}}{d \overline{Y1}} = 0 \quad \therefore \textcircled{2} \text{ e } \text{MPX} \text{ são independentes.}$$

Desta forma para que $\textcircled{2}$ e MPX sejam autotestáveis é necessário apenas unir $\textcircled{2}$ e MPX pela função ou exclusivo e efetuar-se a partir dos Y1 a função de $2 \oplus \text{MPX}$

d) Detetor de estado errado

Como detetor de estado tem-se a dupla $(2 \oplus 3, 1)$.

e) Método de Thomas aplicado à máquina 2

Y1	Y2	Y3	I1	I2	I3
0	1	1	1	2	1
1	0	1	3	2	3
1	1	0	3	3	1

	I1	I2	I3
Y1 0	0	1	0
1	1	1	1
1	1	1	0

	I1	I2	I3
J1 011	0	1	0
101	-	-	-
110	-	-	-

	I1	I2	I3
K1 011	-	-	-
101	0	0	0
110	0	0	1

	I1	I2	I3
Y2 1	1	0	1
0	1	0	1
1	1	1	1

	I1	I2	I3
J2 011	-	-	-
101	1	0	1
110	-	-	-

	I1	I2	I3
K2 011	0	1	0
101	-	-	-
110	0	0	0

	I1	I2	I3
Y3 1	1	1	1
1	0	1	0
0	0	0	1

	I1	I2	I3
J3 011	-	-	-
101	-	-	-
110	0	0	1

	I1	I2	I3
K3 011	0	0	0
101	1	0	1
110	-	-	-

$$J1 = I2$$

$$K1 = Y2 I3$$

$$J2 = I1 + I3$$

$$K2 = Y3 I2$$

$$J3 = I3$$

$$K3 = Y1 (I1 + I3)$$

VI. 19.3 Máquina 3 autotestável

(a) Método SAWIN

Estados	Entradas	
	1	0
a	a	b
b	c	c
c	a	a

a.1) Conjuntos de predecessores

$$I1 \quad \{a, c\} \quad \{b\}$$

$$I2 \quad \{a\} \quad \{b\} \quad \{c\}$$

$$P1 = \{a, c\} \quad P2 = \{b\}$$

$$P3 = \{a\} \quad p4 = \{c\}$$

a.2) Partições τ

$$\tau 1 = \{\bar{a}, c; \bar{b}\} \quad \tau 2 = \{\bar{b}; \bar{ac}\}$$

$$\tau 3 = \{\bar{a}; \bar{bc}\} \quad \tau 4 = \{\bar{c}, \bar{ab}\}$$

a.3) Partições η_j^p

$$\eta 1^1 = \{abc\} \quad \{0\}$$

$$\eta 1^2 = \{bc\} \quad \{a\}$$

$$\eta 2^1 = \{0\} \quad \{a, b, c\}$$

$$\eta 2^2 = \{a\} \quad \{b, c\}$$

$$\eta 3^1 = \{a, c\} \quad \{b\}$$

$$\eta 3^2 = \{c\} \quad \{a, b\}$$

$$\eta_{4^1} = \{ b \} \{ a, c \}$$

$$\eta_{4^2} = \{ b \} \{ a, c \}$$

$$\eta_{1^1} = P1P2 \quad \eta_{3^1} = \tau_1$$

$$\eta_{1^2} = P2P4 \quad \eta_{3^2} = \tau_4$$

$$\eta_{2^1} = 0 \quad \eta_{4^1} = \tau_2$$

$$\eta_{2^2} = \tau_3 \quad \eta_{4^2} = \tau_2$$

$$Y1 = (y1 + y2) I1 + (y2 + y4) I2$$

$$Y2 = y3 I2$$

$$Y3 = y1 I1 + y4 I2$$

$$Y4 = y2 I1 + y2 I2$$

Reduzindo

$$Y1 = I1 + (y2 + y4) I2$$

$$a = \overline{Y1} \overline{Y2} Y3 \overline{Y4}$$

$$Y2 = y3 I2$$

$$b = \overline{Y1} Y2 \overline{Y3} \overline{Y4}$$

$$Y3 = y1 I1 + y4 I2$$

$$c = Y1 \overline{Y2} \overline{Y3} Y4$$

$$Y4 = y2$$

Y1	Y2	Y3	Y4	1	0
1	0	1	0	a	b
0	1	0	0	c	c
1	0	0	1	a	a

b) Saídas

L1, L2, a, c, Bu

$$L1 = (b + a Vp^*) ck$$

$$L2 = b \textcircled{2} ck$$

L1 e L2 são graficamente dependentes tendo como ponto comum b.ck.

$$\frac{dL1}{dbck} = \textcircled{2}$$

$$\frac{dL2}{dbck} = (1 + a Vp^*ck) + 0 + aVp^*ck =$$

$$(1 + aVp^*ck) \cdot \overline{(aVp^*ck)} + \overline{(1+aVp^*ck)} \cdot (aVp^*ck) = \overline{aVp^*ck}$$

$$\frac{dL1}{dbck} = \frac{dL2}{dbck} = 2 \cdot aVp^*ck \quad 0$$

Logo L1 e L2 são dependentes entre si.

L1 e c são graficamente independentes logo são independentes.

Se L1 e C tiverem realizações autotestáveis a e BU(=b) também serão autotestáveis já que L1 = (b + aVp*)ck.

$$L1 \textcircled{+} = (b + aVp^*) ck\bar{c} + c \overline{(b + aVp^*) ck}$$

$$= b\bar{c}ck + a\bar{c}ckVp^* + c \bar{b} \left[\overline{(a + Vp^*)} + \overline{ck} \right] =$$

$$= bck + ackVp^* + c \left(c + \bar{b}Vp^* + \overline{ck} \right)$$

$$a + b + c = 1$$

$$c \bar{b} = c$$

$$\bar{b} \bar{a} = c$$

$$L1 \textcircled{+} c = bck + ackVp^* + c$$

$$L1 \textcircled{+} c = \overline{ck(b + aVp^*)} + c = \overline{ck(b + aVp^*)} \cdot \bar{c} =$$

$$= \left(\overline{ck} + (\bar{b} \cdot \overline{aVp^*}) \right) \cdot \bar{c} =$$

$$= \bar{c} \cdot \overline{ck} + \bar{b} \cdot \bar{c} \cdot \bar{a} + \bar{c} \cdot \bar{b} \cdot \overline{Vp^*} =$$

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

$$= \bar{c}k, \bar{c} + a\bar{v}p^*$$

Portanto são executadas as funções $L1 \oplus c$ e $\overline{L1 \oplus c} = \bar{c} \bar{c}K + a\bar{v}p^*$

c) Detector de estado errado

Como detector de estado errado tem-se a dupla $(a \oplus b, c)$.

d) Endereço valor final, patamar ou Vp

$$\begin{aligned} \overline{V0}' &= \overline{V0V0}^* & \overline{V1}' &= \overline{V1V1}^* \\ \overline{V2}' &= \overline{V2V2}^* & \overline{V3}' &= \overline{V3V3}^* \\ \overline{V4}' &= \overline{V4V4}^* & \overline{V5}' &= \overline{V5V5}^* \\ \overline{V6}' &= \overline{V6V6}^* & \overline{Vp}' &= \overline{Vp}^* \end{aligned}$$

Os sinais $\overline{V0}'$, $\overline{V1}'$, $\overline{V2}'$, $\overline{V3}'$, $\overline{V4}'$, $\overline{V5}'$, $\overline{V6}'$ são saídas que vão para o combinacional.

Se $\overline{V0}'$, $\overline{V1}'$, ..., $\overline{V6}'$ forem autotestáveis então $\overline{V0}$, $\overline{V1}$, ..., $\overline{V6}$ também serão.

$\overline{V0}'$, $\overline{V1}'$, $\overline{V2}'$, ..., $\overline{V6}'$ e \overline{Vp}' são implementados de maneira que todos eles são graficamente independentes entre si, sendo pois independentes.

Para que sejam autotestáveis une-se todas as saídas pela função ou exclusivo:

$$f1 = \overline{V0}' \oplus \overline{V1}' \oplus \overline{V2}' \oplus \overline{V3}' \oplus \overline{V4}' \oplus \overline{V5}' \oplus \overline{V6}' \oplus \overline{Vp}'$$

efetua-se também a função inversa.

$$\begin{aligned} f2 &= \overline{\overline{V0}' \oplus \overline{V1}' \oplus \overline{V2}' \oplus \overline{V3}' \oplus \overline{V4}' \oplus \overline{V5}' \oplus \overline{V6}' \oplus \overline{Vp}'} = \\ &= \overline{V0}' \oplus \overline{V1}' \oplus \overline{V2}' \oplus \overline{V3}' \oplus \overline{V4}' \oplus \overline{V5}' \oplus \overline{V6}' \oplus \overline{Vp}' \end{aligned}$$

e) Endereço valor inicial

$$\begin{aligned} \overline{V1}'' &= \overline{\overline{V1V1}^*} & \overline{V2}'' &= \overline{\overline{V2V2}^*} \\ \overline{V3}'' &= \overline{\overline{V3V3}^*} & \overline{V4}'' &= \overline{\overline{V4V4}^*} \\ \overline{V5}'' &= \overline{\overline{V5V5}^*} & \overline{V6}'' &= \overline{\overline{V6V6}^*} \end{aligned}$$

Todas estas saídas são graficamente independentes entre si sendo pois independentes. Para a realização autotestável destes sinais eles são unidos pela função ou exclusivo:

$$f_1 = \overline{V_1} \oplus \overline{V_2} \oplus \overline{V_3} \oplus \overline{V_4} \oplus \overline{V_5} \oplus \overline{V_6} =$$

e implementa-se também a função inversa.

$$f_2 = \overline{\overline{V_1} \oplus \overline{V_2} \oplus \overline{V_3} \oplus \overline{V_4} \oplus \overline{V_5} \oplus \overline{V_6}} =$$

$$= \overline{V_1} \oplus \overline{V_2} \oplus \overline{V_3} \oplus \overline{V_4} \oplus \overline{V_5} \oplus \overline{V_6} =$$

Substituição da função ou exclusivo por ou:

Sem falhas ocorrerão 1 dos 2 casos abaixo:

$$\text{Caso 1 - } V_1, \dots, V_6 = 0 \implies f_2(\text{ou}) = f_2(\oplus) = 1$$

$$\text{Caso 2 - um dos } V_i = 1 \implies f_2(\text{ou}) = f_2(\oplus) = 0$$

Somente no caso em que um dos $V_i = 1$ e V_j for devido a falha para 1, é que $f_2(\oplus) \neq f_2(\text{ou})$

Como $V_i = 1$ dura no máximo 3 pulsos de relógio não há importância nesta diferença onde $f_2(\text{ou})$ substitua $f_2(\oplus)$.

O inverso de f_2 , $f_1 = V_1 + \dots + V_6$ pode ser escrito como $f_1 = \overline{V_1} \cdot \overline{V_2} \cdot \dots \cdot \overline{V_6}$ que é realizável com portas tipo E e inversor no final. Exatamente os mesmos argumentos usados em f_2 aplicam-se para mostrar que $f_1(E)$ substitui $f_1(\oplus)$.

(f) Método de Thomas aplicado à máquina 3

Entradas

Estados	1	0
011	011	101
101	110	110
110	011	011

	1	0
a	a	b
b	c	c
c	a	c

	1	0
0	0	1
1	1	1
1	0	0

	1	0
011	0	1
101	-	-
110	-	-

	1	0
011	-	-
101	0	0
110	1	1

	1	0
1	1	0
0	1	1
1	1	1

	1	0
011	-	-
101	1	1
110	-	-

	1	0
011	0	1
101	-	-
110	0	0

	1	0
1	1	1
1	0	0
0	1	1

	1	0
011	-	-
101	-	-
110	1	1

	1	0
011	0	0
101	1	1
110	-	-

$$J1 = \bar{E}$$

$$J2 = 1$$

$$J3 = 1$$

$$K1 = Y2$$

$$K2 = Y3\bar{E}$$

$$K3 = Y1$$

a) Método SAWIN

Entradas

$$I1 - \overline{F.A.P.} + L.S.D.$$

$$I2 - F.A.P. \overline{L.S.D.} \text{ (a. ULTRA)}$$

$$I3 - F.A.P. \overline{L.S.D.} \text{ (a. ULTRA)}$$

Entradas				
Estados	I1	I2	I3	
1	1	1	2	
2	1	2	2	

a.1) Conjunto de predecessores

$I1 - \{1,2\}$ deletado porque é único para a coluna.

$I2 - \{1\} \quad \{2\}$

$I3 - \{1,2\}$ deletado porque é único para a coluna.

$P1 = \{1\} \quad P2 = \{2\}$

a.2) Partições

$$\tau_1 = \{\bar{1}; \bar{2}\} \quad \tau_2 = \{\bar{2}; \bar{1}\}$$

a.3) Partições η_j^p

$$\eta_{1^1} = \{1,2\} \overset{I1}{\{0\}} = 1$$

$$\eta_{2^1} = \{0\} \{1,2\} = 0$$

I2

$$\eta_{1^2} = \{1\} \{2\} = \tau_1$$

$$\eta_{2^2} = \{2\} \{1\} = \tau_2$$

I3

$$\eta_{1^3} = \{0\} \{1,2\} = 0$$

$$\eta_{2^3} = \{1,2\} \{0\} = 1$$

$$Y_1 = \eta_{1^1} I_1 + \eta_{1^2} I_2 + \eta_{1^3} I_3$$

$$Y_2 = \eta_{2^1} I_1 + \eta_{2^2} I_2 + \eta_{2^3} I_3$$

$$\begin{cases} Y_1 = I_1 + y_1 I_2 \\ Y_2 = Y_2 I_2 + I_3 \end{cases}$$

Estados Y, Y2	Entradas		
	I1	I2	I3
10	10	10	01
01	10	01	10

b) Entradas

$$I_1 = \overline{\text{F.A.P.}} + \text{L.S.D.}$$

$$I_2 = \text{F.A.P.} \cdot \text{L.S.D.} \quad (\text{a.ULTRA})$$

$$I_3 = \text{F.A.P.} \cdot \overline{\text{L.S.D.}} \quad (\text{a.ULTRA})$$

I1 e I3 são gráficamente independentes donde são in dependentes.

$$\begin{aligned}
I1 \oplus I3 &= (\overline{FAP} + LSD) \oplus (FAP \cdot \overline{LSD} \cdot (a.ULTRA)) = \\
&= (\overline{FAP} + LSD) \overline{FAP \cdot \overline{LSD} \cdot (a.ULTRA)} + \\
&\quad (\overline{FAP} + LSD) \cdot (FAP \cdot \overline{LSD}) \cdot (a.ULTRA) = \\
&= (\overline{FAP} + LSD) \left[\overline{FAP \cdot \overline{LSD} \cdot (a.ULTRA)} \right] + \\
&\quad (FAP \cdot \overline{LSD}) \cdot (FAP \cdot \overline{LSD}) \cdot (a.ULTRA) = \\
&= (\overline{FAP} + LSD) + FAP \cdot \overline{LSD} \cdot (a.ULTRA) = \\
\hline
I1 \oplus I3 &= (\overline{FAP} + LSD) + FAP \cdot \overline{LSD} \cdot (a.ULTRA) \\
&= (FAP \cdot \overline{LSD}) \cdot (\overline{FAP} + LSD + \overline{a.ULTRA}) = \\
&= FAP \cdot \overline{LSD} \cdot \overline{a.ULTRA} = I2
\end{aligned}$$

Então para tornar as realizações de I1, I2 e I3 autotestáveis implementa-se I2 graficamente independentes de I1 e I3. Une-se I1 com I3 por ou exclusivo. A dupla formada por I1 \oplus I3 e I2 já está em código e detecta o funcionamento correto/incorrecto deste circuito. Portanto neste caso a aplicação do método de Sogomonyan simplificou enormemente a realização autotestável.

c) Saída

$$FR = \textcircled{2} + a.ULTRA \quad \textcircled{2} = \text{estado 2 da Máquina 4}$$

$$\overline{FR} = \overline{\textcircled{2} + a.ULTRA} = \overline{\textcircled{2}} \cdot \overline{a.ULTRA}$$

$$\textcircled{2} = \overline{Y1} \cdot Y2$$

$$\overline{\textcircled{2}} = Y1 + \overline{Y2}$$

$$FR = \overline{Y1} \cdot Y2 + a.ULTRA$$

$$\overline{FR} = (Y1 + \overline{Y2}) \cdot \overline{(a.ULTRA)}$$

d) Detector de estado errado

Os estados corretos são 01 e 10 que já estão em código 1- em -2. Portanto não é necessário circuito adicional para detenção de estado correto neste caso.

e) Método de Thomas aplicado à máquina 4

	I1	I2	I3
01	1	1	2
10	1	2	2

	I1	I2	I3
0	0	0	1
1	0	1	1

Y1

	I1	I2	I3
01	0	0	1
10	-	-	-

J1

	I1	I2	I3
01	-	-	-
10	1	0	0

K1

	I1	I2	I3
1	1	1	0
0	1	0	0

Y2

	I1	I2	I3
01	-	-	-
10	1	0	0

J2

	I1	I2	I3
01	0	0	1
10	-	-	-

K2

$$J1 = I3$$

$$K1 = I1$$

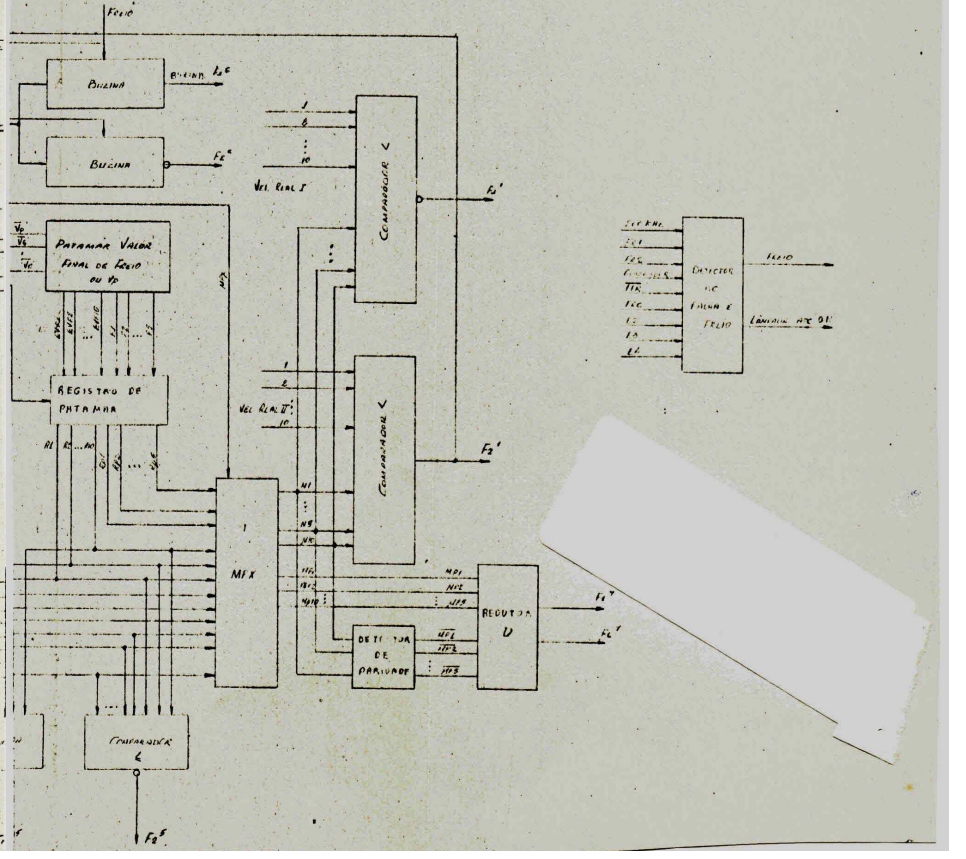
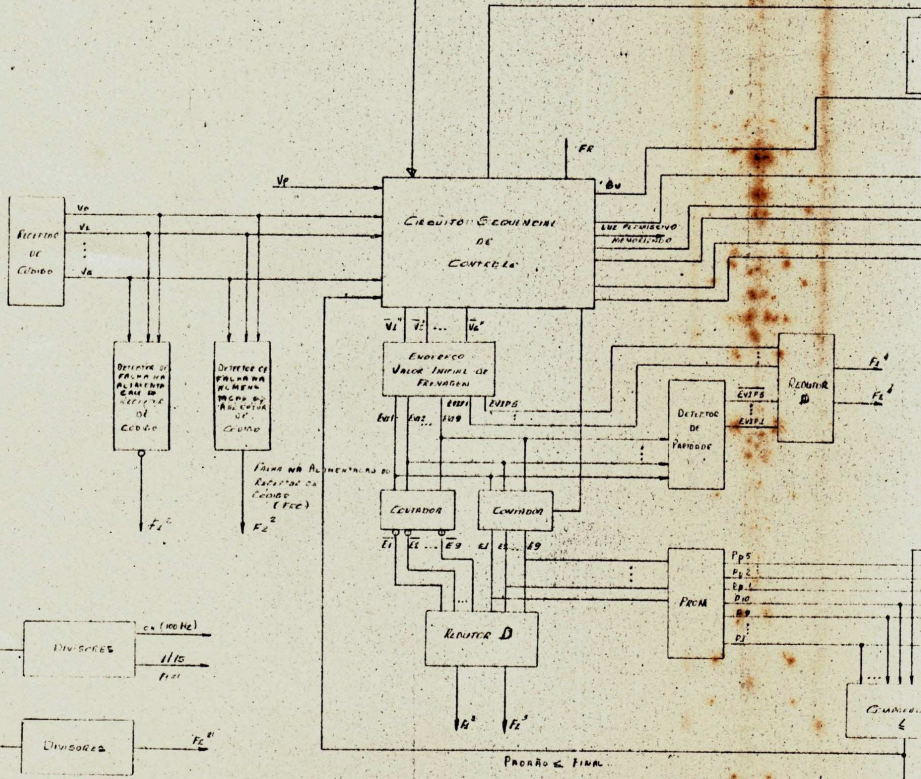
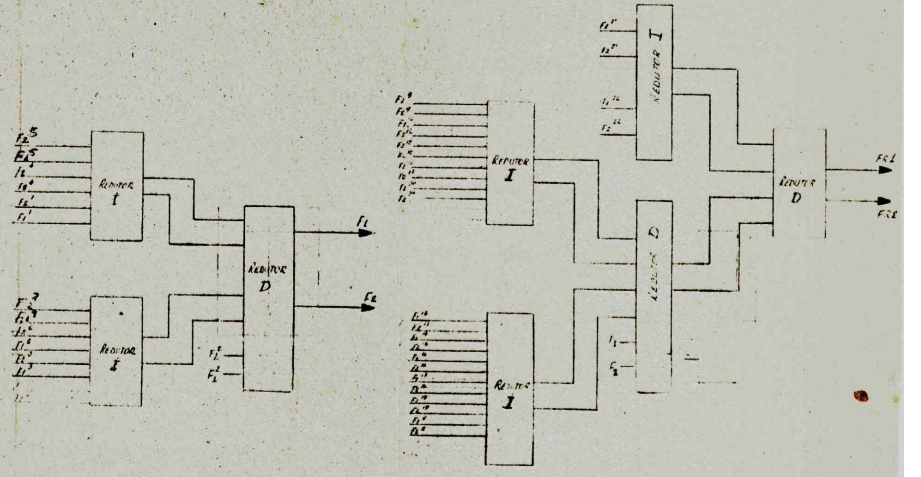
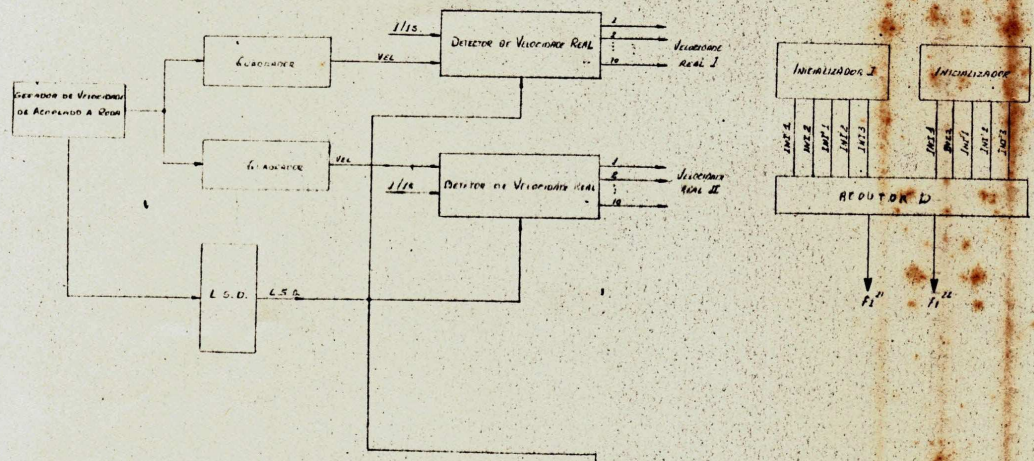
$$J2 = I1$$

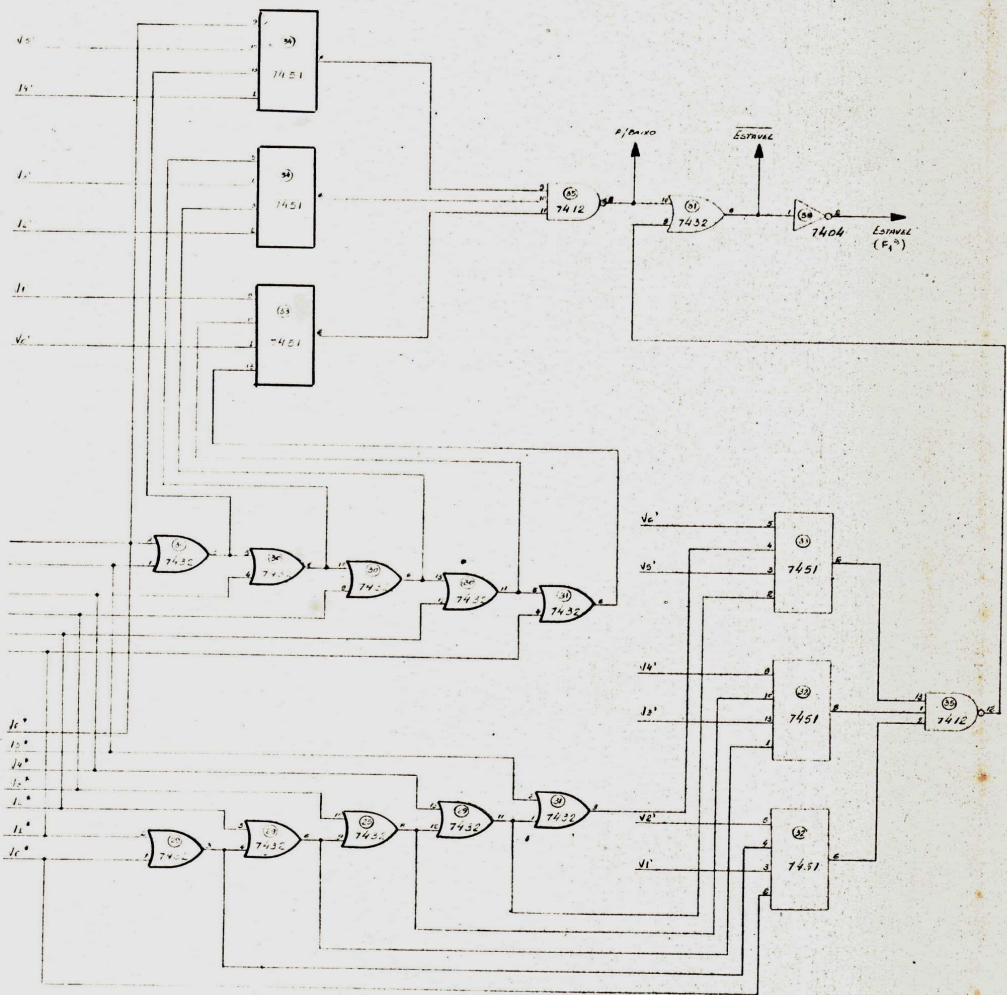
$$K2 = I3$$

VI.20 - REalização

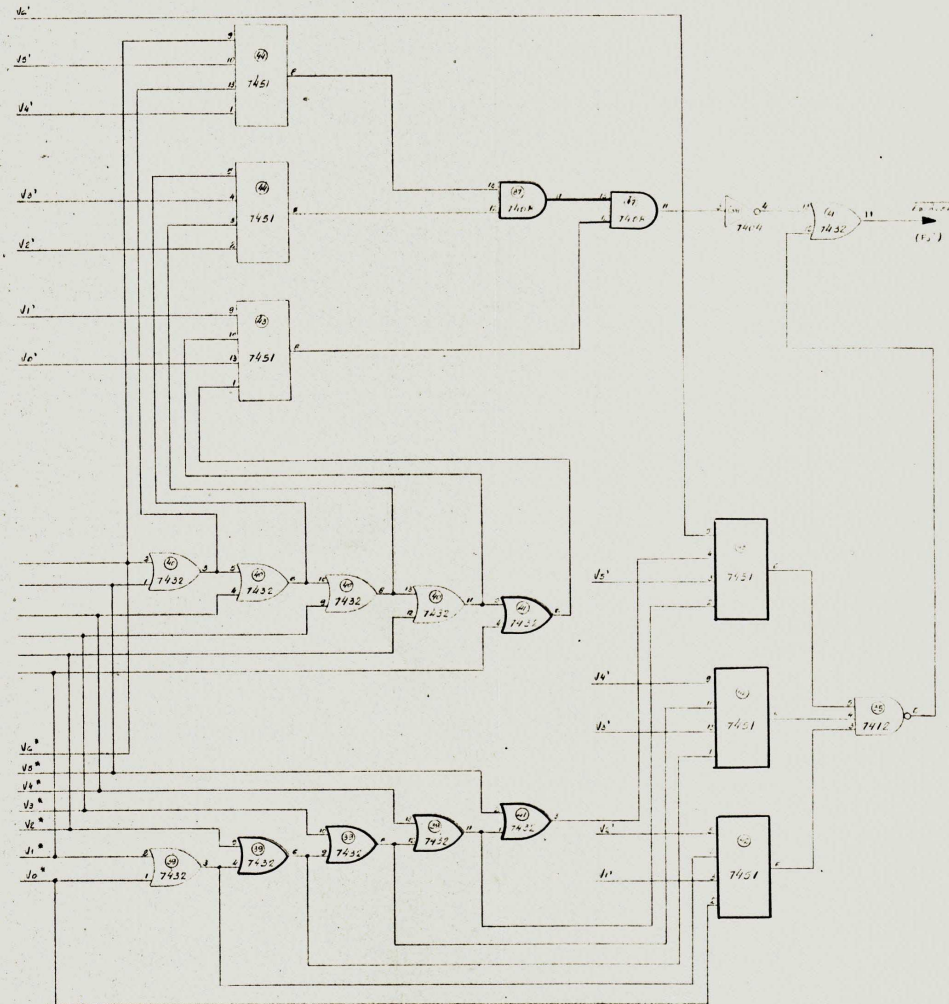
Os diagramas seguintes apresentam a implementação do ATC seguro em falha.

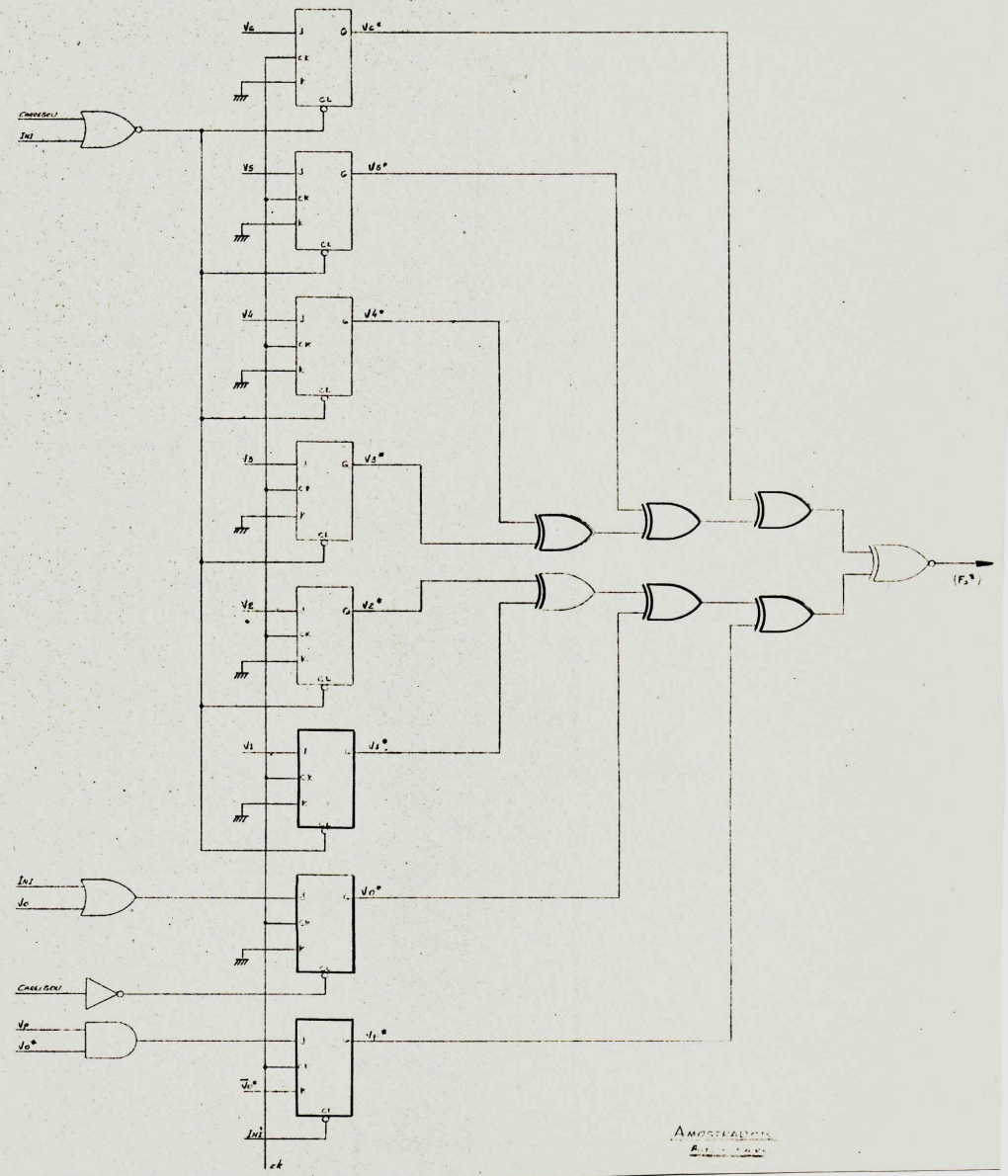
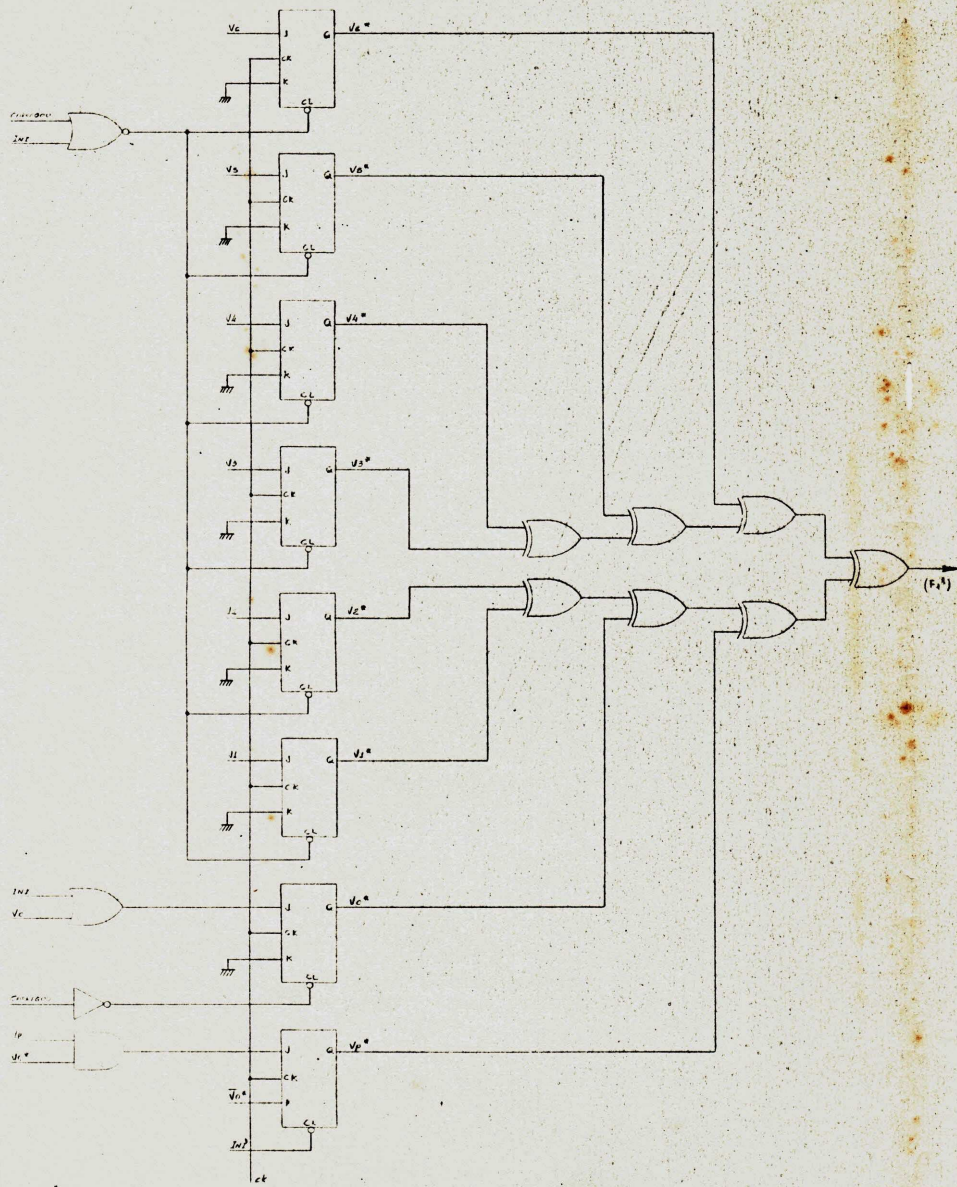
ATC SEGURANÇA FALHA



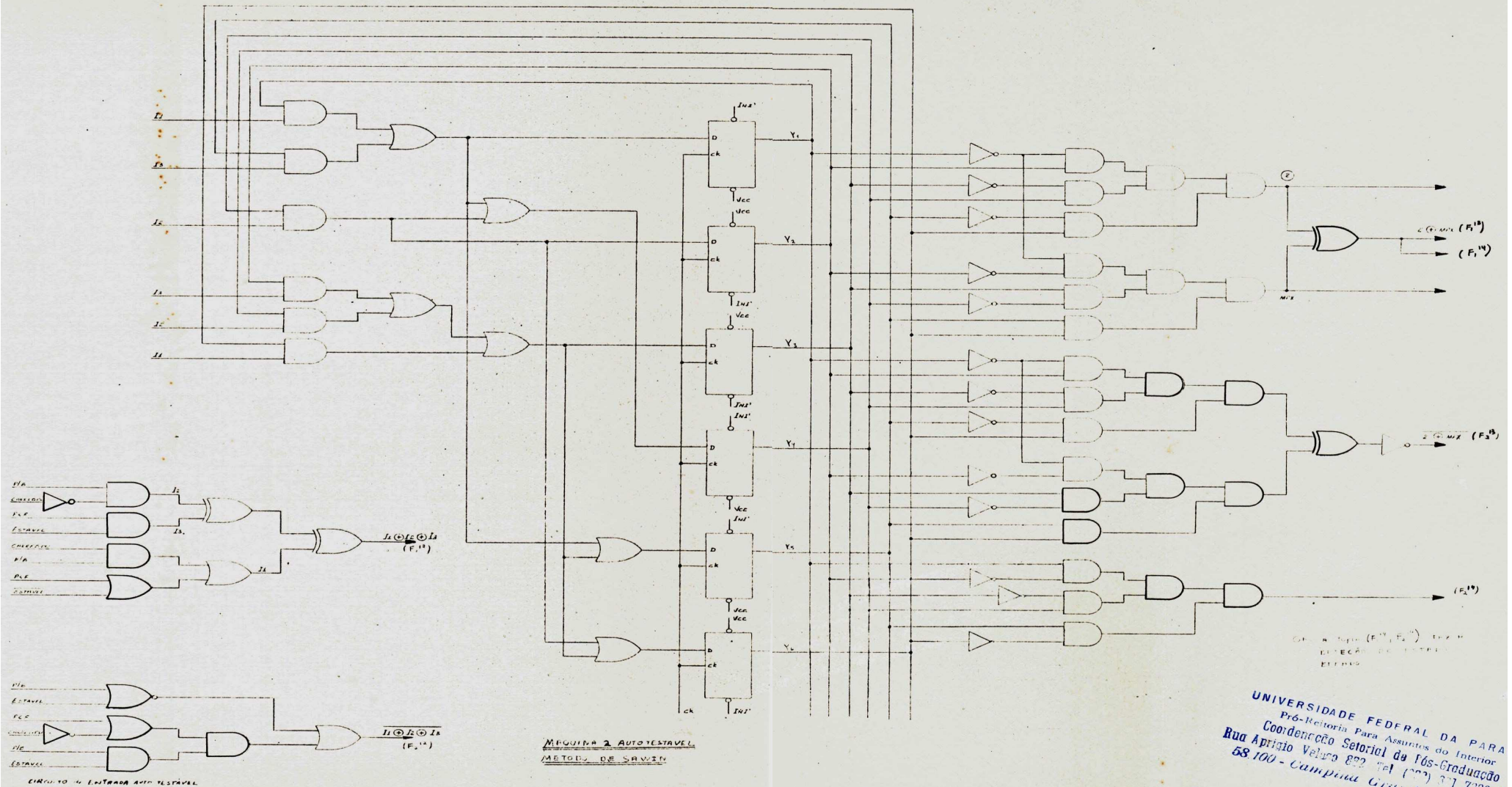


MAR. I
AUTO TABLA 1



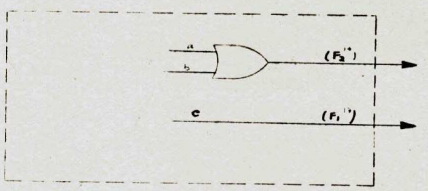
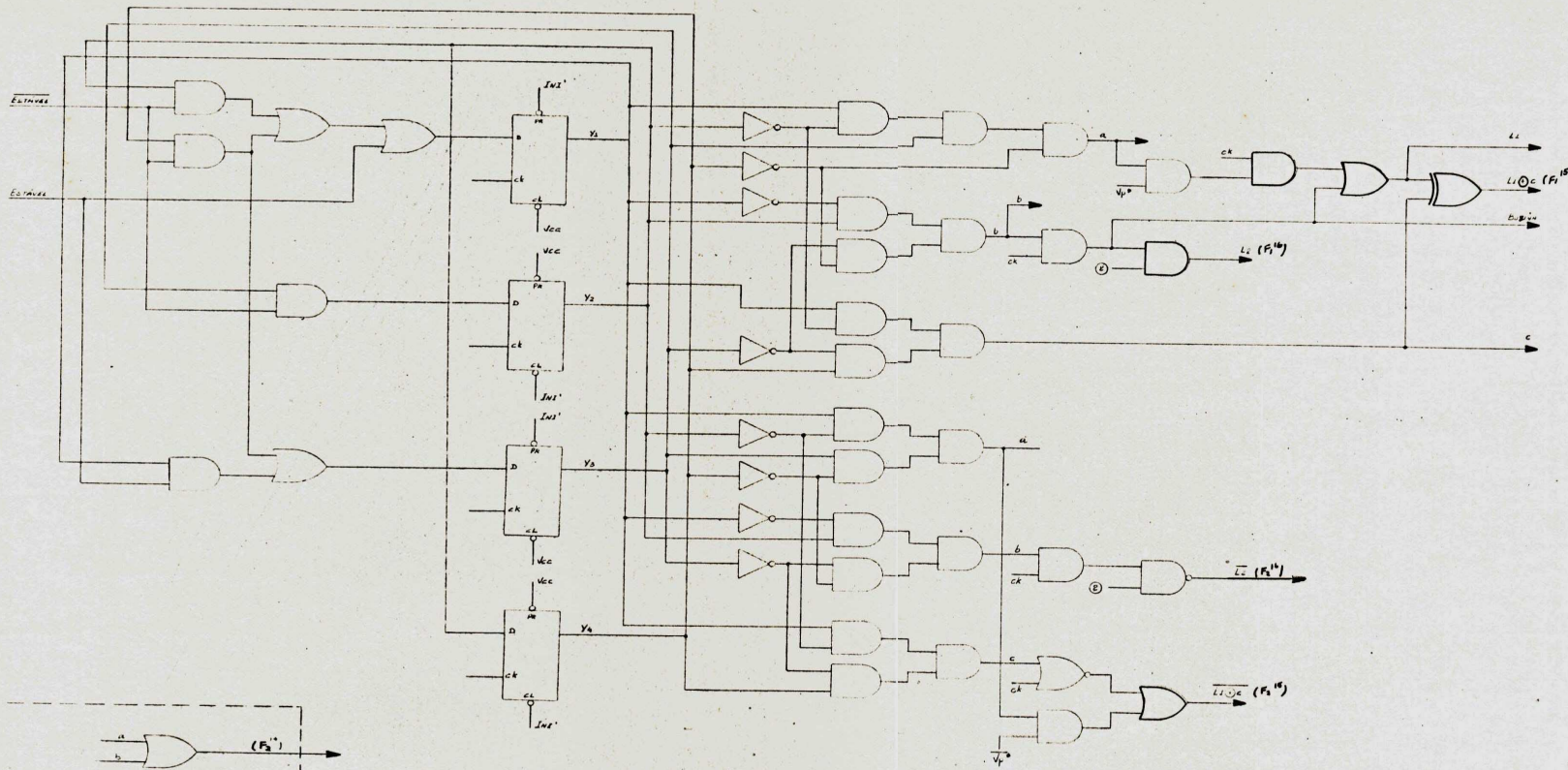


AMSTADAM
 2000



MÁQUINA 2 AUTOTESTAVEL
MÉTOD. DE SARVIN

UNIVERSIDADE FEDERAL DA PARA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso 822 Tel (021) 371 7222 R
58100 - Campina Grande - Paraíba

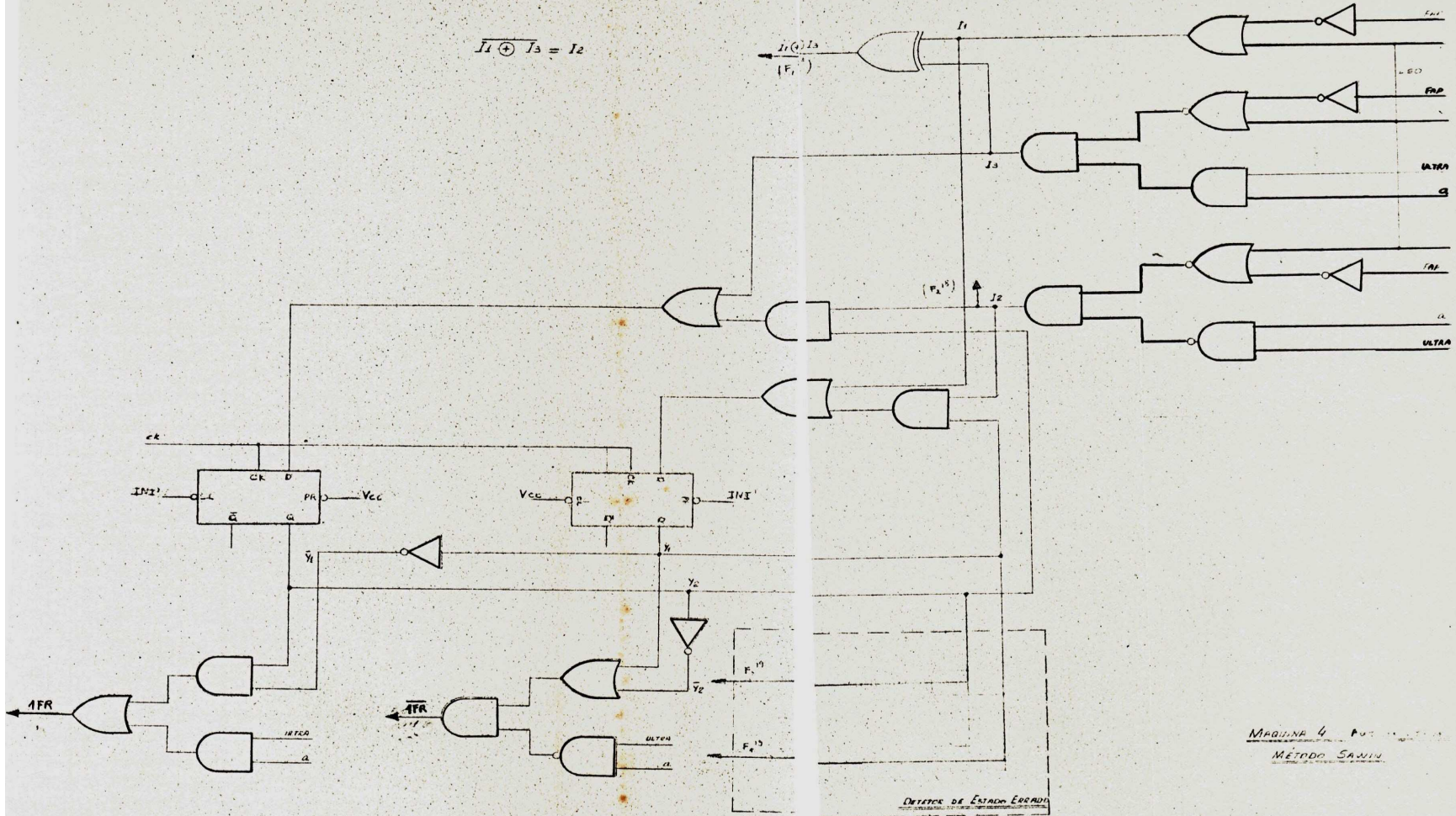


DESCRIÇÃO DE CÍRCULO LÓGICO
AUTOMATIZADO

MAR 3 AUTOMATIZADO
AUTOMATIZADO

UNIVERSIDADE FEDERAL DA
Pró-Reitoria Para Assuntos do In
Coordenação Setorial de Pós-Grad
Rua Aprígio Veloso, 882 - Tel (083) 321
58.100 - Campinas Grande - P

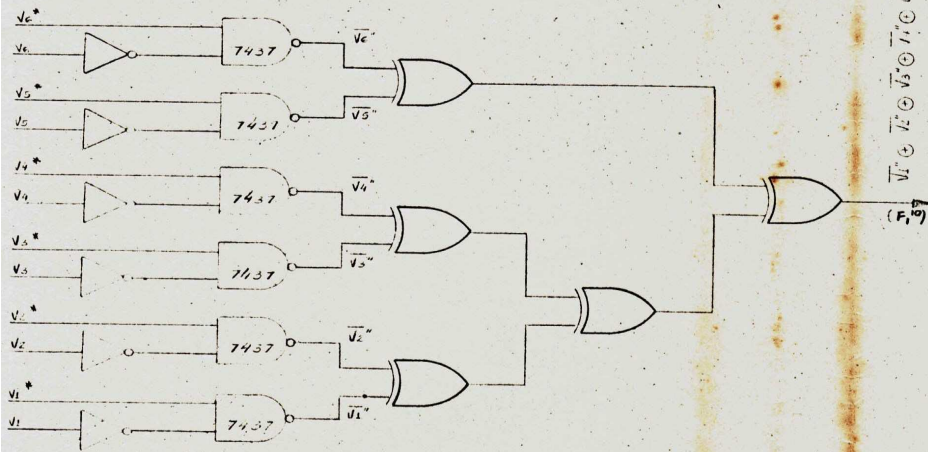
$$\overline{I_1} \oplus I_3 = I_2$$



MAQUINA 4 PÓS-GRADUADO
MÉTODOS SAWIN

DETECTOR DE ESTADO ESCALON

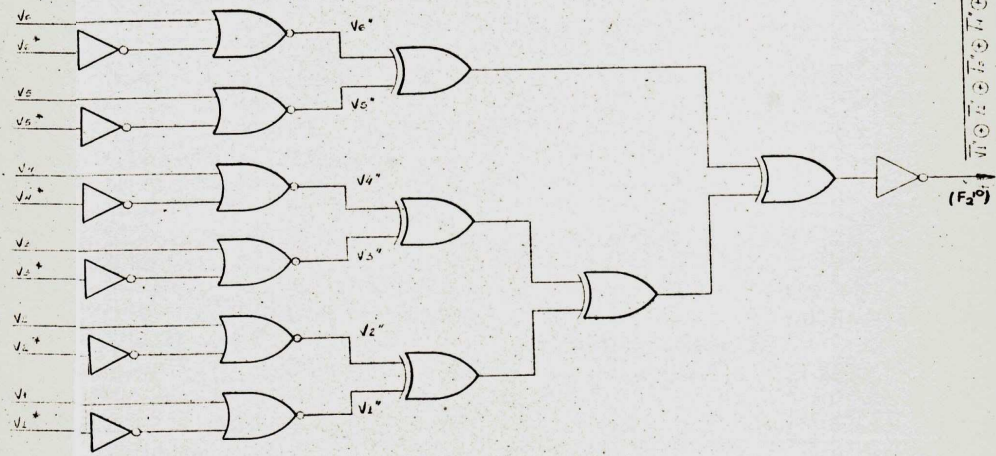
UNIVERSIDADE FEDERAL DA PA
Pré-Reitoria Para Assuntos do Interi
Coordenação Setorial de Pós-Graduo
Rua Agripino Veloso, 882 - Tel (383) 321 71
13000 - Campina Grande - Pa



$$V_1 = \overline{V_1''} = \overline{V_1^* \cdot V_2^* \cdot V_3^*}$$

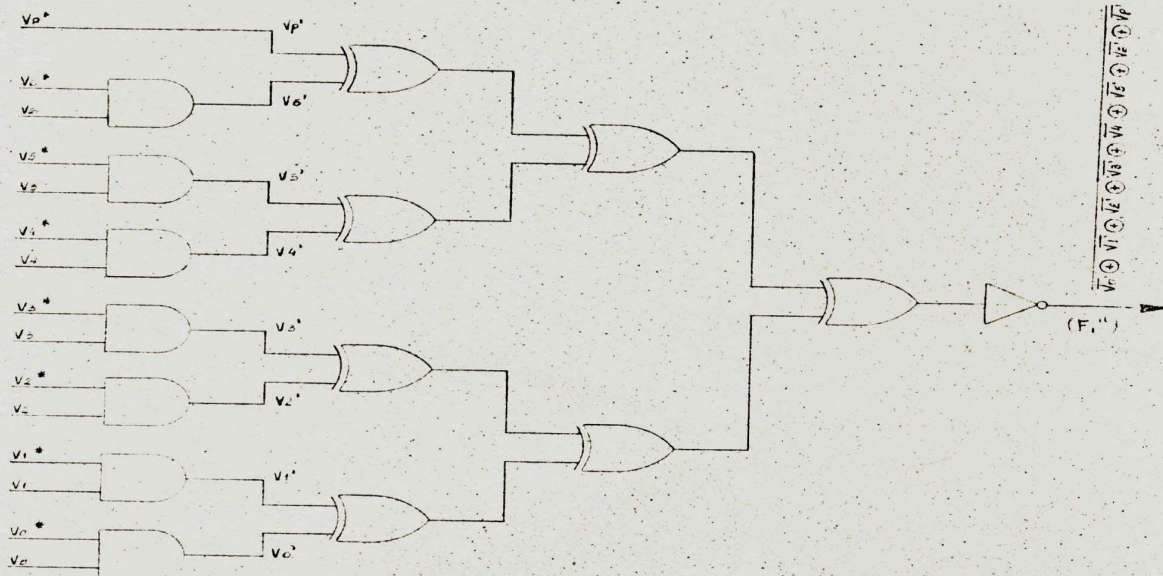
$$\begin{aligned} \overline{V_1''} &= \overline{V_1^* \cdot V_2^* \cdot V_3^*} \\ \overline{V_2''} &= \overline{V_4^* \cdot V_5^* \cdot V_6^*} \\ \overline{V_3''} &= \overline{V_1^* \cdot V_2^* \cdot V_3^*} \\ \overline{V_4''} &= \overline{V_4^* \cdot V_5^* \cdot V_6^*} \\ \overline{V_5''} &= \overline{V_1^* \cdot V_2^* \cdot V_3^*} \\ \overline{V_6''} &= \overline{V_4^* \cdot V_5^* \cdot V_6^*} \end{aligned}$$

ENDERECO VALOR INICIAL
AQUI SE TAVEL

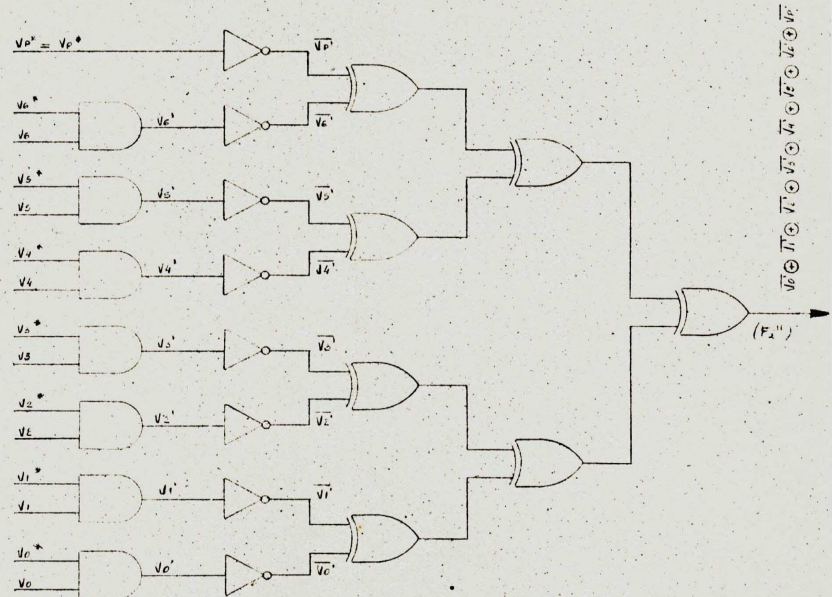


$$F_1 = \overline{V_1''} = \overline{V_1^* \cdot V_2^* \cdot V_3^*}$$

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel. (031) 321 7222-R 355
58.100 - Campina Grande - Paraíba



$\overline{v_0} \oplus \overline{v_1} \oplus \overline{v_2} \oplus \overline{v_3} \oplus \overline{v_4} \oplus \overline{v_5} \oplus \overline{v_6} \oplus \overline{v_7} \oplus \overline{v_8} \oplus \overline{v_9}$



169. $a \oplus b = \overline{a} \oplus \overline{b} \therefore \overline{a \oplus b} = a \oplus b$

ENDESSECO VALOR FINAL, PARANIK ou Vp
 HUT-FESTRAIE

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 832 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

[Handwritten signature]

DIVISORES

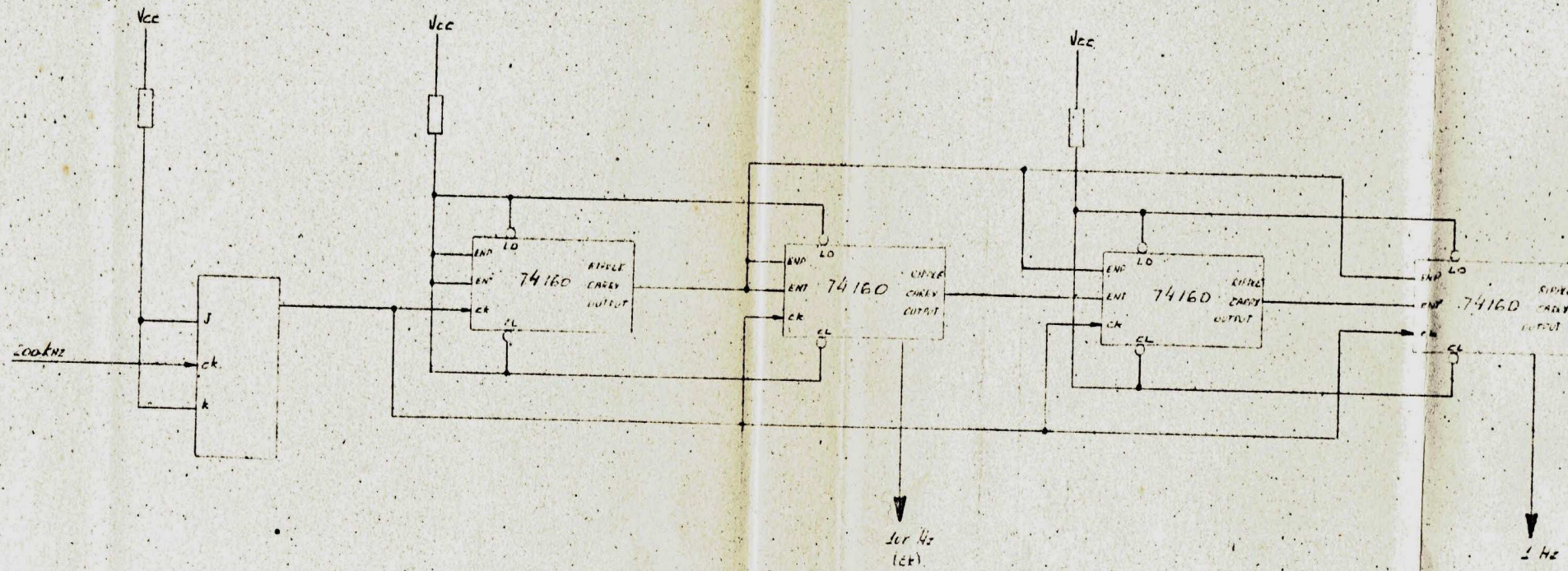
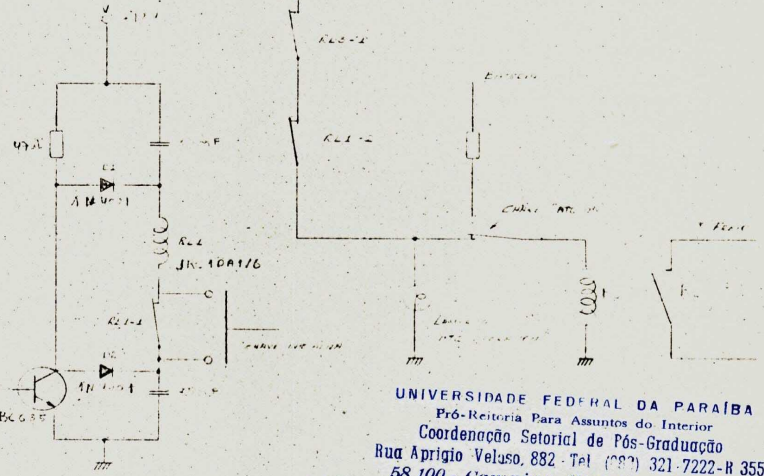
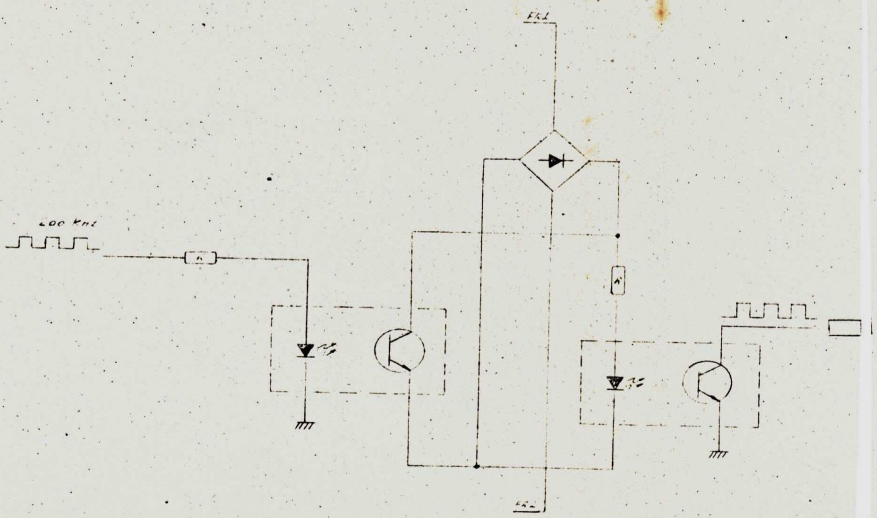
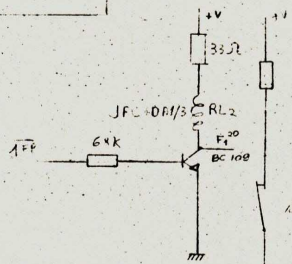
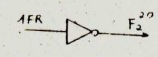
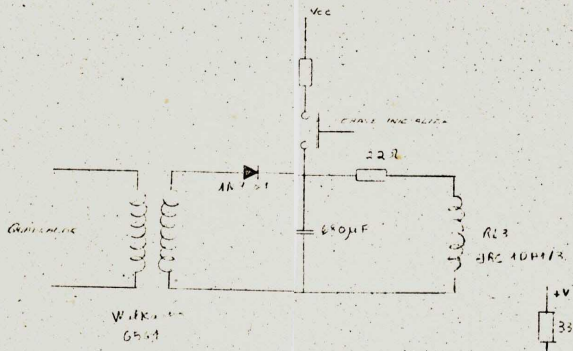
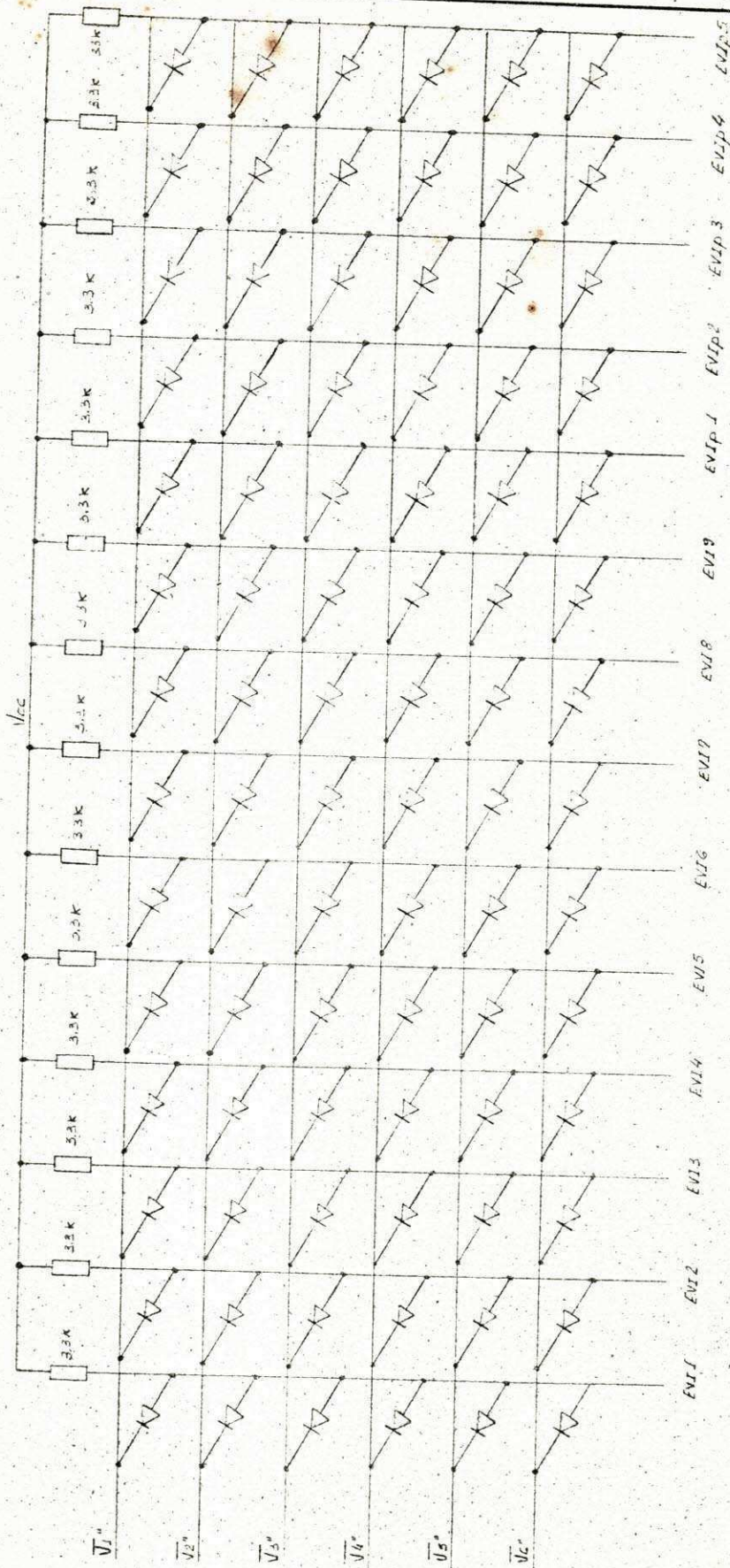


Diagrama de Falha
de Alimentação de Tensão
de um Sistema de Falha



UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel. (83) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

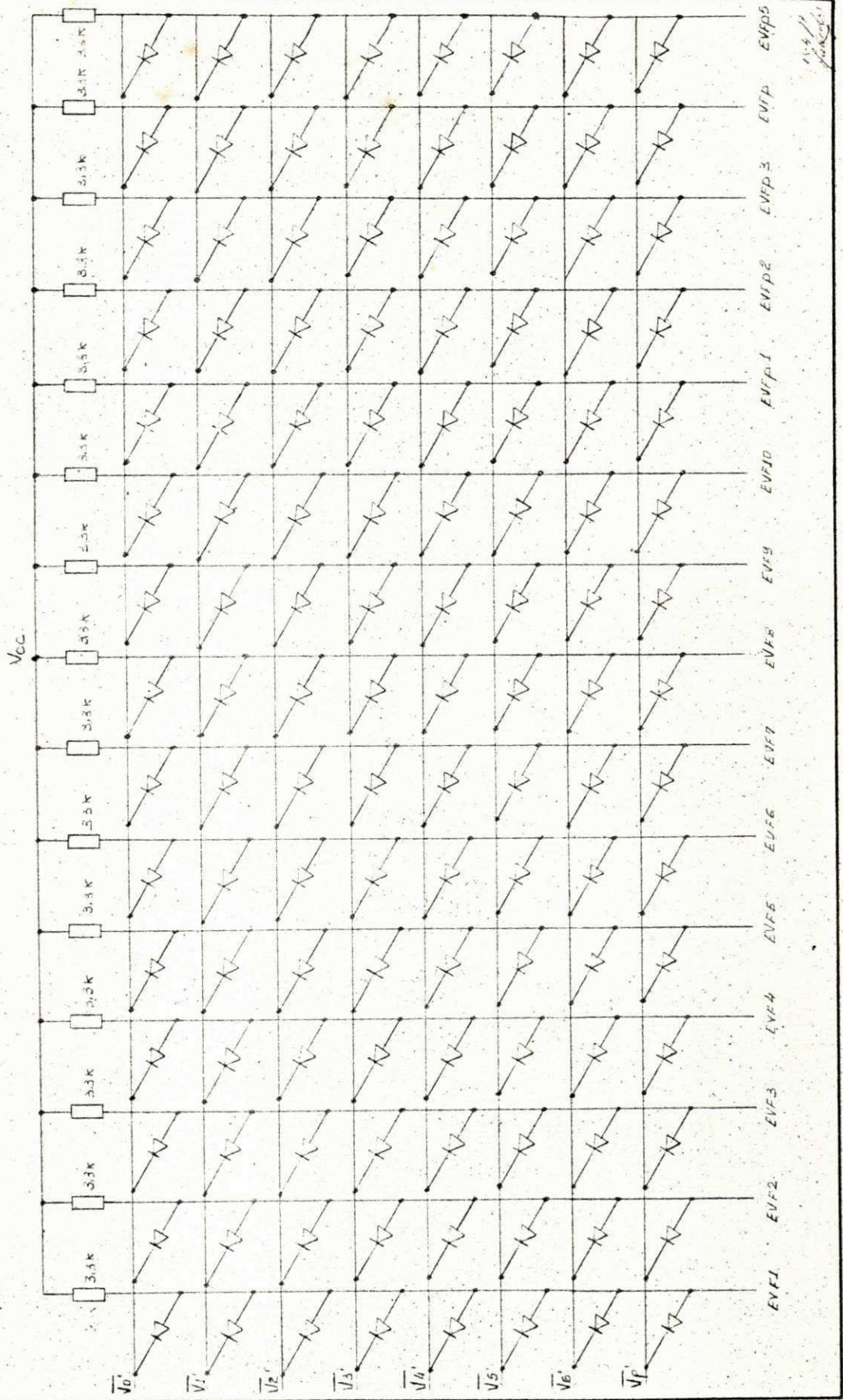
ENDERECO VALOR INICIAL DE FREQUENCIA AUTOTESTAVEL



DIODOS GE 1N40

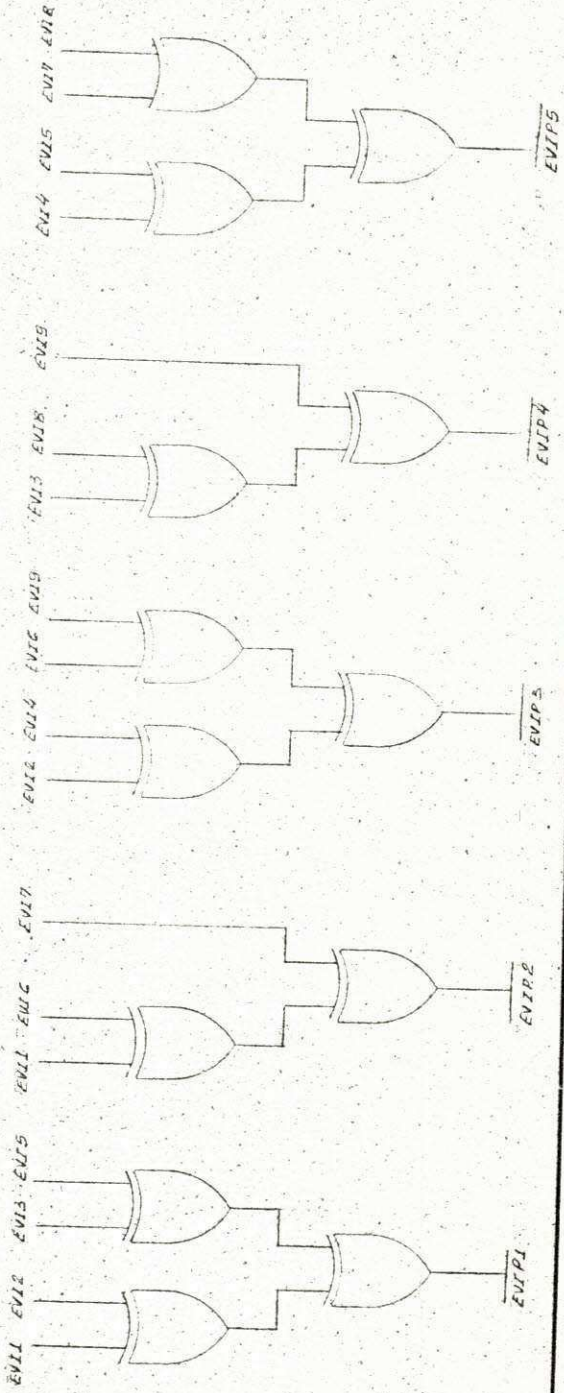
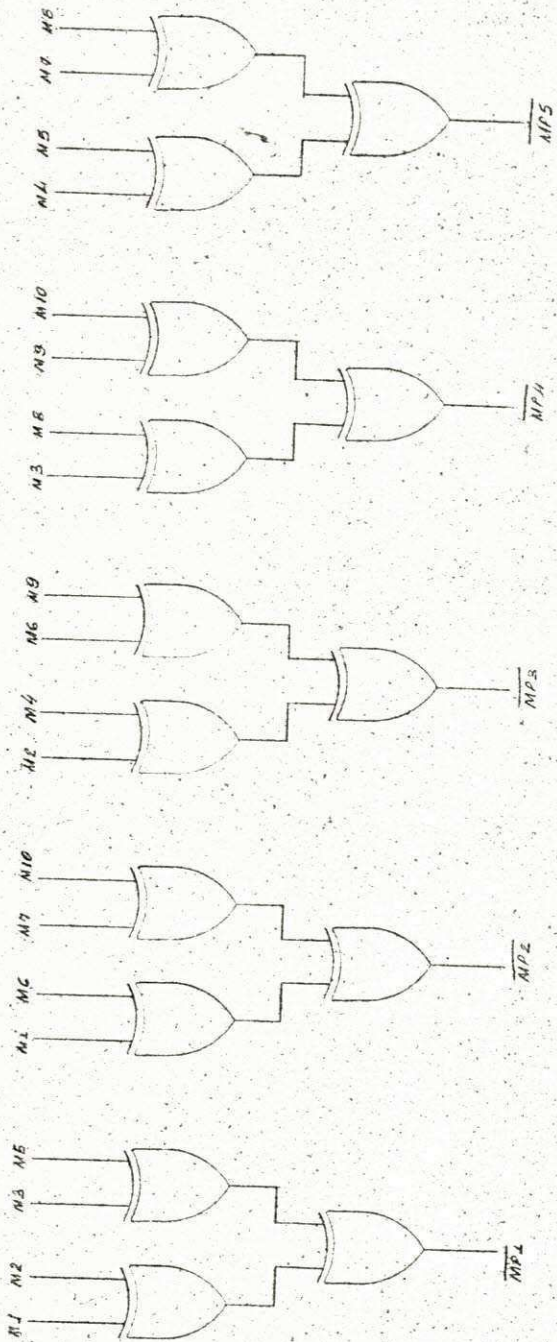
19.04.77

ENDERECO VALOR FINAL AUTOTESTE



UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 832 Tel (083) 321 7222-R 355
 58.100 - Campina Grande - Paraíba

DETECTOR DE PARADOXOS SEQUÊNCIA EN FALHA

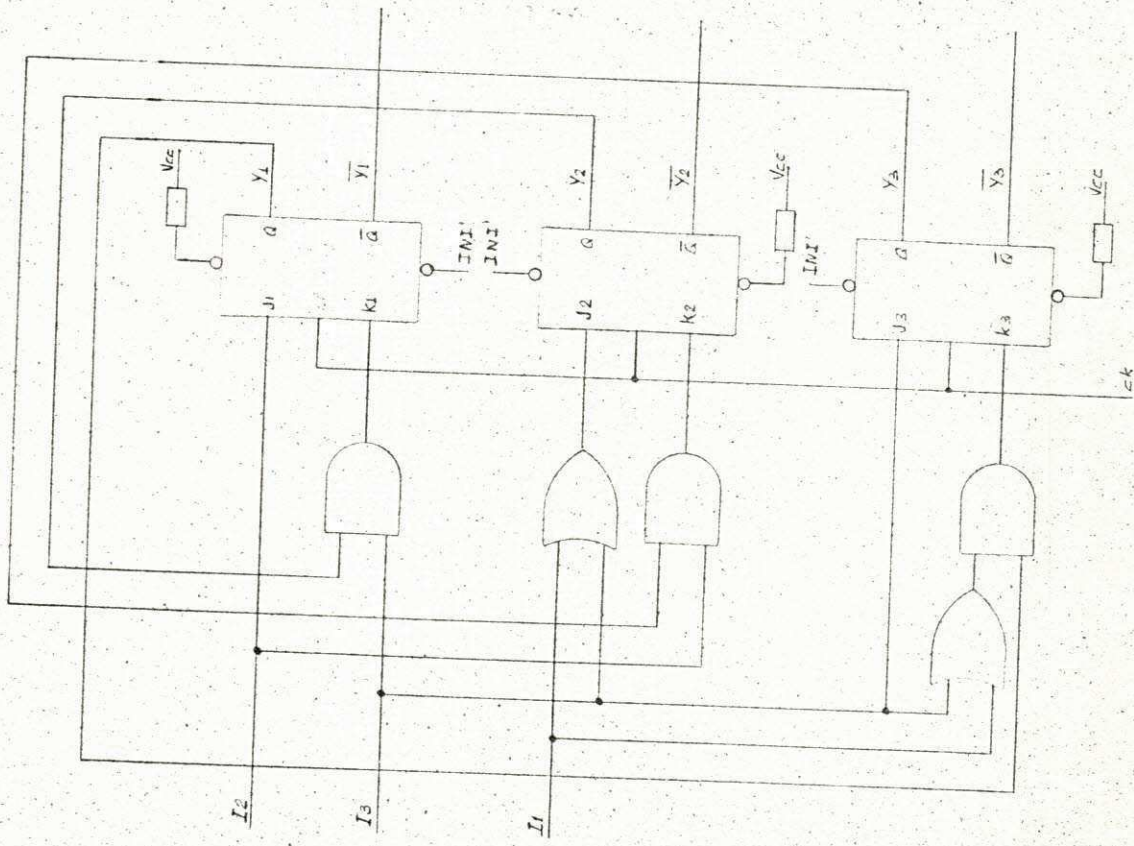


(USAR NA MPX)

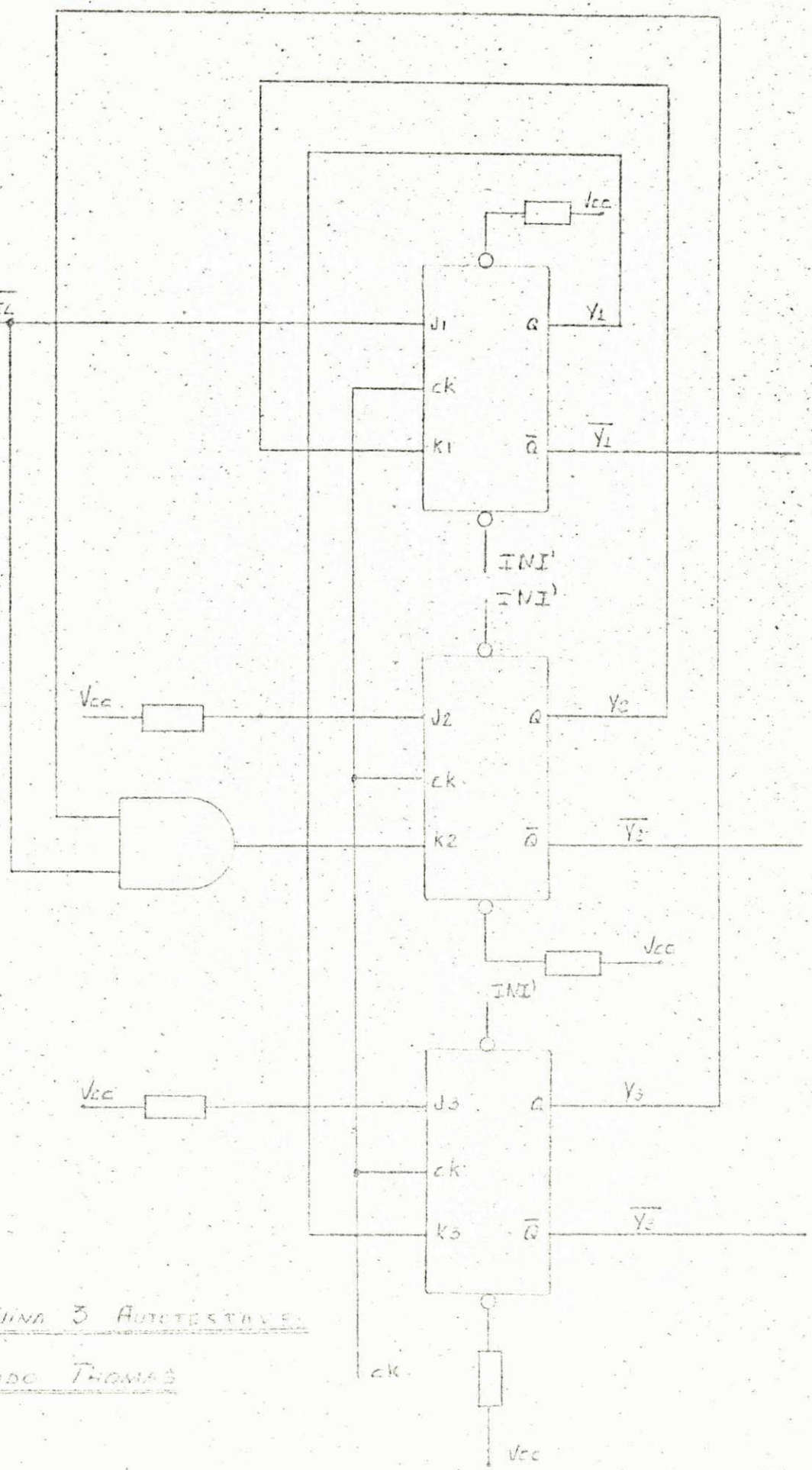
EV5 DU NO ENDE RECO
EV6 DU INICIAL

MÁQUINA 2 Auto Testavel
MÉTODOS DE TRAMPAS

Mas 17
Fonseca



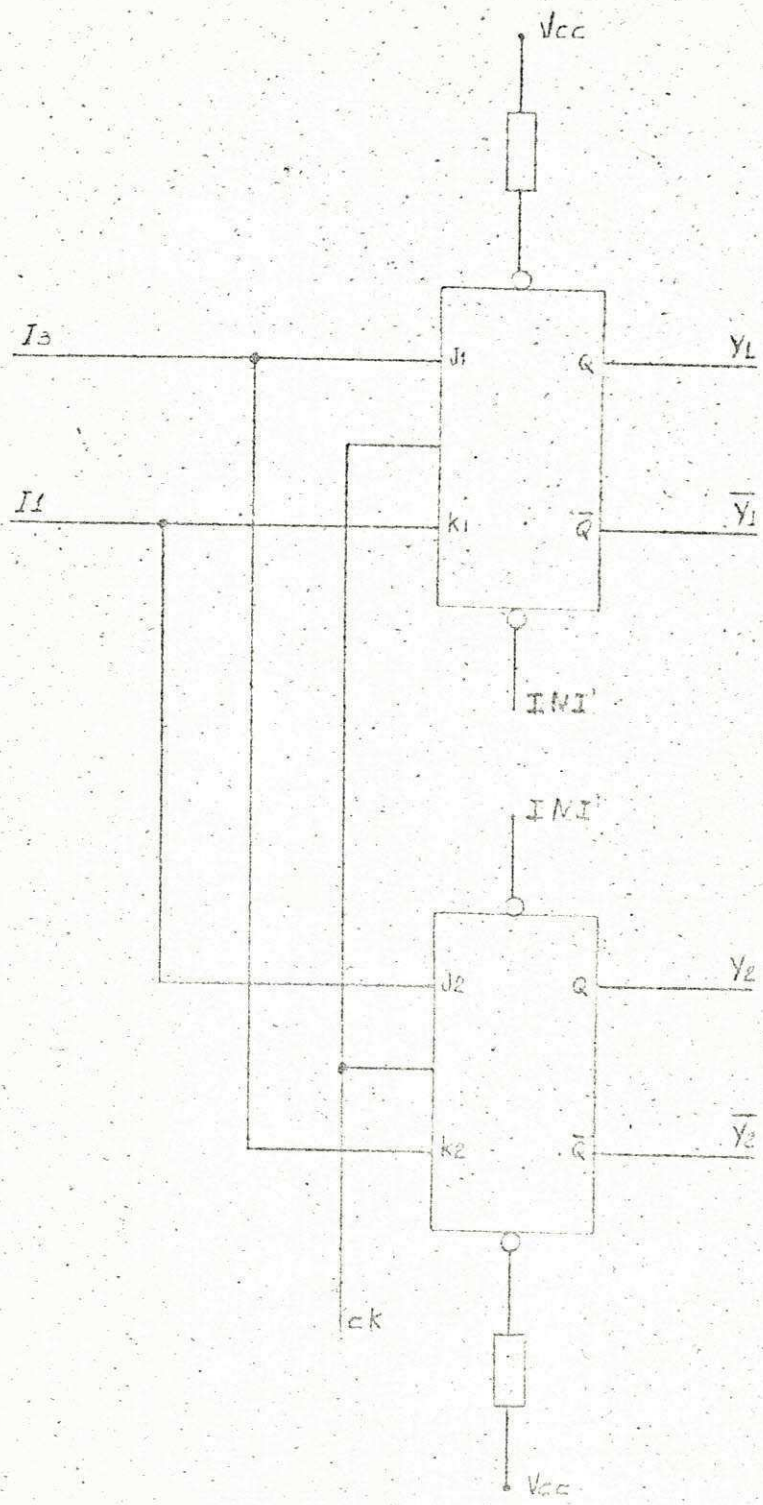
ESTÁVEL



MÁQUINA 3 ASÍNCRONA

MÉTODE THOMAS

1963/71
R. L.



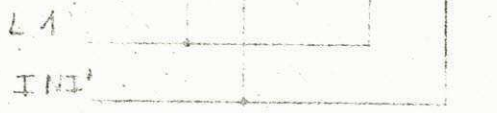
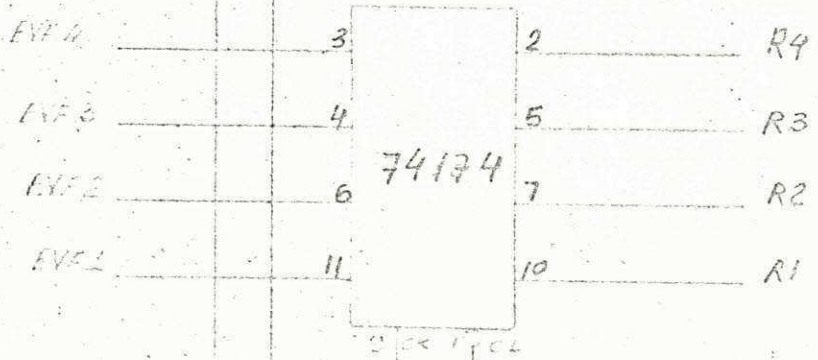
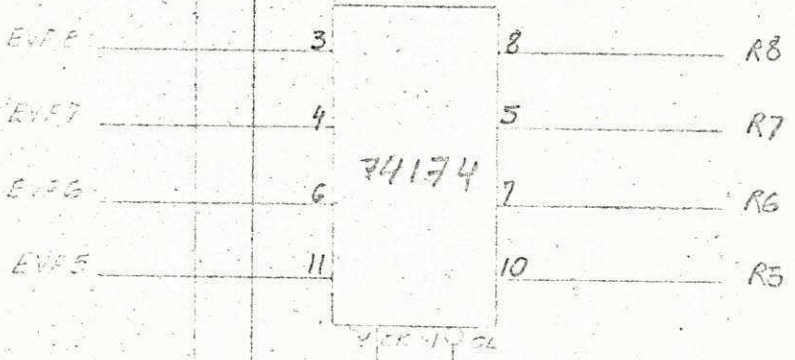
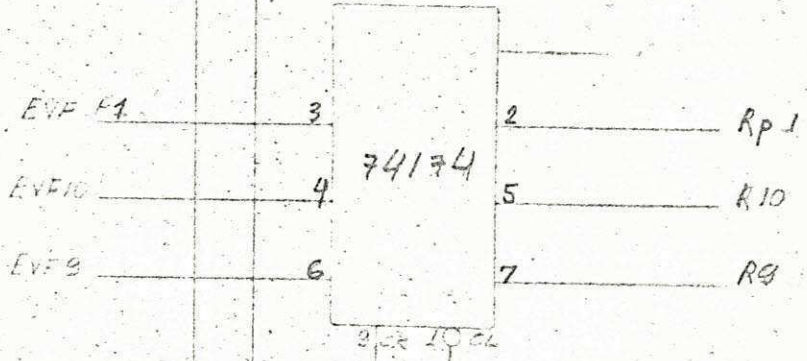
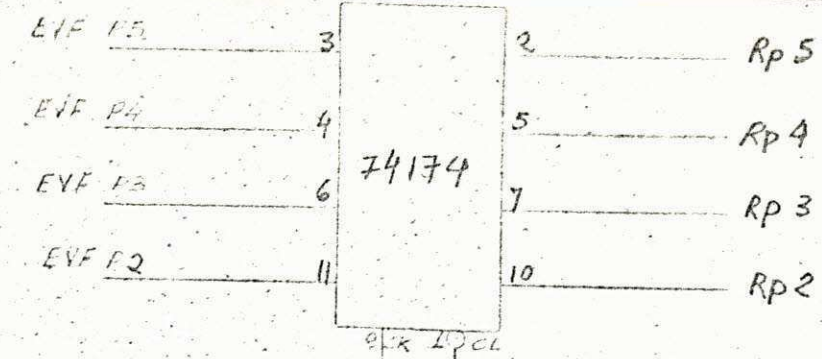
MÁQUINA 4 AUTO TESTÁVEL

MÉTODOS DE THOMAS

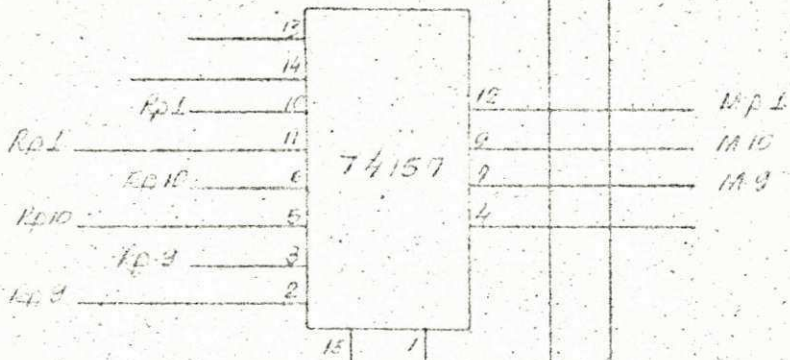
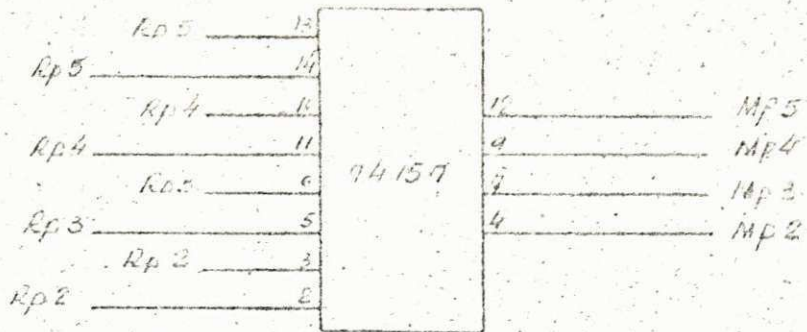
14.03.77
 [Signature]

REGISTRO DE PATRIARCA

QUINTANA ROO

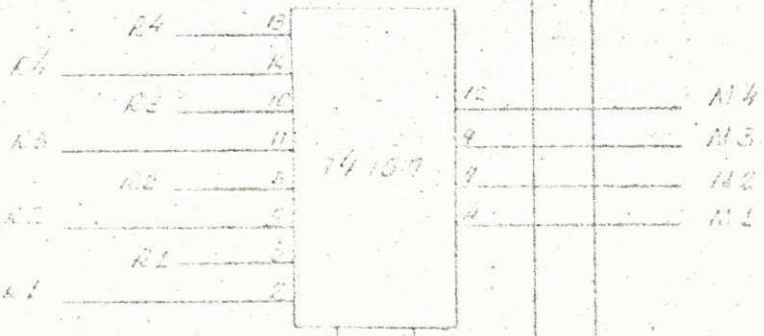
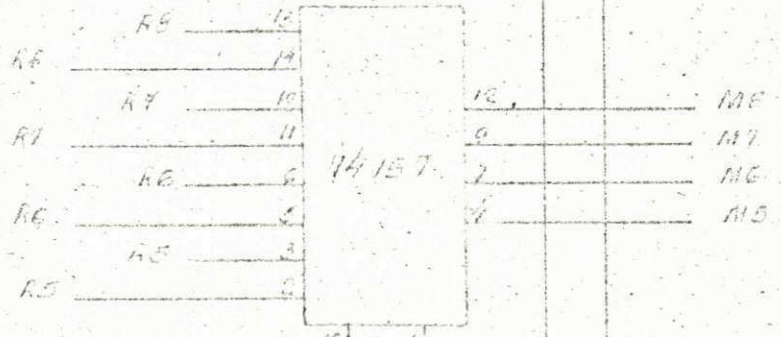


[Handwritten signature]



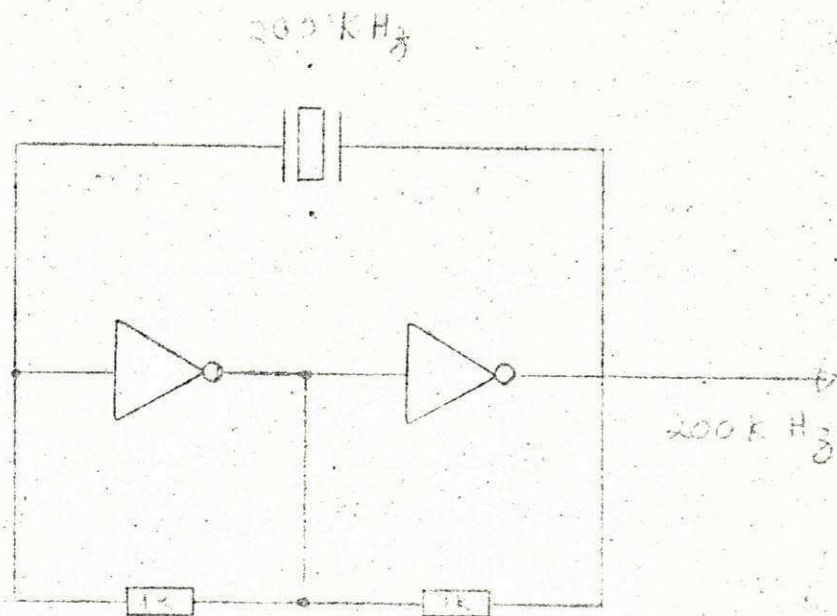
MPX

MPX TEST STAGE



MPX
INI

15th 11
[Signature]

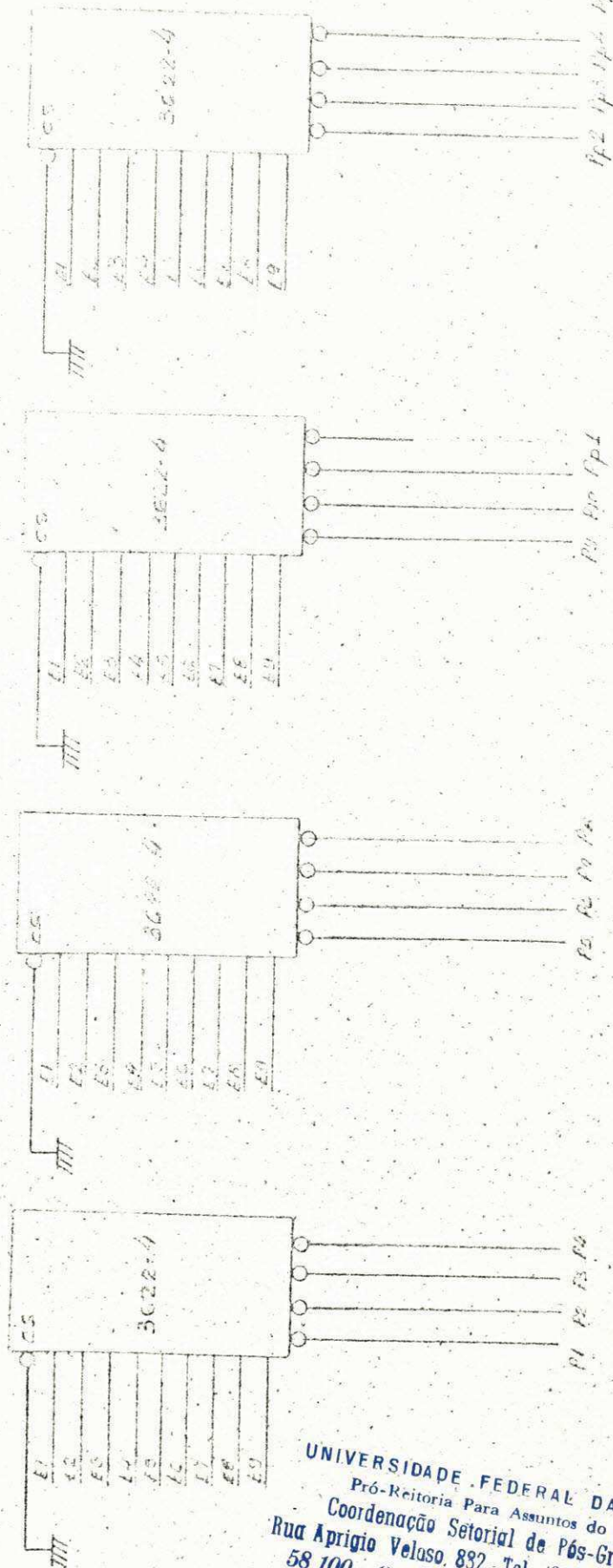


RELÓGIO

UNIVERSIDADE FEDERAL DA PARAIBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

1000
[Signature]

PRON AUTO TESTAVEL



UNIVERSIDADE FEDERAL DA PARAIBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

VII - CÁLCULO DA CONFIABILIDADE

Para calcular o tempo médio entre falhas de um equipamento é necessário exprimir sua taxa de falha prevista, levando em considerações as condições sob as quais operará.

Falhas devido a projeto e manufatura dos componentes normalmente se apresentam no início de operação do equipamento, não sendo pois consideradas.

A taxa de falha de um equipamento eletrônico segue uma lei exponencial e na vida normal do mesmo permanece constante.

Esta taxa média de falhas pode ser matematicamente expressa em termos de um parâmetro chamado tempo médio entre falhas (m) que é a recíproca da taxa de falha (λ).

A lei exponencial que relaciona confiabilidade, tempo de operação e tempo médio entre falhas é dada pela fórmula:

$$R = e^{-\frac{t}{m}} \quad \text{ou} \quad R = e^{-\lambda t}$$

Onde R é a probabilidade que um equipamento funcione satisfatoriamente sem falha num período de tempo (t).

No projeto do ATC não foi utilizada redundância, de maneira que qualquer componente falhando implica em falha do equipamento.

Desta forma a confiabilidade do equipamento é dada pelo produto das confiabilidades dos componentes.

$$R_{\text{equipamento}} = R_1 \cdot R_2 \cdot R_3 \cdot \dots \cdot R_n$$

Em termos de tempo médio entre falhas

$$m_{\text{equipamento}} = \frac{1}{\sum \lambda p}$$

onde λp é a taxa de falha das partes componentes.

As fontes de informações utilizadas sobre as taxas de falha dos componentes foram: normas MIL - HDBK - 217A, Signetios e Ferranti.

Para circuitos integrados os dados mais recentes obtidos foram da Signetios (1976).

A tabela abaixo apresenta as taxas de falha para as respectivas fontes de informação.

	Ferranti falhas/K hrs.	Signetics * falhas/K hrs.	IEEE falhas/k hrs	Normas Mil ** HDBK-2AA falhas/K hrs.
CI	0,0001	0,0002- 0,0000049	0,0001	0,0004
Conexões wire-up	< 0,00000006	-	-	0,000000037
Cristal de quartzo	0,0005	-	-	-
Lâmpada	0,0004	-	-	-
Diodos	0,00003	-	-	0,0003
Transistores (silício)	0,0001	-	-	0,00019
Transformadores	0,00014	-	-	0,001
Chaves	0,0005	-	-	0,0002
Relês	0,001	-	-	0,003
Capacitores (cerâmicos)	0,000002	-	-	0,000065
Resistores de Carbono	0,00005	-	-	0,00007

Aplicando-se estes valores no projeto ATC seguro em falha, obteve-se um tempo médio entre falhas de 13800 horas, considerando-se um fator de 1,5 devido ao equipamento ser utilizado em veículo (sofrendo vibrações) e outro de 2,0 devido a alta temperatura de operação.

* 1976

** a 40°C

A.1 O SISTEMA AUTOMÁTICO DE TESTE UTILIZADO NA SIMULAÇÃO DO A.T.C.

O projeto inicial, não seguro em falha, foi simulado no sistema automático de teste e pesquisa de defeito, 1972 da Gen. Rad..

Este sistema é composto de:

- Subsistema de Controle
- Subsistema de Teste Digital
- Subsistema de Medidas
- Módulos de Estimulo
- Software

A.1.1 - Subsistema de Controle

Este subsistema contém os componentes necessários à preparação e armazenamento de programas, computação, apresentação de resultados e controle de todos os componentes dos outros subsistemas.

É formado de:

- a) Processador e controlador - Digital PDP-8 com 16K de memória.
- b) Teletipo
- c) Leitora de fita de papel
- d) Display alfanumérico
- e) Painel de Controle - Contém os controles e indicadores necessários para teste e pesquisa de defeito.

A.1.2 - Subsistema de Teste Digital

Esta unidade consiste de excitadores e sensores com níveis lógicos programados. O número máximo de terminais que se pode utilizar como excitadores ou sensores é 216.

Dois conjuntos de níveis lógicos podem ser independentemente programados numa faixa de $\pm 30V$, permitindo assim o uso de duas famílias lógicas para cada unidade em teste ou simulação.

A.1.3 - Subsistemas de medidas

Os módulos que compõem este subsistema são controlados pelo processador, sendo utilizados para medir parâmetros da unidade em teste. São medidores de tempo, frequência, resistência corrente e tensão.

A.1.4 - Módulos de estímulo

São módulos necessários a aplicação de sinais na unidade em teste tais como fontes programáveis, gerador de pulso e drive para rele.

A.2 SIMULAÇÃO

A simulação foi feita usando-se a linguagem de alto nível CAPS. O diagrama da figura 1 mostra a seqüência de operações executadas.

A.2.1 -

O primeiro passo é a escolha dos pontos de monitoramento do circuito, podendo-se ter até 216 desses pontos, e constituídos de entradas e saídas ou sinais intermediários do circuito.

A.2.2 - Descrição do circuito

O sistema possui uma biblioteca de integrados a qual se deve recorrer caso os tipos usados constem nela; caso contrário pode-se modelar o integrado e armazená-lo em uma biblioteca destinada ao usuário.

Em seguida é feita a descrição do circuito, discriminando-se o tipo de cada integrado e as ligações de cada pino. Para simplificação deste processo em caso de pontos que estão ligados a vários outros não é preciso na especificação de cada ponto citar todos os outros aos quais ele está conectado, basta unir cada um deles a um nome intermediário.

A descrição do circuito é editada em código ASCII pelo programa EDITOR. Após a edição o arquivo fonte de descrição do circuito é traduzido em formato binário compactado. Durante a tradução o arquivo fonte é testado e se houver erro de sintaxe retorna-se ao EDITOR.

O monitor CAPS inclui uma série de modos e programas. A simulação é feita pelo modo "Prepare". Este modo por sua vez é formado por outros submodos.

O modo N confere as ligações dadas na descrição do circuito, e se os tipos de integrados usados estão modelados na biblioteca do sistema ou biblioteca do usuário; em caso de erro é enviado mensagem através do teletipo e na descrição do circuito estarão desmarcados os pinos ligados incorretamente.

Em seguida são criados arquivos que listam:

- a) Pontos de monitoramento usados, especificados por nome (em ordem alfabética), com informação se é uma saída, entrada ou pode ser entrada ou saída; qual terminal do sistema a que está conectado; a que integrados está conectado, e seus correspondentes pinos.
- b) Listagem dos integrados usados por ordem numérica (o programador deve numerar os integrados que entram na descrição do circuito), informando tipo, indicando as ligações de cada pino se este é uma saída, entrada ou pode ser saída ou entrada, e indicando aqueles que não foram conectados.
- c) Conexões "Wire-and".

A.3 PROGRAMA

No programa os pontos de monitoramento especificados na descrição do circuito são especificados como entrada ou saída. Não é necessário que ao decorrer do programa esta especificação permaneça fixa, pontos especificados inicialmente como saídas podem ser reespecificados como entrada e vice-versa.

Quando se trata de um programa de teste são especificados em cada passo apenas a variação dos estados dos pontos de monitoramento especificados como entradas.

Em caso de simulação de funcionamento de um cartão o programador deve especificar em cada passo de programa a variação das entradas e as respectivas variações que devem ocorrer nas saídas.

O programa de teste ou simulação escrito em linguagem CAPS é editado pelo programa "Editor" e traduzido para linguagem binária compactada pelo "Translator".

Durante a tradução o programa é checado, se foram usados pontos de monitoramento não especificados na descrição do circuito ou não especificados como entrada ou saída no início do programa, ou se pontos especificados como saídas são usados como entrada e vice-versa.

A partir da descrição do circuito e do programa o cartão é simulado pelo modo G do "Prepare". Em cada passo do programa e correspondente aos valores das entradas são especificados os valores das saídas, que são comparados com os valores programados, em casos de discrepância a simulação é abortada e enviada mensagem na teletipo que no passo de programa n° X o terminal n° Y foi determinado alto ou baixo incorretamente.

Na simulação o comportamento dos pinos de todos integrados em cada passo do programa é listado, sendo indicado se o pino assumiu nível lógico 1 ou 0, existência de pulsos ou oscilações entre os passos do programa como também existência de um nível lógico desconhecido X por falta de condição inicial em algum flip-flop.

Para análise mais detalhada do comportamento do circuito, pode-se consultar arquivos onde o comportamento do circuito pode ser registrado a cada 10 nseg.

Os passós de uma simulação qualquer são descritos no fluxograma da figura 1 e o fluxograma da figura 2 indica os passos do programa de simulação do ATC.

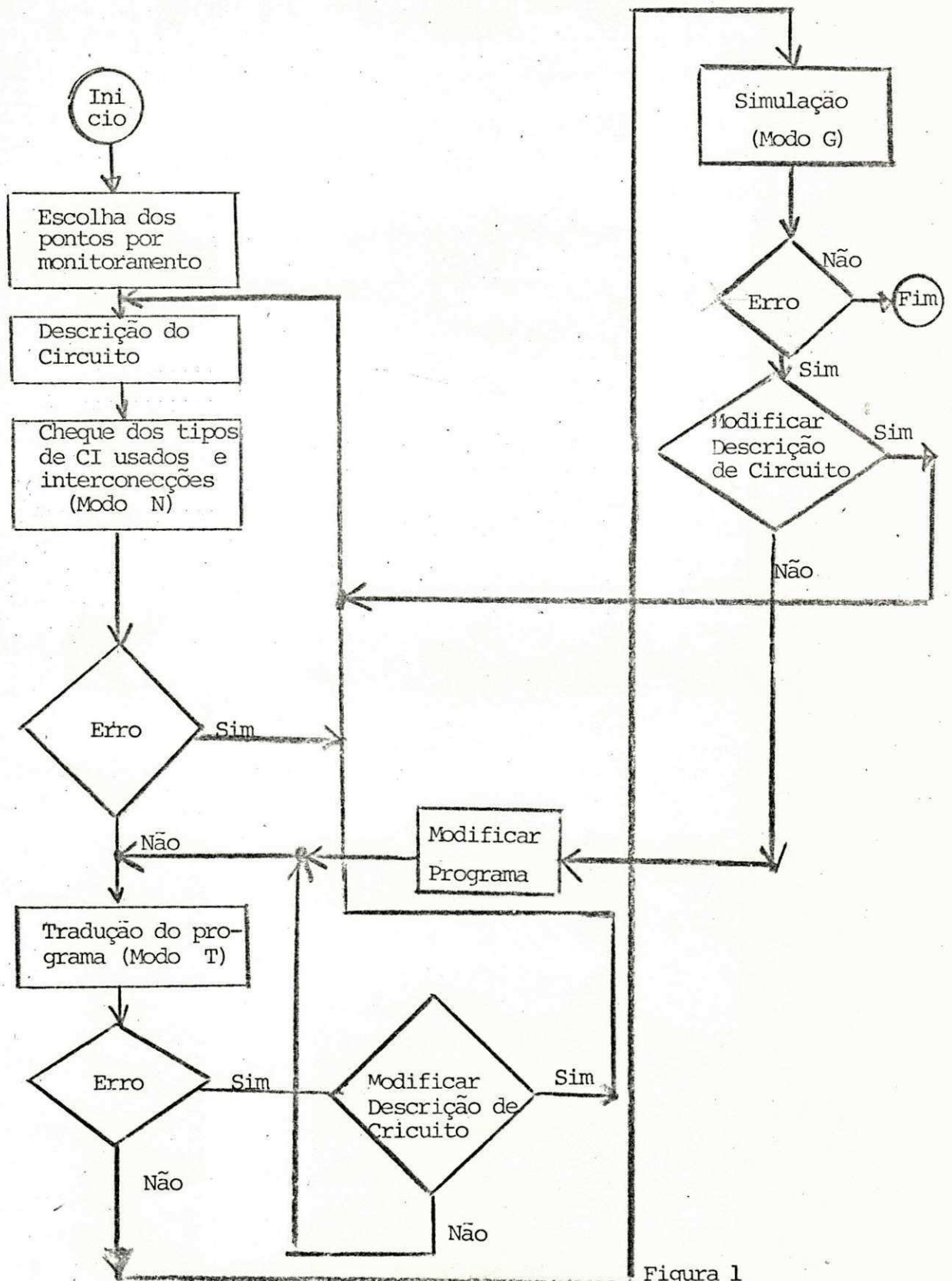
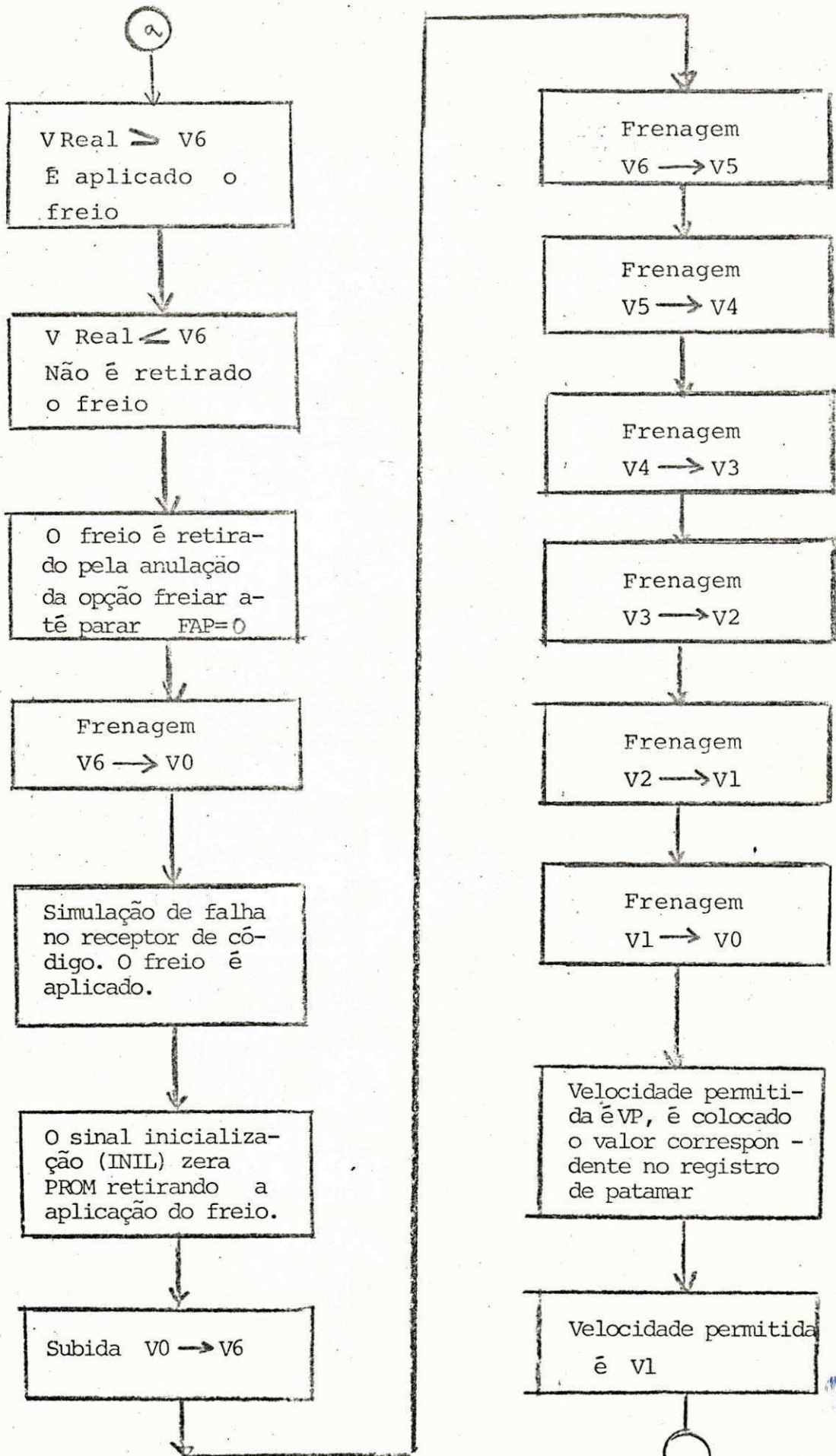


Figura 1



Bibliografia

- 1 - Ferranti Ltd. Wythenshawe
Reliability Prediction
- 2 - Cálculo prático de confiabilidade em sistemas eletrônicos-
Companhia Telefônica Brasileira.
- 3 -Utilização das Normas Mil HDBK-217A para o cálculo de confia-
bilidade de equipamentos eletrônicos - Companhia Telefônica
Brasileira, Departamento Geral de Desenvolvimento.
- 4 -A Practical Approach to Reliability.
R.H. Caplen Business Books
- 5 -Fiabilité des Composants
Texas Instruments Fiance
- 6 -AN 148 Integrated Circuit Reliability
Motorola
- 7 -Component Reliability Failure Data Bears Watching
Lucinda Mattera
Electronics/ 2 de outubro de 1975.
- 8 -Reliability revisited: failure-rate comparisons are given a
second look .
Lucinda Mattera.
Electronics/ 25 de dezembro de 1975
- 9 -Functional Redundancy Assures Greater System Reliability
Ray J. Hughes
Electronics 15 de março de 1973
- 10 -Signetic Reliability Manual
- 11 -Motorola Reliability Report Ref:RIC-1526
- 12 -Signetics 883A Reliability Program
- 13 -The Reliability of Semiconductor Devices in the Bell System,
D. Stewart Peck - Proceedings of the IEEE, fevereiro de 1974

- 14 - Principales Methodes Permettant D'augmenter sa Diabiltè d'un Calculateur, A Esconou - Laboratoire d'Automatique et d'Analyse des Systems. Note T.N.P.E. Toulouse ,março de 1973.
- 15 - Reliability Report. Harris Semiconductor Issue 8, 1 de setembro de 1973.
- 16 - Reliability Analysis of Systems with Concurrent Error Detection, C.V. Romancorthy e Yih-Wu Ham - IEEE Transactions on Computers Vol C-24 nº 9 setembro de 1973.
- 17 - Elements of Semiconductor - Device Reliability G. Gordon Peattie, Jim D. Adams, Samuel L. Connell, Thomas D. George, Michell H. Valek . Proceeding of the IEEE Vol. 62 Nº 2, fevereiro de 1974.
- 18 - Design of Reliable Synchronous Sequential Circuits Dwight H. Sawin - IEEE Transactions on Computers, maio de 1975.
- 19 - URTL Circuit System U1 with High Safety and Automatic Fault Diagnosis Heinz - Jüngen Lohman, Sumens Review XLII (1976) nº 4
- 20 - Design of Fail - Safe Sequential Circuits Using Flip-Flops for Internal Memory, Yorkshire Tohma - IEEE - Transaction on Computers, novembro de 1974.
- 21 - Design of Fail-Safe Control Systems, Jack A Bryant - Power, janeiro de 1976.
- 22 - Technical Diagnostics, Design of Built-in-Self-Checking Monitoring Circuits for Combinational Devices - Automatika i Telemekhanika nº 2, fevereiro de 1974.
- 23 - Partially Self-Checking Circuits and Their Use in Performing Logical Operations John F. Wakerly - IEEE Transactions on Computers, Vol. c-23 nº 7, julho de 1974.

- 24 - Partially Self-Checking Circuits and Their Use in Performing Logical Operations John F. Wakerly - Digital Systems Laboratory Stanford University.
- 25 - Reliability Modeling of Compensating Module Failures in Majority Voted Redundancy, Daniel P. Siewiorek - Transactions on Computeres Vol. C-24 Nº 5, maio de 1975.
- 26 - On-Set Realization of Fail-Safe Sequential Machines, Michel Diaz, Jean Claude Geffray e Marc Couvoisier - IEEE Transactions on Computers Vol. C-23 nº 2, fevereiro de 1974.
- 27 - Realization of Fail-Safe Sequential Machines by Using a K-out-of-n Code, Yorkshiro Tohma, Yaswyashi Ohyama e Ryoza Sakai - IEEE Transactions on Computers, Vol. C-20 nº 11, novembro de 1971.
- 28 - Safe Asynchronous Sequential Circuits Ray S. Wichenham, Gray K Maki - IEEE Transactions on Computers, Vol. C-23 nº 5, maio de 1976.
- 29 - A Fail-Safe Asynchronous Sequential Machine, William W. Patterson e Gernat Metze - IEEE Transactions on Computers Vol. C-23, nº 4, abril de 1974.
- 30 - A note on Sel-Checking Chekers, S.M.Reddy- IEEE Transactions on Computers, outubro de 1974.
- 31 - Design of Totally Self-Checking Check Circuits for n-out-of-n Codes Douglas A. Anderson e Gernat Metze - IEEE Transactions on Computeres Vol. C-22, Nº 3, março de 1973.
- 32 - Cab Signaling & Speed Control for Rapid Transit Systems - Wabco.

- 33 - Sistema integrado de controle de Tráfego e Comunicações - Manual de Operação e instrução - Associadas Mitsui - Sisembra, fevereiro de 1975.
- 34 - Semiconductor Memory Reliability, with Error Detecting and Correcting Codes . Len Levine e Ware Meyers - Computer outubro de 1975.
- 35 - New Error-Correcting Technique for Solid-State Memories Saves Hardware Gary R. Basham - Computer Design, outubro de 1976.
- 36 - Um Microcomputador Autodiagnosticável. Tese de mestrado PUC Rio de Janeiro. Jorge Moreira.