

**UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE CIÊNCIAS E TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA**

TESE DE DOUTORADO

**ESTRATÉGIA GENERALIZADA DE MODULAÇÃO
POR LARGURA DE PULSO PARA INVERSORES
MULTINÍVEIS**

ANTÔNIO SOARES DE OLIVEIRA JÚNIOR

**CAMPINA GRANDE
OUTUBRO 2005**

**ESTRATÉGIA GENERALIZADA DE MODULAÇÃO POR LARGURA DE
PULSO PARA INVERSORES MULTINÍVEIS**

ANTÔNIO SOARES DE OLIVEIRA JÚNIOR

Tese de Doutorado submetida à
Coordenação dos Cursos de Pós-
Graduação em Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para
obtenção do grau de Doutor em Ciências
no Domínio da Engenharia Elétrica.

Área de Concentração: Processamento da
Energia.

Orientador: Edison R. C. da Silva, Dr.

**CAMPINA GRANDE
OUTUBRO 2005**



048e Oliveira Junior, Antonio Soares de
Estrategia generalizada de modulacao por largura de pulso para inversores multiniveis / Antonio Soares de Oliveira Junior. - Campina Grande, 2005.
267 p. : il.

Tese (Doutorado em Engenharia Eletrica) - Universidade Federal de Campina Grande, Centro de Ciencias e Tecnologia.

1. Modulacao PWM Hibrida 2. Inversores Multiniveis 3. Razao de Distribuicao 4. Tese I. Silva, Edison Roberto Cabral da, Dr. II. Universidade Federal de Campina Grande - Campina Grande (PB) III. Título

CDU 621.314.572(043)

**ESTRATÉGIA GENERALIZADA DE MODULAÇÃO POR LARGURA DE PULSO
PARA INVERSORES MULTINÍVEIS**

ANTONIO SOARES DE OLIVEIRA JÚNIOR

Tese Aprovada em 14.10.2005



EDISON ROBERTO CABRAL DA SILVA, Dr.Eng., UFCG
Orientador



JOSÉ ANTENOR POMÍLIO, Dr., UNICAMP
Componente da Banca



CARLOS ALBERTO CANESIN, Dr., UNESP
Componente da Banca



ANTONIO MARCUS NOGUEIRA LIMA, Dr., UFCG
Componente da Banca



CURSINO BRANDÃO JACOBINA, Dr.Eng., UFCG
Componente da Banca

CAMPINA GRANDE – PB
OUTUBRO - 2005

DEDICATÓRIA

Dedico este trabalho aos meus filhos queridos e amores eternos, Lucas, Nicolas, Emerson e Nadine, fontes do meu empenho. Aos meus pais Antônio e Neumann que, com muito amor e dedicação, me ensinaram o que mais ninguém poderia ensinar, a amar a vida e as pessoas. Aos meus irmãos George e André que compartilham comigo todos os momentos da minha jornada. E a minha namorada, Carlione, que sempre estará no meu coração.

AGRADECIMENTOS

Agradeço a DEUS pela minha vida. Ao professor Edison Roberto Cabral da Silva por sua paciência, amizade e valorosa orientação, sem as quais não seria possível a realização deste trabalho. Aos professores: Cursino Brandão Jacobina, Antônio Marcus Nogueira Lima, Talvanes Menezes Oliveira, Maurício Beltrão de Rossiter Corrêa, Alexandre Cunha Oliveira e Marcelo Cabral Cavalcanti pela orientação e ajuda nas horas de dúvidas. Aos amigos e colegas do Laboratório de Eletrônica Industrial e Acionamento de Máquinas Elétricas: Alberto, Isaac, Euzeli, Osglay, Clayton, Reginaldo, Eisenhower, Wellington, Aluizio, Patrickson e Weflen, pelo incentivo e apoio nos momentos difíceis. Aos funcionários da COPELE, em especial à Ângela e ao Pedro, e aos técnicos do LEIAM, Fabrício, Elaine e Tâmisa, pela disposição e colaboração. Finalmente, ao CNPq que proporcionou, em determinado momento, o suporte financeiro para a realização deste trabalho.

RESUMO

Este trabalho apresenta uma estratégia generalizada de modulação por largura de pulso para comandar inversores multiníveis. O método se baseia no fato de que as seqüências de comutação na modulação vetorial são as mesmas daquelas criadas para a modulação senoidal por portadora, quando uma componente de seqüência zero adequada é injetada nos sinais de referência. Uma equação geral para a componente de seqüência zero é fornecida, a qual é uma função da razão de distribuição vetorial e do número de níveis do inversor. O método evita um tratamento complicado na determinação de relações similares para inversores com um número de níveis maior que três. A estratégia também pode ser aplicada para determinar um padrão de comutação que minimize as perdas por comutação. Para testar a estratégia proposta foi montada a estrutura do inversor fonte de tensão de três níveis com diodos de grampeamento. Um processador digital de sinais foi utilizado para geração dos sinais de comando dos dispositivos semicondutores. Adicionalmente, uma estrutura alternativa de inversor de três níveis com número reduzido de componentes é analisada. O objetivo é reduzir as perdas em condução. Resultados experimentais que demonstram a eficiência e a qualidade da estratégia multinível são apresentados.

ABSTRACT

This work proposes a generalized pulse width modulation method for multilevel inverters. The strategy takes advantage of the fact that the Space Vector PWM switching sequences are the same as those created by the Carrier Based PWM, when an adequate zero sequence component is injected into the carrier system references. This work introduces a generalized equation for the zero sequence component, which is a function of a "broad sense" distribution ratio of zero voltage vectors and the number of levels of the inverter. The method dispenses with the complicated derivation of similar relations for inverters with more than three levels. It can also be applied to determine the switching pattern that minimizes the switching losses. The topology of the three level voltage inverter with clamped diodes was set up to test the proposed technique. A digital signal processor was used to generate the command signals for the inverter. In addition, a structure of three level inverter with a reduced number of components is analyzed. The objective is reduce the conduction losses. Experimental results that demonstrate the efficiency and the quality of the multilevel strategy are presented.

LISTA DE SIGLAS E SÍMBOLOS

a, b, c	Fases do inversor trifásico
A/D	Conversor de sinal analógico para digital
BJT	Bipolar junction transistor
BNC	Bayonet network connector.
C_1, C_2	Capacitor superior e inferior do barramento CC
CB-PWM	Carrier based pulse width modulation
CA	Corrente alternada
CC	Corrente contínua
CD	Compact disc
CI	Circuito integrado
D	Setor no diagrama vetorial
DEE	Departamento de engenharia elétrica
DHT	Distorção harmonica total
DSP	Digital signal processor
E	Tensão total do barramento CC
\mathbf{E}_s^e	Vetor de FEM no estator no referencial síncrono
E_{ds}^e, E_{qs}^e	Componentes dq do vetor \mathbf{E}_s^e
Eixo(k)	Valor individual para cada nível do inversor
EUA	Estados Unidos da América

f	Valor final de uma variável
fem	força eletro-motriz
FFT	Fast Fourier Transformed
f_m	Frequência elétrica fundamental
f_s	Frequência elétrica de comutação para a modulação
f_{min}, f_{max}	Faixa de valores para a frequência de comutação na modulação randômica
f_{med}	Frequência de comutação média na modulação randômica
$f_s(g)$	Valor individual de cada frequência de comutação na modulação randômica
g	Número de cada frequência de comutação na modulação randômica ($g = 1, \dots, k_t$)
IFT	Inversor fonte de tensão
IGCT	Integrated gate controlled thyristor
GTO	Gate turn-off thyristor
HV-IGBT	High voltage insulated gate bipolar transistor
i	Valor inicial de uma variável ou Região no diagrama vetorial ($i = 1, \dots, 6$)
i_a, i_b, i_c	Correntes de fase na saída do inversor
I_{ef}	Corrente eficaz por fase
$i_s^e(t)$	Corrente real no estator no referencial síncrono
$i_s^{e*}(t)$	Corrente de referência no estator no referencial síncrono
I_{max}	Corrente máxima suportada pelo barramento CC
I_x	Corrente máxima por fase
\mathbf{I}_s	Vetor de corrente no estator do MI
I_{ds}, I_{qs}	Componentes dq do vetor \mathbf{I}_s
\mathbf{I}_r'	Vetor de corrente no rotor referido ao estator do MI
I_{dr}', I_{qr}'	Componentes dq do vetor \mathbf{I}_r'
IGBT	Insulated gate bipolar transistor

- j Unidade imaginária ($\sqrt{-1}$)
- k Número do nível do inversor ($k = 1, \dots, N$)
- k_x Estado de condução ($k_x = 1$) ou bloqueio ($k_x = 0$) dos dispositivos semicondutores para cada fase
- k_p, k_i Ganhos do controlador PI contínuo
- k_s, k_d Ganhos do controlador PI discreto
- k_t Quantidade total de valores distintos para a frequência de comutação na modulação randômica
- L_s Indutância do estator do MI ($L_s = L_{ls} + L_m$)
- L_r' Indutância do rotor referida ao estator do MI ($L_r' = L_{lr}' + L_m$)
- L_{ls} Indutância de dispersão do estator do MI
- L_{lr}' Indutância de dispersão do rotor referida ao estator do MI
- L_m Indutância de magnetização
- LEIAM Laboratório de eletrônica industrial e acionamento de máquinas
- m Índice de modulação senoidal ($0 \leq m \leq 1$)
- MI Motor de indução
- mJ 10^{-3} Joule – Unidade de medida de energia
- MOSFET Metal oxide semiconductor field effect transistor
- n Ponto neutro do lado CA da carga
- nv Número total de vetores
- N Número de níveis do inversor
- NPC Neutral point clamped
- o Ponto central do barramento CC do lado do inversor
- P Número de pólos do rotor
- p_a, p_b, p_c Diferença entre um nível CC e as tensões v_a, v_b, v_c
- p_a^*, p_b^*, p_c^* Valores modificados de p_a, p_b, p_c
- p_g Probabilidade individual para cada valor de frequência na modulação randômica
- p_{max} Maior valor instantâneo dentre p_a, p_b, p_c
- p_{min} Menor valor instantâneo dentre p_a, p_b, p_c

PI	Controlador proporcional mais integral
PID	Controlador proporcional mais integral mais derivativo
PWM	Pulse width modulation
q	Índice dos vetores espaciais ($q = 1, \dots, nv$)
RAM	Read access memory
<i>rms</i>	Root Mean Square ou valor eficaz de um sinal
ROM	Read only memory
R_s	Resistência do estator do MI
R_r'	Resistência do rotor referida ao estator do MI
SCR	Silicon controlled rectifier
SSZ	Sinal de sequência zero
SV-PWM	Space vector pulse width modulation
$S_{x1}, S_{x2}, S_{x3}, S_{x4}$	Chaves do inversor para cada terminal x
t	Tempo para atualização das variáveis
t_a	Tempo para amostragem dos sinais dos conversores A/D
t_q	Tempo de aplicação dos vetores \mathbf{V}_q
T_e	Torque eletromagnético desenvolvido no MI
TI	Texas Instruments
T_s	Período da modulação
T_a, T_b, T_c	Tempo em que as chaves do inversor permanecem desligadas, obtidos com v_a, v_b, v_c
T_a^*, T_b^*, T_c^*	Tempo em que as chaves do inversor permanecem desligadas, obtidos com v_a^*, v_b^*, v_c^*
T_1^*, T_2^*, T_3^*	Tempo em que as chaves do inversor permanecem ligadas, obtidos com v_a^*, v_b^*, v_c^*
T_{max}	Maior valor instantâneo dentre T_a, T_b, T_c
T_{min}	Menor valor instantâneo dentre T_a, T_b, T_c
THD	Total harmonic distortion
UCP	Unidade central de processamento
UFMG	Universidade Federal de Campina Grande

UPS	Uninterruptible power systems
v_a, v_b, v_c	Tensões senoidais de referência para modulação
v_a^*, v_b^*, v_c^*	Tensões modificadas de referência para modulação
v_{ao}, v_{bo}, v_{co}	Tensões de pólo na saída do inversor
V_{ao}, V_{bo}, V_{co}	Tensões instantâneas de pólo na saída do inversor
v_{an}, v_{bn}, v_{cn}	Tensões de fase na saída do inversor
v_{ab}, v_{bc}, v_{ca}	Tensões de linha na saída do inversor
v_{no}	Tensão de modo comum
v_h	Tensão de sequência zero
$v_s^{e*}(t)$	Tensão de referência no estator no referencial síncrono
\mathbf{V}_q	Vetores espaciais de tensão no eixo dq
\mathbf{V}_s	Vetor tensão de referência no eixo dq
	Vetor de tensão no estator do MI
V_{sd}, V_{sq}	Componentes dq do vetor \mathbf{V}_s (vetor tensão de referência)
V_{ds}, V_{qs}	Componentes dq do vetor \mathbf{V}_s (vetor tensão no estator do MI)
\mathbf{V}_i	Vetor utilizado para deslocar o vetor \mathbf{V}_s
V_{id}, V_{iq}	Componentes dq do vetor \mathbf{V}_i
\mathbf{V}_M	Vetor tensão de referência deslocado
V_{Md}, V_{Mq}	Componentes dq do vetor \mathbf{V}_M
v_{t1}, v_{t2}	Portadoras triangulares para modulação CB-PWM
V_p	Valor máximo das tensões v_a, v_b, v_c
V_{max}	Maior valor instantâneo dentre as tensões v_a, v_b, v_c
V_{min}	Menor valor instantâneo dentre as tensões v_a, v_b, v_c
\mathbf{V}_r'	Vetor de tensão no rotor referido ao estator do MI
V_{dr}', V_{qr}'	Componentes dq do vetor \mathbf{V}_r'
VSI	Voltage source inverter
w	Velocidade angular no sistema de referência arbitrário em relação ao estator do MI
w_e	Velocidade angular no sistema de referência síncrono
w_r	Velocidade angular do rotor do MI

W	Watts – Unidade de medida de potência
WTHD	Distorção harmônica total ponderada
x	Representa os terminais a , b ou c do inversor
y	Equivale a 1, 2 ou 3
Y	Ligação estrela para as bobinas do MI
τ_h	Valor na escala de tempo equivalente a ν_h
θ	Posição angular dos sinais de tensão e corrente do inversor
ϕ	Defasagem angular entre a tensão e a corrente na saída do inversor
μ	Razão de distribuição vetorial ($0 \leq \mu \leq 1$)
λ_s	Vetor de fluxo eletromagnético no estator do MI
$\lambda_{ds}, \lambda_{qs}$	Componentes dq do vetor λ_s
λ_r'	Vetor de fluxo eletromagnético no rotor referido ao estator do MI
$\lambda_{dr}', \lambda_{qr}'$	Componentes dq do vetor λ_r'
$\Delta i_s^e(t)$	Erro de corrente no estator no referencial síncrono
$\frac{d}{dt}$	Derivada em relação ao tempo

LISTA DE FIGURAS

1.1 Inversor trifásico do tipo fonte de tensão	1
1.2 Inversor de tensão trifásico de três níveis com diodos de grampeamento	2
1.3 Inversor multinível com transformadores. (a) Diagrama de blocos. (b) Conexões dos transformadores. (c) Forma de onda da tensão de saída	8
1.4 Inversor trifásico de três níveis do tipo em cascata com fontes CC separadas	9
1.5 Uma fase de uma estrutura generalizada de inversor multinível	10
1.6 Inversor trifásico de três níveis com capacitores flutuantes	10
2.1 Inversor trifásico de dois níveis. (a) Circuito elétrico. (b) Tensão de Pólo. (c) Tensão entre fases. (d) Tensão entre fase e neutro da carga	30
2.2 Inversor trifásico de três níveis com diodos de grampeamento. (a) Circuito elétrico. (b) Tensão de Pólo. (c) Tensão entre fases. (d) Tensão entre fase e neutro da carga	34
2.3 Inversor trifásico de quatro níveis com diodos de grampeamento	37
2.4 Inversor trifásico de três níveis com capacitores flutuantes	39
2.5 Um braço do inversor trifásico de cinco níveis com capacitores flutuantes	40
2.6 Inversor trifásico de três níveis do tipo em cascata com fontes CC separadas	41
2.7 Um braço do inversor trifásico de sete níveis do tipo em cascata com fontes CC separadas	43
2.8 Inversor trifásico de três níveis com interruptores conectados ao ponto central do barramento CC	45

2.9 Opções de células com dispositivos semicondutores	45
2.10 Modos de operação para um braço do inversor NRC. (a) Inversor sem operação. (b) $v_{xo} = E/2$. (c) $v_{xo} = 0$. (d) $v_{xo} = -E/2$	47
2.11 Comando dos interruptores em um braço do inversor NRC. (a) Semi-ciclo positivo dos sinais de referência. (b) Semi-ciclo negativo dos sinais de referência	47
2.12 Interface digital para os sinais de comando dos interruptores para um braço do inversor de três níveis com número reduzido de componentes	48
2.13 Modo de operação normal do inversor NRC	50
2.14 Modo de operação do inversor NRC na ocorrência de uma falha em S_{a1} ou S_{a2}	51
2.15 Modo de operação do inversor NRC na ocorrência de uma falha em S_{a3} ou S_{a4}	51
3.1 Modulação por comparação com portadora triangular	54
3.2 Pulsos de comando dos interruptores do inversor de 2 níveis com modulação por portadora	54
3.3 PWM com frequência de comutação randômica	56
3.4 Diagrama vetorial do inversor de 2 níveis com modulação vetorial	59
3.5 Pulsos de comando dos interruptores do inversor de 2 níveis com modulação vetorial	59
3.6 Região 1 do diagrama vetorial do inversor de 2 níveis	63
3.7 Diagrama vetorial do inversor de 2 níveis: sobremodulação senoidal	64
3.8 Pulsos de comando dos interruptores do inversor de 2 níveis com modulação vetorial: conceito de razão de distribuição vetorial ' μ '	66
3.9 Quatro Variações de ' μ ' para as técnicas de modulação descontínua. (a) Variação 1. (b) Variação 2. (c) Variação 3. (d) Variação 4	67
3.10 Pulsos de comando dos interruptores do inversor de 2 níveis: adição de um sinal de seqüência zero v_h aos sinais de referência senoidais v_a, v_b, v_c	69
3.11 Pulsos de comando dos interruptores do inversor de 3 níveis com modulação por portadora	70

3.12 Circuito equivalente simplificado de um motor de indução para análise da distorção harmônica	73
3.13 Espectro de frequências da forma de onda PWM da tensão de linha em inversores trifásicos	76
4.1 Níveis de tensão nos inversores. (a) $N = 2$. (b) $N = 3$. (c) $N = 4$. (d) $N = 5$	79
4.2 Diagrama vetorial do inversor de 3 níveis	80
4.3 Pulsos de comando para o inversor de 3 níveis	83
4.4 Definição de p_a , p_b e p_c em um inversor de 3 níveis	87
4.5 Inversor trifásico de quatro níveis com diodos de grampeamento	88
4.6 Diagrama vetorial do inversor de 4 níveis	88
4.7 Pulsos de comando para o inversor de 4 níveis	93
4.8 Definição de p_a , p_b e p_c em um inversor de 4 níveis	97
4.9 Diagrama vetorial geral para inversores multiníveis	98
4.10 Redução do diagrama vetorial de um inversor de 5 para 2 níveis	99
4.11 Definição de p_a , p_b e p_c em um inversor de 2 níveis	103
4.12 Pulso de comando para um inversor de N níveis	104
4.13 Passos 1 a 4 do algoritmo em C++ para a técnica de modulação multinível proposta	107
4.14 Passos 5 e 6 do algoritmo em C++ para a técnica de modulação multinível proposta	107
5.1 Resultados de simulação: tensão de fase nos inversores multiníveis, $f_s =$ 10,05 kHz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	113
5.2 Resultados de simulação: corrente na fase nos inversores multiníveis, $f_s =$ 750 Hz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	114
5.3 Resultados de simulação: FFT da tensão de linha nos inversores multiníveis, $f_s = 750$ Hz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	115
5.4 Resultados de simulação: FFT da tensão de linha nos inversores multiníveis, $f_s = 10,05$ kHz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	116

5.5 Resultados de simulação: evolução no valor de WTHD da tensão de linha nos inversores de tensão <i>versus</i> níveis do inversor, $\mu = 0,5$. (a) $f_s = 750$ Hz. (b) $f_s = 10,05$ kHz	117
5.6 Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	119
5.7 Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu = 0$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	120
5.8 Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu =$ Variação 1. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	121
5.9 Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu =$ Variação 4. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis	122
5.10 Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis <i>versus</i> índice de modulação, para diferentes valores de ' μ '	124
5.11 Resultados de simulação: FFT da tensão de linha nos inversores $f_s = 10,05$ kHz. (a) 2 níveis com $v_h = 0$. (b) 2 níveis com $\mu = 0,5$. (c) 3 níveis com $v_h = 0$. (d) 3 níveis com $\mu = 0,5$	124
5.12 Resultados de simulação: FFT da tensão de linha no inversor de três níveis, $f_s = 750$ Hz, $\mu = 0,5$. (a) Com $N = 3$. (b) Com $N = 2$	126
5.13 Resultados de simulação: FFT da tensão de linha no inversor de três níveis, $f_s = 10,05$ kHz, $\mu = 0,5$. (a) Com $N = 3$. (b) Com $N = 2$	126
5.14 Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de seqüência zero (v_h). (b) Tensão de referência modificada (v_a^*)	129

5.15 Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de pólo. (b) Tensão de linha	129
5.16 Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de fase. (b) Corrente na fase	129
5.17 Tensão de pólo para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div)	131
5.18 Tensão de linha para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div)	131
5.19 Tensão de fase para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div)	132
5.20 Corrente na fase para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (2 A/div, 5 ms/div)	132
5.21 FFT da tensão de linha para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental	132
5.22 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu = 0,5$. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div)	133
5.23 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu = 0,5$. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	133
5.24 Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 4350$ Hz. (a) $v_h = 0$. (b) $\mu = 0,5$	135
5.25 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ Variação 4. (a) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div)	135

5.26 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ Variação 4. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	135
5.27 Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 4350$ Hz. (a) $\mu = 0,5$. (b) $\mu =$ Variação 4	136
5.28 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ 0,5. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div)	137
5.29 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ 0,5. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div)	137
5.30 Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 10050$ Hz. (a) $v_h = 0$. (b) $\mu = 0,5$	138
5.31 Resultados experimentais com inversor de três níveis para corrente na fase no motor de indução acionando um gerador CC (2 A/div, 5 ms/div), $\mu = 0,5$. (a) $f_s = 1050$ Hz. (b) $f_s = 10050$ Hz	139
5.32 Resultados experimentais para corrente na fase no inversor de três níveis com controlador PI de corrente. (a) $f_m = 30$ Hz. (b) $f_m = 30$ Hz com degrau de corrente. (c) $f_m = 50$ Hz	141
5.33 Resultados experimentais para a modulação randômica com inversor de três níveis, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div)	142
5.34 Resultados experimentais para a modulação randômica com inversor de três níveis, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div)	143
5.35 Resultados experimentais para FFT da tensão de linha no inversor de três níveis. (a) f_s fixa, 4350 Hz. (b) f_s randômica, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz	144

5.36 Resultados experimentais para FFT da tensão de linha no inversor de três níveis. (a) f_s fixa, 10050 Hz. (b) f_s randômica, $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz	145
5.37 Resultados experimentais para FFT da tensão de linha no inversor de três níveis com controlador PI de corrente (5 dB/div, 2 ms/div). (a) f_s fixa, 10050 Hz. (b) f_s randômica, $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz	146
5.38 Resultados experimentais com inversor de três níveis NRC, $f_s = 4350$ Hz, $\mu = 0,5$. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div)	147
5.39 Resultados experimentais com inversor de três níveis NRC, $f_s = 4350$ Hz, $\mu = 0,5$. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	147
5.40 Resultado experimental para FFT da tensão de linha no inversor de três níveis NRC, $f_s = 4350$ Hz, $m_f = 87$, $\mu = 0,5$	148
5.41 Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis <i>versus</i> índice de modulação, $f_s = 750$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.	151
5.42 Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis <i>versus</i> índice de modulação, $f_s = 4350$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.	151
5.43 Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis <i>versus</i> índice de modulação, $f_s = 10050$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.	151
6.1 Diagrama vetorial do inversor de 3 níveis	154
6.2 Correntes nos capacitores CC no inversor de três níveis. (a) Grupo Z. (b) Grupo L	155
6.3 Correntes nos capacitores CC no inversor de três níveis. (a) e (b) Grupo S	155
6.4 Correntes nos capacitores CC no inversor de três níveis. Grupo M	155
6.5 Vetores espaciais em um período da modulação no inversor de 3 níveis	156

6.6 Tempos dos vetores espaciais no inversor de três níveis. (a) $t_1^i = 0$ ($\mu = 1$). (b) $t_1^f = 0$ ($\mu = 0$)	158
6.7 Tensão no ponto central dos capacitores no inversor de três níveis para ‘ μ ’ fixo (simulação)	159
6.8 Tempos dos vetores espaciais no inversor de três níveis, $t_1^i = t_1/2$ e $t_1^f = t_1/2$ ($\mu = 0,5$)	159
6.9 Tensão no ponto central dos capacitores no inversor de três níveis para ‘ μ ’ variável (simulação)	160
6.10 Diagrama de blocos do controlador liga-desliga	161
6.11 Diagrama de blocos da estratégia de modulação proposta com controle em malha fechada das tensões do barramento CC para o inversor de três níveis ..	162
6.12 Tempos dos vetores para uma região qualquer do diagrama vetorial no inversor de três níveis	163
6.13 Novos tempos para os vetores espaciais no inversor de três níveis	169
6.14 Controle das tensões nos capacitores CC com interruptores auxiliares no inversor de três níveis	171
6.15 Controle das tensões nos capacitores CC com dupla ponte retificadora no inversor de três níveis	171
6.16 Resultados de simulação com inversor de três níveis: controlador liga- desliga com o Método 1. (a) Valor de ‘ μ ’. (b) Tensões nos capacitores CC ...	172
6.17 Resultados de simulação com inversor de três níveis: controlador liga- desliga com o Método 2. (a) Valor de ‘ μ ’. (b) Tensões nos capacitores CC ...	173
6.18 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2$ $= 4400$ μ F, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	175
6.19 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2$ $= 4400$ μ F, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	175

6.20 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	177
6.21 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div). (c) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div) ...	178
6.22 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 660$ μ F, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	179
6.23 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 660$ μ F, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	179
6.24 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 660$ μ F, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	181
6.25 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 660$ μ F, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	181
6.26 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $R_1 = 0$, $R_2 = 22$ k Ω , $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	182
6.27 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $R_1 = 0$, $R_2 = 22$ k Ω , $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	183

6.28 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,4$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div)	184
6.29 Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,4$, $\mu =$ Variação 4. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div)	184
6.30 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,4$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div)	185
6.31 Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,4$, $\mu =$ Variação 4. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div). (c) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div)	186
6.32 Resultados experimentais com inversor de três níveis para tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div), $f_s = 3750$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,9$, $\mu = 0$ ou 1, considerando o ângulo de fase	187
6.33 Resultados experimentais com inversor de três níveis para o Método 1 de controle em malha fechada das tensões CC, $f_s = 750$ Hz, $\mu = 0$ ou 1. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	189
6.34 Resultados experimentais com inversor de três níveis para tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div) utilizando o Método 1 de controle em malha fechada das tensões CC, $f_s = 750$ Hz, $\mu = 0$ ou 1. (a) $V_{C1} > V_{C2}$. (b) $V_{C1} < V_{C2}$	190
6.35 Resultados experimentais com inversor de três níveis para o Método 2 de controle em malha fechada das tensões CC, $f_s = 750$ Hz, $\mu = 0$ ou 1. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div)	192

7.1 Um braço do inversor de (a) 2 níveis, (b) 3 níveis e (c) 3 níveis NRC	203
7.2 Pulsos de comando dos interruptores em um período dos sinais de referência senoidais para um braço do inversor de (a) 2 níveis, (b) 3 níveis e (c) 3 níveis NRC	203
7.3 Estado da variável ‘a’ em um período da frequência de modulação, $f_m = 50$ Hz, $\mu = 0,5$. (a) Inversor de dois níveis. (b) Inversor de três níveis	205
7.4 Resultados de simulação para as perdas em condução nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4	209
7.5 Resultados de simulação para as perdas por comutação nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4	209
7.6 Resultados de simulação para as perdas totais nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4	210
7.7 Resultados de simulação para as perdas em condução nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz	213
7.8 Resultados de simulação para as perdas por comutação nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz	213
7.9 Resultados de simulação para as perdas totais nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz	213
7.10 Resultado de simulação: evolução no valor de WTHD da tensão de linha nos inversores de dois e três níveis, $f_m = 50$ Hz, $f_{s\ min} = 0,75$ kHz, $f_{s\ max} = 17,55$ kHz, $m_f = f_s/f_m$, $\mu = 0,5$	216
7.11 Resultados de simulação com inversor de dois níveis, $f_s = 10,35$ kHz, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase	218
7.12 Resultados de simulação com inversor de três níveis, $f_s = 4,35$ kHz, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase	218
7.13 Resultados de simulação com inversor de três níveis NRC, $f_s = 4,35$ kHz, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase	218
A.1 Tela principal e de entrada de dados para o programa de simulação	248
A.2 Tela de entrada de dados - módulo para a carga RL trifásica	248

A.3 Tela de entrada de dados - módulo para o motor de indução	249
A.4 Tela de entrada de dados - módulo de progresso da simulação	249
A.5 (a) Tela para visualização dos gráficos. (b) Tela para formatação dos gráficos	250
A.6 Algoritmo para cálculo da FFT	251
A.7 Tela para visualização da FFT de um sinal	251
B.1 Diagrama esquemático da montagem experimental do inversor de três níveis	253
B.2 Vista frontal da montagem experimental para o inversor de três níveis	253
B.3 Motor de indução trifásico, gerador CC e carga resistiva utilizados como carga para o inversor	254
B.4 Fluxograma simplificado do algoritmo de comando do DSP	257
B.5 Fluxograma do algoritmo de comando do DSP sem controle de corrente	257
B.6 Fluxograma do algoritmo de comando do DSP com controle de corrente	258
B.7 Relação no tempo entre os módulos do algoritmo de comando	259
B.8 Diagrama elétrico do circuito <i>Driver</i> -DSP	261
B.9 Diagrama elétrico do circuito DSP- <i>Driver</i>	261
B.10 Um braço do inversor de (a) Dois níveis e (b) Três níveis	262
B.11 Inclusão do tempo morto nos sinais de PWM em 2 níveis	262
B.12 Inclusão do tempo morto nos sinais de PWM em 3 níveis. (a) Semi-ciclo Positivo dos sinais de referência. (b) Semi-ciclo Negativo dos sinais de referência	263
B.13 Sinais de PWM para S_{a1} e S_{a2} . (a) Sem tempo morto. (b) Com tempo morto (2,4 μ s)	264
C.1 Diagrama de blocos do controlador PI de corrente	267

LISTA DE TABELAS

2.1 Estados dos interruptores para um inversor trifásico de dois níveis	30
2.2 Tensões de saída para um inversor trifásico de dois níveis	33
2.3 Estados dos interruptores para um inversor trifásico de três níveis com diodos de grampeamento	35
2.4 Tensões de saída para um inversor trifásico de três níveis com diodos de grampeamento	36
2.5 Estados dos interruptores para um inversor trifásico de três níveis com capacitores flutuantes	39
2.6 Estados dos interruptores para um inversor trifásico de três níveis com fontes CC separadas	41
2.7 Estados dos interruptores para um braço de um módulo do inversor de três níveis com fontes CC separadas	41
3.1 Vetores espaciais de tensão para um inversor trifásico de dois níveis	58
4.1 Vetores V_i para redução do diagrama vetorial de um inversor de três para dois níveis	81
4.2 Vetores espaciais de tensão para inversores de três níveis	82
4.3 Vetores V_i para redução do diagrama vetorial de um inversor de quatro para três níveis	89
4.4 Vetores espaciais de tensão para inversores de quatro níveis	90
5.1 Valores de WTHD para inversores de 2, 3, 5 e 9 níveis	118

5.2 Parâmetros do motor de indução trifásico	137
6.1 Exemplo de um ciclo de carga dos capacitores CC em um período de modulação	157
7.1 Estados dos dispositivos no inversor de dois níveis	204
7.2 Estados dos dispositivos no inversor de três níveis	204
7.3 Estados dos dispositivos no inversor de três níveis NRC	204
7.4 Parâmetros para cálculo das perdas nos inversores de dois e três níveis:	
Teste 1	208
7.5 Parâmetros para cálculo das perdas nos inversores de dois e três níveis:	
Teste 2	208
7.6 Parâmetros para cálculo das perdas nos inversores de dois e três níveis:	
Teste 3	208
7.7 Parâmetros para cálculo das perdas nos inversores de dois e três níveis:	
Teste 4	208
7.8 Perdas nos inversores de dois e três níveis: Teste 8, $I_{\max} = 10 \text{ A}$	217
7.9 Perdas nos inversores de dois e três níveis: Teste 8, $I_{\max} = 100 \text{ A}$	217
7.10 Custo final das topologias de inversores de dois e três níveis	219
B.1 Algumas funções implementadas em DSPs	256
B.2 Componentes do módulo retificador	260
B.3 Componentes do módulo inversor	260
B.4 Componentes do módulo motor de indução, gerador CC e carga resistiva	260

SUMÁRIO

Capítulo 1 – Introdução	1
1.1 Considerações Preliminares	1
1.2 Justificativas e Relevância da Tese	3
1.3 Objetivos da Tese	6
1.4 Revisão Bibliográfica	7
1.4.1 Topologias de Inversores de Tensão Multiníveis	7
1.4.2 Estratégias de Modulação para Inversores de Tensão	13
1.4.3 Utilização do Conceito de Razão de Distribuição Vetorial	20
1.4.4 Comando de Inversores de Tensão Utilizando DSPs	22
1.5 Contribuições da Tese	25
1.6 Resumo dos Capítulos	27
Capítulo 2 – Topologias de Inversores Multiníveis	29
2.1 Introdução	29
2.2 Inversores Convencionais de Dois Níveis	30
2.3 Inversor Multinível com Diodos de Grampeamento	34
2.4 Inversor Multinível com Capacitores Flutuantes	38
2.5 Inversor Multinível em Cascata com Fontes CC Separadas	40
2.6 Inversor de Três níveis com Número Reduzido de Componentes	44
2.7 Conclusões	52

Capítulo 3 – Técnicas de Modulação para Inversores	53
3.1 Introdução	53
3.2 Modulação por Comparação com Portadora	53
3.3 Modulação Randômica	55
3.4 Modulação Vetorial	57
3.4.1 Conceito de Índice de Modulação	62
3.4.2 Conceito de Razão de Distribuição Vetorial	65
3.5 Modulação Híbrida	67
3.6 Modulação em Inversores Multiníveis	70
3.7 Parâmetro de Desempenho	72
3.8 Conclusões	76
Capítulo 4 – Técnica de Modulação Multinível Proposta	78
4.1 Introdução	78
4.2 Desenvolvimento Matemático	78
4.2.1 Inversores de Três Níveis	80
4.2.2 Inversores de Quatro Níveis	87
4.2.3 Generalização do Método para Inversores de N níveis	97
4.2.4 Algoritmo Final	105
4.3 Utilização da Estratégia Proposta na Escala de Tempo	108
4.4 Conclusões	110
Capítulo 5 – Resultados de Simulação e Experimentais	111
5.1 Introdução	111
5.2 Resultados de Simulação	112
5.2.1 Teste de simulação 1: sinais obtidos com os inversores multiníveis	113
5.2.2 Teste de simulação 2: evolução no valor de WTHD para inversores multiníveis	117
5.2.3 Teste de simulação 3: sinais de referência com valores diferentes de μ	118

5.2.4	Teste de simulação 4: inversor de 3 níveis modulado com sinais distorcidos para 2 níveis	125
5.2.5	Teste de simulação 5: sinais obtidos com o inversor de três níveis com número reduzido de componentes	127
5.3	Resultados Experimentais	130
5.3.1	Teste experimental 1: inversor de 3 níveis alimentando uma carga RL com $f_s = 750$ Hz	130
5.3.2	Teste experimental 2: inversor de 3 níveis alimentando uma carga RL com $f_s = 4350$ Hz	133
5.3.3	Teste experimental 3: sinais de referência com valores diferentes de μ	134
5.3.4	Teste experimental 4: inversor de 3 níveis alimentando um motor de indução com $f_s = 4350$ Hz, a vazio e sem controle de corrente	136
5.3.5	Teste experimental 5: inversor de 3 níveis alimentando um motor de indução com $f_s = 10050$ Hz, a vazio e sem controle de corrente	138
5.3.6	Teste experimental 6: inversor de 3 níveis alimentando um motor de indução com carga e sem controle de corrente	139
5.3.7	Teste experimental 7: inversor de 3 níveis alimentando um motor de indução a vazio e com controle de corrente	140
5.3.8	Teste experimental 8: inversor de 3 níveis alimentando um motor de indução a vazio e com frequência de comutação randômica	142
5.3.9	Teste experimental 9: inversor de 3 níveis alimentando um motor de indução a vazio, com frequência de comutação randômica e com controle de corrente	145
5.3.10	Teste experimental 10: sinais obtidos com o inversor de três níveis com número reduzido de componentes	146
5.4	Análise Comparativa da Técnica de Modulação Proposta	148
5.5	Conclusões	152

Capítulo 6 – Tensões nos Capacitores do Barramento CC nos Inversores de Três Níveis	153
6.1 Introdução	153
6.2 Análise das Tensões nos Capacitores do Barramento CC	153
6.3 Controle em Malha Fechada das Tensões nos Capacitores do Barramento CC	160
6.4 Relação entre os Tempos de Aplicação dos Vetores Espaciais e os Pulsos de Comando dos Interruptores	162
6.4.1 Caso 1: $\mu = 1$	163
6.4.2 Caso 2: $\mu = 0$	164
6.4.3 Caso 3: $\mu = 0,5$	164
6.5 Modificação da Técnica de Modulação Proposta para Controle das Tensões nos Capacitores CC	165
6.5.1 Caso 1: $\mu = 1$	167
6.5.2 Caso 2: $\mu = 0$	167
6.5.3 Caso 3: $\mu = 0,5$	168
6.6 Equalização das Tensões nos Capacitores CC Através de Circuitos Auxiliares	170
6.7 Resultados de Simulação	171
6.7.1 Teste de simulação 1: Método 1 de controle das tensões CC em malha fechada com controlador liga-desliga	172
6.7.2 Teste de simulação 2: Método 2 de controle das tensões CC em malha fechada com controlador liga-desliga	173
6.8 Resultados Experimentais	174
6.8.1 Teste experimental 1: tensões nos capacitores CC para frequência de comutação de 750 Hz e capacitores de 4400 μF	174
6.8.2 Teste experimental 2: tensões nos capacitores CC para frequência de comutação de 4350 Hz e capacitores de 4400 μF	176

6.8.3	Teste experimental 3: tensões nos capacitores CC para frequência de comutação de 750 Hz e capacitores de 660 μ F	178
6.8.4	Teste experimental 4: tensões nos capacitores CC para frequência de comutação de 4350 Hz e capacitores de 660 μ F	180
6.8.5	Teste experimental 5: tensões nos capacitores CC para frequência de comutação de 750 Hz e inclusão de resistor de 22 k Ω em paralelo com C_2	182
6.8.6	Teste experimental 6: tensões nos capacitores CC para frequência de comutação de 750 Hz e índice de modulação pequeno	183
6.8.7	Teste experimental 7: tensões nos capacitores CC para frequência de comutação de 4350 Hz e índice de modulação pequeno	185
6.8.8	Teste experimental 8: tensões nos capacitores CC para o inversor acionando um motor de indução com carga	186
6.8.9	Teste experimental 9: Método 1 de controle das tensões CC em malha fechada com controlador liga-desliga	188
6.8.10	Teste experimental 10: Método 2 de controle das tensões CC em malha fechada com controlador liga-desliga	190
6.9	Conclusões	193
 Capítulo 7 – Análise das Perdas nos Inversores de Dois e Três Níveis		195
7.1	Introdução	195
7.2	Metodologia de Análise das Perdas	196
7.3	Redução das Perdas por Comutação	200
7.4	Análise Comparativa das Perdas nos Inversores de Dois e Três Níveis	202
7.4.1	Inversor de três níveis com diodos de grampeamento <i>versus</i> inversor de dois níveis	205
7.4.2	Inversor de três níveis com diodos de grampeamento <i>versus</i> inversor de três níveis com número reduzido de componentes	206
7.5	Resultados de Simulação	207

7.5.1 Teste de simulação 1: perdas nos inversores de dois e três níveis modulados com diferentes sinais de referência	207
7.5.2 Teste de simulação 2: perdas nos inversores de dois e três níveis em função da potência de saída	212
7.6 Estudo Comparativo dos Inversores de Dois e Três Níveis	215
7.7 Conclusões	220
Capítulo 8 – Conclusões e Trabalhos Futuros	222
8.1 Conclusões	222
8.2 Propostas de Trabalhos Futuros	225
Referências Bibliográficas	227
Apêndice A – Software para Simulação em Inversores Fonte de Tensão	247
Apêndice B – Montagem Experimental do Inversor de Três Níveis	252
Apêndice C – Controlador PI de Corrente	265

CAPÍTULO 1

INTRODUÇÃO

1.1 CONSIDERAÇÕES PRELIMINARES

Na área de eletrônica industrial, o inversor é uma estrutura que possibilita a conversão de energia elétrica da forma contínua (CC) para alternada (CA), dando origem à conversão CC-CA entre a fonte e a carga. Os princípios que regem a conversão CC-CA e alguns inversores utilizados inicialmente para este fim podem ser encontrados em BEDFORD e HOFT (1964). Atualmente, as estruturas dos inversores utilizam dispositivos semicondutores (interruptores) para controle do fluxo de energia (figura 1.1). Os conversores CC-CA que possuem o estágio de entrada do tipo fonte de tensão são denominados de inversores de tensão (IFT). O controle do tempo de condução e de bloqueio dos dispositivos semicondutores pode ser feito de forma que o inversor controle a amplitude e a frequência da tensão CA de saída. Para isso, pode-se utilizar técnicas de modulação por largura de pulso – PWM (POMÍLIO, 2005).

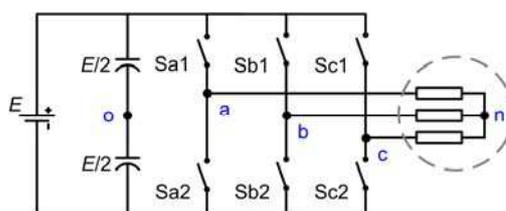


Figura 1.1 – Inversor trifásico do tipo fonte de tensão.

Atualmente existem vários dispositivos semicondutores de potência, tais como: SCR, BJT, GTO, MOSFET de potência e IGBT. A tecnologia aplicada na fabricação destes dois últimos possibilitou a utilização dos inversores com frequência de comutação (passagem do estado de condução para bloqueio e vice-versa) em

valores mais elevados (dezenas de kHz para o IGBT e centenas de kHz para o MOSFET), com o objetivo de diminuir o conteúdo harmônico nos sinais de saída. Contudo, estes componentes ainda limitam a utilização dos inversores às aplicações em baixa tensão e potência, pois suportam baixos níveis de tensão de bloqueio em seus terminais (até 2,3 kV para IGBT).

Para tensões industriais entre 2,3 kV a 6,9 kV estão sendo utilizados novos dispositivos, como o HV-IGBT e IGCT, que possibilitam o uso dos inversores em aplicações com níveis de potência superiores a 1MVA. Estes dispositivos semicondutores são principalmente empregados em topologias de inversores multiníveis (figura 1.2), que possibilitam novamente a comutação em valores menores de frequência (até 6 kHz), porém, com um menor conteúdo harmônico nos sinais de saída do que os inversores PWM convencionais mostrados na figura 1.1.

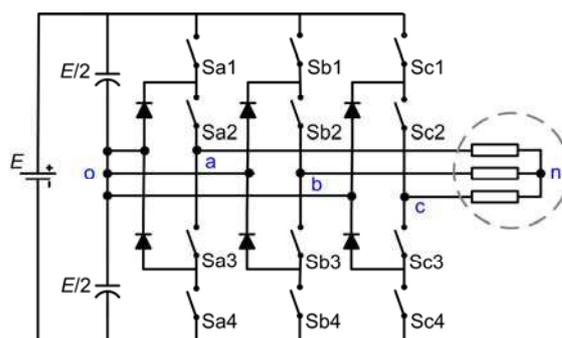


Figura 1.2 – Inversor de tensão trifásico de três níveis com diodos de grampeamento.

Os novos dispositivos semicondutores (HV-IGBT e IGCT) possibilitam o projeto e a construção de inversores de alto desempenho para aplicações industriais de média tensão e alta potência. Contudo, neste caso, o custo¹ destas estruturas ainda é elevado devido ao preço de fabricação dos dispositivos e ao fato de que são poucas as empresas que detêm a tecnologia de fabricação destes inversores (Siemens, Alstom, ABB, WEG, Robicon, Toshiba). O projeto destas estruturas requer cuidados especiais para aplicações em correntes elevadas, tais como: 1) proteção rápida e eficiente contra curto-circuito; 2) emprego de técnicas para compatibilidade eletromagnética; 3) utilização de estratégia de modulação que minimize o conteúdo harmônico nos sinais

¹ Aproximadamente US\$ 150,000 para componentes de 2,3 kV e US\$ 180,000 para componentes de 4,16 kV (0,8 a 4,0 MVA). Valores fornecidos pela Siemens do Brasil.

de saída; 4) uso de técnicas para a redução das perdas por comutação; 5) uso de sistemas de aquisição e tratamento de sinais imunes a ruídos.

Os inversores de tensão podem ser utilizados em diversas aplicações. Além das aplicações industriais, no acionamento de motores síncronos e de indução, eles podem ser encontrados em sistemas ininterruptos de fornecimento de energia (UPS), reatores eletrônicos, aquecimentos indutivos, compensação de harmônicos (filtros ativos) e controle do fator de potência, sistemas de geração distribuída com utilização de fontes alternativas de energia, etc. (KRAUSE, WASYNCZUK, SUDHOFF, 1995).

1.2 JUSTIFICATIVAS E RELEVÂNCIA DA TESE

Nos últimos anos tem havido um aumento na procura por conversores de potência para aplicações industriais em médias e altas tensões/potências. Recentemente, esta demanda teve impulso com o surgimento das tecnologias de dispositivos semicondutores para médias tensões, tais como o HV-IGBT e IGCT.

Em acionamentos elétricos, uma quantidade elevada de componentes harmônicas nos sinais de corrente na saída dos inversores provoca um aumento das perdas e da interferência eletromagnética, além de possibilitar o surgimento de pulsações de fluxo e de conjugado em máquinas de corrente alternada (NABAE, TAKAHASHI, AKAGI, 1981; CARRARA et al., 1992; TOBERT, PENG, 1998).

Nos inversores convencionais de dois níveis, eleva-se a frequência de comutação com o intuito de reduzir o conteúdo harmônico e melhorar as formas de onda da tensão na saída. As componentes de alta frequência da corrente são filtradas pela máquina, diminuindo as pulsações. Contudo, quanto maior a frequência de comutação, maiores serão as perdas por comutação dos interruptores, sendo estas perdas tanto mais significativas quanto maior for a tensão e a potência do sistema elétrico em questão. Também, o aumento da frequência de comutação pode aumentar a quantidade de interferência eletromagnética e exigir a necessidade de controle do chamado tempo morto – intervalo de tempo entre o bloqueio de um interruptor e o disparo de outro em um mesmo braço do inversor (TOBERT, PENG, 1998).

Os inversores multiníveis com diodos de grampeamento foram introduzidos como uma alternativa para o aumento da qualidade e da eficiência dos sistemas alimentados por inversores. A redução do conteúdo harmônico possibilitada por estes inversores, além de melhorar a qualidade dos sinais na saída do inversor, contribui diretamente para redução das perdas nos motores causadas pelas componentes harmônicas das correntes e pela componente pulsante do torque (CORRÊA, 2002).

As estruturas de inversores multiníveis possibilitam o controle de níveis maiores de tensão e potência máxima suportáveis pelos interruptores. Com uma quantidade maior de níveis para compor o sinal modulado, estes inversores possibilitam sinais de saída com um conteúdo harmônico bem menor, ou possibilitam a operação em frequência de comutação mais baixa, porém com a mesma qualidade de um inversor de dois níveis operando em frequência elevada, com isso, pode-se diminuir as perdas por comutação e a interferência eletromagnética.

Dependendo do nível de tensão CC do barramento aplicado ao inversor, pode ser inevitável a utilização de topologias multiníveis. Estas topologias, com interruptores em série, possibilitam a redução da tensão sobre cada um destes dispositivos. Contudo, uma quantidade maior de interruptores aumenta o custo final do inversor. Ainda, a estrutura mais complexa do inversor multinível pode necessitar de estratégias de controle mais sofisticadas e de um número maior de componentes e circuitos eletrônicos auxiliares (circuitos de proteção contra curto-circuito, técnicas para compatibilidade eletromagnética, circuitos para aquisição de sinais imunes a ruídos, etc.). Neste caso, é de grande interesse os estudos de topologias multiníveis com número reduzido de componentes para aplicações de baixo custo e em baixa tensão.

É sabido que algumas das técnicas de modulação por largura de pulso (PWM) que são aplicadas aos inversores de dois níveis também podem ser utilizadas nos inversores multiníveis, tais como: a modulação senoidal por comparação com portadora triangular e a modulação vetorial. Contudo, com o aumento do número de níveis do inversor aumenta também a quantidade de interruptores, ou seja, há um aumento na quantidade total de possibilidades dos estados de condução e bloqueio.

Isto torna os cálculos mais complexos nas técnicas vetoriais aplicadas aos inversores multiníveis. As técnicas híbridas de modulação, que aliam a simplicidade de implementação da modulação senoidal com alguns dos benefícios da modulação vetorial, são preferidas para utilização com as topologias multiníveis.

Também, o surgimento cada vez maior de normas de controle da qualidade dos sinais na saída de inversores fonte de tensão em sistemas de acionamento de motores, incentiva os estudos de novas estratégias de modulação PWM que possibilitem: 1) redução do conteúdo harmônico; 2) diminuição da interferência eletromagnética devida ao acionamento e que afeta todo o sistema elétrico interligado; 3) redução da vibração mecânica e do ruído acústico provocado nos motores pela modulação; entre outros.

Na última década, a utilização de processadores digitais de sinais (DSP) tem aumentado rapidamente em substituição aos sistemas tradicionais de acionamento de motores elétricos que utilizam circuitos analógicos, circuitos digitais e microcomputadores. Várias empresas de fabricação de inversores de tensão utilizam um ou mais DSPs em suas estruturas internas para tratar os sinais adquiridos e comandar os inversores.

O potencial de mercado para absorção de sistemas de controle digital de motores é imenso. Segundo a *Motion Tech Trends*, empresa americana de pesquisa e estatística, existe uma previsão de fabricação de 9,5 bilhões de motores elétricos em 2005, sendo 13% deles potencialmente controlados digitalmente, quer seja por um DSP ou mesmo por um microcontrolador. Esse mercado de 1,2 bilhão de motores elétricos controlados digitalmente corresponde a aproximadamente duas vezes o mercado total de aparelhos celulares do ano de 2002. Ou seja, existe um grande segmento de mercado a ser explorado por várias empresas, seja de semicondutores, seja de desenvolvedores de sistemas de controle de motores (IGNÁCIO, 2003).

Existem vários modelos de DSPs com arquitetura especialmente desenvolvida para controle digital e acionamento de motores. Esta arquitetura otimizada pode:

- Incluir um conjunto de periféricos integrados ao silício e dedicados a funções específicas, eliminando a necessidade de componentes externos,

tais como: conversores A/D, *Timers*, geradores de PWM com tempo morto, etc.

- Incluir um conjunto de instruções elaboradas para processamento de sinais digitais.
- Minimizar problemas numéricos em processamento de sinais.

O alto desempenho de um DSP possibilita também:

- Programar algoritmos complexos em tempo real.
- Programar altas taxas de amostragem.
- Minimizar atrasos computacionais.
- Programar e desempenhar funções múltiplas.

Assim, se faz relevante a pesquisa de novas técnicas de modulação, mais simples e eficientes, para uso com inversores multiníveis. Aliado a isso, os estudos de estruturas alternativas de inversores para aplicações de baixo custo possibilitam manter a tendência mundial no desenvolvimento de tecnologias em eletrônica industrial e a melhoria da qualidade dos sinais em sistemas de acionamento de cargas elétricas.

1.3 OBJETIVOS DA TESE

O objetivo principal deste trabalho é propor uma estratégia simples de modulação por largura de pulso que, através de uma equação generalizada, estenda o conceito de razão de distribuição vetorial aos inversores de tensão de qualquer nível ($N \geq 2$), semelhantemente ao que existe para os inversores de dois níveis, possibilitando alterar as características da modulação.

Para testar a estratégia de modulação proposta, além dos estudos de simulação, foi montada uma estrutura de inversor de três níveis com diodos de grampeamento (figura 1.2), utilizando um processador de sinais digitais (DSP) para geração dos sinais de comando dos interruptores.

Também fez parte dos objetivos deste trabalho o estudo de uma topologia de inversor de três níveis com número reduzido de componentes, com perdas em condução menores do que a topologia de três níveis com diodos de grampeamento e como alternativa para a topologia de dois níveis em aplicações de baixo custo, em

baixa potência. Exemplos disso são as aplicações em circuitos de alimentação para sistemas de telecomunicação, filtros ativos, acionamento de motores elétricos, entre outros (KRAUSE, WASYNCZUK, SUDHOFF, 1995).

1.4 REVISÃO BIBLIOGRÁFICA

Foi realizada uma pesquisa bibliográfica para verificar o estado da arte com respeito às topologias de inversores multiníveis, estratégias de modulação para inversores fonte de tensão e utilização de DSPs em sistemas de acionamento elétrico. Alguns dos trabalhos analisados são apresentados nesta seção.

1.4.1 Topologias de Inversores de Tensão Multiníveis

Os dispositivos semicondutores utilizados nos conversores estáticos de energia possuem limitações na tensão máxima suportável. Logo, para uso destes conversores em sistemas de média e alta tensão são necessárias algumas modificações estruturais, para que tais limitações sejam atendidas.

Uma das primeiras soluções para sistemas de corrente alternada foi a utilização de um transformador na entrada do conversor para reduzir as tensões aos níveis suportáveis pelos dispositivos semicondutores. Neste caso, um segundo transformador deve elevar a tensão de saída para alimentar a carga. Esta solução possui três desvantagens: 1) custo elevado devido ao peso e ao volume dos transformadores que são dimensionados para a potência máxima do sistema de alimentação; 2) perdas elevadas nos transformadores; 3) aumento das perdas em condução devido ao aumento das correntes nos componentes ativos provocado pelo transformador de entrada (FOCH et al., 1984; MWINYIWIWA et al., 1997).

Em outra estratégia eram utilizados vários dispositivos semicondutores em série para aumentar a capacidade de bloqueio de tensão. Uma desvantagem dessa técnica é a dificuldade de se realizar a equalização das tensões nestes dispositivos devido aos seus diferentes tempos de comutação (FOCH et al., 1984; SUH, HYUN 1997). Os métodos para efetuar esta equalização podem ser diferentes de acordo com os níveis de frequência de comutação utilizados no conversor. Com o aumento do

número de interruptores em série aumentam as perdas em condução e por comutação, como também, podem aumentar a interferência eletromagnética.

Finalmente, as primeiras estruturas utilizadas para obtenção de formas de onda de tensão multiníveis eram compostas por vários conversores convencionais de dois níveis conectados a transformadores com vários enrolamentos ligados em série no secundário (FLAIRTY, 1962), como mostrado na figura 1.3.

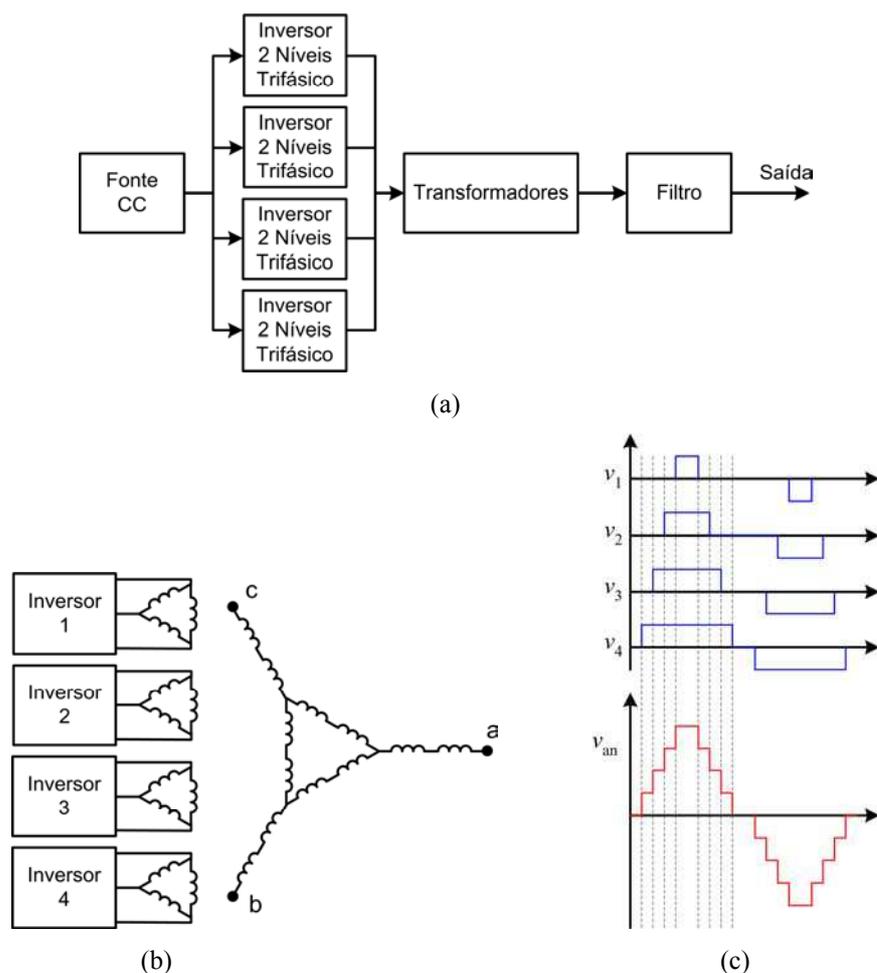


Figura 1.3 – Inversor multinível com transformadores. (a) Diagrama de blocos. (b) Conexões dos transformadores. (c) Forma de onda da tensão de saída.

Na figura 1.3, as tensões nas saídas dos conversores são defasadas e somadas vetorialmente. Estas estruturas foram propostas inicialmente como solução para acionamentos elétricos de alta potência e alto desempenho (NABAE, TAKAHASHI, AKAGI, 1981). Entretanto, elas requerem transformadores especiais com doze ou mais secundários, de projeto complicado, caros e que normalmente não atendem aos ensaios de descargas parciais requeridos em cubículos de média tensão. Para eliminar

este problema, estudos de novas topologias de conversores multiníveis sem a utilização de transformadores começaram a ser desenvolvidos.

A primeira estrutura de inversor multinível registrada (BAKER, BANNISTER, 1975) foi a do tipo em cascata com inversores monofásicos em ponte completa alimentados por fontes CC separadas e conectados em série (figura 1.4) para sintetizar as tensões CA de saída na forma de degraus. Esta estrutura surgiu em 1975, mas seu uso só se deu a partir da segunda metade dos anos 90. Em 1992, MARCHESONI (1992) propôs um método diferente para a conexão em série de múltiplos inversores monofásicos sem a necessidade de transformadores. Tal estrutura foi investigada para aplicação em compensadores estáticos de reativos por LAI e PENG (1995) e por PENG et al. (1995). Nestes trabalhos também foram realizados estudos comparativos entre as três principais topologias de inversores multiníveis.

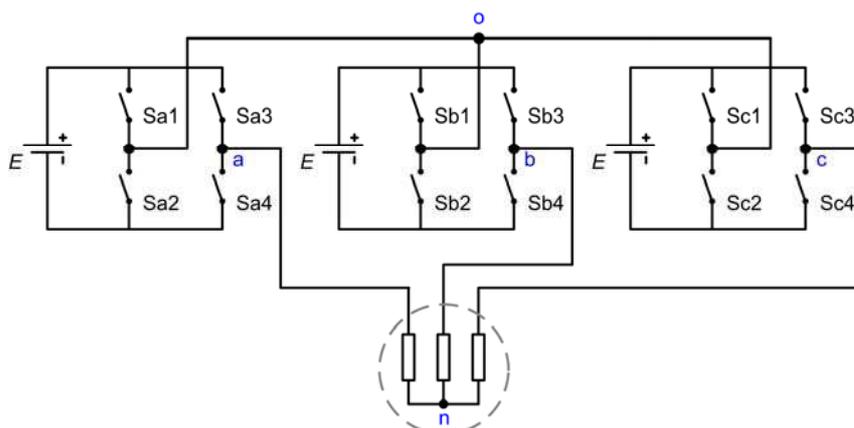


Figura 1.4 – Inversor trifásico de três níveis do tipo em cascata com fontes CC separadas.

Uma primeira topologia alternativa para o inversor de três níveis em cascata foi a topologia do inversor de três níveis com diodos de grampeamento (figura 1.2), introduzida por BAKER (1980). Esta estrutura, também denominada de inversor com ponto neutro grampeado (NPC), só despertou interesse após o trabalho apresentado por NABAE et al. (1981). Um dos problemas desta estrutura é o desequilíbrio das tensões nos capacitores do barramento CC. Posteriormente, o conceito de inversor multinível foi realmente aplicado em uma estrutura generalizada para N níveis (BHAGWAT, STEFANOVIC, 1983; CHOI et al., 1991), a partir da introdução de interruptores adicionais conectando a fase a pontos intermediários entre outros capacitores

colocados no barramento CC, como mostrado na figura 1.5. O trabalho de BHAGWAT e STEFANOVIC (1983) mostrou as vantagens da redução de harmônicas com as estruturas multiníveis.

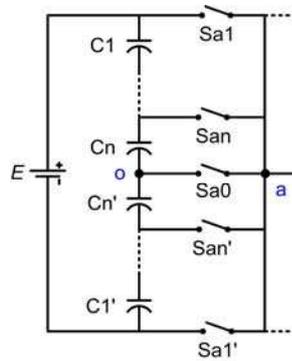


Figura 1.5 – Uma fase de uma estrutura generalizada de inversor multinível.

Uma segunda alternativa para inversores multiníveis surgiu na década de 90: a estrutura do inversor multinível com capacitores flutuantes (figura 1.6) proposta por MEYNARD e FOCH (1992). Nela, a tensão sobre os interruptores é limitada utilizando capacitores em lugar dos diodos, o que diminui as perdas em condução. No entanto, aumenta a complexidade das técnicas utilizadas para equalizar as tensões, não só no barramento CC, mas também nos capacitores flutuantes.

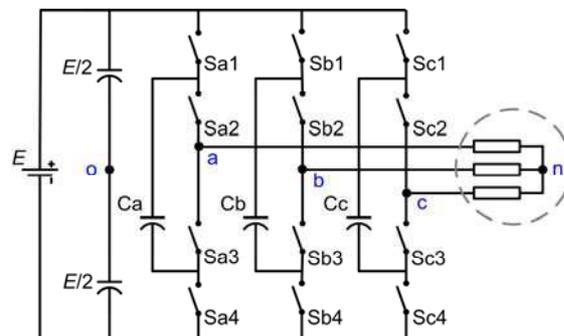


Figura 1.6 – Inversor trifásico de três níveis com capacitores flutuantes.

Uma estrutura generalizada, concebida por PENG (2001), permite o balanceamento automático de cada nível de tensão, tanto na topologia de inversores multiníveis com diodos de grampeamento quanto naquela com capacitores flutuantes, sem a necessidade de seu controle e sem depender das características de carga.

Em seu trabalho, RODRÍGUEZ, LAI e PENG (2002) realizaram uma pesquisa sobre as principais estruturas de inversores multiníveis conhecidas. Foram descritas

algumas técnicas de modulação utilizadas para comandar estes inversores, bem como, as aplicações mais comuns de cada uma das topologias. Este trabalho é uma referência importante para estudos em inversores multiníveis. Também nesta mesma linha, KRUG, MALINOWSKI e BERNET (2004) descrevem os projetos e fazem comparações entre algumas topologias de inversores multiníveis utilizadas nas aplicações industriais de média tensão, com relação às perdas de energia e aos custos de cada topologia.

As topologias mencionadas anteriormente são simétricas. Estruturas capazes de fornecer formas de onda com um maior número de níveis, sem aumentar o número de dispositivos de potência foram estudadas por DAMIANO et al. (1997) e por MANGUELLE et al. (2001), como citado em RECH (2004). Estas topologias de inversores multiníveis assimétricos apresentam pelo menos uma fonte de tensão com valor diferente das demais. Entre os inversores multiníveis assimétricos, tem sido utilizada a topologia com inversores monofásicos em cascata com fontes de tensão de valores diferentes (figura 1.4), pois ela não apresenta o problema do desequilíbrio das tensões dos capacitores do barramento CC e também devido a sua estrutura modular. Porém, embora a tensão de saída apresente um maior número de níveis, os dispositivos de potência dos diferentes módulos *H-bridge* (inversor monofásico em ponte completa) são submetidos a níveis distintos de tensão.

Já SUH (1997) apresentou uma topologia híbrida com o objetivo de resolver o problema de equalização das tensões dos capacitores do barramento CC em inversores com diodos de grampeamento.

MANJREKAR e LIPO (1998), citado por RECH (2004), propuseram uma estrutura de inversor multinível híbrido com inversores em cascata derivada da estrutura de MARCHESONI (1992). Nesta topologia os inversores conectados em série têm as fontes de tensão separadas com valores $1E, 2E, 4E, \dots, 2^{N-1}E$ (com E sendo o valor da primeira fonte CC e N o número de níveis do inversor). Desta forma esta topologia sintetiza um maior número de níveis com o mesmo número de fontes CC e dispositivos semicondutores do inversor multinível em cascata convencional (figura 1.4).

Em outro trabalho, LIPO e MANJREKAR (1999), citado por RECH (2004), também generalizaram o conceito de inversores multiníveis híbridos para diferentes topologias de inversores multiníveis e para diferentes configurações de fontes de tensão. Contudo, não foi desenvolvida uma metodologia de projeto para definir o número de módulos, os valores das fontes de tensão e as topologias utilizadas em cada módulo.

Mais recentemente, RECH (2004) realizou uma análise detalhada e propôs uma metodologia de projeto generalizada para inversores multiníveis híbridos, que permite definir o número de módulos conectados em série e o valor da fonte de tensão de cada módulo.

Nos sistemas estáticos, o controle de alto desempenho é uma demanda crescente em aplicações industriais e domésticas. Uma alternativa para reduzir as perdas e custos em sistemas de acionamento é a redução do número de componentes da montagem, como o que foi feito por CORRÊA (2002) e JACOBINA (2003) para inversores de dois níveis. Estas estruturas, além de serem mais econômicas que as estruturas convencionais, podem ser utilizadas como estruturas mínimas resultantes de um conversor estático convencional que sofreu uma falha.

A operação de sistemas com alto desempenho requer a detecção e a compensação de falhas, assim como o controle pós-falha. Um método para se melhorar a confiabilidade é o sobre-dimensionamento do conversor. Um segundo método consiste em se operar circuitos ou componentes redundantes em paralelo. Entretanto, exigências de confiabilidade e competitividade de custo, fazem com que a manutenção preventiva, detecção de faltas em operação e sua diagnose sejam de importância crescente (CHOW, 1997).

A detecção da falta é necessária para preservar o funcionamento do processo em condições próximas às normais e pelo maior tempo possível (CIRRINCIONE et al. 1994; CHOW, 1997). Uma alternativa para minimizar os efeitos das faltas é a utilização de um controle tolerante a falhas, o que consiste em modificar o algoritmo de controle de modo a que o sistema continue a operar com um número reduzido de dispositivos semicondutores no conversor estático (JACOBINA et al., 2003) ou

introduzindo componentes suplementares nas estruturas básicas (CORREA et al., 2001).

Recentemente, com base nas técnicas de detecção, diagnose e compensação de falhas, foram desenvolvidos sistemas que incluem estruturas de conversores estáticos tolerantes a falhas (CORRÊA, 2002; RIBEIRO et al, 2003). Também, foram desenvolvidos modelos para a representação de sistemas de acionamento desbalanceados. A partir destes modelos foram propostas estratégias adequadas para o controle de sistemas trifásicos desbalanceados contendo conversores (JACOBINA et al, 2001a). Logicamente estes princípios foram aplicados aos sistemas tolerantes a faltas mencionados anteriormente. Além disso, é comum que os sistemas de potência sejam desbalanceados. Por isso, controladores digitais específicos foram desenvolvidos para o controle das potências reativa e harmônica, conforme o exemplo para o controle de corrente (RIBEIRO et al, 2003).

Como uma das desvantagens do uso de inversores do tipo multinível é o elevado número de dispositivos, cresce a busca por novas estruturas com um número reduzido de componentes (CORZINE, 2001). Existem ainda poucos trabalhos nesta área, por isso o campo está aberto a novas concepções. Também existem raros trabalhos discutindo sistemas tolerantes a falhas em operações de três ou mais níveis. LI e XU (2001) utilizaram os vetores redundantes disponíveis quando da ocorrência de uma falha, para sintetizar a tensão de saída, estabelecendo o controle adequado das tensões do barramento CC.

1.4.2 Estratégias de Modulação para Inversores de Tensão

A redução no conteúdo harmônico dos sinais de saída dos inversores depende também da estratégia de modulação utilizada.

Várias são as estratégias discutidas e utilizadas na literatura técnica para o comando dos inversores de tensão. Embora cada uma delas tenha suas características e vantagens próprias, a seleção da melhor estratégia baseia-se na satisfação de vários fatores:

- Menor conteúdo harmônico nas tensões e correntes de saída.

- Menor ruído acústico e interferência eletromagnética provocados pelo inversor no sistema.
- Tempo mínimo de condução e bloqueio dos interruptores.
- Frequência de comutação ideal.
- Menores perdas por comutação e em condução.
- Operação na região de sobremodulação.

Das técnicas de modulação por largura de pulso para inversores, duas se destacam: 1) modulação por comparação com portadora triangular (*Carrier Based PWM* ou CB-PWM), que usa o deslocamento de fase para reduzir a quantidade de componentes harmônicas nas tensões de saída; 2) modulação vetorial (*Space Vector PWM* ou SV-PWM), que se baseia na representação dos estados de configuração dos interruptores do inversor por vetores espaciais de tensão. Atualmente, esta última é a técnica de modulação por largura de pulso mais estudada na literatura.

Vários pesquisadores têm buscado um menor conteúdo harmônico nas tensões e correntes de saída nas diferentes topologias de inversores. Em 1999, SUH, CHOI e HYUN apresentaram uma técnica simplificada de SV-PWM para inversores multiníveis que possibilita a minimização das componentes harmônicas da tensão de saída utilizando apenas os vetores de tensão do inversor que estão mais próximos do vetor de referência. MAHDAVI et al. (1999) verificaram a extensão da aplicação da SV-PWM ao controle da corrente de saída em inversores multiníveis fonte de tensão. Sua estratégia visa diminuir o erro de corrente com relação à referência e melhorar o desempenho do inversor em aplicações de compensação de potência reativa e de controle de motores de alta potência. Já RODRIGUEZ, CORREA e MORÁN (2001) buscaram uma baixa distorção harmônica em baixas frequências de comutação através de uma nova técnica de SV-PWM para estruturas de inversores multiníveis em cascata na faixa de médias tensões. Uma estratégia de fácil entendimento e implementação foi proposta por LEE, KIM e HYUN (2000). O algoritmo proposto é uma modificação da técnica de modulação por comparação com portadora triangular aplicada aos inversores multiníveis, cujo objetivo é a redução da distorção harmônica nos sinais de saída do inversor. A técnica apresentada adiciona aos sinais de referência senoidais um

sinal de seqüência zero que possibilita a equalização dos tempos de aplicação dos vetores que estão no início e no final de cada período de modulação. Por não utilizar o conceito de razão de distribuição vetorial, o algoritmo é limitado aos sinais obtidos apenas para o caso equivalente a $\mu = 0,5$.

Muitos dos trabalhos, além de buscarem a melhoria da qualidade das formas de onda de saída, investigaram problemas relacionados com as diferentes aplicações e com as estruturas utilizadas. É o caso da redução de perdas, dinâmica de resposta, largura de pulso mínimo e desequilíbrio das tensões dos capacitores que compõem o barramento CC, os quais são fundamentais na operação das estruturas com diodos de grampeamento ou com capacitores flutuantes. Assim, a estratégia de RODRIGUEZ, CORREA e MORÁN (2001), além de produzir uma menor DHT, possibilita um menor número de comutações, com redução das perdas e um conseqüente aumento da eficiência do inversor.

Uma técnica visando um desempenho elevado de controle para redução de perdas em aplicações com motores de indução de alta velocidade já havia sido proposta por JOETTEN e KEHL (1991), através de um novo método de SV-PWM para inversores de três níveis com transistores. Os autores demonstraram que usando o inversor de três níveis com a estratégia de controle SV-PWM proposta e implementada com um DSP, não só foram reduzidas as perdas no motor como também as perdas no inversor. Também, TOLBERT e HABETLER (1999) analisaram os efeitos que as diversas estratégias de comando por PWM existentes acarretam na utilização dos interruptores para os diferentes níveis de um inversor multinível com diodos de grampeamento, além de apresentarem duas novas estratégias de comando PWM por comparação com portadora triangular, visando distribuir igualmente o número de comutações entre todos os interruptores do inversor em um período da modulação. Tais estratégias são razoavelmente complexas.

Ainda, a redução da DHT e das perdas por comutação, com conseqüente melhoria da eficiência do inversor e do dv/dt , também foi estudada por TEODORESCU et al. (1999), que propuseram uma nova estratégia de SV-PWM, implementada em um DSP, para comando de uma estrutura diferente de inversor

multinível em cascata. Os módulos trifásicos usam IGBTs e transformadores de saída. A maior desvantagem desta estrutura deve-se a seu custo extra devido ao uso dos transformadores.

Recentemente, POU, RODRÍGUEZ e BOROYEVICH (2005) propuseram uma técnica de modulação para os inversores multiníveis operando em baixas frequências de comutação. Os cálculos para determinação da seqüência ótima de vetores são feitos para o primeiro setor do diagrama vetorial e, por simetria, são estendidos aos demais. Com a redução da frequência de comutação, o método visa à redução nas perdas por comutação para os inversores multiníveis com aplicações em potências elevadas. Já BRUCKNER e HOLMES (2005) estudaram as técnicas de modulação contínua e descontínua nos inversores de três níveis com diodos de grampeamento, considerando a menor distorção harmônica nos sinais de saída e a distribuição das perdas, incluindo a habilidade de controlar as tensões nos capacitores do barramento CC destes inversores. Eles direcionaram seus estudos para aplicações em médias tensões com o objetivo de identificar as técnicas ótimas de modulação.

Um dos possíveis critérios que pode ser utilizado para analisar o desempenho de uma determinada estratégia é o valor eficaz dos harmônicos de corrente. Este critério foi utilizado em diferentes trabalhos relacionados com inversores de dois níveis (KOLAR, ERTL, ZACH, 1991; KOLAR, ZACH, 1997; ALVES et al., 1998) para os casos de modulação contínua e descontínua. Ele também foi utilizado por HALASZ, HASSAN e HUU (1997) para inversores multiníveis, os quais desenvolveram uma técnica de otimização dos harmônicos. A minimização desses harmônicos de corrente permite a redução de perdas no cobre e manter sob controle a amplitude e a frequência da pulsação do conjugado.

Trabalhos anteriores já haviam sido desenvolvidos com o objetivo de eliminar o problema do desequilíbrio das tensões nos capacitores do barramento CC. É o caso de SINHA e LIPO (1997b) que também buscaram reduzir o índice de distorção harmônica total. Sua estratégia de comando SV-PWM pode ser utilizada com diversas topologias de inversores multiníveis, com comutação suave ou dissipativa.

Especificamente, MARTINS et al. (1999 e 2000) estudaram a aplicação do inversor multinível com capacitores flutuantes juntamente com uma nova técnica de controle de torque direto para máquinas de indução. Eles demonstraram que há possibilidade de controle de torque e fluxo com boa redução das oscilações e elevada dinâmica.

Também, SILVA, RODRIGUES e COSTA (2000) introduziram um modulador em tempo real para o controle das três correntes de saída e para a equalização das tensões nos capacitores do barramento CC em inversores multiníveis trifásicos. A técnica é baseada no uso de vetores espaciais. A desvantagem do método se deve à tabela de vetores implementada juntamente com o algoritmo. Com o aumento do número de níveis, a tabela se torna muito grande e inviável.

Ainda, WU e HE (2001) propuseram um método de equalização das tensões nos capacitores do barramento CC a partir de um controle por histerese aliado a uma minimização das perdas por comutação com controle harmônico.

Além de minimizar a distorção harmônica nas tensões de saída e equalizar as tensões nos capacitores do barramento CC em inversores de três níveis com diodos de grampeamento, SEIXAS et al (2000) propuseram uma técnica SV-PWM que objetiva evitar o problema da largura mínima dos pulsos de comando dos interruptores do inversor. A mesma técnica foi estendida para os inversores de três níveis com capacitores flutuantes (MENDES et al, 2001). Ambas as técnicas se baseiam em equações algébricas simples contendo restrições que permitem relacionar diretamente as larguras dos pulsos dos sinais de comando com as tensões de fase de referência. No inversor com capacitores flutuantes, o controle das tensões nos capacitores é realizado a partir de um simples controlador do tipo liga-desliga, independentemente do controle das tensões de saída. O algoritmo apresentado é muito simples e os resultados satisfatórios instigam a uma análise mais detalhada da técnica.

Vários trabalhos buscaram eliminar, especificamente, o desequilíbrio das tensões nos capacitores do barramento CC. Com esse objetivo, SINHA e LIPO (1997a) utilizaram um inversor de quatro níveis com diodos de grampeamento com

modulação por comparação com portadora triangular em aplicações de acionamento de alta potência.

Uma estratégia de fácil entendimento e implementação, proposta por LEE, KIM e HYUN (1999), obtém o balanço das tensões nos capacitores do barramento CC a partir da simples adição de uma componente de seqüência zero nas tensões modulantes de referência. Já a técnica estudada por CELANOVIC e BOROYEVICH (2000) se baseia na localização do vetor tensão de referência e da utilização do conceito de índice de modulação de corrente. As equações desenvolvidas pelos autores possibilitam o controle da carga e descarga dos capacitores pelo ajuste das durações dos vetores que estão no início e no final de cada período de modulação.

Uma outra estratégia SV-PWM também de fácil implementação foi proposta por ZHUANG, XIONG e TING (2000) para comando de inversores de três níveis que visa a equalização das tensões nos capacitores do barramento CC em tempo real. A técnica denominada de *Unified Voltage Modulation Technique* (UVMT) se baseia em equações aritméticas simples para o cálculo dos tempos de aplicação dos vetores de tensão. A estratégia introduzida por SEO e CHOI (2001) tem o mesmo objetivo.

SEO, CHOI e HYUN (2001) propuseram uma técnica para reduzir o diagrama de vetores espaciais de um inversor de três níveis para seis diagramas de dois níveis. O objetivo é diminuir a complexidade e o tempo de cálculo dos instantes de aplicação dos vetores e da seleção de sua seqüência em inversores de três níveis. Um dos seis hexágonos é selecionado utilizando-se um algoritmo de teste baseado nas tensões de fase de referência. Em seguida, o vetor tensão de referência é corrigido para a nova coordenada de origem subtraindo o valor $E/3$, ou seja, o centro do novo hexágono. O cálculo dos instantes de aplicação dos vetores espaciais é feito então como nos inversores de dois níveis. A técnica pode ser estendida para inversores acima de três níveis. Os resultados demonstraram que o método parece ser bastante interessante em aplicações de alta tensão e potência.

Uma técnica mais recente, que utiliza a modulação por comparação com portadora triangular para os inversores de três níveis, foi proposta por TALLAM, NAIK e NONDAHL (2004) para equalização das tensões nos capacitores CC. O

método requer a medição das correntes de fase e das tensões nos capacitores, mas não necessita determinar a direção do fluxo de potência entre o motor e o inversor.

A equalização das tensões do barramento CC também pode ser obtida pela utilização de um circuito auxiliar conectado ao barramento. Três possibilidades são apresentadas em VON JOUANNE, DAÍ e ZHANG (2002). A modificação do padrão de comutação dos interruptores permite a eliminação da tensão de modo comum, que é outro problema também tratado na literatura. Anteriormente, RATNAYAKE e MURAI (1998) haviam proposto uma técnica de comando SV-PWM para inversores fonte de tensão de três níveis com diodos de grampeamento, com esse objetivo. A técnica proposta utiliza apenas sete vetores de tensão e na estrutura do inversor foram introduzidos circuitos auxiliares para ajudar na sincronização das formas de onda de tensão e obter uma tensão de modo comum nula. O circuito experimental foi implementado utilizando um DSP e módulos de IGBT com resultados satisfatórios. De uma forma mais abrangente, VEENSTRA e RUFER (2000) apresentaram uma estratégia de PWM para comando de todos os tipos de inversores multiníveis fonte de tensão, com estudos para tratamento das tensões de modo comum. Apesar de ser simples, o trabalho não mostrou resultados significativos.

BENDRE et al. (2004) fizeram um estudo comparativo entre diferentes estratégias de modulação aplicadas aos inversores multiníveis com diodos de grampeamento, definindo os compromissos de cada uma delas em relação a outros parâmetros, tais como DHT da tensão de saída ou redução da ondulação de corrente no ponto neutro.

Um estudo comparativo entre as técnicas de modulação SV-PWM e CB-PWM foi feito por WANG (2002) para inversores de três níveis com diodos de grampeamento e por MCGRATH, HOLMES e LIPO (2001) para comando das diversas topologias de inversores multiníveis. Ambos os trabalhos visam estender aos inversores multiníveis o fato de que, em inversores de dois níveis, a SV-PWM e a CB-PWM produzem exatamente as mesmas seqüências de comutação, em um período da modulação, quando um sinal apropriado de seqüência zero é adicionado às formas de onda de referência para as modulantes na CB-PWM. MCGRATH e HOLMES (2000)

propuseram, também, um estudo comparativo entre inversores multiníveis com diodos de grampeamento e com a topologia em cascata com fontes CC separadas, ambos com comando CB-PWM.

Um outro estudo comparativo entre as técnicas de modulação SV-PWM e CB-PWM foi feito por WU e HE (2001) para inversores de três níveis e com possibilidade de ser estendido às topologias com mais níveis. O estudo demonstrou que, com base em uma análise teórica semelhante à realizada nos inversores de dois níveis por MCGRATH, HOLMES e LIPO (2001) e por WANG (2002), os métodos de controle PWM de dois níveis também podem ser estendidos aos inversores multiníveis.

Um algoritmo genérico foi proposto por CELANOVIC e BORROYEVICH (1999) para comando SV-PWM de inversores multiníveis. A técnica proposta não demonstrou uso em aplicações específicas, tais como equalização das tensões nos capacitores do barramento CC ou redução da distorção harmônica nas tensões de saída. Além disso, os resultados apenas de simulação não permitem uma conclusão mais satisfatória sobre a técnica, que parece ser mais indicada para simulação digital.

JOETTEN e KEHL (1991) propuseram outra estratégia para seleção da seqüência de comutação a partir da escolha dos vetores de tensão em inversores de três níveis. O triângulo onde está localizado o vetor tensão de referência é identificado segundo uma técnica que divide o hexágono em dois quadrângulos e dois triângulos maiores. Em seguida, o vetor tensão de referência é decomposto em duas componentes que devem sofrer uma transformação de coordenadas e cujos valores de transformação dependem do setor onde o vetor esteja localizado. Os tempos de aplicação dos vetores são então determinados a partir destas componentes.

HU et al. (2004) propuseram uma estratégia de modulação vetorial para os inversores multiníveis com o objetivo de simplificar a determinação dos três vetores espaciais que compõem o vetor tensão de referência para cada região do diagrama vetorial.

1.4.3 Utilização do Conceito de Razão de Distribuição Vetorial

Uma maneira de modificar a distorção por harmônicos nos sinais de saída de um inversor é controlando os tempos de aplicação dos vetores que estão no início e no

final de um período da modulação vetorial. Estes tempos podem ser igualmente distribuídos ou não, segundo uma variável de controle ‘ μ ’ ($0 \leq \mu \leq 1$). O conceito de razão de distribuição vetorial tem sido aplicado em diversas estratégias de modulação com o objetivo de se obter características diferentes nos sinais de saída de inversores de dois níveis (SEIXAS, 1988; OGASAWARA, AKAGI, NABAE, 1989; ALVES et al., 1991; SUN, GROSTOLLEN, 1996).

A adição de um sinal de seqüência zero adequado às tensões de referência pode diminuir as oscilações nas correntes, estender a região de linearidade (sobremodulação), reduzir a freqüência de comutação média como também diminuir os harmônicos de corrente (LEE, KIM, HYUN, 1999). A modulação por portadora (CB-PWM) pode produzir os mesmos resultados da modulação vetorial (SV-PWM) quando um adequado sinal de seqüência zero é injetado nas tensões de referência na modulação por portadora (WANG, 2002; SEO, SHOI, HYUN, 2001; WU, HE, 2001).

Baseado na observação anterior, BLASKO (1996), HAVA, KERKMAN e LIPO (1997) propuseram a técnica que eles denominaram de PWM Híbrida, que usa um sinal de seqüência zero com o triplo da freqüência das tensões de referência como o termo de tensão comum. A estratégia híbrida é uma combinação entre a *Space Vector* PWM e a *Carrier Based* PWM. Ela permite efetuar algebricamente os cálculos para determinação dos vetores de tensão e seus tempos de aplicação a partir da estratégia de comando vetorial, diminuindo a complexidade e o tempo das operações. Essa técnica híbrida é a preferida para o comando dos inversores multiníveis devido ao fato destes terem um elevado número de vetores de tensão, o que aumenta a dificuldade de implementação da estratégia SV-PWM convencional.

JACOBINA et al. (2001b) também utilizaram o conceito de razão de distribuição vetorial ‘ μ ’ em seu trabalho. Comparando a estratégia SV-PWM e CB-PWM eles propuseram a estratégia PWM Digital Escalar que, segundo os autores, possibilita a simplificação na implementação digital da técnica vetorial.

Também foi estudada a relação entre as técnicas SV-PWM e CB-PWM e sua aplicação em inversores de três níveis com a inclusão de sinais de seqüência zero às tensões senoidais de referência (LEE, KIM, HYUN, 2000; SEO, CHOI, HYUN, 2001;

WU, HE, 2001). A técnica de WU e HE (2001) utilizou o conceito de razão de distribuição vetorial para obter uma equação equivalente à de BLASKO (1996). Sua técnica pode ser estendida aos inversores de níveis mais elevados, mas às custas de uma maior complexidade em sua derivação. Em 2004, DA SILVA et al. (2004) também apresentaram um estudo mostrando como a razão de distribuição vetorial pode ser aplicada às diversas estruturas de inversores, dentre elas estão os inversores multiníveis. O conceito também foi estendido aos inversores fonte de tensão com barramento pulsado do tipo quase-ressonante.

1.4.4 Comando de Inversores de Tensão Utilizando DSPs

Os sinais digitais são aqueles transmitidos dentro ou entre computadores e cuja informação é representada por estados discretos, por exemplo, um nível alto e um nível baixo de tensão (0 e 1), em lugar dos níveis variarem continuamente como em um sinal analógico.

O processamento de sinais digitais é uma das mais poderosas tecnologias que moldaram a ciência e a engenharia no final do século XX. Ela se distingue de outras áreas da ciência da computação pelo único tipo de dado usado: sinais. Em muitos casos, estes sinais têm origem no mundo real: vibrações sísmicas, imagens visuais, ondas sonoras, etc.

O grande avanço e o potencial que se encontra hoje na área dos microcontroladores tiveram seu início com o desenvolvimento da tecnologia dos circuitos integrados (CI). Esse desenvolvimento tornou possível a integração de centenas de milhares de transistores em uma única pastilha semicondutora de silício. Esse poder de integração foi um pré-requisito para a produção dos processadores e possibilitou o surgimento dos primeiros computadores mediante adição de alguns periféricos, tais como memória, linhas de entrada e saída, temporizadores (*timers*) e outros. Posteriormente, com o avanço cada vez maior da microeletrônica, foi possível colocar no mesmo circuito integrado, o processador e os periféricos. Surgiram então os microcontroladores.

Um processador de sinais digitais é um circuito integrado projetado para manipulação de dados em alta velocidade, com um grande poder de processamento e

confiabilidade. O DSP reúne a matemática, os algoritmos e as técnicas usadas para manipular sinais externos depois que eles forem convertidos em uma forma digital. Ele é usado atualmente em diversas áreas, como áudio (reconhecimento e geração de voz), comunicações (compressão de dados para armazenamento e transmissão), tratamento de imagens visuais, controle de movimento e outras aplicações em aquisição e controle de dados.

As raízes do DSP remontam aos anos de 1960 a 1970 quando os computadores digitais começaram a se tornar disponíveis. Naquela época os computadores eram bastante caros e os DSPs eram limitados a somente poucas aplicações críticas. Nos EUA, esforços pioneiros foram feitos em quatro áreas chaves: 1) radar e sonar, onde a segurança nacional era um risco; 2) exploração de petróleo, que poderia gerar fortunas em dinheiro; 3) exploração espacial, onde os dados eram insubstituíveis; 4) e imagens médicas, onde vidas poderiam ser salvas.

A revolução gerada pelos computadores pessoais nos anos entre 1980 a 1990 possibilitou que os DSPs fossem explorados em novas áreas. No lugar de serem motivados apenas pelas necessidades militares e governamentais, os DSPs começaram a ser repentinamente utilizados por outros setores e comercializados. Por fim, os DSPs alcançaram o público em produtos como telefones celulares, reprodutores de CD, correio eletrônico de voz, etc. Hoje, o processamento de sinais digitais é uma necessidade dos cientistas e engenheiros em muitas áreas do conhecimento.

O desenvolvimento de um sistema para acionamento de motores envolve vários aspectos da engenharia elétrica, incluindo a teoria de circuitos, circuitos digitais, teoria de controle, eletrônica de potência e a tecnologia dos dispositivos semicondutores de potência. O projetista deste sistema deve então combinar o processamento de sinais digitais e a tecnologia de *software* de computador para obter a máxima eficiência das técnicas de acionamento.

Muitos trabalhos científicos utilizam DSPs para geração dos pulsos de comando para os interruptores dos inversores fonte de tensão e no processamento dos sinais para o acionamento e o controle de máquinas elétricas.

Na década de 90, LIU, CHOI e CHO (1991) propuseram um método de PWM para inversores de três níveis considerando o problema da equalização das tensões nos capacitores do barramento CC. Cada vetor de tensão, no plano dos vetores espaciais, foi classificado em relação à ação de carregar e descarregar estes capacitores. Assim uma estratégia de modulação foi sugerida baseada no princípio da seleção dos vetores de tensão. O algoritmo foi implementado no DSP 5600 da Motorola. Os resultados experimentais comprovaram a eficiência do método. Outra técnica de PWM para comando de inversores de três níveis utilizando um DSP foi proposta em 1992 por KOYAMA et al. (1992). A estratégia se baseia na escolha de um fator de controle que determina a duração dos vetores de tensão em um período da modulação com o objetivo de minimizar as componentes harmônicas da tensão de saída e suprimir a flutuação na tensão do ponto central do divisor capacitivo. Já TZOU (1995) utilizou um DSP para regulação da tensão CA na saída de um inversor de dois níveis monofásico com controle digital de tensão e corrente. Os resultados mostraram que o sistema de controle baseado no DSP possibilita alcançar respostas dinâmicas rápidas e com baixa distorção harmônica total (DHT).

Em 1997, MAZUMDER (1997) também utilizou um DSP para comando de um inversor de dois níveis utilizando PWM. O autor tentou descrever completamente a implementação digital do sistema, com ênfase inicial nos problemas práticos relacionados com a montagem. Os resultados demonstraram que o sistema fornece um índice de DHT menor que 5% para a corrente de linha, um fator de potência perto da unidade e variações nas tensões dos capacitores do barramento CC menores que 5%.

Em 2002, YU et al. (2002), utilizaram um DSP TMS320LF2407 para comandar um inversor de três níveis com diodos de grampeamento usando o princípio Volts/Hertz constante e a técnica de modulação por largura de pulso com eliminação seletiva de harmônicos. Foram mostrados resultados experimentais e de simulação para comprovar a eficiência do sistema de controle.

LI e XU (2003) apresentaram uma modificação no projeto do DSP TMS320LF2407 para comandar inversores de três níveis com PWM vetorial a partir

do uso de dispositivos com lógica programável (PLD – *Programmable Logic Device*). Resultados experimentais foram mostrados para validar o projeto da interface.

Foi proposta por LIU et al. (2004) uma técnica simples de compensação do tempo morto baseada na direção da corrente na fase em inversores de três níveis utilizando um DSP com aritmética em ponto flutuante como unidade central para implementar a estratégia de controle e comandar o inversor. Dispositivos com lógica programável foram usados para gerar os pulsos de PWM. Resultados de simulação e experimentais validaram a técnica proposta.

Diversos outros trabalhos utilizam FPGA (*Field Programmable Gate Arrays*) para implementação experimental com inversores multiníveis (HASENKOPF, WEIGAND, XIE, 2002; SALIM, AZLI, 2003; EBERSOHN, GITAU, 2004; SANABRIA, RAMIREZ, 2004; KRUG, MALINOWSKI, BERNET, 2004). Estes dispositivos emulam todas as características de um DSP, porém, possuem um processamento paralelo que possibilita uma dinâmica bem melhor. Mesmo assim, os DSPs ainda são os dispositivos de comando mais utilizados em aplicações industriais.

1.5 CONTRIBUIÇÕES DA TESE

A utilização da razão de distribuição vetorial permite diferentes tipos de controle com uma única variável (SEIXAS, 1988; OGASAWARA, AKAGI, NABAE, 1989; ALVES et al., 1991; SUN, GROSTOLLEN, 1996). É possível a aplicação deste conceito em diferentes conversores (DA SILVA et al., 2004). Apenas WU e HE (2001) tinham estendido este conceito aos inversores de três níveis, mas com uma equação equivalente à de BLASKO (1996) para inversores de dois níveis, quando esta tese foi iniciada. Sua técnica pode ser aplicada aos inversores de níveis mais elevados, mas às custas de uma maior complexidade em sua derivação.

Ainda, uma preocupação de diferentes pesquisadores tem sido a de buscar soluções utilizando um número menor de componentes nas estruturas de inversores (JACOBINA et al., 2003). Esta possibilidade viabiliza, inclusive, a utilização desse conhecimento no desenvolvimento de soluções para operação desses conversores após

uma ocorrência de falhas. Poucos estudos, entretanto, foram efetuados a nível de conversores multiníveis (CORZINE, 2001; LI, XU 2001).

Poucos trabalhos são encontrados na literatura em relação à modulação randômica aplicada aos inversores multiníveis (SHRIVASTAVA, HUI, 1999; LEE, HUI, CHUNG, 2000). Uma provável razão para isto é que esses inversores operam, de modo geral, abaixo da faixa de frequências que provoca ruídos audíveis. Entretanto, com a utilização cada vez maior de inversores multiníveis em aplicações de baixo custo e de baixa potência (CORRÊA, 2002; WELCHKO, CORRÊA, LIPO, 2004), torna-se viável, portanto, sua operação em frequências mais elevadas.

Também, uma das razões do uso de inversores multiníveis é a possibilidade de melhoria da distorção harmônica, operando em frequências mais baixas do que aquelas utilizadas no caso de dois níveis (MAHDAVI et al., 1999; LEE et al., 2000; RODRIGUEZ, CORREA, MORÁN, 2001). Por outro lado, um conversor multinível utiliza mais componentes do que os de dois níveis. Uma pergunta não respondida na literatura é até onde a redução da distorção harmônica compensa o provável aumento de perdas em condução.

Finalmente, muitos trabalhos investigam a solução de um problema inerente a duas das topologias de conversores multiníveis existentes: o desequilíbrio das tensões nos capacitores do barramento CC. Embora várias soluções sejam apresentadas, inclusive com a injeção de componentes de seqüência zero nas tensões de pólo (SINHA, LIPO, 1997b; MARTINS et al., 1999; LEE et al., 1999; WU, HE, 2001), nenhuma delas discute os limites de utilização das técnicas face a esse desequilíbrio de tensões.

As contribuições desta tese estão, portanto, relacionadas com as considerações anteriores. Como contribuições para o estado da arte têm-se:

- Aplicação do conceito de razão de distribuição vetorial aos inversores de tensão de qualquer número de níveis, a partir de uma equação generalizada.
- Desenvolvimento de uma estratégia simples de PWM para inversores de qualquer número de níveis, baseada em uma equação que relaciona um

sinal de seqüência zero com a razão de distribuição vetorial para possibilitar alterações nas características da modulação.

- Estudo de uma estrutura de inversor de três níveis com número reduzido de componentes para redução das perdas em condução.
- Aplicação de estratégias de modulação com randomização da frequência de comutação e com controle de corrente aos inversores de três níveis com diodos de grampeamento.
- Utilização de técnicas de modulação descontínua para redução das perdas por comutação em inversores de três níveis e realização de estudo comparativo de perdas entre as topologias de inversores de dois e três níveis para diferentes condições.
- Realização de estudos, em inversores de três níveis com diodos de grampeamento, para equalização das tensões nos capacitores do barramento CC, aproveitando os vetores com estados redundantes.

1.6 RESUMO DOS CAPÍTULOS

Este trabalho está organizado nos seguintes capítulos:

Capítulo 2 – neste capítulo são apresentadas as análises das principais topologias existentes de inversores multiníveis do tipo fonte de tensão. São fornecidas as equações que regem cada inversor. Além disso, no final do capítulo é analisada uma estrutura multinível com número reduzido de componentes.

Capítulo 3 – conceitos e técnicas de modulação por largura de pulso para inversores de dois níveis são abordados neste capítulo. Também, são discutidos os conceitos de índice de modulação e razão de distribuição vetorial, além da técnica de modulação híbrida para inversores multiníveis. Neste capítulo é definido o parâmetro de desempenho utilizado para determinar a qualidade da estratégia de modulação proposta.

Capítulo 4 – neste capítulo é realizado o desenvolvimento matemático para a estratégia multinível proposta. Primeiramente, para inversores de três níveis; em seguida para quatro níveis; por fim, é feita uma generalização para inversores de N

níveis. Além disso, é apresentado um algoritmo resumido para implementação da técnica em sistemas de acionamento com microprocessadores.

Capítulo 5 – aqui são apresentados vários resultados experimentais e simulações referentes à utilização da técnica de modulação multinível proposta no capítulo 4 e ao funcionamento do inversor de três níveis com diodos de grampeamento. No final do capítulo é realizado um estudo comparativo entre a estratégia multinível proposta e a técnica apresentada por LEE, KIM e HYUN (2000) para redução da distorção harmônica nos sinais de saída dos inversores de três níveis.

Capítulo 6 – o problema da necessidade de controle das tensões nos capacitores do barramento CC, inerente à estrutura de três níveis implementada, é discutido neste capítulo. Também são apresentados alguns resultados experimentais e simulações.

Capítulo 7 – neste capítulo é feito um estudo comparativo das perdas nos inversores de dois e três níveis. Com o objetivo de reduzir as perdas por comutação, a técnica de grampeamento das fases, utilizada em inversores de dois níveis, também é aplicada aos inversores de três níveis.

Capítulo 8 – as conclusões da tese são apresentadas neste capítulo. Propostas de continuidade da pesquisa são discutidas ao final do capítulo.

Apêndice A – neste apêndice é apresentado o programa desenvolvido em C++ para simulação de inversores fonte de tensão (SSIF) e obtenção dos resultados simulados, apresentados ao longo do texto.

Apêndice B – a descrição resumida da plataforma experimental é feita neste apêndice. Nele, são apresentadas as características do DSP utilizado, a organização do algoritmo no DSP e as especificações dos demais componentes da montagem. Também, é discutido o problema da inclusão do tempo morto nos sinais de comando dos interruptores para os inversores de três níveis.

Apêndice C – aqui é descrita a técnica do controlador PI de corrente utilizada em conjunto com a estratégia de modulação para comandar o inversor de três níveis, quando em malha fechada.

CAPÍTULO 2

TOPOLOGIAS DE INVERSORES MULTINÍVEIS

2.1 INTRODUÇÃO

Nos inversores convencionais de dois níveis, a redução do conteúdo harmônico nas formas de onda de saída é obtida, principalmente, com o aumento da frequência de comutação (MENDES, 2000). Contudo, a tensão aplicada aos terminais dos semicondutores durante o bloqueio é igual à tensão total do barramento CC. Por isso, quanto maior a tensão e a corrente do sistema, menor deve ser a frequência de comutação para limitar o aumento das perdas por comutação.

Os inversores multiníveis possuem formas de onda de tensão na saída mais próximas das senoidais, pois possuem mais níveis para a composição da componente de frequência fundamental. Além disso, seus interruptores são submetidos a uma fração de $1 / (N - 1)$ da tensão CC, onde N é o número de níveis do inversor. Isso possibilita a utilização dos interruptores com frequências de comutação maiores e em níveis maiores de tensão CC.

Neste capítulo são analisadas as principais estruturas multiníveis e apresentadas as equações que regem o funcionamento de cada uma delas, as quais são utilizadas para sintetizar suas tensões de saída. Como preparação para tal análise é apresentada preliminarmente uma revisão da estrutura de dois níveis. Ao final do capítulo é analisada uma estrutura de três níveis com número reduzido de componentes, com os objetivos de redução dos custos de montagem e das perdas em condução.

2.2 INVERSORES CONVENCIONAIS DE DOIS NÍVEIS

Os inversores trifásicos de dois níveis, mostrados na figura 2.1, possuem dois capacitores no barramento CC e dois interruptores por fase, com seus respectivos diodos em anti-paralelo. A tensão entre um terminal de saída do inversor (a , b , ou c) e o terminal o no centro do barramento CC, chamada de tensão de pólo (v_{ao} , v_{bo} ou v_{co}), pode assumir apenas dois valores ($-E/2$ ou $E/2$).

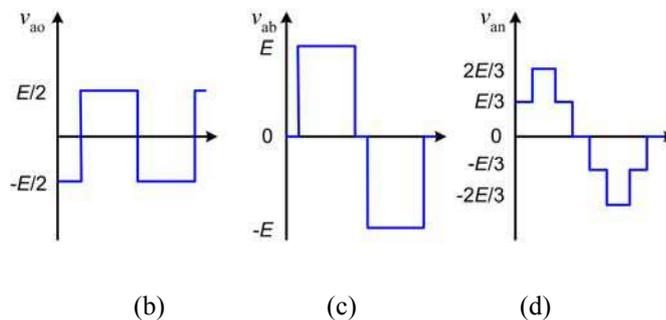
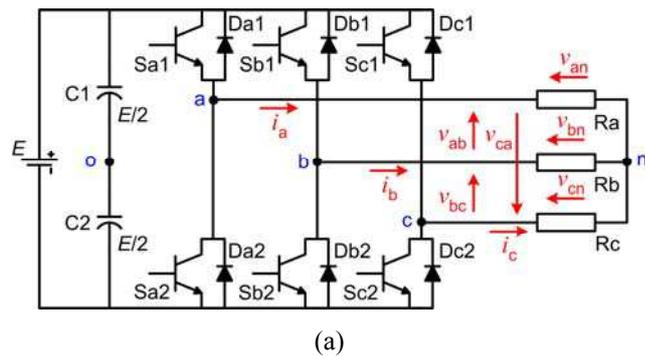


Figura 2.1 – Inversor trifásico de dois níveis. (a) Circuito elétrico. (b) Tensão de Pólo. (c) Tensão entre fases. (d) Tensão entre fase e neutro da carga.

Da análise da figura 2.1.a, obtêm-se a tabela 2.1 com os estados de operação possíveis para os interruptores de um braço do inversor de dois níveis e seus respectivos valores de tensão de pólo. Na tabela 2.1, k_x representa os estados dos interruptores em um braço (1 = condução, 0 = bloqueio), com $x \in \{a, b, c\}$.

Tabela 2.1 – Estados dos interruptores para um inversor trifásico de dois níveis.

k_x	S_{x1}	S_{x2}	v_{xo}
0	0	1	$-E/2$
1	1	0	$E/2$

As equações de (2.1) até (2.4) definem cada uma das tensões relacionadas com o circuito da figura 2.1.a.

$$\text{Tensões de Pólo: } \begin{cases} v_{ao} \\ v_{bo} \\ v_{co} \end{cases} \quad (2.1)$$

Tensão de modo comum (homopolar): v_{no}

$$\text{Tensões de Fase: } \begin{cases} v_{an} = v_{ao} - v_{no} \\ v_{bn} = v_{bo} - v_{no} \\ v_{cn} = v_{co} - v_{no} \end{cases} \quad (2.2)$$

$$\text{Tensões de Linha: } \begin{cases} v_{ab} = v_{ao} - v_{bo} = v_{an} - v_{bn} \\ v_{bc} = v_{bo} - v_{co} = v_{bn} - v_{cn} \\ v_{ca} = v_{co} - v_{ao} = v_{cn} - v_{an} \end{cases} \quad (2.3)$$

Para a carga trifásica ligada em estrela ao inversor da figura 2.1.a,

$$i_a = \frac{v_{an}}{R_a} \quad (2.4)$$

$$i_b = \frac{v_{bn}}{R_b} \quad (2.5)$$

$$i_c = \frac{v_{cn}}{R_c} \quad (2.6)$$

Com R_a , R_b , e R_c sendo as resistências das fases a , b e c respectivamente.

Pela lei de KIRCHHOFF para as correntes no nó n da figura 2.1.a,

$$i_a + i_b + i_c = 0 \quad (2.7)$$

Substituindo estas correntes pelas obtidas com (2.4), (2.5) e (2.6),

$$v_{an}(1/R_a) + v_{bn}(1/R_b) + v_{cn}(1/R_c) = 0 \quad (2.8)$$

Substituindo na equação anterior os valores de v_{an} , v_{bn} e v_{cn} fornecidos pelas equações (2.2), resulta em:

$$v_{ao}(1/R_a) + v_{bo}(1/R_b) + v_{co}(1/R_c) - v_{no} \{(1/R_a) + (1/R_b) + (1/R_c)\} = 0$$

Logo,

$$v_{no} = \frac{v_{ao}(1/R_a) + v_{bo}(1/R_b) + v_{co}(1/R_c)}{(1/R_a) + (1/R_b) + (1/R_c)} \quad (2.9)$$

Para um sistema trifásico com cargas equilibradas, $R_a = R_b = R_c = R$, assim:

$$v_{no} = \frac{v_{ao} + v_{bo} + v_{co}}{3} \quad (2.10)$$

A partir da tabela 2.1 pode-se obter a equação (2.11) relacionando as tensões de pólo v_{xo} com os estados de operação dos interruptores do inversor para cada fase,

$$v_{xo} = \left(k_x - \frac{1}{2}\right)E \quad \text{com } x \in \{a, b, c\} \quad \text{e} \quad k_x \in \{0, 1\} \quad (2.11)$$

As tensões de linha são obtidas a partir das tensões de pólo pela equação (2.3), substituindo nesta última os valores das tensões de pólo obtidas pela equação (2.11),

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = \begin{bmatrix} v_{ao} - v_{bo} \\ v_{bo} - v_{co} \\ v_{co} - v_{ao} \end{bmatrix} = \begin{bmatrix} \left(k_a - \frac{1}{2}\right)E - \left(k_b - \frac{1}{2}\right)E \\ \left(k_b - \frac{1}{2}\right)E - \left(k_c - \frac{1}{2}\right)E \\ \left(k_c - \frac{1}{2}\right)E - \left(k_a - \frac{1}{2}\right)E \end{bmatrix} = \begin{bmatrix} k_a E - k_b E \\ k_b E - k_c E \\ k_c E - k_a E \end{bmatrix} = E \begin{bmatrix} k_a - k_b \\ k_b - k_c \\ k_c - k_a \end{bmatrix} \quad (2.12)$$

Reorganizando os termos da equação anterior,

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = E \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1\} \quad (2.13)$$

Em termos das tensões de pólo, a equação (2.3) pode ser reescrita como:

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} v_{ao} \\ v_{bo} \\ v_{co} \end{bmatrix} \quad (2.14)$$

As tensões de fase são obtidas a partir da equação (2.2).

Substituindo na equação (2.2) o valor da tensão de modo comum dada na equação (2.10),

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2v_{ao} - v_{bo} - v_{co} \\ -v_{ao} + 2v_{bo} - v_{co} \\ -v_{ao} - v_{bo} + 2v_{co} \end{bmatrix} \quad (2.15)$$

Novamente, substituindo na equação anterior, os valores das tensões de pólo obtidas da equação (2.11),

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{3} \begin{bmatrix} 2k_a - k_b - k_c \\ -k_a + 2k_b - k_c \\ -k_a - k_b + 2k_c \end{bmatrix} \quad (2.16)$$

A equação anterior reorganizada fornece:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1\} \quad (2.17)$$

Em um sistema trifásico de tensões equilibradas, as tensões de fase também podem ser obtidas a partir das tensões de linha. Conforme a equação matricial (2.15):

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2v_{ao} - v_{bo} - v_{co} \\ -v_{ao} + 2v_{bo} - v_{co} \\ -v_{ao} - v_{bo} + 2v_{co} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} (v_{ao} - v_{bo}) - (v_{co} - v_{ao}) \\ -(v_{ao} - v_{bo}) + (v_{bo} - v_{co}) \\ (v_{co} - v_{ao}) - (v_{bo} - v_{co}) \end{bmatrix} = \frac{1}{3} \begin{bmatrix} v_{ab} - v_{ca} \\ -v_{ab} + v_{bc} \\ v_{ca} - v_{bc} \end{bmatrix}$$

Reorganizando os termos da equação anterior,

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} \quad (2.18)$$

Em termos das tensões de pólo, a equação (2.15) pode ser reescrita como:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} v_{ao} \\ v_{bo} \\ v_{co} \end{bmatrix} \quad (2.19)$$

Como pode ser observado a partir da tabela 2.1 e das equações (2.11), (2.13) e (2.17), as tensões de pólo possuem apenas dois níveis (figura 2.1.b), as tensões de linha possuem três níveis (figura 2.1.c) e as tensões de fase possuem cinco níveis (figura 2.1.d) nos inversores trifásicos de dois níveis. Assim, a estrutura deste inversor, com dois interruptores por braço, fornece um total de $2^3 = 8$ combinações diferentes para as tensões de pólo, como pode ser visto na tabela 2.2.

Tabela 2.2 – Tensões de saída para um inversor trifásico de dois níveis.

Configuração	k_x	v_{ao}	v_{bo}	v_{co}	v_{ab}	v_{bc}	v_{ca}	v_{an}	v_{bn}	v_{cn}
0	000	$-E/2$	$-E/2$	$-E/2$	0	0	0	0	0	0
1	100	$E/2$	$-E/2$	$-E/2$	E	0	$-E$	$2E/3$	$-E/3$	$-E/3$
2	110	$E/2$	$E/2$	$-E/2$	0	E	$-E$	$E/3$	$E/3$	$-2E/3$
3	010	$-E/2$	$E/2$	$-E/2$	$-E$	E	0	$-E/3$	$2E/3$	$-E/3$
4	011	$-E/2$	$E/2$	$E/2$	$-E$	0	E	$-2E/3$	$E/3$	$E/3$
5	001	$-E/2$	$-E/2$	$E/2$	0	$-E$	E	$-E/3$	$-E/3$	$2E/3$
6	101	$E/2$	$-E/2$	$E/2$	E	$-E$	0	$E/3$	$-2E/3$	$E/3$
7	111	$E/2$	$E/2$	$E/2$	0	0	0	0	0	0

Mais adiante, a mesma análise feita nos inversores de três níveis mostrará que as tensões de pólo possuem três valores ou níveis diferentes.

2.3 INVERSOR MULTINÍVEL COM DIODOS DE GRAMPEAMENTO

Como pode ser observado na figura 2.2, cada braço do inversor de três níveis com diodos de grampeamento é constituído por quatro dispositivos semicondutores com seus respectivos diodos em anti-paralelo e dois diodos ligados ao ponto central do barramento CC (terminal o). A tensão sobre os interruptores é mantida igual à tensão dos capacitores C_1 ou C_2 através dos dois diodos de grampeamento em cada braço. A tensão em cada capacitor deve ser mantida o mais próximo possível do valor ideal $E/2$ para garantir que as tensões de pólo assumam os valores $-E/2$, 0 ou $E/2$.

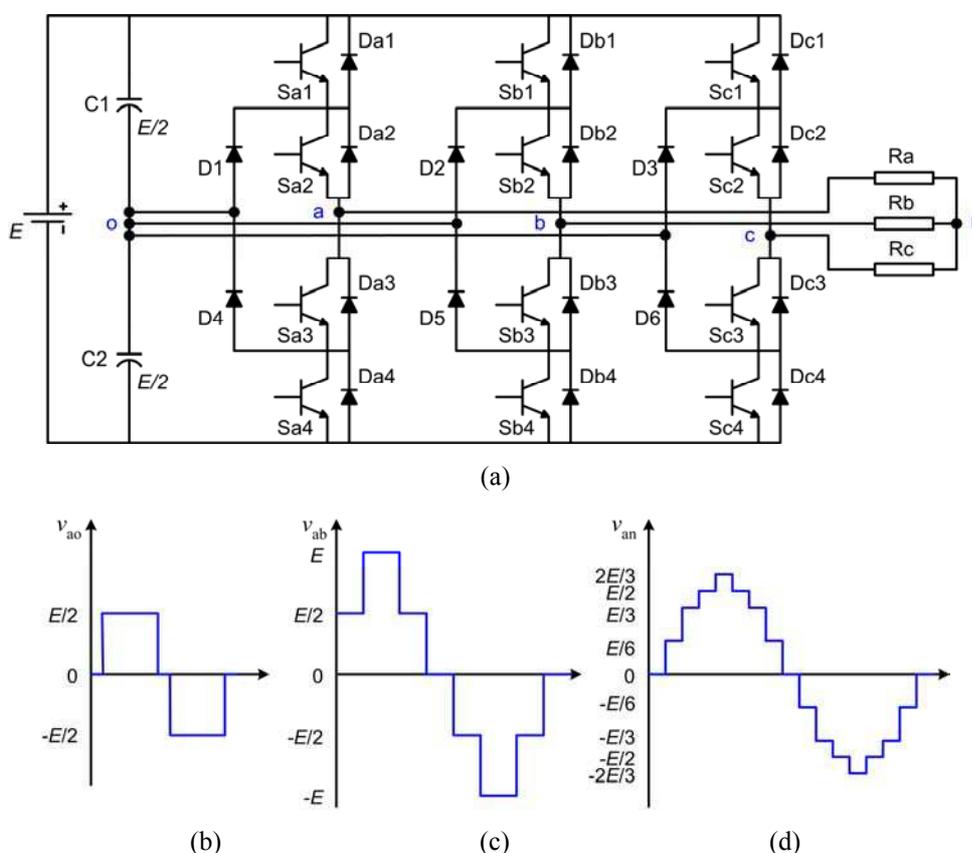


Figura 2.2 – Inversor trifásico de três níveis com diodos de grampeamento. (a) Circuito elétrico. (b) Tensão de Pólo. (c) Tensão entre fases. (d) Tensão entre fase e neutro da carga.

Da análise da figura 2.2.a, obtêm-se a tabela 2.3 com os estados de operação possíveis para os interruptores de um braço do inversor de três níveis com diodos de grampeamento e seus respectivos valores de tensão de pólo. Na tabela 2.3, k_x representa os estados dos interruptores em um braço, com $x \in \{a, b, c\}$.

Tabela 2.3 – Estados dos interruptores para um inversor trifásico de três níveis com diodos de grampeamento.

k_x	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{xo}
0	0	0	1	1	$-E/2$
1	0	1	1	0	0
2	1	1	0	0	$E/2$

Na análise deste conversor as equações de (2.1) até (2.10) também definem cada uma das tensões relacionadas com o circuito da figura 2.2.a. No entanto, as equações de (2.11) até (2.19) não são consideradas uma vez que, neste caso, o ponto o está interligado entre os diodos de grampeamento. As equações seguintes resumem a análise feita para o inversor de três níveis da figura 2.2.a.

A partir da tabela 2.3 pode-se obter a equação (2.20) relacionando as tensões de pólo v_{xo} com os estados de operação dos interruptores do inversor para cada fase,

$$v_{xo} = \left(\frac{k_x - 1}{2} \right) E \quad \text{com } x \in \{a, b, c\} \quad \text{e} \quad k_x \in \{0, 1, 2\} \quad (2.20)$$

Os valores das tensões de pólo obtidos pela equação anterior e introduzidos na equação (2.3) fornecem:

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = \frac{E}{2} \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1, 2\} \quad (2.21)$$

Substituindo na equação (2.15), os valores das tensões de pólo obtidas da equação (2.20),

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2k_a - k_b - k_c \\ -k_a + 2k_b - k_c \\ -k_a - k_b + 2k_c \end{bmatrix} \quad (2.22)$$

A equação anterior reorganizada fornece:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{6} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} k_a \\ k_b \\ k_c \end{bmatrix} \quad \text{com } k_x \in \{0, 1, 2\} \quad (2.23)$$

Da tabela 2.3 e das equações (2.20), (2.21) e (2.23), as tensões de pólo possuem três níveis (figura 2.2.b), as tensões de linha possuem cinco níveis (figura 2.2.c) e as tensões de fase nove níveis (figura 2.2.d) nos inversores trifásicos de três

níveis com diodos de grampeamento. Assim, a topologia deste inversor trifásico com quatro interruptores por braço forneceria um total de $4^3 = 64$ combinações. Contudo, como pode ser observado na figura 2.2.a e na tabela 2.3 (três estados possíveis para os interruptores de cada braço), os quatro interruptores devem trabalhar dois a dois. Na prática, deve-se obedecer a seqüência $0 \rightarrow 1 \rightarrow 2$ ou $2 \rightarrow 1 \rightarrow 0$ para assegurar que apenas dois dispositivos em um braço mudarão seus estados simultaneamente, possibilitando menores perdas por comutação. Logo, têm-se um total de $3^3 = 27$ combinações diferentes para as tensões de pólo, como mostrado na tabela 2.4, mas apenas 19 produzem valores diferentes de tensões de linha e de fase na saída do inversor.

Tabela 2.4 – Tensões de saída para um inversor trifásico de três níveis com diodos de grampeamento.

Configuração	k_x	v_{ao}	v_{bo}	v_{co}
0	000	$-E/2$	$-E/2$	$-E/2$
	111	0	0	0
	222	$E/2$	$E/2$	$E/2$
1	100	0	$-E/2$	$-E/2$
	211	$E/2$	0	0
2	110	0	0	$-E/2$
	221	$E/2$	$E/2$	0
3	010	$-E/2$	0	$-E/2$
	121	0	$E/2$	0
4	011	$-E/2$	0	0
	122	0	$E/2$	$E/2$
5	001	$-E/2$	$-E/2$	0
	112	0	0	$E/2$
6	101	0	$-E/2$	0
	212	$E/2$	0	$E/2$
7	200	$E/2$	$-E/2$	$-E/2$
8	210	$E/2$	0	$-E/2$
9	220	$E/2$	$E/2$	$-E/2$
10	120	0	$E/2$	$-E/2$
11	020	$-E/2$	$E/2$	$-E/2$
12	021	$-E/2$	$E/2$	0
13	022	$-E/2$	$E/2$	$E/2$
14	012	$-E/2$	0	$E/2$
15	002	$-E/2$	$-E/2$	$E/2$
16	102	0	$-E/2$	$E/2$
17	202	$E/2$	$-E/2$	$E/2$
18	201	$E/2$	$-E/2$	0

Um inversor de N níveis com diodos de grampeamento possui $N - 1$ capacitores iguais conectados em série para produzir os N níveis de tensão a partir do barramento CC. Também, é bem maior a quantidade de diodos de grampeamento utilizados para garantir que cada interruptor seja submetido a uma tensão reversa igual à dos capacitores. Isto aumenta significativamente os custos de um inversor deste tipo para um elevado número de níveis.

A estrutura do inversor de quatro níveis com diodos de grampeamento, vista na figura 2.3, possui três capacitores no barramento CC. A tensão em cada um deles deve ser mantida o mais próximo possível do valor ideal ($E/3$). Além disso, possui seis dispositivos semicondutores por braço com seus respectivos diodos em anti-paralelo e seis diodos de grampeamento por braço. Na figura 2.3, o capacitor C_2 foi dividido em dois capacitores idênticos, com uma tensão de $E/6$ cada um, com a finalidade de se observar o terminal o , que é a referência para os níveis de tensão do inversor.

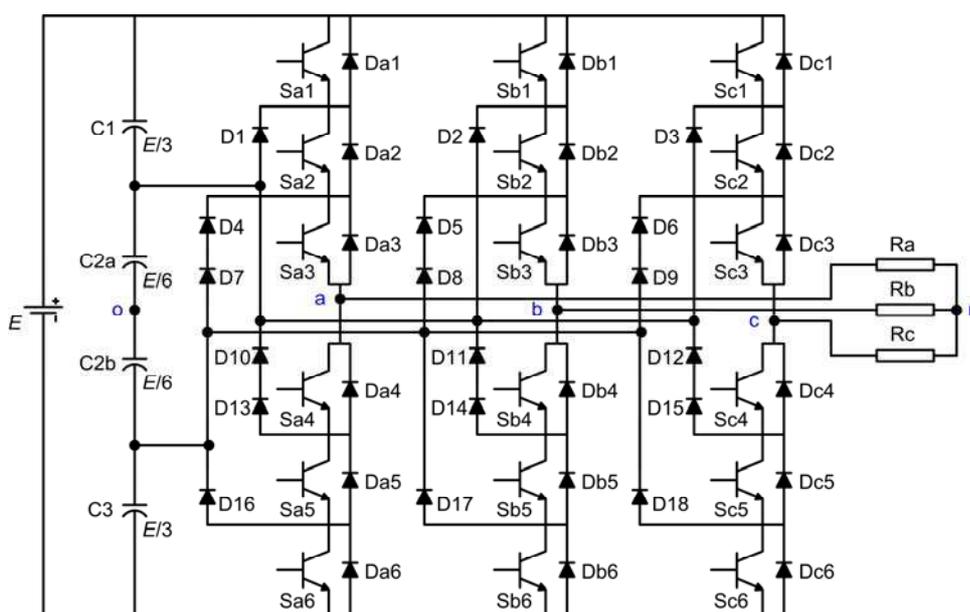


Figura 2.3 – Inversor trifásico de quatro níveis com diodos de grampeamento.

Observando a figura 2.3, vê-se que cada um dos dois diodos (D10 e D13 para o braço a), na configuração com os três últimos interruptores do braço conduzindo, são submetidos a uma tensão reversa de $E/3$. Se estes fossem substituídos por apenas um diodo, esse seria submetido a uma tensão reversa total de $2E/3$.

Do exposto anteriormente, cada interruptor de um braço do inversor é submetido a uma tensão de $E/(N - 1)$. Contudo, como pode ser observado na figura 2.3, os interruptores não conduzem os mesmos valores médios de corrente em um mesmo período já que os tempos de condução dos interruptores de um braço são diferentes. Isto leva a um sobre-dimensionamento de alguns dispositivos semicondutores de potência para esse tipo de inversor multinível.

Esta estrutura de inversor, com divisor de tensão capacitivo, também está sujeita a um desequilíbrio das tensões nos capacitores. Isto provoca distorções nas formas de onda das tensões de saída com o conseqüente aumento do conteúdo harmônico. Esse desequilíbrio afeta os valores de tensão a que são submetidos os interruptores de um mesmo braço.

Algumas técnicas de controle das tensões nos capacitores do barramento CC têm sido propostas com o intuito de excluir esta limitação para uso dos inversores multiníveis com diodos de grampeamento (MENDES, 2000; CELANOVIC, BOROYEVICH, 2000; LEE, KIM, HYUN, 1999). Algumas aplicações, como compensação de reativos e harmônicos, utilizam esta topologia de inversor quando o problema citado anteriormente não é crítico. Além disso, as técnicas de controle por histerese e por torque direto para acionamentos de máquinas CA têm sido mais comumente aplicadas usando-se esta topologia de inversor (RODRÍGUEZ, LAI, PENG, 2002).

2.4 INVERSOR MULTINÍVEL COM CAPACITORES FLUTUANTES

O inversor trifásico de três níveis com capacitores flutuantes, mostrado na figura 2.4, possui um capacitor (C_a , C_b , C_c) em cada braço no lugar dos diodos de grampeamento do circuito da figura 2.2.a.

Da análise da figura 2.4, obtêm-se a tabela 2.5 com os estados de operação possíveis para os interruptores de um braço do inversor de três níveis com capacitores flutuantes e seus respectivos valores de tensão de pólo. Na tabela 2.5, k_x representa os estados dos interruptores em um braço, com $x \in \{a, b, c\}$.

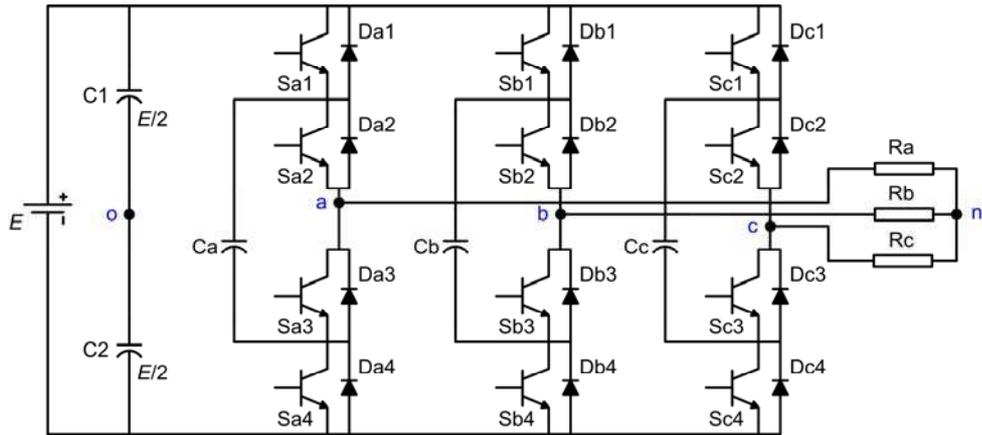


Figura 2.4 – Inversor trifásico de três níveis com capacitores flutuantes.

Na tabela 2.5, cada braço do inversor produz quatro configurações para os interruptores, resultando em quatro níveis de tensão de pólo na saída. Isto fornece um total de $4^3 = 64$ configurações. No entanto, a tensão V_{Cx} nos capacitores flutuantes pode oscilar numa faixa mínima de valores acima e a baixo de $E/2$, para garantir o equilíbrio das tensões sobres os interruptores e assim fornecer três níveis de tensão de pólo $(-E/2, 0, E/2)$, como no inversor de três níveis com diodos de grampeamento.

Tabela 2.5 – Estados dos interruptores para um inversor trifásico de três níveis com capacitores flutuantes.

k_x	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{xo}
0	0	0	1	1	$-E/2$
1	0	1	0	1	$V_{cx} - E/2$
2	1	0	1	0	$E/2 - V_{cx}$
3	1	1	0	0	$E/2$

Observando a figura 2.4 e a tabela 2.5, vê-se que as configurações 0 e 3 não alteram a tensão nos capacitores flutuantes. Em um determinado instante de modulação, se o sentido da corrente na fase for da fonte E para a carga, a configuração 2 será responsável pelo carregamento dos capacitores C_a , C_b e C_c enquanto a configuração 1 possibilitará o descarregamento. Logo, aplicando-se uma combinação apropriada destas duas configurações pode-se controlar as tensões nos capacitores flutuantes (V_{Cx}) mantendo-as aproximadamente iguais a $E/2$.

O mesmo tratamento matemático dado aos inversores multiníveis com diodos de grampeamento pode ser dado à topologia com capacitores flutuantes, obtendo as mesmas equações para as tensões de pólo, de fase e de linha.

Uma fase do inversor de cinco níveis com capacitores flutuantes é mostrada na figura 2.5. Como no caso dos diodos de grampeamento na estrutura do inversor com neutro grampeado, os capacitores flutuantes podem ser submetidos a níveis de tensão maiores do que nos interruptores, caso não se conecte capacitores em série em estruturas com N níveis para manter iguais as tensões a que cada um é submetido. Isso provoca um elevado número de capacitores em estruturas com N níveis, fazendo com que boa parte da estratégia de controle do inversor seja direcionada para solução do problema do desequilíbrio das tensões nestes capacitores e naqueles ligados ao barramento da fonte CC. Algumas das aplicações desta topologia incluem o acionamento de motores CA para transportadoras, ventiladores e compressores.

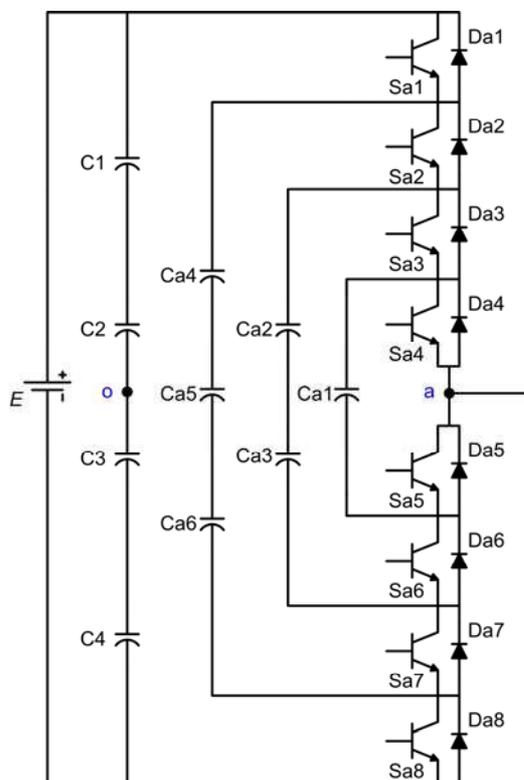


Figura 2.5 – Um braço do inversor trifásico de cinco níveis com capacitores flutuantes.

2.5 INVERSOR MULTINÍVEL EM CASCATA COM FONTES CC SEPARADAS

A estrutura do inversor de três níveis do tipo em cascata com fontes CC separadas pode ser vista na figura 2.6. Cada fase é composta por um módulo de inversor monofásico em ponte completa com uma fonte CC separada.

A análise feita para esta estrutura é diferente daquela realizada para os tipos de inversores vistos anteriormente, uma vez que se trata na verdade de módulos ou circuitos de inversores monofásicos de dois níveis em ponte completa interconectados.

Na figura 2.6, adotando o ponto *o* como mostrado obtém-se as três tensões de pólo (v_{ao} , v_{bo} e v_{co}).

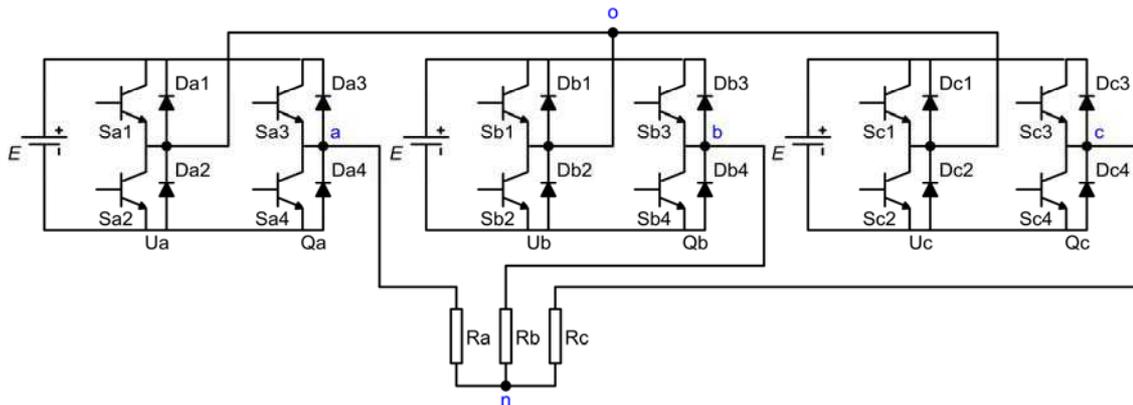


Figura 2.6 – Inversor trifásico de três níveis do tipo em cascata com fontes CC separadas.

Da análise da figura 2.6, obtêm-se a tabela 2.6 com os estados de operação possíveis para os interruptores de um braço do inversor de três níveis do tipo em cascata e seus respectivos valores de tensão de pólo. Na tabela 2.6, k_x representa os estados dos interruptores em um braço, com $x \in \{a, b, c\}$.

Tabela 2.6 – Estados dos interruptores para um inversor trifásico de três níveis com fontes CC separadas.

k_x	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{xo}
0	1	0	0	1	$-E$
1	1	0	1	0	0
2	0	1	0	1	0
3	0	1	1	0	E

A tabela 2.6 pode ser simplificada considerando cada módulo independente com dois braços (U_x e Q_x), fornecendo os resultados mostrados na tabela 2.7.

Tabela 2.7 – Estados dos interruptores para um braço de um módulo de um inversor de três níveis com fontes CC separadas.

U_x e Q_x	S_{x1}	S_{x2}
1	0	1
0	1	0

A partir da tabela 2.7 pode-se obter a equação (2.24) relacionando as tensões de pólo v_{xo} com os estados de operação U_x e Q_x dos interruptores,

$$v_{xo} = (U_x - Q_x)E \quad \text{com } x \in \{a, b, c\}, U_x \text{ e } Q_x \in \{0, 1\} \quad (2.24)$$

A equação anterior pode ser tomada como base para se obter as demais equações que definem o funcionamento do inversor da figura 2.6, como também possibilita a obtenção de todas as configurações possíveis dos interruptores do inversor e de suas tensões de pólo.

Os valores das tensões de pólo obtidos pela equação anterior e introduzidos na equação (2.3) fornecem:

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = E \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} U_a - Q_a \\ U_b - Q_b \\ U_c - Q_c \end{bmatrix} \quad \text{com } U_x \text{ e } Q_x \in \{0, 1\} \quad (2.25)$$

Substituindo na equação (2.15), os valores das tensões de pólo obtidas da equação (2.25), obtém-se:

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \frac{E}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} U_a - Q_a \\ U_b - Q_b \\ U_c - Q_c \end{bmatrix} \quad \text{com } U_x \text{ e } Q_x \in \{0, 1\} \quad (2.26)$$

A partir das tabelas 2.6 e 2.7 e das equações (2.24), (2.25) e (2.26), cada módulo monofásico do inversor possui quatro combinações para os dispositivos semicondutores, mas apenas três combinações produzem efetivamente três níveis de tensão de pólo ($-E$, 0 e E), fornecendo um total de $3^3 = 27$ configurações como nos outros inversores de três níveis analisados anteriormente. Logo, as tensões de pólo também possuem três níveis, as tensões de linha possuem cinco níveis e as tensões de fase possuem nove níveis nos inversores trifásicos de três níveis em cascata com fontes CC separadas.

Uma tabela semelhante à 2.4 pode ser escrita para esse tipo de inversor multinível contendo todas as combinações para os interruptores, lembrando-se que, para se obter as tensões de pólo com os mesmos valores das duas estruturas anteriores ($-E/2$, 0 e $E/2$), é necessário que a tensão de cada fonte independente seja igual a $E/2$.

A estrutura do inversor com fontes CC separadas não possui a desvantagem do desequilíbrio das tensões nos capacitores do barramento CC, mas a quantidade destas fontes pode ser um limitador econômico no uso deste tipo de inversor. Apesar disso, esta estrutura é vista como a melhor opção para aplicações de acionamento regenerativo de motores em média tensão e alta potência (RODRÍGUEZ, LAI, PENG, 2002). Seu uso também está sendo discutido em aplicações de condicionamento de linhas de potência com compensação série ou paralela, já que estas topologias possibilitam maior desempenho e menor interferência eletromagnética que os inversores de dois níveis operando com PWM (RODRÍGUEZ, LAI, PENG, 2002).

Uma fase do inversor de sete níveis em cascata é mostrada na figura 2.7. A tensão de fase resultante (em degraus) é obtida a partir da adição das tensões na saída de cada um dos três módulos monofásicos que compõe a fase.

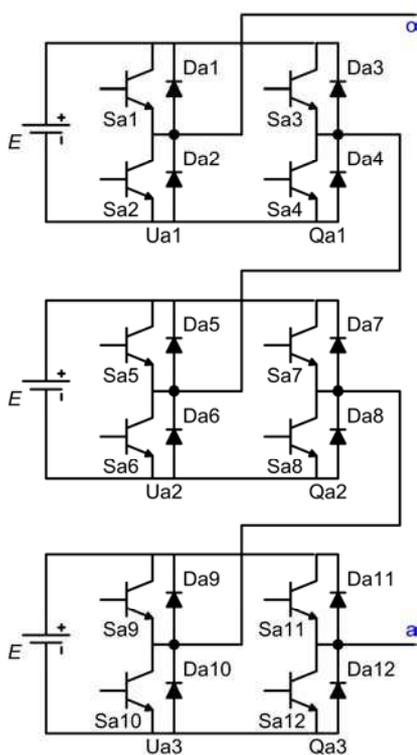


Figura 2.7 – Um braço do inversor trifásico de sete níveis do tipo em cascata com fontes CC separadas.

2.6 INVERSOR DE TRÊS NÍVEIS COM NÚMERO REDUZIDO DE COMPONENTES

Na estrutura do inversor de três níveis com diodos de grampeamento mostrada na figura 2.2.a, existem três caminhos diferentes para condução da corrente entre a fonte E e a carga.

Primeiro, para que a tensão de pólo seja $E/2$, é preciso que os dois dispositivos semicondutores superiores estejam conduzindo a corrente na fase. Dependendo do sentido dessa corrente, a condução se dará ou pelos dois interruptores ou por seus diodos em anti-paralelo.

Na segunda possibilidade, para que a tensão de pólo seja $-E/2$, é preciso que os dois dispositivos semicondutores inferiores estejam conduzindo a corrente na fase. Novamente, dependendo do sentido dessa corrente, a condução se dará ou pelos dois interruptores ou por seus diodos em anti-paralelo.

Por último, para se ter o nível 0 nas tensões de pólo, independentemente do sentido da corrente na fase, a condução se dará sempre por um interruptor e por um diodo de grampeamento.

Logo, o caminho que cada corrente na fase percorre entre a fonte E e a carga passa obrigatoriamente por dois dispositivos semicondutores. Isto implica em um aumento das perdas por condução para esta estrutura de inversor comparada com a estrutura de dois níveis.

BHAGWAT e STEFANOVIC (1983) propuseram uma estrutura generalizada de inversor multinível fonte de tensão para redução do conteúdo harmônico nos sinais de tensão e corrente na saída do inversor. Nessa estrutura o conceito de multinível é demonstrado de forma simples e direta. O objetivo é mostrar que, a partir da ligação de novos interruptores (ou células) entre a carga e um ponto intermediário que separa os capacitores do barramento CC, níveis adicionais podem ser introduzidos internamente às formas de onda PWM de um inversor de dois níveis. Na figura 2.8 é mostrado o circuito elétrico para o caso do inversor de três níveis. Comparada com a estrutura com diodos de grampeamento, a estrutura proposta por BHAGWAT e STEFANOVIC (1983) possui uma quantidade menor de interruptores ou diodos. Dependendo dos

dispositivos semicondutores utilizados nas células e de suas conexões, o inversor multinível com número reduzido de componentes (ou NRC) possibilita perdas em condução menores. Até então, esta topologia de inversor ainda não havia sido explorada com relação às perdas em condução.

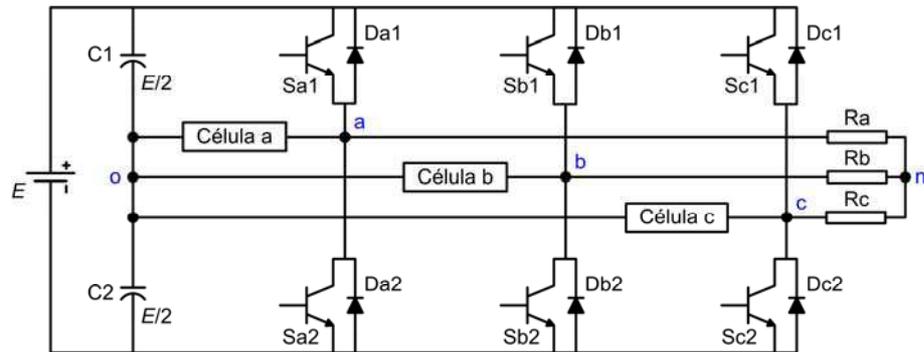


Figura 2.8 – Inversor trifásico de três níveis com interruptores conectados ao ponto central do barramento CC.

Existem algumas possibilidades diferentes de conexão dos dispositivos semicondutores para as células em cada fase do inversor da figura 2.8. Na figura 2.9 pode-se ver três configurações possíveis (SALMON, 1995).

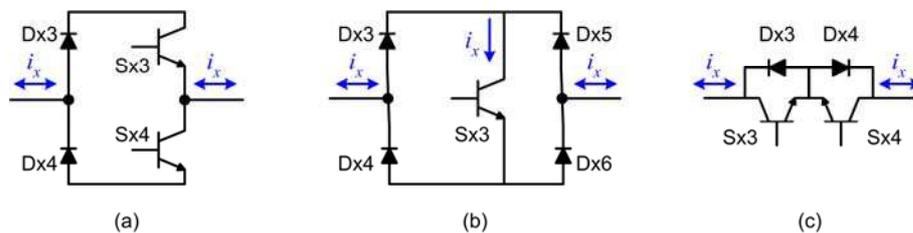


Figura 2.9 – Opções de células com dispositivos semicondutores.

A configuração da figura 2.9.a foi estudada por ZHAO, LI e LIPO (1995) e a configuração da figura 2.9.b foi estudada por KOLAR e ZACH (1994). Ambas as configurações, mais a da figura 2.9.c (SALMON, 1995), foram analisadas para aplicações com retificadores do tipo *boost*.

A princípio, as configurações de células mostradas nas figuras 2.9 necessitam apenas de um *driver* para comandar os dois interruptores, o que diminui ainda mais os custos da montagem desse inversor. A configuração da célula mostrada na figura 2.9.c possui o emissor comum e pode ser formada por dispositivos semicondutores como IGBTs ou MOSFETs de potência (2500 V), muito usado na conversão CC/CC .

Para as células das figuras 2.9.a e 2.9.c pode-se dividir a análise das perdas em condução em dois casos:

i) No caso em que a tensão de pólo for igual a 0, independentemente do sentido da corrente na fase, a condução se dará sempre por um interruptor e por um diodo (S_{x3}/D_{x3} ou S_{x4}/D_{x4} para figura 2.9.a e S_{x3}/D_{x4} ou S_{x4}/D_{x3} para figura 2.9.c.), de forma idêntica ao que acontece com a estrutura com diodos de grampeamento. Logo, neste caso, não há diferença entre as perdas em condução para as duas topologias.

ii) Para o caso em que a tensão de pólo for igual a $E/2$ ou $-E/2$, o inversor de três níveis da figura 2.8 com as configurações de células das figuras 2.9.a e 2.9.c fornece perdas em condução menores do que a estrutura do inversor de três níveis com diodos de grampeamento. Isto porque apenas um e não dois dispositivos semicondutores (S_{x1}/D_{x1} ou S_{x2}/D_{x2}) conduz a corrente na fase.

Desta forma, no cômputo final, a topologia do inversor de três níveis com número reduzido de componentes (NRC), com as opções de células mostradas nas figuras 2.9.a e 2.9.c, fornece uma quantidade total de perdas em condução menor que a topologia com diodos de grampeamento.

Embora a configuração da figura 2.9.b tenha um interruptor a menos, ela possui dois diodos a mais. Isto possibilita um aumento das perdas em condução quando comparada com as outras duas configurações de células, pois para se ter o nível 0 nas tensões de pólo obrigatoriamente a corrente na fase deve seguir por dois diodos (D_{x3} e D_{x6} ou D_{x4} e D_{x5}) e pelo interruptor S_{x3} .

A topologia de inversor de três níveis com a opção de célula mostrada na figura 2.9.c foi escolhida para ser analisada neste trabalho.

Para o correto funcionamento deste inversor são necessárias alterações no comando digital dos interruptores, já que os dispositivos com disparo e bloqueio controlados (interruptores S_x) deverão comutar segundo uma lógica de comando que permita a obtenção dos três níveis de tensão ($-E/2$, 0 e $E/2$), como mostrado na figura 2.10. Nesta figura, S_{x3} representa os interruptores S_{x3} e S_{x4} presentes na configuração da figura 2.9.c.

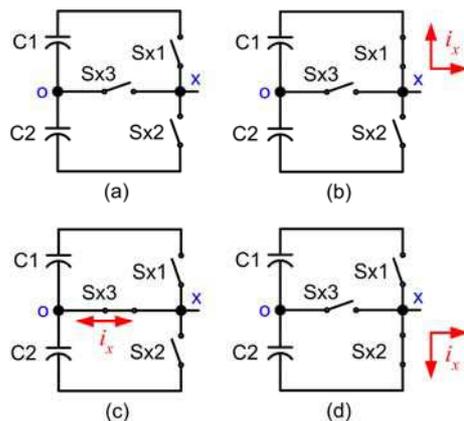


Figura 2.10 – Modos de operação para um braço do inversor NRC. (a) Inversor sem operação. (b) $v_{xo} = E/2$. (c) $v_{xo} = 0$. (d) $v_{xo} = -E/2$.

No caso da modulação se dar durante o semi-ciclo positivo dos sinais de referência (figura 2.11.a), os interruptores da célula (S_{x3} e S_{x4}) são comandados simultaneamente e de forma complementar ao comando do interruptor superior (S_{x1}) do braço respectivo. Quando a modulação se der durante o semi-ciclo negativo dos sinais de referência (figura 2.11.b), o interruptor inferior (S_{x2}) de cada braço do inversor tem seu comando de forma complementar ao comando dos interruptores da célula respectiva (S_{x3} e S_{x4}).

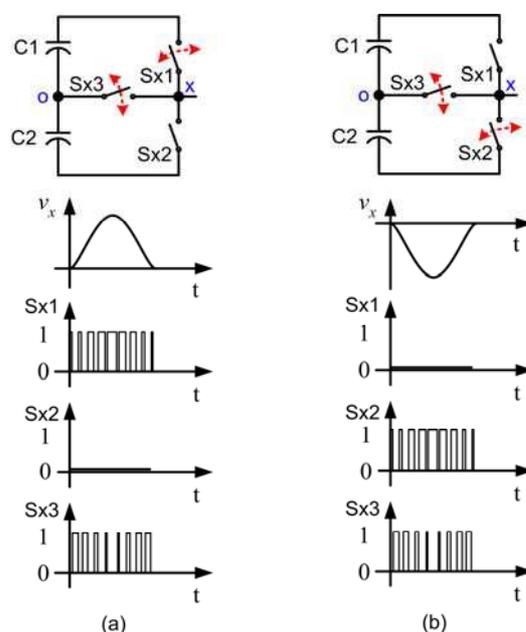


Figura 2.11 – Comando dos interruptores em um braço do inversor NRC. (a) Semi-ciclo positivo dos sinais de referência. (b) Semi-ciclo negativo dos sinais de referência.

Dessa maneira, pode-se utilizar, no inversor de três níveis NCR, qualquer estratégia de modulação para inversores de dois níveis, adicionando apenas uma interface digital entre os dois sinais de PWM gerados pelo sistema de comando (DSP, microcomputador, etc.) e os três sinais de comando que efetivamente acionam os interruptores de uma fase. Na figura 2.12 é mostrado um exemplo de interface para uma fase do inversor de três níveis NRC. Neste caso, é necessário que o sistema de comando do inversor forneça também três sinais digitais e_a , e_b e e_c , um para cada fase do inversor, informando se as tensões de referência se encontram ou no semi-ciclo positivo ($e_x = 1$) ou no negativo ($e_x = 0$), com $x \in \{a, b, c\}$.

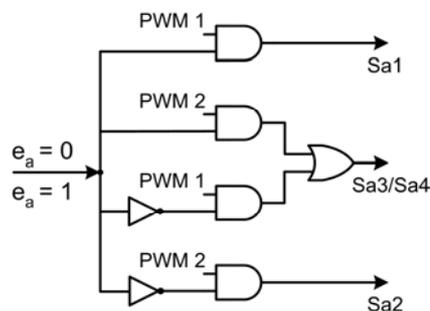


Figura 2.12 – Interface digital para os sinais de comando dos interruptores para um braço do inversor de três níveis com número reduzido de componentes.

O mesmo tratamento matemático dado aos inversores multiníveis com diodos de grampeamento pode ser repetido para a topologia NRC, mostrada na figura 2.8, obtendo as mesmas equações para as tensões de pólo, de fase e de linha.

Uma desvantagem da estrutura NRC é que os interruptores S_{x1} e S_{x2} devem ser dimensionados para suportar a tensão total do barramento CC, uma vez que, a cada semi-ciclo dos sinais de referência, um destes interruptores permanece bloqueado, ora submetido à tensão total do barramento, ora submetido à tensão em um dos capacitores (S_{x2} no semi-ciclo positivo e S_{x1} no semi-ciclo negativo, figura 2.11). No entanto, durante o semi-ciclo dos sinais de referência em que os interruptores estão comutando seus estados de condução para bloqueio e vice-versa (S_{x1} no semi-ciclo positivo e S_{x2} no semi-ciclo negativo, figura 2.11), S_{x1} e S_{x2} são sempre submetidos à tensão em cada capacitor (metade da tensão total do barramento CC no caso ideal). É este valor de tensão que deve ser utilizado para cálculo das perdas por comutação.

No caso dos dois interruptores da célula (S_{x3} e S_{x4}), ambos recebem o mesmo sinal de comando, mas apenas um conduz a corrente na fase dependendo do seu sentido. Cada interruptor comuta seu estado de condução para bloqueio e vice-versa, ora submetido à tensão nula, ora submetido à tensão em um capacitor, dependendo do sentido da corrente na fase e do semi-ciclo do sinal de referência. Como neste caso, cada interruptor conduz realmente a corrente na fase em intervalos diferentes, tem-se o mesmo comportamento como na estrutura de três níveis com diodos de grampeamento, quando a conexão da fase se faz com o ponto central do barramento CC. Logo, a topologia do inversor de três níveis mostrada na figura 2.8, com a configuração de célula da figura 2.9.c, produz a mesma quantidade de perdas por comutação e menos perdas em condução que a topologia do inversor de três níveis com diodos de grampeamento, mostrada na figura 2.2.a.

No capítulo 7, tanto as perdas em condução, quanto as perdas devido à comutação, são tratadas com mais detalhes. Os inversores de dois níveis, três níveis com diodos de grampeamento e também a estrutura de três níveis com número reduzido de componentes são analisadas.

Com as novas tecnologias de fabricação dos semicondutores (HV-IGBT e IGCT) o nível de tensão sobre estes componentes deixou de ser uma limitação para aplicações em médias tensões e potências. No entanto, tensões elevadas sobre os interruptores fornecem uma quantidade maior de perdas por comutação. Assim, um campo ótimo de interesse da topologia de inversor de três níveis com número reduzido de componentes pode ser em aplicações de baixa tensão e potência em substituição aos inversores de dois níveis. Neste caso, o inversor NRC, além de possibilitar a redução efetiva das perdas, como será mostrado no capítulo 7, também melhora a qualidade dos sinais de saída de forma semelhante ao que é feito pelo inversor de três níveis com diodos de grampeamento.

Aplicações importantes em baixa tensão para esta topologia podem ser no uso com filtros ativos, fontes para sistemas de telecomunicações e acionamento de motores, nos quais a qualidade dos sinais de saída do inversor, a quantidade de IEM

devido à comutação e as perdas devido à condução nos dispositivos semicondutores sejam elementos decisivos para determinar a topologia a ser utilizada para conversão.

No caso das fontes para telecomunicações, a interferência eletromagnética causada pela comutação excessiva dos dispositivos semicondutores, em frequências elevadas, sugere um campo interessante de aplicação do inversor de três níveis NRC operando com frequência de comutação menor, mas com uma qualidade melhor ou igual nos sinais de saída, do que o inversor de dois níveis.

Outra característica interessante do inversor NRC é a possibilidade de manter o funcionamento do sistema de acionamento após uma falha em algum dispositivo. Nas figuras 2.13, 2.14 e 2.15 é mostrado o inversor NRC operando normalmente e após os quatro casos possíveis de falhas em um braço.

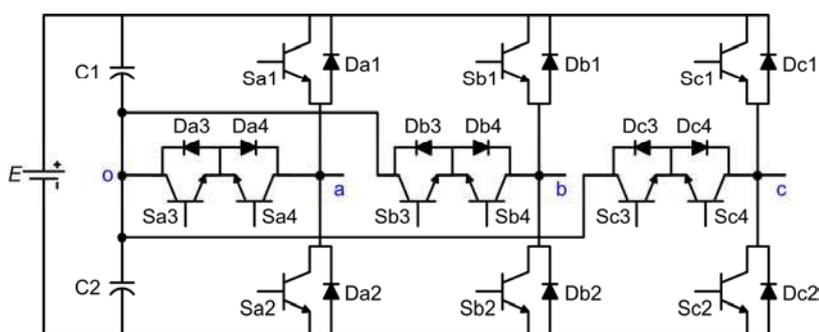


Figura 2.13 – Modo de operação normal do inversor NRC.

Os casos de curto-circuito podem ser tratados como abertura não comandada do dispositivo colocando um fusível ultra-rápido em série com ele, ou estudados independentemente com o propósito de manter o funcionamento do inversor em outros modos de operação.

Na figura 2.14, quando da ocorrência de uma falha no interruptor S_{a1} ou S_{a2} , pode-se manter o funcionamento do inversor com estes interruptores sem conduzir e mantendo os interruptores S_{a3} e S_{a4} conduzindo sem modulação. Neste caso, os outros braços devem garantir a tensão na fase a para que o inversor mantenha as tensões de pólo em três níveis.

Como mostrado na figura 2.15, na ocorrência de uma falha no interruptor S_{a3} ou S_{a4} , pode-se manter o funcionamento do inversor modificando a técnica de modulação para operar o braço em dois níveis por meio dos interruptores S_{a1} e S_{a2} .

Neste caso, existem duas possibilidades de operação dos outros braços do inversor, ou eles continuam sendo modulados em três níveis ou passam a ser modulados também em dois níveis, para isso mantendo os interruptores S_{b3} , S_{b4} , S_{c3} e S_{c4} bloqueados.

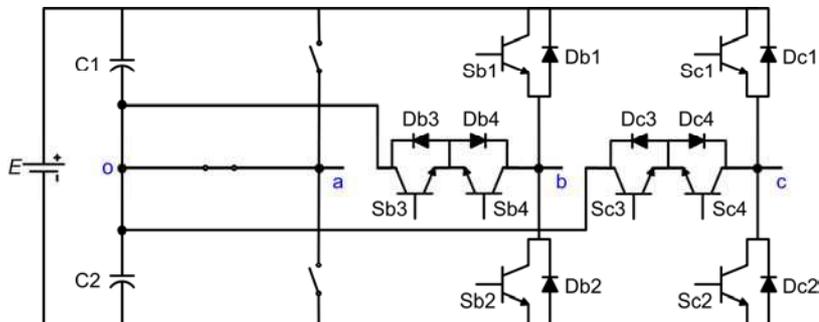


Figura 2.14 – Modo de operação do inversor NRC na ocorrência de uma falha em S_{a1} ou S_{a2} .

Podem ser estudadas outras formas de manter o funcionamento do inversor após a detecção de falha em um interruptor, inclusive incluindo componentes auxiliares para compensação da falta. A quantidade de estudos para detecção e compensação de falhas em inversores multiníveis ainda é muito pouca. Existe, portanto, um campo ótimo de pesquisa a ser explorado.

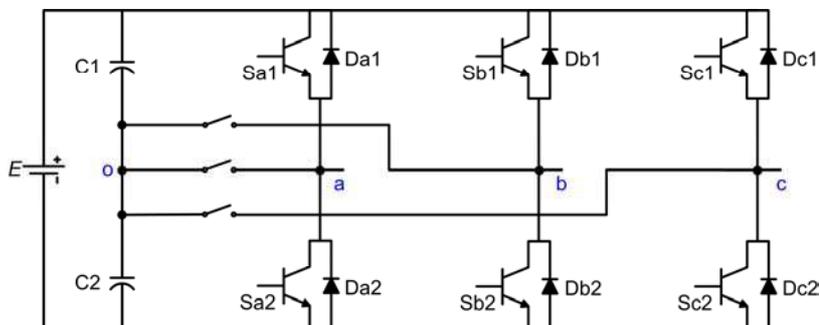


Figura 2.15 – Modo de operação do inversor NRC na ocorrência de uma falha em S_{a3} ou S_{a4} .

Uma desvantagem da topologia de inversor de três níveis NRC, mostrada na figura 2.13, é a necessidade de técnicas para manter a equalização das tensões nos capacitores do barramento CC, assim como no caso da topologia com diodos de grampeamento. No capítulo 6, serão apresentadas algumas destas técnicas para o inversor de três níveis com diodos de grampeamento que podem ser utilizadas também no inversor NRC.

2.7 CONCLUSÕES

Neste capítulo foram formuladas as equações que fornecem os valores das tensões obtidas na saída dos inversores de dois e três níveis. Também foram definidos os problemas inerentes a cada topologia de inversor e citadas algumas de suas principais aplicações.

O elevado número de capacitores na topologia com capacitores flutuantes requer uma preocupação maior com o problema do desequilíbrio das tensões nestes capacitores.

Com o aumento do número de níveis, eleva-se o problema da implementação prática de inversores multiníveis em cascata devido à quantidade de fontes CC separadas para conexão com os módulos monofásicos.

A praticidade de montagem, o maior uso em aplicações industriais e a maior quantidade de estudos realizados para análise e comando desta topologia, fizeram com que, neste trabalho, o inversor de três níveis com diodos de grampeamento fosse escolhido para viabilizar os estudos propostos. Para tanto, foram estudadas soluções para o desequilíbrio das tensões nos capacitores do barramento CC.

Também foi analisada uma topologia de inversor de três níveis com número reduzido de componentes para aplicações em baixas tensões e potências. Esta topologia fornece perdas menores, comparada com a de três níveis com diodos de grampeamento, como também melhora significativamente a qualidade dos sinais na saída do inversor, quando comparada com a topologia de dois níveis.

TÉCNICAS DE MODULAÇÃO PARA INVERSORES

3.1 INTRODUÇÃO

Neste capítulo são apresentadas as estratégias de modulação por comparação com portadora triangular (CB-PWM), modulação vetorial (SV-PWM) e modulação híbrida (*Hybrid-PWM*). Também, é definido o conceito de razão de distribuição vetorial.

As estratégias mencionadas anteriormente utilizam frequência de comutação (f_s) fixa. Para frequências de 6 até 18 kHz, o ruído devido à comutação e a vibração mecânica provocada pelo inversor na máquina são mais perceptíveis ao ser humano. Neste capítulo será discutida uma técnica de modulação randômica, aplicada inicialmente aos inversores de dois níveis (JACOBINA et al., 1998) e posteriormente aos inversores de três níveis com diodos de grampeamento (DE OLIVEIRA et al., 2005). Essa técnica reduz a intensidade do ruído alocado em frequências específicas e múltiplas da frequência de comutação, a partir da determinação aleatória do valor de f_s .

No final do capítulo é definido o parâmetro de desempenho utilizado para verificar a qualidade dos sinais obtidos na saída do inversor de três níveis com a técnica de modulação proposta.

3.2 MODULAÇÃO POR COMPARAÇÃO COM PORTADORA

Nos conversores, o intervalo de tempo em que um interruptor permanece no seu estado de condução somado ao intervalo de tempo em que ele permanece no seu estado de bloqueio é chamado de pulso de comando do interruptor.

Os pulsos de comando para os interruptores de um inversor de dois níveis podem ser gerados quando três tensões senoidais (modulantes) defasadas de 120° uma da outra (v_a , v_b e v_c) são comparadas com um sinal triangular em alta frequência, chamada de portadora triangular, conforme visto na figura 3.1. Esta técnica é chamada de *Carrier Based PWM* (CB-PWM), ela foi proposta por SCHÖNUNG e STEMMLER (1964).

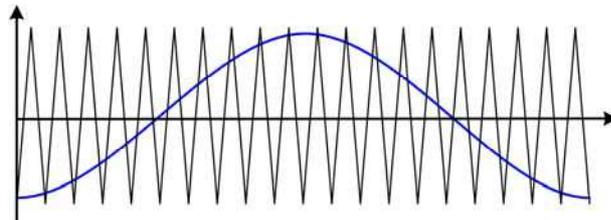


Figura 3.1 – Modulação por comparação com portadora triangular.

Na figura 3.2, pode-se ver os pulsos de comando para os interruptores superiores em cada braço do inversor de dois níveis da figura 2.1.a, para cada período de modulação T_s .

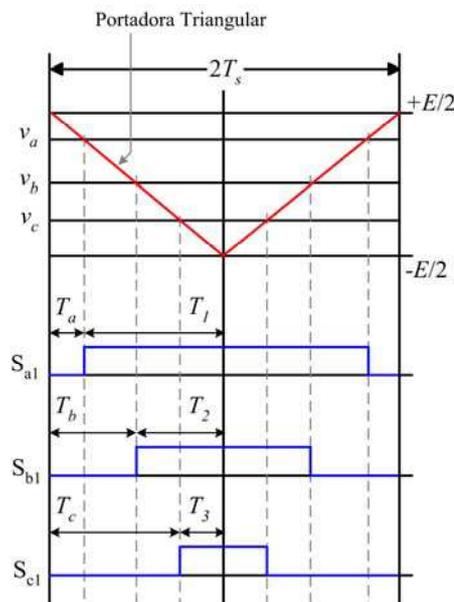


Figura 3.2 – Pulsos de comando dos interruptores do inversor de 2 níveis com modulação por portadora.

Baseado no valor médio que o sinal de saída modulado deve ter em um período a partir do sinal de referência de entrada (v_x), os tempos em que os interruptores permanecem em condução (T_1 , T_2 , T_3) são dados por:

$$T_y = \left(\frac{v_x}{E} + \frac{1}{2} \right) T_s \quad \text{com } x \in \{a, b, c\} \text{ e } y \in \{1, 2, 3\} \quad (3.1)$$

A modulação senoidal foi muito empregada no passado devido à sua facilidade para implementação utilizando circuitos analógicos ou mesmo digitais.

3.3 MODULAÇÃO RANDÔMICA

Em geral, um inversor com modulação por largura de pulso (PWM) utiliza uma frequência de modulação constante. Com o aumento da frequência de comutação, correntes harmônicas deslocam-se para altas frequências e a distorção por harmônicos pode ser reduzida em cargas indutivas. Contudo, o ruído devido à comutação dos interruptores do inversor torna-se maior, além disso, pode haver um aumento na quantidade de interferência eletromagnética (IEM), também produzida pela comutação, causando problemas nos sinais de comunicação (NA et al., 2002). Em outras palavras, a comutação regular de um inversor, operando com modulação por largura de pulso e alimentando um motor de corrente alternada, é responsável pela condução e irradiação da interferência eletromagnética, bem como pelo aparecimento de distúrbios acústicos provocados pela ressonância mecânica (BOLOGNANI, CONTON, ZIGLIOTTO, 1996).

Análises realizadas no domínio da frequência no ruído gerado pela comutação regular de um inversor com PWM demonstraram que a potência deste ruído concentra-se em torno da frequência de comutação e de seus múltiplos (PEDERSEN, BLAABJERG, FREDERIKSEN, 1993). Se a potência do ruído de comutação for distribuída no domínio da frequência, as amplitudes do seu espectro serão reduzidas (BOLOGNANI, CONTON, ZIGLIOTTO, 1996). Como resultado, pode-se ter uma diminuição na intensidade de vibrações mecânicas em máquinas, provocadas pelo inversor, e também uma atenuação da intensidade do ruído, antes concentrado em frequências específicas e agora espalhado ao longo do espectro.

Convencionalmente, a frequência de comutação (f_s) possui um valor constante nas estratégias de PWM. Na modulação randômica, a tensão de referência v_a , com frequência constante f_m , é comparada com um sinal triangular em alta frequência (f_s).

A frequência f_s é determinada aleatoriamente dentro de uma faixa pré-determinada. Desta forma, os pulsos de comando para os interruptores do inversor terão uma frequência variável, como mostrado na figura 3.3.

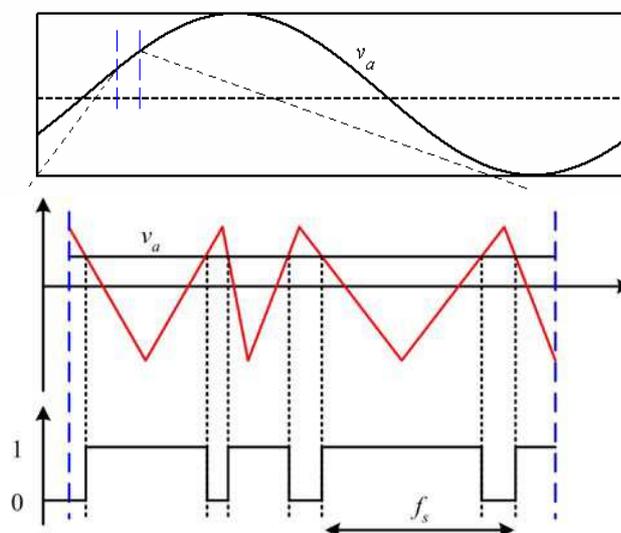


Figura 3.3 – PWM com frequência de comutação randômica.

Um gerador de números randômicos deve ser utilizado para determinar aleatoriamente um número inteiro dentro de uma faixa pré-estabelecida. A frequência de comutação é então calculada em função deste número, de forma que: $f_{\min} \leq f_s \leq f_{\max}$, obedecendo alguns fatores de projeto, tais como: 1) capacidade de abertura e fechamento dos interruptores utilizados; 2) potência e frequência de trabalho do inversor no sistema; 3) compromisso com baixa distorção harmônica nos sinais de saída; perdas por comutação, etc.

A modulação randômica é fundamentada no desenvolvimento de um gerador de números randômicos que:

- Possua probabilidades iguais para a geração de cada um dos números, dentro de um intervalo específico.
- Evite periodicidade.

Na técnica de PWM com randomização da frequência de comutação (f_s) abordada por JACOBINA et al. (1998), k_t valores distintos desta frequência, selecionados randomicamente, estão contidos em uma faixa entre f_{\min} e f_{\max} , cada valor possuindo uma probabilidade p_g (com $g = 1, 2, \dots, k_t$).

A frequência de comutação média f_{med} pode ser calculada como:

$$f_{\text{med}} = \sum_{g=1}^{k_t} p_g f_s(g) \quad (3.2)$$

Para assegurar uma distribuição uniforme de potência no espectro da tensão de saída do inversor, todas as probabilidades são feitas iguais: $p_1 = p_2 = \dots = p_{k_t} = 1/k_t$. Os valores individuais da frequência de comutação randômica são determinados por:

$$f_s(g) = \frac{f_{\text{max}}}{g} \quad (3.3)$$

No programa desenvolvido, tanto para simulação em microcomputador como para controlar o DSP, foi utilizada uma função pseudo-randômica em C++ para gerar os k_t valores de g aleatoriamente.

Vários trabalhos científicos que abordam as estratégias de modulação randômica objetivam a análise dos espectros dos sinais de saída do inversor e os efeitos no sistema de acionamento (NA et al., 2002; BOLOGNANI, CONTON, ZIGLIOTTO, 1996; LAI, 1999; LEE, HUI, CHUNG, 2000; BOYS, ANDREWS, 1993; PEDERSEN, BLAABJERG, FREDERIKSEN, 1993; ZIGLIOTTO, TRZYNADLOWSKI, 1998; LIAW et al., 2000; TRZYNADLOWSKI et al., 1994; SHRIVASTAVA, HUI, 1999; HABETLER, DIVAN, 1991).

3.4 MODULAÇÃO VETORIAL

Com o desenvolvimento dos microprocessadores, a estratégia de modulação *Space Vector* PWM (SV-PWM), proposta por PFAFF, WESCHTA e WICK (1984) e mais adiante desenvolvida por VAN DER BROECK, SKUDELNY e STANKE (1988), tornou-se a técnica de processamento de potência mais utilizada em conversores trifásicos com modulação por largura de pulso.

Ao longo destes anos, diversas técnicas de modulação vetorial foram desenvolvidas para se obter diferentes características de operação para os inversores de tensão, conforme revisão bibliográfica apresentada.

O surgimento da SV-PWM possibilitou a representação dos estados de operação dos interruptores do inversor (0 = bloqueio, 1 = condução) por vetores

espaciais de tensão, como mostrado na tabela 3.1. O conjunto de três vetores adjacentes forma os vértices de um triângulo, o conjunto de todos os triângulos forma o hexágono dos vetores de tensão no plano das variáveis dq ou diagrama vetorial, como mostrado na figura 3.4. A utilização de um conjunto de vetores específicos forma o padrão de vetores para um período da modulação. Na tabela 3.1, k_a , k_b e k_c representam os estados dos interruptores superiores para cada braço do inversor de dois níveis.

Tabela 3.1 – Vetores espaciais de tensão para um inversor trifásico de dois níveis.

Configuração	k_a	k_b	k_c	v_{ao}	v_{bo}	v_{co}	Vetor Espacial
0	0	0	0	$-E/2$	$-E/2$	$-E/2$	$\mathbf{V}_0 = 0$
1	1	0	0	$E/2$	$-E/2$	$-E/2$	$\mathbf{V}_1 = (2E/3)e^{j0\pi/3}$
2	1	1	0	$E/2$	$E/2$	$-E/2$	$\mathbf{V}_2 = (2E/3)e^{j1\pi/3}$
3	0	1	0	$-E/2$	$E/2$	$-E/2$	$\mathbf{V}_3 = (2E/3)e^{j2\pi/3}$
4	0	1	1	$-E/2$	$E/2$	$E/2$	$\mathbf{V}_4 = (2E/3)e^{j3\pi/3}$
5	0	0	1	$-E/2$	$-E/2$	$E/2$	$\mathbf{V}_5 = (2E/3)e^{j4\pi/3}$
6	1	0	1	$E/2$	$-E/2$	$E/2$	$\mathbf{V}_6 = (2E/3)e^{j5\pi/3}$
7	1	1	1	$E/2$	$E/2$	$E/2$	$\mathbf{V}_7 = 0$

Os vetores \mathbf{V}_0 e \mathbf{V}_7 são chamados de vetores nulos (ou de roda livre), pois as combinações dos interruptores que os originam não possibilitam o fluxo de energia entre a fonte CC e a carga, ao contrário das combinações dos interruptores que dão origem aos seis vetores ativos \mathbf{V}_1 , \mathbf{V}_2 , \mathbf{V}_3 , \mathbf{V}_4 , \mathbf{V}_5 , \mathbf{V}_6 . As tensões de pólo moduladas (v_{ao} , v_{bo} e v_{co}) são obtidas pela equação (2.11). Na figura 3.4 pode-se ver o diagrama vetorial para o inversor de dois níveis e as seis regiões em que ele pode ser dividido.

O vetor tensão de referência \mathbf{V}_S , definido pela amplitude V_S e por sua posição θ , determina o triângulo cujos vértices são os vetores espaciais de tensão que são utilizados em um período da modulação.

Para um período da modulação compreendido na região 1 do diagrama vetorial da figura 3.4, os intervalos de tempo (t_0 , t_1 , t_2 , t_7) de aplicação dos vetores (\mathbf{V}_0 , \mathbf{V}_1 , \mathbf{V}_2 , \mathbf{V}_7) que limitam a região são determinados e então somados para se obter os tempos em que os interruptores permanecem no estado de condução (T_1 , T_2 , T_3), conforme mostrado na figura 3.5. Quem determina o tempo de aplicação de cada vetor

espacial é o vetor tensão de referência V_s , obtido a partir dos sinais de referência senoidais ($v_a, v_b, e v_c$).

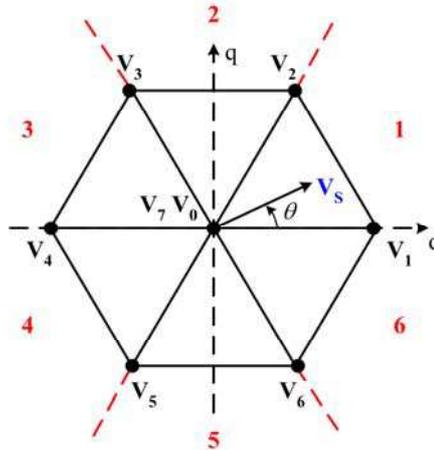


Figura 3.4 – Diagrama vetorial do inversor de 2 níveis com modulação vetorial.

A modulação vetorial emprega uma notação vetorial para tratamento de suas grandezas, isto simplifica a análise do sistema investigado (VEENSTRA, RUFER, 2000). As quantidades trifásicas abc são transformadas, dentro de um plano complexo bi-dimensional denominado de dq , em um vetor usualmente definido a partir de números complexos,

$$V_s = p(v_a e^{j0} + v_b e^{j\frac{2\pi}{3}} + v_c e^{j\frac{4\pi}{3}}) \tag{3.4}$$

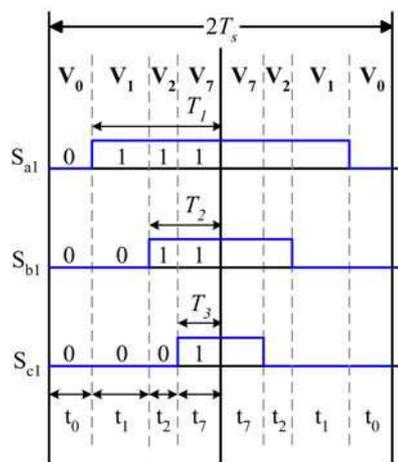


Figura 3.5 – Pulsos de comando dos interruptores do inversor de 2 níveis com modulação vetorial.

Para um sistema senoidal simétrico, o vetor V_s irá girar (fasor) ao longo de um círculo através do plano complexo dq . Este vetor pode ser decomposto em suas componentes nos eixos dq ,

$$\mathbf{V}_s = V_s e^{j\theta} = V_{sd} + jV_{sq} \quad (3.5)$$

A equação (3.5) também pode ser representada de forma matricial,

$$\begin{bmatrix} V_{sd} \\ V_{sq} \end{bmatrix} = p \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (3.6)$$

O fator p , nas equações (3.4) e (3.6), tem assumido alguns valores na literatura técnica dependendo da aplicação do estudo proposto. Alguns valores usualmente utilizados são 1, $2/3$ e $\sqrt{2/3}$. A escolha do fator $p = 2/3$ fornece o módulo do vetor \mathbf{V}_s como sendo igual à amplitude dos sinais trifásicos v_a , v_b e v_c (VEENSTRA, RUFER, 2000).

O vetor \mathbf{V}_s , nas equações anteriores, representa a parte denominada de modo-diferencial das grandezas trifásicas originais. A componente homopolar ou parte modo-comum (também denominada de seqüência zero) das quantidades trifásicas é usualmente omitida ou tratada separadamente, pois ela tem uma influência completamente diferente no sistema (VEENSTRA, RUFER, 2000). Usualmente, o valor médio das quantidades trifásicas é utilizado para representar a componente homopolar, definida por:

$$V_{s0} = \frac{1}{3}(v_a + v_b + v_c) \quad (3.7)$$

Em algumas aplicações, quando se faz necessária a introdução da componente homopolar nas análises, uma matriz de transformação $abc \rightarrow 0dq$ do tipo 3x3, conforme (3.8), pode ser utilizada para combinar as transformações de modo-diferencial e de modo-comum (VEENSTRA, RUFER, 2000).

$$A_p = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \quad (3.8)$$

O fator p é feito igual a $\sqrt{2/3}$ para possibilitar que as equações de potência instantânea sejam conservadas com a transformação (VEENSTRA, RUFER, 2000).

As tensões senoidais de referência para a modulação vetorial (v_a , v_b e v_c) são dadas por:

$$\begin{aligned} v_a &= V_p \cos(\theta) \\ v_b &= V_p \cos(\theta - 2\pi/3) \\ v_c &= V_p \cos(\theta + 2\pi/3) \end{aligned} \quad (3.9)$$

Sendo:

$$V_p = m(E/2)$$

$$\theta = 2\pi f_m t_a$$

m = índice de modulação senoidal

f_m = frequência dos sinais de referência

t_a = tempo de amostragem dos sinais

E = Tensão do barramento CC

Na equação (3.6) para $p = 2/3$, se no lugar dos sinais de referência senoidais (v_a , v_b e v_c) forem utilizadas as tensões de pólo (v_{ao} , v_{bo} e v_{co}) dadas na tabela 3.1, os vetores espaciais de tensão são determinados.

Na figura 3.5 pode-se ver os pulsos de comando para os interruptores superiores de cada braço de um inversor de dois níveis, em um período da modulação T_s compreendido na região 1 do diagrama vetorial da figura 3.4. Pode-se também observar os tempos de aplicação de cada vetor.

Para a figura 3.4, a equação de balanço Volts/segundos fornece os tempos de aplicação dos vetores ativos (\mathbf{V}_1 e \mathbf{V}_2),

$$\mathbf{V}_s T_s = \mathbf{V}_1 t_1 + \mathbf{V}_2 t_2 + \mathbf{V}_0 t_0 + \mathbf{V}_7 t_7 \quad (3.10)$$

Os tempos de aplicação dos vetores nulos são determinados pela equação:

$$T_s = t_1 + t_2 + T_0 \quad (3.11)$$

Sendo T_0 o tempo total de aplicação dos vetores nulos (\mathbf{V}_0 e \mathbf{V}_7), dado por:

$$T_0 = t_0 + t_7 \quad (3.12)$$

Substituindo os valores de \mathbf{V}_0 , \mathbf{V}_1 , \mathbf{V}_2 e \mathbf{V}_7 , dados na tabela 3.1, na equação (3.10) e após algumas manipulações algébricas e trigonométricas, tem-se:

$$t_1 = \sqrt{3} \frac{V_s}{E} T_s \operatorname{sen}\left(\frac{\pi}{3} - \theta\right) \quad (3.13)$$

$$t_2 = \sqrt{3} \frac{V_S}{E} T_S \text{sen}(\theta) \quad (3.14)$$

Substituindo os valores de t_1 e t_2 , dados pelas equações anteriores, na equação (3.11), determina-se o tempo total de aplicação dos vetores nulos,

$$T_0 = T_S - t_1 - t_2 \quad (3.15)$$

A partir da figura 3.5 e dos tempos de aplicação dos vetores espaciais, determinados pelas equações (3.13), (3.14) e (3.15), os tempos em que os interruptores permanecem em condução (T_1 , T_2 , T_3), durante um período da modulação (T_S), são dados por:

$$\begin{aligned} T_1 &= t_1 + t_2 + t_7 \\ T_2 &= t_2 + t_7 \\ T_3 &= t_7 \end{aligned} \quad (3.16)$$

A análise feita anteriormente vale para a região 1 do diagrama vetorial da figura 3.4, para as demais regiões deve-se substituir os vetores espaciais pelos seus respectivos valores para cada região considerada.

3.4.1 Conceito de Índice de Modulação

Neste trabalho, o índice de modulação vetorial é definido como sendo a relação entre a amplitude do vetor tensão de referência pela amplitude máxima que este vetor pode atingir na modulação vetorial,

$$m_V = \frac{V_S}{V_{S \max}} \quad (3.17)$$

Também, é definido o índice de modulação senoidal como sendo a relação entre o valor de pico dos sinais senoidais de referência (v_a , v_b e v_c) pelo valor de pico máximo que estes sinais podem assumir na modulação por comparação com portadora,

$$m = \frac{V_P}{V_{P \max}} \quad (3.18)$$

Substituindo na equação 3.6 os valores de v_a , v_b e v_c dados na equação (3.9), para $p = 2/3$, tem-se:

$$\begin{aligned} V_{Sd} &= V_p \cos(\theta) \\ V_{Sq} &= V_p \text{sen}(\theta) \end{aligned} \quad (3.19)$$

A amplitude do vetor tensão de referência é dada em função das componentes dq como:

$$V_S = \sqrt{(V_{sd})^2 + (V_{sq})^2} \quad (3.20)$$

Resolvendo a equação anterior para V_S , tem-se:

$$V_S = V_P \quad (3.21)$$

Logo, para um sistema trifásico equilibrado, fazendo $p = 2/3$ na equação (3.6), obtém-se a amplitude do vetor tensão de referência igual ao valor de pico das grandezas trifásicas.

Na figura 3.6 é mostrada a região 1 do diagrama vetorial do inversor de dois níveis (figura 3.4). A partir desta figura pode-se determinar a amplitude máxima que o vetor tensão de referência pode assumir.

Da tabela 3.1, a amplitude dos vetores espaciais de tensão vale $2E/3$. Da figura 3.5,

$$h = |\mathbf{V}_1| = \frac{2E}{3} \quad (3.22)$$

$$a = h \sin(30^\circ) = |\mathbf{V}_1| \sin(30^\circ) = \frac{E}{3} \quad (3.23)$$

$$b = h \cos(30^\circ) = |\mathbf{V}_1| \cos(30^\circ) = \frac{2E}{3} \frac{\sqrt{3}}{2} = \frac{E}{\sqrt{3}} \quad (3.24)$$

Logo:

$$V_{S \max} = b = \frac{E}{\sqrt{3}} \quad (3.25)$$

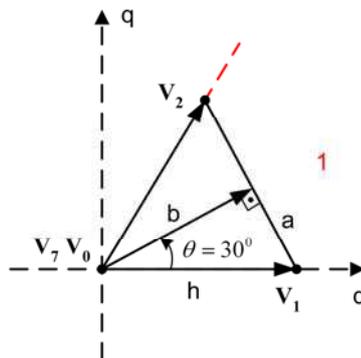


Figura 3.6 – Região 1 do diagrama vetorial do inversor de 2 níveis.

Uma vez que os sinais senoidais (v_a , v_b e v_c) servem como referência para a modulação, eles determinam as configurações dos interruptores a cada instante, de tal forma que estas configurações fornecem as tensões de pólo moduladas e que são limitadas aos valores de tensão do barramento CC ($-E/2$ e $E/2$). Assim, o valor máximo V_{Pmax} dos sinais senoidais é limitado ao valor máximo que a tensão de pólo modulada pode assumir ($E/2$).

Substituindo os valores de V_S (3.17) e V_p (3.18) na equação (3.21), tem-se:

$$m_V V_{Smax} = m V_{Pmax} \tag{3.26}$$

Resolvendo a equação anterior,

$$m_V \frac{E}{\sqrt{3}} = m \frac{E}{2} \tag{3.27}$$

Logo, a relação entre os índices de modulação vetorial e senoidal é dada por:

$$m_V = m \frac{\sqrt{3}}{2} \tag{3.28}$$

Da equação (3.28), para um índice de modulação vetorial limitado ao intervalo $0 \leq m_V \leq 1$, tem-se um índice de modulação senoidal limitado ao intervalo $0 \leq m \leq (2/\sqrt{3})$.

Define-se a região de sobremodulação senoidal como sendo a região limitada ao intervalo $1 \leq m \leq (2/\sqrt{3})$, o que equivale no diagrama vetorial à região limitada ao intervalo $(\sqrt{3}/2) \leq m_V \leq 1$, conforme mostrado na figura 3.7.

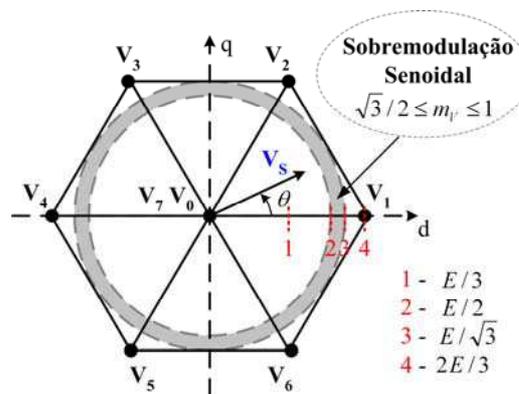


Figura 3.7 – Diagrama vetorial do inversor de 2 níveis: sobremodulação senoidal.

Assim, a modulação vetorial naturalmente estende a região de linearidade, permitindo operar o inversor na sobremodulação senoidal. Isto possibilita um melhor aproveitamento da tensão do barramento CC.

Contudo, como foi visto, a modulação vetorial possui cálculos mais complexos para determinação dos tempos de aplicação dos vetores espaciais. Isto aumenta o tempo das operações e do processamento do algoritmo.

Na modulação por comparação com portadora, pode-se estender a região de linearidade adicionando um sinal de seqüência zero nos sinais de referência senoidais, como será mostrado na seção 3.5.

3.4.2 Conceito de Razão de Distribuição Vetorial

A técnica SV-PWM, tradicionalmente estudada, considera a aplicação dos vetores nulos \mathbf{V}_0 e \mathbf{V}_7 com tempos de duração t_0 e t_7 iguais dentro de um período da modulação (figura 3.5).

Uma maneira de modificar a distorção por harmônicos nos sinais de saída do inversor é controlando os tempos de aplicação dos vetores nulos \mathbf{V}_0 e \mathbf{V}_7 no início e no final de cada período da modulação (OGASAWARA, AKAGI, NABAE, 1989). Estes tempos podem ser igualmente distribuídos ou não, segundo uma variável de controle ‘ μ ’ denominada de razão de distribuição vetorial.

De acordo com a figura 3.8, o intervalo de tempo t_0 do vetor \mathbf{V}_0 e o intervalo de tempo t_7 do vetor \mathbf{V}_7 estão relacionados com o tempo total de aplicação dos vetores nulos ($T_0 = t_0 + t_7$) da seguinte forma:

$$t_0 = (1 - \mu)T_0 \quad (3.29)$$

$$t_7 = \mu T_0 \quad (3.30)$$

Assim, o tempo de aplicação do vetor \mathbf{V}_7 (ou \mathbf{V}_0) pode ser feito variável de 0 a 100% sobre o tempo T_0 . A relação entre estes tempos pode então ser mantida constante ou variar de um período para outro da modulação, modificando as características dos sinais do PWM de acordo com o valor de ‘ μ ’, que pode assumir qualquer valor dentro do intervalo $0 \leq \mu \leq 1$.

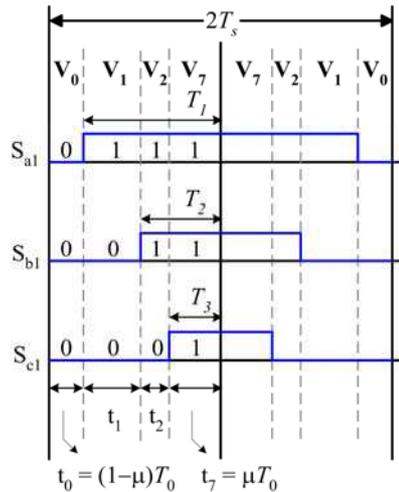


Figura 3.8 – Pulsos de comando dos interruptores do inversor de 2 níveis com modulação vetorial: conceito de razão de distribuição vetorial ‘ μ ’.

Quando ‘ μ ’ é constante e igual a 0,5 tem-se a modulação contínua simétrica. Quando ‘ μ ’ é constante e igual a 0 ou 1 obtém-se as técnicas de modulação descontínua. Também, ‘ μ ’ pode variar periodicamente de 0 para 1, ou de 1 para 0, no final de um setor (a cada 60° , portanto), como indicado pelas variações 1 e 2 na figura 3.9, ou defasada de 30° em relação a variação 1, como indicado pelas variações 3 e 4, na mesma figura. Esses casos são apresentados na literatura técnica com diferentes nomes (HAVA, KERKMAN, LIPO, 1997). As variações de 1 a 4 também fazem parte das técnicas de modulação descontínua que correspondem ao grampeamento de uma das fases enquanto as outras duas continuam sendo moduladas.

O valor de ‘ μ ’ utilizado na modulação pode afetar o valor eficaz da corrente em uma carga indutiva que pode ser melhorado pela combinação do uso de $\mu = 0,5$ para valores do índice de modulação m até 0,9 e de $\mu =$ Variação 3 para valores maiores de m , nos inversores de dois níveis (HAVA, KERKMAN, LIPO, 1997; KOLAR, ERTL, ZACH, 1991). No capítulo 4 será mostrado como o conceito de razão de distribuição vetorial pode ser estendido aos inversores multiníveis a partir da estratégia de modulação proposta.

O grampeamento das fases obtido com a variação pulsada de ‘ μ ’ também afeta as perdas por comutação como será mostrado no capítulo 7.

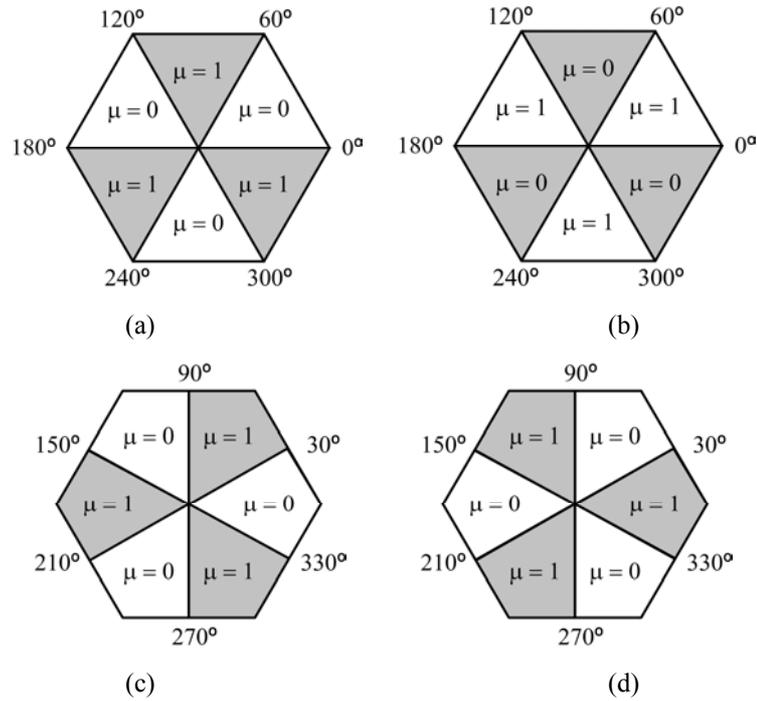


Figura 3.9 – Quatro Variações de ‘ μ ’ para as técnicas de modulação descontínua. (a) Variação 1. (b) Variação 2. (c) Variação 3. (d) Variação 4.

3.5 MODULAÇÃO HÍBRIDA

Em inversores de dois níveis alimentando cargas trifásicas com neutro isolado, ou seja, se o ponto neutro do lado CA da carga (ponto n) não estiver conectado com o ponto médio do divisor capacitivo do lado CC do inversor (ponto o), as correntes de fase dependerão somente das diferenças de tensão entre as fases. Assim, é possível adicionar, às tensões de referência (v_a, v_b, v_c) na modulação por portadora triangular, um termo comum v_h denominado de Sinal de Seqüência Zero (SSZ), o qual não produz distorção nas tensões de linha (v_{ab}, v_{bc}, v_{ca}) e de fase (v_{an}, v_{bn}, v_{cn}). A adição de um SSZ ocorre entre os terminais n e o dando origem a uma tensão de modo comum (v_{no}).

A adição de um sinal de seqüência zero às tensões de referência para a modulação reflete nas tensões de pólo moduladas (v_{ao}, v_{bo}, v_{co}), de forma que:

$$v_{xo}^* = v_{xo} + v_h \quad \text{com } x \in \{a, b, c\} \quad (3.31)$$

Utilizando a equação (2.10),

$$v_{no} = \frac{v_{ao} + v_{bo} + v_{co}}{3} \quad (3.32)$$

Substituindo os valores de v_{ao} , v_{bo} , v_{co} , dados na equação (3.31), na equação anterior,

$$v_{no} = \frac{(v_{ao}^* - v_h) + (v_{bo}^* - v_h) + (v_{co}^* - v_h)}{3} \quad (3.33)$$

Resolvendo a equação anterior para v_{no} determina-se:

$$v_{no}^* = v_{no} + v_h \quad (3.34)$$

A partir da equação (2.2) tem-se:

$$v_{xn}^* = v_{xo}^* - v_{no}^* \quad \text{com } x \in \{a, b, c\} \quad (3.35)$$

Logo:

$$v_{xn}^* = v_{xo}^* - v_{no}^* = (v_{xo} + v_h) - (v_{no} + v_h) = v_{xo} - v_{no} \quad (3.36)$$

Assim:

$$v_{xn}^* = v_{xn} \quad \text{com } x \in \{a, b, c\} \quad (3.37)$$

A partir da equação (2.3) tem-se:

$$\begin{aligned} v_{ab}^* &= v_{ao}^* - v_{bo}^* \\ v_{bc}^* &= v_{bo}^* - v_{co}^* \\ v_{ca}^* &= v_{co}^* - v_{ao}^* \end{aligned} \quad (3.38)$$

Resolvendo a equação anterior:

$$\begin{aligned} v_{ab}^* &= v_{ao}^* - v_{bo}^* = (v_{ao} + v_h) - (v_{bo} + v_h) = v_{ao} - v_{bo} \\ v_{bc}^* &= v_{bo}^* - v_{co}^* = (v_{bo} + v_h) - (v_{co} + v_h) = v_{bo} - v_{co} \\ v_{ca}^* &= v_{co}^* - v_{ao}^* = (v_{co} + v_h) - (v_{ao} + v_h) = v_{co} - v_{ao} \end{aligned} \quad (3.39)$$

Assim:

$$\begin{aligned} v_{ab}^* &= v_{ab} \\ v_{bc}^* &= v_{bc} \\ v_{ca}^* &= v_{ca} \end{aligned} \quad (3.40)$$

Pelas equações (3.37) e (3.40) observa-se que a adição do sinal de seqüência zero às tensões de pólo não afeta as tensões de fase e de linha na modulação. Já a tensão de modo comum (v_{no}) é alterada com a adição de v_h (3.34). Na figura 3.10, observa-se o efeito da adição de v_h nos sinais de referência senoidais, para os tempos de aplicação dos vetores espaciais nos inversores de dois níveis.

A adição de um sinal de seqüência zero adequado pode diminuir as oscilações nas correntes, estender a região de linearidade (sobremodulação), reduzir a freqüência de comutação média como também diminuir os harmônicos de corrente (LEE, KIM, HYUN, 1999). A modulação por portadora pode produzir os mesmos resultados da modulação vetorial quando um adequado sinal de seqüência zero é injetado nas tensões de referência (WANG, 2002; SEO, SHOI, HYUN, 2001; WU, HE, 2001).

Baseado nesta observação, BLASKO (1996), HAVA, KERKMAN e LIPO (1997) propuseram a técnica que eles chamaram de PWM Híbrida, que usa um sinal de seqüência zero com o triplo da freqüência das tensões de referência como o termo de tensão comum. Na técnica proposta por BLASKO (1996), a razão de distribuição vetorial ‘ μ ’ aparece como uma variável de projeto dentro da equação que determina o valor do sinal de seqüência zero v_h . Este sinal deve ser adicionado às tensões senoidais de referência (v_a, v_b, v_c) para obter tensões modificadas (v_a^*, v_b^*, v_c^*) para a modulação CB-PWM, dando origem às técnicas de modulação híbrida ($v_x^* = v_x + v_h$). Esta alteração nos sinais de referência modifica os tempos de aplicação dos vetores nulos V_0 e V_7 , mas não altera os tempos dos vetores ativos.

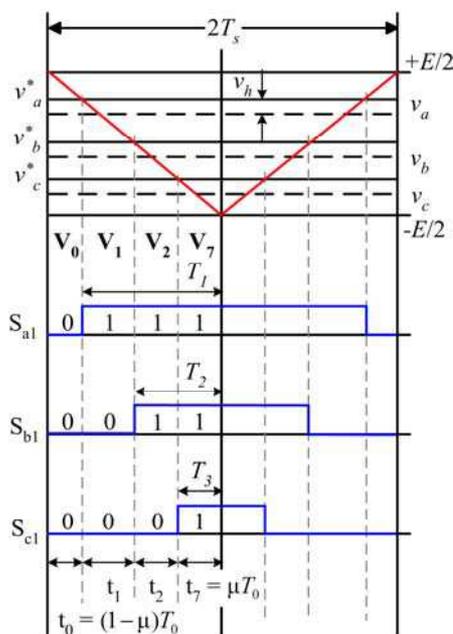


Figura 3.10 – Pulsos de comando dos interruptores do inversor de 2 níveis: adição de um sinal de seqüência zero v_h aos sinais de referência senoidais v_a, v_b, v_c .

Assim, na modulação híbrida, a variação no valor da razão de distribuição vetorial ‘ μ ’ modifica o sinal de seqüência zero v_h de forma a modificar a relação entre os vetores utilizados no início e no final de cada período da modulação como no caso da técnica vetorial SV-PWM. Na figura 3.10 também é mostrada a relação entre ‘ μ ’ e os tempos de aplicação dos vetores espaciais para os inversores de dois níveis.

3.6 MODULAÇÃO EM INVERSORES MULTINÍVEIS

De acordo com a figura 3.11, na modulação por comparação com portadora aplicada aos inversores de três níveis existem duas portadoras triangulares de mesma fase, mesma frequência e amplitude, para comparação com os sinais de referência senoidais e geração dos pulsos de comando dos dois interruptores superiores, em cada braço do inversor de três níveis com diodos de grampeamento. No semi-ciclo positivo das tensões de referência, o interruptor S_{x2} permanece conduzindo enquanto o interruptor S_{x1} comuta para fornecer os níveis 0 e $+E/2$. No semi-ciclo negativo das tensões de referência, o interruptor S_{x1} permanece bloqueado enquanto o interruptor S_{x2} comuta para fornecer os níveis 0 e $-E/2$, com $x \in \{a, b, c\}$.

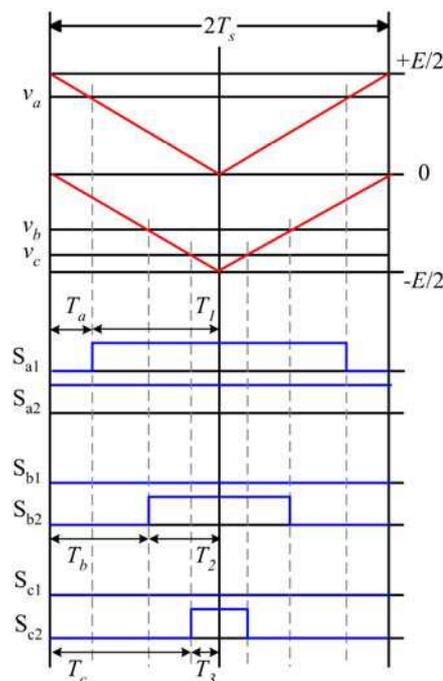


Figura 3.11 – Pulsos de comando dos interruptores do inversor de 3 níveis com modulação por portadora.

Baseado no valor médio que o sinal de saída modulado deve ter em um período a partir do sinal de referência de entrada (v_x), de acordo com a figura 3.11, os tempos em que os interruptores permanecem em condução (T_1, T_2, T_3) devem ser determinados considerando separadamente cada semi-ciclo do sinal de referência, assim:

i) Para $v_x \geq 0$, tem-se:

$$T_y = \left(2 \frac{v_x}{E} \right) T_s \quad (3.41)$$

ii) Para $v_x < 0$, tem-se:

$$T_y = T_s + \left(2 \frac{v_x}{E} \right) T_s \quad (3.42)$$

Com $x \in \{a, b, c\}$ e $y \in \{1, 2, 3\}$

Há uma necessidade por técnicas de modulação mais simples para inversores multiníveis. Isto é por que a técnica SV-PWM, como tradicionalmente implementada em inversores de dois níveis, utiliza procedimentos indiretos e complexos para seleção e cálculo dos tempos de aplicação dos vetores de tensão. Nos inversores multiníveis, a grande quantidade de combinações dos interruptores, cria um número bem maior de vetores espaciais e de setores no diagrama vetorial. Isto dificulta os cálculos para detecção e síntese do vetor tensão de referência. Por exemplo, para um inversor de três níveis existe um total de 24 setores possíveis para a determinação de V_s , enquanto que no caso do inversor de 4 níveis existe um total de 54 setores.

As técnicas híbridas de modulação são as preferidas para inversores multiníveis. Elas fornecem os benefícios da modulação vetorial com a facilidade de implementação da modulação por portadora, permitindo se efetuar algebricamente os cálculos para determinação dos vetores de tensão e seus tempos de aplicação a partir da estratégia de comando vetorial, diminuindo a complexidade e o tempo das operações.

Sabe-se que quando se injeta um sinal de seqüência zero v_h nas tensões de referência, em inversores de dois níveis, os tempos de aplicação dos vetores de tensão zero são alterados e isto afeta diretamente a qualidade das formas de onda de saída. Se

for aplicado um apropriado sinal de seqüência zero, pode-se igualar os tempos de duração destes vetores no início e no final do padrão de comutação em um período da modulação, reduzindo a distorção harmônica nas tensões de saída (LEE, KIM, HYUN, 2000).

Contudo, aplicando-se aos inversores multiníveis as técnicas de modulação híbrida desenvolvidas para inversores de dois níveis, os tempos de duração dos vetores que estão no início e no final de um período da modulação não são feitos iguais (LEE, KIM, HYUN, 2000). Isto afeta a equalização das tensões nos capacitores do barramento CC, já que estas tensões podem sofrer variações dependendo dos vetores utilizados em cada período da modulação. Tudo isto acarreta um aumento da distorção harmônica, aumento das perdas e diminuição da eficiência do inversor (LEE, KIM, HYUN, 1999).

Por isso, devem ser aplicadas técnicas de modulação híbrida específicas para inversores de 3 níveis, de 4 níveis e assim por diante. Isso dificulta a implementação destas técnicas e a operação dos inversores multiníveis em níveis maiores. A técnica generalizada de modulação multinível, a ser apresentada no capítulo 4, elimina esse problema.

3.7 PARÂMETRO DE DESEMPENHO

Quando se aplica uma modulação por largura de pulso para síntese das formas de onda de tensão ou corrente aparecem componentes harmônicas com amplitudes que determinam a qualidade do inversor e da estratégia de modulação utilizada. As componentes harmônicas nos sinais de corrente podem aumentar as oscilações no conjugado e no torque em máquinas de corrente alternada acionadas pelo inversor, bem como aumentar as perdas no cobre.

A qualidade dos sinais de saída dos inversores é normalmente avaliada em função de algum parâmetro de desempenho (BOSE, 1996, p.148; ZMOOD, HOLMES, 1998; HOLMES, LIPO, 2003, p.57).

Em um sinal de corrente obtido na saída de um inversor, o valor eficaz devido a todos os harmônicos de ordem maior que um, conforme (3.43), não depende somente

da eficiência da técnica de modulação ou da estrutura do inversor utilizada, mas também da impedância da carga (BOSE, 1996; HOLMES, LIPO, 2003).

$$I_{ef} = \sqrt{\frac{1}{T} \int_T [i(t) - i_1(t)]^2 dt} = \sqrt{I_{2ef}^2 + I_{3ef}^2 + \dots + I_{nef}^2 + \dots} \quad (3.43)$$

Esta influência é eliminada quando um fator ponderado é tomado como parâmetro de desempenho (3.44). Este fator é obtido a partir do conteúdo harmônico eficaz normalizado, considerando uma forma de onda de corrente periódica.

$$\frac{I_{ef}}{I_{1ef}} = \frac{\sqrt{\sum_{n=2}^{\infty} I_{nef}^2}}{I_{1ef}} \quad (3.44)$$

Sendo:

n = ordem do harmônico.

I_{1ef} = valor eficaz da componente fundamental da corrente ($n = 1$).

I_{nef} = valor eficaz da componente harmônica de ordem n da corrente.

Em muitas aplicações com o acionamento de máquinas elétricas, a carga CA pode ser caracterizada por uma indutância (l_σ) com uma resistência relativamente pequena. Por exemplo, o circuito equivalente simplificado de um motor de indução acionado por um inversor fonte de tensão (IFT) pode ser visto na figura 3.12.

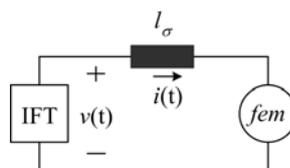


Figura 3.12 – Circuito equivalente simplificado de um motor de indução para análise da distorção harmônica.

Analisando a figura 3.12, o valor eficaz de um harmônico de corrente pode ser obtido, de forma aproximada, pela equação:

$$I_{nef} = \frac{V_{nef}}{\omega_n l_\sigma} \quad (3.45)$$

Sendo ω_n a frequência angular da n -ésima componente harmônica presente na forma de onda da corrente. Substituindo na equação (3.44) o valor de I_{1ef} e I_{nef} obtidos em (3.45),

$$\frac{I_{ef}}{I_{1ef}} = \left(\frac{w_1 l_\sigma}{V_{1ef}} \right) \sqrt{\sum_{n=2}^{\infty} \left(\frac{V_{n\,ef}}{w_n l_\sigma} \right)^2} = \left(\frac{w_1 l_\sigma}{V_{1ef}} \right) \sqrt{\sum_{n=2}^{\infty} \left(\frac{V_{n\,ef}}{n w_1 l_\sigma} \right)^2} \quad (3.46)$$

Simplificando a equação anterior, obtém-se o fator de distorção harmônica total ponderada ou WTHD (3.47), calculado a partir do sinal modulado de tensão na saída do inversor (ZMOOD, HOLMES, 1998).

$$\text{WTHD} = \left(\frac{\sqrt{\sum_{n=2}^{\infty} \left(\frac{V_{n\,ef}}{n} \right)^2}}{V_{1ef}} \right) 100\% \quad (3.47)$$

Com V_{1ef} sendo o valor eficaz da componente fundamental e $V_{n\,ef}$ o valor eficaz da n -ésima componente harmônica da tensão modulada obtida na saída do inversor.

O índice de WTHD leva em consideração o peso do harmônico no cálculo da distorção. Isto torna menos crítico o problema de determinar o número mínimo ou ideal de harmônicos a serem considerados no cálculo do fator de desempenho utilizado como figura de mérito, tornando os resultados mais confiáveis.

Outro índice de desempenho, o fator de distorção harmônica total ou DHT (3.48) não considera o peso do harmônico em sua expressão, sendo utilizado para determinar o nível de interferência causada pelos harmônicos diretamente nos sinais de tensão.

$$\text{DHT} = \left(\frac{\sqrt{\sum_{n=2}^{\infty} V_{n\,ef}^2}}{V_{1ef}} \right) 100\% \quad (3.48)$$

Como mencionado em alguns trabalhos (ZMOOD, HOLMES, 1996; HOLMES, LIPO, 2003, p.69), o uso do índice de DHT como figura de mérito pode não fornecer conclusões satisfatórias a respeito da qualidade do sistema de acionamento quando a análise se baseia no sinal de corrente na saída dos inversores. No entanto, no caso do dimensionamento dos filtros utilizados na entrada dos conversores, o DHT pode ser útil. Também, entidades internacionais, como IEC e

IEEE, e nacionais, como ANEEL/ONS, estabelecem critérios para controle de distorções harmônicas nos sinais de tensão do sistema elétrico de potência baseados no DHT (FERNANDES, 1999; ONS, 2002).

O IEEE, por intermédio da norma Std 519-1992 (IEEE STANDARDS BOARD, 1992), fornece uma série de valores limites para controle de harmônicos, tanto para consumidores individuais, quanto para as concessionárias.

A resolução 140-2002 da ANEEL autoriza a utilização dos Procedimentos de Rede, documentos elaborados pela ONS, com a participação dos Agentes e homologados pela ANEEL, que estabelecem os procedimentos e os requisitos técnicos para o planejamento, a implantação, o uso e a operação do Sistema Interligado Nacional, como também, as responsabilidades da ONS e de todos os demais Agentes de Operação. Nestes documentos (ONS, 2002), as recomendações da ANEEL/ONS para sistemas com tensões abaixo de 69 kV estabelecem um valor máximo para a DHT de tensão nos barramentos da rede básica de 6%, calculado a partir da equação (3.48) e utilizando os harmônicos de ordem 2 a 50.

A Transformada Discreta de Fourier foi escolhida como ferramenta para análise da distorção harmônica nas formas de onda de saída do inversor. Foi utilizado um algoritmo para cálculo da Transformada Rápida de Fourier (FFT) para diminuir o tempo de cálculo dos coeficientes da série. Uma matriz contendo um conjunto de pontos em um período fundamental ($1/f_m$) do sinal que se deseja calcular os espectros de frequências é passada à função FFT, bem como a quantidade total destes pontos (N_p). É necessário que N_p seja uma potência de dois ($N_p = 2^\gamma$, com γ inteiro). Assim, através de chamadas recursivas à função FFT, os coeficientes são calculados e retornados à chamada anterior. Ao final, é armazenada uma matriz contendo as amplitudes dos espectros de frequências.

Para aplicações em circuitos de potência trifásicos comandados por sinais de PWM, a análise dos harmônicos a partir do cálculo da FFT deve seguir alguns critérios (MOHAN, 1995; ALVES, 1998):

- Para resultados confiáveis, em termos das tensões, a análise deve ser feita nas tensões de linha (v_{ab} , v_{bc} , v_{ca}).

- A razão de freqüências ($m_f = f_s/f_m$) deve ser um número inteiro para evitar o surgimento de freqüências sub-harmônicas no espectro, que são indesejáveis em muitas aplicações, como em acionamento de motores CA mesmo em altas freqüências.
- m_f deve ser um número inteiro ímpar para eliminar harmônicos de ordem par.
- m_f deve ser um múltiplo de três para cancelar o harmônico de ordem m_f e seus múltiplos ímpares nas tensões de linha.

Como resultado, os harmônicos na forma de onda PWM da tensão de linha, na saída do inversor, aparecem no espectro de freqüências nas bandas laterais, centrados ao redor da freqüência de comutação e de seus múltiplos, isto é, ao redor dos harmônicos m_f , $2m_f$, $3m_f$, etc., como mostrado na figura 3.13. Os fatores DHT e WTHD são calculados a partir das amplitudes dos espectros de freqüências obtidos pela FFT.

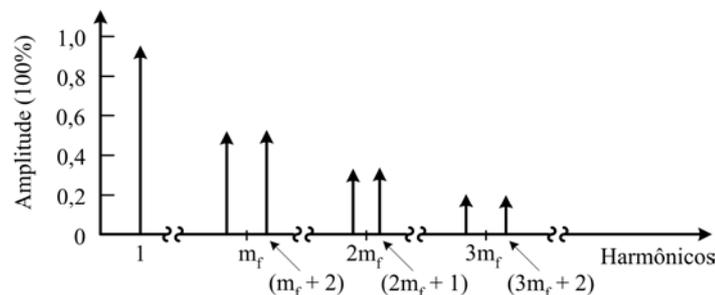


Figura 3.13 – Espectro de freqüências da forma de onda PWM da tensão de linha em inversores trifásicos.

Neste trabalho, foi utilizado o índice WTHD da tensão de linha como parâmetro de desempenho para determinar a qualidade da estratégia de modulação proposta. No cálculo deste índice são computadas as componentes harmônicas até a ordem de 1000 vezes a freqüência da fundamental (f_m).

3.8 CONCLUSÕES

Neste capítulo foram apresentados alguns conceitos e expressões ligados às principais estratégias de modulação por largura de pulso aplicadas aos inversores fonte

de tensão de dois níveis. Também foi mostrado como algumas destas técnicas podem ser aplicadas aos inversores multiníveis com um maior esforço computacional.

O conceito de razão de distribuição vetorial e as técnicas de modulação híbrida, discutidas neste capítulo, formam a base para o entendimento da estratégia de modulação multinível proposta no capítulo 4.

Neste capítulo também foram definidos alguns conceitos ligados às técnicas de modulação randômica. A modulação nos inversores de tensão com frequência de comutação fixa, na faixa de 6 kHz até 18 kHz, provoca o aumento do ruído devido à comutação e o aumento da vibração mecânica em motores elétricos. Para minimizar este problema pode-se determinar, de forma aleatória, um novo valor para a frequência de comutação a cada período. Esta frequência permanece numa faixa pré-estabelecida, mas possibilita uma distribuição mais suave da potência do ruído, que deixa de estar concentrado em frequências específicas e se espalha ao longo do espectro. A modulação randômica é uma alternativa viável quando a intensidade do ruído acústico no acionamento de máquinas elétricas é um fator importante a ser considerado em algumas aplicações.

Por fim, neste capítulo também foi definido o parâmetro de desempenho que é utilizado nos demais capítulos para determinar a qualidade da técnica de modulação proposta, a partir do conteúdo harmônico dos sinais obtidos na saída dos inversores, e assim possibilitar a comparação entre as topologias de inversores de dois e três níveis.

TÉCNICA DE MODULAÇÃO MULTINÍVEL PROPOSTA

4.1 INTRODUÇÃO

Neste capítulo é apresentado o desenvolvimento matemático para dedução das equações que regem a estratégia multinível proposta (DE OLIVEIRA, DA SILVA, JACOBINA, 2004; DE OLIVEIRA, DA SILVA, JACOBINA, no prelo). Com a técnica multinível é mostrado como o conceito de razão de distribuição vetorial é estendido facilmente aos inversores multiníveis (DA SILVA et al., 2004).

Primeiramente, o estudo é feito para os inversores de três e quatro níveis. Em seguida a técnica é generalizada para os inversores de N níveis. Ao final, é apresentado um algoritmo que resume a estratégia proposta e possibilita facilmente a implementação em sistemas baseados em microprocessadores (micro-computadores, DSPs, etc.). O uso deste algoritmo dispensa a necessidade de se refazer toda a análise matemática para inversores com mais níveis de tensão, como feita neste capítulo para os inversores de três e quatro níveis.

4.2 DESENVOLVIMENTO MATEMÁTICO

A estratégia PWM proposta nesta tese, denominada de PWM Multinível, se baseia na utilização das diferenças entre os níveis de tensão fornecidos pelo barramento CC e as tensões senoidais de referência (v_a , v_b e v_c , figura 4.1) para cálculo dos tempos de aplicação dos pulsos de comando para os interruptores do inversor. Foi desenvolvida uma equação generalizada para inversores de N níveis que relaciona uma componente de tensão de seqüência zero v_h com uma variável de projeto ' μ ' ($0 \leq \mu \leq$

1) denominada de razão de distribuição vetorial. O valor de v_h , adicionado às tensões de referência senoidais, modifica a relação entre os tempos de aplicação dos vetores que estão no início e no final de um período da modulação, alterando a qualidade dos sinais de tensão e corrente obtidos na saída do inversor. De uma forma fácil e rápida, a técnica multinível, resumida em um algoritmo contendo uma equação generalizada para cálculo de v_h , também possibilita operar o inversor em qualquer nível, limitado apenas ao nível máximo imposto pela montagem, alterando apenas o valor da variável N na equação.

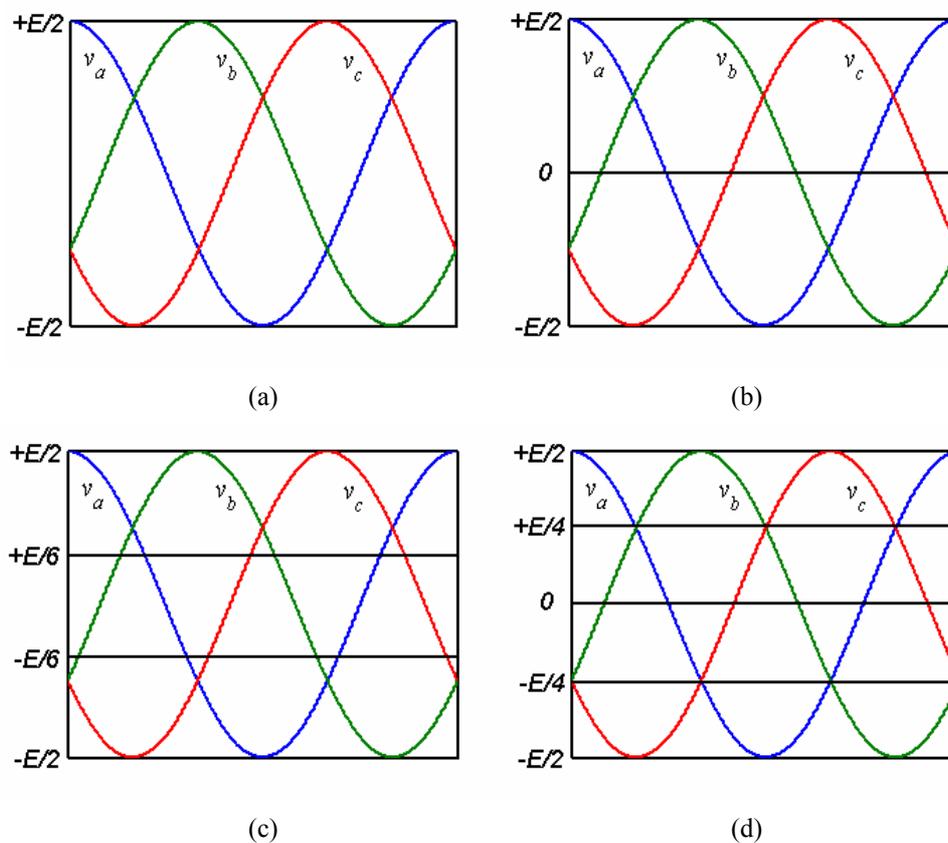


Figura 4.1 – Níveis de tensão nos inversores. (a) $N = 2$. (b) $N = 3$. (c) $N = 4$. (d) $N = 5$.

O algoritmo proposto para realizar a modulação por largura de pulso em inversores fonte de tensão com diodos de grampeamento também pode ser usado em conjunto com qualquer outra estratégia de acionamento e controle de carga trifásica. Ele possibilita a aplicação do conceito de razão de distribuição vetorial aos inversores de 2, 3 ou mais níveis eliminando a necessidade de detecção da região de vetores para

se alterar o padrão de comutação, isso é feito de forma mais simples variando-se o valor de ‘ μ ’ na equação para v_h .

4.2.1 Inversores de Três Níveis

De acordo com SEO, CHOI e HYUN (2001), o diagrama de vetores de um inversor de três níveis pode ser reduzido para seis diagramas de dois níveis (figura 4.2). Cada diagrama de dois níveis é centrado em um vetor do grupo pequeno (*Small Vectors*, $V_i = V_1, V_2, \dots, V_6$). Estes vetores também são utilizados para deslocar o centro do hexágono de 3 níveis para o centro de um hexágono de dois níveis de acordo com a região i em que se encontra o vetor tensão de referência V_s (figura 4.2).

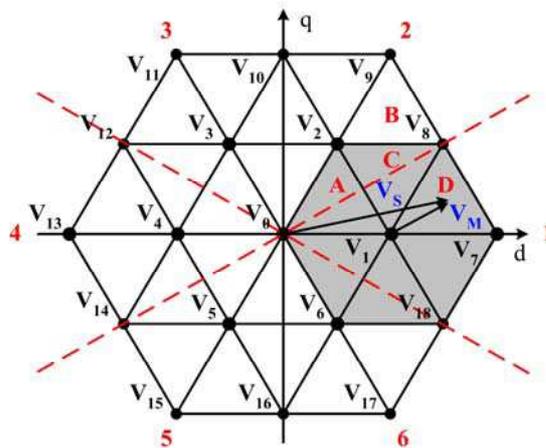


Figura 4.2 – Diagrama vetorial do inversor de 3 níveis.

Na tabela 4.1 encontra-se o vetor V_i para cada região i do diagrama da figura 4.2. Todos os vetores do diagrama para os inversores de 3 níveis podem ser determinados utilizando-se qualquer estratégia de modulação vetorial. Seus valores são fornecidos na tabela 4.2. O valor E corresponde à tensão total do barramento CC.

Na tabela 4.2, as tensões de pólo v_{ao} , v_{bo} e v_{co} são determinadas entre os terminais a , b e c na saída do inversor de três níveis e um terminal o no ponto central do barramento CC (figura 2.2). Os estados de operação dos interruptores, dados na tabela 4.2, são definidos como:

- $k_x = 0 \rightarrow S_{x1} = 0, S_{x2} = 0$
- $k_x = 1 \rightarrow S_{x1} = 0, S_{x2} = 1$
- $k_x = 2 \rightarrow S_{x1} = 1, S_{x2} = 1$

Com: $x \in \{a, b, c\}$, 0 = bloqueio e 1 = condução.

Tabela 4.1 – Vetores \mathbf{V}_i para redução do diagrama vetorial de um inversor de três para dois níveis.

Região i	Vetor Central
1	$\mathbf{V}_1 = (E/3)e^{j0\pi/3}$
2	$\mathbf{V}_2 = (E/3)e^{j1\pi/3}$
3	$\mathbf{V}_3 = (E/3)e^{j2\pi/3}$
4	$\mathbf{V}_4 = (E/3)e^{j3\pi/3}$
5	$\mathbf{V}_5 = (E/3)e^{j4\pi/3}$
6	$\mathbf{V}_6 = (E/3)e^{j5\pi/3}$

A estratégia estudada para inversores de 2 níveis por BLASKO (1996) é utilizada aqui para determinar a equação para v_h em um inversor de três níveis e, através do método proposto neste trabalho, obter uma equação generalizada para inversores de N níveis.

A partir da figura 4.2, o vetor tensão de referência \mathbf{V}_S é dado por:

$$\mathbf{V}_S = \mathbf{V}_M + \mathbf{V}_i \quad (4.1)$$

Sendo:

$$\mathbf{V}_M = V_{Md} + jV_{Mq} \quad (4.2)$$

$$\mathbf{V}_i = V_{id} + jV_{iq} \quad \text{com } i = 1, 2, \dots, 6 \quad (4.3)$$

Para o setor D da região $i = 1$ (figura 4.2), a equação de balanço Volts/segundos pode ser escrita como:

$$\mathbf{V}_S T_S = \mathbf{V}_1 t_1 + \mathbf{V}_7 t_7 + \mathbf{V}_8 t_8 \quad (4.4)$$

Considerando que t_1 , t_7 e t_8 são os tempos de aplicação dos vetores \mathbf{V}_1 , \mathbf{V}_7 e \mathbf{V}_8 respectivamente e que:

$$T_S = t_1 + t_7 + t_8 \quad (4.5)$$

Além disso, para $i = 1$, tem-se:

$$\mathbf{V}_i = \mathbf{V}_1 \quad (4.6)$$

Substituindo as equações (4.1), (4.5) e (4.6) na equação (4.4),

$$(\mathbf{V}_M + \mathbf{V}_1)(t_1 + t_7 + t_8) = \mathbf{V}_1 t_1 + \mathbf{V}_7 t_7 + \mathbf{V}_8 t_8 \quad (4.7)$$

Tabela 4.2 – Vetores espaciais de tensão para inversores de três níveis.

Configuração	k_x	v_{ao}	v_{bo}	v_{co}	Vetor Espacial
0	000	$-E/2$	$-E/2$	$-E/2$	$\mathbf{V}_0 = 0$
	111	0	0	0	
	222	$E/2$	$E/2$	$E/2$	
1	100	0	$-E/2$	$-E/2$	$\mathbf{V}_1 = (E/3)e^{j0\pi/3}$
	211	$E/2$	0	0	
2	110	0	0	$-E/2$	$\mathbf{V}_2 = (E/3)e^{j1\pi/3}$
	221	$E/2$	$E/2$	0	
3	010	$-E/2$	0	$-E/2$	$\mathbf{V}_3 = (E/3)e^{j2\pi/3}$
	121	0	$E/2$	0	
4	011	$-E/2$	0	0	$\mathbf{V}_4 = (E/3)e^{j3\pi/3}$
	122	0	$E/2$	$E/2$	
5	001	$-E/2$	$-E/2$	0	$\mathbf{V}_5 = (E/3)e^{j4\pi/3}$
	112	0	0	$E/2$	
6	101	0	$-E/2$	0	$\mathbf{V}_6 = (E/3)e^{j5\pi/3}$
	212	$E/2$	0	$E/2$	
7	200	$E/2$	$-E/2$	$-E/2$	$\mathbf{V}_7 = (2E/3)e^{j0\pi/3}$
8	210	$E/2$	0	$-E/2$	$\mathbf{V}_8 = (E/\sqrt{3})e^{j1\pi/6}$
9	220	$E/2$	$E/2$	$-E/2$	$\mathbf{V}_9 = (2E/3)e^{j1\pi/3}$
10	120	0	$E/2$	$-E/2$	$\mathbf{V}_{10} = (E/\sqrt{3})e^{j3\pi/6}$
11	020	$-E/2$	$E/2$	$-E/2$	$\mathbf{V}_{11} = (2E/3)e^{j2\pi/3}$
12	021	$-E/2$	$E/2$	0	$\mathbf{V}_{12} = (E/\sqrt{3})e^{j5\pi/6}$
13	022	$-E/2$	$E/2$	$E/2$	$\mathbf{V}_{13} = (2E/3)e^{j3\pi/3}$
14	012	$-E/2$	0	$E/2$	$\mathbf{V}_{14} = (E/\sqrt{3})e^{j7\pi/6}$
15	002	$-E/2$	$-E/2$	$E/2$	$\mathbf{V}_{15} = (2E/3)e^{j4\pi/3}$
16	102	0	$-E/2$	$E/2$	$\mathbf{V}_{16} = (E/\sqrt{3})e^{j9\pi/6}$
17	202	$E/2$	$-E/2$	$E/2$	$\mathbf{V}_{17} = (2E/3)e^{j5\pi/3}$
18	201	$E/2$	$-E/2$	0	$\mathbf{V}_{18} = (E/\sqrt{3})e^{j11\pi/6}$

Resolvendo a equação anterior para \mathbf{V}_M , obtém-se:

$$\mathbf{V}_M = (\mathbf{V}_7 - \mathbf{V}_1) \frac{t_7}{T_s} + (\mathbf{V}_8 - \mathbf{V}_1) \frac{t_8}{T_s} \quad (4.8)$$

Para cálculo dos tempos de aplicação dos vetores de tensão, um método empregado quando se aplica a estratégia CB-PWM em inversores de três níveis é o uso de duas portadoras triangulares de mesma amplitude e frequência (CARRARA et al.,

1992). Isto é ilustrado na figura 4.3 para a situação na qual um período de modulação arbitrário é considerado na CB-PWM. Nesta figura também se pode ver a relação entre a estratégia SV-PWM e CB-PWM para um inversor de 3 níveis com V_S no setor D da região $i = 1$, conforme figura 4.2.

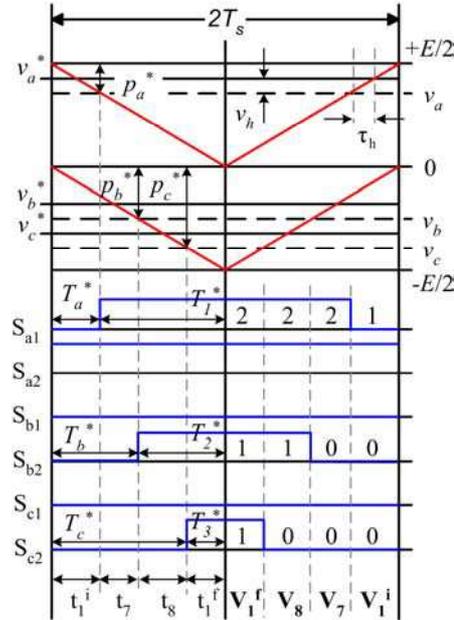


Figura 4.3 – Pulsos de comando para o inversor de 3 níveis.

Na figura 4.3, os sobrescritos ‘i’ e ‘f’ referem-se aos valores inicial e final do intervalo de modulação. O conceito de razão de distribuição vetorial ‘ μ ’ (WU, HE, 2001) relaciona a duração de parte do vetor que está no início ou no final de um período de modulação com a duração total deste vetor. Para o caso mostrado na figura 4.3 ($t_1 = t_1^i + t_1^f$), tem-se:

$$t_1^i = (1 - \mu)t_1 \quad (4.9)$$

$$t_1^f = \mu t_1 \quad (4.10)$$

$$T_1^* = \mu t_1 + t_7 + t_8 \quad (4.11)$$

$$T_2^* = \mu t_1 + t_8 \quad (4.12)$$

$$T_3^* = \mu t_1 \quad (4.13)$$

A equação (4.8) é reescrita como:

$$\mathbf{V}_M = V_{Md} + jV_{Mq} = (\mathbf{V}_7 - \mathbf{V}_1) \frac{t_7}{T_S} + (\mathbf{V}_8 - \mathbf{V}_1) \frac{t_8}{T_S} \quad (4.14)$$

Substituindo os valores de \mathbf{V}_1 (tabela 4.1), \mathbf{V}_7 e \mathbf{V}_8 (tabela 4.2) na equação anterior, tem-se:

$$V_{Md} + jV_{Mq} = \left(\frac{2E}{3} - \frac{E}{3}\right) \frac{t_7}{T_s} + \left(\frac{E}{2} + j\frac{E}{2\sqrt{3}} - \frac{E}{3}\right) \frac{t_8}{T_s} \quad (4.15)$$

Em termos das componentes dq :

$$V_{Md} = \left(\frac{E}{3}\right) \frac{t_7}{T_s} + \left(\frac{E}{6}\right) \frac{t_8}{T_s} \quad (4.16)$$

$$V_{Mq} = \left(\frac{E}{2\sqrt{3}}\right) \frac{t_8}{T_s} \quad (4.17)$$

Encontrando os valores de t_7 e t_8 nas equações anteriores, tem-se que:

$$t_7 = \left(V_{Md} - \frac{V_{Mq}}{\sqrt{3}}\right) \frac{3}{E} T_s \quad (4.18)$$

$$t_8 = \frac{2\sqrt{3}}{E} V_{Mq} T_s \quad (4.19)$$

Na figura 4.3, as duas retas ascendentes que formam as portadoras triangulares são determinadas pelas equações (4.20) e (4.21).

$$v_{t1} = \frac{E}{2T_s} t \quad (4.20)$$

$$v_{t2} = \frac{E}{2T_s} t - \frac{E}{2} \quad (4.21)$$

A partir da figura 4.3 (lado direito) e das equações (4.11), (4.12) e (4.13),

$$\text{Para } t = T_1^* \therefore v_{t1} = v_a^* \rightarrow v_a^* = \frac{E}{2T_s} (\mu t_1 + t_7 + t_8) \quad (4.22)$$

$$\text{Para } t = T_2^* \therefore v_{t2} = v_b^* \rightarrow v_b^* = \frac{E}{2T_s} (\mu t_1 + t_8) - \frac{E}{2} \quad (4.23)$$

$$\text{Para } t = T_3^* \therefore v_{t2} = v_c^* \rightarrow v_c^* = \frac{E}{2T_s} (\mu t_1) - \frac{E}{2} \quad (4.24)$$

A relação entre \mathbf{V}_s e as tensões v_a , v_b e v_c é dada pela equação (4.25).

$$\mathbf{V}_s = V_{sd} + jV_{sq} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.25)$$

Com:

$$\begin{aligned} v_a &= V_p \cos(\theta) \\ v_b &= V_p \cos(\theta - 2\pi/3) \\ v_c &= V_p \cos(\theta + 2\pi/3) \end{aligned} \quad (4.26)$$

Sendo:

$$V_p = m(E/2);$$

$$\theta = 2\pi f_m t_a$$

m = índice de modulação senoidal

f_m = frequência dos sinais de referência

t_a = tempo de amostragem dos sinais

Desenvolvendo a equação (4.25) em termos das componentes dq , tem-se:

$$V_{Sd} = \frac{1}{3}(2v_a - v_b - v_c) \quad (4.27)$$

$$V_{Sq} = \frac{\sqrt{3}}{3}(v_b - v_c) \quad (4.28)$$

A partir das equações (4.1) e (4.3) para a região $i = 1$, obtém-se os valores de V_{Md} e V_{Mq} ,

$$V_{Md} = V_{Sd} - \frac{E}{3} = \frac{1}{3}(2v_a - v_b - v_c - E) \quad (4.29)$$

$$V_{Mq} = V_{Sq} = \frac{\sqrt{3}}{3}(v_b - v_c) \quad (4.30)$$

Substituindo os valores de V_{Md} e V_{Mq} , dados anteriormente, nas equações (4.18) e (4.19), obtém-se os valores de t_7 e t_8 em função das tensões de referência,

$$t_7 = (v_a - v_b - \frac{E}{2}) \frac{2}{E} T_s \quad (4.31)$$

$$t_8 = (v_b - v_c) \frac{2}{E} T_s \quad (4.32)$$

Na equação (4.22), substituindo os valores de t_1 (4.5), t_7 (4.31) e t_8 (4.32) tem-se:

$$v_a^* = \frac{E}{2} \mu + (1 - \mu)(v_a - v_b - \frac{E}{2}) + (1 - \mu)(v_b - v_c) \quad (4.33)$$

Reorganizando os termos da equação anterior,

$$v_a^* = -\left\{ (1-2\mu)\frac{E}{2} + \mu v_a + (1-\mu)v_c \right\} + v_a \quad (4.34)$$

Aplicando o mesmo tratamento para as equações (4.23) e (4.24) obtém-se a equação (4.35), que relaciona as tensões de referência modificadas (v_a^* , v_b^* e v_c^*) com as tensões de referência originais (v_a , v_b e v_c) a partir da adição de um sinal de seqüência zero (v_h), de forma equivalente ao que foi obtido por BLASKO (1996) para inversores de dois níveis. Tomando o valor máximo (v_{\max}) e mínimo (v_{\min}) dentre v_a , v_b e v_c , a equação (4.36) de v_h pode ser utilizada em qualquer instante da modulação para inversores de dois níveis.

$$v_x^* = v_x + v_h \quad \text{com } x \in \{a, b, c\} \quad (4.35)$$

$$v_h = -\left\{ (1-2\mu)\frac{E}{2} + \mu v_{\max} + (1-\mu)v_{\min} \right\} \quad (4.36)$$

A equação (4.36) é idêntica à obtida para os inversores de 2 níveis (BLASKO, 1996) e é equivalente à obtida por WU e HE (2001).

A análise desenvolvida a seguir estende a equação (4.36) para os inversores de 3 níveis

Tomando a equação (4.36) para $v_{\max} = v_a$ e $v_{\min} = v_c$ tem-se:

$$v_h = -\left\{ (1-2\mu)\frac{E}{2} + \mu v_a + (1-\mu)v_c \right\} \quad (4.37)$$

Reorganizando os termos da equação anterior, obtém-se:

$$v_h = -(1-\mu)\frac{E}{2} + \mu\left(\frac{E}{2} - v_a\right) + (1-\mu)(0 - v_c) \quad (4.38)$$

Observando a figura 4.4, as variáveis p_a , p_b e p_c são definidas em função das tensões senoidais de referência e da região entre os níveis CC que elas se encontram em um determinado instante da modulação. Para o instante de tempo considerado na figura 4.4, tem-se:

$$p_a = \frac{E}{2} - v_a \quad p_b = 0 - v_b \quad p_c = 0 - v_c \quad (4.39)$$

Substituindo os valores de p_a , p_b e p_c na equação (4.38),

$$v_h = \mu p_a + (1-\mu)p_c - (1-\mu)\frac{E}{2} \quad (4.40)$$

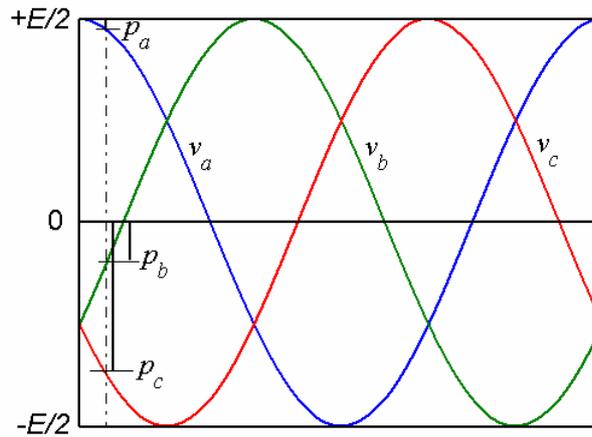


Figura 4.4 – Definição de p_a , p_b e p_c em um inversor de 3 níveis.

Reorganizando a equação anterior obtém-se a equação (4.41) de v_h para um inversor de 3 níveis, para o instante de tempo considerado na figura 4.4.

$$v_h = \mu p_a - (1 - \mu) \left(\frac{E}{2} - p_c \right) \quad (4.41)$$

A equação (4.41) relaciona um sinal de seqüência zero v_h com a razão de distribuição vetorial ‘ μ ’ para os inversores de três níveis da mesma forma que a equação (4.36) faz para os inversores de dois níveis. Na seção 4.2.3 será mostrada a generalização da equação (4.41) para qualquer instante de tempo.

4.2.2 Inversores de Quatro Níveis

De acordo com SEO, CHOI e HYUN (2001), o diagrama de vetores do inversor de quatro níveis (figura 4.5), pode ser reduzido para seis diagramas de três níveis. Cada diagrama de três níveis é centrado em um vetor ($\mathbf{V}_i = \mathbf{V}_1, \mathbf{V}_2, \dots, \mathbf{V}_6$). Estes vetores também são utilizados para deslocar o centro do hexágono de 4 níveis para o centro de um hexágono de três níveis de acordo com a região i em que se encontra o vetor tensão de referência \mathbf{V}_s , conforme mostrado na figura 4.6.

O inversor de 4 níveis possui três capacitores, cada um com uma tensão de $E/3$. Na figura 4.5, o capacitor C_2 foi dividido em dois capacitores idênticos com uma tensão de $E/6$ cada, com a finalidade de se observar o terminal o que é a referência para os níveis de tensão do inversor.

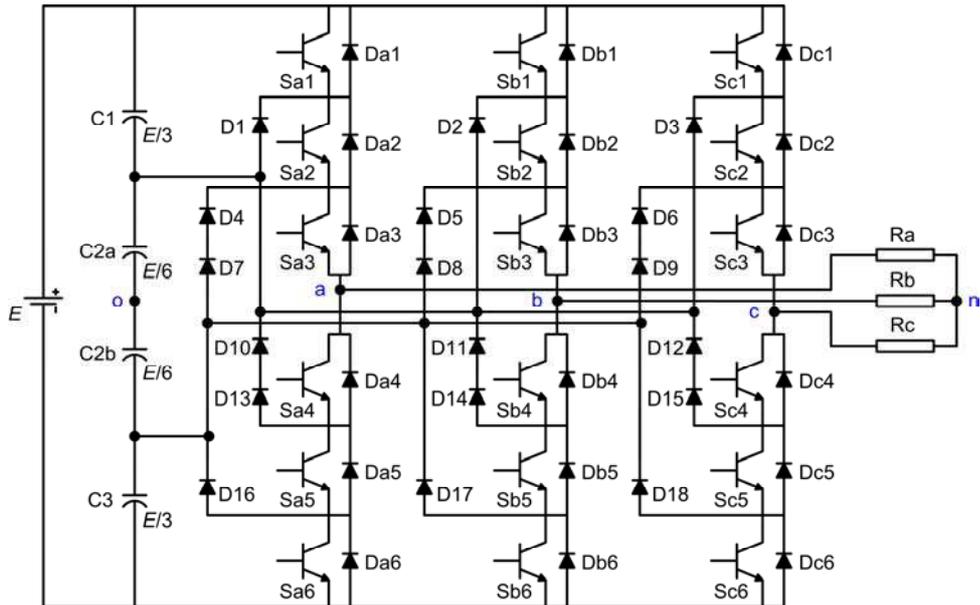


Figura 4.5 – Inversor trifásico de quatro níveis com diodos de grampeamento.

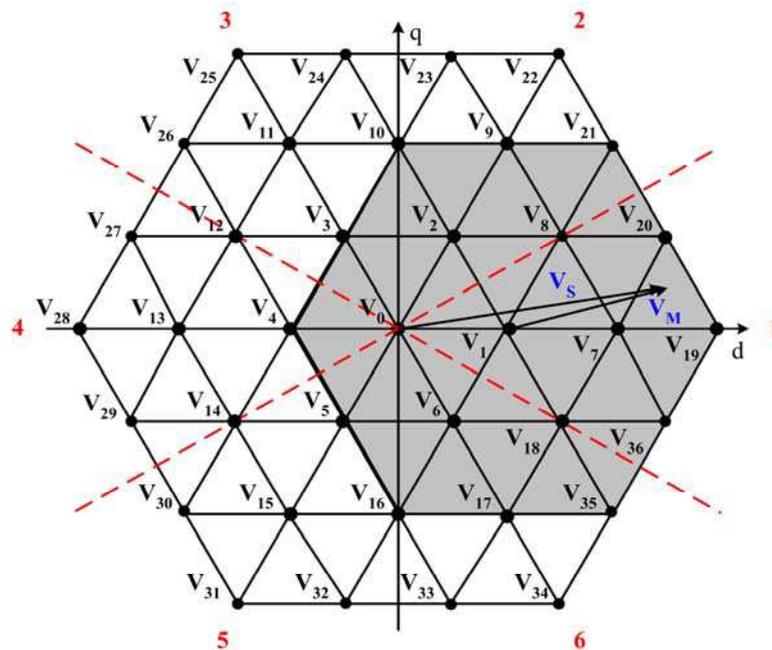


Figura 4.6 – Diagrama vetorial do inversor de 4 níveis.

A partir da figura 4.6, o vetor tensão de referência \mathbf{V}_S é dado por:

$$\mathbf{V}_S = \mathbf{V}_M + \mathbf{V}_i \quad (4.42)$$

Sendo:

$$\mathbf{V}_S = V_{Sd} + jV_{Sq} \quad (4.43)$$

$$\mathbf{V}_M = V_{Md} + jV_{Mq} \quad (4.44)$$

$$\mathbf{V}_i = V_{id} + jV_{iq} \quad \text{com } i = 1, 2, \dots, 6 \quad (4.45)$$

Na tabela 4.3 encontra-se o vetor \mathbf{V}_i para cada região i do diagrama da figura 4.6. Todos os vetores do diagrama para os inversores de 4 níveis podem ser determinados utilizando-se qualquer estratégia de modulação vetorial. Seus valores são fornecidos na tabela 4.4. O valor E corresponde à tensão total do barramento CC.

Tabela 4.3 – Vetores \mathbf{V}_i para redução do diagrama vetorial de um inversor de quatro para três níveis.

Região i	Vetor Central
1	$\mathbf{V}_1 = (2E/9)e^{j0\pi/3}$
2	$\mathbf{V}_2 = (2E/9)e^{j1\pi/3}$
3	$\mathbf{V}_3 = (2E/9)e^{j2\pi/3}$
4	$\mathbf{V}_4 = (2E/9)e^{j3\pi/3}$
5	$\mathbf{V}_5 = (2E/9)e^{j4\pi/3}$
6	$\mathbf{V}_6 = (2E/9)e^{j5\pi/3}$

Na tabela 4.4, as tensões de pólo v_{ao} , v_{bo} e v_{co} são determinadas entre os terminais a , b e c na saída do inversor de quatro níveis e um terminal fictício o no ponto central do barramento CC (figura 4.5). Os estados de operação dos interruptores, dados na tabela 4.4, são definidos como:

- $k_x = 0 \rightarrow S_{x1} = 0, S_{x2} = 0, S_{x3} = 0$
- $k_x = 1 \rightarrow S_{x1} = 0, S_{x2} = 0, S_{x3} = 1$
- $k_x = 2 \rightarrow S_{x1} = 0, S_{x2} = 1, S_{x3} = 1$
- $k_x = 3 \rightarrow S_{x1} = 1, S_{x2} = 1, S_{x3} = 1$

Com: $x \in \{a, b, c\}$, 0 = bloqueio e 1 = condução.

Para o triângulo definido pelos vetores \mathbf{V}_7 , \mathbf{V}_{19} e \mathbf{V}_{20} (região $i = 1$ da figura 4.6), a equação de balanço Volts/segundos pode ser escrita como:

$$\mathbf{V}_s T_s = \mathbf{V}_7 t_7 + \mathbf{V}_{19} t_{19} + \mathbf{V}_{20} t_{20} \quad (4.46)$$

Considerando que t_7 , t_{19} e t_{20} são os tempos de aplicação dos vetores \mathbf{V}_7 , \mathbf{V}_{19} e \mathbf{V}_{20} , respectivamente, e que:

$$T_s = t_7 + t_{19} + t_{20} \quad (4.47)$$

Tabela 4.4 – Vetores espaciais de tensão para inversores de quatro níveis.

Configuração	k_x	v_{ao}	v_{bo}	v_{co}	Vetor Espacial
0	000	-E/2	-E/2	-E/2	$\mathbf{V}_0 = 0$
	111	-E/6	-E/6	-E/6	
	222	E/6	E/6	E/6	
	333	E/2	E/2	E/2	
1	100	-E/6	-E/2	-E/2	$\mathbf{V}_1 = \frac{1}{3} \frac{2E}{3} e^{j0\pi/3}$
	211	E/6	-E/6	-E/6	
	322	E/2	E/6	E/6	
2	110	-E/6	-E/6	-E/2	$\mathbf{V}_2 = \frac{1}{3} \frac{2E}{3} e^{j1\pi/3}$
	221	E/6	E/6	-E/6	
	332	E/2	E/2	E/6	
3	010	-E/2	-E/6	-E/2	$\mathbf{V}_3 = \frac{1}{3} \frac{2E}{3} e^{j2\pi/3}$
	121	-E/6	E/6	-E/6	
	232	E/6	E/2	E/6	
4	011	-E/2	-E/6	-E/6	$\mathbf{V}_4 = \frac{1}{3} \frac{2E}{3} e^{j3\pi/3}$
	122	-E/6	E/6	E/6	
	233	E/6	E/2	E/2	
5	001	-E/2	-E/2	-E/6	$\mathbf{V}_5 = \frac{1}{3} \frac{2E}{3} e^{j4\pi/3}$
	112	-E/6	-E/6	E/6	
	223	E/6	E/6	E/2	
6	101	-E/6	-E/2	-E/6	$\mathbf{V}_6 = \frac{1}{3} \frac{2E}{3} e^{j5\pi/3}$
	212	E/6	-E/6	E/6	
	232	E/6	E/2	E/6	
7	200	E/6	-E/2	-E/2	$\mathbf{V}_7 = \frac{2}{3} \frac{2E}{3} e^{j0\pi/6}$
	311	E/2	-E/6	-E/6	
8	210	E/6	-E/6	-E/2	$\mathbf{V}_8 = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j1\pi/6}$
	321	E/2	E/6	-E/6	
9	220	E/6	E/6	-E/2	$\mathbf{V}_9 = \frac{2}{3} \frac{2E}{3} e^{j2\pi/6}$
	331	E/2	E/2	-E/6	
10	120	-E/6	E/6	-E/2	$\mathbf{V}_{10} = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j3\pi/6}$
	231	E/6	E/2	-E/6	
11	020	-E/2	E/6	-E/2	$\mathbf{V}_{11} = \frac{2}{3} \frac{2E}{3} e^{j4\pi/6}$
	131	-E/6	E/2	-E/6	
12	021	-E/2	E/6	-E/6	$\mathbf{V}_{12} = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j5\pi/6}$
	132	-E/6	E/2	E/6	
13	022	-E/2	E/6	E/6	$\mathbf{V}_{13} = \frac{2}{3} \frac{2E}{3} e^{j6\pi/6}$
	133	-E/6	E/2	E/2	

Configuração	k_x	v_{ao}	v_{bo}	v_{co}	Vetor Espacial
14	012	-E/2	-E/6	E/6	$\mathbf{V}_{14} = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j7\pi/6}$
	123	-E/6	E/6	E/2	
15	002	-E/2	-E/2	E/6	$\mathbf{V}_{15} = \frac{2}{3} \frac{2E}{3} e^{j8\pi/6}$
	113	-E/6	-E/6	E/2	
16	102	-E/6	-E/2	E/6	$\mathbf{V}_{16} = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j9\pi/6}$
	213	E/6	-E/6	E/2	
17	202	E/6	-E/2	E/6	$\mathbf{V}_{17} = \frac{2}{3} \frac{2E}{3} e^{j10\pi/6}$
	313	E/2	-E/6	E/2	
18	201	E/6	-E/2	-E/6	$\mathbf{V}_{18} = \frac{2}{3} \frac{E}{\sqrt{3}} e^{j11\pi/6}$
	312	E/2	-E/6	E/6	
19	300	E/2	-E/2	-E/2	$\mathbf{V}_{19} = \frac{2E}{3} e^{j0\pi/9}$
20	310	E/2	-E/6	-E/2	$\mathbf{V}_{20} = \frac{5E}{9} + j \frac{\sqrt{3}E}{9}$
21	320	E/2	E/6	-E/2	$\mathbf{V}_{21} = \frac{4E}{9} + j \frac{2\sqrt{3}E}{9}$
22	330	E/2	E/2	-E/2	$\mathbf{V}_{22} = \frac{2E}{3} e^{j3\pi/9}$
23	230	E/6	E/2	-E/2	$\mathbf{V}_{23} = \frac{E}{9} + j \frac{3\sqrt{3}E}{9}$
24	130	-E/6	E/2	-E/2	$\mathbf{V}_{24} = -\frac{E}{9} + j \frac{3\sqrt{3}E}{9}$
25	030	-E/2	E/2	-E/2	$\mathbf{V}_{25} = \frac{2E}{3} e^{j6\pi/9}$
26	031	-E/2	E/2	-E/6	$\mathbf{V}_{26} = -\frac{4E}{9} + j \frac{2\sqrt{3}E}{9}$
27	032	-E/2	E/2	E/6	$\mathbf{V}_{27} = -\frac{5E}{9} + j \frac{\sqrt{3}E}{9}$
28	033	-E/2	E/2	E/2	$\mathbf{V}_{28} = \frac{2E}{3} e^{j9\pi/9}$
29	023	-E/2	E/6	E/2	$\mathbf{V}_{29} = -\frac{5E}{9} - j \frac{\sqrt{3}E}{9}$
30	013	-E/2	-E/6	E/2	$\mathbf{V}_{30} = -\frac{4E}{9} - j \frac{2\sqrt{3}E}{9}$
31	003	-E/2	-E/2	E/2	$\mathbf{V}_{31} = \frac{2E}{3} e^{j12\pi/9}$
32	103	-E/6	-E/2	E/2	$\mathbf{V}_{32} = -\frac{E}{9} - j \frac{3\sqrt{3}E}{9}$

Configuração	k_x	v_{ao}	v_{bo}	v_{co}	Vetor Espacial
33	203	E/6	-E/2	E/2	$\mathbf{V}_{33} = \frac{E}{9} - j \frac{3\sqrt{3}E}{9}$
34	303	E/2	-E/2	E/2	$\mathbf{V}_{34} = \frac{2E}{3} e^{j15\pi/9}$
35	302	E/2	-E/2	E/6	$\mathbf{V}_{35} = \frac{4E}{9} - j \frac{2\sqrt{3}E}{9}$
36	301	E/2	-E/2	-E/6	$\mathbf{V}_{36} = \frac{5E}{9} - j \frac{\sqrt{3}E}{9}$

Além disso, para $i = 1$, tem-se:

$$\mathbf{V}_i = \mathbf{V}_1 \quad (4.48)$$

Substituindo as equações (4.42), (4.47) e (4.48) em (4.46), obtém-se:

$$(\mathbf{V}_M + \mathbf{V}_1)(t_7 + t_{19} + t_{20}) = \mathbf{V}_7 t_7 + \mathbf{V}_{19} t_{19} + \mathbf{V}_{20} t_{20}$$

Resolvendo a equação anterior para \mathbf{V}_M , tem-se:

$$\mathbf{V}_M = (\mathbf{V}_7 - \mathbf{V}_1) \frac{t_7}{T_s} + (\mathbf{V}_{19} - \mathbf{V}_1) \frac{t_{19}}{T_s} + (\mathbf{V}_{20} - \mathbf{V}_1) \frac{t_{20}}{T_s} \quad (4.49)$$

Para cálculo dos tempos de aplicação dos vetores de tensão, um método empregado quando se aplica a estratégia CB-PWM em inversores de quatro níveis é o uso de três portadoras triangulares de mesma amplitude e frequência. Isto é ilustrado na figura 4.7 para a situação na qual um período qualquer da modulação é considerado na CB-PWM. Nesta figura também é mostrada a relação entre a estratégia SV-PWM e CB-PWM para um inversor de 4 níveis com \mathbf{V}_S na região $i = 1$, conforme figura 4.6.

Na figura 4.7, os sobrescritos ‘i’ e ‘f’ referem-se aos valores inicial e final do intervalo de modulação. O conceito de razão de distribuição vetorial ‘ μ ’ (WU, HE, 2001) relaciona a duração de parte do vetor que está no início ou no final de um período da modulação com a duração total deste vetor. Para o caso mostrado na figura 4.7 ($t_7 = t_7^i + t_7^f$), tem-se:

$$t_7^i = (1 - \mu)t_7 \quad (4.50)$$

$$t_7^f = \mu t_7 \quad (4.51)$$

$$T_1^* = \mu t_7 + t_{19} + t_{20} \quad (4.52)$$

$$T_2^* = \mu t_7 + t_{19} \quad (4.53)$$

$$T_3^* = \mu t_7 \tag{4.54}$$

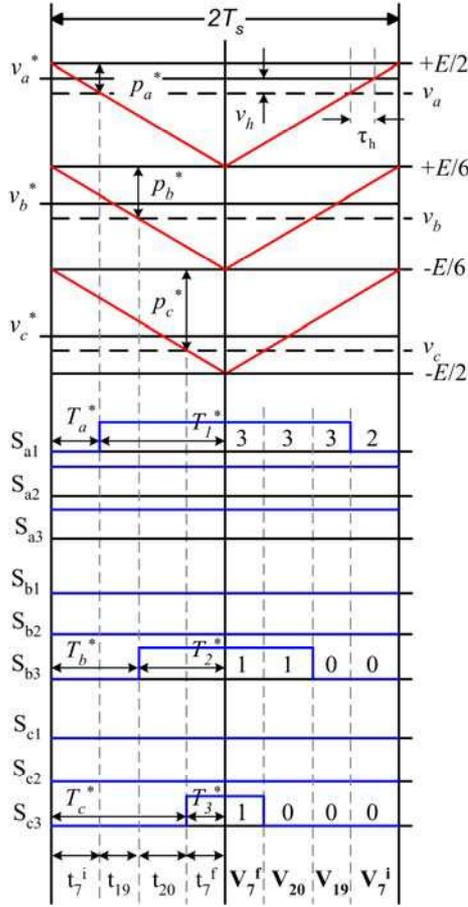


Figura 4.7 – Pulsos de comando para o inversor de 4 níveis.

Reescrevendo a equação (4.49) tem-se:

$$\mathbf{V}_M = V_{Md} + jV_{Mq} = (\mathbf{V}_7 - \mathbf{V}_1) \frac{t_7}{T_s} + (\mathbf{V}_{19} - \mathbf{V}_1) \frac{t_{19}}{T_s} + (\mathbf{V}_{20} - \mathbf{V}_1) \frac{t_{20}}{T_s} \tag{4.55}$$

Substituindo os valores de \mathbf{V}_1 (tabela 4.3), \mathbf{V}_7 , \mathbf{V}_{19} e \mathbf{V}_{20} (tabela 4.4) na equação anterior, tem-se:

$$V_{Md} + jV_{Mq} = \left(\frac{2}{3} \frac{2E}{3} - \frac{1}{3} \frac{2E}{3}\right) \frac{t_7}{T_s} + \left(\frac{3}{3} \frac{2E}{3} - \frac{1}{3} \frac{2E}{3}\right) \frac{t_{19}}{T_s} + \left(\frac{5E}{9} - \frac{2E}{9} + j \frac{\sqrt{3}E}{9}\right) \frac{t_{20}}{T_s}$$

Em termos das componentes dq :

$$V_{Md} = \frac{2E}{9} \frac{t_7}{T_s} + \frac{4E}{9} \frac{t_{19}}{T_s} + \frac{3E}{9} \frac{t_{20}}{T_s} \tag{4.56}$$

$$V_{Mq} = \frac{\sqrt{3}E}{9} \frac{t_{20}}{T_s} \tag{4.57}$$

Da equação (4.47) obtém-se o valor de t_7 dado por:

$$t_7 = T_s - t_{19} - t_{20} \quad (4.58)$$

Das equações (4.56) e (4.57) obtém-se os valores de t_{19} e t_{20} dados por:

$$t_{19} = \left(V_{Md} - \frac{V_{Mq}}{\sqrt{3}} - \frac{2E}{9} \right) \frac{9T_s}{2E} \quad (4.59)$$

$$t_{20} = \frac{9V_{Mq}}{\sqrt{3}} \frac{T_s}{E} \quad (4.60)$$

Na figura 4.7, as três retas ascendentes que formam as portadoras triangulares são determinadas pelas equações (4.61), (4.62) e (4.63).

$$v_{t1} = \frac{E}{3T_s} t + \frac{E}{6} \quad (4.61)$$

$$v_{t2} = \frac{E}{3T_s} t - \frac{E}{6} \quad (4.62)$$

$$v_{t3} = \frac{E}{3T_s} t - \frac{E}{2} \quad (4.63)$$

A partir da figura 4.7 (lado direito) e das equações (4.52), (4.53) e (4.54),

$$\text{Para } t = T_1^* \therefore v_{t1} = v_a^* \rightarrow v_a^* = \frac{E}{3T_s} (\mu t_7 + t_{19} + t_{20}) + \frac{E}{6} \quad (4.64)$$

$$\text{Para } t = T_2^* \therefore v_{t2} = v_b^* \rightarrow v_b^* = \frac{E}{3T_s} (\mu t_7 + t_{19}) - \frac{E}{6} \quad (4.65)$$

$$\text{Para } t = T_3^* \therefore v_{t3} = v_c^* \rightarrow v_c^* = \frac{E}{3T_s} (\mu t_7) - \frac{E}{2} \quad (4.66)$$

A relação entre \mathbf{V}_s e as tensões v_a , v_b e v_c é dada pela equação (4.67).

$$\mathbf{V}_s = V_{sd} + jV_{sq} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.67)$$

Com:

$$\begin{aligned} v_a &= V_p \cos(\theta) \\ v_b &= V_p \cos(\theta - 2\pi/3) \\ v_c &= V_p \cos(\theta + 2\pi/3) \end{aligned} \quad (4.68)$$

Sendo:

$$V_p = m(E/2);$$

$$\theta = 2\pi f_m t_a$$

m = índice de modulação senoidal

f_m = frequência dos sinais de referência

t_a = tempo de amostragem dos sinais

Desenvolvendo a equação (4.67) em termos das componentes dq , tem-se:

$$V_{Sd} = \frac{1}{3}(2v_a - v_b - v_c) \quad (4.69)$$

$$V_{Sq} = \frac{\sqrt{3}}{3}(v_b - v_c) \quad (4.70)$$

A partir da equação (4.42), para a região $i = 1$, obtém-se os valores de V_{Md} e

V_{Mq} ,

$$V_{Md} = V_{Sd} - \frac{2E}{9} = \frac{1}{3}(2v_a - v_b - v_c - \frac{2}{3}E) \quad (4.71)$$

$$V_{Mq} = V_{Sq} = \frac{\sqrt{3}}{3}(v_b - v_c) \quad (4.72)$$

Substituindo os valores de V_{Md} e V_{Mq} , dados anteriormente, nas equações (4.59) e (4.60), obtém-se os valores de t_{19} e t_{20} em função das tensões de referência,

$$t_{19} = (v_a - v_b - \frac{2E}{3}) \frac{3}{E} T_s \quad (4.73)$$

$$t_{20} = (v_b - v_c) \frac{3}{E} T_s \quad (4.74)$$

Na equação (4.64), substituindo-se os valores de t_7 (4.58), t_{19} (4.73) e t_{20} (4.74) tem-se:

$$v_a^* = \frac{E}{3}\mu + (1-\mu)(v_a - v_b - \frac{2E}{3}) + (1-\mu)(v_b - v_c) \quad (4.75)$$

Reorganizando os termos da equação anterior,

$$v_a^* = -\left\{ (1-2\mu)\frac{E}{2} + \mu v_a + (1-\mu)v_c \right\} + v_a \quad (4.76)$$

Aplicando o mesmo tratamento para as equações (4.65) e (4.66) obtém-se a equação (4.77), que relaciona as tensões de referência modificadas (v_a^* , v_b^* e v_c^*) com as tensões de referência originais (v_a , v_b e v_c) a partir da adição de um sinal de

seqüência zero (v_h), de forma equivalente ao que foi obtido por BLASKO (1996) para inversores de dois níveis. Tomando o valor máximo (v_{\max}) e mínimo (v_{\min}) dentre v_a , v_b e v_c , a equação (4.78) de v_h pode ser utilizada em qualquer instante da modulação para inversores de dois níveis.

$$v_x^* = v_x + v_h \quad \text{com } x \in \{a, b, c\} \quad (4.77)$$

$$v_h = - \left\{ (1-2\mu) \frac{E}{2} + \mu v_{\max} + (1-\mu) v_{\min} \right\} \quad (4.78)$$

A equação (4.78) é idêntica à obtida para os inversores de 2 níveis (BLASKO, 1996) e é equivalente à obtida por WU e HE (2001).

A análise desenvolvida a seguir estende a equação (4.78) para inversores de 4 níveis assim como foi feito para os inversores de 3 níveis.

Tomando a equação (4.78) para $v_{\max} = v_a$ e $v_{\min} = v_c$ tem-se:

$$v_h = - \left\{ (1-2\mu) \frac{E}{2} + \mu v_a + (1-\mu) v_c \right\} \quad (4.79)$$

Reorganizando os termos da equação anterior, obtém-se:

$$v_h = \mu \left(\frac{E}{2} - v_a \right) - (1-\mu) \left(\frac{E}{3} - \left(-\frac{E}{6} - v_c \right) \right) \quad (4.80)$$

Observando a figura 4.8, as variáveis p_a , p_b e p_c são definidas em função das tensões senoidais de referência e da região entre os níveis CC que elas se encontram em um determinado instante da modulação. Para o instante de tempo considerado na figura 4.8, tem-se:

$$p_a = \frac{E}{2} - v_a \quad p_b = \frac{E}{6} - v_b \quad p_c = -\frac{E}{6} - v_c \quad (4.81)$$

Substituindo os valores de p_a , p_b e p_c na equação (4.80), obtém-se a equação (4.82) de v_h para um inversor de 4 níveis, para o instante de tempo considerado na figura 4.8.

$$v_h = \mu p_a - (1-\mu) \left(\frac{E}{3} - p_c \right) \quad (4.82)$$

A equação (4.82) relaciona um sinal de seqüência zero v_h com a razão de distribuição vetorial ‘ μ ’ para os inversores de quatro níveis da mesma forma que a

equação (4.41) faz para os inversores de três níveis. Na seção 4.2.3 será mostrada a generalização da equação (4.82) para qualquer instante de tempo.

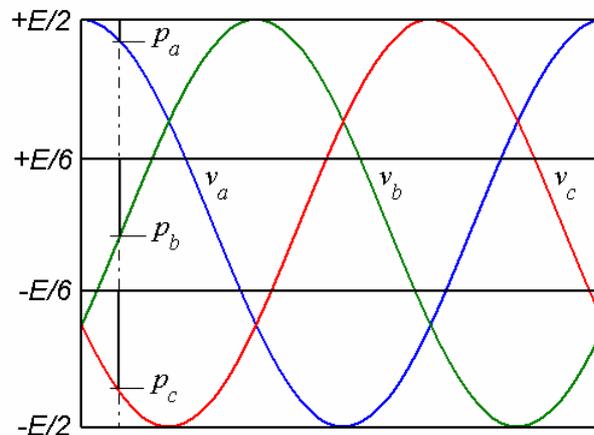


Figura 4.8 – Definição de p_a , p_b e p_c em um inversor de 4 níveis.

4.2.3 Generalização do Método para Inversores de N níveis

Nesta seção, a equação que determina o valor de v_h apresentada nas seções anteriores, tanto para um inversor de três níveis, quanto para um de quatro níveis, é generalizada para uso com inversores de N níveis e para qualquer instante da modulação. Antes, são feitas considerações importantes para a generalização, das quais, algumas são apresentadas em CORZINE (2003). São elas:

- A quantidade de hexágonos concêntricos no diagrama vetorial de um inversor multinível é de $N - 1$.
- As relações entre os vetores espaciais e o nível do inversor são dadas por:
 1. Quantidade de vetores nulos \mathbf{V}_0 : 1.
 2. Quantidade de configurações diferentes para o vetor \mathbf{V}_0 : N .
 3. Quantidade de vetores ativos \mathbf{V}_{k_0} por hexágono: $6 k_0$, com $k_0 = 1, 2, \dots, N - 1$. Sendo k_0 o número do hexágono.
 4. Quantidade de configurações diferentes para cada vetor ativo \mathbf{V}_{k_0} por hexágono: $N - k_0$, com $k_0 = 1, 2, \dots, N - 1$. Sendo k_0 o número do hexágono.
 5. Quantidade total de vetores no diagrama vetorial:

$$1 + \sum_{k_0=1}^{N-1} 6k_0 \tag{4.83}$$

6. Quantidade total de configurações diferentes dos vetores no diagrama vetorial:

$$N + \sum_{k_0=1}^{N-1} 6k_0(N - k_0) \tag{4.84}$$

- No diagrama vetorial de um inversor multinível, a magnitude do maior vetor sempre é igual a $2E/3$ (tabelas 4.2 e 4.4). Ou seja, com o aumento do número de níveis, a quantidade de hexágonos e vetores aumenta internamente ao hexágono original de dois níveis, cujo raio equivale a $2E/3$. O mesmo ocorre com a tensão modulada na fase, com valores entre $-2E/3$ e $+2E/3$ (figuras 2.1.d e 2.2.d), tem mais degraus internos em inversores com quantidade maior de níveis.
- O raio de cada anel circular que limita cada um dos hexágonos no diagrama vetorial é dado por:

$$\frac{k_0}{N-1} \frac{2E}{3} \quad \text{com } k_0 = 1, 2, \dots, N-1 \tag{4.85}$$

O diagrama vetorial geral para os inversores multiníveis pode ser visto na figura 4.9 a seguir. A seta tracejada indica a ordem de numeração dos hexágonos, do mais interno ao mais externo.

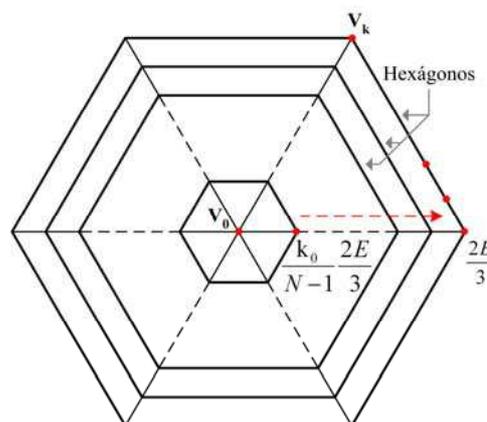


Figura 4.9 – Diagrama vetorial geral para inversores multiníveis.

Com base nas informações e equações anteriores, pode-se montar o diagrama vetorial do inversor multinível a ser estudado e aplicar o método de redução de níveis

para se obter o diagrama do inversor de dois níveis e então utilizar uma estratégia de modulação. Considerando, por exemplo, o diagrama vetorial para um inversor de 5 níveis mostrado na figura 4.10, o procedimento matemático pode ser desenvolvido reduzindo o diagrama de 5 níveis para um de 4 níveis, em seguida para um de 3 níveis e finalmente para um diagrama vetorial de 2 níveis onde o vetor tensão de referência esteja localizado.

Na figura 4.10, observa-se que cada diagrama vetorial pode ser dividido em seis regiões centradas nos vetores \mathbf{V}_i . O método de redução de níveis, para obtenção da equação para v_h idêntica à (4.36), requer um grande esforço matemático, considerando que ele deve ser aplicado $N - 1$ vezes o número de regiões i de cada diagrama vetorial para detecção do vetor tensão de referência. No entanto, esta equação só se aplica aos inversores de 2 níveis.

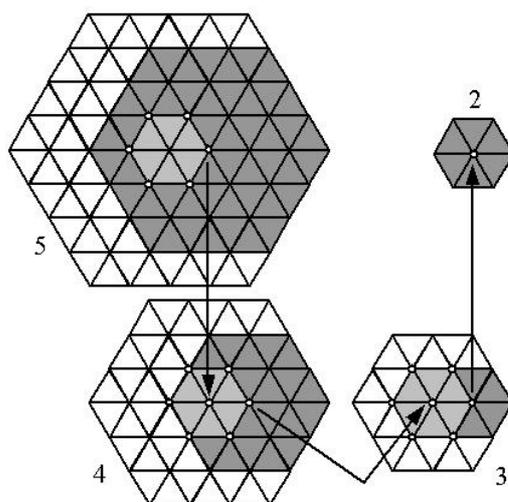


Figura 4.10 – Redução do diagrama vetorial de um inversor de 5 para 2 níveis.

De forma mais simples, uma equação geral relacionando a tensão de seqüência zero v_h com a razão de distribuição vetorial ‘ μ ’, para inversores de N níveis, pode ser obtida utilizando as diferenças (p_a , p_b e p_c) entre os níveis de tensão CC e as tensões de referência (v_a , v_b e v_c), conforme foi feito para os inversores de três e quatro níveis nas seções anteriores. Isto elimina a necessidade de refazer todo o desenvolvimento matemático sempre que a modulação for aplicada a um inversor com uma quantidade diferente de níveis.

De acordo com a figura 4.1, para cada topologia de inversor multinível têm-se N eixos de tensão nos gráficos que relacionam as tensões de referência v_a , v_b e v_c . Estes eixos também representam os níveis do inversor.

$$\text{Para } N = 2: \quad \begin{cases} \text{Eixo(1)} = +\frac{E}{2} = \left(\frac{1}{2} - \frac{0}{1}\right)E \\ \text{Eixo(2)} = -\frac{E}{2} = \left(\frac{1}{2} - \frac{1}{1}\right)E \end{cases}$$

$$\text{Para } N = 3: \quad \begin{cases} \text{Eixo(1)} = +\frac{E}{2} = \left(\frac{1}{2} - \frac{0}{2}\right)E \\ \text{Eixo(2)} = 0 = \left(\frac{1}{2} - \frac{1}{2}\right)E \\ \text{Eixo(3)} = -\frac{E}{2} = \left(\frac{1}{2} - \frac{2}{2}\right)E \end{cases}$$

$$\text{Para } N = 4: \quad \begin{cases} \text{Eixo(1)} = +\frac{E}{2} = \left(\frac{1}{2} - \frac{0}{3}\right)E \\ \text{Eixo(2)} = +\frac{E}{6} = \left(\frac{1}{2} - \frac{1}{3}\right)E \\ \text{Eixo(3)} = -\frac{E}{6} = \left(\frac{1}{2} - \frac{2}{3}\right)E \\ \text{Eixo(4)} = -\frac{E}{2} = \left(\frac{1}{2} - \frac{3}{3}\right)E \end{cases}$$

Da análise anterior, as tensões de referência sempre estarão limitadas aos eixos $E/2$ e $-E/2$, primeiro e último respectivamente. Os valores dos eixos intermediários dependerão do nível do inversor.

Definindo as variáveis ‘k’, ‘a’ e ‘b’ como números inteiros, com $k = 1, 2, \dots, N$. Os valores de todos os eixos podem ser dados em função destas variáveis de forma que:

$$\text{Eixo}(k) = \left(\frac{1}{2} - \frac{a}{b}\right)E \quad (4.86)$$

A variável ‘b’ relaciona-se com a quantidade de níveis do inversor, logo para:

$$2 \text{ níveis:} \quad b = 1 = 2 - 1$$

$$3 \text{ níveis:} \quad b = 2 = 3 - 1$$

$$4 \text{ níveis:} \quad b = 3 = 4 - 1$$

N níveis: $b = N - 1$

A variável ‘a’ assume um valor crescente correspondentemente ao número do eixo definido por ‘k’, logo para:

$k = 1$: Eixo(1), $a = 0$
 $k = 2$: Eixo(2), $a = 1$
 $k = 3$: Eixo(3), $a = 2$
 $k = 4$: Eixo(4), $a = 3$
 $k = N$: Eixo(k), $a = k - 1$

Desta forma, os valores individuais para cada eixo ou nível de tensão existente em um inversor multinível são determinados a partir da equação (4.87).

$$\text{Eixo}(k) = \left(\frac{1}{2} - \frac{k-1}{N-1} \right) E \quad \text{com } k = 1, 2, \dots, N \quad (4.87)$$

Das figuras 4.4 e 4.8, e da definição das diferenças p_a , p_b e p_c entre os níveis de tensão CC e as tensões de referência v_a , v_b e v_c , para um determinado instante da modulação, tem-se:

$$p_x = \text{Eixo}(k) - v_x \quad \text{com } x \in \{a, b, c\} \quad (4.88)$$

A equação anterior é válida para: $\text{Eixo}(k) \geq v_x \geq \text{Eixo}(k+1)$.

Tomando o valor de v_h , dado pela equação 4.34, tem-se:

$$v_h = - \left\{ (1-2\mu) \frac{E}{2} + \mu v_a + (1-\mu) v_c \right\} \quad (4.89)$$

Desenvolvendo os termos da equação anterior:

$$v_h = - \frac{E}{2} + \mu \frac{E}{2} + \mu \frac{E}{2} - \mu v_a - (1-\mu) v_c \quad (4.90)$$

Após algumas manipulações matemáticas,

$$v_h = \mu \left(\frac{E}{2} - v_a \right) - (1-\mu) \left(\frac{E}{2} + v_c \right) \quad (4.91)$$

Das definições de p_a , p_b e p_c :

$$\text{Para } v_x = v_a \quad \rightarrow \quad p_x = p_a$$

$$\text{Para } v_x = v_c \quad \rightarrow \quad p_x = p_c$$

Com $x \in \{a, b, c\}$.

Para inversores de N níveis, o valor de p_a é calculado por:

$$p_a = \text{Eixo}(k) - v_a = \left(\frac{1}{2} - \frac{k-1}{N-1} \right) E - v_a \quad (4.92)$$

Para o instante de tempo considerado nas figuras 4.4 e 4.8, $\text{Eixo}(k) = \text{Eixo}(1)$, logo:

$$p_a = \frac{E}{2} - v_a \quad (4.93)$$

Para inversores de N níveis, o valor de p_c é calculado por:

$$p_c = \text{Eixo}(k) - v_c = \left(\frac{1}{2} - \frac{k-1}{N-1} \right) E - v_c \quad (4.94)$$

Para o instante de tempo considerado nas figuras 4.4 e 4.8, $\text{Eixo}(k) = \text{Eixo}(N-1)$, logo:

$$p_c = \left(\frac{1}{2} - \frac{(N-1)-1}{N-1} \right) E - v_c \quad (4.95)$$

Desenvolvendo os termos da equação anterior,

$$p_c = \left(\frac{1}{2} - \frac{N-1}{N-1} + \frac{1}{N-1} \right) E - v_c$$

$$p_c = \left(\frac{1}{2} - 1 + \frac{1}{N-1} \right) E - v_c$$

$$p_c = \frac{E}{N-1} - \left(\frac{E}{2} + v_c \right)$$

O que resulta em:

$$\frac{E}{2} + v_c = \frac{E}{N-1} - p_c \quad (4.96)$$

Substituindo as equações (4.93) e (4.96) na equação (4.91) obtém-se a equação (4.97) de v_h em função da razão de distribuição vetorial ‘ μ ’ e da quantidade de níveis N do inversor, para o instante de tempo considerado.

$$v_h = \mu p_a - (1-\mu) \left(\frac{E}{N-1} - p_c \right) \quad (4.97)$$

Com $0 \leq \mu \leq 1$.

Tomando o valor máximo (p_{max}) e mínimo (p_{min}) dentre p_a , p_b e p_c , a equação (4.97) de v_h pode ser reescrita para ser utilizada de forma geral em qualquer instante de tempo da modulação e para inversores de qualquer quantidade de níveis ($N \geq 2$),

$$v_h = \mu p_{min} - (1-\mu) \left(\frac{E}{N-1} - p_{max} \right) \quad (4.98)$$

A equação (4.98) também pode ser utilizada para inversores de dois níveis. Observando a figura 4.11 que define as variáveis p_a , p_b e p_c em função das tensões senoidais de referência e da região entre os níveis CC em que elas se encontram em um determinado instante da modulação, para o inversor de dois níveis da figura 2.1.a, tem-se:

$$p_{min} = p_a = \frac{E}{2} - v_a \quad p_b = \frac{E}{2} - v_b \quad p_{max} = p_c = \frac{E}{2} - v_c$$

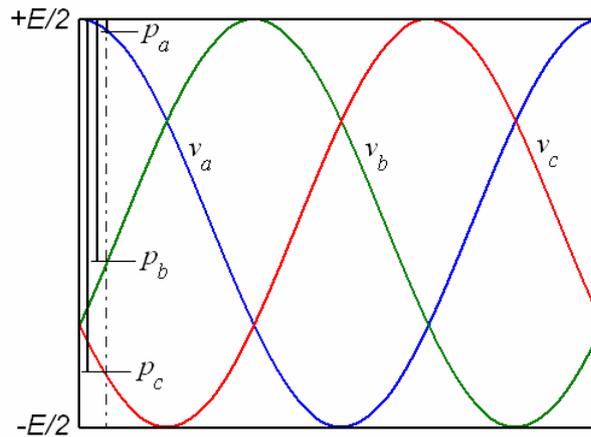


Figura 4.11 – Definição de p_a , p_b e p_c em um inversor de 2 níveis.

Substituindo os valores de $N = 2$, p_{max} e p_{min} dados anteriormente, na equação (4.98), obtém-se a mesma expressão para a tensão v_h definida em (4.36) para um inversor de dois níveis.

A figura 4.12 representa, de forma geral, um pulso de comando para um interruptor de um inversor multinível ($N \geq 2$), em um determinado período de modulação T_s . A equivalência entre as áreas ($A = B + C$) fornece o intervalo de tempo em que o interruptor permanece bloqueado (T_x). A área A é o retângulo limitado pelos

lados $(0; v_x)$ e $(0; T_S)$. A área B é o retângulo limitado pelos lados $(0; \text{Eixo}(k+1))$ e $(0; T_x)$. A área C é o retângulo limitado pelos lados $(0; \text{Eixo}(k))$ e $(T_x; T_y)$

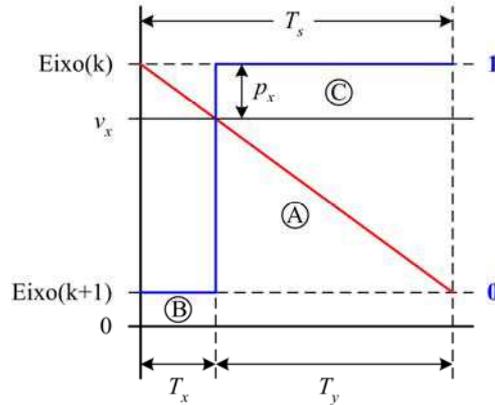


Figura 4.12 – Pulso de comando para um inversor de N níveis.

Da equação (4.87):

$$\text{Eixo}(k) = \left(\frac{1}{2} - \frac{k-1}{N-1} \right) E = \frac{E}{2} - \frac{k-1}{N-1} E \quad (4.99)$$

$$\text{Eixo}(k+1) = \left(\frac{1}{2} - \frac{(k+1)-1}{N-1} \right) E = \frac{E}{2} - \frac{k}{N-1} E - \frac{E}{N-1} \quad (4.100)$$

Logo:

$$\text{Eixo}(k) - \text{Eixo}(k+1) = \frac{E}{N-1} \quad (4.101)$$

Na figura 4.12, da equivalência entre as áreas tem-se:

$$A = B + C \quad (4.102)$$

De forma que:

$$v_x T_S = \text{Eixo}(k+1) T_x + \text{Eixo}(k) (T_S - T_x) \quad (4.103)$$

Desenvolvendo os termos da equação anterior para T_x :

$$v_x T_S = -\{\text{Eixo}(k) - \text{Eixo}(k+1)\} T_x + \text{Eixo}(k) T_S$$

$$v_x T_S = -\frac{E}{N-1} T_x + \text{Eixo}(k) T_S$$

$$\frac{E}{N-1} T_x = (\text{Eixo}(k) - v_x) T_S$$

De acordo com a definição de p_x , dada na equação (4.88), o valor de T_x é dado por:

$$T_x = \frac{p_x}{\left(\frac{E}{N-1}\right)} T_s \quad \text{com } x \in \{a, b, c\} \quad (4.104)$$

4.2.4 Algoritmo Final

A técnica multinível formulada na seção anterior pode ser resumida no seguinte algoritmo:

Passo 1: Cada nível do inversor representa um eixo horizontal. Estes eixos limitam as regiões no gráfico onde se encontram os três sinais de tensão que servirão como referência para a modulação (figura. 4.1). A equação 4.105 possibilita determinar os valores destes eixos para um inversor de N níveis (com $N \geq 2$).

$$\text{Eixo}(k) = \left(\frac{1}{2} - \frac{(k-1)}{(N-1)}\right)E \quad \text{com } k = 1, 2, \dots, N \quad (4.105)$$

Passo 2: As diferenças p_a , p_b e p_c (figura 4.4, para $N = 3$), entre os níveis de tensão CC e as tensões de referência, são calculadas conforme a equação 4.106. Antes, é necessário verificar quais os eixos que limitam as tensões de referência v_a , v_b e v_c .

$$p_x = \text{Eixo}(k) - v_x \quad \text{Para: } \text{Eixo}(k) \geq v_x \geq \text{Eixo}(k+1) \quad (4.106)$$

$$\text{Com } k = 1, 2, \dots, N \quad \text{e} \quad x \in \{a, b, c\}$$

Passo 3: O valor máximo e o mínimo dentre p_a , p_b e p_c são determinados e introduzidos na equação 4.107, juntamente com o valor da razão de distribuição vetorial ‘ μ ’, para o cálculo da tensão v_h que será adicionada às tensões de referência.

$$v_h = \mu p_{\min} - (1 - \mu) \left(\frac{E}{N-1} - p_{\max}\right) \quad \text{com } 0 \leq \mu \leq 1 \quad (4.107)$$

Passo 4: As novas tensões de referência (v_a^* , v_b^* e v_c^*), são então calculadas a partir da equação 4.108.

$$v_x^* = v_x + v_h \quad \text{com } x \in \{a, b, c\} \quad (4.108)$$

Passo 5: As novas tensões de referência, calculadas no passo anterior, são utilizadas para o cálculo dos novos valores de p_a^* , p_b^* e p_c^* , conforme a equação 4.106. Estes valores, introduzidos na equação 4.109, fornecem os intervalos de tempo T_a^* , T_b^* e T_c^* em que os interruptores permanecem bloqueados (figura 4.3, para $N = 3$). Os intervalos de tempo T_1^* , T_2^* e T_3^* em que os interruptores permanecem em condução, em um determinado período da modulação (T_s), são calculados a partir da equação 4.110.

$$T_x^* = \frac{P_x^*}{\left(\frac{E}{N-1}\right)} T_s \quad (4.109)$$

$$T_y^* = T_s - T_x^* \quad \text{com } x \in \{a, b, c\} \text{ e } y \in \{1, 2, 3\} \quad (4.110)$$

Passo 6: Em se tratando de simulação, as tensões de pólo do inversor (v_{ao} , v_{bo} e v_{co}), que servirão de base para o cálculo das tensões de fase e de linha, são determinadas por:

$$\text{Se } (t < T_x^*) \text{ ou } (t > 2T_y^*) \quad \rightarrow \quad v_{x0} = \text{Eixo}(k+1)$$

$$\text{Se } (T_x^* \leq t \leq 2T_y^*) \quad \rightarrow \quad v_{x0} = \text{Eixo}(k)$$

Com $x \in \{a, b, c\}$, $y \in \{1, 2, 3\}$ e $k = 1, 2, \dots, N$.

O algoritmo anterior permite programar facilmente a técnica multinível proposta em sistemas microcontrolados.

Nas figuras 4.13 e 4.14 é mostrado o algoritmo contendo os passos anteriores e escrito em linguagem C++.

```

// PASSO 1
// Tensões de referência
va = Vp*cos(tetts);
vb = Vp*cos(tetts - 2*M_PI/3.);
vc = Vp*cos(tetts - 4*M_PI/3.);

// Determinação dos níveis do barramento CC
z = 1;
while (z <= Niveis)
{
    Eixo[z] = (Vdc/2.) - ((z-1)*(Vdc/(Niveis-1)));
    z = z+1;
}

// PASSO 2
// Determinação das posições das tensões de referência
// Cálculo de Pa, Pb e Pc
za = 1;
while (za <= (Niveis - 1))
{
    if ((va <= Eixo[za]) && (va >= Eixo[za+1]))
    {
        Pa = Eixo[za] - va;
        break;
    }
    else
    {
        za = za+1;
    }
}

// PASSO 3
// Determinação do Pmin e do Pmax
Pmax = Pa;
if (Pb > Pmax)
{
    Pmax = Pb;
}
if (Pc > Pmax)
{
    Pmax = Pc;
}

Pmin = Pa;
if (Pb < Pmin)
{
    Pmin = Pb;
}
if (Pc < Pmin)
{
    Pmin = Pc;
}

// Cálculo da componente de seqüência zero
// Aplicação da razão de distribuição vetorial (μ)
vh = (mi*Pmin) - (1. - mi)*(Vdc/(Niveis-1)) - Pmax;

// PASSO 4
// Adição da componente de seqüência zero às tensões de ref.
va_ref = va + vh;
vb_ref = vb + vh;
vc_ref = vc + vh;
    
```

Figura 4.13 – Passos 1 a 4 do algoritmo em C++ para a técnica de modulação multinível proposta.

```

// PASSO 5
// Cálculo dos tempos de condução e bloqueio dos interruptores
if (t >= tms)
{
    // Atualizando o período de modulação
    tms = tms + Perchav;

    // Determinação dos novos valores de Pa, Pb e Pc
    za = 1;
    while (za <= (Niveis - 1))
    {
        if ((va_ref <= Eixo[za]) && (va_ref >= Eixo[za+1]))
        {
            Pa_novo = Eixo[za] - va_ref;
            Sa = za;
            break;
        }
        else
        {
            za = za+1;
        }
    }
}

// Cálculo dos tempos de condução dos interruptores
Ta = (Pa_novo/(Vdc/(Niveis-1)))*Ts;
Tb = (Pb_novo/(Vdc/(Niveis-1)))*Ts;
Tc = (Pc_novo/(Vdc/(Niveis-1)))*Ts;

Ta1 = t + Ta;
Tb1 = t + Tb;
Tc1 = t + Tc;

Ta2 = Ta1 + 2.*(Ts - Ta);
Tb2 = Tb1 + 2.*(Ts - Tb);
Tb2 = Tc1 + 2.*(Ts - Tc);
}

// PASSO 6
// Determinação das tensões de pólo do inversor
if (t < Ta1 || t > Ta2)
{
    Vao = Eixo[Sa+1];
    a = Niveis - (Sa+1);
}
if (t >= Ta1 && t <= Ta2)
{
    Vao = Eixo[Sa];
    a = Niveis - Sa;
}
    
```

Figura 4.14 – Passos 5 e 6 do algoritmo em C++ para a técnica de modulação multinível proposta.

4.3 UTILIZAÇÃO DA ESTRATÉGIA PROPOSTA NA ESCALA DE TEMPO

Para $N = 3$, as figuras 4.3 e 4.4 representam graficamente a estratégia proposta aplicada ao inversor de três níveis da figura 2.2.a.

Na figura 4.3 quando se adiciona um nível de tensão v_h (proporcional ao ‘ μ ’) nas tensões de referência, os resultados obtidos, com relação aos tempos de aplicação dos pulsos de comando para os interruptores do inversor, equivalem à introdução de um valor na escala de tempo ‘ τ_h ’ (também proporcional ao ‘ μ ’) diretamente nestes pulsos.

Da equação (4.107):

$$v_h = \mu p_{\min} - (1 - \mu) \left(\frac{E}{N-1} - p_{\max} \right) \quad (4.111)$$

Da equação (4.106):

$$p_x = \text{Eixo}(k) - v_x \quad (4.112)$$

Logo, o novo valor de p_x , dado por p_x^* , é:

$$p_x^* = \text{Eixo}(k) - v_x^* \quad (4.113)$$

Substituindo o valor de v_x^* , dado na equação (4.108), na equação anterior:

$$p_x^* = \text{Eixo}(k) - v_x - v_h \quad (4.114)$$

Assim:

$$p_x^* = p_x - v_h \quad (4.115)$$

Da equação (4.109), o valor de T_x^* é dado por:

$$T_x^* = \frac{p_x^*}{\left(\frac{E}{N-1} \right)} T_s \quad (4.116)$$

Desenvolvendo a equação anterior,

$$T_x^* = \frac{p_x}{\left(\frac{E}{N-1} \right)} T_s - \frac{v_h}{\left(\frac{E}{N-1} \right)} T_s \quad (4.117)$$

Novamente, da equação (4.109) pode-se obter o valor de τ_h a partir do valor de

v_h ,

$$\tau_h = \frac{v_h}{\left(\frac{E}{N-1}\right)} T_s \quad (4.118)$$

Simplificando a equação (4.117),

$$T_x^* = T_x - \tau_h \quad (4.119)$$

Substituindo o valor de v_h , dado na equação (4.111), na equação (4.118), obtém-se:

$$\tau_h = \frac{\mu p_{\min} - (1-\mu) \left(\frac{E}{N-1} - p_{\max} \right)}{\left(\frac{E}{N-1} \right)} T_s$$

Reorganizando a equação anterior, tem-se:

$$\tau_h = \mu \left(\frac{p_{\min}}{\left(\frac{E}{N-1} \right)} T_s \right) - (1-\mu) \left(T_s - \frac{p_{\max}}{\left(\frac{E}{N-1} \right)} T_s \right) \quad (4.120)$$

Aplicando novamente a equação (4.109) que relaciona valores na escala de tensão com valores na escala de tempo,

$$T_{\min} = \frac{p_{\min}}{\left(\frac{E}{N-1} \right)} T_s \quad (4.121)$$

$$T_{\max} = \frac{p_{\max}}{\left(\frac{E}{N-1} \right)} T_s$$

Sendo T_{\min} o valor mínimo e T_{\max} o valor máximo dentre T_a , T_b e T_c obtidos com as tensões v_a , v_b e v_c .

Substituindo os valores de T_{\min} e T_{\max} , definidos na equação (4.121), na equação (4.120), resulta em:

$$\tau_h = \mu T_{\min} - (1-\mu)(T_s - T_{\max}) \quad (4.122)$$

Somando-se o valor de ' τ_h ' a T_a , T_b e T_c obtêm-se T_a^* , T_b^* e T_c^* (figura 4.3), que são os mesmos valores obtidos quando se adiciona v_h às tensões de referência originais (v_a , v_b e v_c) para se obter as tensões modificadas (v_a^* , v_b^* e v_c^*). Ambos os

caminhos fornecerão os mesmos resultados para os tempos de aplicação dos pulsos de comando dos interruptores do inversor (T_a^* , T_b^* e T_c^*).

A equação (4.122) comprova a relação direta que existe no uso do conceito de razão de distribuição vetorial ‘ μ ’, tanto nas tensões de referência, quanto nos pulsos de comando para os interruptores de um inversor multinível.

4.4 CONCLUSÕES

Neste capítulo foi mostrado o desenvolvimento matemático para se obter uma equação que relaciona um sinal de seqüência zero com o conceito de razão de distribuição vetorial para os inversores de N níveis (4.105).

A técnica multinível elimina a necessidade do tratamento matemático para redução do diagrama vetorial de um inversor de N níveis para dois níveis, como também fornece um valor para v_h correspondente ao nível do inversor.

A estratégia de modulação proposta estende o conceito de razão de distribuição vetorial aos inversores multiníveis, ao mesmo tempo em que possibilita que um sinal de seqüência zero seja utilizado para modificar os sinais de referência, alterando as características da modulação.

O uso de ‘ μ ’ possibilita alterar os tempos de aplicação dos vetores que estão no início e no final de um período da modulação, em inversores de 2, 3 ou mais níveis. Como será mostrado nos capítulos seguintes, isso possibilita: 1) modificar o conteúdo harmônico nas tensões de saída; 2) manter o equilíbrio das tensões nos capacitores do barramento CC; 3) reduzir as perdas por comutação; entre outros benefícios.

Qualquer técnica utilizada, seja ela para diminuição do conteúdo harmônico, equilíbrio das tensões nos capacitores do barramento CC, diminuição da tensão de modo comum, diminuição da interferência eletromagnética, da vibração mecânica e/ou do ruído acústico, entre outros problemas ligados ao uso dos inversores multiníveis, pode ser facilmente adaptada para utilização com o algoritmo proposto neste capítulo.

RESULTADOS DE SIMULAÇÃO E EXPERIMENTAIS

5.1 INTRODUÇÃO

Neste capítulo são apresentados os primeiros resultados de simulação obtidos a partir do programa SSIF, desenvolvido em C++ e descrito no Apêndice A. Também são apresentados os primeiros resultados experimentais obtidos a partir da montagem do inversor de três níveis com diodos de grampeamento com comando digital via DSP, conforme mostrado no Apêndice B.

Foram realizados diversos ensaios experimentais e simulações para comprovar a eficiência da técnica de modulação multinível proposta no capítulo 4, assim como, comprovar a funcionalidade da montagem experimental do inversor de três níveis com diodos de grampeamento e da estrutura com um número reduzido de componentes. Também foi analisada a estratégia de modulação multinível para comando do inversor de três níveis em conjunto com a técnica randômica ou com o controle das correntes nas fases da carga. A descrição do controlador PI de corrente é feita no Apêndice C.

No final deste capítulo é realizado um estudo comparativo entre a técnica de modulação multinível proposta e a técnica apresentada por LEE, KIM e HYUN (2000) com respeito ao parâmetro de desempenho escolhido, WTHD. O estudo de simulação realizado foi limitado aos inversores de três níveis com diodos de grampeamento.

Todas as curvas experimentais foram adquiridas utilizando-se um osciloscópio. Com a aquisição do sinal de tensão de linha para um período fundamental ($1/f_m$) e por meio de um programa escrito em MATLAB[®], foram obtidas as curvas de FFT e calculados os índices de WTHD para este sinal.

Nos gráficos de FFT mostrados e no cálculo do índice de WTHD para a tensão de linha, obtidos experimentalmente ou por meio de simulações, foram seguidas as considerações feitas na seção 3.7 que trata do parâmetro de desempenho adotado. No cálculo do índice de WTHD foram computadas as componentes harmônicas até a ordem de 1000 vezes a frequência fundamental (f_m).

A quantidade de pontos utilizada nas simulações para compor as formas de onda dos sinais foi de $2^{17} = 131072$.

Foi utilizado um osciloscópio de 2 canais, com 2 MBytes de memória por canal para armazenamento do sinal. Com as taxas de amostragem utilizadas, foram adquiridos sinais com até 4 milhões de pontos. Para exibição na tela e gravação em disco, a quantidade máxima de pontos permitida pelo equipamento é de 2000. Acima desse valor, o osciloscópio permite apenas exportar todo o conteúdo de sua memória para o computador por meio da porta serial RS 232 ou do padrão GPIB, através de programação. No entanto, ensaios mostraram que este processo leva de 9 a 72 minutos, dependendo da quantidade total de pontos existentes na memória do osciloscópio, mesmo configurado para a taxa de transferência máxima suportada.

Os primeiros ensaios mostraram uma diferença muito pequena no índice de WTHD para a tensão de linha obtida experimentalmente com 2000 pontos e com até 4 milhões de pontos. Como a perda de informação mostrou-se pequena, optou-se pela aquisição dos sinais com 2000 pontos, já que neste modo, a gravação em disco e a análise do sinal pode ser feita de forma bem mais rápida.

5.2 RESULTADOS DE SIMULAÇÃO

Em todas as simulações mostradas nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 29 \text{ mH}$, $\cos(\phi) = 0,91$.
- Tensão total do barramento CC: $E = 500 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência fundamental: $f_m = 50 \text{ Hz}$.

5.2.1 Teste de simulação 1: sinais obtidos com os inversores multiníveis

O objetivo deste teste de simulação foi comparar os sinais obtidos com inversores de vários níveis de tensão utilizando a técnica de modulação multinível proposta no capítulo 4.

Na figura 5.1 são mostradas as tensões de fase moduladas obtidas com os inversores de 2, 3, 5 e 9 níveis. Foi utilizada uma frequência de comutação f_s de 10,05 kHz com o objetivo de evidenciar o aumento da quantidade de níveis de tensão nestas formas de onda, com o aumento do número de níveis do inversor, levando o sinal de tensão a se aproximar de uma forma senoidal. Isso possibilita uma diminuição no conteúdo harmônico deste sinal. As curvas foram obtidas para $\mu = 0,5$ e sob as demais condições de simulação dadas no início da seção 5.2. Para frequências de comutação menores (750 Hz) não se observa claramente a mudança nos níveis de tensão; por isso optou-se por mostrar os sinais de tensão de fase obtidos com o inversor operando a 10,05 kHz.

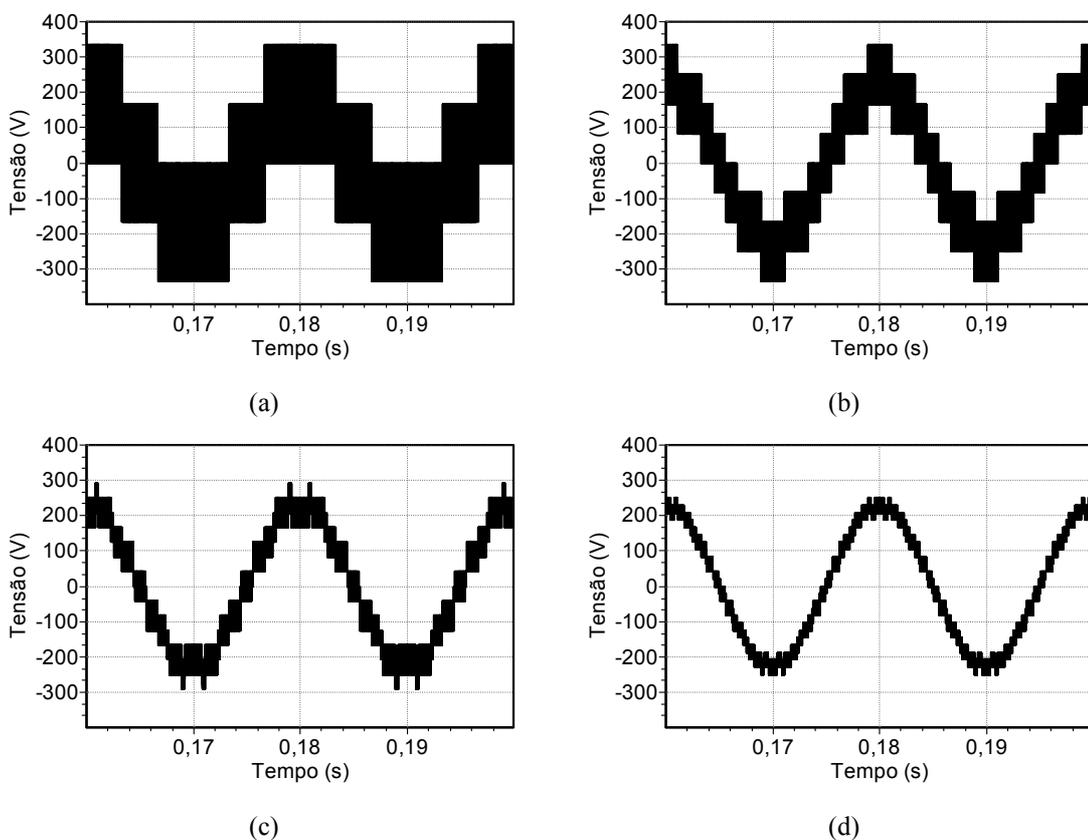


Figura 5.1 – Resultados de simulação: tensão de fase nos inversores multiníveis, $f_s = 10,05$ kHz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

Já para os sinais de corrente obtidos com os inversores de 2, 3, 5 e 9 níveis, mostrados na figura 5.2, foi utilizada uma frequência de comutação f_s de 750 Hz para evidenciar a melhora no sinal de corrente com o aumento do número de níveis do inversor. Novamente, as curvas foram obtidas para $\mu = 0,5$ e sob as demais condições de simulação dadas no início da seção 5.2.

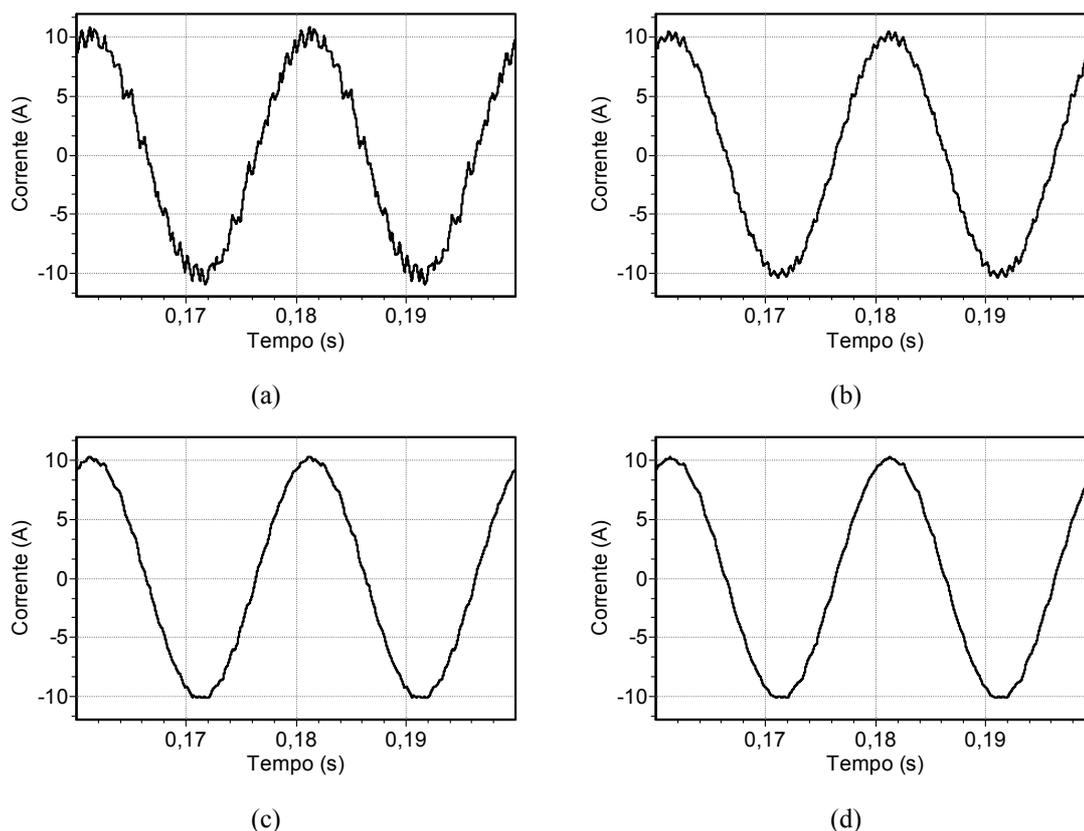


Figura 5.2 – Resultados de simulação: corrente na fase nos inversores multiníveis, $f_s = 750$ Hz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

Nas figuras 5.3 e 5.4 são mostrados os gráficos de FFT das tensões de linha nos inversores de 2, 3, 5 e 9 níveis, para $f_s = 750$ Hz e $f_s = 10,05$ kHz, respectivamente e $\mu = 0,5$. Pode-se ver claramente que, com o aumento do número de níveis, há uma redução nas amplitudes dos harmônicos para os inversores operando na mesma frequência f_s , isso implica na redução do índice de WTHD. As curvas foram obtidas para as mesmas condições de simulação dadas no início da seção 5.2.

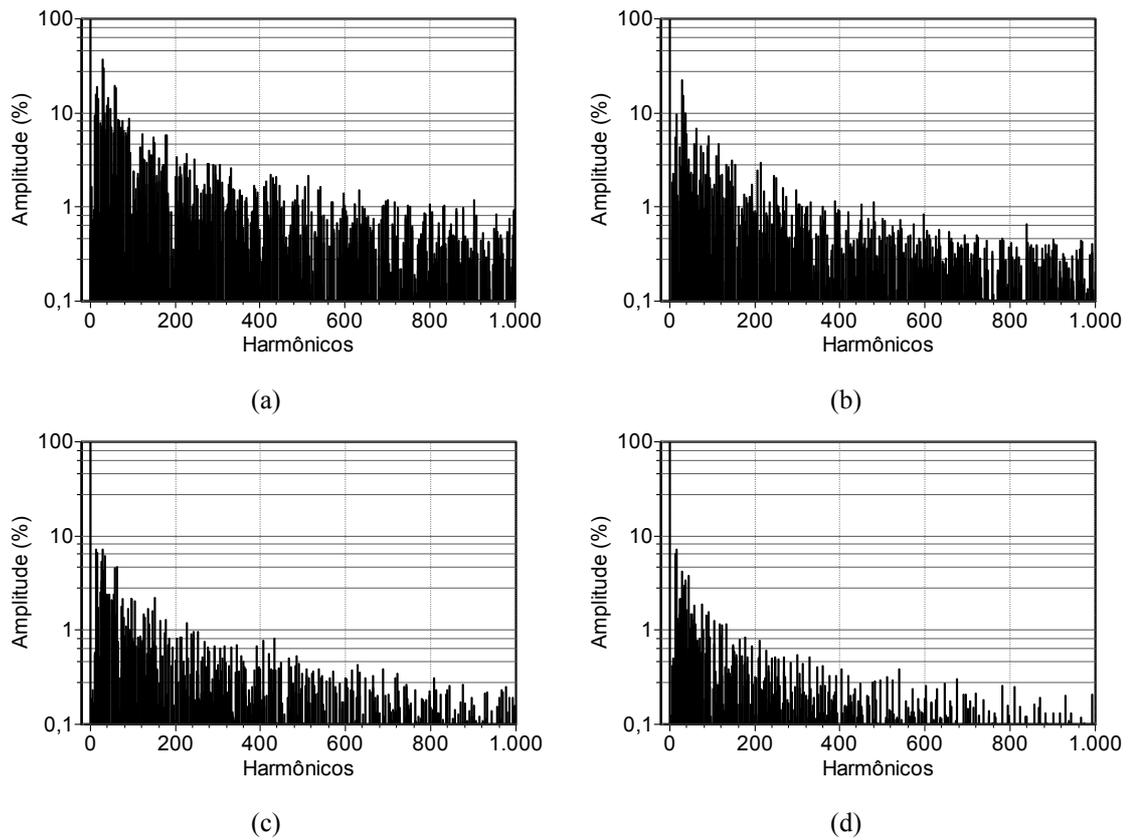


Figura 5.3 – Resultados de simulação: FFT da tensão de linha nos inversores multiníveis, $f_s = 750$ Hz, $\mu = 0,5$.
 (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

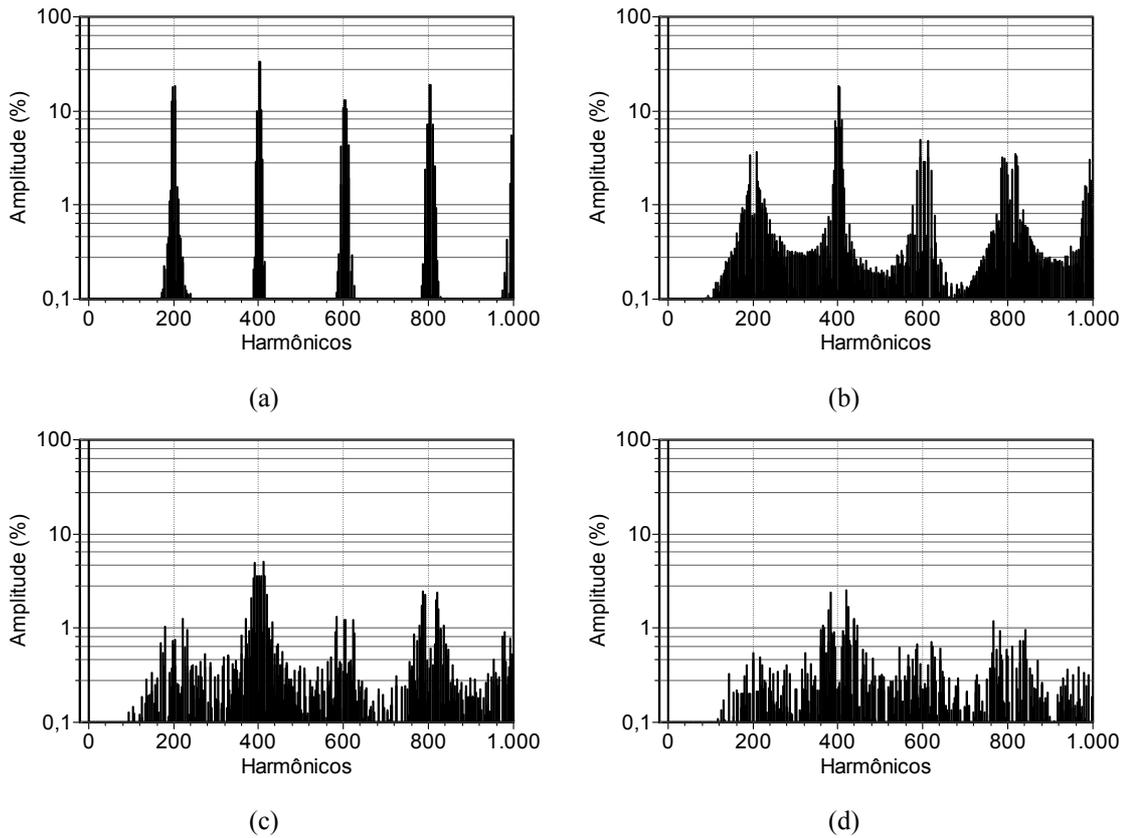


Figura 5.4 – Resultados de simulação: FFT da tensão de linha nos inversores multiníveis, $f_s = 10,05$ kHz, $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

5.2.2 Teste de simulação 2: evolução no valor de WTHD para inversores multiníveis

O objetivo deste teste de simulação foi verificar a redução no valor de WTHD nos sinais de tensão de linha com o aumento no número de níveis do inversor modulado com a técnica multinível.

A partir dos ensaios para determinação do índice de WTHD das tensões de linha nos inversores multiníveis foram obtidas as curvas que mostram a evolução no valor de WTHD com o aumento do número de níveis do inversor. Os resultados foram obtidos para dois valores diferentes da frequência de comutação, $f_s = 750$ Hz e $f_s = 10,05$ kHz, com $\mu = 0,5$ e sob as mesmas condições de simulação dadas no início da seção 5.2. Na figura 5.5 são mostradas as curvas de WTHD *versus* número de níveis do inversor.

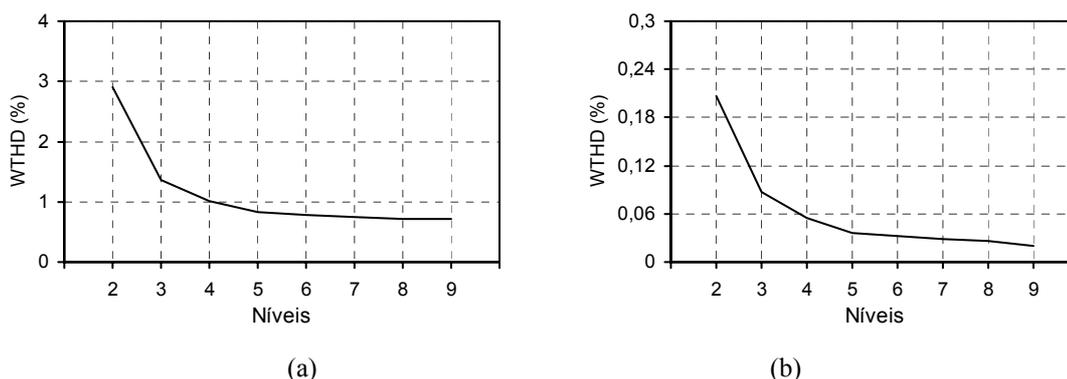


Figura 5.5 – Resultados de simulação: evolução no valor de WTHD da tensão de linha nos inversores de tensão *versus* níveis do inversor, $\mu = 0,5$. (a) $f_s = 750$ Hz. (b) $f_s = 10,05$ kHz.

Na figura 5.5.a, o aumento da qualidade dos sinais de saída dos inversores tende a se limitar a uma relação ótima máxima, para a mesma frequência de comutação. Assim, o aumento no número de níveis não implica em uma melhora significativa no valor de WTHD. Para que haja uma redução maior no valor do WTHD é preciso então aumentar a frequência de comutação (figura 5.5.b).

Na tabela 5.1 pode-se ver os valores de WTHD obtidos para os inversores de 2, 3, 5 e 9 níveis operando nas frequências de comutação de 750 Hz e 10,05 kHz.

Tabela 5.1 – Valores de WTHD para inversores de 2, 3, 5 e 9 níveis.

Frequência de Comutação (kHz)	WTHD (%) 2 Níveis	WTHD (%) 3 Níveis	WTHD (%) 5 Níveis	WTHD (%) 9 Níveis
0,75	2,9117	1,3626	0,8266	0,7119
10,05	0,2068	0,0867	0,0366	0,0193

Na figura 5.5, os valores de WTHD foram calculados para os inversores de até 9 níveis. Os resultados mostram que as curvas tendem a atingir um valor de regime constante para a mesma frequência de operação do inversor. Testes de simulação realizados para os inversores de 19 níveis, operando nas frequências de 750 Hz e 10,05 kHz, forneceram valores de WTHD de 0,6764% e 0,0093%, respectivamente. Logo, a redução no valor de WTHD com o inversor de 19 níveis é pequena com relação ao inversor de 9 níveis para a mesma frequência de comutação (tabela 5.1).

Obviamente, quanto maior o número de níveis do inversor e a sua frequência de comutação, menor o valor do WTHD e melhor é a qualidade do sinal. Para um sinal puramente senoidal o valor ideal de WTHD é 0%.

Dessa forma, em se tratando de custo/benefício, pode ser mais interessante aumentar a frequência de comutação, limitada aos valores de tensão e corrente do sistema, do que adquirir um inversor com número maior de níveis. A grande quantidade de componentes implica num aumento dos custos e das perdas nos dispositivos.

5.2.3 Teste de simulação 3: sinais de referência com valores diferentes de μ

O objetivo deste teste de simulação foi verificar o comportamento nos sinais de referência e nos sinais obtidos com a modulação, a partir do uso de valores diferentes de ' μ ' com a técnica de modulação multinível.

Nas figuras 5.6, 5.7, 5.8 e 5.9 são mostradas as formas de onda das tensões de referência modificadas (v_a^* , v_b^* , v_c^*) nos inversores de 2, 3, 5 e 9 níveis, obtidas com as equações (4.107) e (4.108), para diferentes valores de ' μ '. Neste caso, também foram utilizadas as quatro variações de ' μ ' (modulação descontínua) definidas no capítulo 3. As curvas foram obtidas para $E = 200$ V e sob as demais condições de simulação dadas no início da seção 5.2.

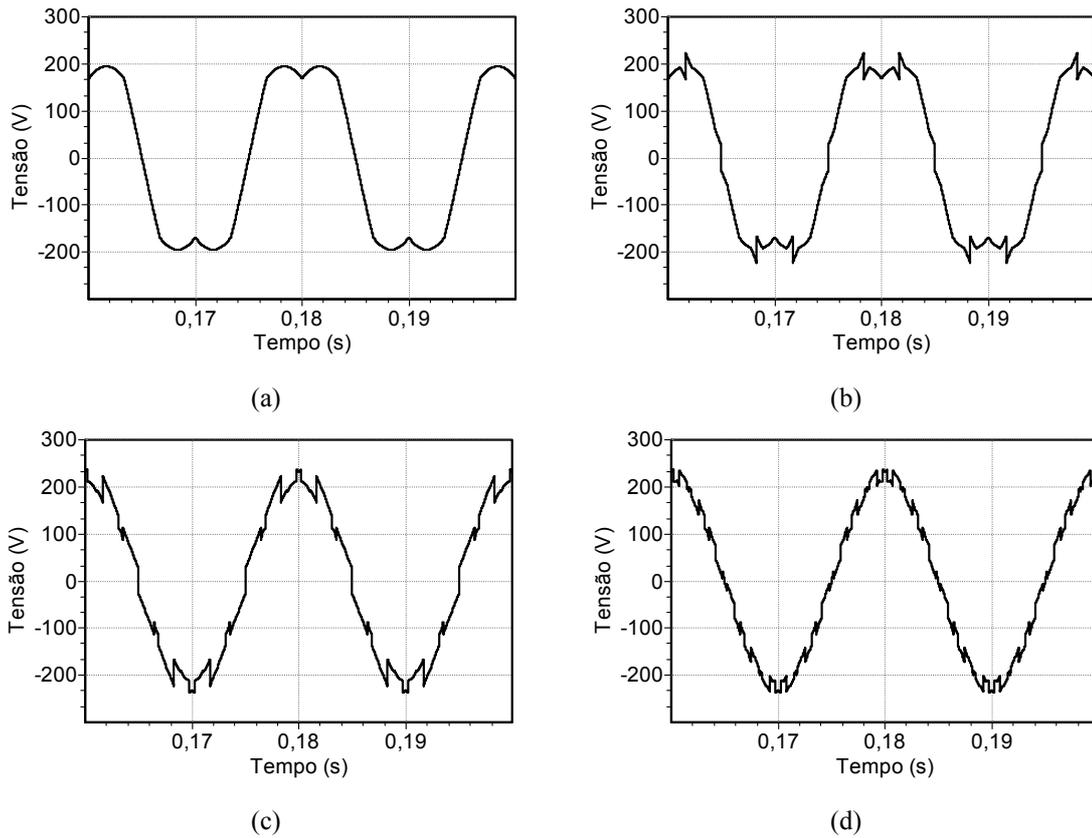


Figura 5.6 – Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu = 0,5$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

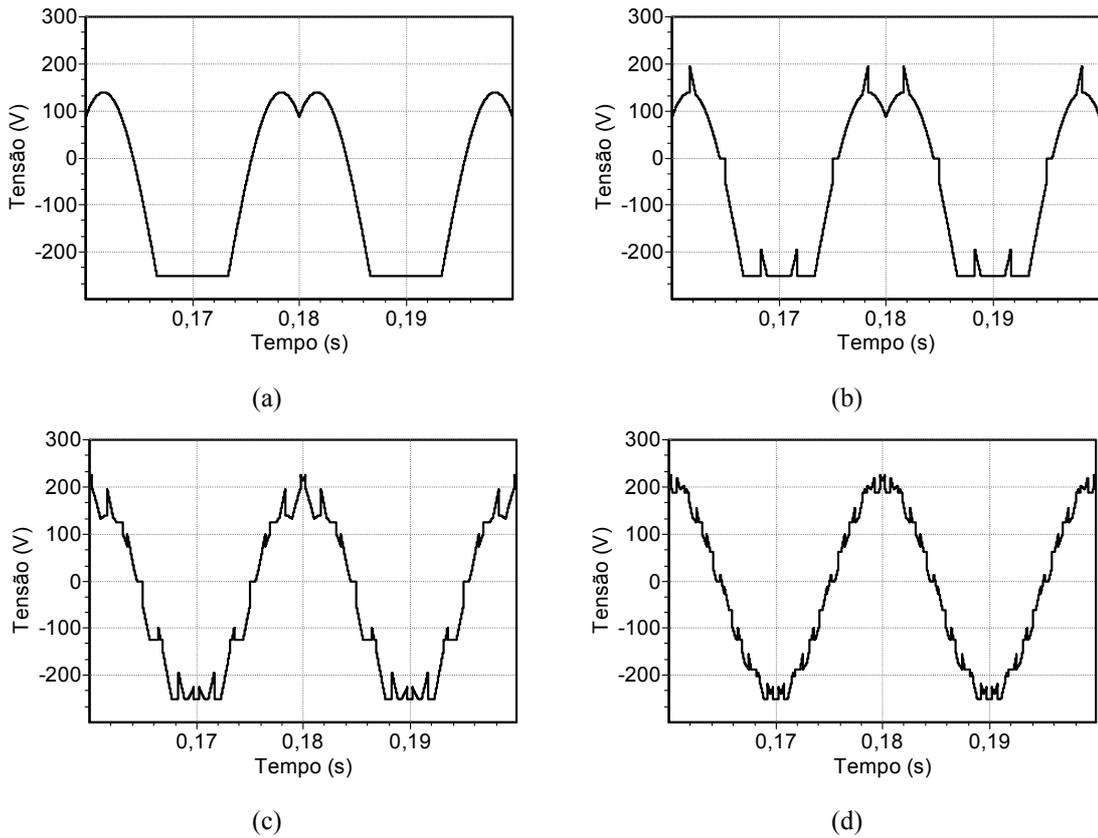


Figura 5.7 – Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu = 0$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

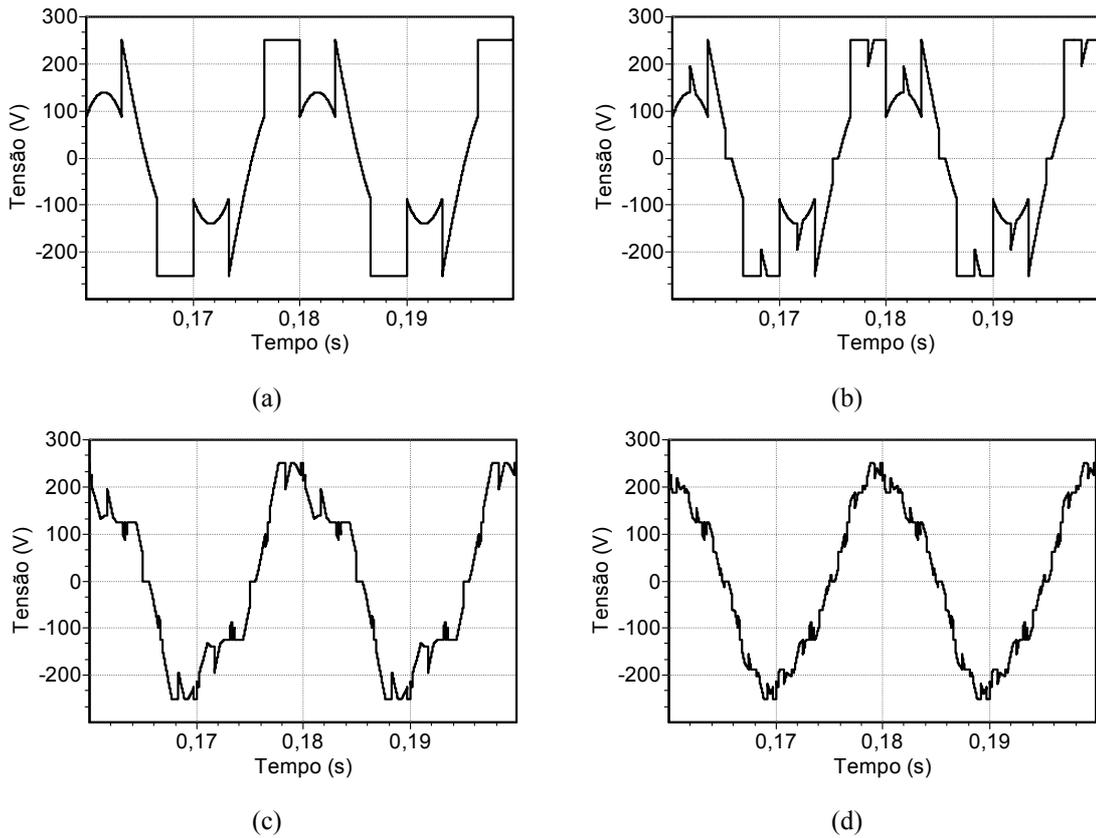


Figura 5.8 – Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu = \text{Variação 1}$. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

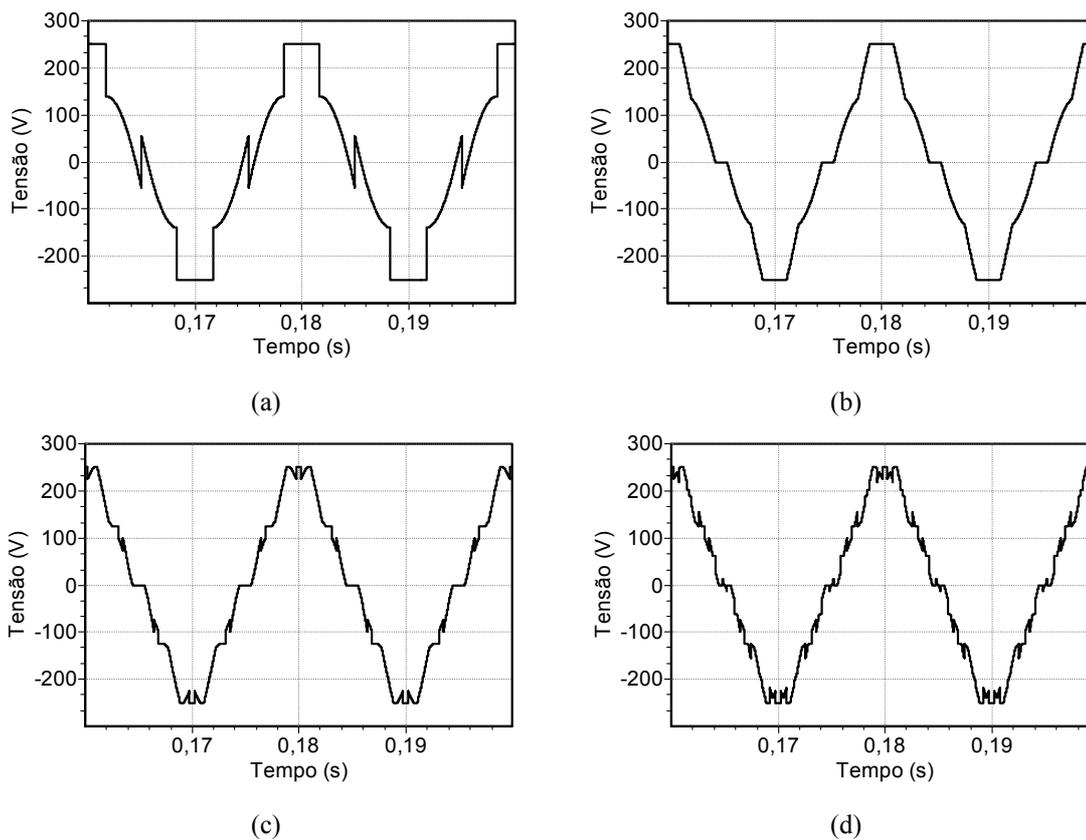


Figura 5.9 – Resultados de simulação: sinais de referência para modulação obtidos com a técnica multinível para $\mu =$ Variação 4. (a) 2 níveis. (b) 3 níveis. (c) 5 níveis. (d) 9 níveis.

Os sinais modificados de tensão já são do conhecimento acadêmico e vários trabalhos analisam alguns desses sinais aplicados em diversos tipos de modulação para os inversores de dois (ALVES et al., 1991; JACOBINA et al., 2001b) e três níveis (Lee, Kim, Hyun, 2000; Seo, Choi, Hyun, 2001; Wu, He, 2001).

Nas figuras anteriores pode-se ver que, com o aumento do número de níveis do inversor, as técnicas de modulação descontínua deixam de produzir o grampeamento das fases. Para o inversor de 5 níveis, por exemplo, o grampeamento praticamente já não existe. Esse comportamento sugere a necessidade de uma análise mais detalhada, para determinar o quanto estes sinais de referência distorcidos interferem na qualidade dos sinais obtidos com os inversores multiníveis e nas perdas em seus dispositivos semicondutores. Para um grampeamento efetivo, com o objetivo de reduzir as perdas por comutação, por exemplo, a estratégia de PWM proposta e resumida no algoritmo da seção 4.2.4 possibilita utilizar, nos inversores multiníveis, os sinais distorcidos obtidos para os inversores de dois níveis (figuras 5.7.a, 5.8.a, 5.9.a), impondo apenas o valor de $N = 2$ nos passos 1 a 3.

Nos inversores de dois níveis, o tipo de ‘ μ ’ utilizado afeta o valor eficaz da corrente em uma carga indutiva. Este valor pode ser melhorado pela combinação do uso de $\mu = 0,5$ para valores do índice de modulação m até 0,9 e de $\mu = \text{Variação } 4 (\Delta 4)$ para valores maiores de m (ALVES et al., 1999).

Para o inversor de três níveis, simulações mostraram que o valor de $\mu = 0,5$ fornece o menor WTHD, independentemente do índice de modulação m , como mostrado na figura 5.10, uma vez que os demais valores de ‘ μ ’ interferem no equilíbrio das tensões nos capacitores do barramento CC, aumentando as distorções nas formas de onda modulada.

Na figura 5.10, as curvas de WTHD foram obtidas para valores diferentes de ‘ μ ’, $f_s = 750$ Hz e sob as mesmas condições de simulação dadas no início da seção 5.2.

Tanto no inversor de dois níveis como no de três níveis foi verificado que o grampeamento obtido utilizando $\mu = 0$ ou $\mu = 1$ de forma periódica reduz as perdas por comutação. Isto será mostrado no capítulo 7.

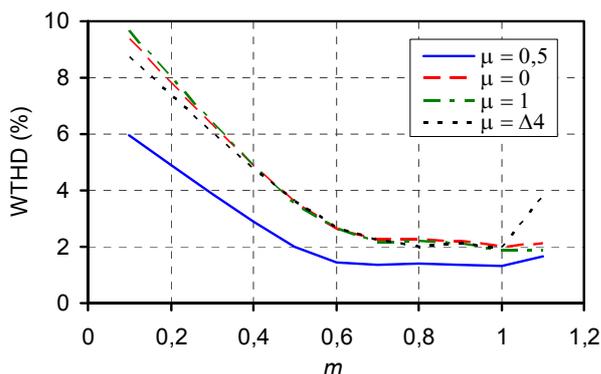


Figura 5.10 – Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis *versus* índice de modulação, para diferentes valores de ‘ μ ’.

Também, o uso de sinais modulantes distorcidos com $\mu = 0,5$ possibilita uma melhora na qualidade dos sinais de saída nos inversores de dois e três níveis, quando comparados com a modulação com sinais de referência senoidais ($v_h = 0$), como mostrado na figura 5.11 para $f_s = 10,05$ kHz. As curvas mostradas foram obtidas para as mesmas condições de simulação dadas no início da seção 5.2.

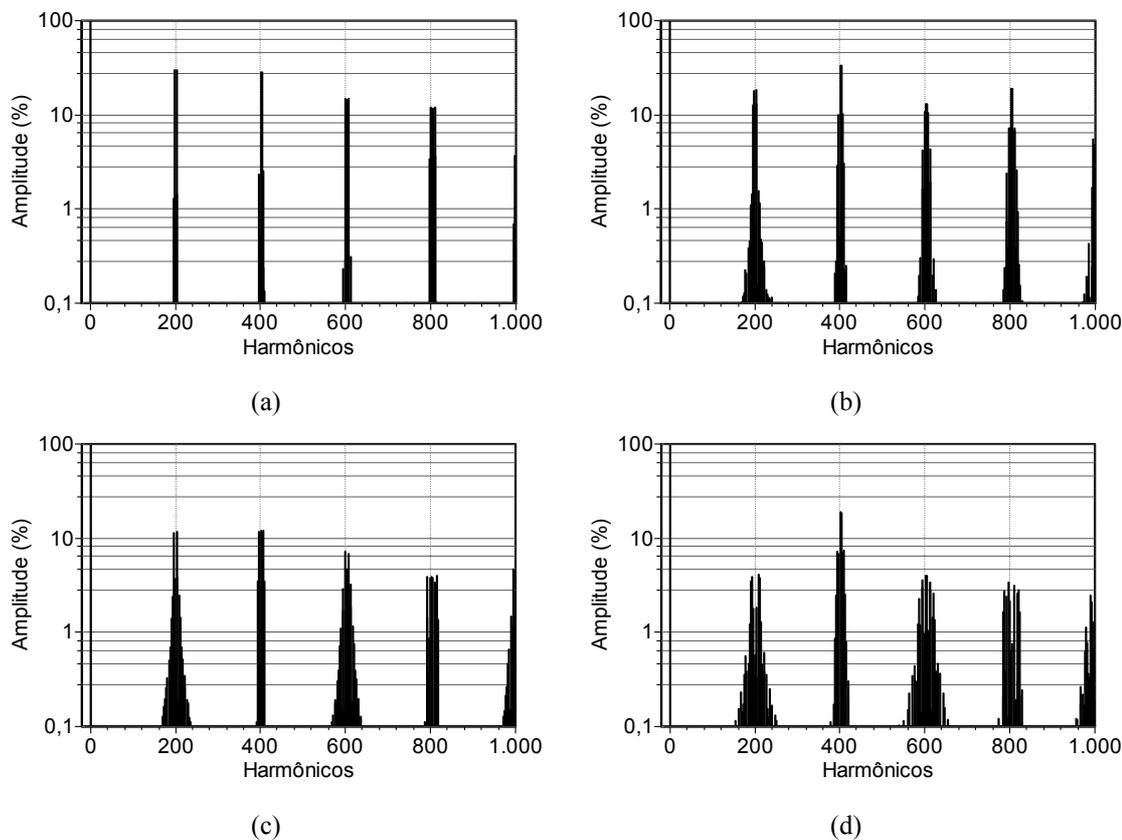


Figura 5.11 – Resultados de simulação: FFT da tensão de linha nos inversores, $f_s = 10,05$ kHz. (a) 2 níveis com $v_h = 0$. (b) 2 níveis com $\mu = 0,5$. (c) 3 níveis com $v_h = 0$. (d) 3 níveis com $\mu = 0,5$.

Na figura 5.11, o valor de WTHD obtido para o inversor de dois níveis com os sinais de referência senoidais foi de 0,2399%; já com os sinais de referência distorcidos, para $\mu = 0,5$, o valor foi de 0,2068%. O valor de WTHD obtido para o inversor de três níveis com os sinais de referência senoidais foi de 0,1093%; já com os sinais de referência distorcidos, para $\mu = 0,5$, o valor foi de 0,0889%.

5.2.4 Teste de simulação 4: inversor de 3 níveis modulado com sinais distorcidos para 2 níveis

O objetivo deste teste de simulação foi verificar, nos inversores de três níveis, as implicações no índice de WTHD com o uso de sinais de referência modificados obtidos para os inversores de dois níveis utilizando a técnica de modulação multinível.

Como serão mostrados no capítulo 6, os sinais de referência modificados para $N = 2$, figuras 5.6.a, 5.7.a, 5.8.a e 5.9.a, também são utilizados na modulação do inversor de três níveis como parte da técnica multinível proposta. A alteração na técnica, fazendo $N = 2$ nos passos 1 a 3 ao invés de $N = 3$ para o inversor de três níveis, favorece o controle das tensões nos capacitores do barramento CC para altas frequências. Contudo, os sinais modulados obtidos com esta alteração no valor de N na técnica multinível possuem um conteúdo harmônico diferente.

Nas figuras 5.12 e 5.13 são mostradas as curvas de FFT para o inversor de três níveis modulado com a estratégia multinível com $N = 3$ e $N = 2$, para dois valores diferentes da frequência de comutação, $f_s = 750$ Hz e $f_s = 10,05$ kHz, com $\mu = 0,5$ e sob as mesmas condições de simulação dadas no início da seção 5.2. Uma análise rápida das figuras sugere que a qualidade dos sinais para $N = 3$ é pior. Contudo, apesar de uma quantidade maior, as amplitudes dos harmônicos mais expressivos são menores e isso faz com que no cálculo do WTHD, que considera o índice do harmônico, o valor obtido para $N = 3$ seja menor do que para $N = 2$.

Na figura 5.12, o valor de WTHD obtido para $f_s = 750$ Hz foi de 1,3626% para $N = 3$ e 1,3775% para $N = 2$. Para o caso mostrado na figura 5.13, o valor de WTHD obtido para $f_s = 10,05$ kHz foi de 0,0867% para $N = 3$ e 0,0889% para $N = 2$.

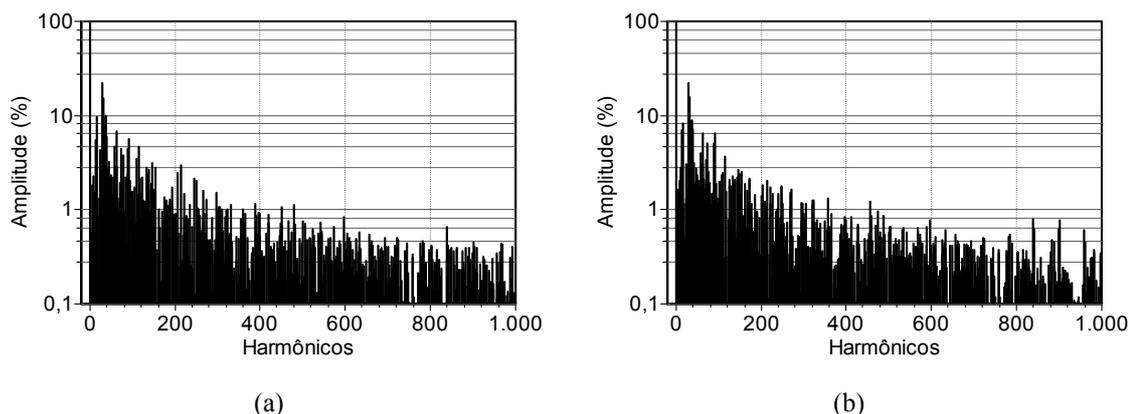


Figura 5.12 – Resultados de simulação: FFT da tensão de linha no inversor de três níveis, $f_s = 750$ Hz, $\mu = 0,5$. (a) Com $N = 3$. (b) Com $N = 2$.

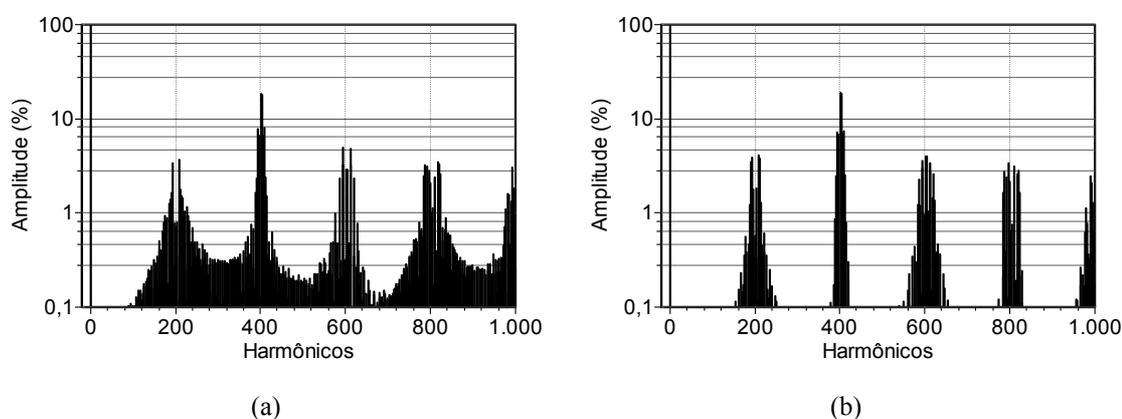


Figura 5.13 – Resultados de simulação: FFT da tensão de linha no inversor de três níveis, $f_s = 10,05$ kHz, $\mu = 0,5$. (a) Com $N = 3$. (b) Com $N = 2$.

Estes resultados foram obtidos para o caso de $\mu = 0,5$. Ensaios realizados para valores diferentes de ‘ μ ’ (fixo ou variável) também mostraram um pequeno aumento no valor do índice de WTHD utilizando $N = 2$ ao invés de $N = 3$ nos passos 1 a 3 do algoritmo PWM multinível aplicado aos inversores de três níveis.

O valor um pouco maior de WTHD obtido com a técnica multinível, para $N = 2$ em inversores de três níveis, é aceitável pelo fato de que essa mudança permite a equalização das tensões nos capacitores do barramento CC para altas frequências sem o uso de uma malha fechada de controle, como será mostrado no capítulo 6.

5.2.5 Teste de simulação 5: sinais obtidos com o inversor de três níveis com número reduzido de componentes

Outra característica importante da técnica de modulação generalizada, proposta para os inversores multiníveis, está no fato de que, com a alteração no valor de uma única variável (N), a técnica pode ser aplicada aos inversores do tipo fonte de tensão independentemente do nível do inversor. Assim, em uma estrutura originalmente projetada para N níveis, dependendo do tipo de falha e dos dispositivos afetados, teoricamente a técnica multinível pode adaptar o algoritmo de comando do inversor para compensar a falha, isolando os interruptores semelhantes nos demais braços do inversor e mantendo-o funcionando em $N - 1$ níveis. Ou seja, com um inversor de 7 níveis, por exemplo, pode-se trabalhar em 7, 6, 5, 4, 3 ou 2 níveis, apenas modificando o valor de N no algoritmo multinível e mantendo fechados os interruptores desnecessários para o funcionamento do inversor a cada nível de tensão requerido. Isto possibilita o acionamento da carga mesmo em condições de falha no inversor até o momento propício para parada e troca do dispositivo semiconductor danificado.

Para que a característica da técnica multinível citada anteriormente seja plenamente aproveitada na topologia com diodos de grampeamento, é necessário que um dispositivo (interruptor, relé, etc.) corte a ligação entre o ponto central do barramento CC e os diodos de grampeamento. Caso isso não seja feito, pode haver um fluxo de corrente pelo ponto central durante a operação do inversor nos instantes de aplicação do tempo morto, mesmo com o inversor operando em dois níveis. Já na topologia NRC, os próprios interruptores que fazem a ligação do ponto central entre os capacitores CC com cada uma das fases do inversor podem ser utilizados para esse propósito.

Por outro lado, podem haver limites dinâmicos impostos pelo próprio sistema de acionamento, tais como: tipo de falha; dispositivos afetados; características elétricas dos interruptores remanescentes e que devem suportar o aumento de tensão em seus terminais, etc. Então, é necessário um estudo mais detalhado e a realização de

experimentos em tempo real para verificar a viabilidade prática de operação do inversor com a técnica de redução de nível.

Os resultados de simulação mostrados nesta seção foram obtidos utilizando o inversor com número reduzido de componentes (NRC) operando normalmente e após a ocorrência de uma falha em um dos interruptores S_{a3} , S_{a4} , S_{b3} , S_{b4} , S_{c3} ou S_{c4} , passando o inversor a operar em dois níveis a partir dos interruptores S_{a1} , S_{a2} , S_{b1} , S_{b2} , S_{c1} e S_{c2} , conforme o modo de operação mostrado na figura 2.15. Neste caso, não foi considerado o desequilíbrio das tensões nos capacitores do barramento CC provocado pela ligação do inversor com o ponto central entre os capacitores, como também não foi incluído o tempo morto nos sinais de comando dos interruptores.

Nas figuras 5.14, 5.15 e 5.16 são mostrados os resultados de simulação para o inversor de três níveis NRC operando com uma frequência de comutação de 750 Hz, para $\mu = 0,5$ e sob as mesmas condições de simulação dadas no início da seção 5.2.

Com os resultados deste teste pode-se ver claramente a melhor qualidade dos sinais obtidos com o inversor operando em três níveis, do que em dois níveis.

Na figura 5.14 é mostrado o comportamento no sinal de seqüência zero e em uma das tensões de referência modificada, ambos obtidos com a técnica multinível apresentada no capítulo 4 para o inversor NRC operando em três e dois níveis, com $\mu = 0,5$. No instante $t = 0,17$ s, foi simulada uma abertura indevida no interruptor S_{a3} (figura 2.14). O algoritmo multinível compensou a falta, mantendo abertos os interruptores equivalentes (S_{a4} , S_{b3} , S_{b4} , S_{c3} e S_{c4}), e adequou os sinais de referência da modulação para operar o inversor em dois níveis.

Na figura 5.15.a, a tensão de pólo possui 3 valores ($-E/2$, 0 e $E/2$) antes da falta, e dois valores ($-E/2$ e $E/2$) após a mesma. São estes valores na tensão de pólo que definem os níveis dos inversores multiníveis. As demais tensões moduladas seguem o mesmo padrão de alteração de níveis. Na figura 5.16.b, a corrente na fase perde visivelmente em qualidade com a redução no número de níveis do inversor após a falta.

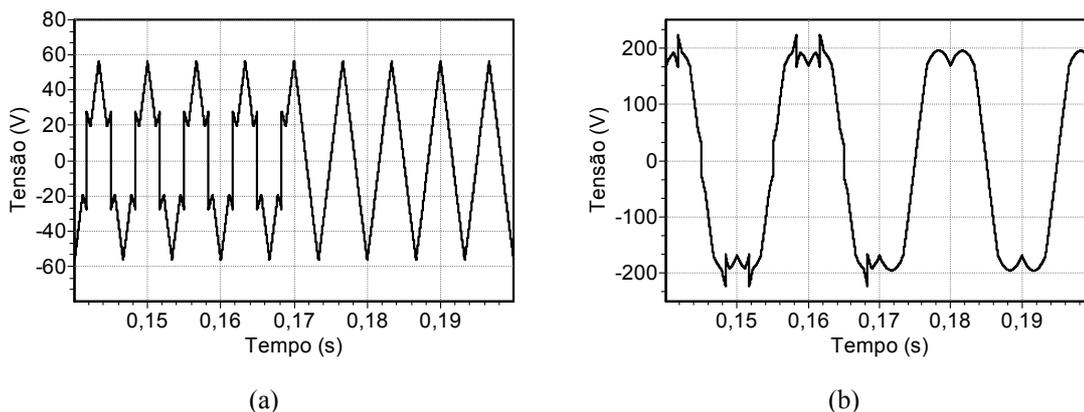


Figura 5.14 – Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de seqüência zero (v_h). (b) Tensão de referência modificada (v_a^*).

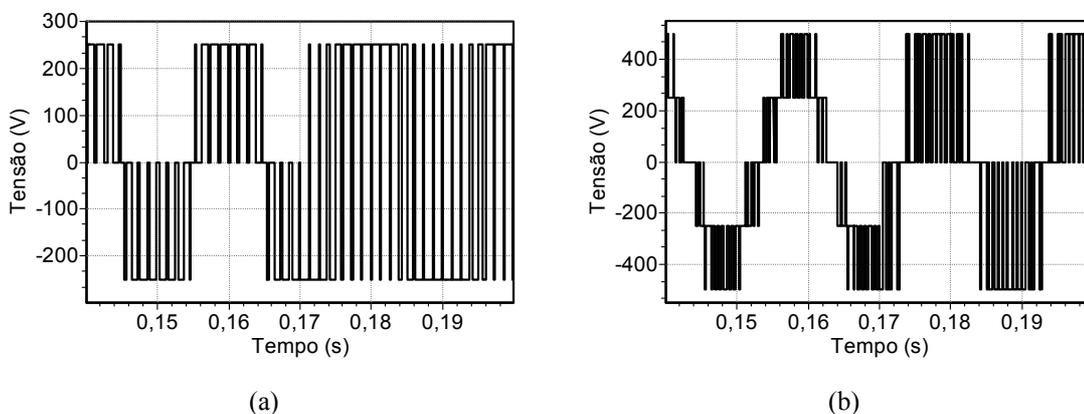


Figura 5.15 – Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de pólo. (b) Tensão de linha.

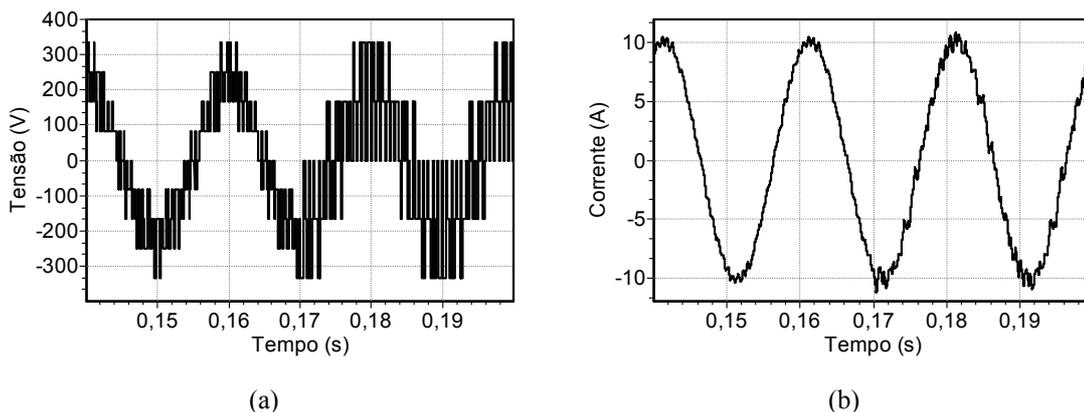


Figura 5.16 – Resultados de simulação com inversor de três níveis NRC operando normalmente em três níveis e em dois níveis após uma falta, $f_s = 750$ Hz, $\mu = 0,5$. (a) Tensão de fase. (b) Corrente na fase.

5.3 RESULTADOS EXPERIMENTAIS

Utilizando a montagem do inversor de três níveis com diodos de grampeamento, são mostrados nesta seção alguns resultados experimentais obtidos com o acionamento de um motor de indução trifásico ou com uma carga RL. Alguns desses resultados são comparados com as suas respectivas simulações para evidenciar a funcionalidade da montagem experimental e comprovar os resultados simulados.

5.3.1 Teste experimental 1: inversor de 3 níveis alimentando uma carga RL com $f_s = 750$ Hz

O objetivo deste teste foi comparar os resultados obtidos por simulação com os resultados obtidos por meio da montagem experimental do inversor de três níveis aplicando a técnica multinível. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9$ mH, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz, $f_s = 750$ Hz.
- ‘ μ ’ não utilizado ($v_h = 0$).

Nas figuras 5.17, 5.18 e 5.19 são mostrados os resultados experimentais e de simulação para a tensão de pólo no inversor, tensão de linha (fase-fase) e tensão de fase, respectivamente. A frequência de comutação de 750 Hz utilizada possibilita observar a semelhança entre os resultados práticos e simulados, mas aumenta muito o conteúdo harmônico nos sinais de saída do inversor.

A corrente em uma fase é mostrada na figura 5.20. Para uma frequência de comutação de 750 Hz, observa-se que as ondulações no sinal da corrente são elevadas, apesar de se tratar de um inversor de três níveis. Já a distorção por harmônicos nos sinais de saída do inversor foi determinada com as curvas de FFT mostradas na figura 5.21, para um período fundamental da tensão de linha mostrada na figura 5.18.

O valor do índice WTHD da tensão de linha modulada obtida com a simulação foi de 1,6211%, com o sinal contendo 131072 pontos (figura 5.18.a). O valor de

WTHD obtido experimentalmente foi de 1,6844%, com o sinal contendo 2000 pontos e sem considerar o ruído em alta frequência causado pela comutação (figura 5.18.b). Com o sinal contendo 4 milhões de pontos e considerando o ruído, o valor de WTHD obtido experimentalmente foi de 1,6992%. A pequena diferença nos valores de WTHD obtidos experimentalmente, com uma diferença absurda no número de pontos que compõem o sinal, não justifica a aquisição deste sinal com mais de 2000 pontos, que em muitos casos levou mais de 15 minutos.

Apesar da proximidade entre os valores de WTHD experimentais e simulados obtidos, não é justa a comparação, já que vários fatores reais não são considerados nas simulações, tais como: ruído em alta frequência causado pelo processo de comutação; características dinâmicas dos interruptores; inclusão do tempo morto; capacitâncias parasitas presentes nos caminhos que a corrente percorre até a carga, etc.

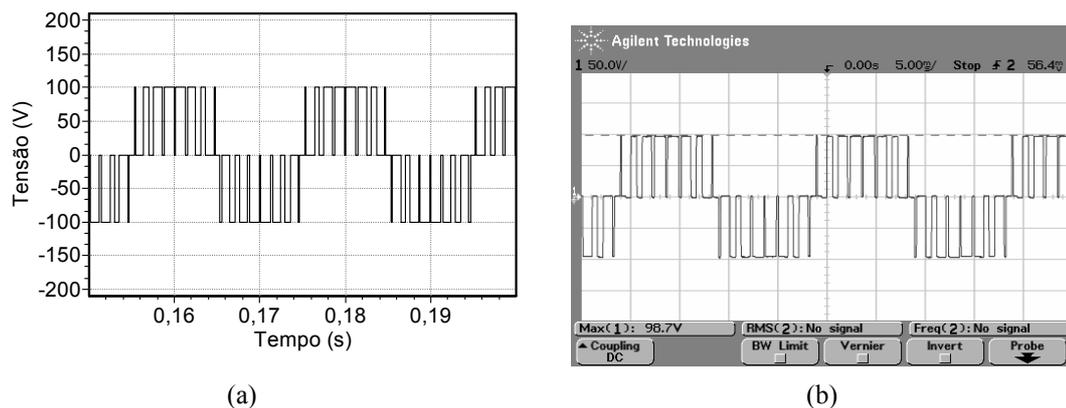


Figura 5.17 – Tensão de pólo para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div).

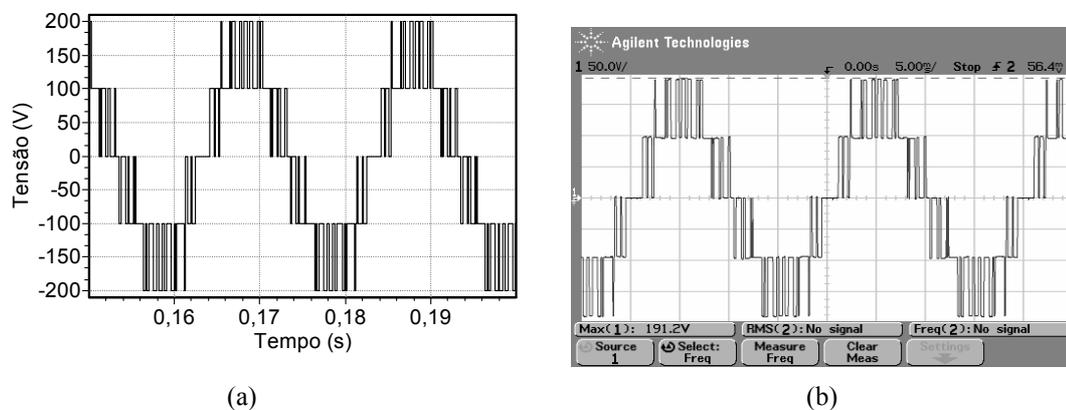
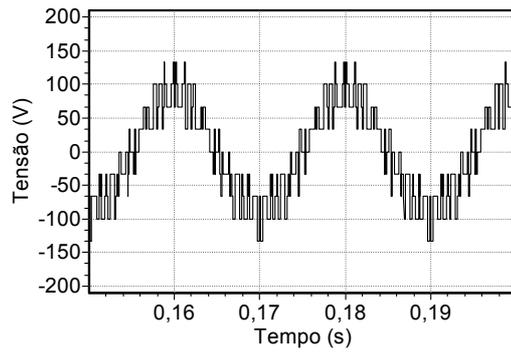
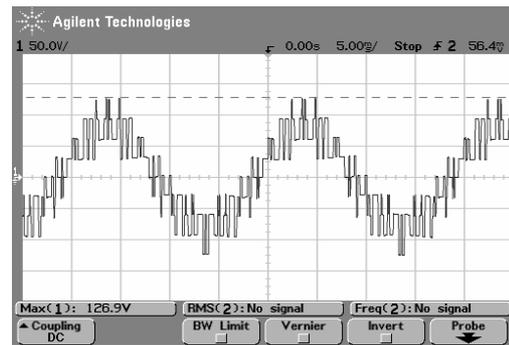


Figura 5.18 – Tensão de linha para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div).

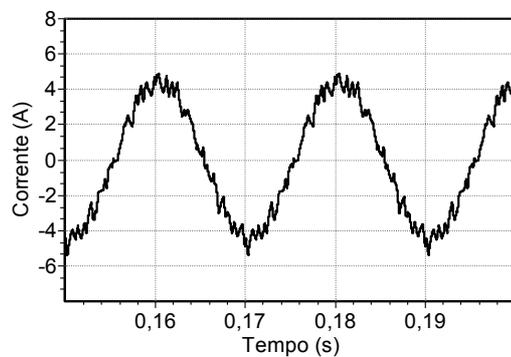


(a)

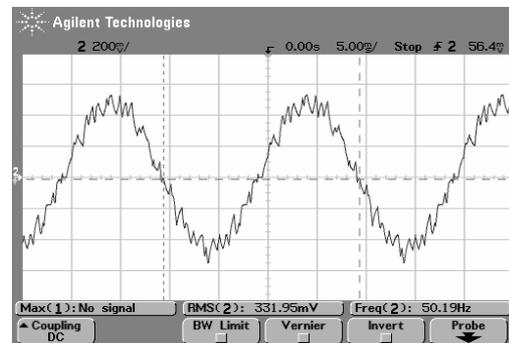


(b)

Figura 5.19 – Tensão de fase para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (50 V/div, 5 ms/div).

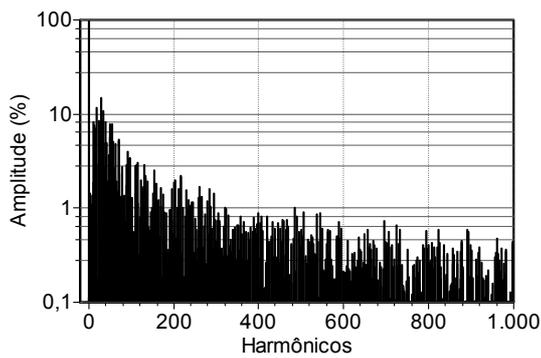


(a)

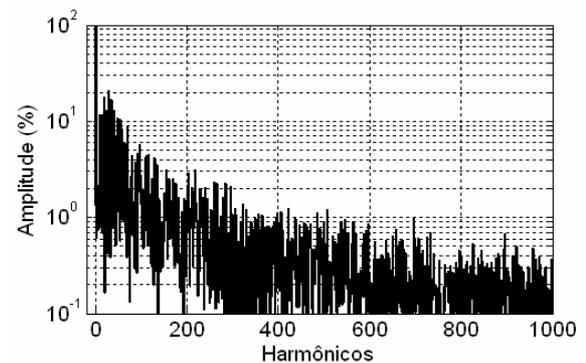


(b)

Figura 5.20 – Corrente na fase para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental (2 A/div, 5 ms/div).



(a)



(b)

Figura 5.21 – FFT da tensão de linha para o inversor de três níveis, $f_s = 750$ Hz, $v_h = 0$. (a) Simulação. (b) Experimental.

5.3.2 Teste experimental 2: inversor de 3 níveis alimentando uma carga RL com $f_s = 4350 \text{ Hz}$

O objetivo deste experimento foi verificar a melhora nos sinais obtidos com o inversor de três níveis operando com uma frequência de comutação de 4350 Hz e aplicando a técnica multinível, com relação ao teste anterior. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- $\mu = 0,5$.

Nas figuras 5.22 e 5.23 são mostrados os resultados experimentais da tensão de pólo, tensão de linha, tensão de fase e corrente em uma fase para este ensaio.

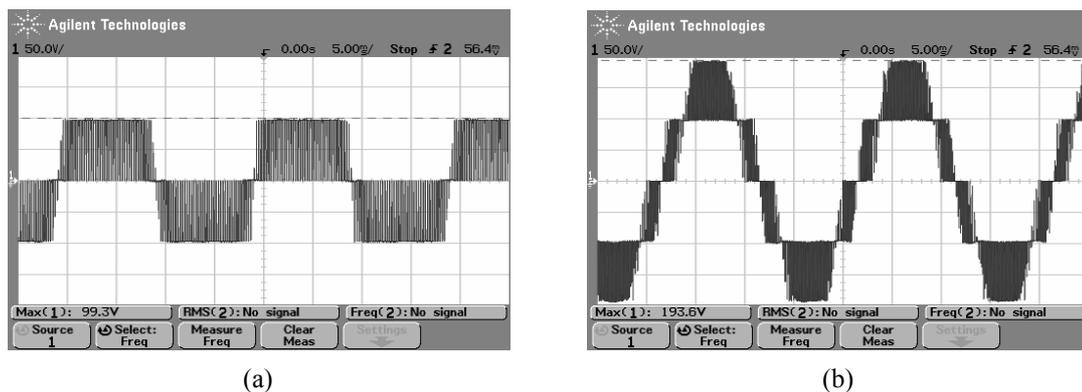


Figura 5.22 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div).

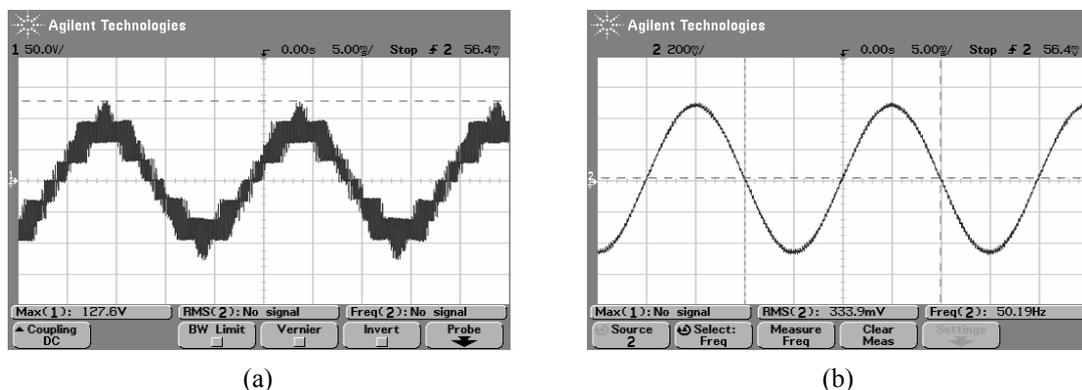


Figura 5.23 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Com o inversor operando em 4350 Hz, pode-se observar uma melhora nos sinais de saída do inversor, quando comparados com os sinais obtidos com o inversor operando em 750 Hz. Houve uma redução significativa do índice WTHD, que passou de 1,6844% em 750 Hz, para 0,2826% em 4350 Hz.

5.3.3 Teste experimental 3: sinais de referência com valores diferentes de μ

O objetivo deste teste foi determinar experimentalmente os valores de WTHD nos sinais de tensão de linha do inversor de três níveis aplicando a técnica multinível com diferentes valores de ' μ '. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.

Assim como na simulação, foi comprovada experimentalmente a diminuição no valor de WTHD com a adição de uma tensão de seqüência zero (v_h) aos sinais de referência para a modulação utilizando $\mu = 0,5$.

Na figura 5.24 são mostrados os sinais de FFT para a tensão de linha utilizando sinais de referência puramente senoidais ($v_h = 0$) e sinais distorcidos com $\mu = 0,5$. Em ambos os testes a frequência de comutação foi de 4350 Hz, mas resultados equivalentes foram obtidos para outras frequências. Observa-se, na figura, que as amplitudes dos harmônicos próximos da frequência de comutação de 4350 Hz ($m_f = 87$) são menores para o caso de $\mu = 0,5$. No cálculo do WTHD essa redução na amplitude é importante, pois esse índice considera a ordem do harmônico.

O uso de um sinal v_h com $\mu = 0,5$ diminuiu a amplitude dos harmônicos de ordem menor e aumentou os de ordem maior, numa proporção que diminuiu o valor de WTHD, já que este índice é função da razão entre a amplitude e a ordem do harmônico. O valor de WTHD obtido para o inversor de três níveis com os sinais de referência senoidais foi de 0,2851%; já com os sinais de referência distorcidos, para $\mu = 0,5$, o valor foi de 0,2826%.

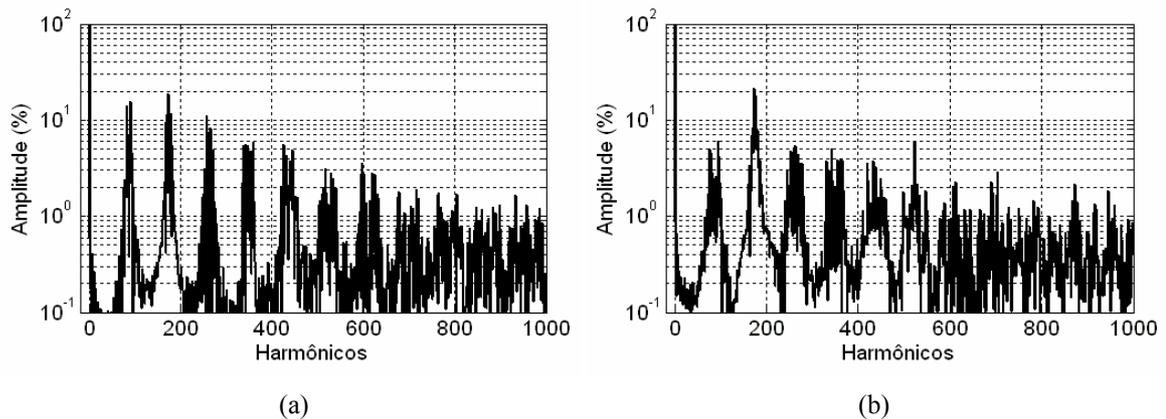


Figura 5.24 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 4350$ Hz. (a) $v_h = 0$. (b) $\mu = 0,5$.

Nas figuras 5.25 e 5.26 são mostrados os sinais de saída com o inversor operando a 4350 Hz. A razão de distribuição vetorial foi feita variável, $\mu =$ Variação 4, assumindo o valor 0 e 1 periodicamente de forma a realizar o grampeamento das tensões de pólo nas proximidades do valor máximo da corrente na fase (figura 5.25.a).

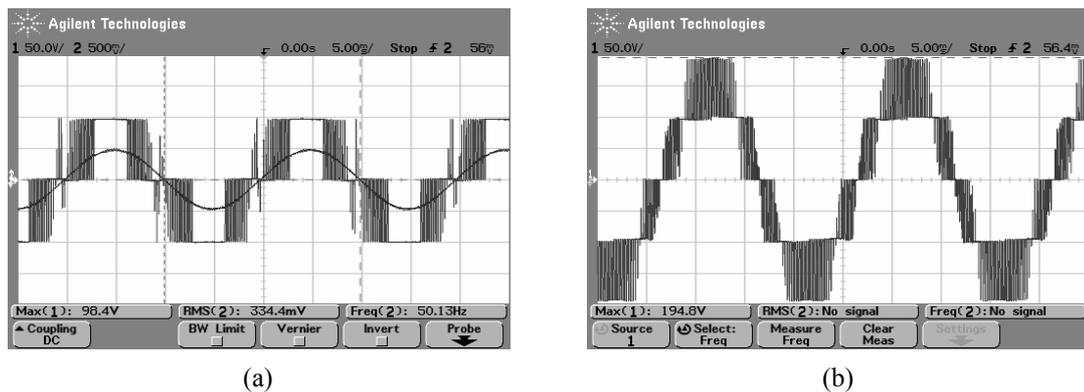


Figura 5.25 – Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ Variação 4. (a) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div).

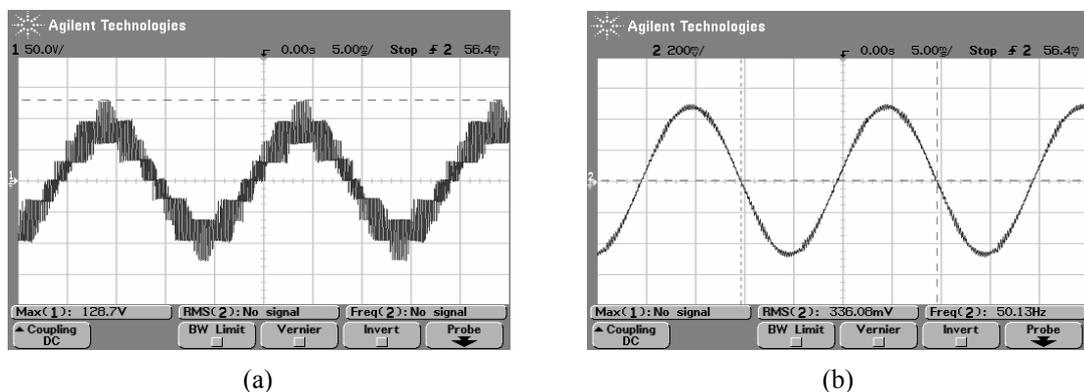


Figura 5.26 – Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $\mu =$ Variação 4. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

O grampeamento da tensão de pólo da forma mostrada na figura 5.25.a ($\mu =$ Variação 4) acarretou um aumento no valor do índice de WTHD da tensão de linha com relação ao caso $\mu = 0,5$ (0,2826% para $\mu = 0,5$ e 0,5517% para $\mu =$ Variação 4). Esses resultados são explicados a partir dos sinais de FFT para a tensão de linha mostrados na figura 5.27. Novamente, o aumento nas amplitudes dos harmônicos de ordem mais baixa ($m_f = 87$) acarretou um aumento no índice WTHD no caso de $\mu =$ Variação 4. Assim, a qualidade dos sinais é pior que no caso $\mu = 0,5$, como se observa comparando o sinal da corrente na fase nas figuras 5.26.b e 5.23.b.

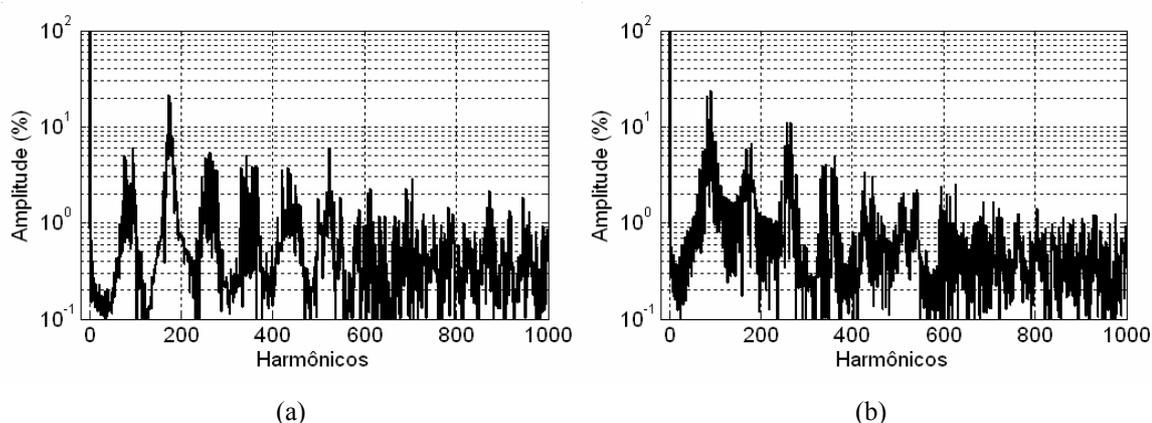


Figura 5.27 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 4350$ Hz. (a) $\mu = 0,5$. (b) $\mu =$ Variação 4.

5.3.4 Teste experimental 4: inversor de 3 níveis alimentando um motor de indução com $f_s = 4350$ Hz, a vazio e sem controle de corrente

O objetivo deste teste foi mostrar o efetivo funcionamento da montagem experimental do inversor de três níveis modulado com a técnica multinível e com comando via DSP, no acionamento de um motor de indução trifásico, sem carga acoplada ao eixo e sem controle de corrente.

Na tabela 5.2 são mostrados os parâmetros do motor de indução de 5 HP utilizado para realizar alguns ensaios experimentais do inversor de três níveis.

Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,74$.
- Tensão total do barramento CC: $E = 200$ V.

- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- $\mu = 0,5$.

Tabela 5.2 – Parâmetros do motor de indução trifásico.

Parâmetro	Valor
Potência Nominal	5 HP
Tensão Nominal	220/380 V
Corrente Nominal	13,5/7,82 A
R_s	0,992 Ω
R'_r	1,31 Ω
L_s	153,78 mH
L'_r	153,78 mH
L_m	148,62 mH
Nº de Pólos	4

Nas figuras 5.28 e 5.29 são mostrados os resultados experimentais da tensão de pólo, tensão de linha, tensão de fase e corrente em uma fase para este ensaio.

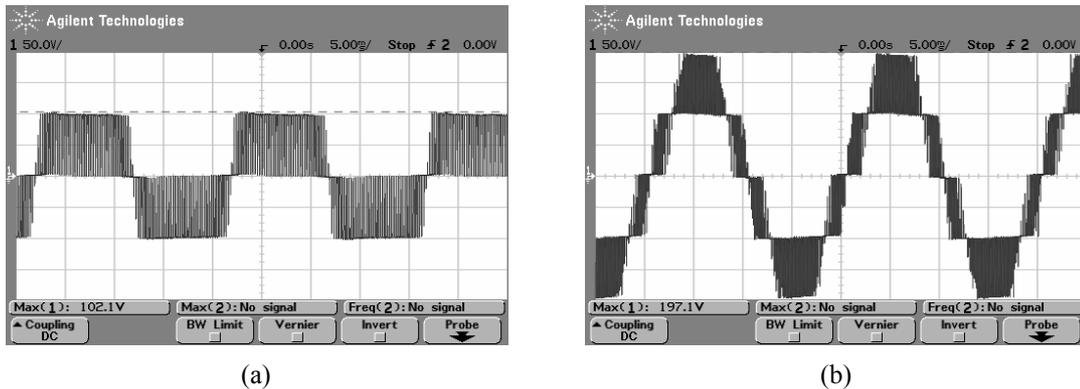


Figura 5.28 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div).

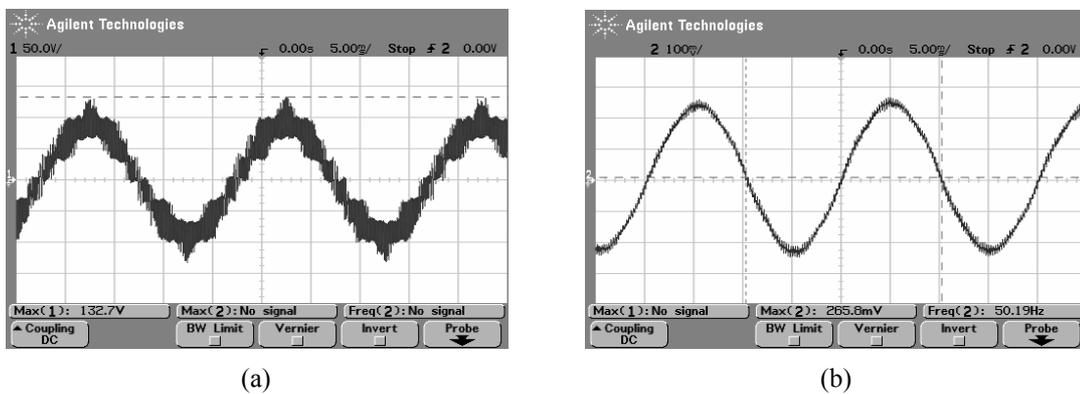


Figura 5.29 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div).

Os resultados deste ensaio mostraram a eficiência do inversor de três níveis no acionamento do motor de indução a partir do comando realizado pelo DSP.

Na figura 5.29.b, o sinal de corrente, devido às características dinâmicas do motor de indução, possui oscilações maiores que no caso da carga RL, para as mesmas condições do teste experimental 2. Os demais sinais são semelhantes em ambos os casos.

5.3.5 Teste experimental 5: inversor de 3 níveis alimentando um motor de indução com $f_s = 10050$ Hz, a vazio e sem controle de corrente

Os mesmos ensaios experimentais feitos para a carga RL também foram repetidos para o motor de indução obtendo os mesmos resultados em termos do uso de ‘ μ ’ e sua influência no valor de WTHD. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,74$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz, $f_s = 10050$ Hz.

Na figura 5.30 são mostradas as curvas de FFT da tensão de linha para o inversor operando com uma frequência de comutação de 10050 Hz ($m_f = 201$) para os casos de $v_h = 0$ (sinais de referência senoidais) e $\mu = 0,5$ (sinais de referência não senoidais).

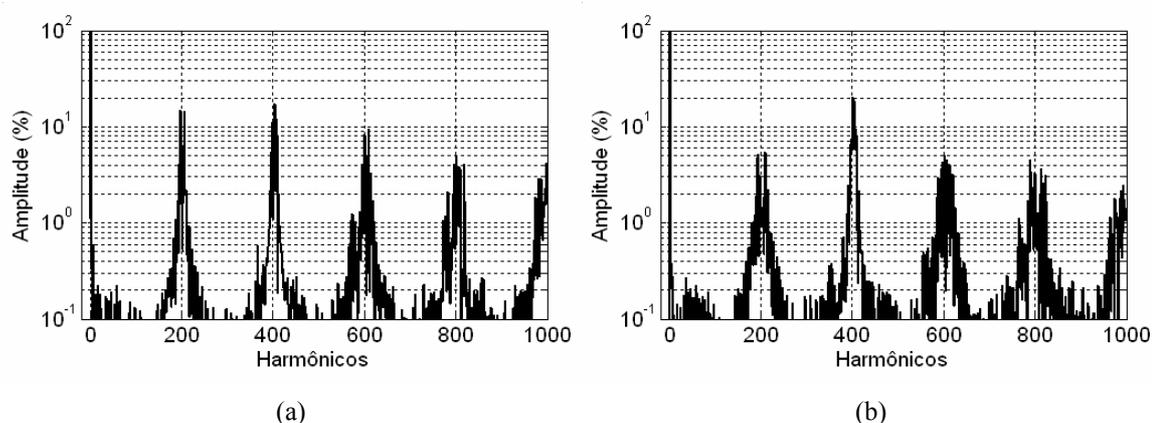


Figura 5.30 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis, $f_s = 10050$ Hz. (a) $v_h = 0$. (b) $\mu = 0,5$.

Para este caso também é válida a análise feita para os resultados mostrados na figura 5.24. Há uma redução no valor de WTHD quando se utiliza sinais distorcidos para a modulação com $\mu = 0,5$, comparado com os sinais senoidais.

5.3.6 Teste experimental 6: inversor de 3 níveis alimentando um motor de indução com carga e sem controle de corrente

O objetivo deste ensaio foi verificar o efetivo funcionamento da montagem experimental com o aumento da potência de saída do inversor. Neste caso, o motor de indução acionou um gerador CC que alimentou uma carga resistiva (lâmpadas incandescentes). Não foi usado nenhum controlador de corrente. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,82$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz.
- $\mu = 0,5$.

Na figura 5.31 pode-se ver os sinais de corrente em uma fase, com o inversor de três níveis acionando o motor de indução. Foram utilizadas duas frequências de comutação diferentes ($f_s = 1050$ Hz e $f_s = 10050$ Hz) para evidenciar a melhora nos sinais de corrente com o aumento desta frequência. O valor eficaz da corrente por fase solicitada pelo motor foi de 5 A para este ensaio.

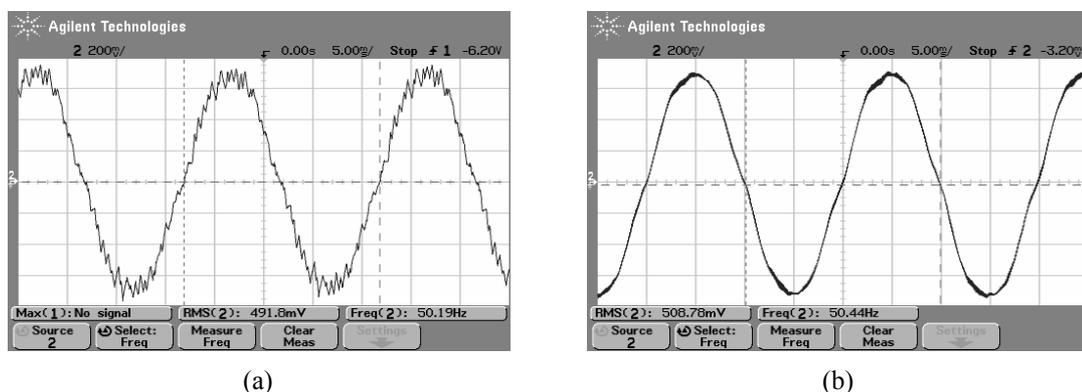


Figura 5.31 – Resultados experimentais com inversor de três níveis para corrente na fase no motor de indução acionando um gerador CC (2 A/div, 5 ms/div), $\mu = 0,5$. (a) $f_s = 1050$ Hz. (b) $f_s = 10050$ Hz.

5.3.7 Teste experimental 7: inversor de 3 níveis alimentando um motor de indução a vazio e com controle de corrente

Também foi implementado um controlador PI de corrente (Apêndice C) no algoritmo de comando do inversor no DSP, com o objetivo de demonstrar o uso da estratégia de modulação multinível com técnicas de controle em malha fechada. A utilização destas técnicas em DSPs com aritmética em ponto fixo requer um esforço computacional bem maior do que a implementação apenas das estratégias de PWM.

Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,74$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Freqüência: $f_s = 10050$ Hz.
- $\mu = 0,5$.

Neste ensaio, foi realizado o controle em malha fechada das correntes nas três fases do inversor fonte de tensão de três níveis com diodos de grampeamento, que acionou o motor de indução sem carga acoplada ao seu eixo. Foram realizadas duas formas de manter o controle das correntes na saída do inversor:

i) Inicialmente, foi utilizado um controle Volts/Hertz em malha aberta para possibilitar que o motor de indução atingisse o regime permanente. Neste caso, o controlador PI de corrente foi aplicado desde o início, impondo um valor máximo para a corrente alternada de 3 A.

ii) Em uma segunda forma de controle, foi mantida uma referência de 12 A como valor máximo para a corrente alternada até a partida do motor. Após o estabelecimento do regime permanente, foi aplicada uma rampa descendente para o valor máximo da corrente, até atingir 3 A.

Com a utilização de ambas as formas de controle mencionadas anteriormente, o controlador PI se mostrou eficiente e garantiu a referência de corrente imposta ao motor.

Na figura 5.32 são mostradas os sinais da corrente em uma fase na saída do inversor de três níveis (linha cheia azul), juntamente com seus respectivos sinais de referência (linha tracejada preta), para três situações diferentes. As curvas foram obtidas com os pontos capturados pelo conversor A/D do DSP

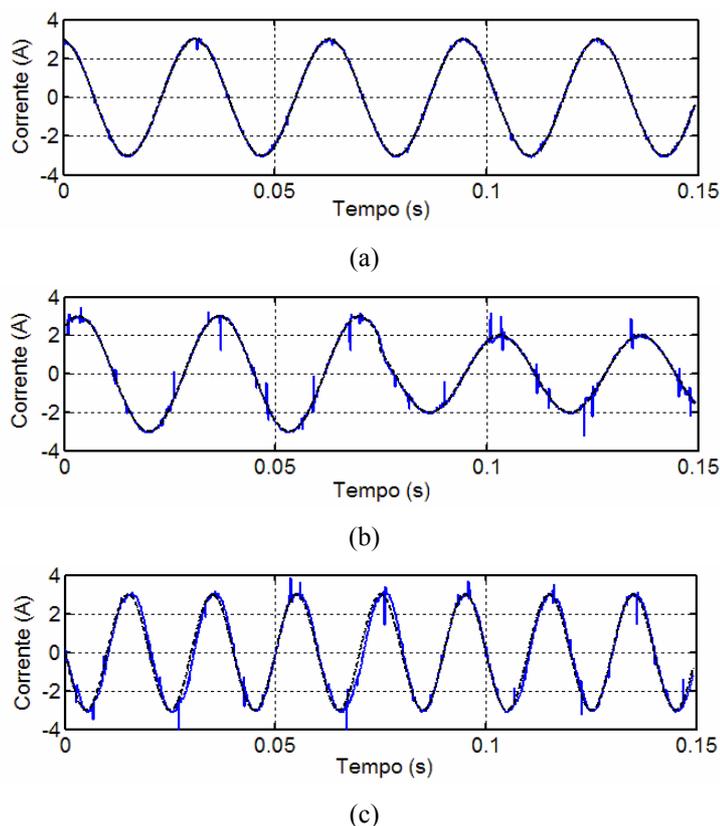


Figura 5.32 – Resultados experimentais para corrente na fase no inversor de três níveis com controlador PI de corrente. (a) $f_m = 30$ Hz. (b) $f_m = 30$ Hz com degrau de corrente. (c) $f_m = 50$ Hz.

Nas figuras 5.32.a e 5.32.b, foi utilizada uma frequência de modulação f_m de 30 Hz e a técnica Volts/Hertz. Nos dois casos, a corrente na saída do inversor manteve-se dentro da referência imposta pelo controlador. Ainda para o caso mostrado na figura 5.32.b, foi aplicado um degrau de corrente de 3 A para 2 A no motor em um determinado instante da modulação. Apesar do ruído devido à comutação ter gerado uma grande quantidade de perturbações nos sinais lidos pelas placas de aquisição, o controlador manteve a corrente no seu referencial.

Na figura 5.32.c, os sinais de corrente foram obtidos para $f_m = 50$ Hz utilizando a segunda técnica de controle descrita anteriormente. Pode-se ver pela figura que no momento em que a placa de aquisição captura o sinal de corrente em que

há um ruído elevado, o controlador PI perde momentaneamente o referencial, mas recupera rapidamente.

5.3.8 Teste experimental 8: inversor de 3 níveis alimentando um motor de indução a vazio e com frequência de comutação randômica

A técnica de modulação com determinação aleatória da frequência de comutação apresentada no capítulo 3 (modulação randômica) também foi implementada no DSP para comando do inversor de três níveis (DE OLIVEIRA et al., 2005), com o objetivo de demonstrar o uso da estratégia de modulação multinível com outras técnicas de modulação. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,74$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz.
- $\mu = 0,5$.

Os resultados experimentais foram obtidos para o inversor acionando o motor de indução trifásico funcionando sem controle de corrente, objetivando eliminar a influência do controlador de corrente no sinal de FFT da tensão de linha.

Nas figuras 5.33 e 5.34 são mostrados os sinais de tensão e corrente na saída do inversor operando com modulação randômica.

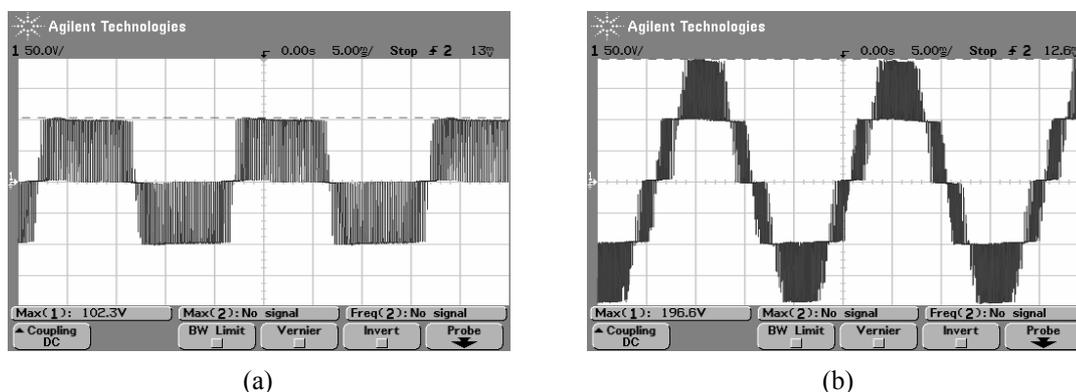


Figura 5.33 – Resultados experimentais para a modulação randômica com inversor de três níveis, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div).

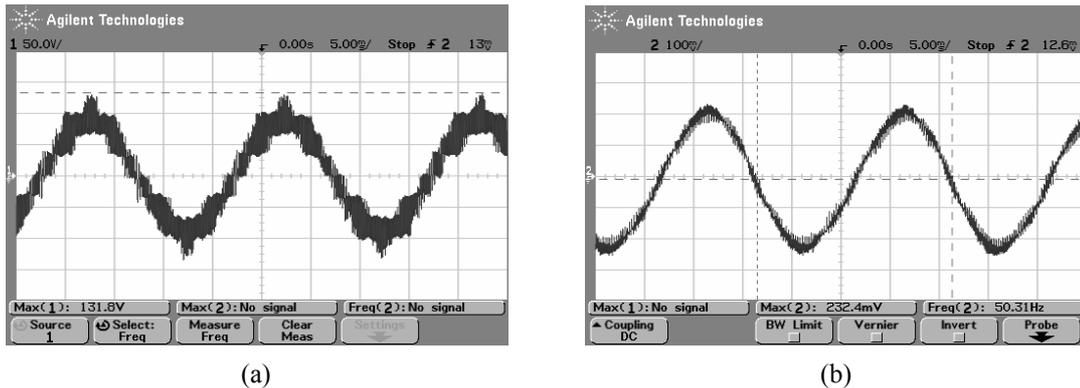


Figura 5.34 – Resultados experimentais para a modulação randômica com inversor de três níveis, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div).

A frequência de comutação central utilizada foi de $f_s = 4350$ Hz. Neste caso, a frequência mínima de comutação f_{\min} foi de 3778 Hz e a frequência máxima f_{\max} foi de 5125 Hz. Excluindo-se as correntes de fase, aparentemente não há diferença entre os sinais mostrados nas figuras 5.33 e 5.34 (f_s variável) e os sinais mostrados nas figuras 5.28 e 5.29 (f_s fixa).

A qualidade dos sinais de corrente obtidos com a modulação randômica é pior do que com frequência fixa, pois há um aumento na quantidade de distorção harmônica produzida pela técnica randômica. Esse aumento deve-se a dois fatores principais:

i) A frequência mínima de comutação imposta é menor que a frequência de comutação central, isso possibilita o surgimento de harmônicos de ordem menor, que aumentam o valor do índice WTHD.

ii) Como o DSP utiliza aritmética de ponto fixo, o período de comutação, fornecido aos *timers* para implementação do PWM, deve ser um número inteiro que depende não somente da frequência f_s , mas também do *clock* do DSP e do formato em ponto fixo utilizado. Para determinar aleatoriamente o período de comutação no DSP foi utilizada uma função interna do compilador que gera números pseudo-randômicos e inteiros entre 0 e 32767. O valor randômico gerado é deslocado de 5 bits (dividido por 2^5) para poder ser utilizado na escala desejada para a frequência de comutação. O valor resultante é dividido por dois, o resultado é somado e subtraído do valor do período T_s (obtido com f_s) para se ter T_{\max} e T_{\min} respectivamente.

Por causa de toda essa aritmética, o valor do novo período de comutação, quando convertido de volta à frequência, fornece uma razão de frequências ($m_f = f_s/f_m$) que geralmente não atende às considerações feitas no capítulo 3 (número inteiro, ímpar e múltiplo de 3). Isso aumenta as distorções e possibilita o surgimento de sub-harmônicos que não são computados no cálculo do WTHD, fazendo com que esse índice deixe de ser confiável na utilização como parâmetro de desempenho e de comparação entre a técnica randômica e outra qualquer. Estão sendo analisadas alternativas para geração randômica da frequência de comutação com o objetivo de eliminar este problema.

No entanto, como já foi dito, o objetivo principal das técnicas randômicas é o espalhamento das amplitudes dos harmônicos na faixa de frequências estabelecida, para redução do ruído de comutação concentrado em uma frequência específica. Com esta finalidade, são mostradas na figura 5.35 as curvas de FFT da tensão de linha para o inversor operando com uma frequência de comutação fixa, $f_s = 4350$ Hz, e determinada aleatoriamente dentro da faixa $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz.

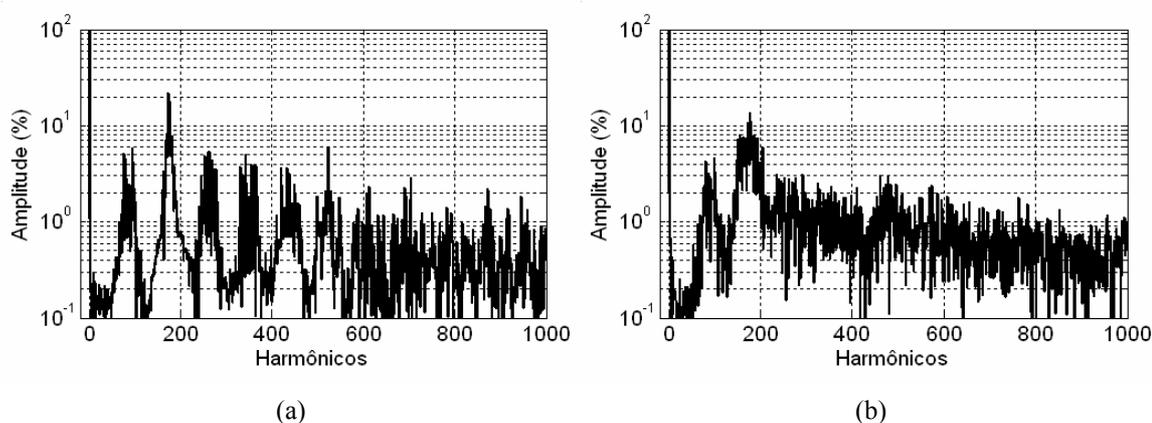


Figura 5.35 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis. (a) f_s fixa, 4350 Hz. (b) f_s randômica, $f_{\min} = 3778$ Hz e $f_{\max} = 5125$ Hz.

Na figura anterior, o chamado espalhamento não se deu de forma satisfatória para a faixa utilizada de frequências. Com os ensaios realizados, observou-se que quanto menor a frequência de comutação fixa utilizada como referência para a modulação randômica, menor é o espalhamento dos harmônicos no espectro de frequências.

Na figura 5.36 são mostradas as curvas de FFT da tensão de linha para o inversor operando com uma frequência de comutação fixa, $f_s = 10050$ Hz, e determinada aleatoriamente dentro da faixa $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz. O espalhamento dos harmônicos obtido para o sinal da tensão de linha dentro da faixa estabelecida é bem melhor do que para o caso de $f_s = 4350$ Hz. Houve uma redução nas amplitudes dos harmônicos nas frequências múltiplas da frequência de comutação e um aumento nas demais.

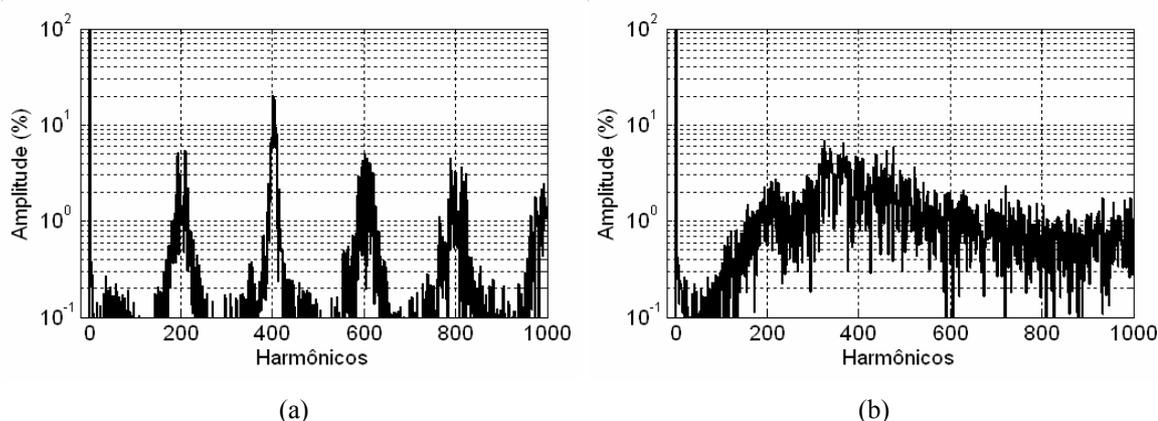


Figura 5.36 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis. (a) f_s fixa, 10050 Hz. (b) f_s randômica, $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz.

5.3.9 Teste experimental 9: inversor de 3 níveis alimentando um motor de indução a vazio, com frequência de comutação randômica e com controle de corrente

O objetivo deste teste foi verificar o comportamento nos sinais de saída do inversor de três níveis modulado com a técnica multinível e acionando um motor de indução sem carga acoplada ao seu eixo, quando se aplicou em conjunto a modulação randômica e o controle de corrente em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,74$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz.
- ‘ μ ’ não utilizado.

Aplicando o controlador PI de corrente e para $v_h = 0$ (referências senoidais), são mostradas na figura 5.37 as curvas de FFT da tensão de linha para o inversor operando com uma frequência de comutação fixa, $f_s = 10050$ Hz, e determinada aleatoriamente dentro da faixa $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz.

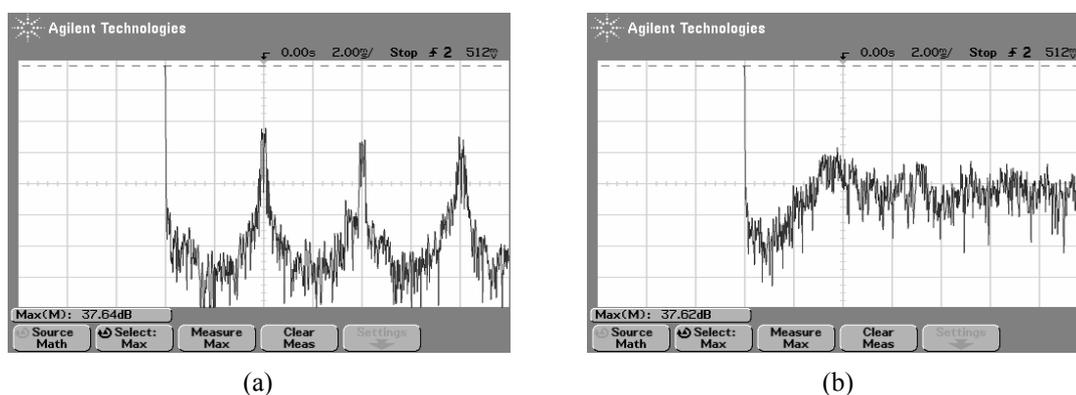


Figura 5.37 – Resultados experimentais para FFT da tensão de linha no inversor de três níveis com controlador PI de corrente (5 dB/div, 2 ms/div). (a) f_s fixa, 10050 Hz. (b) f_s randômica, $f_{\min} = 7450$ Hz e $f_{\max} = 15457$ Hz.

Na figura 5.37, observa-se que, com a modulação randômica, houve uma redução nas amplitudes dos harmônicos na frequência de comutação e em seus múltiplos, e um aumento nas amplitudes dos demais harmônicos, ou seja, o conteúdo harmônico no espectro de frequências foi espalhado de forma a reduzir a intensidade do ruído em uma frequência específica. Ainda, o controlador PI manteve o controle dos sinais de corrente na saída do inversor de acordo com os sinais de referência impostos à modulação (figura não mostrada).

5.3.10 Teste experimental 10: sinais obtidos com o inversor de três níveis com número reduzido de componentes

A estrutura do inversor de três níveis com número reduzido de componentes (NRC), analisada na seção 2.6, foi montada com o propósito de verificar o seu efetivo funcionamento e determinar experimentalmente a qualidade dos sinais na saída do inversor. A estratégia de modulação multinível, aplicada aos inversores de dois níveis, foi utilizada para gerar os sinais de comando dos interruptores do inversor NRC.

Neste conjunto de ensaios preliminares, o inversor foi acionado em malha aberta, tanto de tensão como de corrente. Não foi considerado o desequilíbrio das tensões nos capacitores do barramento CC, como também não foi utilizada nenhuma

técnica para compensação do tempo morto incluído nos sinais de comando. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- Razão de distribuição vetorial: $\mu = 0,5$.

Nas figuras 4.38 e 4.39 são mostrados os sinais de tensão e corrente obtidos com o inversor NRC. Na figura 5.38.a, observa-se o desequilíbrio nas tensões dos capacitores do barramento CC, com $V_{C1} = 101,5 \text{ V}$ e $V_{C2} = -80,8 \text{ V}$, devido à falta de uma estratégia de controle. Apesar disto, os resultados demonstram o funcionamento, tanto da topologia do inversor NRC, quanto da interface de comando.

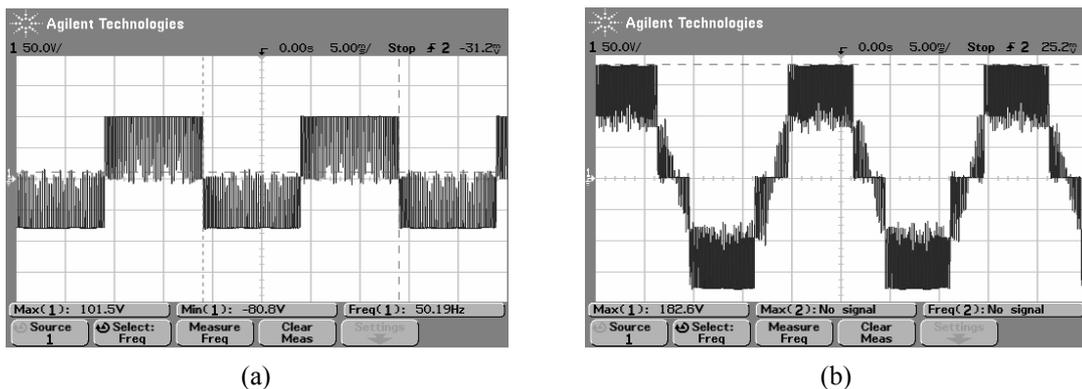


Figura 5.38 – Resultados experimentais com inversor de três níveis NRC, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Tensão de linha (50 V/div, 5 ms/div).

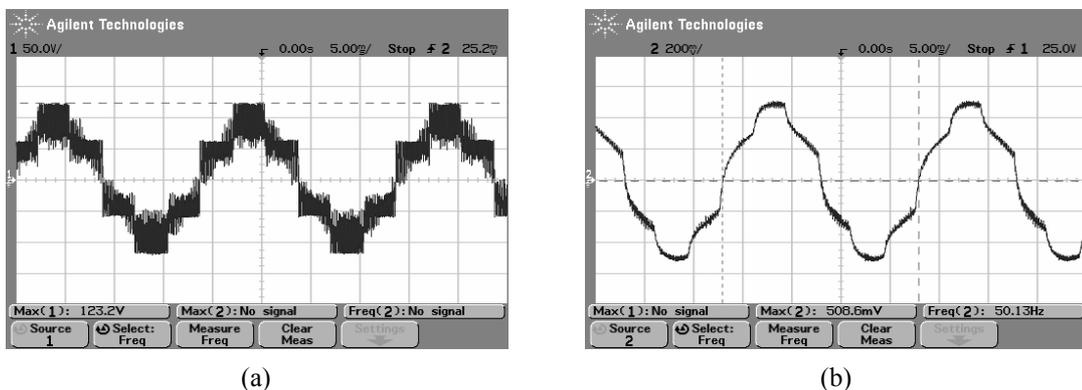


Figura 5.39 – Resultados experimentais com inversor de três níveis NRC, $f_s = 4350 \text{ Hz}$, $\mu = 0,5$. (a) Tensão de fase (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Na figura 5.39.b observam-se distorções na forma de onda da corrente causadas pela não compensação do tempo morto nos sinais de comando.

A não compensação do tempo morto gerou distorções na tensão de linha, caracterizadas pelo aparecimento de harmônicos de baixa ordem e pelo aumento dos harmônicos de ordem mais elevada no sinal de FFT, como mostrado na figura 5.40. Isto resultou num elevado índice de WTHD (2,6060%).

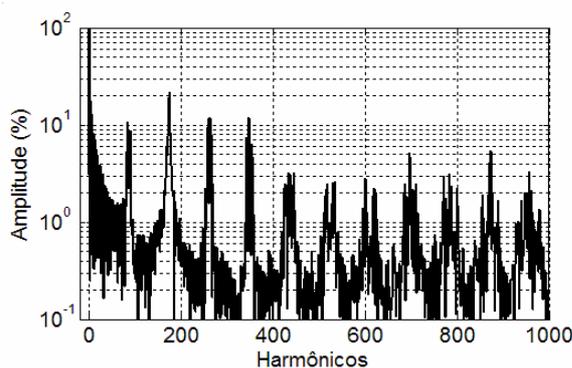


Figura 5.40 – Resultado experimental para FFT da tensão de linha no inversor de três níveis NRC, $f_s = 4350$ Hz, $m_f = 87$, $\mu = 0,5$.

5.4 ANÁLISE COMPARATIVA DA TÉCNICA DE MODULAÇÃO PROPOSTA

Nesta seção é apresentado um estudo comparativo entre a técnica de modulação multinível, proposta no capítulo 4, e a técnica apresentada por LEE, KIM e HYUN (2000), com respeito ao parâmetro de desempenho escolhido, WTHD. O estudo de simulação realizado foi limitado aos inversores de três níveis com diodos de grampeamento.

A estratégia proposta por LEE, KIM e HYUN (2000) é uma modificação da técnica de modulação por comparação com portadora triangular aplicada aos inversores multiníveis, cujo objetivo é a redução da distorção harmônica nos sinais de saída do inversor. A estratégia proposta caracteriza-se pela adição, aos sinais de referência senoidais, de um sinal de seqüência zero que possibilita a equalização dos tempos de aplicação dos vetores que estão no início e no final de cada período de modulação. Por não utilizar o conceito de razão de distribuição vetorial, a técnica é

limitada aos sinais obtidos apenas para o caso equivalente à $\mu = 0,5$. A seguir é apresentada a estratégia de modulação proposta por LEE, KIM e HYUN (2000).

As tensões senoidais de referência para a modulação são dadas por:

$$\begin{aligned} v_a &= V_p \cos(\theta) \\ v_b &= V_p \cos(\theta - 2\pi/3) \\ v_c &= V_p \cos(\theta + 2\pi/3) \end{aligned} \quad (5.1)$$

Com:

$$V_p = m(E/2)$$

$$\theta = 2\pi f_m t_a$$

m = índice de modulação senoidal

f_m = frequência dos sinais de referência

t_a = tempo de amostragem dos sinais

E = Tensão do barramento CC

Tomando um sinal de seqüência zero dado por:

$$v_h = \frac{E}{2} - \frac{(v_{\max} + v_{\min})}{2} \quad (5.2)$$

Com v_{\max} e v_{\min} sendo o maior e o menor valor dentre v_a , v_b e v_c , respectivamente. A adição de v_h às tensões de referência fornece sinais de referência distorcidos dados por:

$$v_x^* = v_x + v_h \quad \text{com } x \in \{a, b, c\} \quad (5.3)$$

Para cada intervalo de modulação, os sinais distorcidos dados em (5.3) que forem maiores que $E/(N-1)$ devem ser deslocados de $-E/(N-1)$. Isto fornece um novo conjunto de sinais de referência dados por v_a^{**} , v_b^{**} e v_c^{**} .

Um segundo sinal de seqüência zero, dado por (5.4), adicionado aos sinais v_a^{**} , v_b^{**} e v_c^{**} fornece os sinais de referência distorcidos dados por (5.5).

$$v_h^* = \frac{E}{2(N-1)} - \frac{(v_{\max}^* + v_{\min}^*)}{2} \quad (5.4)$$

$$v_x^{***} = v_x^{**} + v_h^* \quad \text{com } x \in \{a, b, c\} \quad (5.5)$$

Com v_{\max}^* e v_{\min}^* sendo o maior e o menor valor dentre v_a^{**} , v_b^{**} e v_c^{**} , respectivamente.

Finalmente, os sinais de referência, dados em (5.5), que foram deslocados de $-E/(N - 1)$ no início, devem agora ser deslocados de $E/(N - 1)$. Desta forma, o algoritmo produz um conjunto final de sinais distorcidos para a modulação dados por v_a' , v_b' e v_c' .

O algoritmo apresentado anteriormente foi introduzido no programa SSIF (Apêndice A) para realização dos estudos comparativos de WTHD com a técnica proposta neste trabalho. Resultados de simulação foram obtidos para valores do índice de modulação senoidal (m) variando entre 0,1 e 1,1 e para três valores da frequência de comutação (f_s) e utilizando $\mu = 0,5$. Os demais parâmetros utilizados foram:

- Carga: $R = 20 \Omega$ e $L = 29 \text{ mH}$ e $\cos(\phi) = 0,91$.
- Tensão total do barramento CC: $E = 500 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$.

Nas figuras 5.41, 5.42 e 5.43 são mostradas as curvas de WTHD da tensão de linha obtidas com a técnica de LEE, KIM e HYUN (2000) e multinível, para frequências de comutação de 750 Hz, 4350 Hz e 10050 Hz.

Nas figuras 5.41.a, 5.42.a e 5.43.a, observa-se a evolução nos valores de WTHD com o aumento do índice de modulação m . Pode-se ver que em ambas as estratégias os valores de WTHD são praticamente iguais para qualquer valor da frequência de comutação. Na figura 5.41.a, para valores do índice de modulação acima de um, a estratégia multinível mostrou resultados de WTHD um pouco maiores que a técnica de LEE, KIM e HYUN (2000). Isso se deve à forma como o algoritmo multinível foi implementado no programa em C++, que não prevê valores maiores que $E/2$ no momento em que é feita a localização da região onde se encontram os sinais de referência para cálculo de p_a , p_b e p_c , na equação (4.106).

Nas figuras 5.41.b, 5.42.b e 5.43.b, os valores de WTHD são normalizados em p.u. com relação à técnica de LEE para cada valor do índice de modulação simulado (até $m = 1$). Não foi observado um padrão comum de comportamento nestas curvas. Só para o caso de $f_s = 750 \text{ Hz}$ que a estratégia multinível demonstrou melhor desempenho para todos os valores de m maiores que 0,5. Para as demais frequências o padrão não

se repetiu. Contudo, considerando que a diferença nos valores de WTHD em p.u. entre as duas técnicas ocorreu praticamente sempre após a segunda casa decimal, pode-se considerar que as duas têm o mesmo nível de qualidade quanto à quantidade de distorção harmônica nos sinais de saída do inversor de três níveis.

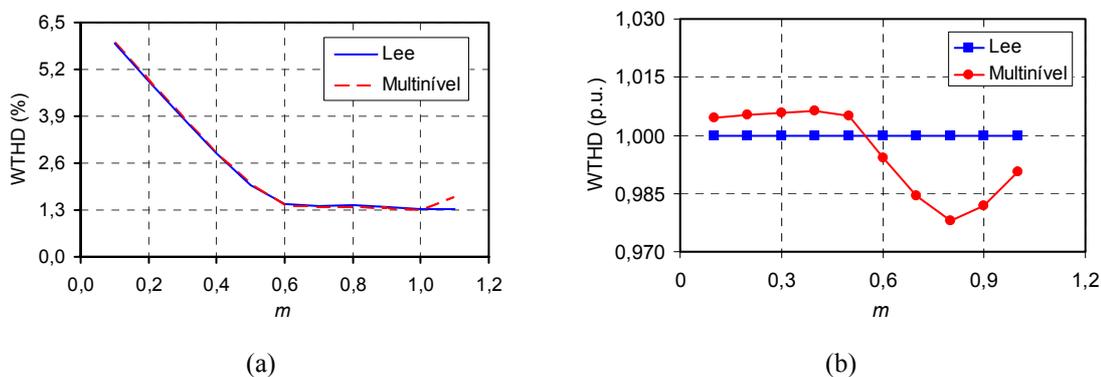


Figura 5.41 – Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis *versus* índice de modulação, $f_s = 750$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.

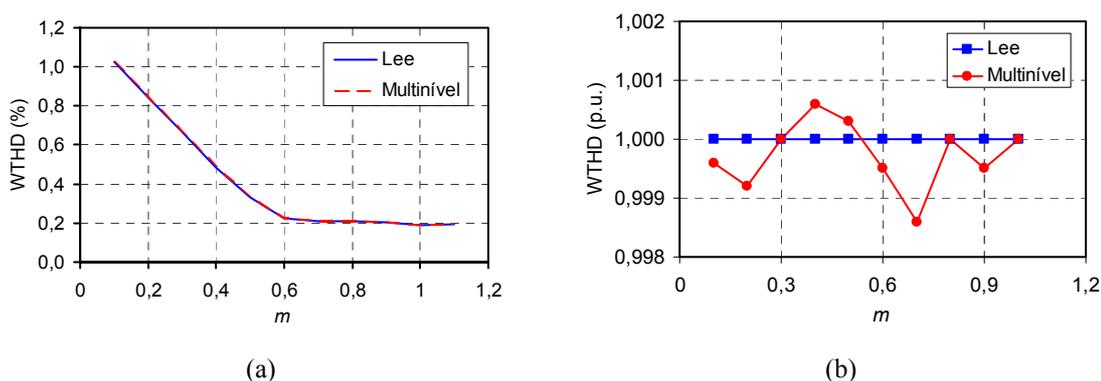


Figura 5.42 – Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis *versus* índice de modulação, $f_s = 4350$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.

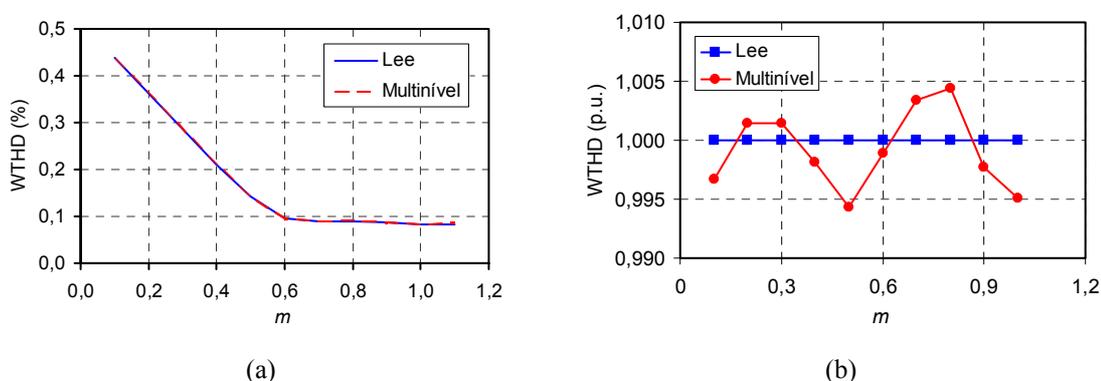


Figura 5.43 – Resultados de simulação: evolução no valor de WTHD da tensão de linha no inversor de três níveis *versus* índice de modulação, $f_s = 10050$ Hz, $\mu = 0,5$. (a) WTHD em %. (b) WTHD em p.u.

5.5 CONCLUSÕES

Neste capítulo foram mostrados resultados experimentais e de simulação que comprovam a funcionalidade da montagem do inversor de três níveis e a eficiência da técnica de modulação proposta para comandar inversores multiníveis, tanto de forma isolada, como em conjunto com outras técnicas de modulação ou com controle de variáveis em malha fechada.

Foi observado por simulação e experimentalmente, que o uso de sinais de referência distorcidos com $\mu = 0,5$ fornece o menor índice de WTHD nos sinais de tensão de linha na saída dos inversores de três níveis, para qualquer valor do índice de modulação.

Também foi verificado o funcionamento da estrutura do inversor de três níveis com número reduzido de componentes, apesar dos resultados mostrarem a necessidade de compensação do tempo morto incluído nos sinais de comando dos interruptores, para que a redução no conteúdo harmônico dos sinais de saída seja obtida.

Um estudo comparativo entre a estratégia multinível proposta no capítulo 4 e a técnica apresentada por LEE, KIM e HYUN (2000), com o objetivo de reduzir a distorção harmônica nos sinais obtidos com os inversores multiníveis, mostrou que ambas fornecem o mesmo conteúdo harmônico nas tensões de linha, independentemente da frequência de comutação e do índice de modulação utilizados.

Desta forma, com as simulações e os ensaios experimentais realizados e mostrados neste capítulo pôde-se comprovar a eficiência da técnica multinível como estratégia de modulação para inversores com qualquer número de níveis, inclusive os de dois níveis.

CAPÍTULO 6

TENSÕES NOS CAPACITORES DO BARRAMENTO CC NOS INVERSORES DE TRÊS NÍVEIS

6.1 INTRODUÇÃO

Neste capítulo é dada uma atenção especial ao problema do desequilíbrio nas tensões dos capacitores do barramento CC existente na topologia de inversor de três níveis com diodos de grampeamento.

Considerando as configurações dos interruptores, são analisados os circuitos equivalentes do inversor que influenciam na carga dos capacitores e definidas as equações que tratam do problema de desequilíbrio das tensões. Em seguida, são discutidas duas técnicas de controle das tensões no barramento CC, uma em malha aberta (DE OLIVEIRA, DA SILVA, JACOBINA, 2005) e outra em malha fechada, ambas utilizando a razão de distribuição vetorial. Também são mostradas outras formas de equalização das tensões nos capacitores utilizando circuitos auxiliares.

Por fim, são analisados alguns resultados experimentais e de simulação.

6.2 ANÁLISE DAS TENSÕES NOS CAPACITORES DO BARRAMENTO CC

A definição de um padrão de comutação consiste na escolha das combinações dos estados de operação dos interruptores para determinação de cada vetor espacial de tensão e da ordem de aplicação destes vetores dentro de um período de modulação. A escolha do padrão de comutação no inversor multinível pode influenciar diretamente a solução de alguns problemas inerentes a esta topologia de inversor.

Na técnica multinível proposta no capítulo 4 foi assumido um valor constante para as tensões nos capacitores do barramento CC ($E/2$ para 3 níveis). Esse é um valor

ideal. Na prática, as tensões nestes capacitores sofrem alterações devidas à carga e descarga provocadas pelas combinações dos estados de operação dos interruptores. Nos inversores de 3 ou mais níveis as oscilações nas tensões dos capacitores podem provocar um desequilíbrio no barramento CC fazendo com que o inversor pare de funcionar ou gere tensões de fase completamente desequilibradas.

No diagrama de vetores para os inversores de 3 níveis mostrado na figura 6.1, cada vetor do grupo zero ($Z = Zero Vector, V_0$) e do grupo grande ($L = Large Vectors, V_7, V_9, V_{11}, V_{13}, V_{15}$ e V_{17}) são criados por apenas uma combinação dos interruptores. Estes vetores não afetam o equilíbrio das tensões nos capacitores CC, uma vez que as combinações dos interruptores que os originam não possibilitam nem a carga nem a descarga das tensões nestes capacitores, conforme o exemplo mostrado na figura 6.2.

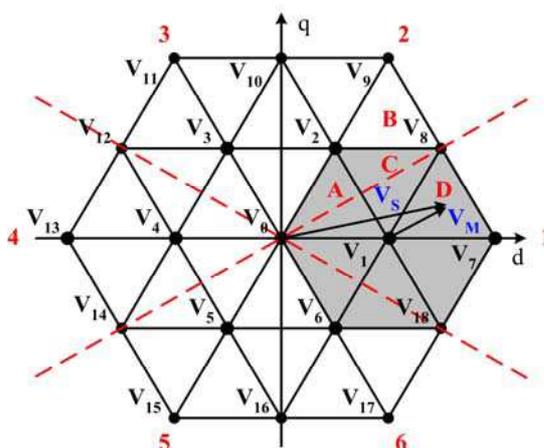


Figura 6.1 – Diagrama vetorial do inversor de 3 níveis.

Ainda na figura 6.1, cada vetor do grupo pequeno ($S = Small Vectors, V_1, V_2, V_3, V_4, V_5$ e V_6), é criado por duas combinações diferentes dos interruptores, conforme mostrado na tabela 4.2. Dependendo do sentido da corrente na fase, uma das duas combinações dos interruptores possibilita carregar um capacitor e descarregar o outro, enquanto a outra combinação faz o inverso. Um exemplo disto é visto nas figuras 6.3.a e 6.3.b para o caso das duas combinações possíveis para determinação do vetor V_1 . Observando estas figuras fica claro que se pode compensar o desequilíbrio nas tensões dos capacitores, provocado pelo vetor V_1 , aplicando as duas configurações para este vetor durante intervalos iguais em um mesmo período de modulação.

Já para o grupo dos vetores médios ($M = Middle\ Vectors$, $V_8, V_{10}, V_{12}, V_{14}, V_{16}$ e V_{18}), os seus vetores também afetam o equilíbrio da tensão no ponto central do barramento CC, conforme o exemplo da figura 6.4. Porém, não se pode utilizar a mesma estratégia definida para o grupo S, uma vez que cada vetor do grupo M também é determinado por apenas uma combinação dos interruptores.

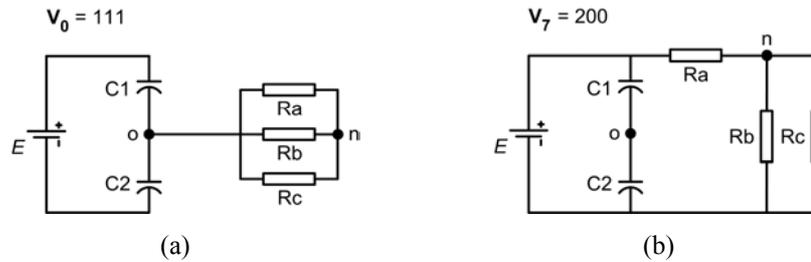


Figura 6.2 – Correntes nos capacitores CC no inversor de três níveis. (a) Grupo Z. (b) Grupo L.

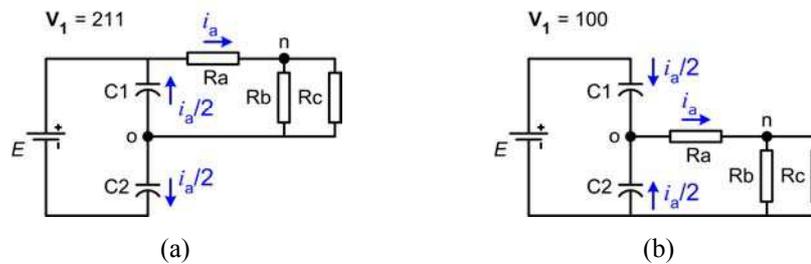


Figura 6.3 – Correntes nos capacitores CC no inversor de três níveis. (a) e (b) Grupo S.

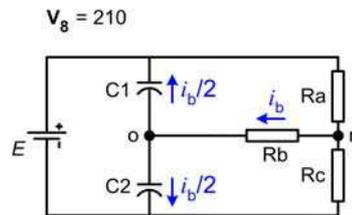


Figura 6.4 – Correntes nos capacitores CC no inversor de três níveis. Grupo M.

Qualquer triângulo utilizado para compor o vetor tensão de referência V_s , conforme a figura 6.1, terá um vetor do grupo S em um de seus vértices. Logo, este vetor está presente no início e/ou no final de cada período da modulação.

Na figura 6.5 pode-se ver a relação entre os tempos de aplicação de cada vetor espacial e os pulsos de comando dos interruptores, em um inversor de três níveis, para o instante em que V_s se encontra no setor D da região $i = 1$, conforme figura 6.1. Para este caso, os sentidos das correntes nos capacitores do barramento CC, vistos nas figuras 6.2, 6.3 e 6.4, fornecem a carga e a descarga de suas tensões, de acordo com as

combinações dos interruptores que determinam o padrão de vetores definido por: $V_1^i = 100$; $V_7 = 200$; $V_8 = 210$; $V_1^f = 211$, em um período da modulação.

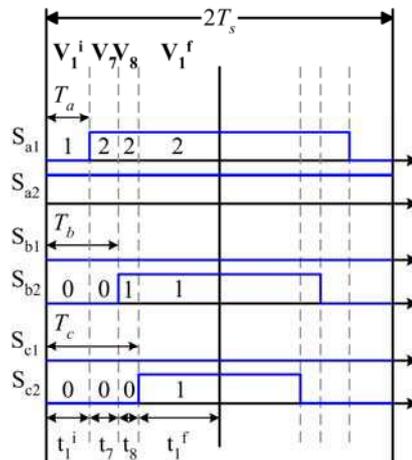


Figura 6.5 – Vetores espaciais em um período da modulação no inversor de 3 níveis.

Assim, para o instante de modulação mostrado na figura 6.5, tem-se:

- Para $V_1^i = 100$ na figura 6.3.b, o capacitor C_1 carrega enquanto C_2 descarrega devido ao sentido positivo adotado para corrente i_a , ou seja, (C_1^+, C_2^-) .
- Para $V_7 = 200$ na figura 6.2.b, as tensões nos dois capacitores permanecem inalteradas, uma vez que esse vetor não influencia no ciclo de carga destes capacitores, assim (C_1^0, C_2^0) .
- Para $V_8 = 210$ na figura 6.4, o capacitor C_1 descarrega enquanto C_2 carrega devido ao sentido positivo adotado para corrente i_b , ou seja, (C_1^-, C_2^+) .
- Para $V_1^f = 211$ na figura 6.3.a, o capacitor C_1 descarrega enquanto C_2 carrega devido ao sentido positivo adotado para corrente i_a , ou seja, (C_1^-, C_2^+) .

Desta maneira, o padrão de vetores adotado como exemplo fornece um ciclo de carga e descarga nas tensões dos capacitores dado pela tabela 6.1 ('+' aumenta a tensão, '-' diminui a tensão, '0' mantém a tensão). Ao final deste período de modulação, o capacitor C_2 estará com uma tensão maior que a do capacitor C_1 . Se no período seguinte este valor não for invertido, as tensões desequilibradas nos

capacitores podem deforma os sinais na saída do inversor, aumentando o conteúdo harmônico.

Tabela 6.1 – Exemplo de um ciclo de carga dos capacitores CC em um período de modulação.

$V_1^i = 100$	$V_7 = 200$	$V_8 = 210$	$V_1^f = 211$
$C_1^+ C_2^-$	$C_1^0 C_2^0$	$C_1^- C_2^+$	$C_1^- C_2^+$

Tomando como exemplo o caso analisado na tabela 6.1, existem duas possibilidades para manter as tensões iguais nos dois capacitores do barramento CC, nos inversores de três níveis com diodos de grampeamento, a partir da alteração da relação entre os tempos t_1^i e t_1^f de aplicação do vetor nulo V_1 , com $t_1^i + t_1^f = t_1$.

No primeiro caso, para manter as tensões iguais nos dois capacitores dentro de um mesmo período de modulação T_s , o tempo t_1^i de aplicação do vetor $V_1^i = 100$ deve ser igual ao tempo t_1^f de aplicação do vetor $V_1^f = 211$ somado ao tempo t_8 de aplicação do vetor $V_8 = 210$, logo:

$$t_1^i = t_1^f + t_8 \quad (6.1)$$

Uma vez que a condição $t_1^i + t_1^f = t_1$ deve ser satisfeita, a equação (6.1) só é válida quando $t_1^i \neq 0$ e $t_1^f \neq 0$. De outra forma, a equação (6.1) sugere que o equilíbrio das tensões nos capacitores também pode ser obtido, dentro do mesmo período de modulação, quando $t_1^f = 0$ e $t_1^i = t_8$. Contudo, se $t_1^f = 0$, tem-se obrigatoriamente que $t_1^i = t_1$, o que resulta na igualdade $t_1 = t_8$. Esse resultado é falso, uma vez que os tempos de aplicação dos vetores dependem do vetor tensão de referência V_s e devem satisfazer a relação $T_s = t_1 + t_7 + t_8$, dada pela equação (4.5). Sendo os valores de t_7 e t_8 determinados pelas equações (4.31) e (4.32), o tempo t_1 de aplicação do vetor nulo V_1 fica determinado por $t_1 = T_s - t_7 - t_8$. Logo, em se tratando dos tempos de aplicação dos vetores de tensão, as únicas variáveis que podem ser controladas são os tempos t_1^i e t_1^f de aplicação do vetor nulo V_1 no início e no final de cada período de modulação.

No segundo caso, modifica-se o ciclo de carga dos capacitores do barramento CC de um período de modulação para outro. Fazendo $t_1^i = 0$ ou $t_1^f = 0$, em períodos de modulação diferentes, espera-se que o equilíbrio das tensões dos capacitores seja

mantido. A seguir, é mostrado como esta técnica pode ser facilmente implementada a partir do conceito de razão de distribuição vetorial ‘ μ ’.

De acordo com a relação entre ‘ μ ’ e os tempos de aplicação dos vetores do grupo S, dada pelas equações (4.9) e (4.10) e repetidas a seguir:

$$t_1^i = (1-\mu)t_1 \tag{6.2}$$

$$t_1^f = \mu t_1 \quad \text{com } t_1 = t_1^i + t_1^f \tag{6.3}$$

A partir do exemplo dado na tabela 6.1, o uso de $\mu = 1$ nas equações (6.2) e (6.3) resulta em $t_1^i = 0$ e elimina o vetor $V_1^i = 100$ do padrão de modulação, conforme figura 6.6.a. Isto causa um aumento da tensão no ponto central dos capacitores ($C_1^- C_2^+$), como mostrado na figura 6.7. O uso de $\mu = 0$ resulta em $t_1^f = 0$ e elimina o vetor $V_1^f = 211$ do padrão de modulação, conforme figura 6.6.b. Com isto, há uma redução da tensão no ponto central ($C_1^+ C_2^-$), como visto na figura 6.7.

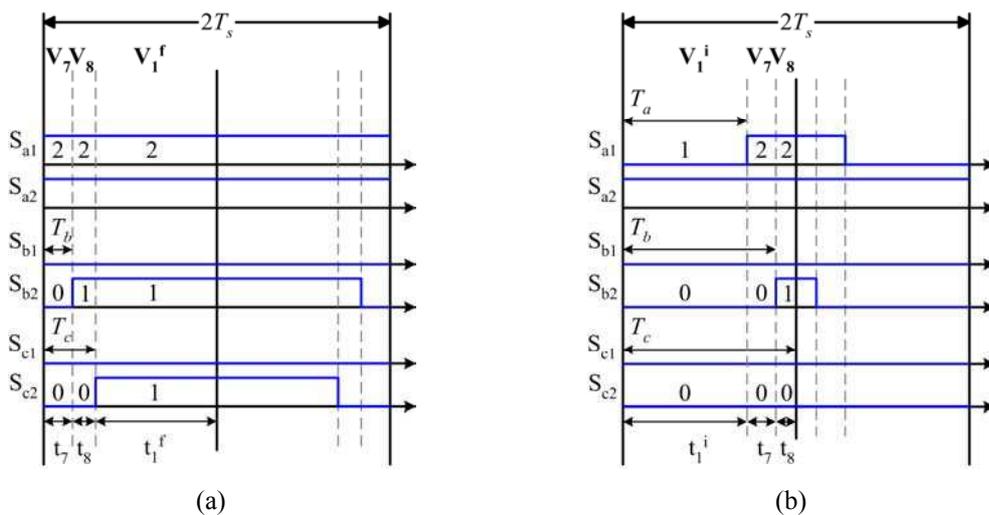


Figura 6.6 – Tempos dos vetores espaciais no inversor de três níveis. (a) $t_1^i = 0$ ($\mu = 1$). (b) $t_1^f = 0$ ($\mu = 0$).

O uso de $\mu = 0,5$ nas equações (6.2) e (6.3), como mostrado na figura 6.8, retarda mas não elimina o desequilíbrio das tensões CC. Este efeito também pode ser visto na figura 6.7, onde a parte negativa da ondulação da tensão torna-se maior que a parte positiva no final do tempo de simulação ($t = 0,4$ s). Este valor de μ possibilita tempos iguais para os dois vetores do grupo S que estão no início e no final do período de modulação, mas o vetor do grupo M ($V_8 = 210$), que também afeta o equilíbrio das tensões nos capacitores, não é compensado quando $\mu = 0,5$.

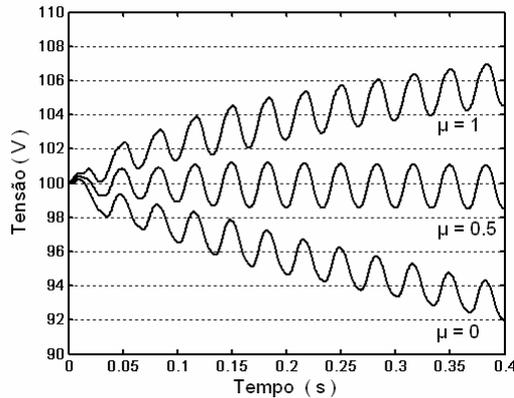


Figura 6.7 – Tensão no ponto central dos capacitores no inversor de três níveis para ‘μ’ fixo (simulação).

De acordo com as explicações dadas nos dois parágrafos anteriores, pode-se sugerir uma alternância periódica no valor de ‘μ’ ($\mu = 0$ em um período e $\mu = 1$ no período seguinte), mas isso também não garante o equilíbrio das tensões CC, conforme mostrado na figura 6.9. Pois, como foi mostrado na análise dos circuitos equivalentes, este equilíbrio também depende dos sentidos das correntes na carga, ou seja, do seu fator de potência. Logo, essa técnica de controle precisa se adequar dinamicamente à estratégia de modulação e ao tipo de carga alimentada pelo inversor, para determinar qual capacitor deve ser carregado ou descarregado em determinado instante da modulação. Então, muitos trabalhos propõem a utilização de técnicas de controle em malha fechada, com o conhecimento do sentido das correntes na carga e do erro de tensão entre os capacitores.

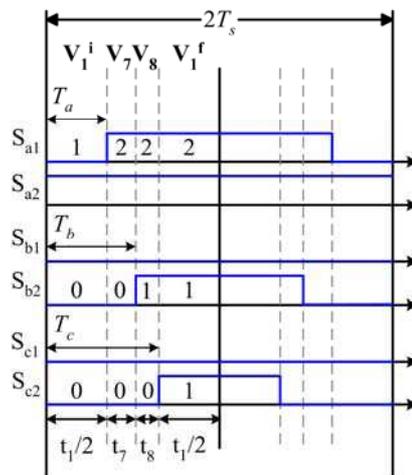


Figura 6.8 – Tempos dos vetores espaciais no inversor de três níveis, $t_1^i = t_1/2$ e $t_1^f = t_1/2$ ($\mu = 0,5$).

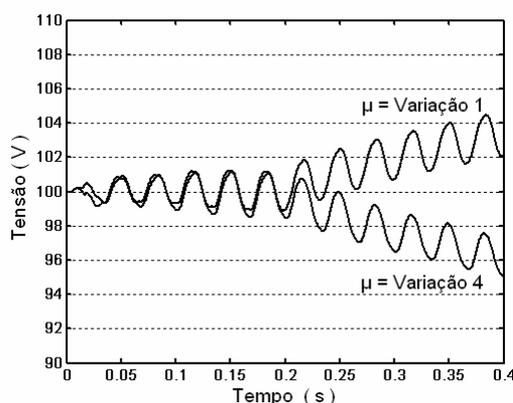


Figura 6.9 – Tensão no ponto central dos capacitores no inversor de três níveis para ‘ μ ’ variável (simulação).

Na figura 6.9, as variações 1 e 4 foram definidas no capítulo 3.

6.3 CONTROLE EM MALHA FECHADA DAS TENSÕES NOS CAPACITORES DO BARRAMENTO CC

Do que foi exposto na seção anterior, observa-se que o desequilíbrio das tensões nos capacitores é causado pelo uso dos vetores do grupo S e M e pelo sentido de circulação das correntes nos capacitores.

Assim, o principal problema na estrutura do inversor fonte de tensão de 3 níveis com diodos de grameamento (figura 2.2.a) é a necessidade de equalização das tensões nos capacitores do barramento CC para se obter as vantagens desta topologia.

Várias estratégias de PWM foram propostas para solução deste problema (SEO, SHOI, HYUN, 2001; LEE, KIM, HYUN, 1999; SEIXAS et al., 2000; CELANOVIC, BOROYEVICH, 2000). A maior parte utiliza técnicas vetoriais de modulação que possuem procedimentos indiretos e complexos para seleção da seqüência de comutação e equalização das tensões nos capacitores.

Pode-se também utilizar técnicas de controle em malha fechada para manter as tensões nos capacitores do barramento CC dentro de valores aceitáveis para o funcionamento do inversor com tensões equilibradas. Algumas destas estratégias de controle requerem o conhecimento do erro de tensão entre os capacitores e dos sentidos das correntes de carga. No entanto, estas estratégias, além de aumentarem a

complexidade do algoritmo de comando do inversor, também aumentam o tempo total da rotina de processamento em sistemas microcontrolados.

Para ‘ μ ’ assumindo o valor 0 ou 1 e para qualquer frequência de comutação utilizada, as tensões nos capacitores do barramento CC podem ser controladas através de um controlador do tipo liga-desliga, por exemplo.

O sinal de erro resultante da comparação entre o valor desejado para a tensão no ponto central do barramento CC (V_{C2}^* , caso dos inversores de três níveis) e o seu valor real adquirido por medição (V_{C2}), determina qual capacitor deve ser carregado ou descarregado no próximo período de modulação. Em seguida, o produto entre a saída deste comparador pelo sinal da corrente de carga (também adquirida por meio de medição) determina qual das duas configurações do vetor do grupo S a ser empregada.

Assim, a variável ‘ μ ’ é feita igual a 0 ou 1, modificando a modulação para manter equalizadas as tensões no barramento CC. Na figura 6.10 é mostrado o diagrama de blocos do controlador liga-desliga.

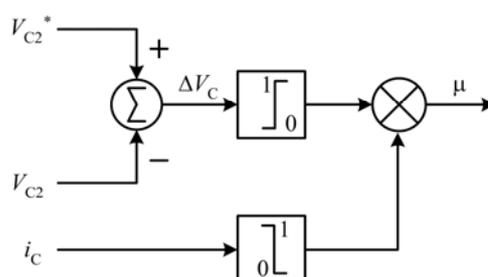


Figura 6.10 – Diagrama de blocos do controlador liga-desliga.

Na figura 6.11 é mostrado o diagrama de blocos completo da estratégia de modulação proposta no capítulo 4 e com controle em malha fechada da tensão no ponto central do barramento CC. O diagrama é baseado nos passos de 1 a 6 descritos no capítulo 4. As tensões de pólo v_{x0} são obtidas a partir dos valores reais das tensões nos capacitores, que são controladas de acordo com o valor de ‘ μ ’. Sendo este valor determinado com a técnica de controle liga-desliga (figura 6.10) e introduzido na modulação para calcular o novo valor de v_h .

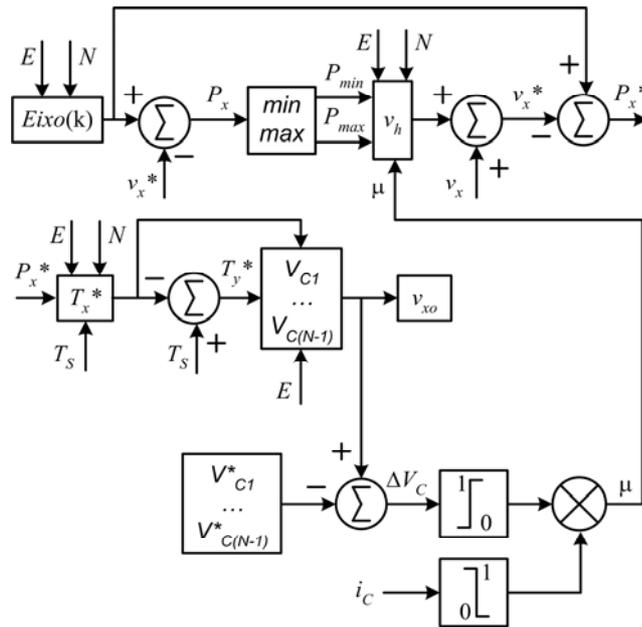


Figura 6.11 – Diagrama de blocos da estratégia de modulação proposta com controle em malha fechada das tensões do barramento CC para o inversor de três níveis.

6.4 RELAÇÃO ENTRE OS TEMPOS DE APLICAÇÃO DOS VETORES ESPACIAIS E OS PULSOS DE COMANDO DOS INTERRUPTORES

Em inversores de dois níveis, para se ter os tempos de aplicação dos vetores nulos (V_0 e V_7) iguais no início e no final de um período de modulação é necessário fazer apenas $\mu = 0,5$ na equação de BLASKO (1996). Mas, para inversores de 3 níveis, LEE, KIM e HYUN (2000) afirmam que a utilização da técnica de 2 níveis não possibilita a equalização dos tempos dos vetores do grupo S no início e no final de um período de modulação. Eles então propuseram uma técnica para igualar estes tempos que consiste em adicionar um sinal de seqüência zero adequado às tensões de referência senoidais.

O método multinível proposto neste trabalho, cujos resultados foram publicados em DE OLIVEIRA, DA SILVA, JACOBINA (2004) e DE OLIVEIRA, DA SILVA, JACOBINA, (no prelo), possibilita que os tempos de aplicação dos vetores espaciais, que estão no início e no final de um período de modulação, sejam iguais quando $\mu = 0,5$ na equação (4.107), para qualquer número de níveis. Para o caso dos inversores de três níveis, o método proposto fornece o mesmo resultado que a técnica de LEE, KIM e HYUN (2000).

Na figura 6.12 estão representados os tempos de aplicação dos vetores, bem como as suas relações com os pulsos de comando dos interruptores de um inversor fonte de tensão de três níveis, para qualquer região do seu diagrama vetorial. A figura representa uma modulação utilizando tensões de referência senoidais (v_a , v_b e v_c).

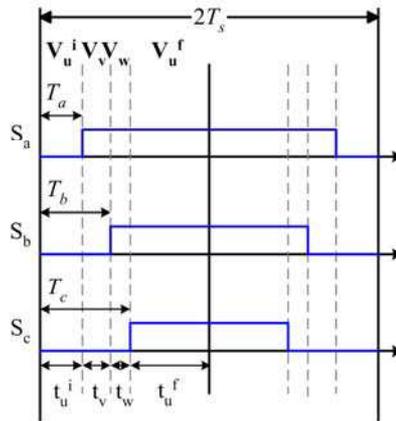


Figura 6.12 – Tempos dos vetores para uma região qualquer do diagrama vetorial no inversor de três níveis.

Uma tensão v_h aplicada às tensões de referência (v_a , v_b e v_c) altera estes sinais e gera novos pulsos de comando para os interruptores. Da equação (4.122),

$$\tau_h = \mu T_{\min} - (1 - \mu)(T_S - T_{\max}) \quad (6.4)$$

Os valores de T_{\min} e T_{\max} na equação (6.4) são dados a partir da figura 6.12 por:

$$T_{\min} = T_a = t_u^i \quad (6.5)$$

$$T_{\max} = T_c = t_u^i + t_v^i + t_w^i \quad (6.6)$$

Assim:

$$T_S - T_{\max} = T_S - (t_u^i + t_v^i + t_w^i) = t_u^f \quad (6.7)$$

Logo:

$$\tau_h = \mu t_u^i - (1 - \mu)t_u^f \quad (6.8)$$

6.4.1 Caso 1: $\mu = 1$

Para o caso em que $\mu = 1$ na equação (6.8), tem-se:

$$\tau_h = t_u^i \quad (6.9)$$

Da equação (4.119):

$$T_x^* = T_x - \tau_h \quad \text{com } x \in \{a, b, c\} \quad (6.10)$$

Substituindo na equação anterior os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.9), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i - t_u^i = 0 \\ T_b^* &= T_b - \tau_h = t_u^i + t_v - t_u^i = t_v \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w - t_u^i = t_v + t_w \end{aligned} \quad (6.11)$$

Os resultados anteriores equivalem ao que foi apresentado na figura 6.6.a para o inversor de três níveis com o vetor \mathbf{V}_S no setor D da região $i = 1$ do diagrama vetorial da figura 6.1 (fazendo $u = 1$, $v = 7$, $w = 8$). Com $\mu = 1$ o vetor \mathbf{V}_u^i é eliminado do padrão de vetores, conforme mostrado na figura 6.6.a.

6.4.2 Caso 2: $\mu = 0$

Para o caso em que $\mu = 0$ na equação (6.8), tem-se:

$$\tau_h = -t_u^f \quad (6.12)$$

Substituindo na equação (4.119) os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.12), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i + t_u^f = t_u \\ T_b^* &= T_b - \tau_h = t_u^i + t_v + t_u^f = t_u + t_v \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w + t_u^f = t_u + t_v + t_w = T_S \end{aligned} \quad (6.13)$$

Os resultados anteriores equivalem ao que foi apresentado na figura 6.6.b para o inversor de três níveis com o vetor \mathbf{V}_S no setor D da região $i = 1$ do diagrama vetorial da figura 6.1 (fazendo $u = 1$, $v = 7$, $w = 8$). Com $\mu = 0$ o vetor \mathbf{V}_u^f é eliminado do padrão de vetores conforme mostrado na figura 6.6.b.

6.4.3 Caso 3: $\mu = 0,5$

Para o caso em que $\mu = 0,5$ na equação (6.8), tem-se:

$$\tau_h = \frac{t_u^i}{2} - \frac{t_u^f}{2} \quad (6.14)$$

Substituindo na equação (4.119) os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.14), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i - \frac{t_u^i}{2} + \frac{t_u^f}{2} = \frac{t_u^f}{2} \\ T_b^* &= T_b - \tau_h = t_u^i + t_v - \frac{t_u^i}{2} + \frac{t_u^f}{2} = \frac{t_u^f}{2} + t_v \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w - \frac{t_u^i}{2} + \frac{t_u^f}{2} = \frac{t_u^f}{2} + t_v + t_w \end{aligned} \quad (6.15)$$

Os resultados anteriores equivalem ao que foi apresentado na figura 6.8 para o inversor de três níveis com o vetor \mathbf{V}_S no setor D da região $i = 1$ do diagrama vetorial da figura 6.1 (fazendo $u = 1$, $v = 7$, $w = 8$). Com $\mu = 0,5$ o vetor \mathbf{V}_u é igualmente distribuído no início e no final de um período da modulação ($t_u^i = t_u^f$), conforme mostrado na figura 6.8.

A análise realizada para os três casos anteriores demonstra que com a técnica de modulação proposta no capítulo 4, pode-se alterar a relação entre os tempos de aplicação dos vetores espaciais de tensão e assim modificar os pulsos de comando para os interruptores em inversores multiníveis a partir do conceito de razão de distribuição vetorial ‘ μ ’, de forma semelhante ao que é feito para os inversores de dois níveis.

6.5 MODIFICAÇÃO DA TÉCNICA DE MODULAÇÃO PROPOSTA PARA CONTROLE DAS TENSÕES NOS CAPACITORES CC

No caso da equalização das tensões nos capacitores do barramento CC, em inversores de 3 níveis, foi mostrado que para índices de modulação elevados, também são utilizados os vetores do grupo M. Estes vetores, assim como os do grupo S, interferem na carga dos capacitores do barramento CC. O uso de $\mu = 0,5$ possibilita apenas a diminuição dos efeitos do desequilíbrio provocado pelos vetores do grupo S.

Com o objetivo de eliminar o controle em malha fechada das tensões nos capacitores do barramento CC e assim evitar a necessidade da monitoração da tensão em um capacitor e/ou do sinal de corrente, técnicas de controle mais simples e

inerentes à estratégia de modulação reduzem os custos da montagem final e a complexidade do algoritmo de PWM.

Com esse propósito foi analisada uma modificação na técnica multinível proposta no capítulo 4. Neste caso, os tempos de aplicação dos vetores do grupo S não são feitos iguais no início e no final de um período da modulação (DE OLIVEIRA, DA SILVA, JACOBINA, 2005). Isto modifica a carga dos capacitores. Esta modificação pode garantir que os efeitos dos vetores do grupo M sobre o equilíbrio das tensões nos capacitores sejam compensados utilizando-se os vetores do grupo S de forma adequada.

A alteração no algoritmo da seção 4.2.4 é simples, ela é obtida para os inversores de 3 níveis quando se utiliza $N = 2$ nos passos 1 a 3 e $N = 3$ nos passos 4 a 6. Isso fornece uma tensão de seqüência zero v_h calculada para um inversor de 2 níveis mas aplicada a um inversor de 3 níveis. Os efeitos da modificação na técnica sobre o índice de WTHD para a tensão de linha na saída do inversor de três níveis foram analisados e apresentados nos resultados de simulação no capítulo 4.

Tomando a equação (4.107) para $N = 2$, tem-se:

$$v_h = \mu p_{\min} - (1 - \mu)(E - p_{\max}) \quad (6.16)$$

Substituindo o valor de v_h , dado em (6.16), na equação (4.118) para $N = 3$, tem-se:

$$\tau_h = \mu \left[\frac{p_{\min}}{\left(\frac{E}{2}\right)} T_s \right] - (1 - \mu) \left[\frac{E - p_{\max}}{\left(\frac{E}{2}\right)} T_s \right] \quad (6.17)$$

Após algumas manipulações algébricas na equação (6.17) tem-se:

$$\tau_h = \mu T_{\min} - (1 - \mu)(2T_s - T_{\max}) \quad (6.18)$$

Os valores de T_{\min} e T_{\max} na figura 6.12 são dados por:

$$T_{\min} = T_a = t_u^i \quad (6.19)$$

$$T_{\max} = T_c = t_u^i + t_v + t_w \quad (6.20)$$

Da equação (6.18):

$$2T_s - T_{\max} = T_s + \{T_s - (t_u^i + t_v + t_w)\} = T_s + t_u^f \quad (6.21)$$

Substituindo os termos da equação (6.18), tem-se:

$$\tau_h = \mu t_u^i - (1 - \mu)(T_S + t_u^f) \quad (6.22)$$

6.5.1 Caso 1: $\mu = 1$

Para o caso em que $\mu = 1$ na equação (6.22), tem-se:

$$\tau_h = t_u^i \quad (6.23)$$

Da equação (4.119):

$$T_x^* = T_x - \tau_h \quad \text{com } x \in \{a, b, c\} \quad (6.24)$$

Substituindo na equação (6.24) os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.23), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i - t_u^i = 0 \\ T_b^* &= T_b - \tau_h = t_u^i + t_v - t_u^i = t_v \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w - t_u^i = t_v + t_w \end{aligned} \quad (6.25)$$

Da equação (6.25), o tempo de aplicação do vetor \mathbf{V}_u encontra-se todo alocado no final do período de modulação. Isso provoca um aumento da tensão no capacitor C_2 e uma redução da tensão no capacitor C_1 , considerando o exemplo de carga e descarga dos capacitores CC mostrado na tabela 6.1.

6.5.2 Caso 2: $\mu = 0$

Para o caso em que $\mu = 0$ na equação (6.22), tem-se:

$$\tau_h = -(T_S + t_u^f) \quad (6.26)$$

Substituindo na equação (4.119) os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.26), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i + (T_S + t_u^f) = t_u + T_S \\ T_b^* &= T_b - \tau_h = t_u^i + t_v + (T_S + t_u^f) = t_u + t_v + T_S \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w + (T_S + t_u^f) = t_u + t_v + t_w + T_S = 2T_S \end{aligned} \quad (6.27)$$

Da equação (6.27), o tempo de aplicação do vetor \mathbf{V}_u encontra-se todo alocado no início do período de modulação. Isso provoca uma redução da tensão no capacitor C_2 e um aumento da tensão no capacitor C_1 , considerando o exemplo de carga e

descarga dos capacitores CC mostrado na tabela 6.1. O fato de aparecer um valor de T_S somado aos tempos de aplicação dos pulsos de comando não representa uma perturbação nos cálculos, uma vez que o limite imposto a estes tempos não permite exceder o valor de $2T_S$.

Logo, teoricamente, a partir da técnica de modulação multinível modificada e com a utilização alternada de ‘ μ ’, segundo os dois casos anteriores, é possível manter o equilíbrio das tensões CC de um período para outro da modulação e sem a necessidade de controle em malha fechada.

6.5.3 Caso 3: $\mu = 0,5$

Para o caso em que $\mu = 0,5$ na equação (6.22), tem-se:

$$\tau_h = \frac{t_u^i}{2} - \frac{1}{2}(T_S + t_u^f) \quad (6.28)$$

Substituindo na equação (4.119) os valores de T_a , T_b e T_c , dados na figura 6.12, e o valor de τ_h , dado na equação (6.28), tem-se os novos valores para T_a^* , T_b^* e T_c^* :

$$\begin{aligned} T_a^* &= T_a - \tau_h = t_u^i - \frac{t_u^i}{2} + \frac{t_u^f}{2} + \frac{T_S}{2} = \frac{t_u^i}{2} + \frac{T_S}{2} \\ T_b^* &= T_b - \tau_h = t_u^i + t_v - \frac{t_u^i}{2} + \frac{t_u^f}{2} + \frac{T_S}{2} = \frac{t_u^i}{2} + t_v + \frac{T_S}{2} \\ T_c^* &= T_c - \tau_h = t_u^i + t_v + t_w - \frac{t_u^i}{2} + \frac{t_u^f}{2} + \frac{T_S}{2} = \frac{t_u^i}{2} + t_v + t_w + \frac{T_S}{2} \end{aligned} \quad (6.29)$$

Como mostrado em (6.29), para $\mu = 0,5$, as novas larguras dos pulsos de comando dependem do valor da frequência de comutação ($T_S = 1/f_s$), cujo efeito pode ser importante para modulações em baixa frequência.

Na figura 6.13 estão representados graficamente os novos tempos de aplicação dos vetores espaciais (t_u^{i*} , t_v^* , t_w^* , t_u^{f*}), a partir da análise feita para $\mu = 0,5$, bem como, as suas relações com os novos pulsos de comando (T_a^* , T_b^* e T_c^*) para os interruptores de um inversor fonte de tensão de três níveis, para qualquer região do seu diagrama vetorial.

Concluindo a análise da equação (6.29) para T_a^* , tem-se:

$$T_a^* = t_u^{i*} = \frac{t_u}{2} + \frac{T_s}{2} = \frac{t_u}{2} + \frac{t_u + t_v + t_w}{2} \quad (6.30)$$

$$T_a^* = t_u^{i*} = t_u + \frac{t_v + t_w}{2} \quad (6.31)$$

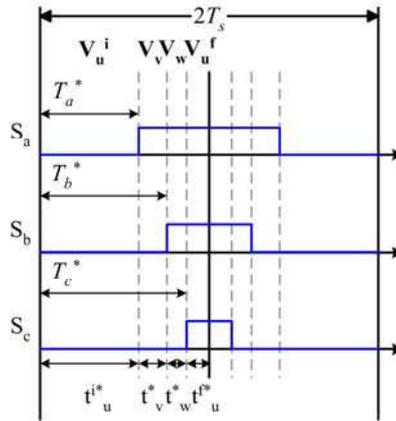


Figura 6.13 – Novos tempos para os vetores espaciais no inversor de três níveis.

Após algumas manipulações algébricas, tem-se:

$$T_a^* = t_u^{i*} = t_u^i + \left(t_u^f + \frac{t_v + t_w}{2} \right) \quad (6.32)$$

Sabendo que:

$$t_u = t_u^i + t_u^f = t_u^{i*} + t_u^{f*} \quad (6.33)$$

Logo:

$$t_u^{f*} = t_u - t_u^{i*} \quad (6.34)$$

Substituindo o valor de t_u^{i*} , dado na equação (6.31), na equação (6.34), tem-se:

$$t_u^{f*} = \frac{t_v + t_w}{2} \quad (6.35)$$

Da equação (6.32), o novo valor para o tempo de aplicação do vetor V_u^i é equivalente aos tempos de aplicação dos outros vetores. Esse efeito permite que o tempo de carga do capacitor C_1 seja ampliado de forma a compensar o tempo de carga do capacitor C_2 , conforme o exemplo mostrado na tabela 6.1. Com isso é possível manter o equilíbrio das tensões nos capacitores do barramento CC, dentro de um mesmo período de modulação, usando a técnica multinível com a modificação proposta nesta seção para $\mu = 0,5$ e sem a necessidade de controle em malha fechada.

Nesta seção foi mostrado que é possível manter o equilíbrio das tensões CC em malha aberta, dentro de um mesmo período de modulação, fazendo $\mu = 0,5$, ou de um período para outro, fazendo ‘ μ ’ alternar entre os valores 0 e 1. Contudo, é necessário determinar os limites para utilização desta técnica de controle. Estes limites podem ser definidos em termos do valor máximo de tensão CC no barramento e de corrente por fase, frequência de comutação, frequência de modulação, índice de modulação, valores de capacitância para os capacitores CC, como também, a dependência com o fator de potência da carga.

6.6 EQUALIZAÇÃO DAS TENSÕES NOS CAPACITORES CC ATRAVÉS DE CIRCUITOS AUXILIARES

O uso de ‘ μ ’ para controlar as tensões nos capacitores do barramento CC, tanto na técnica em malha fechada (controlador liga-desliga), quanto na técnica multinível modificada, ambas apresentadas anteriormente, compromete o uso das técnicas de modulação descontínua com grampeamento das fases e baseadas no uso de ‘ μ ’, já que o valor desta variável é determinado pela técnica de controle das tensões CC.

O controle em malha fechada das correntes nas fases também fica impossibilitado, uma vez que as tensões de referência impostas por este controlador sofrem modificações com a adição do sinal de seqüência zero v_h que é dependente do valor de ‘ μ ’, o qual é determinado pela técnica de controle das tensões CC.

Nestes casos, é interessante o uso de métodos para manter o equilíbrio das tensões nos capacitores do barramento CC que não necessitem alterar o valor de ‘ μ ’. A utilização de circuitos auxiliares conectados ao barramento, é um exemplo. Três possibilidades são apresentadas em VON JOUANNE, DAÍ e ZHANG (2002). Na figura 6.14 é mostrada uma dessas possibilidades. No circuito mostrado, quando a tensão em um dos capacitores excede um valor limite, os interruptores auxiliares S_{z1} e S_{z2} são disparados de forma que o indutor L transfere a carga excedente de um capacitor para outro, mantendo as tensões equilibradas. Esta solução é muito utilizada em fontes UPS para manter balanceadas as tensões nas baterias.

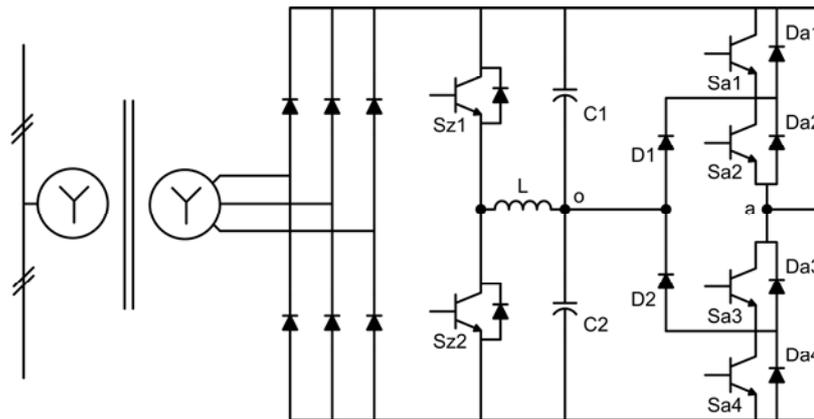


Figura 6.14 – Controle das tensões nos capacitores CC com interruptores auxiliares no inversor de três níveis.

Outra maneira de manter os valores das tensões nos capacitores CC iguais sem o uso de ‘ μ ’ é utilizando, na entrada do retificador, um transformador com dois enrolamentos no secundário, ligados cada um a uma ponte retificadora e a um capacitor do barramento, como mostrado na figura 6.15 (WU, 2005). Os dois enrolamentos devem garantir a mesma tensão em cada um dos capacitores caso não sejam utilizados interruptores controlados nas pontes retificadoras.

As possibilidades mostradas nas figuras 6.14 e 6.15 não utilizam a razão de distribuição vetorial ‘ μ ’ para controlar as tensões nos capacitores CC, mas possuem a desvantagem de aumentar a quantidade de dispositivos semicondutores e portanto aumentar os custo e as perdas no sistema de acionamento.

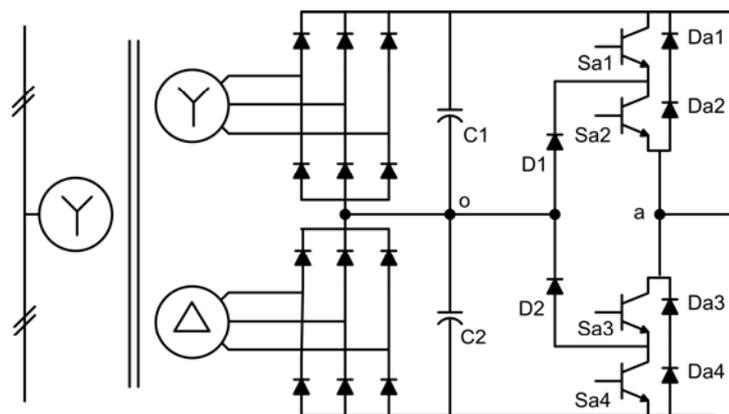


Figura 6.15 – Controle das tensões nos capacitores CC com dupla ponte retificadora no inversor de três níveis.

6.7 RESULTADOS DE SIMULAÇÃO

Foram realizadas simulações para verificar o controle das tensões nos capacitores do barramento CC em malha fechada com o uso da técnica do controlador

liga-desliga (figura 6.10). Em todas as simulações foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 750 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

6.7.1 Teste de simulação 1: Método 1 de controle das tensões CC em malha fechada com controlador liga-desliga

No Método 1 de controle das tensões CC em malha fechada utilizando um controlador liga-desliga, o valor de ‘ μ ’ foi feito igual a 0 ou 1 de acordo com o erro entre o valor calculado pela simulação e o valor estabelecido para a tensão no capacitor C_2 ($E/2$). O sinal de corrente calculado para o capacitor não foi utilizado, em seu lugar foi tomado o erro entre o valor anterior da tensão e o valor atual, para verificar se houve um aumento ou uma diminuição da tensão no capacitor com o valor de ‘ μ ’ determinado no período anterior. O objetivo dessa simulação foi verificar o controle das tensões CC sem a necessidade de aquisição do sinal de corrente.

Na figura 6.16 são mostrados os resultados de simulação para os sinais de ‘ μ ’ e tensões nos capacitores do barramento CC com a utilização do Método 1 de controle em malha fechada.

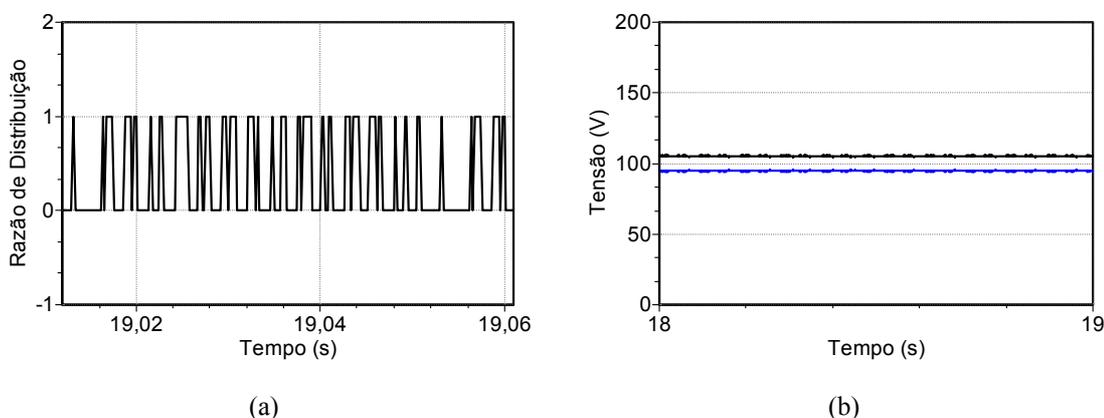


Figura 6.16 – Resultados de simulação com inversor de três níveis: controlador liga-desliga com o Método 1. (a) Valor de ‘ μ ’. (b) Tensões nos capacitores CC.

Na figura 6.16, o Método 1 de controle determina de forma não periódica o valor de ‘ μ ’, dependendo do ciclo de carga e descarga do capacitor C_2 . A alteração rápida no valor de ‘ μ ’, de 0 para 1 e vice-versa, manteve praticamente constante as tensões dos capacitores nos valores limites impostos pela técnica de controle ($V_{C1} = E/2 + 5\%$, $V_{C2} = E/2 - 5\%$). Contudo, este método não possibilita o grampeamento das fases de forma periódica, como nas técnicas de modulação descontínua que utilizam a razão de distribuição vetorial ‘ μ ’, definidas no capítulo 3.

6.7.2 Teste de simulação 2: Método 2 de controle das tensões CC em malha fechada com controlador liga-desliga

No Método 2 de controle das tensões CC em malha fechada utilizando um controlador liga-desliga, o valor de ‘ μ ’ foi feito variável (0 ou 1) de acordo com as Variações 2 e 3 definidas no capítulo 3. A partir do erro entre o valor calculado pela simulação e o valor estabelecido para a tensão no capacitor C_2 ($E/2$) é escolhida qual das duas Variações deve ser imposta no período. Novamente, o sinal de corrente calculado para o capacitor não foi utilizado, em seu lugar foi tomado o erro entre o valor anterior da tensão e o valor atual, para verificar se houve um aumento ou uma diminuição da tensão no capacitor com o valor de ‘ μ ’ determinado no período anterior.

Na figura 6.17 são mostrados os resultados de simulação para os sinais de ‘ μ ’ e tensões nos capacitores do barramento CC com a utilização do Método 2 de controle em malha fechada.

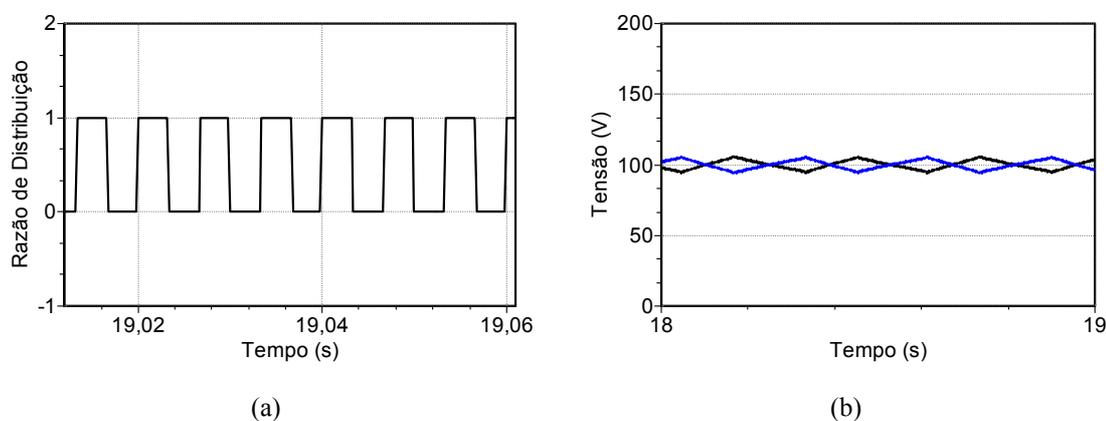


Figura 6.17 – Resultados de simulação com inversor de três níveis: controlador liga-desliga com o Método 2. (a) Valor de ‘ μ ’. (b) Tensões nos capacitores CC.

Na figura 6.17, a razão de distribuição ‘ μ ’ segue uma função periódica, dependendo do ciclo de carga e descarga do capacitor C_2 . A alteração no valor de ‘ μ ’, de 0 para 1 e vice-versa, é mais lenta que no Método 1 mostrado anteriormente, o que leva às tensões dos capacitores a oscilarem entre os limites impostos pela técnica de controle ($E/2 \pm 5\%$). Este método possibilita um grampeamento das fases diferente das técnicas de modulação descontínua que utilizam a razão de distribuição vetorial ‘ μ ’, uma vez que este valor é determinado pelo método de controle das tensões CC e não pela técnica de modulação descontínua.

Resultados de simulação mostraram que com o grampeamento ocorrendo de forma não determinística, obtido com o Método 2 de controle das tensões CC, a redução das perdas por comutação é menor do que a obtida com as técnicas de modulação descontínua apresentadas no capítulo 3. Também, o índice de WTHD das tensões de linha é maior com o grampeamento obtido com o Método 2.

6.8 RESULTADOS EXPERIMENTAIS

Foram realizados alguns ensaios experimentais sob diferentes condições e objetivando verificar o comportamento das tensões nos capacitores do barramento CC no inversor de três níveis com diodos de grampeamento, aplicando a técnica de modulação multinível. Todos os testes foram realizados sem o controlador PI de corrente que foi utilizado em alguns ensaios mostrados no capítulo 5.

6.8.1 Teste experimental 1: tensões nos capacitores CC para frequência de comutação de 750 Hz e capacitores de 4400 μF

Neste teste foi utilizada uma frequência de comutação f_s de 750 Hz e capacitores de 4400 μF para verificar o comportamento das tensões CC com valores diferentes de ‘ μ ’. Foi aplicada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.

- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz, $f_s = 750$ Hz.
- Capacitores do barramento CC: $C_1 = C_2 = 4400$ μ F.

Nas figuras 6.18 e 6.19 são mostradas as curvas de tensão de pólo, tensão no capacitor C_1 e corrente em uma fase para os casos $\mu = 0,5$ e ' μ ' variável (0 ou 1), respectivamente. O valor de ' μ ' foi feito variável de acordo com a técnica de modulação descontínua que considera o ângulo entre a tensão e a corrente na carga para manter o grampeamento na fase durante os instantes em que a corrente é máxima, conforme discutido em ALVES (1998) para dois níveis.

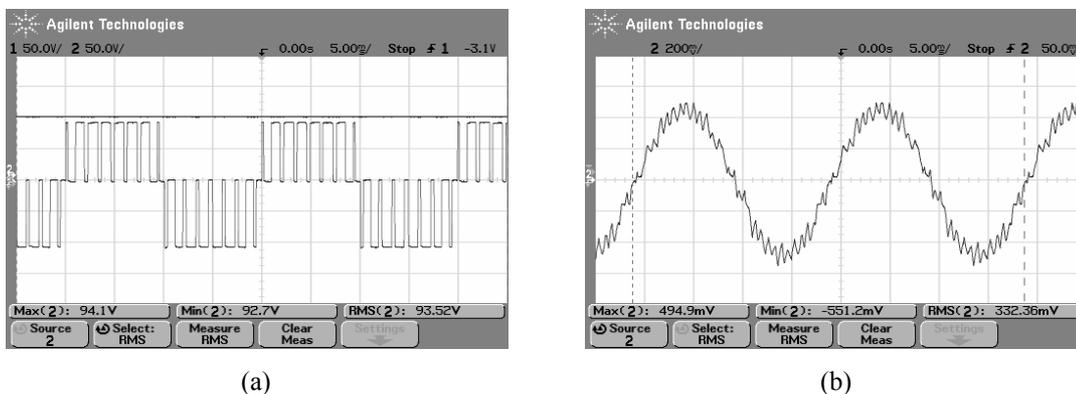


Figura 6.18 – Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

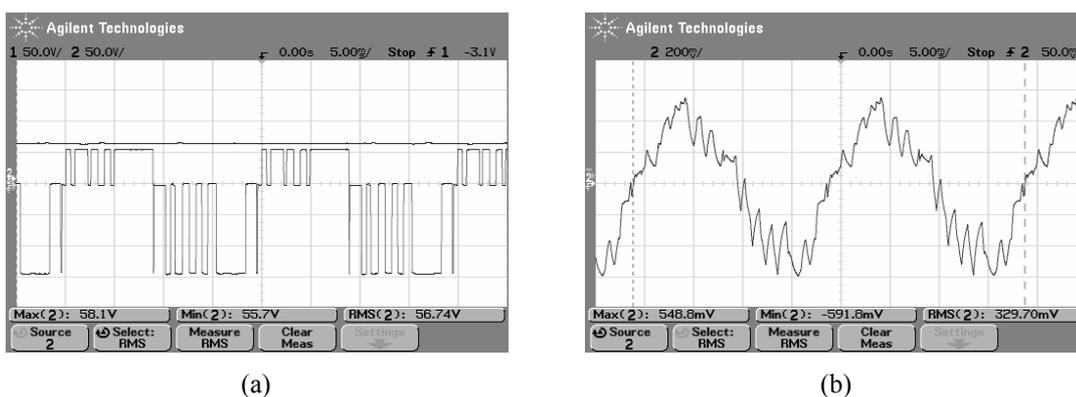


Figura 6.19 – Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

De acordo com a figura 6.18.a, foi mantido o equilíbrio das tensões nos capacitores CC, com uma pequena diferença em seus valores, com a utilização da técnica multinível modificada, para $\mu = 0,5$ e $f_s = 750$ Hz. Já para o caso mostrado na

figura 6.19.a, observa-se que o desequilíbrio provocado nas tensões dos capacitores CC pelo uso de ‘ μ ’ variável, com frequência de comutação de 750 Hz, leva a uma deformação nas tensões de pólo que se propaga nos demais sinais na saída do inversor.

Por causa desta deformação, o sinal de tensão de linha, para ‘ μ ’ variável, possui um conteúdo harmônico bem maior (WTHD = 7,4052%) que para o caso $\mu = 0,5$ (WTHD = 1,6287%). Desta forma, o sinal da corrente na fase é bastante distorcido, como mostrado na figura 6.19.b.

Na figura 6.18.b, as oscilações presentes no sinal de corrente devem-se ao baixo valor da frequência de comutação. Este sinal não apresenta as deformações provocadas pelo desequilíbrio das tensões CC, como no caso mostrado na figura 6.19.b.

Existe um limite mínimo na frequência de comutação para o qual as tensões dos capacitores CC perdem o equilíbrio com a utilização de ‘ μ ’ variável, aplicando a técnica multinível modificada. É possível que este limite seja alterado com o aumento da tensão do barramento CC e da corrente máxima por fase. Ele também pode depender dos capacitores CC instalados, da frequência de modulação, do índice de modulação e das características da carga. Por isso, outros testes experimentais foram realizados com alguns destes parâmetros modificados, com o objetivo de determinar os valores limites para a frequência de comutação. Para dada ensaio, a frequência foi elevada, a partir de 750 Hz, de forma a determinar o valor mínimo para que o equilíbrio das tensões CC fosse mantido. Assim, chegou-se ao valor de 3500 Hz para todos os ensaios realizados, cujos resultados são apresentados a seguir.

6.8.2 Teste experimental 2: tensões nos capacitores CC para frequência de comutação de 4350 Hz e capacitores de 4400 μ F

Neste teste foi utilizada uma frequência de comutação f_s de 4350 Hz e capacitores de 4400 μ F para verificar o comportamento das tensões CC com valores diferentes de ‘ μ ’. Foi aplicada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Freqüência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

Nas figuras 6.20 e 6.21 são mostradas as curvas de tensão de pólo, tensão no capacitor C_1 e corrente em uma fase para os casos $\mu = 0,5$ e ' μ ' variável (0 ou 1), respectivamente. O valor de ' μ ' foi feito variável de acordo com a técnica de grampeamento utilizada no teste experimental 1.

Na figura 6.20, para $\mu = 0,5$ e $f_s = 4350 \text{ Hz}$, observa-se que as tensões nos dois capacitores do barramento CC são praticamente iguais e a corrente na fase possui uma forma bem senoidal.

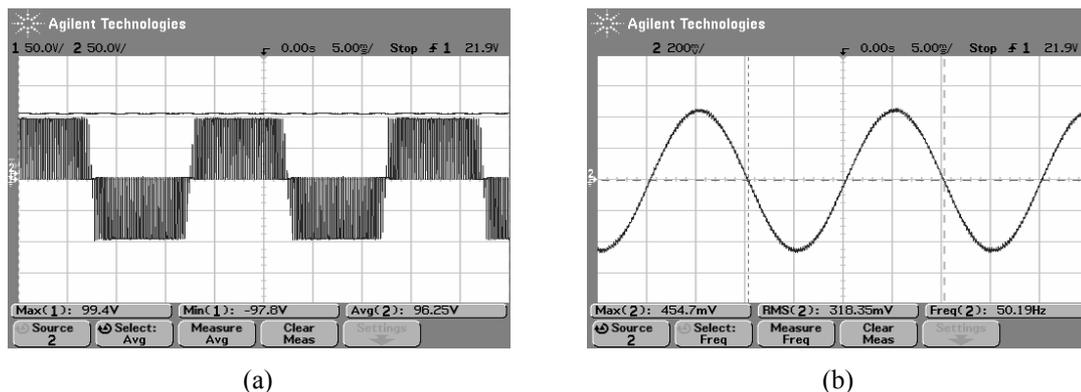


Figura 6.20 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $C_1 = C_2 = 4400 \mu\text{F}$, $\mu = 0,5$.
 (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Na figura 6.21.c, devido às características da carga, ($\cos(\phi) = 0,99$), o algoritmo de comando do inversor não conseguiu realizar o grampeamento da tensão de pólo no ponto máximo da corrente na fase, segundo a técnica descrita no experimento 1. De acordo com a figura, o grampeamento foi aplicado em dois instantes diferentes em cada semi-ciclo do sinal. Também, o uso de ' μ ' variável, para $f_s = 4350 \text{ Hz}$, não alterou o equilíbrio das tensões nos dois capacitores, apesar da pequena diferença em seus valores ($V_{C1} = 105,2$ e $V_{C2} = -94,3$), conforme mostrado na

figura 6.21.a. O sinal de corrente, mostrada na figura 6.21.b, possui pequenas oscilações provocadas pela técnica de grampeamento.

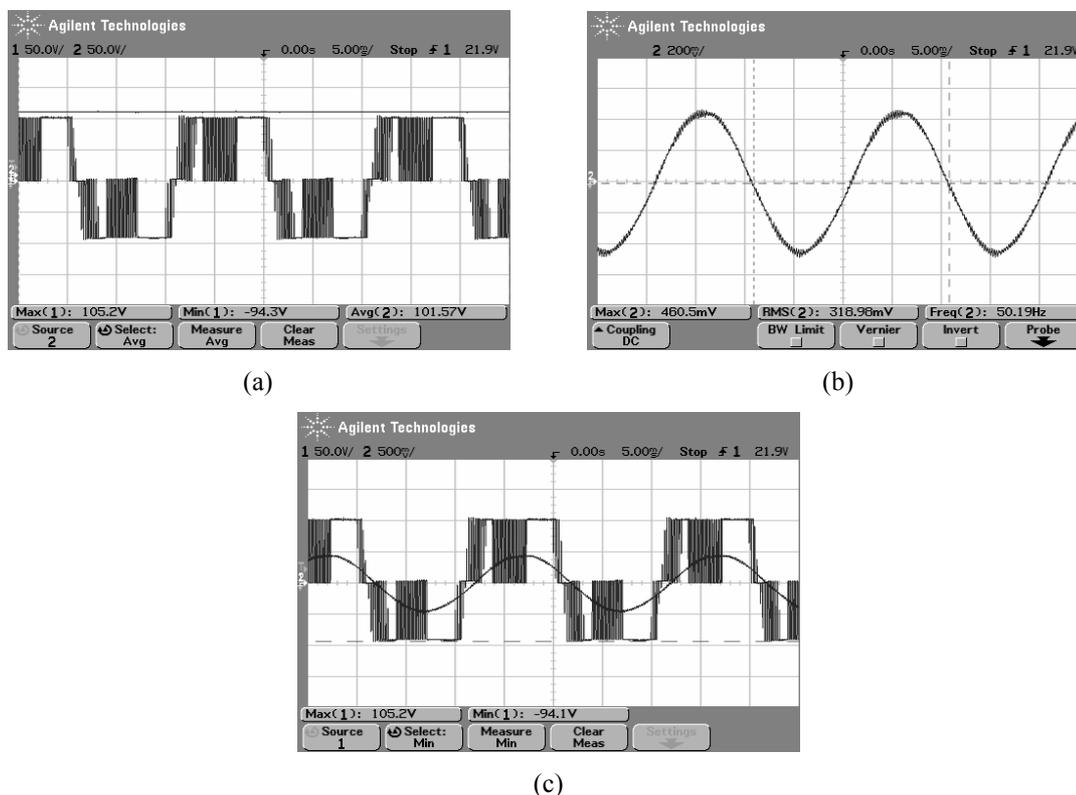


Figura 6.21 – Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $\mu = 0$ ou 1.
 (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div). (c) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div).

6.8.3 Teste experimental 3: tensões nos capacitores CC para freqüência de comutação de 750 Hz e capacitores de 660 μ F

Neste teste foi utilizada uma freqüência de comutação f_s de 750 Hz e capacitores de 660 μ F para verificar o comportamento das tensões CC com valores diferentes de ' μ '. Foi aplicada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20$ Ω , $L = 9$ mH, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,9$.
- Freqüência: $f_m = 50$ Hz, $f_s = 750$ Hz.

- Capacitores do barramento CC: $C_1 = C_2 = 660 \mu\text{F}$.

Nas figuras 6.22 e 6.23 são mostradas as curvas de tensão de pólo, tensão no capacitor C_1 e corrente em uma fase para o caso $\mu = 0,5$ e para ‘ μ ’ variando (0 ou 1) de acordo com a técnica de grampeamento que considera o ângulo de fase, conforme explicado no teste experimental 1.

A diferença entre os sinais mostrados nas figuras 6.22.a e 6.23.a e seus equivalentes, com $C_1 = C_2 = 4400 \mu\text{F}$ (figuras 6.18.a e 6.19.a), está no fato de que o uso dos capacitores de $660 \mu\text{F}$ acarretou o aumento das oscilações em suas tensões.

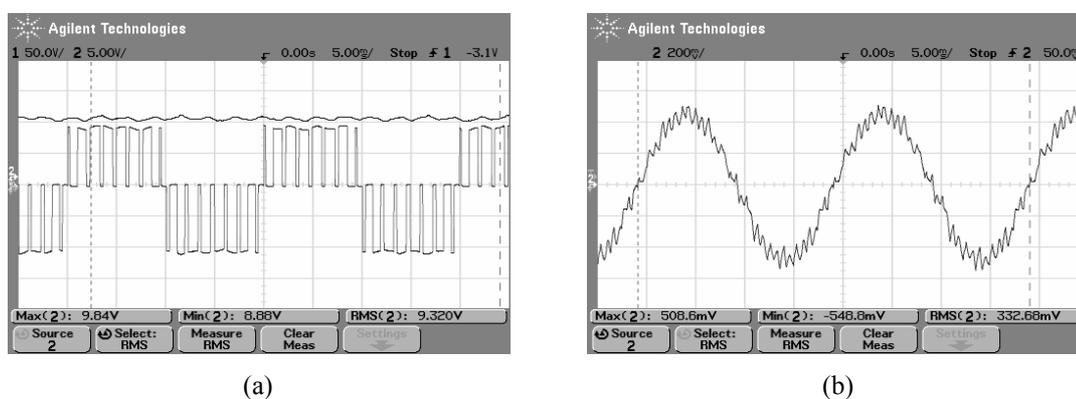


Figura 6.22 – Resultados experimentais com inversor de três níveis, $f_s = 750 \text{ Hz}$, $C_1 = C_2 = 660 \mu\text{F}$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

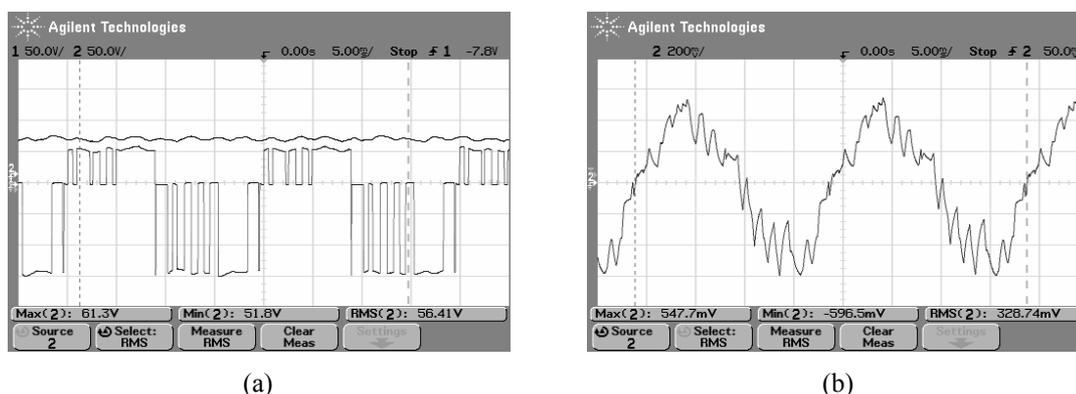


Figura 6.23 – Resultados experimentais com inversor de três níveis, $f_s = 750 \text{ Hz}$, $C_1 = C_2 = 660 \mu\text{F}$, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Ensaios realizados com o módulo retificador trifásico mostraram que o *ripple* presente nas tensões dos capacitores tem uma frequência típica de três vezes a frequência dos sinais de tensão na saída do auto-transformador (60 Hz), fornecendo um período de aproximadamente 5,55 ms. Também, a amplitude das oscilações

umenta com a redução das capacitâncias e com o aumento da carga acoplada ao retificador. Contudo, com a inclusão e operação do módulo inversor sob as condições impostas nesta subseção, foi observado que o processo de carga e descarga dos capacitores, devido à modulação do inversor de três níveis, aumentou a frequência das oscilações em pouco mais de duas vezes, alterando o período destas oscilações para aproximadamente 2,5 ms.

Mesmo com o aumento das oscilações nos capacitores CC, provocado pela redução nos valores de suas capacitâncias, não se observa uma alteração visível nos sinais de corrente mostrados nas figuras 6.22.b e 6.23.b, com seus equivalentes mostrados nas figuras 6.18.b e 6.19.b.

Houve um pequeno aumento no índice de WTHD da tensão de linha com o uso dos capacitores de 660 μF (1,7647%), comparado com o valor obtido usando capacitores de 4400 μF (1,6287%), para $\mu = 0,5$. Entretanto, a redução no custo final da estrutura (retificado mais inversor) pode justificar a utilização de capacitores menores.

6.8.4 Teste experimental 4: tensões nos capacitores CC para frequência de comutação de 4350 Hz e capacitores de 660 μF

Neste teste foi utilizada uma frequência de comutação f_s de 4350 Hz e capacitores de 660 μF para verificar o comportamento das tensões CC com valores diferentes de ' μ '. Foi aplicada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 660 \mu\text{F}$.

Nas figuras 6.24 e 6.25 são mostradas as curvas de tensão de pólo, tensão no capacitor C_1 e corrente em uma fase para o caso de $\mu = 0,5$ e para ' μ ' variando (0 ou 1)

de acordo com a técnica de grampeamento que considera o ângulo de fase, conforme explicado no teste experimental 1.

De acordo com as figuras 6.24.a e 6.25.a, também foram verificadas as oscilações nas tensões dos capacitores, provocadas pela redução das capacitâncias, quando o inversor de três níveis foi operado com uma frequência de comutação elevada (4350 Hz). Nesta frequência pode-se observar melhor as implicações nos sinais de corrente com o aumento das oscilações nas tensões CC. As correntes mostradas nas figuras 6.24.b e 6.25.b possuem uma distorção visivelmente maior que suas correspondentes, para o caso em que $C_1 = C_2 = 4400 \mu\text{F}$ (figuras 6.20.b e 6.21.b).

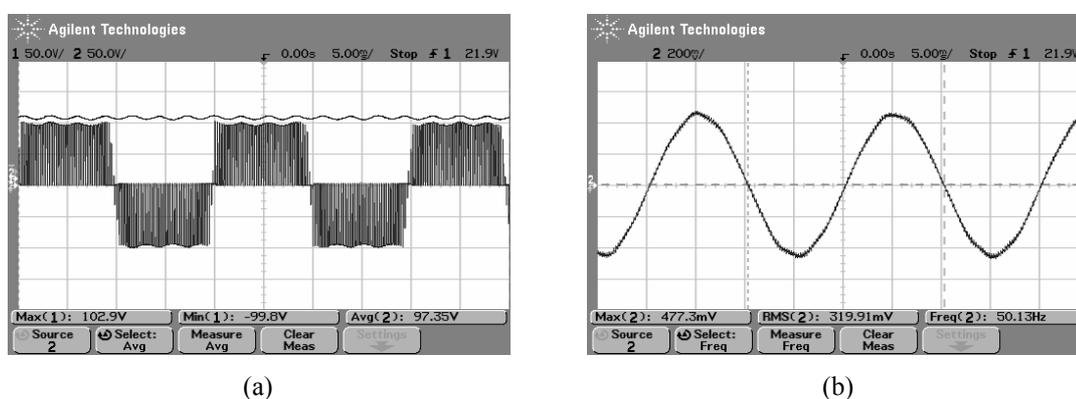


Figura 6.24 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $C_1 = C_2 = 660 \mu\text{F}$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

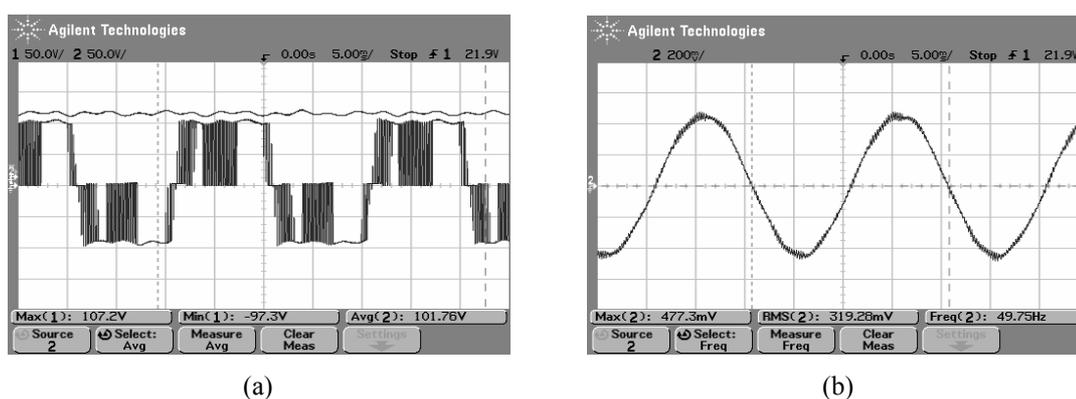


Figura 6.25 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $C_1 = C_2 = 660 \mu\text{F}$, $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Apesar do uso de capacitores menores, o equilíbrio das tensões foi mantido para $\mu = 0,5$ em baixa frequência e para $\mu = 0,5$ ou ‘ μ ’ variável (0 ou 1) em frequência

elevada, às custas de uma oscilação maior em torno do valor de equilíbrio em cada capacitor. Por isso, foram mantidos os capacitores de 4400 μF para os demais ensaios.

6.8.5 Teste experimental 5: tensões nos capacitores CC para frequência de comutação de 750 Hz e inclusão de resistor de 22 k Ω em paralelo com C_2

Neste teste foi utilizada uma frequência de comutação f_s de 750 Hz e capacitores de 4400 μF . Foi incluído um resistor ($R_2 = 22 \text{ k}\Omega$) em paralelo com o capacitor C_2 (figura 2.2.a) com o objetivo de criar um desequilíbrio inicial nas tensões dos dois capacitores. Também foram aplicados diferentes valores para ' μ ' na técnica multinível modificada apresentada na seção 6.5 para verificar o comportamento das tensões dos capacitores CC sem controle em malha fechada. Foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 750 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

Nas figuras 6.26 e 6.27 são mostradas as curvas de tensão de pólo, tensão no capacitor C_1 e corrente em uma fase para o caso $\mu = 0,5$ e para ' μ ' variando (0 ou 1) de acordo com a técnica de grampeamento descrita no teste experimental 1.

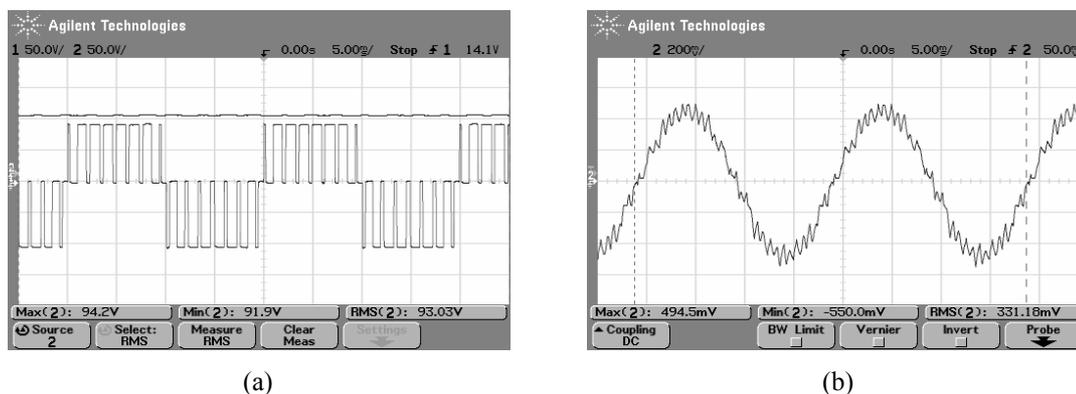


Figura 6.26 – Resultados experimentais com inversor de três níveis, $f_s = 750 \text{ Hz}$, $C_1 = C_2 = 4400 \mu\text{F}$, $R_1 = 0$, $R_2 = 22 \text{ k}\Omega$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

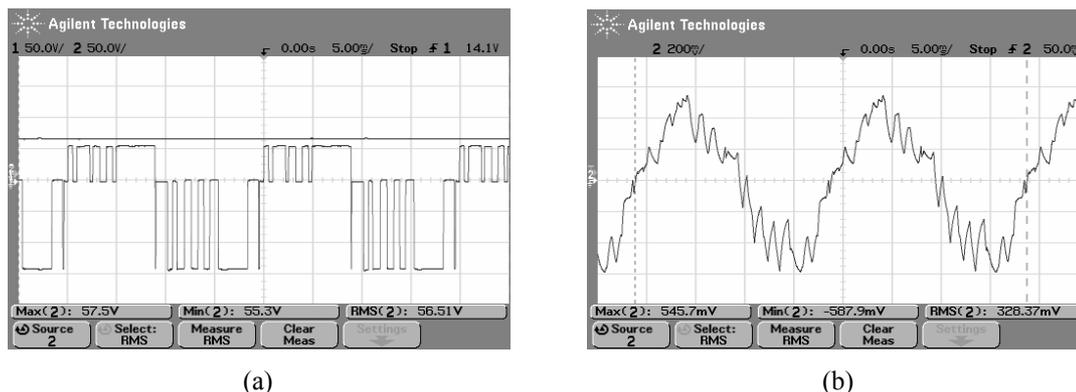


Figura 6.27 – Resultados experimentais com inversor de três níveis, $f_s = 750$ Hz, $C_1 = C_2 = 4400$ μ F, $R_1 = 0$, $R_2 = 22$ k Ω , $\mu = 0$ ou 1. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Como mostrado nas figuras 6.26 e 6.27, o fato de se conectar um resistor de 22 k Ω em paralelo com o capacitor C_2 não acarretou nenhuma modificação aparente nos sinais de tensão e corrente obtidos neste ensaio, quando comparados com os resultados obtidos com o teste experimental 1.

Outro teste realizado com as mesmas condições do teste experimental 5, mas para frequência de comutação de 4350 Hz, mostrou os mesmos resultados que o teste experimental 2. Assim, o equilíbrio das tensões nos capacitores foi mantido para $\mu = 0,5$ em baixa frequência e para $\mu = 0,5$ ou ‘ μ ’ variável (0 ou 1) em frequências elevadas, mesmo com a inclusão de um resistor em paralelo com o capacitor C_2 .

6.8.6 Teste experimental 6: tensões nos capacitores CC para frequência de comutação de 750 Hz e índice de modulação pequeno

Neste teste foi utilizada uma frequência de comutação f_s de 750 Hz e capacitores de 4400 μ F. Foi aplicado um índice de modulação m de 0,4 para verificar o comportamento das tensões CC com valores diferentes de ‘ μ ’. Foi utilizada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20$ Ω , $L = 9$ mH, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200$ V.
- Índice de modulação: $m = 0,4$.

- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 750 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

Nas figuras 6.28 e 6.29 são mostradas as curvas de tensão de pólo e corrente em uma fase para o caso $\mu = 0,5$ e para $\mu = \text{Variação 4}$, respectivamente.

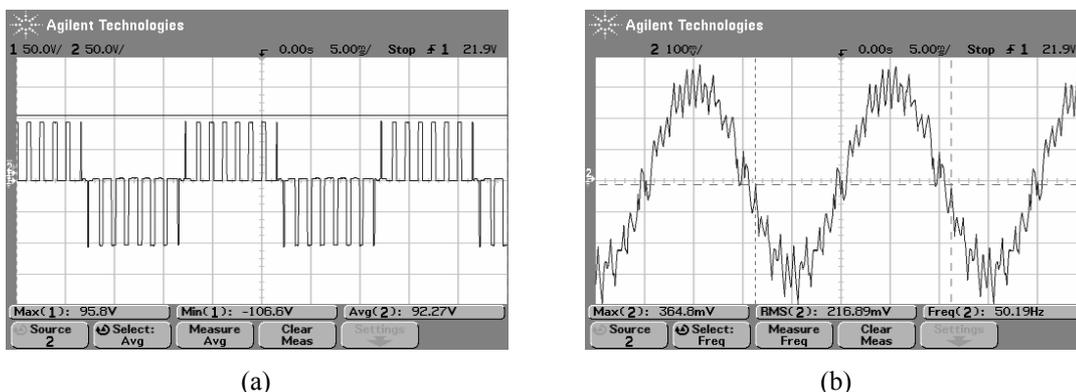


Figura 6.28 – Resultados experimentais com inversor de três níveis, $f_s = 750 \text{ Hz}$, $C_1 = C_2 = 4400 \mu\text{F}$, $m = 0,4$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div).

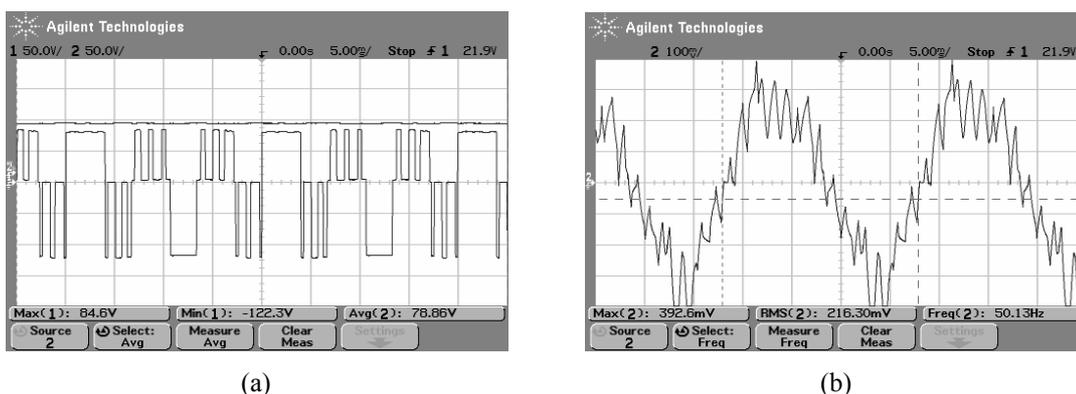


Figura 6.29 – Resultados experimentais com inversor de três níveis, $f_s = 750 \text{ Hz}$, $C_1 = C_2 = 4400 \mu\text{F}$, $m = 0,4$, $\mu = \text{Variação 4}$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div).

Na figura 6.28, a operação do inversor de três níveis com um baixo índice de modulação ($m = 0,4$), e utilizando $\mu = 0,5$ também manteve as tensões nos capacitores equilibradas. Novamente, as oscilações presentes no sinal de corrente devem-se ao baixo valor da frequência de comutação (750 Hz).

Na figura 6.29.a, observa-se que o desequilíbrio foi menor com $m = 0,4$ do que quando utilizando um índice de modulação $m = 0,9$ (teste experimental 1). Para $m = 0,4$ não existem os vetores do grupo médio no padrão de vetores para a modulação,

logo, não existe o efeito desses vetores no ciclo de carga e descarga dos capacitores do barramento CC. Na figura 6.29.b, o sinal da corrente na fase possui distorções elevadas por causa do desequilíbrio das tensões CC, da técnica de grampeamento e da frequência de comutação de 750 Hz.

6.8.7 Teste experimental 7: tensões nos capacitores CC para frequência de comutação de 4350 Hz e índice de modulação pequeno

Neste teste foi utilizada uma frequência de comutação f_s de 4350 Hz e capacitores de 4400 μF . Foi aplicado um índice de modulação m de 0,4 para verificar o comportamento das tensões CC com valores diferentes de ' μ '. Foi utilizada a técnica multinível modificada apresentada na seção 6.5. sem controle das tensões CC em malha fechada. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,4$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 4350 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

Nas figuras 6.30 e 6.31 são mostradas as curvas de tensão de pólo e corrente em uma fase para o caso $\mu = 0,5$ e para $\mu = \text{Variação } 4$, respectivamente.

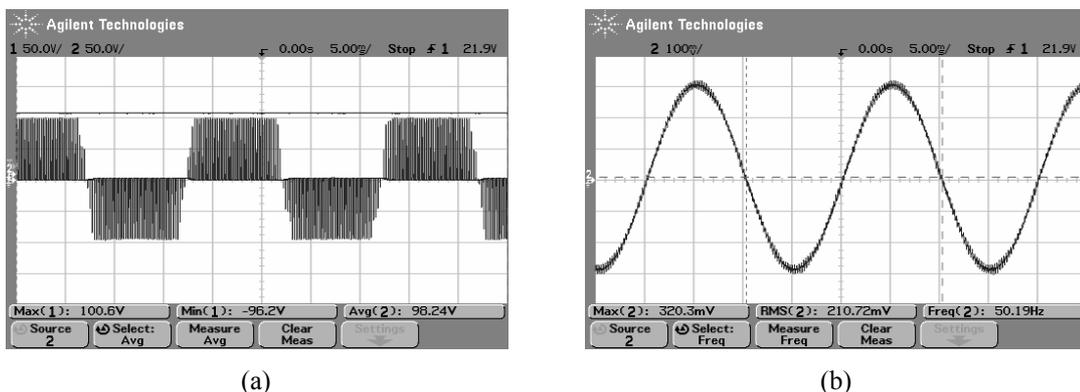


Figura 6.30 – Resultados experimentais com inversor de três níveis, $f_s = 4350 \text{ Hz}$, $C_1 = C_2 = 4400 \mu\text{F}$, $m = 0,4$, $\mu = 0,5$. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div).

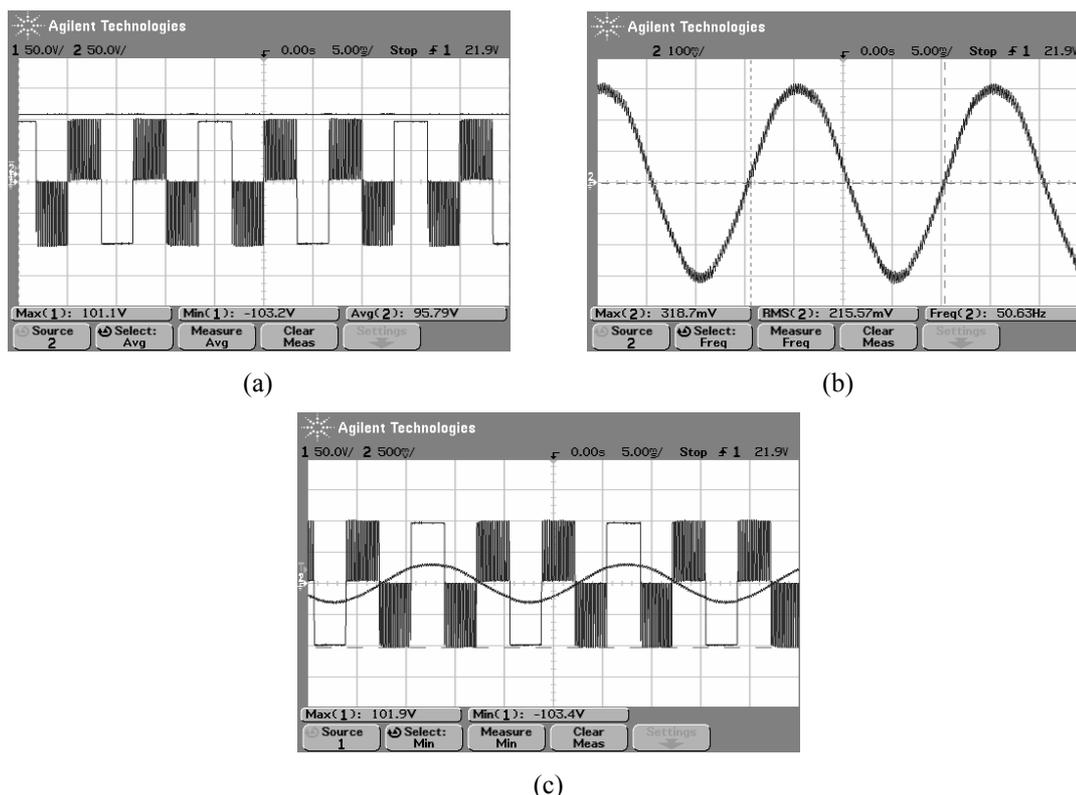


Figura 6.31 – Resultados experimentais com inversor de três níveis, $f_s = 4350$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,4$, $\mu =$ Variação 4. (a) Tensão V_{C1} (superior) e tensão de pólo (inferior) (50 V/div, 5 ms/div). (b) Corrente na fase (1 A/div, 5 ms/div). (c) Tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div).

Em ambos os casos analisados, para $\mu = 0,5$ ou $\mu =$ Variação 4, com $m = 0,4$ e $f_s = 4350$ Hz, o equilíbrio das tensões CC foi mantido e os sinais de corrente tiveram oscilações pequenas.

Em especial no segundo caso, mostrado na figura 6.31, com a utilização de $\mu =$ Variação 4, o grampeamento da tensão de pólo ocorreu no ponto máximo da corrente na fase, devido exclusivamente às características da carga, conforme mostrado na figura 6.31.c. Na figura 6.31.b, o sinal de corrente possui deformações no semi-ciclo positivo por causa da técnica de grampeamento das fases.

6.8.8 Teste experimental 8: tensões nos capacitores CC para o inversor acionando um motor de indução com carga

Este teste foi realizado para um motor de indução de 5 HP com um gerador CC acoplado ao seu eixo e acionando uma carga resistiva (lâmpadas incandescentes). Neste caso, foram repetidos os mesmos testes anteriores feitos para a carga RL. Como os resultados obtidos foram praticamente iguais, foi então realizado um ensaio

elevando a potência do barramento para verificar o comportamento final no equilíbrio das tensões dos capacitores com o inversor submetido aos valores máximos de tensão de entrada CC (auto-transformador trifásico) e corrente de saída (motor) limitados pela montagem.

Neste teste, o valor de ‘ μ ’ foi feito variável (0 ou 1) de acordo com a técnica de grampeamento que considera o ângulo de fase, conforme explicado no teste experimental 1. Foi utilizada uma frequência de comutação de 3750 Hz, com o objetivo de verificar o comportamento das tensões CC. Foi aplicada a técnica multinível modificada apresentada na seção 6.5. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: motor de indução de 5 HP, $\cos(\phi) = 0,82$.
- Tensão total do barramento CC: $E = 400$ V.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50$ Hz, $f_s = 3750$ Hz.
- Corrente máxima por fase: $I_{\max} = 7,5$ A.
- Razão de distribuição vetorial: $\mu = 0$ ou 1.

Na figura 6.32 são mostrados os sinais de tensão de pólo e corrente em uma fase.

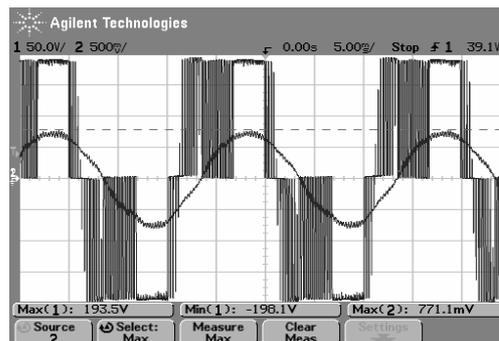


Figura 6.32 – Resultados experimentais com inversor de três níveis para tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div), $f_s = 3750$ Hz, $C_1 = C_2 = 4400$ μ F, $m = 0,9$, $\mu = 0$ ou 1, considerando o ângulo de fase.

Na figura anterior, pode-se ver que foi mantido o equilíbrio das tensões nos capacitores do barramento CC com o uso da técnica multinível modificada, para os níveis de tensão de entrada e corrente de saída máximos limitados pela montagem.

Também, com o uso de ‘ μ ’ variável (0 ou 1) foi imposto o grampeamento da tensão de pólo nos instantes correspondentes aos valores máximo da corrente na fase. Observa-se que para uma frequência de comutação de 3750 Hz, o sinal de corrente possui oscilações pequenas, mas apresenta deformações por causa das características da carga.

Em todos os testes experimentais realizados, cujos resultados foram mostrados ao longo desta seção, sob as diferentes condições descritas em cada um, foi verificado o valor mínimo de 3500 Hz para a frequência de comutação, para que fosse mantido o equilíbrio das tensões com o uso de ‘ μ ’ variável (0 ou 1) a partir da técnica multinível modificada apresentada na seção 6.5. Apenas a frequência de modulação de 50 Hz não foi modificada nestes testes.

A realização destes ensaios é fundamental na determinação dos limites de utilização das técnicas de modulação, para inversores de três níveis com diodos de grampeamento, que são auto-suficientes em termos de equalização das tensões do barramento CC e não necessitam do controle em malha fechada.

6.8.9 Teste experimental 9: Método 1 de controle das tensões CC em malha fechada com controlador liga-desliga

Este teste foi realizado para verificar a eficiência no controle das tensões CC em malha fechada com o uso do controlador liga-desliga, a partir do Método 1 definido no teste de simulação 1. A técnica do controlador liga-desliga apresentada na seção 6.3 foi implementada no algoritmo de comando do DSP e juntamente com a monitoração do sinal de tensão no capacitor C_2 possibilitou o controle da tensão neste capacitor, para ‘ μ ’ variável e para frequência de comutação de 750 Hz. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 750 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

No Método 1 de controle das tensões CC em malha fechada utilizando um controlador liga-desliga, o valor de ‘ μ ’ foi feito igual a 0 ou 1 de acordo com o erro entre o valor adquirido pelo conversor A/D do DSP e o valor estabelecido para a tensão no capacitor C_2 ($E/2$). O sinal de corrente no capacitor não foi adquirido, em seu lugar foi tomado o erro entre o valor anterior da tensão e o valor atual, para verificar se houve um aumento ou uma diminuição da tensão no capacitor com o valor de ‘ μ ’ determinado no período anterior. Com isso, eliminou-se a necessidade de medição da corrente no capacitor C_2 .

Na figura 6.33 são mostrados os sinais da tensão de pólo e da corrente em uma fase para este teste. Conforme mostrado no teste de simulação 1, o Método 1 de controle determina de forma não periódica o valor de ‘ μ ’, dependendo do ciclo de carga e descarga do capacitor C_2 .

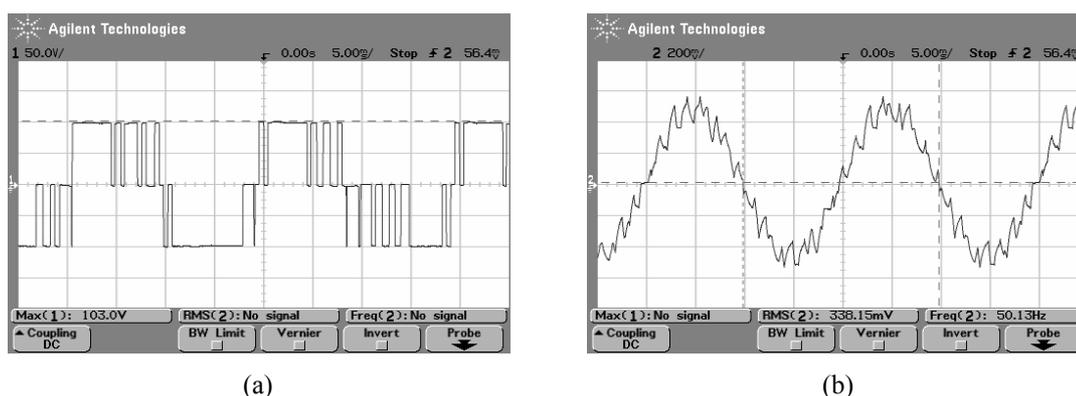


Figura 6.33 – Resultados experimentais com inversor de três níveis para o Método 1 de controle em malha fechada das tensões CC, $f_s = 750$ Hz, $\mu = 0$ ou 1. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

Na figura 6.33.a, observa-se que o controlador manteve as tensões nos capacitores equilibradas mesmo em baixa frequência de comutação (750 Hz) e utilizando $\mu = 0$ ou 1 conforme o Método 1 de controle. A alteração rápida no valor de ‘ μ ’, de 0 para 1 e vice-versa, manteve praticamente constante as tensões dos capacitores nos valores limites impostos pela técnica ($V_{C1} = E/2 + 5\%$, $V_{C2} = E/2 - 5\%$).

Na figura 6.33.b, o sinal de corrente possui oscilações elevadas devido à frequência de comutação utilizada (750 Hz) e ao grampeamento das fases.

Na figura 6.34 são mostrados os sinais da tensão de pólo e da corrente em uma fase quando se alterou propositalmente a tensão total do barramento para valores acima ou abaixo do valor de referência do controlador ($E = 200\text{ V}$).

Na figura 6.34.a, quando a tensão total do barramento foi elevada ($E > 200\text{ V}$), a tensão no capacitor C_2 continuou controlada no valor estabelecido, enquanto a tensão no capacitor C_1 aumentou para acompanhar a diferença entre E e V_{C2} .

Na figura 6.34.b, quando a tensão total do barramento foi reduzida ($E < 200\text{ V}$), a tensão no capacitor C_2 continuou controlada no valor estabelecido, enquanto a tensão no capacitor C_1 diminuiu para acompanhar a diferença entre E e V_{C2} .

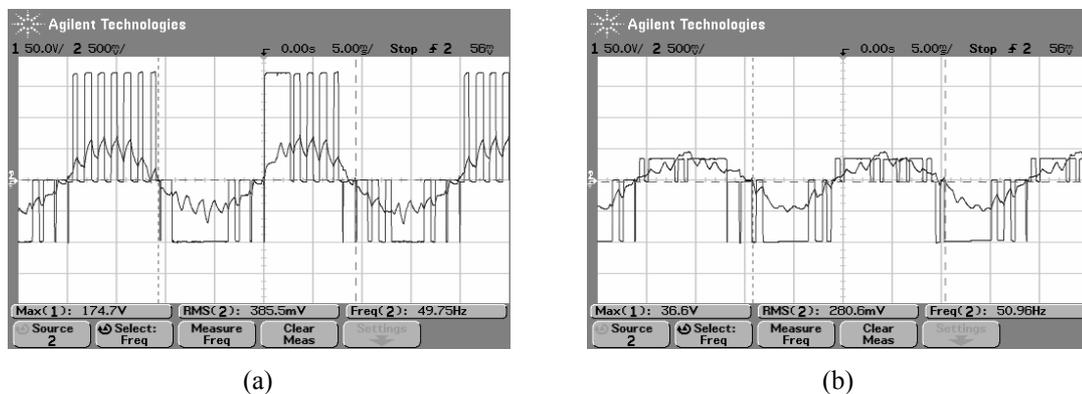


Figura 6.34 – Resultados experimentais com inversor de três níveis para tensão de pólo (50 V/div, 5 ms/div) e corrente na fase (5 A/div, 5 ms/div) utilizando o Método 1 de controle em malha fechada das tensões CC, $f_s = 750\text{ Hz}$, $\mu = 0$ ou 1. (a) $V_{C1} > V_{C2}$. (b) $V_{C1} < V_{C2}$.

O uso de ‘ μ ’ variável de forma não periódica pode não ser interessante com respeito aos índices de distorção harmônica. Enquanto que para este teste, o uso de $\mu = 0$ ou 1 com controlador liga-desliga forneceu um WTHD de 2,3337%, o uso de $\mu = 0,5$ sem controlador forneceu um WTHD de 1,6645%. Ou seja, houve um aumento de 40% no conteúdo harmônico dos sinais modulados das tensões de linha com a utilização do Método 1 de controle em malha fechada.

6.8.10 Teste experimental 10: Método 2 de controle das tensões CC em malha fechada com controlador liga-desliga

Este teste foi realizado para verificar a eficiência no controle das tensões CC em malha fechada com o uso do controlador liga-desliga, a partir do Método 2 definido no teste de simulação 2. A técnica do controlador liga-desliga apresentada na

seção 6.3 foi implementada no algoritmo de comando do DSP e juntamente com a monitoração do sinal de tensão no capacitor C_2 possibilitou o controle da tensão neste capacitor, para ' μ ' variável e para frequência de comutação de 750 Hz. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $R = 20 \Omega$, $L = 9 \text{ mH}$, $\cos(\phi) = 0,99$.
- Tensão total do barramento CC: $E = 200 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Frequência: $f_m = 50 \text{ Hz}$, $f_s = 750 \text{ Hz}$.
- Capacitores do barramento CC: $C_1 = C_2 = 4400 \mu\text{F}$.

No Método 2 de controle das tensões CC em malha fechada utilizando um controlador liga-desliga, o valor de ' μ ' foi feito variável (0 ou 1) de acordo com as Variações 2 e 3 definidas no capítulo 3. A partir do erro entre o valor adquirido pelo conversor A/D do DSP e o valor estabelecido para a tensão no capacitor C_2 ($E/2$) é escolhida qual das duas Variações deve ser imposta no período. Novamente, o sinal de corrente no capacitor não foi adquirido, em seu lugar foi tomado o erro entre o valor anterior da tensão e o valor atual, para verificar se houve um aumento ou uma diminuição da tensão no capacitor com o valor de ' μ ' determinado no período anterior. Com isso, eliminou-se a necessidade de medição da corrente no capacitor C_2 .

Na figura 6.35 são mostrados os sinais da tensão de pólo e da corrente em uma fase para este teste. O uso das variações 2 e 3, aliado ao do controlador liga-desliga, manteve as tensões nos dois capacitores oscilando entre os limites impostos pela técnica de controle ($E/2 \pm 5\%$), como no teste de simulação 2.

Na figura 6.35.a, observa-se que o Método 2 possibilitou o grampeamento da fase de forma periódica, mas diferente do grampeamento obtido com as técnicas de modulação descontínua que utilizam a razão de distribuição vetorial ' μ '. Na figura 6.35.b, o sinal de corrente possui oscilações elevadas devido à frequência de comutação utilizada (750 Hz) e ao grampeamento das fases.

O Método 2 de controle em malha fechada não mostrou o mesmo desempenho que o Método 1. O desequilíbrio aconteceu sempre que a tensão total do barramento CC foi alterada para mais ou para menos do valor estipulado no programa de

comando. Esse problema foi causado pela falta de monitoramento da tensão E . Uma re-alimentação desse sinal possibilitaria o ajuste de forma dinâmica do seu valor de referência no programa.

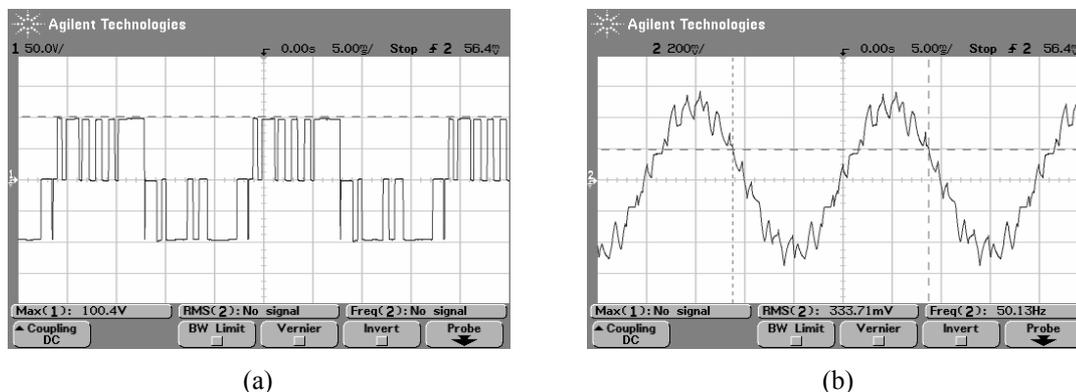


Figura 6.35 – Resultados experimentais com inversor de três níveis para o Método 2 de controle em malha fechada das tensões CC, $f_s = 750$ Hz, $\mu = 0$ ou 1. (a) Tensão de pólo (50 V/div, 5 ms/div). (b) Corrente na fase (2 A/div, 5 ms/div).

A combinação das variações 1 e 4 também possibilitou o equilíbrio das tensões nos capacitores, conforme o Método 2. As demais combinações para as quatro variações foram testadas e não forneceram resultados satisfatórios para o caso da carga RL utilizada.

O Método 2 de controle das tensões nos capacitores CC forneceu um índice de WTHD para o sinal modulado da tensão de linha de 2,3085%, contra um valor de 2,3337% com o uso do Método 1. Logo, os dois métodos fornecem praticamente o mesmo conteúdo harmônico nos sinais de saída do inversor.

Ensaio realizado com um motor de indução de 5 HP não evidenciaram o controle das tensões CC com o uso do controlador liga-desliga aplicando as quatro variações de ' μ ' (Método 2). Isso sugere que essa técnica de controle é dependente da carga alimentada pelo inversor e pode não ser eficiente em determinadas condições.

O uso do controlador liga-desliga, fazendo $\mu = 0$ ou 1 como definido no Método 1, manteve as tensões equilibradas nos dois capacitores, tanto para a carga RL quanto para o motor de indução, ambos utilizados nos experimentos.

Os ensaios anteriores foram realizados em malha aberta de corrente. Quando se aplicou o controlador de corrente verificou-se que, devido ao controle das tensões CC, a modificação nos sinais de tensão de referência com a adição da tensão de

seqüência zero (dependente do valor de ' μ ') não permitiu a ação do controlador PI de corrente. Os sinais de corrente não seguiram a referência. Neste caso, é necessária a utilização de outra técnica de controle das tensões no barramento CC que não utilize a razão de distribuição ' μ ', como foi mencionando na seção 6.6.

6.9 CONCLUSÕES

Neste capítulo foi analisado o problema do desequilíbrio nas tensões dos capacitores do barramento CC nas estruturas de inversores de três níveis com diodos de grampeamento. Foram propostas duas possibilidades de controle destas tensões utilizando a razão de distribuição vetorial ' μ ', uma em malha aberta (modificação na técnica multinível proposta) e outra com malha fechada (controlador liga-desliga). Também foram mostradas outras formas de equalização das tensões nos capacitores utilizando circuitos auxiliares.

Testes realizados com o inversor mostraram que a utilização da técnica em malha aberta, resultante da modificação no algoritmo da seção 4.2.4 fazendo $N = 2$ nos passos 1 a 3 e $N = 3$ nos passos 4 a 6, manteve o equilíbrio das tensões nos capacitores até o valor máximo de tensão fornecido pelo auto-transformador (400 V), e de corrente na carga (motor de 5 HP, $I_{\max} = 7,5$ A), utilizando capacitores de 660 μF ou 4400 μF , para índices de modulação de 0,4 e 0,9 e frequência de modulação de 50 Hz. Com estes testes foi determinado o valor limite mínimo de 3,5 kHz para a frequência de comutação.

Foi verificado que para frequências abaixo de 3,5 kHz a alteração no método multinível proposto garante o equilíbrio para $\mu = 0,5$. Para ' μ ' variável (0 ou 1), há um desequilíbrio nas tensões dos capacitores provocado pelo período de modulação elevado que permite um tempo maior de carga de um capacitor em relação ao outro. Neste caso, é necessário um controle em malha fechada para garantir que a diferença entre as tensões nos dois capacitores não exceda um valor limite desejado. A alteração no valor da razão de distribuição vetorial ' μ ' no cálculo de v_h segundo a técnica do

controlador liga-desliga ($\mu = 0$ ou 1), descrita nas seções anteriores, foi utilizada para este propósito.

Para frequências de comutação acima de 3,5 kHz, a utilização da técnica multinível modificada em malha aberta possibilitou o equilíbrio das tensões CC para qualquer valor de ' μ '.

CAPÍTULO 7

ANÁLISE DAS PERDAS NOS INVERSORES DE DOIS E TRÊS NÍVEIS

7.1 INTRODUÇÃO

A análise das perdas de energia devido à condução de corrente pelos interruptores de um inversor, bem como devido ao processo de comutação (transição entre os estados de condução e bloqueio, ou vice-versa) realizado por estes dispositivos para sintetizar as formas de onda de tensão, são essenciais nos estudos de eletrônica de potência. Essa análise, à depender da potência do sistema em que o inversor e a carga estão instalados, pode determinar o dispositivo semiconductor necessário, a topologia de inversor adequada e a melhor frequência de comutação adotada para a aplicação requerida.

Uma das restrições mais severas sobre o desempenho de inversores de média e alta potência, em aplicações de acionamento, é a potência dissipada durante a comutação em seus dispositivos, limitando a frequência de comutação. Entretanto, como esses inversores necessitam de baixa distorção harmônica nas formas de onda de saída e perdas reduzidas devido aos harmônicos na corrente de carga, a necessidade de se operar em altas frequências de comutação tornou-se inevitável nos inversores de dois níveis.

Os inversores de três níveis foram introduzidos como uma alternativa para o aumento da qualidade dos sistemas alimentados por inversores. A redução do conteúdo harmônico possibilitada por estes inversores, além de melhorar a qualidade dos sinais na saída, contribui diretamente para redução das perdas nos motores causadas pelas componentes harmônicas das correntes e pela componente pulsante do torque

(CORRÊA, 2002). Estes inversores também possibilitam a operação em frequências de comutação mais baixas, porém com a mesma qualidade de um inversor convencional de dois níveis operando em frequência elevada. Com isso, pode-se diminuir as perdas por comutação.

Com a utilização de técnicas de modulação descontinuas (MD), através do grampeamento das fases, a frequência de comutação efetiva pode ser reduzida em até 33% (KAZMIERKOWSKI, KRISHNAN, BLAABJERG, 2002), possibilitando uma redução ainda maior das perdas por comutação, inclusive nos inversores de três níveis.

Além disso a utilização de topologias de inversores multiníveis com número reduzido de componentes (BHAGWAT, STEFANOVIC, 1983) possibilita a redução dos custos e das perdas em condução, quando comparadas com as topologias multiníveis convencionais.

Com base nas observações anteriores, foi realizado um estudo comparativo das perdas nos inversores de dois e três níveis. O objetivo foi determinar a melhor topologia em função da potência do sistema e da frequência de comutação. Neste estudo foi considerada a qualidade dos sinais do inversor baseada no parâmetro de desempenho definido no capítulo 3 (WTHD). A análise comparativa das perdas nos inversores apresentada neste capítulo é baseada na metodologia de cálculo das perdas para IGBTs definida por CAVALCANTI (CAVALCANTI, 2003, p.59; CAVALCANTI, DA SILVA, JACOBINA, 2003; CAVALCANTI et al., 2003a; CAVALCANTI et al., 2003b; CAVALCANTI et al., 2003c).

7.2 METODOLOGIA DE ANÁLISE DAS PERDAS

Na metodologia de estudo das perdas realizado por CAVALCANTI, nos trabalhos citados anteriormente, a física dos dispositivos não foi incluída nos modelos, mas sim equações matemáticas para representar o comportamento dos dispositivos nas situações desejadas.

A partir dos circuitos de testes utilizados para caracterizar a evolução das perdas nos dispositivos semicondutores (CAVALCANTI et al., 2003a), diferentes pontos de operação foram medidos, variando-se a corrente de condução, a tensão de

bloqueio, a temperatura no dispositivo, etc., permitindo a inclusão de diferentes parâmetros no modelo das perdas, tanto nos IGBTs, quanto nos diodos analisados. Com os resultados destes testes foram construídas as tabelas de perdas em condução e por comutação devidas aos dispositivos semicondutores.

Dependendo do tipo de IGBT utilizado como interruptor, a dependência em relação à corrente e temperatura varia. Assim, deve-se escolher qual interruptor a ser modelado e seguir o estudo comparativo usando sempre os mesmos dados.

Para o estudo das perdas por simulação, foram adotados os mesmos dispositivos utilizados por CAVALCANTI (módulos CM150DY-24H da Mitsubishi, 1200 V, 150 A), apesar de os dispositivos utilizados na montagem experimental terem sido outros (módulos SKM 50GB 123D da Semikron, 1200 V, 50 A).

As características de um determinado tipo de IGBT podem influenciar no resultado final das perdas. Contudo, para a análise comparativa das perdas entre as topologias de inversores de dois e três níveis, a utilização de um tipo de interruptor diferente daquele da montagem experimental não interfere nas conclusões, uma vez que o estudo é feito sob o aspecto das topologias de inversores e não sob o aspecto construtivo dos dispositivos semicondutores. O objetivo é determinar que topologia possibilita perdas menores para determinada faixa de tensão e potência em que o inversor está submetido. Obviamente, deve-se considerar o fato de que, na prática, o tipo de dispositivo utilizado nos inversores de dois níveis para aplicações em baixa tensão pode não ser utilizado nos inversores de três níveis em aplicações de média tensão, devido aos limites construtivos impostos ao dispositivo (tensão de bloqueio, corrente máxima de condução, etc.).

Como mostrado em CAVALCANTI et al. (2003a; 2003b), as perdas em condução de um IGBT ou diodo podem ser expressas como:

$$E_c = \frac{1}{\tau} \int_0^{\tau} u_c(i) i(t) dt \quad (7.1)$$

Sendo: E_c a perda de energia em condução; u_c é a tensão de condução ou tensão entre o coletor e o emissor (IGBT) quando o dispositivo está conduzindo; i é a corrente de coletor; e τ é o tempo em que o dispositivo permanece em condução. Sabe-

se que a tensão de condução é função da corrente e da temperatura (T) no dispositivo. Para uma dada temperatura, a relação entre u_c e i é geralmente não linear, mas usualmente caracterizada por uma equação linear. Embora uma aproximação linear é frequentemente usada, uma equação polinomial de segunda ordem (7.2) permite uma melhor caracterização da tensão de condução.

$$u_c(i) = \gamma_a + \gamma_b i(t) + \gamma_c i^2(t) \quad (7.2)$$

Os coeficientes γ_a , γ_b e γ_c podem ser obtidos por inspeção da curva de dados provida pelo fabricante do dispositivo ou pelos resultados fornecidos pelos circuitos de testes. Para considerar os efeitos da temperatura (T), a equação (7.2) pode ser aproximada por:

$$u_c(i) = \gamma_a T^{\eta_a} + \gamma_b T^{\eta_b} i(t) + \gamma_c T^{\eta_c} i^2(t) \quad (7.3)$$

Baseados nos resultados obtidos com os circuitos de testes experimentais para os modelos de IGBTs e diodos analisados, os coeficientes da equação (7.3) (γ_a , γ_b , γ_c , η_a , η_b e η_c) foram determinados segundo a metodologia apresentada em CAVALCANTI nos trabalhos citados anteriormente. Assim, de acordo com as equações (7.1) e (7.3), as perdas durante a condução do IGBT, dadas em W, podem ser obtidas por:

$$P_{C_I} = (0,864 \cdot T^{-0,031} + 0,024 \cdot T^{-0,043} \cdot I - 5,5 \cdot 10^{-5} \cdot T^0 \cdot I^2) \cdot I \quad (7.4)$$

As perdas durante a condução do diodo, também dadas em W, podem ser obtidas pela equação:

$$P_{C_D} = (0,987 \cdot T^{-0,086} + 0,0584 \cdot T^{-0,298} \cdot I - 4,2 \cdot 10^{-4} \cdot T^{-0,529} \cdot I^2) \cdot I \quad (7.5)$$

Nas equações (7.4) e (7.5) as perdas em condução estão em função da temperatura (T) e da corrente instantânea no dispositivo (I).

As perdas por comutação também podem ser caracterizadas da mesma forma como foi feito para as perdas em condução. Entretanto, variáveis adicionais devem ser incluídas nas equações. Além da temperatura e da corrente no dispositivo, as perdas por comutação também são dependentes da tensão U aplicada aos terminais do dispositivo (coletor-emissor no caso do IGBT) durante o estado de bloqueio. Nos inversores de dois níveis, a tensão U é igual a tensão no barramento CC (E).

Novamente, segundo CAVALCANTI et al. (2003a; 2003b), as perdas por comutação em um IGBT ou diodo, dadas em função da tensão de bloqueio (U), da temperatura (T) e da corrente instantânea (I), podem ser expressas pela equação polinomial de segunda ordem:

$$E_{sw} = \gamma_a T^{\eta_a} U^{\alpha_a} + \gamma_b T^{\eta_b} U^{\alpha_b} I + \gamma_c T^{\eta_c} U^{\alpha_c} I^2 \quad (7.6)$$

Também, baseados nos resultados obtidos com os circuitos de testes experimentais para os modelos de IGBTs e diodos analisados, os coeficientes da equação (7.6) (γ_a , γ_b , γ_c , η_a , η_b , η_c , α_a , α_b e α_c) foram determinados segundo a metodologia apresentada em CAVALCANTI nos trabalhos citados anteriormente. Desta forma, a partir da equação (7.6), as perdas de energia devidas ao bloqueio do IGBT, dadas em mJ, podem ser obtidas por:

$$E_{Bl_I} = 3,84 \cdot 10^{-9} \cdot T^{0,5} \cdot U^{2,74} + 7,9 \cdot 10^{-4} \cdot T^{0,2} \cdot U^{0,4} \cdot I + 2,16 \cdot 10^{-9} \cdot T^0 \cdot U^{1,9} \cdot I^2 \quad (7.7)$$

As perdas de energia devidas ao disparo do IGBT, também dadas em mJ, podem ser obtidas por:

$$E_{Di_I} = 4,76 \cdot 10^{-20} \cdot T^{0,87} \cdot U^{6,47} + 3,5 \cdot 10^{-5} \cdot T^{0,32} \cdot U^{0,81} \cdot I + 4,1 \cdot 10^{-31} \cdot T^0 \cdot U^{9,92} \cdot I^2 \quad (7.8)$$

Finalmente, as perdas de energia devidas ao processo de recuperação reversa (bloqueio) no diodo, dadas em mJ, podem ser obtidas pela equação:

$$E_{Rr_D} = 7,9 \cdot 10^{-7} \cdot T^{0,91} \cdot U^{1,61} + 1,74 \cdot 10^{-5} \cdot T^{1,16} \cdot U^{-0,22} \cdot I - 2,4 \cdot 10^{-6} \cdot T^{1,43} \cdot U^{-1,21} \cdot I^2 \quad (7.9)$$

As perdas de energia devidas à entrada em condução do diodo (disparo) podem ser desprezadas (CAVALCANTI, 2003, p.59).

Nas equações (7.7), (7.8) e (7.9) os valores das perdas são dados em mJ, deve-se então dividir estes valores por 1000 e em seguida pelo intervalo de tempo equivalente a um período fundamental dos sinais de referência para se ter o resultado também em W.

Baseado nas equações de perdas determinadas por CAVALCANTI e apresentadas nesta seção, foi realizada a análise comparativa das perdas nas estruturas de inversores de dois níveis, três níveis com diodos de grampeamento e três níveis com número reduzido de componentes, todas descritas no capítulo 2. Os circuitos equivalentes para todos os estados de operação dos interruptores, em cada inversor,

juntamente com as equações de perdas, foram introduzidos em um programa de simulação para cálculo das perdas em Watts, para um ciclo completo dos sinais de referência. A cada intervalo de amostragem (passo de cálculo), as variáveis nas equações de perdas eram recalculadas com base nos estados de operação de todos os dispositivos semicondutores. Com isso, pode-se determinar o comportamento das perdas em condução e por comutação devidas à todos os IGBTs e diodos em cada um dos inversores analisados.

7.3 REDUÇÃO DAS PERDAS POR COMUTAÇÃO

Boa parte das estratégias de PWM utiliza métodos complicados para detecção da região onde se encontra o vetor tensão de referência. No entanto, não se justifica de forma convincente a necessidade desta detecção, pois se sabe que o vetor tensão de referência possui módulo e posição dependentes das tensões senoidais de referência e os vetores espaciais ideais para a composição do vetor de referência são aqueles que estão mais próximos dele, o que limita a liberdade em alterar o padrão de vetores utilizados em um período da modulação.

Então, a possibilidade real é a de modificar os tempos de aplicação dos vetores que estão no início e no final de um período da modulação – vetores nulos para os inversores de dois níveis e vetores do grupo S para os inversores de três níveis. Essa é outra grande vantagem das técnicas que utilizam a razão de distribuição vetorial ‘ μ ’, uma vez que não há a necessidade de detecção da região de vetores para se alterar o padrão de vetores, isso é feito de forma mais simples variando-se o valor de ‘ μ ’ ($0 \leq \mu \leq 1$). Quando ‘ μ ’ assume os valores 0 ou 1 tem-se às chamadas técnicas de modulação descontínua.

Uma modulação descontínua é formada por segmentos de 60° não modulados, ou seja, apenas duas fases são comutadas e a terceira permanece grampeada em $+E/2$ ou em $-E/2$ de acordo com o sinal de seqüência zero adicionado e que pode depender da razão de distribuição vetorial ‘ μ ’ utilizada a cada 60° . Esta técnica de modulação vetorial é chamada de PWM 2-Fases e propicia uma redução de 33% na frequência de comutação efetiva (KAZMIERKOWSKI, KRISHNAN, BLAABJERG, 2002).

Como visto na seção anterior, as perdas por comutação dependem de alguns fatores, tais como: tensão CC aplicada ao dispositivo, corrente de condução, valor da frequência de comutação e também do tipo de modulação empregada (contínua ou descontínua). Além disso, as perdas por comutação também dependem do ângulo do fator de potência. As estratégias de modulação descontínua, que aplicam o grampeamento na fase conduzindo a corrente máxima, possibilitam uma redução de até 50% nas perdas por comutação segundo HAVA, KERKMAN e LIPO (1997).

No capítulo 3, seção 3.4.2, foram definidos alguns valores que ‘ μ ’ pode assumir de acordo com as técnicas de modulação descontínua.

Desde que as perdas por comutação aumentam com o aumento da magnitude da corrente na fase, a seleção de uma modulação apropriada pode aumentar de forma significativa o desempenho do inversor. Por outro lado, modulações descontínuas acarretam um maior conteúdo harmônico na corrente do que os métodos contínuos, para a mesma frequência de comutação (KAZMIERKOWSKI, KRISHNAN, BLAABJERG, 2002).

De acordo com o que foi mostrado no capítulo 6, a adição de uma componente de seqüência zero (v_h), dependente de ‘ μ ’ nas tensões de referência para a modulação, possibilita alterar os valores dos tempos de aplicação dos vetores que estão no início e no final de um período da modulação. Desta forma, as técnicas de modulação descontínua também podem ser empregadas nos inversores multiníveis para redução das perdas por comutação. No entanto, como já discutido, nestas topologias se faz necessário o controle das tensões nos capacitores do barramento CC.

A técnica de modulação descontínua que se baseia no valor do ângulo entre os sinais de tensão e corrente na saída do inversor para determinar o valor de ‘ μ ’ (0 ou 1), estudada por ALVES (1998) para os inversores de dois níveis, também foi implementada na estratégia PWM proposta neste trabalho para comando do inversor de três níveis. O objetivo desta técnica descontínua é o grampeamento das tensões de pólo no instante em que a corrente atinge o seu valor máximo, ou próximo dele, com isso é esperada uma redução maior nas perdas por comutação, com relação ao método tradicional de grampeamento que não considera o ângulo de fase.

Os resultados de simulação mostrando o comportamento das perdas por comutação quando se aciona o inversor com valores diferentes de ' μ ' serão mostrados na seção 7.5.

7.4 ANÁLISE COMPARATIVA DAS PERDAS NOS INVERSORES DE DOIS E TRÊS NÍVEIS

Nas análises dos circuitos equivalentes e que são resultantes dos estados de configuração dos interruptores para estudo das perdas, foi desconsiderado o problema do tempo morto (ver Apêndice B) implícito aos pulsos de comando para disparo dos dispositivos. A influência do tempo morto altera as configurações dos interruptores (estados de condução e bloqueio) em intervalos muito pequenos, o que implica numa alteração pequena nos resultados das perdas, tanto nos inversores de dois como de três níveis. Assim, para o cálculo das perdas não se justifica um maior esforço na análise dos circuitos equivalentes com a inclusão deste fator.

Foi adotado um valor constante para a temperatura nos dispositivos de 125 °C nas equações de perdas definidas na seção 6.2.

Como a faixa de tensão do barramento CC utilizada nos ensaios para determinação das equações de perdas foi de 200 V a 600 V (CAVALCANTI, 2003, p.59), foi adotado um valor padrão $E = 500$ V para a tensão total CC, tanto para os inversores de dois como de três níveis. Nas simulações, foi adotado um valor igual e constante para a tensão em cada capacitor, $E/2$ no caso ideal.

Na figura 7.1 é mostrado um braço de cada topologia de inversor analisada. Na figura 7.2 são mostrados os pulsos de comando dos interruptores em um ciclo dos sinais de referência senoidais, para cada topologia estudada.

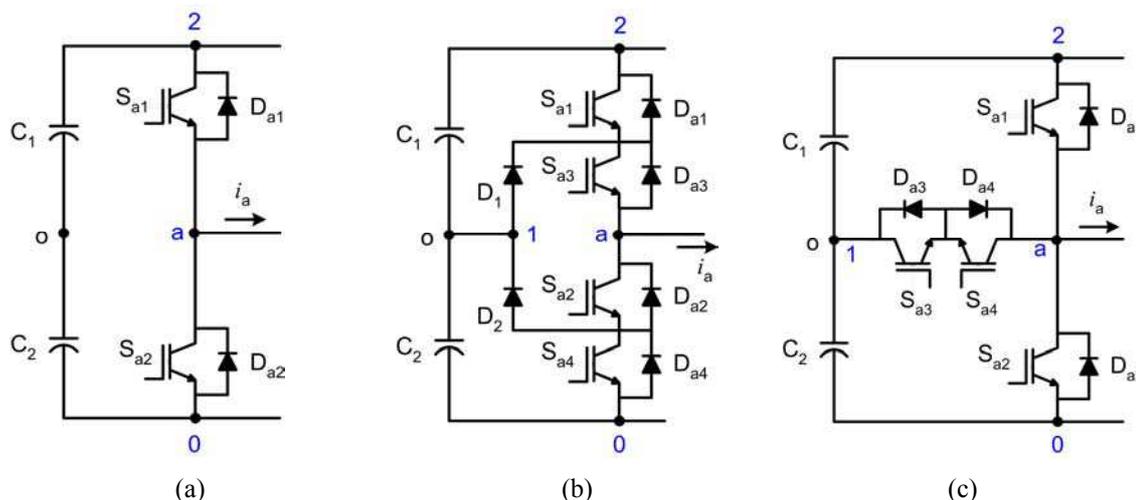


Figura 7.1 – Um braço do inversor de (a) 2 níveis, (b) 3 níveis e (c) 3 níveis NRC.

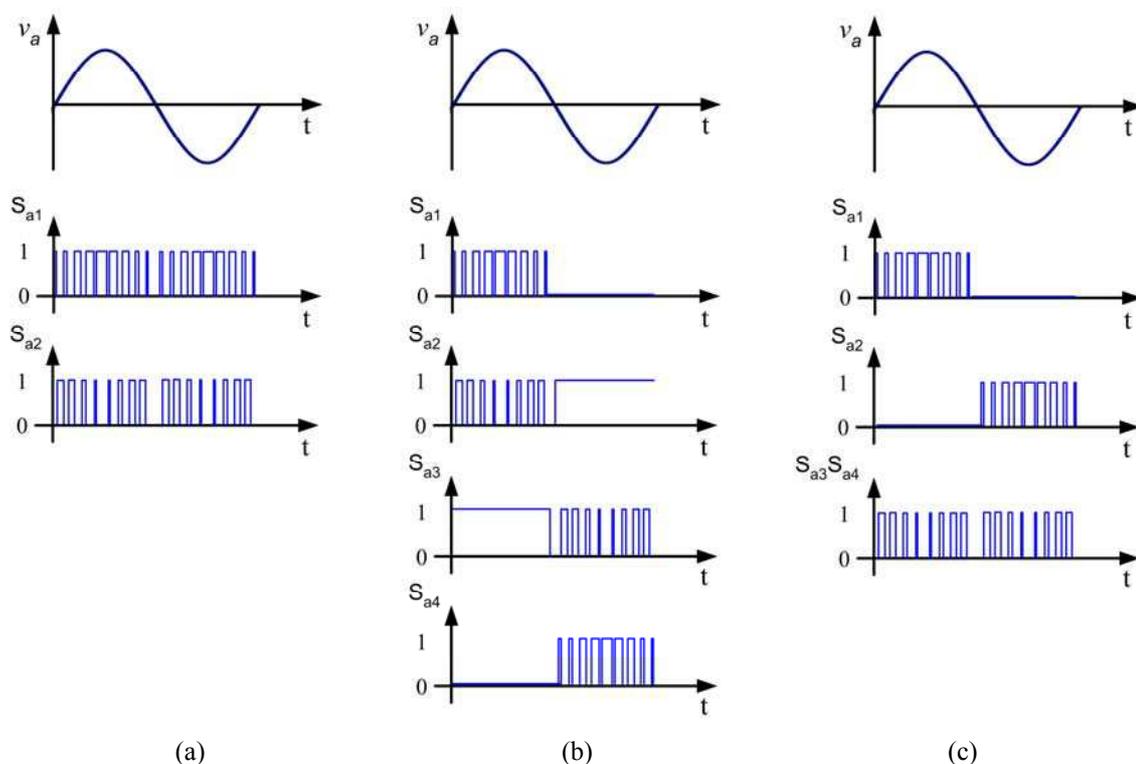


Figura 7.2 – Pulsos de comando dos interruptores em um período dos sinais de referência senoidais para um braço do inversor de (a) 2 níveis, (b) 3 níveis e (c) 3 níveis NRC.

Nas tabelas 7.1, 7.2 e 7.3 são apresentados os estados dos dispositivos para cada topologia de inversor vista na figura 7.1, de acordo com o sentido adotado para a corrente na carga.

Na figura 7.3 são mostrados os estados de ‘a’ para os inversores de dois e três níveis, em um período fundamental dos sinais de referência, para $f_m = 50$ Hz e $\mu = 0,5$.

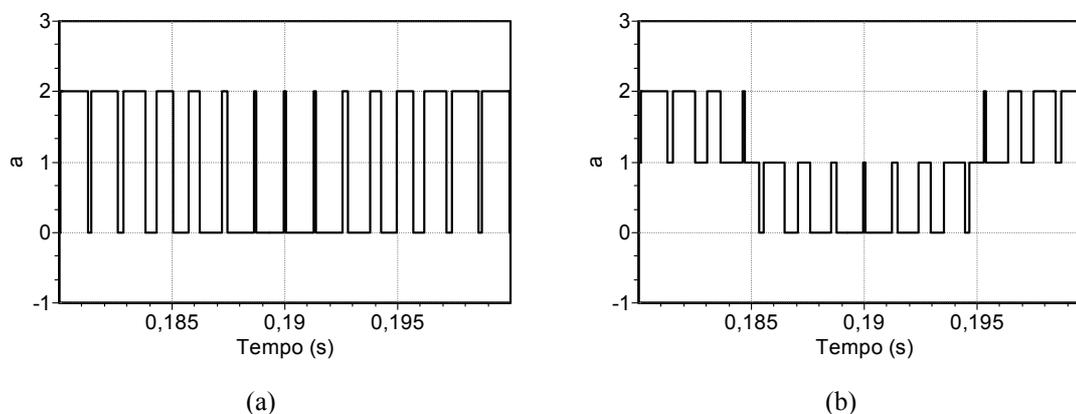


Figura 7.3 – Estado da variável ‘a’ em um período dos sinais de referência para a modulação, $f_m = 50$ Hz, $\mu = 0,5$. (a) Inversor de dois níveis. (b) Inversor de três níveis.

Analisando as tabelas e figuras anteriores obtém-se o comparativo das perdas nos dispositivos semicondutores entre cada topologia.

7.4.1 Inversor de três níveis com diodos de grampeamento *versus* inversor de dois níveis

Na tabela 7.2, os estados de condução e comutação dos dispositivos S_{a1}/D_{a1} e S_{a4}/D_{a4} para o inversor de três níveis são os mesmos de S_{a1}/D_{a1} e S_{a2}/D_{a2} para o inversor de dois níveis da tabela 7.1. Os estados adicionais devidos aos demais componentes (tabela 7.2) acarretam em perdas adicionais nos inversores de três níveis com diodos de grampeamento.

De acordo com as figuras 7.1 e 7.2, e das tabelas 7.1 e 7.2, para os estados 0 e 2 de ‘a’, sempre dois dispositivos (2 interruptores ou 2 diodos) estão conduzindo simultaneamente a corrente na fase a para o inversor de três níveis, contra apenas um dispositivo no inversor de dois níveis. Para o estado 1 de ‘a’, que acontece apenas para os inversores de três níveis com diodos de grampeamento, um interruptor e um diodo sempre estarão conduzindo a corrente na fase a . Como ‘a’ só pode assumir um estado em cada instante de tempo, conforme figura 7.3, as perdas em condução no inversor de três níveis com diodos de grampeamento são praticamente o dobro das perdas do inversor de dois níveis.

Nas equações para cálculo das perdas por comutação nos inversores de três níveis, a tensão aplicada a cada dispositivo deve ser a metade da tensão aplicada aos inversores de dois níveis. Além disso, como pode ser observado na figura 7.2, a frequência média de comutação de cada interruptor, nos inversores de três níveis, é a metade da frequência média dos interruptores nos inversores de dois níveis, em um período dos sinais de referência. Com isso, apesar do número maior de dispositivos, as perdas por comutação nos inversores de três níveis são menores do que nos inversores de dois níveis. A diferença das perdas por comutação entre estas topologias depende da corrente de condução no interruptor.

7.4.2 Inversor de três níveis com diodos de grampeamento *versus* inversor de três níveis com número reduzido de componentes

Na tabela 7.3, os estados de condução e comutação dos dispositivos S_{a1}/D_{a1} e S_{a2}/D_{a2} correspondem aos estados de S_{a1}/D_{a1} e S_{a4}/D_{a4} na tabela 7.2. Também, os estados de S_{a3}/D_{a3} (tabela 7.3) correspondem aos estados de S_{a3}/D_2 (tabela 7.2) e os estados de S_{a4}/D_{a4} (tabela 7.3) correspondem aos estados de S_{a2}/D_1 (tabela 7.2). As marcas em destaque na tabela 7.2 (**O**) indicam que existem quatro estados de condução a mais no inversor de três níveis com diodos de grampeamento do que no inversor NRC.

Como foi explicado no capítulo 2, seção 2.6, o inversor NRC de três níveis possui uma quantidade menor de perdas em condução do que o inversor de três níveis com diodos de grampeamento. Isto se deve porque apenas um, e não dois dispositivos semicondutores (S_{a1}/D_{a1} ou S_{a2}/D_{a2} , figura 7.1.c), conduz a corrente na fase a para os estados 0 e 2 de ‘ a ’. Já para o estado 1 de ‘ a ’, independentemente do sentido da corrente na fase, a condução se dará sempre por um interruptor e por um diodo (S_{a3}/D_{a4} ou S_{a4}/D_{a3}), de forma idêntica ao que acontece com o inversor de três níveis com diodos de grampeamento para este terceiro caso. Logo, na soma total, o inversor NRC possui 2/3 das perdas em condução do inversor de três níveis com diodos de grampeamento, nas mesmas condições de corrente e frequência de comutação.

Das tabelas 7.2 e 7.3, as duas topologias de inversores de três níveis possuem a mesma quantidade de disparos, bloqueios e recuperação reversa. Como a tensão

aplicada a cada dispositivo em ambas as estruturas é a mesma e igual a $E/2$ no caso ideal, as perdas por comutação nas duas topologias são iguais.

7.5 RESULTADOS DE SIMULAÇÃO

Para comprovar a análise feita anteriormente, com respeito às perdas nos inversores, foram realizados alguns testes de simulação.

7.5.1 Teste de simulação 1: perdas nos inversores de dois e três níveis modulados com diferentes sinais de referência

O primeiro conjunto de testes (1, 2, 3 e 4) foi realizado com o objetivo de verificar o comportamento das perdas nos inversores modulados com diferentes sinais de referência. Com isso, pôde-se verificar como a razão de distribuição vetorial tem influência nas perdas em inversores de dois e três níveis. Para os resultados mostrados nesta seção foram utilizados os seguintes parâmetros:

- Carga: $I_{\max} = 10 \text{ A}$ ou 100 A , $\cos(\phi) = 0,91$.
- Tensão total do barramento CC: $E = 500 \text{ V}$.
- Índice de modulação: $m = 0,9$.
- Freqüência fundamental: $f_m = 50 \text{ Hz}$.
- Freqüência de comutação: $f_s =$ dependente do teste.
- Razão de distribuição vetorial: $\mu =$ dependente do teste.

Os quatro testes foram realizados para dois valores diferentes da freqüência de comutação (f_s) e da corrente máxima (I_{\max}) na carga. Cada teste foi subdividido em cinco casos: A, B, C, D e E.

No caso A foram utilizados sinais de referência senoidais ($v_h = 0$).

No caso B foram utilizados sinais de referência distorcidos para $\mu = 0,5$.

Nos casos C, D e E foram utilizadas técnicas de modulação descontínua com $\mu = 0$ (teste C), $\mu =$ Variação 1 (teste D) e ' μ ' variando periodicamente de acordo com o ângulo de fase para grampeamento no valor máximo da corrente, conforme descrito na seção 7.3.

Nas tabelas seguintes são fornecidos os valores de alguns parâmetros utilizados em cada teste.

Tabela 7.4 – Parâmetros para cálculo das perdas nos inversores de dois e três níveis: Teste 1.

A	B	C	D	E
$v_h = 0$	$\mu = 0,5$	$\mu = 0$	$\mu = \text{Variação 1}$	$\mu = 0/1, \cos(\phi)$
$f_s = 10 \text{ kHz}$				
$I_{\text{max}} = 10 \text{ A}$				

Tabela 7.5 – Parâmetros para cálculo das perdas nos inversores de dois e três níveis: Teste 2.

A	B	C	D	E
$v_h = 0$	$\mu = 0,5$	$\mu = 0$	$\mu = \text{Variação 1}$	$\mu = 0/1, \cos(\phi)$
$f_s = 10 \text{ kHz}$				
$I_{\text{max}} = 100 \text{ A}$				

Tabela 7.6 – Parâmetros para cálculo das perdas nos inversores de dois e três níveis: Teste 3.

A	B	C	D	E
$v_h = 0$	$\mu = 0,5$	$\mu = 0$	$\mu = \text{Variação 1}$	$\mu = 0/1, \cos(\phi)$
$f_s = 1 \text{ kHz}$				
$I_{\text{max}} = 10 \text{ A}$				

Tabela 7.7 – Parâmetros para cálculo das perdas nos inversores de dois e três níveis: Teste 4.

A	B	C	D	E
$v_h = 0$	$\mu = 0,5$	$\mu = 0$	$\mu = \text{Variação 1}$	$\mu = 0/1, \cos(\phi)$
$f_s = 1 \text{ kHz}$				
$I_{\text{max}} = 100 \text{ A}$				

Nas figuras 7.4, 7.5 e 7.6 são mostrados os resultados dos testes 1, 2, 3 e 4. As figuras são agrupadas pelo tipo de perdas: condução, comutação e perdas totais.

Legenda para as figuras 7.4, 7.5 e 7.6:

-  Inversor de 2 níveis
-  Inversor de 3 níveis
-  Inversor de 3 níveis NRC

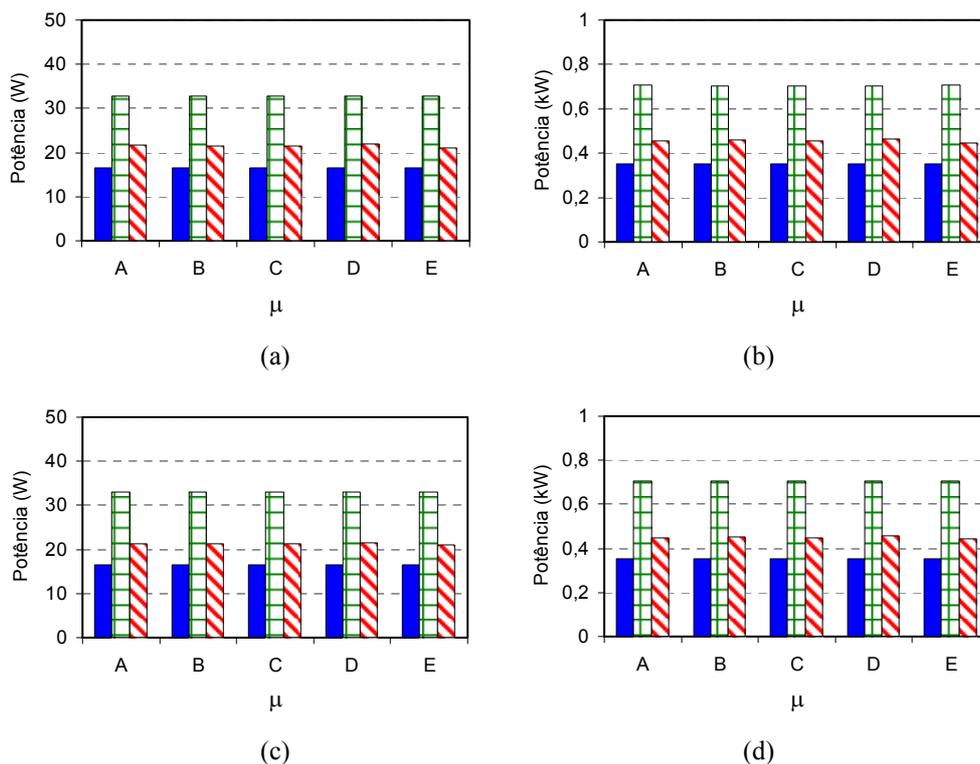


Figura 7.4 – Resultados de simulação para as perdas em condução nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4.

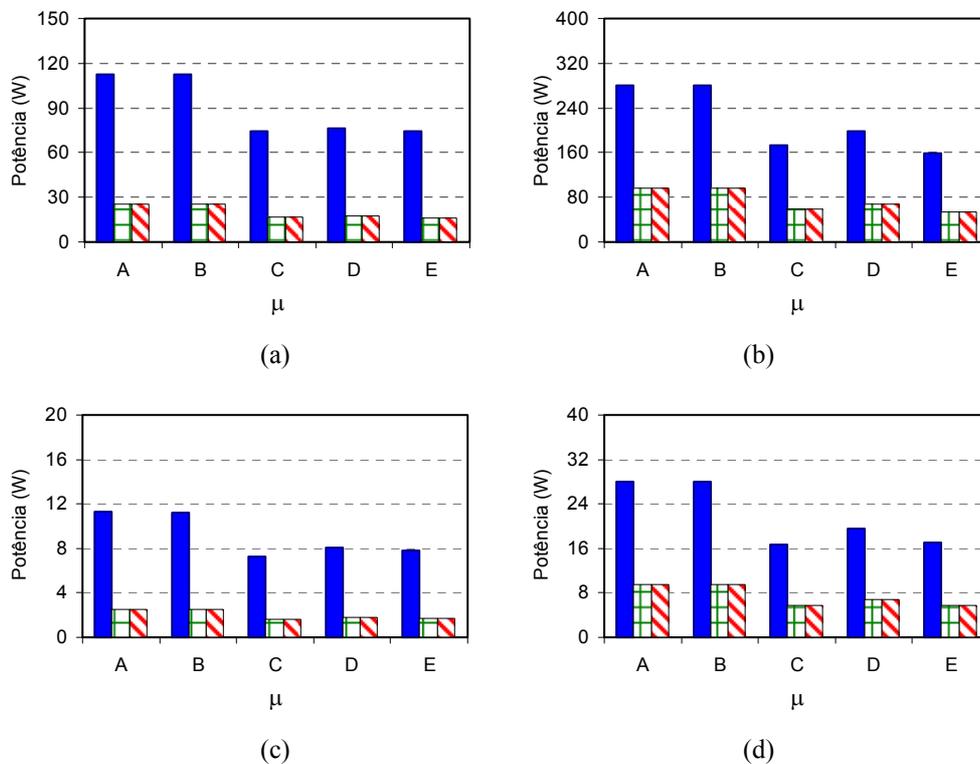


Figura 7.5 – Resultados de simulação para as perdas por comutação nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4.

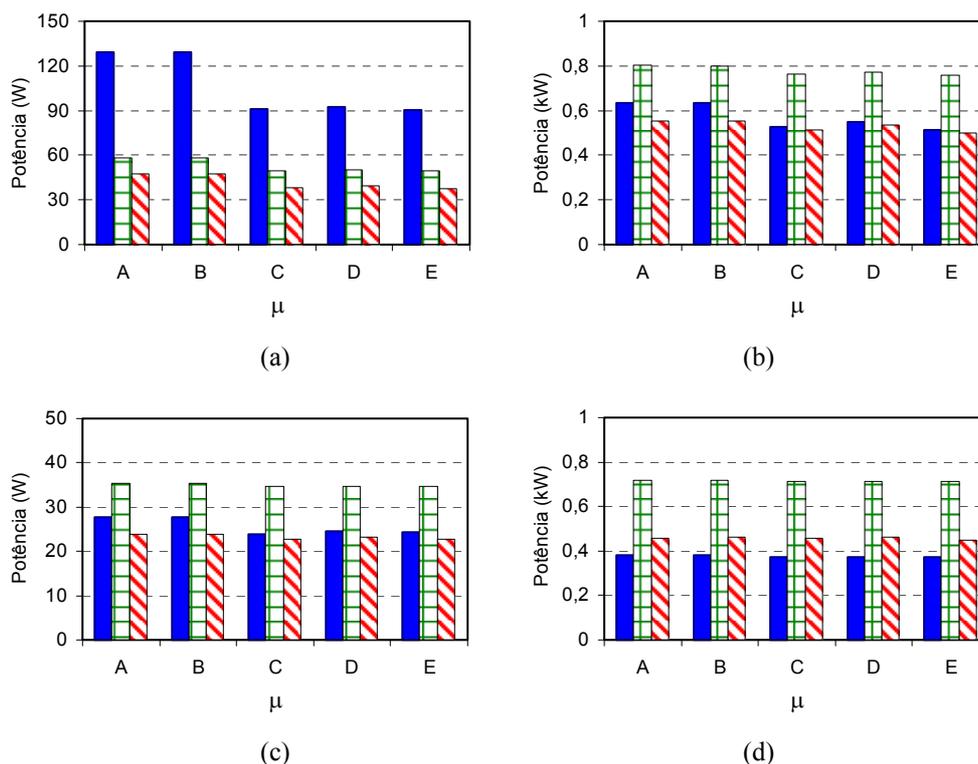


Figura 7.6 – Resultados de simulação para as perdas totais nos inversores de dois e três níveis. (a) Teste 1. (b) Teste 2. (c) Teste 3. (d) Teste 4.

7.5.1.1 Análise das perdas em condução

Na figura 7.4, os resultados indicam que as perdas em condução independem do valor de μ utilizado para modificar as tensões de referência senoidais para a modulação. Em cada teste, as perdas em condução foram iguais para os cinco casos analisados. Também, As perdas em condução independem da frequência de comutação, neste caso o teste 1 é equivalente ao teste 3 e o teste 2 é equivalente ao teste 4. Contudo, estas perdas são maiores com o aumento da corrente máxima na carga (I_{max}).

Os resultados de todos os testes mostraram que o inversor de três níveis com diodos de grampeamento possui o dobro das perdas em condução do inversor de dois níveis. Já a estrutura de três níveis com número reduzido de componentes possui 2/3 das perdas em condução do inversor de três níveis com diodos de grampeamento, comprovando a análise teórica realizada na seção 7.4.

7.5.1.2 Análise das perdas por comutação

De acordo com a figura 7.5, as perdas por comutação diminuíram em torno de 30% com a utilização das técnicas de modulação descontínua, em qualquer um dos três casos estudados (C, D e E). Contudo, não se observou uma diferença significativa no valor das perdas entre estes casos. Era esperado que a técnica de grampeamento considerando o ângulo de fase (caso E) fornecesse uma redução maior que as outras duas técnicas, caso C e D.

Com um aumento de dez vezes na frequência de comutação, houve um aumento linear também de dez vezes nas perdas por comutação. Novamente, o aumento da corrente máxima na carga também acarretou o aumento das perdas por comutação. Como eram esperadas, as perdas por comutação nas duas estruturas de três níveis analisadas são iguais e bem menores que no inversor de dois níveis, para qualquer caso.

7.5.1.3 Análise das perdas totais

As perdas em condução aumentam bem mais com o aumento da corrente máxima na carga, do que as perdas por comutação aumentam com o aumento da frequência de comutação. Logo, as perdas em condução, para qualquer topologia analisada, são maiores que as perdas por comutação em potências elevadas ($I_{\max} = 100$ A).

Na figura 7.6.a, os resultados do teste 1 ($f_s = 10$ kHz e $I_{\max} = 10$ A), para alta frequência e baixa potência, mostram que o inversor de dois níveis possui perdas totais bem mais elevadas que os inversores de três níveis. Neste caso a melhor opção é a estrutura de três níveis com número reduzido de componentes.

De acordo com as figuras 7.6.b e 7.6.c, o teste 2 ($f_s = 10$ kHz e $I_{\max} = 100$ A) e o teste 3 ($f_s = 1$ kHz e $I_{\max} = 10$ A) têm o mesmo padrão de perdas totais nos inversores, a diferença reside na escala. Nestes casos, a melhor opção continua sendo o inversor de três níveis com número reduzido de componentes.

Na figura 7.6.d, os resultados do teste 4 ($f_s = 1$ kHz e $I_{\max} = 100$ A), para baixa frequência e alta potência, mostram que o inversor de dois níveis possui perdas totais

menores que as estruturas de três níveis. Contudo, duas limitações podem impedir o uso da topologia de dois níveis para este caso. A primeira limitação é a frequência de comutação baixa que acarreta um conteúdo harmônico bem maior nos sinais de saída. A segunda limitação são os dispositivos semicondutores que devem ser dimensionados para suportar a tensão total do barramento durante o estado de bloqueio e ainda suportar um dv/dt para este valor de tensão durante a comutação. Dependendo do valor da tensão do barramento, pode ser necessário utilizar mais de um interruptor para dividir a tensão aplicada a cada um deles, e assim as perdas serão maiores.

Na topologia com número reduzido de componentes, apesar da tensão aplicada aos interruptores ser metade da tensão do barramento CC durante o disparo e bloqueio, a tensão para qual os dois interruptores de cada braço devem ser dimensionados, conforme explicado no capítulo 2, é igual à tensão do barramento. Por isso, há um limite menor de potência para uso desta topologia comparada com a estrutura de três níveis com diodos de grampeamento.

7.5.2 Teste de simulação 2: perdas nos inversores de dois e três níveis em função da potência de saída

O segundo conjunto de testes (5 e 6) foi realizado com o objetivo de verificar a evolução das perdas com o aumento de potência da carga ($I_{\max} = 10$ A até 200 A) alimentada pelo inversor para dois valores fixos de frequência de comutação ($f_s = 1$ kHz para teste 5 e $f_s = 10$ kHz para teste 6). Foi utilizada a modulação contínua e simétrica ($\mu = 0,5$) como padrão. Os demais parâmetros utilizados foram:

- Carga: $I_{\max} = 10$ A até 200 A, $\cos(\phi) = 0,91$.
- Tensão total do barramento CC: $E = 500$ V.
- Índice de modulação: $m = 0,9$.
- Frequência fundamental: $f_m = 50$ Hz.

Nas figuras seguintes são mostrados os resultados dos testes 5 e 6. As figuras são agrupadas pelo tipo de perdas: condução, comutação e perdas totais.

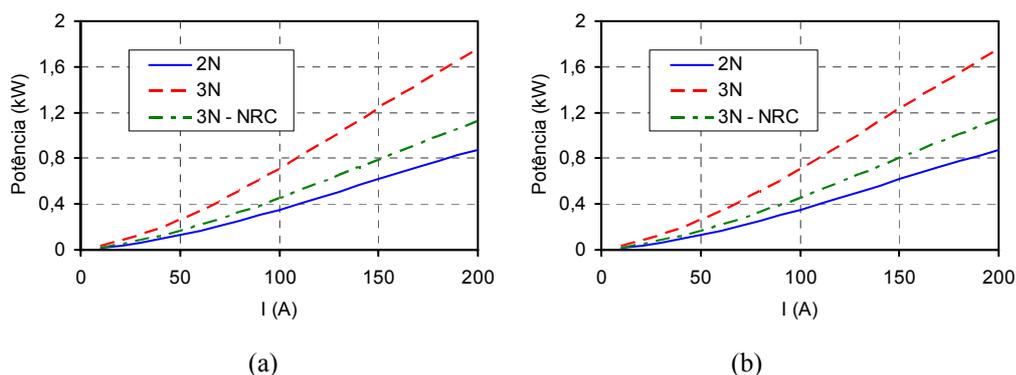


Figura 7.7 – Resultados de simulação para as perdas em condução nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz.

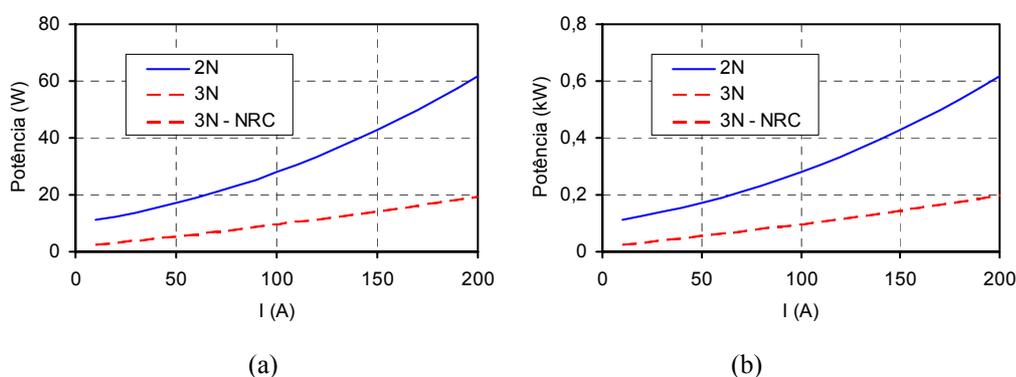


Figura 7.8 – Resultados de simulação para as perdas por comutação nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz.

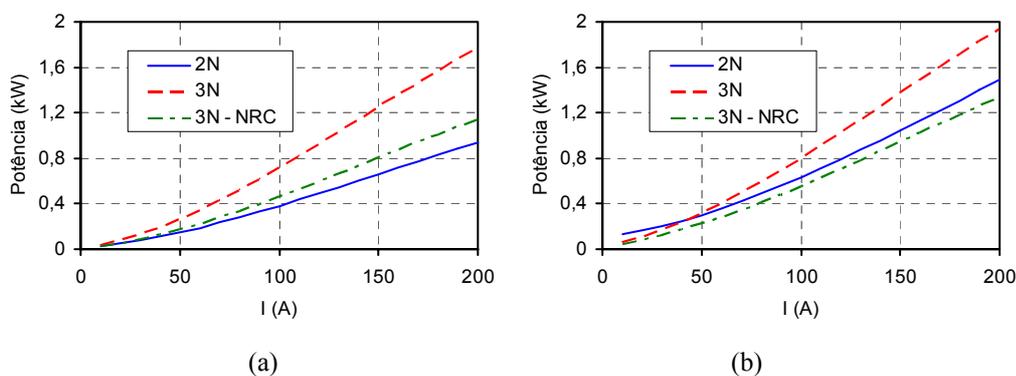


Figura 7.9 – Resultados de simulação para as perdas totais nos inversores de dois e três níveis, $\mu = 0,5$. (a) Teste 5, $f_s = 1$ kHz. (b) Teste 6, $f_s = 10$ kHz.

7.5.2.1 Análise das perdas em condução

Como era esperado, o inversor de três níveis com número reduzido de componentes possibilitou uma redução de 1/3 nas perdas em condução, quando comparado com a estrutura com diodos de grampeamento, para qualquer valor da corrente de carga e independente da frequência de comutação utilizada. Nestas

condições, o inversor de dois níveis possui a menor quantidade de perdas em condução.

7.5.2.2 Análise das perdas por comutação

Novamente, como era esperado, as duas estruturas de três níveis possuem a mesma quantidade de perdas por comutação, para qualquer valor da corrente de carga e frequência de comutação.

Os resultados para as perdas por comutação também comprovam o que foi explicado no início do capítulo, descaracterizando o fato de que os inversores de três níveis também teriam perdas por comutação bem maiores que os inversores de dois níveis. Na verdade, o que acontece é justamente o contrário. Já que nos inversores de três níveis a tensão aplicada em cada dispositivo e a frequência média de comutação, são ambas a metade do que nos inversores de dois níveis, a despeito do número de dispositivos, as perdas por comutação são bem menores nas estruturas de três níveis, como mostrado nas figuras 7.8.a e 7.8.b.

7.5.2.3 Análise das perdas totais

Para altas frequências de comutação, o aumento considerável na escala das perdas por comutação (figura 7.8.b), comparado com o caso em baixa frequência (figura 7.8.a), introduz uma característica peculiar no comportamento das perdas totais (figura 7.9.b). Existe uma região limite, em torno de 50 A, onde as perdas totais nos inversores de dois níveis são maiores para correntes abaixo desse valor. Para valores de corrente acima de 50 A, o inversor de três níveis com diodos de grampeamento passa a ter uma quantidade maior de perdas totais do que as outras duas topologias estudadas. O inversor de três níveis com número reduzido de componentes possui uma quantidade menor de perdas totais do que as outras duas topologias, para qualquer valor da corrente de carga. Contudo, deve-se considerar o valor limite de tensão suportável durante o estado de bloqueio pelos dispositivos na estrutura com número reduzido. Esse pode ser um fator limitante para o uso desta topologia.

Para baixas frequências de comutação (figura 7.9.a), os resultados para as perdas totais nos inversores indicam que a melhor opção é o inversor de dois níveis, independentemente da potência da carga. No entanto, como foi explicado anteriormente, o inversor de dois níveis possui um conteúdo harmônico nos sinais de saída bem maior do que a estrutura de três níveis para baixas frequências. Logo, o inversor de três níveis com número reduzido de componentes passa a ser a melhor opção também em baixas frequências, quando há um compromisso entre a qualidade dos sinais e as perdas causadas pelo inversor.

Além dos resultados mostrados nas figuras anteriores, outros testes realizados para diferentes tipos de cargas, não apresentados neste trabalho, também comprovaram a análise realizada neste capítulo para as perdas nos inversores.

7.6 ESTUDO COMPARATIVO DOS INVERSORES DE DOIS E TRÊS NÍVEIS

Para se determinar qual a melhor topologia de inversor a ser usada em determinada aplicação é necessário um estudo comparativo entre elas. Nesse estudo devem constar:

- A quantidade de perdas devidas aos dispositivos;
- A qualidade dos sinais de saída nos inversores;
- Os custos finais de cada topologia;
- Os limites de utilização de cada topologia.

Na seção 7.5 foi realizado um estudo comparativo das três topologias de inversores, analisadas neste capítulo, com relação às perdas em cada uma. Também foi discutido como as características elétricas de cada dispositivo limitam o uso de uma topologia de inversor com relação aos níveis de tensão e corrente exigidos pela carga ou rede elétrica.

Quanto ao segundo item, foi realizado um estudo de simulação (testes 7 e 8) para determinar a quantidade de perdas quando as topologias de dois níveis e de três níveis possui o mesmo conteúdo harmônico no sinal modulado da tensão de linha. Inicialmente, foi realizado um ensaio (teste 7) para determinar os valores de WTHD para cada topologia, variando-se a frequência de comutação entre 0,75 kHz e 17,55

kHz. O objetivo foi determinar a frequência de comutação em que cada topologia deve operar para se ter o mesmo valor de WTHD. Para os resultados obtidos com o teste 7 foram utilizados os seguintes parâmetros:

- Carga: $I_{\max} = 10$ A, $\cos(\phi) = 0,91$.
- Tensão total do barramento CC: $E = 500$ V.
- Índice de modulação: $m = 0,9$.
- Frequência fundamental: $f_m = 50$ Hz.
- Frequência de comutação: $f_s = 0,75$ kHz a 17,55 kHz.
- Razão de distribuição vetorial: $\mu = 0,5$.

O ensaio para determinar os valores de WTHD foi realizado baseado nas considerações feitas no capítulo 3, seção 3.7. Neste caso, como não existe um valor padrão estabelecido por norma para este índice em inversores de tensão, foi adotado o valor de 0,2% obtido com a simulação do inversor de dois níveis operando com frequência de comutação de 10,35 kHz. Em seguida, foi determinada a frequência de comutação em que o inversor de três níveis deve operar (4,35 kHz) para se ter o mesmo valor de WTHD para a tensão de linha. Por fim, as perdas em condução, de comutação e as perdas totais (teste 8) foram determinadas para as três estruturas de inversores operando na frequência de comutação correspondente a cada nível para se ter o valor de WTHD estabelecido. Na figura 7.10 é mostrada a evolução no valor de WTHD com relação ao aumento da razão de frequências m_f ($m_f = f_s/f_m$) para as três topologias de inversores estudadas.

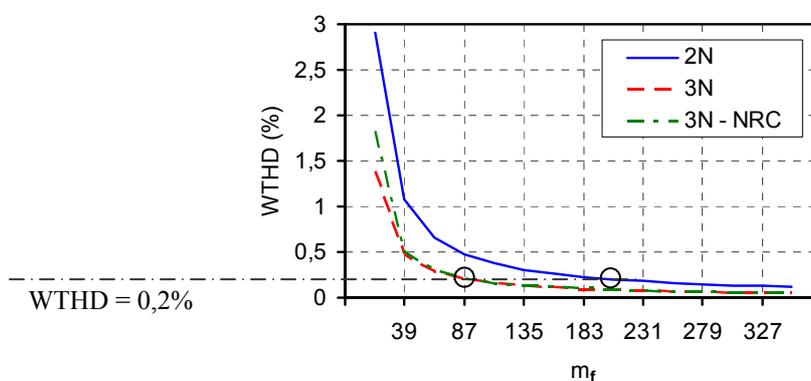


Figura 7.10 – Resultado de simulação: evolução no valor de WTHD da tensão de linha nos inversores de dois e três níveis, $f_m = 50$ Hz, $f_{s\min} = 0,75$ kHz, $f_{s\max} = 17,55$ kHz, $m_f = f_s/f_m$, $\mu = 0,5$.

Baseado nos resultados obtidos e apresentados na figura 7.10, foi verificado que o inversor de três níveis, operando a 4350 Hz ($m_f = 87$), possui o mesmo valor de WTHD (0,2%) na tensão de linha modulada que o inversor de dois níveis operando a 10350 Hz ($m_f = 207$).

Nas tabelas 7.8 e 7.9 são fornecidos os resultados do teste 8 realizado para determinação das perdas no inversor de dois níveis operando a 10350 Hz e para as duas topologias de inversores de três níveis operando a 4350 Hz, para dois valores diferentes da corrente de carga, $I_{\max} = 10$ A (tabela 7.8) e $I_{\max} = 100$ A (tabela 7.9). Os demais parâmetros são os mesmos apresentados no início desta seção.

Tabela 7.8 – Perdas nos inversores de dois e três níveis: Teste 8, $I_{\max} = 10$ A.

Inversor	Frequência de Comutação (Hz)	Perdas em Condução (W)	Perdas por Comutação (W)	Perdas Totais (W)
2 níveis	10.350	16,4341	116,4664	132,9006
3 níveis	4.350	32,8836	11,2053	44,0888
3 níveis NRC	4.350	21,5097	11,2054	32,7381

Tabela 7.9 – Perdas nos inversores de dois e três níveis: Teste 8, $I_{\max} = 100$ A.

Inversor	Frequência de Comutação (Hz)	Perdas em Condução (W)	Perdas por Comutação (W)	Perdas Totais (W)
2 níveis	10.350	352,3678	289,5756	641,9434
3 níveis	4.350	705,1546	42,0278	747,1824
3 níveis NRC	4.350	455,9058	42,0287	497,9345

Das tabelas 7.8 e 7.9, para os dois valores da corrente máxima na carga (10 A e 100 A), o inversor de três níveis com número reduzido de componentes possui uma quantidade menor de perdas totais do que as outras duas estruturas, para o mesmo conteúdo harmônico no sinal modulado da tensão de linha (WTHD = 0,2%). Já a estrutura de três níveis com diodos de grampeamento possui perdas totais menores que o inversor de dois níveis apenas para baixa potência (10 A).

Nas figuras 7.11, 7.12 e 7.13 são mostrados os sinais de FFT da tensão de linha e as formas de onda da corrente em uma fase para os inversores de dois níveis ($f_s = 10,35$ kHz) e três níveis ($f_s = 4,35$ kHz). Os sinais de FFT são diferentes para as topologias de dois e três níveis, mas produzem os mesmos valores de WTHD (0,2%). Esse valor comum de WTHD para as tensões de linha possibilita o mesmo conteúdo harmônico nos sinais de corrente para as três topologias de inversores. Esse é o

principal benefício dos inversores de três níveis frente aos de dois níveis: a possibilidade de manter a mesma distorção harmônica nos sinais de saída reduzindo a frequência de comutação. Com isso, há uma redução significativa nas perdas por comutação, conforme mostrado nas tabelas 7.8 e 7.9.

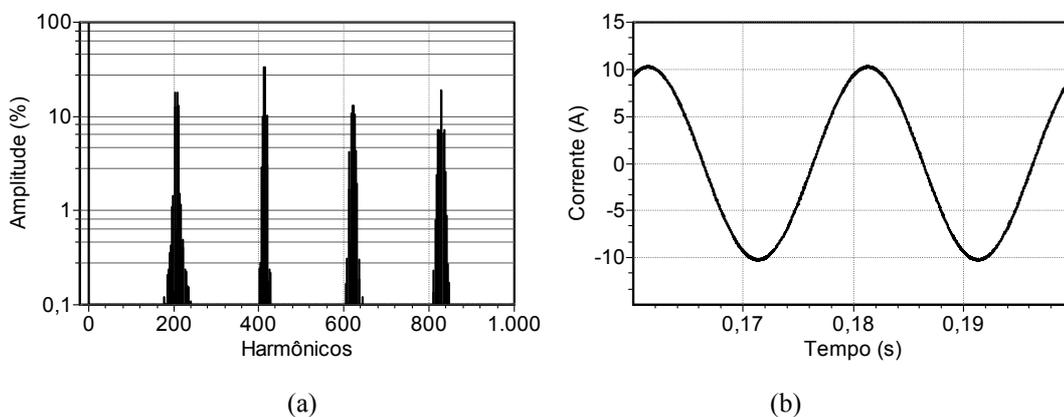


Figura 7.11 – Resultados de simulação com inversor de dois níveis, $f_s = 10,35 \text{ kHz}$, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase.

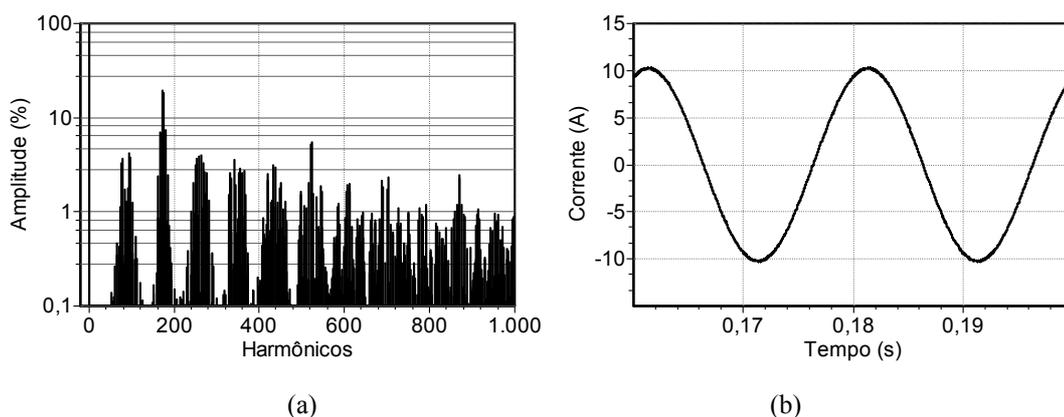


Figura 7.12 – Resultados de simulação com inversor de três níveis, $f_s = 4,35 \text{ kHz}$, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase.

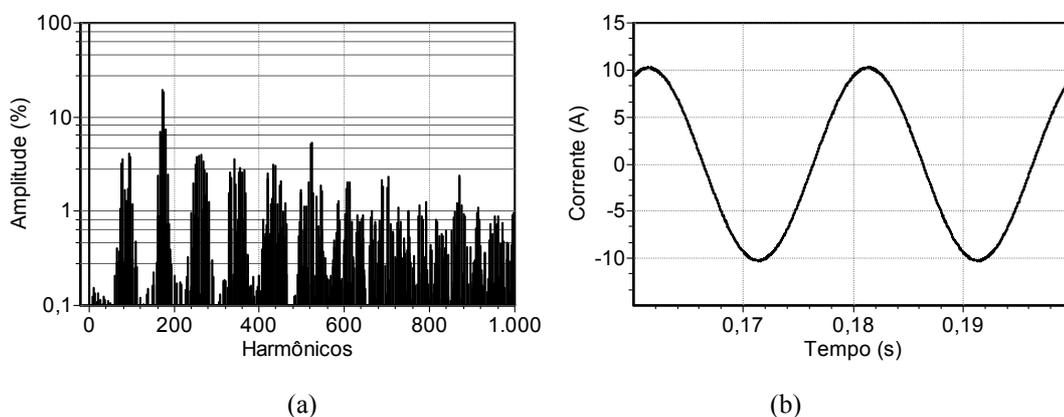


Figura 7.13 – Resultados de simulação com inversor de três níveis NRC, $f_s = 4,35 \text{ kHz}$, $\mu = 0,5$. (a) FFT da tensão de linha. (b) Corrente na fase.

Para finalizar a análise comparativa entre as topologias de inversores de dois e três níveis foi feito um levantamento dos custos de cada uma, tomando como base os valores de cada um dos componentes utilizados na montagem do inversor de três níveis com diodos de grampeamento, considerando as características elétricas escolhidas.

Na tabela 7.10 são fornecidos os preços individuais de cada componente, a quantidade de cada um nas topologias de inversores de dois e três níveis e o preço final da montagem. Os valores são referentes a dezembro de 2004. O objetivo é determinar a relação percentual de custos entre as topologias de inversores estudadas. Neste caso, pode ser feita uma função de custos para eliminar a dependência com os valores individuais dos componentes.

Tabela 7.10 – Custo final das topologias de inversores de dois e três níveis.

Componente	Características Elétricas	Valor Unitário R\$	Topologia de Inversor / Quantidade		
			2N	3N	3N - NRC
Módulo IGBT	1200 V – 50 A	133,00	3	6	6
Módulo Diodo	1200 V – 50 A	57,58	–	3	–
<i>Driver</i>	15 V – 0,3 A	275,90	6	12	9
Capacitor	220 nF	9,87	3	6	6
PIM SKPC	–	8,70	6	12	9
Dissipador	–	96,40	1	1	1
Custo Total da Topologia (R\$)			2.232,61	4.541,56	3.515,02

Cada módulo de IGBT possui 2 interruptores, cada um com seu respectivo diodo em anti-paralelo. Cada módulo de diodo possui dois dispositivos. O componente PIM SKPC é um pequeno circuito localizado entre o *driver* e o IGBT, ele é utilizado para suprimir sobretensões no sinal de comando do IGBT. Já os capacitores são utilizados como supressores de surtos de tensão nos interruptores.

Na tabela 7.10, observa-se que para os níveis de tensão dos dispositivos escolhidos (1200 V e 50 A) a topologia de três níveis com diodos de grampeamento tem um custo adicional de 103% com relação à topologia de dois níveis, enquanto que a estrutura com número reduzido de componentes tem um custo adicional de 57%.

A partir dos resultados mostrados nesta seção e da análise feita na seção 7.5, para se determinar qual das três topologias de inversores é a melhor para uma determinada aplicação, deve ser feita uma análise do custo/benefício que cada

topologia oferece. Esta análise inclui os custos finais da montagem e a qualidade dos sinais na saída do inversor. Além disso, deve-se fazer uma análise das perdas e verificar os limites de utilização dos dispositivos em cada topologia (tensão, corrente e frequência).

7.7 CONCLUSÕES

Neste capítulo foi realizado um estudo comparativo das perdas nos inversores de dois e três níveis baseada na metodologia de cálculo das perdas para IGBTs definida por CAVALCANTI (CAVALCANTI, 2003, p.59); CAVALCANTI, DA SILVA, JACOBINA, 2003; CAVALCANTI et al., 2003a; CAVALCANTI et al., 2003b; CAVALCANTI et al., 2003c).

O modelo das perdas foi introduzido em um programa de simulação possibilitando a realização de vários testes comparativos entre as três topologias de inversores. Os testes realizados com diferentes condições possibilitaram determinar a evolução das perdas nos inversores, considerando todos os dispositivos semicondutores em cada estrutura. Com isso, pode-se definir a melhor topologia em função da potência do sistema e da frequência de comutação, considerando a qualidade dos sinais baseada no parâmetro de desempenho definido no capítulo 3 (WTHD).

Neste capítulo também foi apresentada uma tabela contendo os custos finais de cada topologia estudada. O resultado de uma análise de custo/benefício é outro parâmetro importante na definição da estrutura do inversor a ser utilizada para a aplicação desejada.

Com os resultados mostrados nas seções 7.5 e 7.6, pode-se concluir que o inversor de três níveis com número reduzido de componentes é a melhor opção para uso em baixa tensão e potência, uma vez que, operando em frequência mais baixa (4.350 Hz), ele possui uma quantidade menor de perdas, para a mesma quantidade de conteúdo harmônico (WTHD = 0,2%) nos sinais de saída do inversor de dois níveis operando em frequência mais elevada (10.350 Hz). Além disso, espera-se que a interferência eletromagnética, devida à modulação do inversor NRC operando em 4.350 Hz, seja menor. Nesta frequência o ruído acústico deixa de ser um problema,

uma vez que ele é perceptível para frequências de comutação entre 6 a 18 kHz. Com um número reduzido de componentes, essa topologia de três níveis possui um custo de montagem bem menor do que a topologia com diodos de grampeamento.

Apesar das equações para estimação das perdas devidas a cada dispositivo terem sido obtidas a partir de ensaios experimentais, é importante a avaliação experimental das perdas totais em cada estrutura de inversor para comprovar a análise comparativa realizada neste capítulo por meio de simulações.

CONCLUSÕES E TRABALHOS FUTUROS

8.1 CONCLUSÕES

Os inversores multiníveis com diodos de grampeamento foram introduzidos como uma alternativa para o aumento da qualidade e da eficiência dos sistemas alimentados por inversores. A redução do conteúdo harmônico possibilitada por estes inversores, além de melhorar a qualidade dos sinais na saída do inversor, contribui diretamente para redução das perdas nos motores causadas pelas componentes harmônicas das correntes e pela componente pulsante do torque (CORRÊA, 2002).

Inicialmente, devido ao custo elevado dos dispositivos semicondutores, o uso das topologias multiníveis só se justificava em aplicações para potências elevadas, onde as altas tensões impostas a estes dispositivos exigem a utilização de vários componentes em série, para o caso dos inversores de dois níveis.

É sabido que se pode reduzir a frequência de comutação nos inversores multiníveis e obter um conteúdo harmônico ainda menor do que nos inversores de dois níveis. Isto foi confirmado neste trabalho, que também estabeleceu uma relação entre as frequências de operação dos inversores de dois e três níveis para se ter o mesmo índice de WTHD. Assim, foi mostrado que um inversor de dois níveis operando a uma frequência de 10350 Hz fornece o mesmo valor de WTHD (0,2%) que o inversor de três níveis operando a uma frequência de 4350 Hz. Por isso, pode-se utilizar dispositivos mais lentos nas estruturas multiníveis. A redução na frequência de comutação destes inversores possibilita uma redução considerável das perdas para baixas potências, como foi mostrado no capítulo 7.

Além disso, nas estruturas multiníveis os interruptores suportam tensões de bloqueio menores que em dois níveis. Logo, estes dispositivos podem ser dimensionados para tensões menores. Dispositivos mais lentos e que suportam tensões menores são mais baratos. Por isso, as topologias multiníveis também estão sendo utilizadas como alternativa viável para aplicações de baixo custo e para baixa potência, como sistemas de acionamento mais eficientes (CORRÊA, 2002; WELCHKO, CORRÊA, LIPO, 2004).

Por outro lado, se a frequência de comutação for mantida na faixa de 6 a 9 kHz nos inversores multiníveis para se ter um conteúdo harmônico menor do que nos inversores de dois níveis operando com frequência acima de 10 kHz, pode-se aplicar a técnica de modulação randômica descrita no capítulo 3 para redução do ruído acústico nas máquinas acionadas por inversores.

Utilizando os mesmos dispositivos semicondutores, inclusive com as mesmas características elétricas, foi mostrado que a montagem da estrutura do inversor de três níveis com diodos de grampeamento custa em média 103% a mais do que o inversor de dois níveis. Por isso, topologias de inversores multiníveis com número reduzido de componentes estão sendo propostas como outra alternativa para aplicações em baixas tensões e potências. Estas topologias possibilitam uma quantidade menor de perdas, comparadas com as topologias de três níveis convencionais, como também melhoram significativamente a qualidade dos sinais na saída dos inversores, quando comparadas com as estruturas de dois níveis.

No capítulo 2 foi analisada uma topologia de inversor de três níveis com número reduzido de componentes (NRC) para aplicações em baixas tensões com custo adicional de 57% com relação ao inversor de dois níveis. Foi mostrado que a utilização do inversor NRC reduz em 1/3 as perdas em condução obtidas com o inversor de três níveis com diodos de grampeamento, nas mesmas condições. Ainda, foi mostrado que a topologia de três níveis NRC, também operando a uma frequência de 4350 Hz fornece o mesmo valor de WTHD (0,2%) que o inversor de dois níveis operando a 10350 Hz.

Estudos teóricos e resultados de simulação mostraram que o inversor de três níveis com número reduzido de componentes possibilita:

- Redução das perdas em condução, comparada com a topologia de três níveis com diodos de grampeamento.
- Redução do conteúdo harmônico nos sinais de saída, comparada com a topologia de dois níveis.
- Redução da frequência de comutação, possibilitando a redução das perdas por comutação e da interferência eletromagnética.

Como a topologia de três níveis com número reduzido de componentes foi analisada já no final da tese, a topologia de inversor de três níveis com diodos de grampeamento foi escolhida para viabilizar o estudo da técnica de modulação multinível. Essa estrutura foi escolhida devido à sua maior simplicidade para montagem, ao maior uso em aplicações industriais e a maior quantidade de estudos técnicos, do que as outras topologias apresentadas no capítulo 2. O uso do DSP para comando do inversor tornou a montagem prática mais simples e eficiente, pois reduziu a quantidade de circuitos digitais adicionais e assim, a probabilidade de falhas. Com a plataforma experimental também é possível o estudo de controle digital e de técnicas de acionamento de máquinas com uso do inversor, além de estudos de estratégias de modulação.

As técnicas de modulação híbrida são preferidas para uso com os inversores multiníveis, devido à sua simplicidade e por possibilitarem a obtenção de algumas características inerentes às técnicas vetoriais, uma vez que estas são pouco atrativas para uso com os inversores multiníveis devido a grande quantidade de vetores e regiões no diagrama vetorial, o que aumenta a complexidade dos cálculos.

Os resultados obtidos com os ensaios experimentais comprovaram os estudos feitos por meio das simulações e o efetivo funcionamento da montagem, bem como demonstraram a aplicabilidade do método multinível no comando do inversor de tensão. Baseados no índice de distorção harmônica total ponderada (WTHD) foram apresentados estudos qualitativos para o inversor de três níveis e para a modulação

proposta, mostrando a qualidade da técnica e da topologia do inversor na geração dos sinais modulados.

No capítulo 6 foi mostrado como a modificação da técnica multinível garante o equilíbrio das tensões nos capacitores do barramento CC nos inversores de três níveis para $\mu = 0,5$ e para qualquer frequência de comutação. Para frequências abaixo de 3500 Hz é necessário o controle em malha fechada para manter as tensões nos capacitores equilibradas com uso de ' μ ' variável (0 ou 1). Foram mostradas também outras formas de equalização das tensões nos capacitores utilizando circuitos auxiliares.

A estratégia de modulação multinível proposta no capítulo 4:

- É fundamentada em cálculos simples e possui um algoritmo rápido.
- Introduce o conceito de diferença de níveis para cálculo dos pulsos de comando dos interruptores para inversores de N níveis.
- Estende de forma real e específica a um inversor de N níveis o conceito de ' μ '.
- É uma técnica de modulação híbrida que introduz uma equação geral para cálculo de v_h nos inversores multiníveis.
- Possibilita excelentes valores de WTHD.

Foi mostrado que a estratégia proposta também pode ser aplicada em conjunto com outras técnicas, possibilitando:

- Controle das tensões nos capacitores do barramento CC.
- Redução das perdas por comutação obtidas com as técnicas de grampeamento das fases.
- Diminuição do ruído acústico a partir da modulação randômica.
- Regulação de corrente com controle em malha fechada.

8.2 PROPOSTAS DE TRABALHOS FUTUROS

Nos capítulos 5, 6 e 7 foram mostrados os resultados de diversos ensaios experimentais e de simulação. A técnica de modulação proposta foi analisada sob três

importantes aspectos: conteúdo harmônico nos sinais de saída dos inversores, capacidade de equalização das tensões nos capacitores do barramento CC e influência nas perdas causadas pelos inversores. Também foi realizado um estudo comparativo entre a técnica multinível e a técnica apresentada por LEE, KIM e HYUN (2000), com respeito ao conteúdo harmônico nas tensões de linha na saída do inversor de três níveis. Sugerem-se como propostas para trabalhos futuros:

- A. Investigar os efeitos dos diferentes sinais de referência obtidos com a técnica multinível nas tensões de modo comum.
- B. Realizar um estudo qualitativo da modulação multinível para comparação com as técnicas ótimas de PWM, segundo o trabalho de BRUCKNER e HOLMES, 2005.
- C. Analisar a influência do tempo morto e a necessidade de sua compensação nos inversores de três níveis com diodos de grampeamento e na estrutura com número reduzido de componentes.
- D. Realizar estudos para detecção e compensação de falhas nos dispositivos semicondutores nas duas topologias de inversores de três níveis estudadas.
- E. Verificar a eficiência do inversor de três níveis em aplicações com filtros ativos.
- F. Realizar estudos para identificar os limites, em termos de potência de saída *versus* perdas *versus* frequência de comutação, para as duas topologias de inversores de três níveis estudadas.
- G. Realizar estudos experimentais das perdas em condução e comutação nos inversores de dois e três níveis, para validar a análise comparativa realizada no capítulo 7.
- H. Implementar o controle das tensões do barramento CC através de circuitos auxiliares, para possibilitar os ensaios dinâmicos do inversor de três níveis no acionamento de um motor de indução com carga e com controle das correntes nas fases.

REFERÊNCIAS BIBLIOGRÁFICAS

ALVES, R. N. C. **Análise e Implementação de Técnicas de Modulação em Largura de Pulso para uso em Inversores Trifásicos**. Campina Grande, 1998. Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFPB.

ALVES, R.N.C.; DA SILVA, E. R. C.; LIMA, A. M. N.; JACOBINA, C. B. Pulse width modulator for voltage-type inverters with either constant or pulsed dc link. In: **Proc. of IEEE IAS'98**, 1998, p. 1229-1236.

ALVES, R.N.C.; DA SILVA, E. R. C.; LIMA, A. M. N.; JACOBINA, C. B. Reduced-loss PWM strategy for three-phase. Em: **COBEP'99**, 1999, p. 181-186.

ALVES, R. N. C.; LIMA, A. M. N.; DA SILVA, E. R. C.; JACOBINA, C. B. A new approach to the problem of synthesizing non-sinusoidal waveforms for analog and digital implementations of space vector PWM strategies. Em: **1st Brazilian Power Electronics Conference - SOBRAEP/UFSC**, 1991, p. 228-333.

ÅSTRÖM, K. J.; WITTENMARK, B. **Computer-Controlled Systems: Theory and Design**. Englewood Cliffs, NJ: Prentice Hall, 1990.

- BAKER, R. H. **High-Voltage Converter Circuit**. U. S. Patent 4 203 151, USA, May 1980.
- BAKER, R. H.; BANNISTER, L. H. **Electric Power Converter**. U. S. Patent 3 867 643, USA, 1975.
- BEDFORD, B. D.; HOFT, R. G. **Principles of inverter circuits**. New York: John Wiley & Sons Inc., 1964, p.428.
- BENDRE, A.; KRSTIC, S.; VAN DER MEER, J.; VENKATARAMANAN, G. Comparative evaluation of modulation algorithms for neutral point clamped converters. In: **Proc. of IEEE IAS'04**, v.2, 1996, p. 798-805.
- BHAGWAT, P. M.; STEFANOVIC, V. Generalized structure of a multilevel PWM inverter. **IEEE Transactions on Industry Applications**, p.1057-1069, 1983.
- BLASKO, V. A hybrid PWM strategy combining modified space vector and triangle comparison methods. In: **Proc. of IEEE PESC'96**, 1996, p.1872-1878.
- BOLOGNANI, S.; CONTON, R.; ZIGLIOTTO, M. Experimental Analysis of the EMI Reduction in PWM Inverters Using Random Space Vector Modulation. In: **Proc. of IEEE ISIE'96**, 1996, p.482-487.
- BOSE, B.K. **Power Electronics AND Variable Frequency Drives: Technology and Applications**. Piscataway, NJ: IEEE Press, 1996, p.148-150.
- BOYS, J. T.; ANDREWS, M. Random PWM Inverter Drive Systems: Theory and Practice. In: **Proc. of IEEE IECON'93**, v.2, 1993, p.695-700.

- BUHLER, H. **Reglages Echantillonnés**. Ed.1. Lausanne, Switzerland: Presses Polytechnique Romandes, 1983, v.1.
- BRUCKNER, T.; HOLMES, D.G. Optimal pulse-width modulation for three-level inverters. **IEEE Transaction on Power Electronics**, v.20, p. 82 - 89, Jan. 2005.
- CARRARA, G.; GARDELA, S.; MARCHESONI, M.; SALUTARI, R. A new multilevel PWM method: a theoretical analysis. **IEEE Transaction on Power Electronics**, v.7, p.497-505, 1992.
- CAVALCANTI, M. C. **Estudos das perdas em conversores fonte de tensão a barramento pulsado**. Campina Grande, 2003. Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFPB.
- CAVALCANTI, M. C.; DA SILVA, E. R. C.; JACOBINA, C. B. Losses in soft-switched and hard-switched voltage inverters. In: **Proc. of IEEE ISIE'03**, v.1, 2003, p.533-537.
- CAVALCANTI, M. C.; DA SILVA, E. R. C.; BOROYEVICH, D.; DONG, W.; JACOBINA, C. B. A feasible loss model for IGBT. Em: **COBEP'03**, 2003, p. 634-639.
- CAVALCANTI, M. C.; DA SILVA, E. R. C.; BOROYEVICH, D.; DONG, W.; JACOBINA, C. B. A feasible loss model for IGBT in soft-switching inverters. In: **Proc. of IEEE PESC'03**, v.4, 2003, p.1845-1850.
- CAVALCANTI, M.C.; DA SILVA, E. R. C.; JACOBINA, C. B.; BOROYEVICH, D.; DONG, W. Comparative evaluation of losses in soft and hard-switched inverters. In: **Proc. of IEEE IAS'03**, v.3, 2003, p.1912-1917.

- CELANOVIC, N.; BOROYEVICH, D. A fast space vector modulation algorithm for multilevel three-phase converters. In: **Proc. of IEEE IAS'99**, v.2, 1999, p.1173-1177.
- CELANOVIC, N.; BOROYEVICH, D. A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source PWM inverters. **IEEE Transactions on Power Electronics**, n.15, p.242-249, 2000.
- CHOI, N. S.; CHO, J. G.; CHO, G. H. A general circuit topology of multilevel inverter. In: **Proc. of IEEE PESC'91**, 1991, p.96-103.
- CHOW, M. -Y. **Methodologies of using artificial neural network and fuzzy logic technologies for motor incipient fault detection**. World Scientific Publishing Co. Pte. LTD., 1997.
- CIRRINCIONE, G.; CIRRINCIONE, M.; VITALE, G. A kohonen neural network for the diagnosis of incipient faults in induction motors. In: **Proc. of ICM'94**, 1994, p.369-373.
- CORRÊA, M. B. DE R. **Estruturas Estáticas Alternativas para Acionamento de Motores de Indução**. Campina Grande, 2002. Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFPB.
- CORRÊA, M. B. DE R.; JACOBINA, C. B.; DA SILVA, E. C.; LIMA, A. M. N. An induction motor drive system with improved fault tolerance. **IEEE transactions on Industry Applications**, v.37, n.3, p.873-879, May/June 2001.

CORZINE, K. A. Operation and design of multilevel inverters. **Developed for the Office of Naval Research**, USA, December 2003. Disponível na Internet. www.nerc.aticorp.org/papers/inverters.pdf. Acessado em 10/02/2005

CORZINE, K. A.; BAKER, J. A.; YUEN, J. Reduced parts-count multi-level rectifiers. In: **Proc. of IEEE IAS'01**, 2001, p.589-596.

DA SILVA, E. R. C.; JACOBINA, C. B.; DE OLIVEIRA, A. S.; CORRÊA, M. B. R.; LIMA, A. M. N. Fator de Distribuição: Um Conceito Útil no Controle PWM de Conversores. Em: **CBA'04**, Setembro 2004, CDROM.

DE OLIVEIRA, A. S.; DA SILVA, E. R. C.; JACOBINA, C. B. A Hybrid PWM Strategy for Multilevel Voltage Source Inverters. In: **Proc. of IEEE PESC'04**, 2004, p.4220-4225.

DE OLIVEIRA, A. S.; DA SILVA, E. R. C.; JACOBINA, C. B.; LIMA, A. M. N. Random Space Vector Modulation for 3-Level Power Inverters and Induction Motor Drives Currente. In: **Proc. of IEEE PESC'05**, 2005, p.987-993.

DE OLIVEIRA, A. S.; DA SILVA, E. R. C. Software Educacional em C++ para Ensino e Simulação de Inversores PWM em Eletrônica de Potência. Em: **CBA'04**, Setembro 2004, CDROM.

DE OLIVEIRA, A. S.; DA SILVA, E. R. C.; JACOBINA, C. B.; An Improved Neutral-Point Voltage Balance in a Hybrid PWM Strategy for Multilevel Voltage Source Inverters. Em: **COBEP'05**, Junho 2005, p.205-210.

- DE OLIVEIRA, A. S.; DA SILVA, E. R. C.; JACOBINA, C. B.; Uma Abordagem Simplificada para Modulação por Largura de Pulso em Inversores Multiníveis com Controle das Tensões nos Capacitores do Barramento CC. **Revista da Sociedade Brasileira de Eletrônica de Potência - SOBRAEP**, no prelo.
- DODSON, R. C.; EVANS, P. D.; YAZDI, H. T; HARLEY, S. C. Compensating for dead time degradation of PWM inverter waveforms. In: **Proc. of IEE'90**, March 1990, v.137, n.2, p.73-81.
- EBERSOHN, G.; GITAU, M.N. FPGA-implemented carrier based SPWM multilevel controller. In: **Proc. of AFRICON'04**, v.2, 2004, p.1175-1178.
- FERNADES, D. E. B. **Uma Metodologia de Gerenciamento da Qualidade da Energia Elétrica**. Belo Horizonte, 1999. Dissertação (Mestrado em Engenharia Elétrica) - PPGE, PUCMG.
- FLAIRTY, C. W. A 50-KVA adjustable-frequency 24-phase controlled rectifier inverter. **Transactions on Industrial Electronics**, p.56-60, May 1962.
- FOCH, J.; ANDARCHES, H.; ROUX, J.; HSU, T.; CABALEIRO, P. Contribuição dos transistores de potência nas redes de média tensão. Em: **CBA'84**, v.1, 1984, p.356-361.
- HABETLER, T. G.; DIVAN, D. M. Acoustic Noise Reduction in Sinusoidal PWM Drives Using a Randomly Modulated Carrier. **IEEE Transactions on Power Electronics**, v.6, n.3, p.356-363, July 1991.
- HALASZ, S.; HASSAN, A. A. M.; HUU, B. T. Optimal control of three-level PWM inverters. **IEEE Transactions on Industrial Electronics**, v.44, n.1, p. 96-106, February. 1997.

- HASENKOPF, D.; WEIGAND, E.; XIE, J. FPGA-based modulator design for five-level inverter control with optimized pulse patterns. In: **Proc. of IEEE ISIE'02**, v.3, 2002, p.772-777.
- HAVA, A. M.; KERKMAN, R. J.; LIPO, T. A. A high performance generalized discontinuous PWM algorithm. In: **Proc. of IEEE APEC'97**, 1997, p.886-894.
- HOLMES, D. G. The significance of zero space vector placement for carrier based PWM schemes. In: **Proc. of IEEE IAS'95**, v.3, 1995, p.2451-2458.
- HOLMES, D. G.; LIPO, T. A. **Pulse Width Modulation for Power Converters: Principles and Practice**. Piscataway, NJ: IEEE Press, 2003.
- HU, L.; WANG, H.; DENG, V.; HE, X. A simple SVPWM algorithm for multilevel inverters. In: **Proc. of IEEE PESC'04**, v.5, 2004, p. 3476 - 3480.
- IEEE STANDARDS BOARD. **IEEE Std 519-1992 – Recommended Practice and Requirements for Harmonics Control in Electrical Power Systems**. USA, June 1992, p.100.
- IGNÁCIO, H. K. Utilizando o DSP como sistema de controle digital. **Revista Saber Eletrônica**, n.364, p.28-31, Maio 2003.
- JACOBINA, C. B.; CORRÊA, M. B. DE R.; LIMA, A. M. N.; DA SILVA, E. R. C. AC motor drive systems with a reduced switch count converter. **IEEE Transactions on Industry Applications**, v.39, n.5, p.1333-1343, September/October 2003.

- JACOBINA, C. B.; CORRÊA, M. B. DE R.; PINHEIRO, R. F.; DA SILVA, E. R. C.; LIMA, A. M. N. Modeling and control of unbalanced three-phase systems containing converters. **IEEE Transactions on Industry Applications**, v.37, n.6, p.1807-1816, 2001.
- JACOBINA, C. B.; LIMA, A. M. N.; DA SILVA, E. R. C.; ALVES, R. N. C.; SEIXAS, P. F. Digital scalar pulse-width modulation: a simple approach to introduce non-sinusoidal modulating waveforms. **IEEE Transactions on Power Electronics**, v.16, n.3, p.351-359, May 2001.
- JACOBINA, C. B.; LIMA, A. M. N.; DA SILVA, E. R. C.; TRZYNADLOWSKI, A. M. Current Control for Induction Motor Drives Using Random PWM. **IEEE Transactions on Industrial Electronics**, v.45, n.5, p.704-712, October 1998.
- JOETTEN, R.; KEHL, C. A fast space-vector control for a three-level voltage source inverter. In: **Proc. of EPE'91**, 1991, p.70-75.
- JOUANNE, A.; DAÍ, S.; ZHANG, H. A multilevel inverter approach providing DC-link balancing, ride-through enhancement, and common-mode voltage elimination. **IEEE Transactions on Industrial Electronics**, v.49, n.4, p.739-745, August 2002.
- KAZMIERKOWSKI, M. P.; KRISHNAN, R.; BLAABJERG, F. **Control in Power Electronics - Selected Problems**. California: Academic Press, 2002.
- KOLAR, J.W.; ZACH, F.C. A Novel Three-Phase Utility Interface Minimizing Line Current Harmonics of High-Power Telecommunications Rectifier Modules. In: **Proc. of IEEE International Telecommunications Energy Conference'94**, October/November 1994, p.367-374.

- KOLAR, J. W.; ERTL, H.; ZACH, F.C. Minimizing the current harmonics RMS value of three-phase PWM converter systems by optimal and suboptimal transition between continuous and discontinuous modulation. In: **Proc. of IEEE PESC'91**, 1991, p.372-381.
- KOLAR, J.W.; ZACH, F.C. Losses in PWM converters using IGBTs: on the effect of bus-clamping on the distortion of AC-side currents. In: **Proc. of IEE Electric Power Applications**, v.144, n.2, March 1997. p. 169-171.
- KOYAMA, M.; FUJII, T.; UCHIDA, R.; KAWABATA, T.; Space voltage vector-based new PWM method for large capacity three-level GTO inverter. In: **Proc. of IEEE IECON'92**, v.1, November 1992, p.271-276.
- KRAUSE, P. C.; WASYNCZUK, O.; SUDHOFF, S. D. **Analysis of Electric Machinery**. Piscataway, NJ: IEEE Press, 1995.
- KRUG, D.; MALINOWSKI, M.; BERNET, S. Design and comparison of medium voltage multi-level converters for industry applications. In: **Proc. of IEEE IAS'04**, v.2, 2004, p.781-790.
- LAI, Y. S. New Random Technique of Inverter Control for Common Mode Voltage Reduction of Inverter-Fed Induction Motor Drives. **IEEE Transactions on Energy Conversion**, v.14, n.4, p.1139-1146, December 1999.
- LAI, J.; PENG, F. Multilevel converters – a new breed of power converters. In: **Proc. of IEEE IAS'95**, v.3, October 1995, p.2348-2356.
- LEE, C. K.; HUI, S. Y. R.; CHUNG, H. S. H. A randomized voltage vector switching scheme for 3-level power inverters. In: **Proc. of IEEE PESC'00**, v.1, 2000, p.27-32.

- LEE, Y. H.; KIM, D. H.; HYUN, D. S. Carrier based SVPWM method for multi-level system with reduced HDF. In: **Proc. of IEEE IAS'00**, v.3, 2000, p.1996-2003.
- LEE, Y. H.; KIM, H. Y.; HYUN, D. S. A novel SVPWM strategy considering DC-link balancing for a multi-level voltage source inverter. In: **Proc. of IEEE APEC'99**, v.1, 1999, p.509-514.
- LEE, Y. H.; SUH, B. S.; HYUN, D. S. A novel PWM scheme for a three-level voltage source inverter with GTO thyristors. **IEEE Transactions on Industry Applications**, v.32, p.260-268, 1996.
- LI, S.; XU, L. Fault-tolerant operation of a 159KW 3-level neutral-point-clamped PWM inverter in a flywheel energy storage system. In: **Proc. of IEEE IAS'01**, v.1, September/October 2001, p.585-588.
- LI, S.; XU, L. A DSP peripheral design for three-level inverter space vector PWM modulations. In: **Proc. of IEEE PESC'03**, v.1, 2003, p. 189 - 194.
- LIAW, C. M.; LIN, Y. M.; WU, C. H.; HWU, K. I. Analysis, Design, and Implementation of a Random Frequency PWM Inverter. **IEEE Transactions on Power Electronics**, v.15, n.5, p.843-854, September 2000.
- LIPO, T. A.; MANJREKAR, M. D. **Hybrid topology for multilevel power conversion**. U. S. Patent 6 005 788, Estados Unidos, 1999.
- LIU, H. L.; CHO, G. H. Three-level space vector PWM in low index modulation region avoiding narrow pulse problem. **IEEE Transactions on Power Electronics**, v.9, p.481-486, 1994.

- LIU, H. L.; CHOI, N. S.; CHO, G. H. DSP based space vector PWM for three-level inverter with DC-link voltage balancing. In: **Proc. of IEEE IECON'91**, v.1, 1991, p.197-203.
- LIU, Z.; KONG, P.; WU, X.; HUANG, L. Implementation of DSP-based three-level inverter with dead time compensation. In: **Proc. of International Power Electronics and Motion Control Conference, IPEMC'04**, v.2, 2004, p. 782 - 787.
- MAHDAVI, J.; AGAH, A.; RANJBAR, A. M.; TOLIYAT, H. A. Extension of PWM space vector technique for multilevel current-controlled voltage source inverters. In: **Proc. of IEEE IECON'99**, v. 2, 1999, p.583-588.
- MANJREKAR, M., LIPO, T. A. A hybrid multilevel inverter topology for drive applications. In: **Proc. of IEEE APEC'98**, 1998, p.523-529.
- MARCHESONI, M. High-performance current control techniques for applications to multilevel high-power voltage source inverters. **IEEE Transactions on Power Electronics**, v.7, p.189-204, 1992.
- MARTINS, C. A.; MEYNARD, T. A.; ROBOAM, X.; CARVALHO, A. S. A predictive sampling scale model for direct torque control of the induction machine fed by multilevel voltage-source inverters. **Eur. Phys. Journal**, v.5, p.51-61, 1999.
- MARTINS, C. A.; ROBOAM, X.; MEYNARD, T. A.; CARVALHO, A. S. Multi-level direct torque control with imposed switching frequency and reduced ripple. In: **Proc. of IEEE PESC'00**, v.1, 2000, p.435-441.

- MAZUMDER, S. DSP based implementation of a PWM AC/DC/AC converter using space vector modulation with primary emphasis on the analysis of the practical problems involved. In: **Proc. of IEEE APEC**, v.1, 1997, p.306-312.
- MCGRATH, B. P.; HOLMES, D. G. A comparison of multicarrier PWM strategies for cascaded and neutral point clamped multilevel inverters. In: **Proc. of IEEE PESC'00**, v.2, 2000, p.674-679.
- MCGRATH, B. P.; HOLMES, D. G.; LIPO, T. A. Optimised space vector switching sequences for multilevel inverters. In: **Proc. of IEEE APEC'01**, v.2, 2001, p.1123-1129.
- MENDES, M. A. S. **Técnicas de modulação em largura de pulso vetoriais para inversores multiníveis**. Belo Horizonte, 2000. Tese (Doutorado em Engenharia Elétrica) - CPDEE, UFMG.
- MENDES, M. A. S.; PEIXOTO, Z. M. A.; SEIXAS, P. F.; GARCIA, P. D. A space vector PWM method for three-level flying-capacitor inverters. In: **Proc. of IEEE PESC'01**, v.1, 2001, p.182-187.
- MEYNARD, T.; FOCH, H. Multilevel conversion: high voltage chopper and voltage source inverters. In: **Proc. of IEEE PESC'92**, 1992, p.397-403.
- MOHAN, N.; UNDELAND, T. M.; ROBBIND, W. P. **Power Electronics: Converters, Applications and Design**. Ed.2. NY: John Wiley & Sons Inc., 1995, p.200-248.
- MWINYIWIWA, B.; WOLANSKI, Z.; CHEN, Y.; OOI, B. T. Multimodular multilevel converters with input output linearity. **IEEE Transactions on Industry Applications**, v.33, p.1214-1219, 1997.

- NA, S.-H.; JUNG, Y.-G.; LIM, Y.-C.; YANG, S.-H. Reduction of audible switching noise in induction motor drives using random position space vector PWM. In: **Proc. of IEE Electric Power Applications**, v.149, n.3, May 2002. p.195-200.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point clamped PWM inverter. **IEEE Transactions on Industry Applications**, p.518-523, 1981.
- OGASAWARA, S.; AKAGI, H.; NABAE, A. A novel PWM scheme of voltage source inverters based on space vector theory. In: **Proc. of EPE'89**, 1989, p.1197-1202.
- OLIVEIRA, A. C. **Acionamento de Máquinas a Relutância Variável**. Campina Grande, 2003. Tese (Doutorado em Engenharia Elétrica) - CCT/DEE, UFPB.
- ONS. **Padrões de Desempenho da Rede Básica**. Procedimentos de Rede – ONS 2002, submódulo 2.2, revisão 2, p.10. Disponível na Internet. <http://www.ons.org.br/ons/procedimentos/abertura.htm>. Acessado em 21/07/2005.
- PEDERSEN, J. K.; BLAABJERG, F.; FREDERIKSEN, P. S. Reduction of Acoustical Noise Emission in AC-Machines by Intelligent Distributed Random Modulation. In: **Proc. of European Conference on Power Electronics and Applications**, v.4, 1993, p.369-375.
- PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. **IEEE Transactions on Industry Applications**, v.37, n.2, p.611-618, March/April 2001.
- PENG, F. Z.; LAI, J. S.; MCKEEVER, J. A multilevel voltage-source inverter with separate d.c. sources for static var generation. In: **Proc. of IEEE IAS'95**, 1995, p.2541-2548.

- PFAFF, G.; WESCHTA, A.; WICK, A. Design and experimental results of a brushless ac servo drive. **IEEE Transactions on Industry Applications**, n.22, p.814-821, 1984.
- POMÍLIO, J. A. **Técnicas de modulação de potência**. Disponível na Internet. www.dsce.fee.unicamp.br/~antenor/elpot.html. Acessado em 10/02/2005.
- POU, J.; RODRÍGUEZ, P.; BOROYEVICH, D. Efficient Space-Vector Modulation Algorithm for Multilevel Converters with Low Switching Frequencies in the Devices. In: **Proc. of IEEE PESC'05**, 2005, p.2521-2526.
- RATNAYAKE, K. R. M. N.; MURAI, Y. A novel PWM scheme to eliminate common-mode voltage in three-level voltage source inverter. In: **Proc. of IEEE PESC'98**, v.1, 1998, p.269-274.
- RECH, C.; GRÜNDLING, H. A.; HEY, H. L.; PINHEIRO, H. Uma metodologia de projeto generalizada para inversores multiníveis híbridos. **Revista Controle e Automação**, v.15, n.2, Abril/Junho 2004.
- RIBEIRO, R. DE A. L.; JACOBINA, C. B.; DA SILVA, E. C.; LIMA, A. M. N. Fault detection of open-switch damage in voltage-fed PWM motor drive systems. **IEEE Transactions on Power Electronics**, v.18, n.2, p.587-593, March 2003.
- RODRIGUEZ, J.; CORREA, P.; MORÁN, L. A vector control technique for medium voltage multilevel inverters. In: **Proc. of IEEE APEC'01**, v.1, 2001, p.173-178.
- RODRÍGUEZ, J.; LAI, J.-S.; PENG, F. Z. Multilevel inverters: a survey of topologies, controls, and applications. **IEEE Transactions on Industrial Electronics**, v.49, n.4, p.724-738, August 2002.

- SALMON, J.C. Circuit topologies for PWM boost rectifiers operated from 1-phase and 3-phase AC supplies and using either single or split DC rail voltage outputs. In: **Proc. of IEEE APEC'95**, v.1, March 1995, p.473-479.
- SALIM, F.; AZLI, N.A. Development of an FPGA-based gate signal generator for a multilevel inverter. In: **Proc. of IEEE PEDS'03**, v.1, 2003, p.402-405
- SANABRIA, C.; RAMIREZ, S. PWM switching patterns optimization for multilevel inverter using a FPGA. In: **Proc. of IEEE CIEP'04**, 2004, p.207-211.
- SCHÖNUNG, A.; STEMMLER, H. Static frequency changers with subharmonic control in conjunction with reversible variable speed a.c. drives. **Brown Boveri**, n.51, p.555-577, 1964.
- SEIXAS, P. F. **Commande numérique d'une machine synchrone autopilotée**. Toulouse, Juillet 1988. These de doctorat de l'INP.
- SEIXAS, P. F.; MENDES, M. A. S.; GARCIA, P. D.; LIMA, A. M. N. A space vector PWM method for three-level voltage source inverters. In: **Proc. of IEEE APEC'00**, v.1, 2000, p.549-555.
- SEO, J. H.; CHOI, C. H. Compensation for the neutral-point potential variation in three-level space vector PWM. In: **Proc. of IEEE APEC'01**, v.2, 2001, p.1135-1140.
- SEO, J. H.; CHOI, C. H.; HYUN, D. S. A new simplified space vector PWM method for three-level inverters. **IEEE Transactions on Power Electronics**, v.16, n.4, p.545-550, July 2001.

- SHRIVASTAVA, Y.; HUI, S. Y. Analysis of random PWM switching methods for three-Level power inverters. **IEEE Transactions on Power Electronics**, v.14, n.6, p.1156-1163, November 1999.
- SILVA, J. F.; RODRIGUES, N.; COSTA, J. Space vector alpha-beta sliding mode current controllers for three-phase multilevel inverters. In: **Proc. of IEEE PESC'00**, v.1, 2000, p.133-138.
- SINHA, G.; LIPO, T. A. A four level inverter based drive with a passive front end. In: **Proc. of IEEE PESC'97**, 1997, p. 590-596.
- SINHA, G.; LIPO, T. A. A new modulation strategy for improved dc bus utilization in hard and soft switched multilevel inverters. In: **Proc. of IEEE IECON'97**, v.2, 1997, p.670-675.
- SUH, J. H.; CHOI, C. H.; HYUN, D. S. A new simplified space-vector PWM method for three-level inverters. In: **Proc. of IEEE APEC'99**, v.1, 1999, p.515-520.
- SUH, B. S.; HYUN, D. S. A new n-level high voltage inversion system. **IEEE Transactions on Industrial Electronics**, v.44, p.107-115, 1997.
- SUN, J.; GROSTOLLEN, H. Optimized space vector modulation and regular-sampled PWM: a reexamination. In: **Proc. of IEEE IAS'96**, v.2, 1996, p.956-963.
- TALLAM, R. M.; NAIK, R.; NONDAHL, T. A. A Carrier-Based PWM Scheme For Neutral-Point Voltage Balancing in Three-Level Inverters. In: **Proc. of IEEE APEC'04**, v.3, 2004, p.1675-1681.

- TEODORESCU, R.; BLAABJERG, F.; PEDERSEN, J. K.; ENJETI, P.; CENGELCI, E. Space vector modulation applied to modular multilevel converters. **IEEE Transactions on Industry Applications**, v.35, n.4, p.1089-1097, September/October 1999.
- TOLBERT, L. M.; HABELTLER, T. G. Novel multilevel inverter carrier-based PWM Method. **IEEE Transactions on Industry Applications**, v.35, n.5, p.1098-1107, September/October 1999.
- TOBERT, L. M.; PENG, F. Z. Multilevel converters for large electric drives. In: **Proc. of IEEE APEC'98**, 1998, p.530-536.
- TRZYNADLOWSKI, A. M.; BLAABJERG, F.; PEDERSEN, J. K.; KIRLIN, L.; LEGOWSKI, S. Random Pulse Width Modulation Techniques for Converter-Fed Drive Systems – A Review. **IEEE Transactions on Industry Applications**, v.30, n.5, p.1166-1175, September/October 1994.
- TZOU, Ying-Yu; DSP-based fully digital control of a PWM DC-AC converter for AC voltage regulation. In: **Proc. of IEEE PESC'95**, v.1, June 1995, p.138-144.
- VAN DER BROECK, H. W.; SKUDELNY, H. Ch.; STANKE, G. Analysis and realization of a pulse width modulator based on voltage space vectors. **IEEE Transactions on Industry Applications**, n.24, p.142-150, 1988.
- VEENSTRA, M.; RUFER, A. PWM-control of multi-level voltage-source inverters. In: **Proc. of IEEE PESC'00**, v.3, 2000, p.1387-1393.
- WANG, F. Sine-triangle versus space-vector modulation for three-level PWM voltage-source inverters. **IEEE Transactions on Industry Applications**, v.38, n.2, p.500-506, March/April 2002.

- WELCHKO, B. A.; CORRÊA, M. B. DE R.; LIPO, T. A. A Three-Level MOSFET Inverter for Low-Power Drives. **IEEE Transactions on Industrial Electronics**, v.51, n.3, p.669-674, June 2004.
- WU, B. High-Power Converters and AC Motor Drives. In: **Tutorial 4 of IEEE PESC'05**, June 2005, p.143.
- WU, H.; HE, M. Inherent correlation between multilevel carrier-based PWM and space vector PWM: principle and application. In: **Proc. of IEEE PEDS'01**, v.1, 2001, p.276-281.
- YU, Q.; SONG, Q.; LIU, W.; LI, Y.; DSP LF2407 in NPC three-level inverter using constant V/f principle and SHE-PWM method. In: **Proc. of International Conference on Signal Processing'02**, v.2, 2002, p. 1723 - 1726.
- ZHAO, Y.; LI, Y.; LIPO, T. A. Force commutated three level boost type rectifier. **IEEE Transactions on Industry Applications**, v.31, n.1, p.155-161, Jan/Feb 1995.
- ZHUANG, Z.; XIONG, Y.; TING, M. An innovative control algorithm for three-level inverter. In: **Proc. of Power Electronics and Motion Control Conference**, v.1, n.2, 2000, p.153-175.
- ZIGLIOTTO, M.; TRZYNADLOWSKI, A. M. Effective Random Space Vector Modulation for EMI Reduction in Low-Cost PWM Inverters. In: **Proc. of IEE Power Electronics and Variable Speed Drives**, 1998, p.163-168.
- ZMOOD, D.; HOLMES, D. G. Practical Performance Limitations for PWM Strategies. In: **Proc. of IEEE IAS'98**, v.2, 1998, p.1245-1252.

MANUAIS DO DSP TMS320LF2407

- TEXAS INSTRUMENTS. Arquivo: eZdsp2407.pdf. Disponível na Internet. <http://www.ti.com/>. 2001.
- TEXAS INSTRUMENTS. Arquivo: SPRA755A.pdf. Disponível na Internet. <http://www.ti.com/>. July 2002.
- TEXAS INSTRUMENTS. Arquivo: SPRS094H.pdf. Disponível na Internet. <http://www.ti.com/>. April 1999.
- TEXAS INSTRUMENTS. Arquivo: SPRU024E.pdf. Disponível na Internet. <http://www.ti.com/>. August 1999.
- TEXAS INSTRUMENTS. Arquivo: SPRU160C.pdf. Disponível na Internet. <http://www.ti.com/>. June 1999.
- TEXAS INSTRUMENTS. Arquivo: SPRU357B.pdf. Disponível na Internet. <http://www.ti.com/>. December 2001.
- TEXAS INSTRUMENTS. Arquivo: SPRU485.pdf. Disponível na Internet. <http://www.ti.com/>. August 2001.
- TEXAS INSTRUMENTS. Arquivo: SPRU490.pdf. Disponível na Internet. <http://www.ti.com/>. October 2000.
- TEXAS INSTRUMENTS. Arquivo: SPRU510.pdf. Disponível na Internet. <http://www.ti.com/>. February 2001.

TEXAS INSTRUMENTS. Arquivo: SPRY012.pdf. Disponível na Internet.
<http://www.ti.com/>. February 1998.

MANUAIS DOS COMPONENTES DA MONTAGEM

SEMIKRON. Arquivo: Semikron_50GB123D.pdf. Disponível na Internet.
<http://www.semikron.com/>.

SEMIKRON. Arquivo: Semikron_SKH110.pdf. Disponível na Internet.
<http://www.semikron.com/>.

SEMIKRON. Arquivo: Semikron_SKD312.pdf. Disponível na Internet.
<http://www.semikron.com/>.

SEMIKRON. Arquivo: Semikron_SKKD4612.pdf. Disponível na Internet.
<http://www.semikron.com/>.

WEG MOTORES. Arquivo: WEG_MI.pdf. Disponível na Internet.
<http://www.weg.com.br/>.

APÊNDICE A

SOFTWARE PARA SIMULAÇÃO EM INVERSORES FONTE DE TENSÃO

Um programa didático para simulações com inversores fonte de tensão (SSIF) foi desenvolvido no início da tese (DE OLIVEIRA, DA SILVA, 2004). O programa reúne todos os componentes necessários para se realizar os estudos das técnicas de modulação de forma simples, didática e confiável. Isso foi possível graças à interface gráfica criada em C++ que possibilita não só a digitação dos dados, mas também a visualização dos resultados gráficos em figuras dentro do próprio programa.

O objetivo deste programa é de servir como uma ferramenta de fácil utilização e modificação por todos os membros do Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM). Este programa possui uma interface gráfica para Windows[®] que permite o uso nas disciplinas relacionadas com o laboratório, servindo assim como ferramenta educacional no estudo de inversores de tensão, modulação por largura de pulso, acionamento e controle de máquinas elétricas.

O código fonte para o programa SSIF foi escrito em linguagem C++ orientada a objetos. O programa é dividido em módulos que permitem o encapsulamento dos objetos criados, de seus parâmetros e de suas funções. Isto possibilita um grau de flexibilidade de tal forma que alterações ou implementações sejam realizadas de maneira fácil e rápida, sem um maior esforço de programação. Assim, existe o módulo principal contendo os algoritmos implementados para a simulação do inversor, o módulo para a carga RL trifásica, o módulo para o motor de indução e, no futuro, o módulo para os controladores. Ainda, existe um módulo contendo os componentes

visuais que permitem a visualização do progresso da simulação, do estado real dos interruptores do inversor e do diagrama de vetores de tensão.

Na figura A.1 pode-se ver a tela principal do programa e, logo em seguida, a tela de entrada de dados. Nesta última, o usuário fornece, para cada módulo selecionado (figuras A.1, A.2 e A.3), todos os dados necessários para se efetuar a simulação e escolher a estratégia utilizada para o comando do inversor.

Simulação de Inversores Multiníveis - Exemplo1.im2

Arquivo Ejura Ajuda

Dados Ajuda

Entrada de Dados

Arquivo Simulação Ajuda

Inversor Carga RL Motor Progresso

Dados Gerais

Passo de Cálculo (s): 1E-7

Tempo Total de Simulação (s): 0.02

Número de Pontos para as Curvas: 8192
(Obs.: Na base 2 para o cálculo do THD)

Dados da Modulação

Frequência de Saída (Hz): 50

Frequência de Chaveamento (Hz): 1500

Tensão da Fonte DC (V): 300

Índice de Modulação: 0.8

Fator de Distribuição de Roda Livre: 0

Tipo de Carga Acoplada

Carga RL Trifásica Motor de Indução Trifásico

Figura A.1 – Tela principal e de entrada de dados para o programa de simulação.

Entrada de Dados

Arquivo Simulação Ajuda

Inversor Carga RL Motor Progresso

Resistência (Ohms)

Resistência Fase A: 10

Resistência Fase B: 10

Resistência Fase C: 10

Indutância (Henrys)

Indutância Fase A: 0.041

Indutância Fase B: 0.041

Indutância Fase C: 0.041

Tipo de Ligação

Estrela Triângulo

Figura A.2 – Tela de entrada de dados - módulo para a carga RL trifásica.

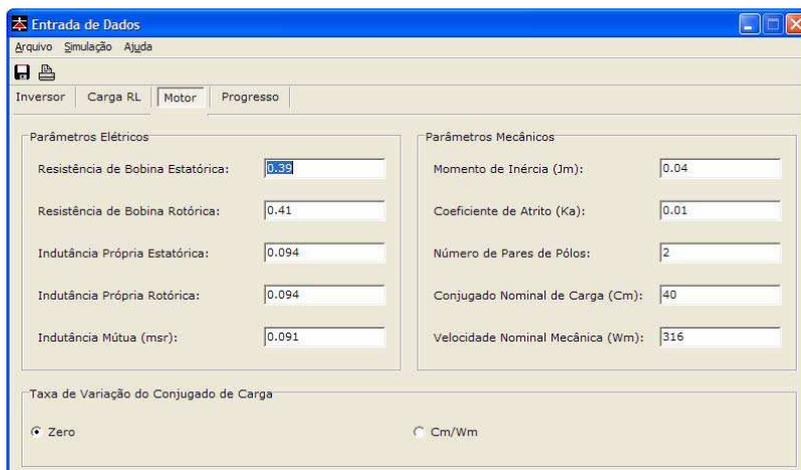


Figura A.3 – Tela de entrada de dados - módulo para o motor de indução.

Na figura A.4 é mostrado o módulo de visualização do progresso da simulação.

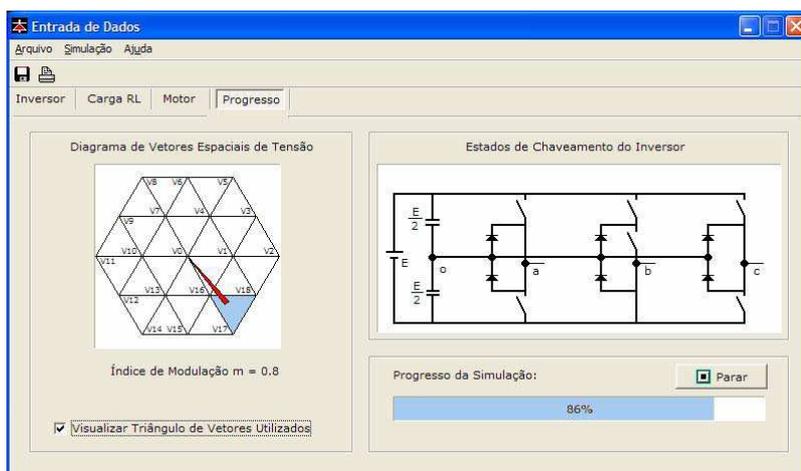


Figura A.4 – Tela de entrada de dados - módulo de progresso da simulação.

Tanto os dados de entrada como os gráficos resultantes podem ser gravados em arquivos. O formato de gravação dos gráficos permite que eles sejam editados no MATLAB[®] como também possam ser visualizados no próprio programa. Na figura A.5.a é mostrado o exemplo de uma tela contendo um gráfico.

Na figura A.5.b é mostrada uma tela que permite ao usuário formatar alguns elementos do gráfico, tais como: título principal, título do eixo x e do eixo y; selecionar as curvas a serem exibidas no gráfico; visualizar a legenda; etc.

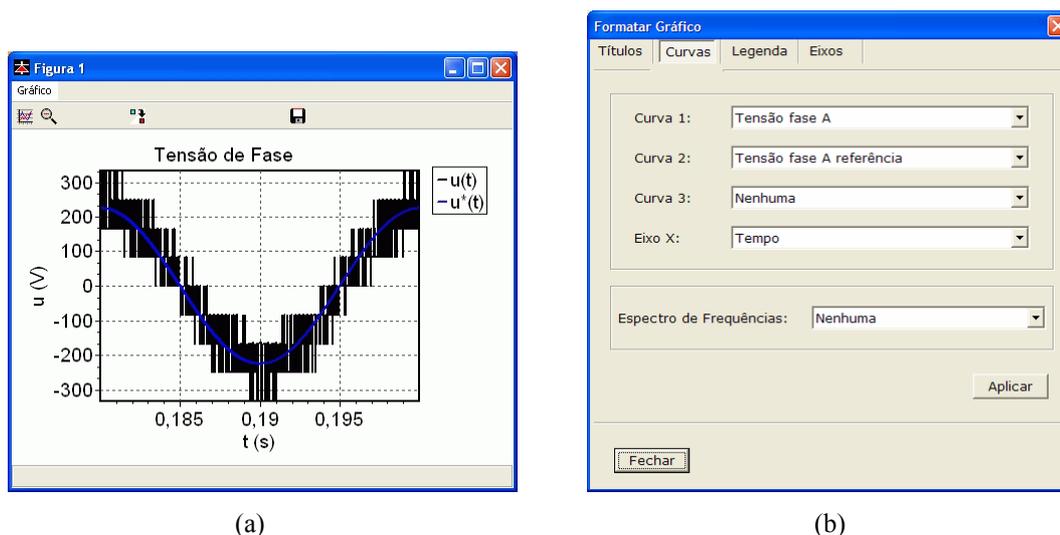


Figura A.5 – (a) Tela para visualização dos gráficos. (b) Tela para formatação dos gráficos.

A Transformada Discreta de Fourier foi escolhida como ferramenta para análise da distorção harmônica nas formas de onda de saída do inversor. Foi utilizado um algoritmo para cálculo da Transformada Rápida de Fourier (FFT) para diminuir o tempo de determinação dos coeficientes de Fourier.

Uma matriz contendo o conjunto de pontos da curva, dentro de um período fundamental do sinal que se deseja calcular os espectros de freqüências, é passada à função FFT, bem como a quantidade total destes pontos (N_p). É necessário que N_p seja uma potência de dois ($N_p = 2^\gamma$, com γ inteiro). Assim, através de chamadas recursivas à função FFT, os coeficientes são calculados e retornados à chamada anterior. Ao final, é armazenada uma matriz contendo as amplitudes dos espectros de freqüências.

A figura A.6 contém o algoritmo completo utilizado para o cálculo da FFT.

Os índices de DHT e WTHD são calculados a partir das amplitudes dos espectros de freqüências obtidos pela FFT e podem ser escolhidos como parâmetros de desempenho para avaliar a qualidade do inversor e da estratégia de modulação proposta.

Na figura A.7 é mostrado um exemplo do espectro de freqüências obtido com a FFT, além do valor de DHT e do valor de WTHD da tensão de linha na saída do inversor de dois níveis. No cálculo destes índices são computadas as componentes

harmônicas até a ordem de 1.000 vezes a frequência da fundamental (f_m). Foi utilizada uma frequência de comutação f_s de 750 Hz para o exemplo mostrado na figura A.7.

```

MATRIZ FFT(int n, MATRIZ a)
{
    int par, impar;
    float Wn1, Wn2;
    if(n == 1)
    {
        return a;
    }
    else
    {
        MATRIZ F1, F2;
        F1 = CriarMatriz(n, 2, MatNula, F1);
        F2 = CriarMatriz(n, 2, MatNula, F2);
        for(int i = 0; i < n/2; i++)
        {
            par = 2*i;
            impar = (2*i) + 1;
            F1[i][0] = a[par][0];
            F2[i][0] = a[impar][0];
        }
        F1 = FFT(n/2, F1);
        F2 = FFT(n/2, F2);
        for(int k = 0; k < n/2; k++)
        {
            Wn1 = cos((-2.* M_PI * k) / n);
            Wn2 = sin((-2.* M_PI * k) / n);
            a[k][0] = F1[k][0] + (Wn1 * F2[k][0]) - (Wn2 * F2[k][1]);
            a[k][1] = F1[k][1] + (Wn1 * F2[k][1]) + (Wn2 * F2[k][0]);
            a[k + (n/2)][0] = F1[k][0] - (Wn1 * F2[k][0]) + (Wn2 * F2[k][1]);
            a[k + (n/2)][1] = F1[k][1] - (Wn1 * F2[k][1]) - (Wn2 * F2[k][0]);
        }
        ExcluirMatriz(n, F2);
        ExcluirMatriz(n, F1);
        return a;
    }
}

```

Figura A.6 – Algoritmo para cálculo da FFT.

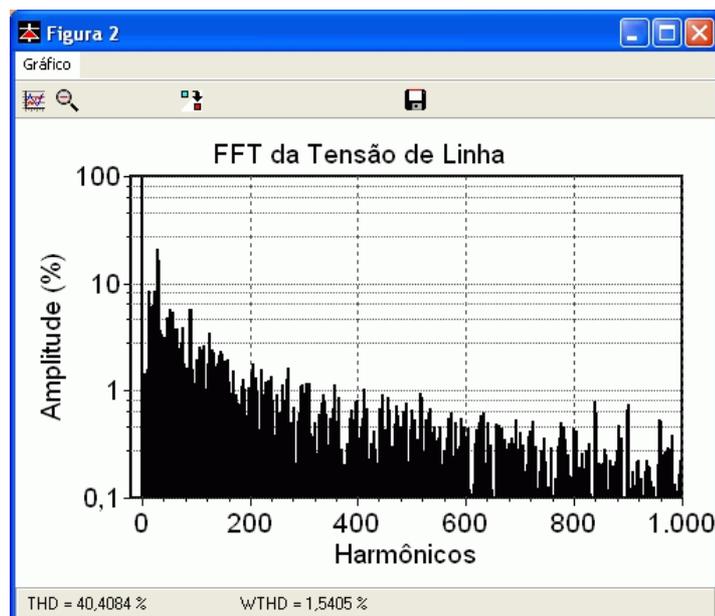


Figura A.7 – Tela para visualização da FFT de um sinal.

APÊNDICE B

MONTAGEM EXPERIMENTAL DO INVERSOR DE TRÊS NÍVEIS

Os resultados experimentais mostrados ao longo dos capítulos foram obtidos com a plataforma do inversor trifásico de três níveis com diodos de grampeamento especialmente montada para este fim. Os componentes da plataforma experimental (inversor, DSP, e placas de interface e aquisição de sinais) foram montados de forma modular para se ter uma maior versatilidade da plataforma, além de maior desempenho e menor probabilidade de ocorrência de falhas. O objetivo é possibilitar não só estudos em estratégias de modulação para inversores, mas também de controle digital e acionamento de máquinas elétricas. A plataforma experimental é constituída por:

- Um DSP da Texas Instruments, TMS320LF2407. O DSP fornece os sinais de comando para os interruptores do inversor, recebe os sinais analógicos de tensão e corrente na saída do inversor, de velocidade do motor (opcional) e os sinais de tensão dos capacitores do barramento de corrente contínua. O objetivo do DSP é processar os dados recebidos para gerar os sinais de PWM e comandar o inversor de três níveis.
- Oito placas de CI para aquisição dos sinais analógicos de tensão e corrente na saída do inversor e enviados ao DSP.
- Quatro placas de CI para interface entre o DSP e as placas de acionamento (*drivers*) dos interruptores e entre o DSP e as placas de aquisição de sinais.

- Quatro fontes de tensão regulada (uma fonte de 5 V, duas de 15 V e uma de ± 15 V), necessárias para alimentar os *drivers* de comando dos interruptores e as placas de aquisição de sinais.
- Uma estrutura de inversor tipo fonte de tensão de 3-níveis montada em uma base dissipadora de calor, contendo os *drivers* de comando, os dispositivos semicondutores (IGBT) e os diodos de grampeamento existentes na topologia de 3-níveis.
- Um módulo retificador constituído de diodos e capacitores para fornecer os três níveis de tensão contínua ao inversor.

O esquema elétrico da montagem experimental pode ser visto na figura B.1.

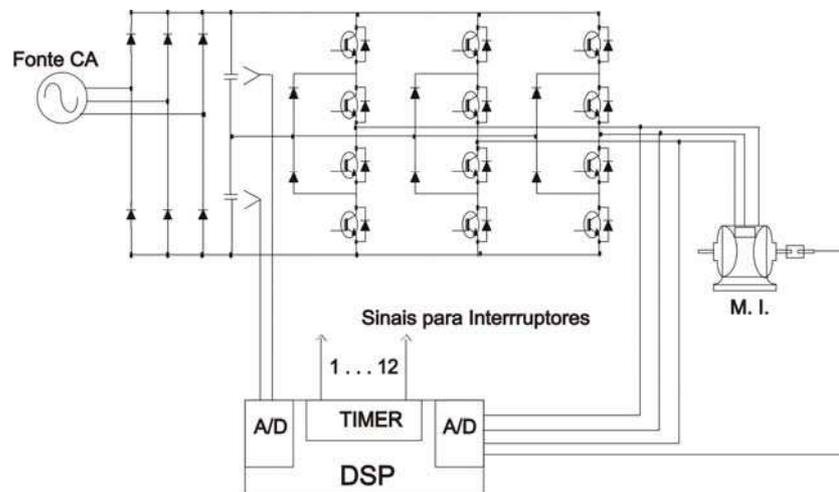


Figura B.1 – Diagrama esquemático da montagem experimental do inversor de três níveis.

Na figura B.2 são mostrados os componentes das montagem.

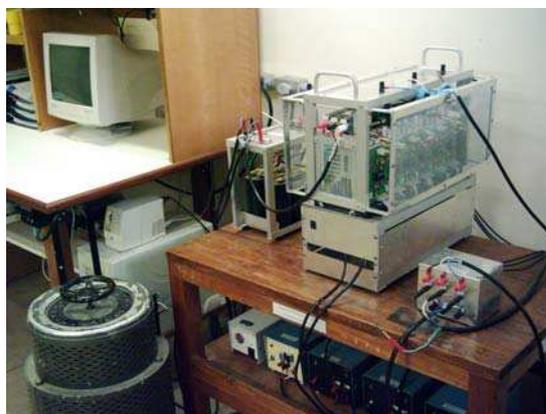


Figura B.2 – Vista frontal da montagem experimental para o inversor de três níveis.

Na figura B.3 pode-se ver o motor de indução trifásico em gaiola de alto rendimento (5 HP) acionando um gerador de corrente contínua, que alimenta uma carga resistiva (lâmpadas incandescentes). O motor foi utilizado como carga para o inversor em alguns ensaios experimentais.



Figura B.3 – Motor de indução trifásico, gerador CC e carga resistiva utilizados como carga para o inversor.

A seguir serão descritos alguns conceitos e características dos principais elementos integrantes da montagem.

CARACTERÍSTICAS DO DSP UTILIZADO

O TMS320LF2407 da Texas Instruments é um processador digital de sinais de 16 bits e que opera a uma frequência de aproximadamente 30 MHz. Ele é otimizado para realizar operações em ponto fixo e possui uma arquitetura do tipo *Harvard* modificada. Nesta arquitetura o barramento de programa e o de dados são separados, o que permite ao processador acessar simultaneamente instruções de programa e dados, dobrando o fluxo de informações para aplicações matemáticas.

A estrutura *Harvard* modificada permite ainda que parte da memória de dados seja alocada para operar como memória de programa, com isso pode-se iniciar a memória de dados a partir da memória de programa ou transferir informação da memória de dados para a de programa. Estas características permitem se multiplexar a memória entre aplicações, bem como se iniciar a memória de dados com constantes, eliminando-se a necessidade de uma memória do tipo ROM (*Read Only Memory*) de dados.

A família de DSP TMS320LF24x foi desenvolvida especialmente para o acionamento e controle digital de motores. Ela possui vários periféricos integrados ao silício, tais como *timers*, conversores A/D (analógico-digital), geradores de PWM (incluindo a geração e controle do tempo morto), além de multiplicador por *hardware*, *pipeline* de vários níveis, etc., facilitando assim a implementação de algoritmos complexos para execução em tempo real. Faz parte da arquitetura do TMS320LF2407:

- Programação em ponto fixo de 16 bits.
- Freqüência máxima de operação de 30 MHz.
- Possui até 64 kWords Data/Program RAM.
- Possui até 32 kWords Flash EEPROM.
- Arquitetura Harvard modificada.
- 16 canais de PWM com tempo morto programável.
- 16 canais de A/D de 10 bits (tempo total de conversão de 500 ns)
- Vários tipos de interfaces para envio e recebimento de dados.
- 3 entradas para captura de sinal.
- 2 entradas para sinais de *encoder* para determinar posicionamento angular de motores.
- 5 interrupções externas, incluindo entrada de sinal para proteção contra curto-circuito em acionamentos elétricos.
- Sistema de proteção da UCP por *watchdog*.

A tabela B.1 apresenta algumas rotinas, incluídas em funções pré-programadas ou em bibliotecas matemáticas escritas em linguagem *Assembly* ou C, que o DSP pode realizar com facilidade e os principais benefícios da utilização destas rotinas, principalmente em aplicações de acionamento e controle digital.

O gerenciador de eventos do DSP TMS320LF2407 possui uma máquina de estados que possibilita a implementação de um padrão PWM vetorial predeterminado para inversores de dois níveis, o que permite reduzir significativamente o algoritmo e conseqüentemente o tempo de execução da rotina principal. A máquina de estados do TMS executa a modulação PWM vetorial independente da UCP (Unidade Central de Processamento), permitindo-a realizar outras tarefas. Além disso, o controlador de

tempo morto permite a utilização do PWM sem a necessidade de hardware externo ou programação em software.

Os códigos para comandar o DSP TMS320LF2407 podem ser escritos em linguagem *Assembly* ou em C em um ambiente de programação denominado de *Code Composer*[®] da *Texas Instruments*. O *Code Composer*[®] possibilita enviar e armazenar o programa compilado para a memória do DSP, observar a evolução das variáveis e fazer alterações em seus valores em tempo real, ou seja, pode-se interagir diretamente com alguns parâmetros do sistema e obter respostas quase que instantaneamente.

Tabela B.1 – Algumas funções implementadas em DSPs.

Função do DSP	Benefícios
Algoritmos de filtros Notch	Cancela ressonância mecânica
Algoritmos de filtros Kalman	Reduz ruído dos sensores
Algoritmos estimados de estados	Estima múltiplas variáveis
Algoritmos de controle vetorial	Transformação dos eixos em tempo real
Modulação por largura de pulso	Controle digital de inversores
Algoritmos de controle PID de alta ordem	Controle preciso
Altas taxas de amostragem	Largura de banda elevada
Multiplexação no tempo	Permite várias implementações com um DSP
Algoritmos de controle Fuzzy	Controle inteligente
Controlador de tempo morto	Comutação segura e rápida dos interruptores
Controlador de estados	Controle de muitas variáveis
Correção do fator de potência	Reduz perda de potência
Algoritmos para FFT	Implementa análise espectral

FONTES: Manuais do DSP TMS320LF2407 listados na referência bibliográfica.

ORGANIZAÇÃO DO ALGORITMO NO DSP

Foram desenvolvidas duas versões para o algoritmo de comando do DSP na linguagem C. Ambas as versões são compostas por três módulos. Um módulo de configuração, um módulo de interrupção e um *loop* de espera. O fluxograma contendo as ligações entre estes módulos é mostrado na figura B.4.

O primeiro algoritmo utiliza a estratégia de PWM proposta no capítulo 4, sem controle de corrente (figura B.5). No segundo algoritmo também foi implementada a estratégia de modulação com randomização da frequência de comutação e com controle de corrente (figura B.6).

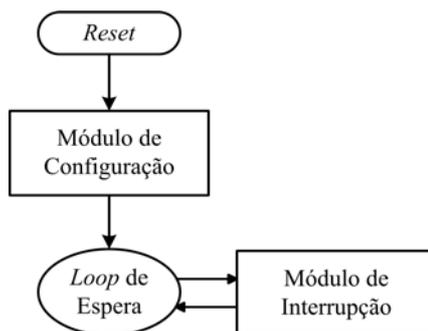


Figura B.4 – Fluxograma simplificado do algoritmo de comando do DSP.

Após um evento de *reset* do DSP, o módulo de configuração é responsável pelo ajuste da UCP. Isto inclui a configuração dos registros de estado, do sistema de proteção (*watchdog*), do relógio (*clock*), dos estados de espera de acesso às memórias, dos pinos de entrada e saída, do gerenciador de eventos e do conversor analógico-digital do DSP, além da alocação de espaço na memória para as variáveis com seus valores iniciais.

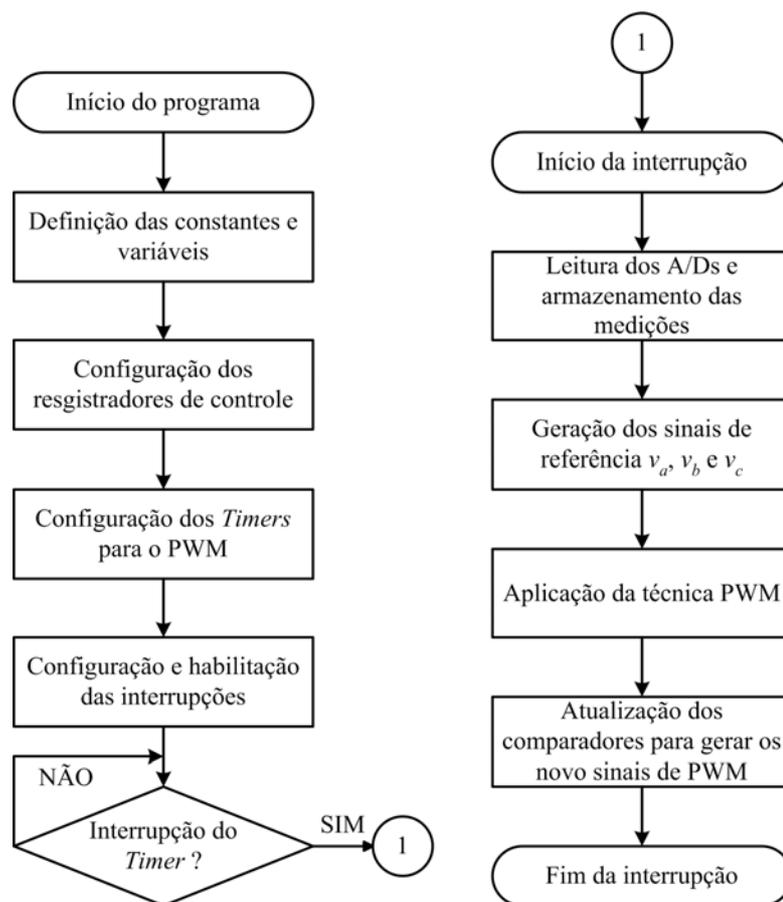


Figura B.5 – Fluxograma do algoritmo de comando do DSP sem controle de corrente.

O módulo de interrupção realiza a amostragem das variáveis (tensão e corrente) e atualiza os registros de controle do DSP. A implementação da estratégia de PWM também é feita dentro deste módulo. A interrupção é realizada periodicamente a partir de uma variável (período de amostragem) armazenada no registro de contagem de um contador (*timer*), que pode ser igual ou não ao período de comutação da estratégia de modulação.

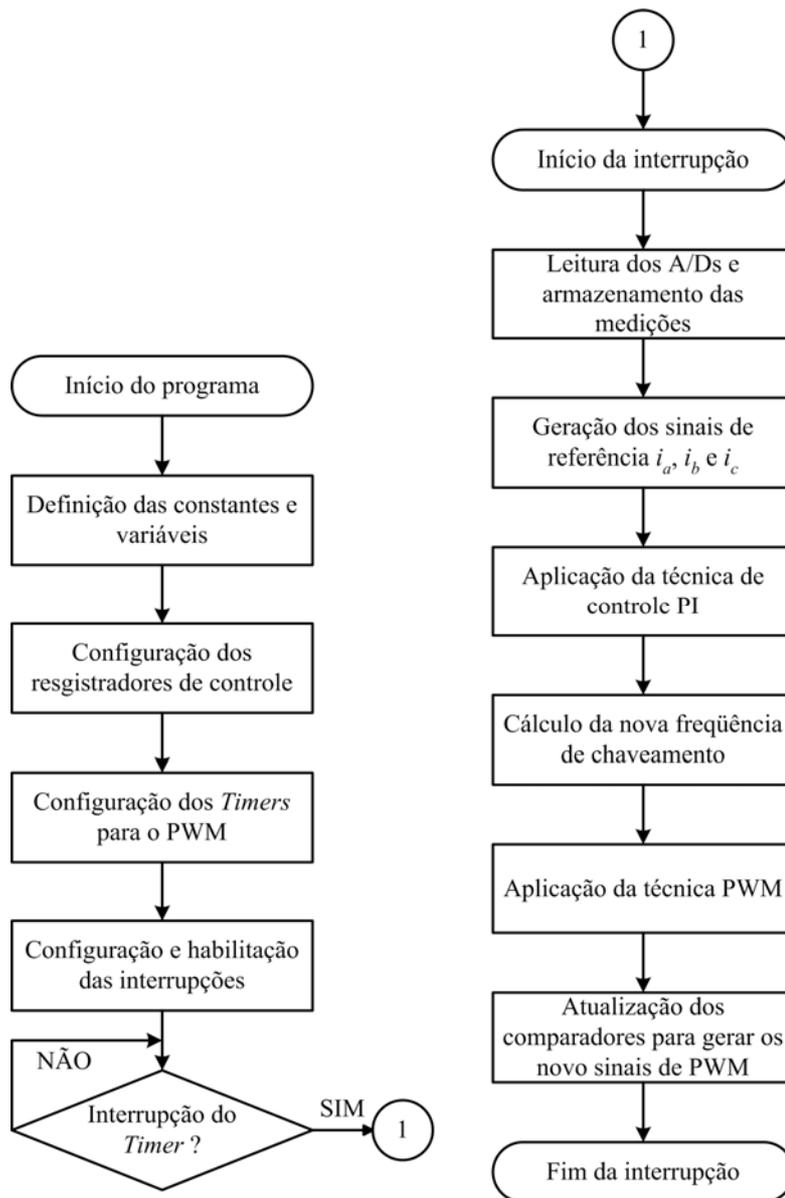


Figura B.6 – Fluxograma do algoritmo de comando do DSP com controle de corrente.

Enquanto a UCP aguarda por uma interrupção do contador no *loop* de espera, ela verifica os estados dos pinos de entrada e saída, aguardando algum sinal de curto-

circuito em um interruptor. Este sinal é detectado e informado ao DSP pelo *driver* de acionamento do respectivo interruptor.

Na figura B.7 pode-se ver o desenvolvimento das etapas do algoritmo de comando com relação à base de tempo do DSP. Após a configuração, a UCP aguarda o final da contagem de tempo realizada pelo contador (período de amostragem). Quando um pedido de interrupção do *timer* acontece, a UCP entra no módulo de interrupção e realiza todos os cálculos necessários para geração dos sinais de PWM, leitura dos A/Ds e implementação das técnicas de controle. Ao final deste módulo, a CPU volta a aguardar outro pedido de interrupção.

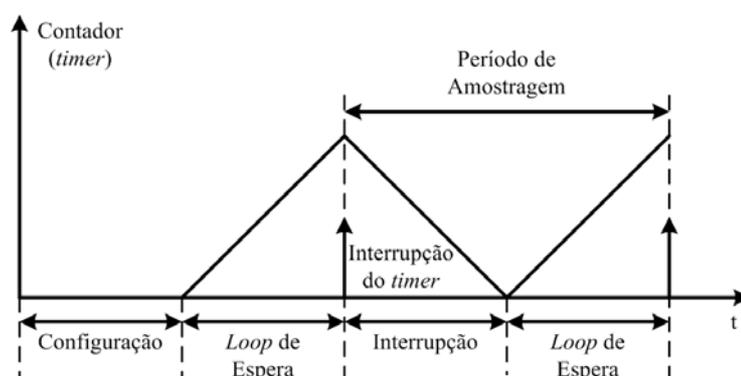


Figura B.7 – Relação no tempo entre os módulos do algoritmo de comando.

Algumas variáveis podem ter seus valores alterados dentro da interrupção do *timer* ou dentro do *loop* de espera. Para realizar esta tarefa foi criada uma interface gráfica simples que recebe o novo valor para a variável desejada e o envia ao DSP para realizar a alteração no momento adequado. As alterações nos valores das variáveis do programa, em tempo de execução, também podem ser feitas diretamente em uma janela de inspeção dentro do ambiente de programação *Code Composer*[®]. Contudo, em alguns casos, isto pode levar a uma mudança brusca de valores em registros em um momento inadequado para o processamento do algoritmo, o que pode provocar efeitos indesejáveis no PWM e no controle do inversor.

Os valores lidos pelo conversor analógico-digital podem ser armazenados em arquivos no computador ou editados em gráficos dentro do *Code Composer*[®].

OUTROS COMPONENTES DA MONTAGEM EXPERIMENTAL

As principais características elétricas dos demais componentes da montagem podem ser vistas nas tabelas seguintes. Para maiores detalhes, podem-se ver os manuais dos componentes fornecidos pelos respectivos fabricantes (ver lista de arquivos na referência bibliográfica).

Tabela B.2 – Componentes do módulo retificador.

Componente	Referência	V_{\max} (V)	I_{\max} (A)	P_{\max}	Quantidade
Ponte de Diodos	-	1200	31	-	1
Capacitores Eletrolíticos	2200 μ F	450	-	-	4
Resistores de Potência	22 k Ω	-	-	10 W	4
Fusíveis	-	250	10	-	3

Tabela B.3 – Componentes do módulo inversor.

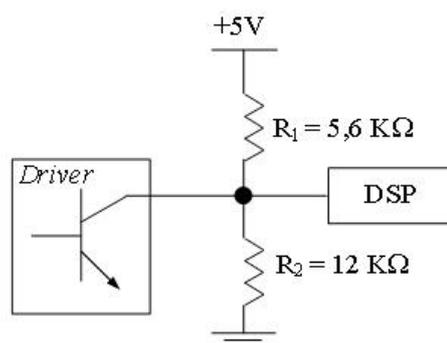
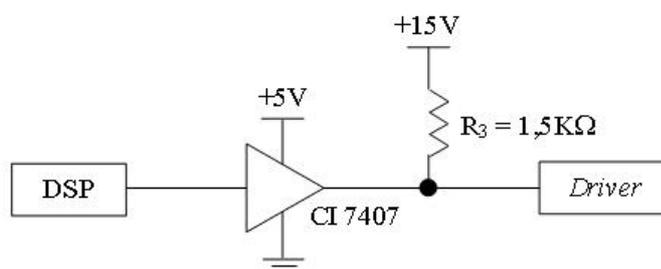
Componente	Referência	V_{\max} (V)	I_{\max} (A)	P_{\max}	Quantidade
IGBTs	-	1200	50	60 kVA	12
<i>Drivers</i>	-	15	0,3	-	12
Diodos	-	1200	50	60 kVA	18
Capacitores <i>snubbers</i>	220 nF	1250	-	-	12

Tabela B.4 – Componentes do módulo motor de indução, gerador CC e carga resistiva.

Componente	Referência	V_{\max} (V)	I_{\max} (A)	P_{\max}	Quantidade
M.I. 3 Φ	-	220 / 380	13,5A / 7,82	5 HP	1
Gerador CC	-	400	25	10 kW	1
Carga resistiva	Lâmpadas Filamento	220	-	100 W	30

Foi montado o circuito da figura B.8, nas placas de interface 1 e 2, para compatibilizar os sinais de curto-circuito enviados pelos *drivers* de acionamento dos IGBTs (níveis 0 V e 5 V) para o DSP sem danificá-lo (níveis 0 V e 3,3 V).

Os sinais de PWM gerados pelo DSP (níveis 0 V e 3,3 V) e enviados aos *drivers* dos IGBTs devem passar antes pelo circuito visto na figura B.9, também montado nas placas de interface 1 e 2, que possibilita a adequação aos níveis de tensão (0 V e 15 V) necessários aos *drivers*.

Figura B.8 – Diagrama elétrico do circuito *Driver-DSP*.Figura B.9 – Diagrama elétrico do circuito *DSP-Driver*.

Uma terceira placa é responsável pela conexão entre o DSP e as placas de interface 1 e 2. Esta placa não contém nenhum componente eletrônico, apenas conectores para cabo flexível de 14 pinos para ligação com as interfaces 1 e 2, e de 40 pinos para ligação com o DSP.

A quarta placa de interface é responsável apenas pela conexão entre o DSP e as placas de aquisição de sinais analógicos. Ela contém 8 conectores do tipo *BNC*, que recebem os sinais de medição, e um conector para cabo flexível de 20 pinos para ligação com o DSP).

Para realizar as medições de tensão e corrente foram utilizados sensores de efeito *Hall* do tipo LA 25P, montados em circuitos contendo outros componentes eletrônicos necessários para compatibilizar os sinais medidos aos níveis de tensão suportados pelo conversor A/D do DSP (0 V a 3,3 V).

INCLUSÃO DO TEMPO MORTO NOS SINAIS DE PWM COM DSP

Nos inversores de dois níveis, com dois dispositivos semicondutores em um mesmo braço (figura B.10.a), é introduzido um atraso nos sinais de PWM entre o bloqueio de um interruptor e o disparo do outro com o objetivo de evitar um curto-circuito no barramento CC. Este atraso é chamado de tempo morto (figura B.11). Apesar de não estar associado diretamente às características físicas dos interruptores, o tempo morto, introduzido na seqüência de sinais de comando destes interruptores, tem impacto importante no perfil não linear do inversor e é a causa do surgimento ou ampliação de distorções harmônicas de baixa freqüência nas tensões sintetizadas pelo mesmo, além de provocar uma queda na amplitude da tensão de saída (OLIVEIRA, 2003).

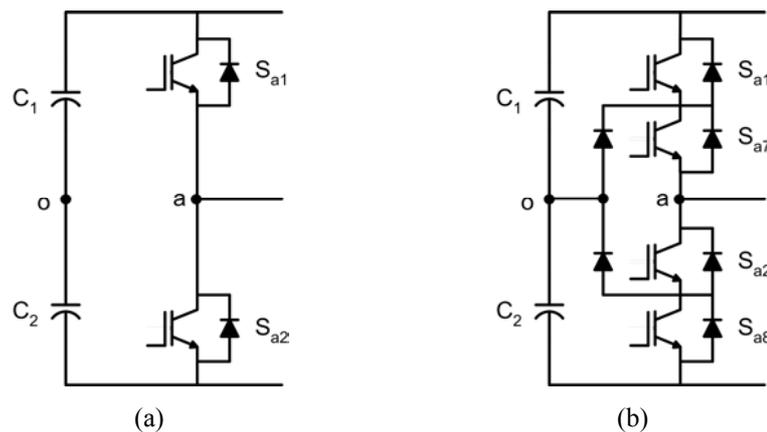


Figura B.10 – Um braço do inversor de (a) Dois níveis e (b) Três níveis.

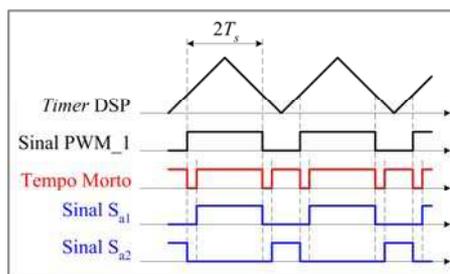


Figura B.11 – Inclusão do tempo morto nos sinais de PWM em 2 níveis.

Na literatura, existem várias técnicas de compensação dos efeitos do tempo morto (DODSON et al., 1990; OLIVEIRA, 2003). Na tese de OLIVEIRA (2003, pg.

176) foi feito um estudo detalhado a respeito deste assunto para o caso dos inversores de dois níveis.

Em uma técnica de compensação, uma vez definido o valor do tempo morto, este pode ser compensado adicionando ou subtraindo o seu valor aos tempos dos sinais PWM originalmente gerados para o comando dos interruptores. Esta técnica depende do sentido de circulação da corrente e se o interruptor sofrerá um disparo ou um bloqueio. Logo, a combinação destes fatores determina a necessidade ou não da compensação nos instantes de comutação (OLIVEIRA, 2003).

No caso dos inversores de três níveis, ainda não se têm um estudo detalhado com respeito ao impacto e compensação do uso do tempo morto nos sinais de PWM, como no caso dos inversores de dois níveis. Como nos multiníveis, a modulação é feita considerando os semi-ciclos positivo e negativo dos sinais de referência separadamente, tem-se uma maior complicação na análise dos estados dos dispositivos semicondutores. Na figura B.10.b pode-se ver um braço do inversor de três níveis.

Nas figuras B.12.a e B.12.b são mostrados os sinais de PWM gerados para um braço do inversor de três níveis, para o caso da modulação ocorrer no semi-ciclo positivo e negativo dos sinais de referência, respectivamente. Os sinais para os interruptores principais (S_{a1} e S_{a7}) e seus complementares (S_{a2} e S_{a8}) são obtidos a partir dos sinais de PWM incluindo ou não o tempo morto de acordo com o semi-ciclo.

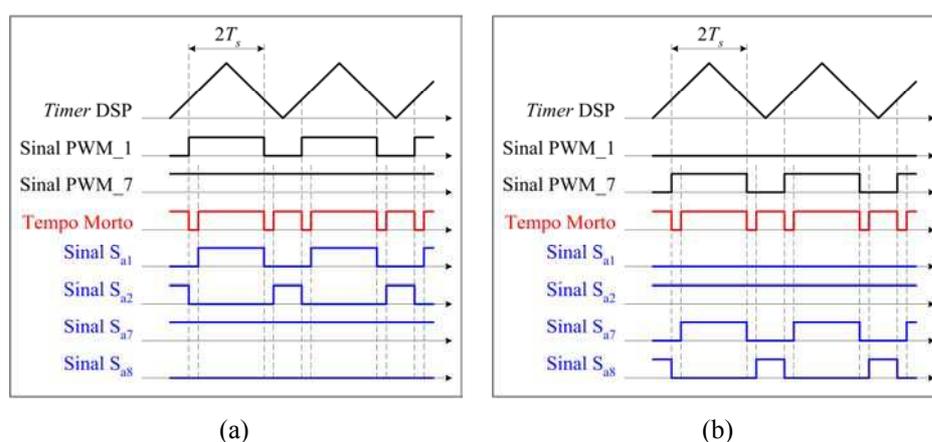


Figura B.12 – Inclusão do tempo morto nos sinais de PWM em 3 níveis. (a) Semiciclo Positivo dos sinais de referência. (b) Semiciclo Negativo dos sinais de referência.

O DSP utilizado na montagem experimental (TMS 320LF2407) possui um gerador de tempo morto para cada gerenciador de eventos (EVA e EVB). Cada

gerenciador de eventos controla um *Timer* responsável por 6 sinais de PWM (*Timer* 1: PWM_1 e PWM_2, PWM_3 e PWM_4, PWM_5 e PWM_6; *Timer* 3: PWM_7 e PWM_8, PWM_9 e PWM_10, PWM_11 e PWM_12) . Desta forma, a programação e o controle do tempo morto podem ser feitos diretamente pelo DSP.

O DSP controla a inclusão ou não do tempo morto nos sinais de PWM dependendo se a largura mínima destes pulsos for maior ou não que a largura do pulso do tempo morto, ou se o sinal de PWM permanece sempre em alto ou em baixo durante todo o período de comutação ($2T_s$), caso mostrado na figura B.12. Isto minimiza os efeitos provocados pela inclusão do tempo morto.

Neste trabalho, para comando do inversor de três níveis, não foi feito nenhum estudo da necessidade de inclusão do tempo morto nos sinais de PWM, bem como não foi utilizada nenhuma técnica de compensação do tempo morto. Um valor fixo de 2,4 μ s de atraso foi introduzido nos sinais de PWM independentemente do valor da frequência de comutação dos interruptores (figura B.13). Este valor de tempo morto é suficiente para evitar um curto-circuito no barramento CC, considerando os tempos de disparo e bloqueio dos interruptores utilizados na montagem experimental (IGBT: SKM 50GB 123D, $t_{d_{on}} = 0,07 \mu$ s, $t_{d_{off}} = 0,4 \mu$ s).

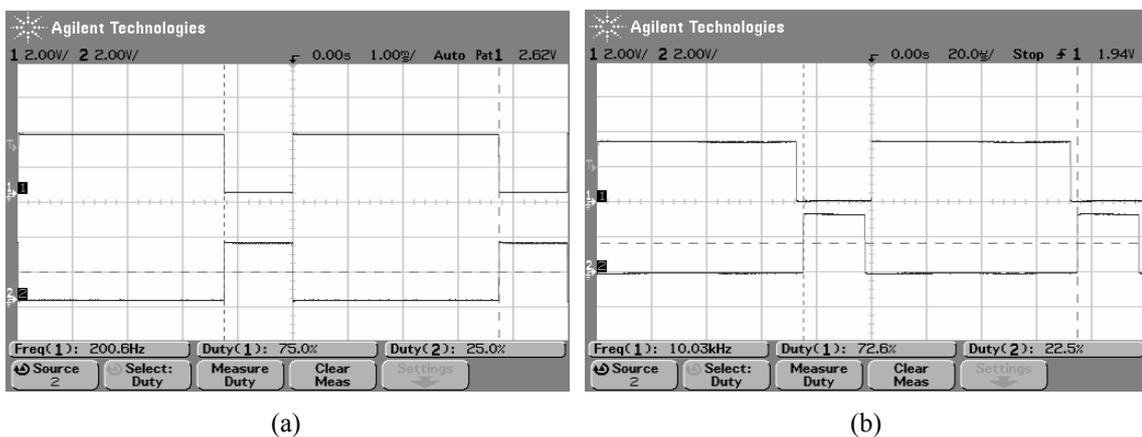


Figura B.13 – Sinais de PWM para S_{a1} e S_{a2} . (a) Sem tempo morto. (b) Com tempo morto (2,4 μ s).

Apesar de não se ter observado visivelmente o efeito da distorção nas formas de onda das correntes de saída do inversor de três níveis com a inclusão do tempo morto, deve-se realizar um estudo do nível de interferência nos sinais de PWM, bem como da necessidade de compensação do tempo morto nestes sinais.

APÊNDICE C

CONTROLADOR PI DE CORRENTE

O projeto do controlador digital de corrente envolve o conhecimento do modelo dinâmico da máquina de indução, necessário para expressar a relação entre tensão e corrente. Para este propósito foram utilizadas as equações do motor de indução trifásico em um sistema de referência arbitrário (KRAUSE, WASYNCSUK, SUDHOFF, 1995):

$$\mathbf{V}_s = R_s \mathbf{I}_s + \frac{d\boldsymbol{\lambda}_s}{dt} + jw\boldsymbol{\lambda}_s \quad (\text{C.1})$$

$$0 = R_r \mathbf{I}'_r + \frac{d\boldsymbol{\lambda}'_r}{dt} + j(w - w_r)\boldsymbol{\lambda}'_r \quad (\text{C.2})$$

$$\boldsymbol{\lambda}_s = L_s \mathbf{I}_s + L_m \mathbf{I}'_r \quad (\text{C.3})$$

$$\boldsymbol{\lambda}'_r = L'_r \mathbf{I}'_r + L_m \mathbf{I}_s \quad (\text{C.4})$$

$$T_e = \frac{P}{2} (\lambda_{ds} I_{qs} - \lambda_{qs} I_{ds}) \quad (\text{C.5})$$

Os vetores $\mathbf{V}_s = V_{ds} + jV_{qs}$, $\mathbf{I}_s = I_{ds} + jI_{qs}$ e $\boldsymbol{\lambda}_s = \lambda_{ds} + j\lambda_{qs}$ representam a tensão, a corrente e o fluxo no estator, respectivamente. Similarmente, substituindo o subscrito 's' por 'r', os vetores respectivos das variáveis do rotor, referenciadas aos enrolamentos do estator, são expressos. Os outros símbolos denotam:

- w velocidade angular com respeito ao estator;
- w_r velocidade angular do rotor;
- R_s resistência do estator;

- R'_r resistência do rotor referida ao estator;
- L_s indutância do estator: $L_{ls} + L_m$;
- L'_r indutância do rotor referida ao estator: $L'_{lr} + L_m$;
- L_{ls} indutância de dispersão do estator;
- L'_{lr} indutância de dispersão do rotor referida ao estator;
- L_m indutância de magnetização;
- T_e torque eletromagnético desenvolvido no motor;
- P número de pólos do rotor.

Neste estudo, o sistema de referência síncrono, indicado pelo subscrito ‘e’, foi escolhido. Neste sistema, as quantidades originalmente senoidais são transformadas em quantidades CC, convenientes para o projeto do controlador. No sistema de referência síncrono, as equações de (C.1) a (C.5) podem ser reorganizadas para:

$$V_{ds}^e = \left(R_s + \frac{L_m^2}{\tau_r L'_r} \right) I_{ds}^e + \sigma L_s \frac{dI_{ds}^e}{dt} + E_{ds}^e \quad (\text{C.6})$$

$$V_{qs}^e = \left(R_s + \frac{L_m^2}{\tau_r L'_r} \right) I_{qs}^e + \sigma L_s \frac{dI_{qs}^e}{dt} + E_{qs}^e \quad (\text{C.7})$$

Com:

$$E_{ds}^e = -\sigma L_s \omega_e I_{qs}^e - \frac{L_m}{L'_r} \left(\omega_r \lambda_{qr}^{e'} + \frac{1}{\tau_r} \lambda_{dr}^{e'} \right) \quad (\text{C.8})$$

$$E_{qs}^e = \sigma L_s \omega_e I_{ds}^e + \frac{L_m}{L'_r} \left(\omega_r \lambda_{dr}^{e'} - \frac{1}{\tau_r} \lambda_{qr}^{e'} \right) \quad (\text{C.9})$$

As equações (C.8) e (C.9) fornecem as componentes dq do vetor fem do motor (força eletro-motriz). Com controladores do tipo PI (Proporcional mais Integral) nos eixos dq de corrente, a lei de controle no domínio de tempo discreto pode ser reformulada para:

$$v_s^{e*}(t) = v_s^{e*}(t - t_a) + k_s \Delta i_s^e(t) + k_d \Delta i_s^e(t - t_a) \quad (\text{C.10})$$

$$\Delta i_s^e(t) = i_s^{e*}(t) - i_s^e(t) \quad (\text{C.11})$$

Não foi considerada a compensação dos termos da fem na equação (C.10). Sendo t_a o intervalo de amostragem para cálculo das variáveis discretas. Os ganhos do

controlador discreto, k_s e k_d , foram determinados usando o critério de amortecimento ótimo (BUHLER, 1983). O ganho proporcional k_p , e integral k_i , do controlador contínuo foram determinados primeiro e os ganhos discretos foram obtidos pela aproximação de Tustin (ÅSTRÖM, WITTENMARK, 1990) como:

$$k_s = k_p + k_i \frac{t_a}{2} \tag{C.12}$$

$$k_d = -k_p + k_i \frac{t_a}{2} \tag{C.13}$$

A figura C.1 contém o diagrama de blocos do sistema de controle de corrente descrito nas equações anteriores.

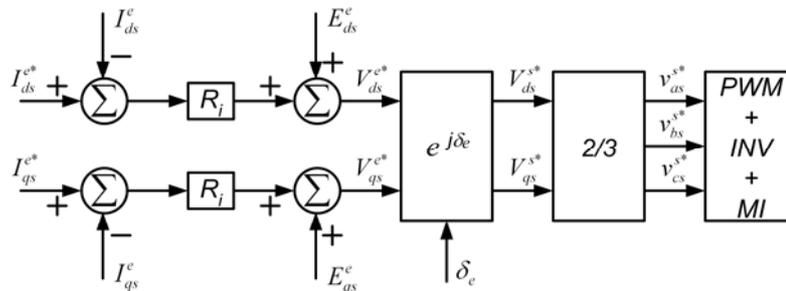


Figura C.1 – Diagrama de blocos do controlador PI de corrente.

O bloco $e^{j\delta_e}$ refere-se à matriz de transformação do referencial síncrono para o referencial do estator, descrito por:

$$\begin{bmatrix} V_{ds}^{s*} \\ V_{qs}^{s*} \end{bmatrix} = \begin{bmatrix} \cos(\delta_e) & -\text{sen}(\delta_e) \\ \text{sen}(\delta_e) & \cos(\delta_e) \end{bmatrix} \times \begin{bmatrix} V_{ds}^{e*} \\ V_{qs}^{e*} \end{bmatrix} \tag{C.14}$$

Dependendo da estratégia de controle usada, δ_e representa a posição do vetor fluxo rotórico no referencial estatórico (controle vetorial do motor) ou a integral no tempo da frequência estatórica w_e (controle escalar do motor). Os vetores de corrente no referencial síncrono (\mathbf{I}_s^e e \mathbf{I}_s^{e*}) são obtidos a partir dos vetores de corrente no referencial estatórico (\mathbf{I}_s^s e \mathbf{I}_s^{s*}) usando a inversa da matriz dada na equação (C.14).

O bloco ‘2/3’ permite que as tensões trifásicas de referência sejam obtidas a partir das tensões em dq . O bloco PWM + INV + MI representa a modulação por largura de pulso, o circuito inversor e o motor de indução. Os blocos R_i são os controladores PI das correntes.