



Universidade Federal  
de Campina Grande

## **Centro de Engenharia Elétrica e Informática**

Curso de Graduação em Engenharia Elétrica

ARTHUR LUIZ ALVES DE ARAUJO

## OSCILADOR CONTROLADO POR TENSÃO

Campina Grande, Paraíba  
Julho de 2015

ARTHUR LUIZ ALVES DE ARAUJO

## OSCILADOR CONTROLADO POR TENSÃO

*Trabalho de Conclusão de Curso submetido à  
Unidade Acadêmica de Engenharia Elétrica da  
Universidade Federal de Campina Grande  
como parte dos requisitos necessários para a  
obtenção do grau de Bacharel em Ciências no  
Domínio da Engenharia Elétrica.*

Área de Concentração: Eletrônica

Orientador:

Professor Raimundo Carlos Silvério Freire, D. Sc.

Campina Grande, Paraíba

Julho de 2015

ARTHUR LUIZ ALVES DE ARAUJO

## OSCILADOR CONTROLADO POR TENSÃO

*Trabalho de Conclusão de Curso submetido à Unidade Acadêmica de Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Bacharel em Ciências no Domínio da Engenharia Elétrica.*

Área de Concentração: Eletrônica

Aprovado em        /        /

**Professor Avaliador**  
Universidade Federal de Campina Grande  
Avaliador

**Professor Raimundo Carlos Silvério Freire, D. Sc.**  
Universidade Federal de Campina Grande  
Orientador, UFCG

## AGRADECIMENTOS

Agradeço ao professor Raimundo Carlos Silvério Freire, que me acolheu no Laboratório de Instrumentação e Metrologia Científica (LIMC) dando todo o tipo de apoio científico.

Agradeço a Aurenny de Fatima (minha mãe), Luiz Porfirio (meu pai) e Ana Luiza (minha irmã), que sempre me deram apoio das mais diversas formas possíveis; a Cybelle Belém Gonçalves que me acompanha e apoia desde o ensino fundamental; e aos meus amigos Túlio Chaves e Thais Luana.

Agradeço ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) e à Universidade Federal de Campina Grande (UFCG) que durante o longo período de curso (5 anos) apoiaram-me com financiamento.

## RESUMO

Redes de sensores sem fio (RSSF) são equipamentos versáteis, reconfiguráveis e com níveis de autonomia elevados. Sendo um nó sensor e atuador um componente chave para RSSF e constituído por uma unidade de comunicação de rádio, neste trabalho foi desenvolvida uma peça básica, mas muito importante da unidade de comunicação de rádio, que é o oscilador controlado por tensão (VCO). Para isso foram analisados diversos tipos de osciladores controlados por tensão. Foi escolhida a faixa de frequência para aplicações industriais, científicas e médicas com frequência central de 2,45 GHz, pois não precisa de licença. Seguindo o fluxo de projeto de circuitos integrados analógico para o desenvolvimento do leiaute do circuito integrado, foi escolhido o VCO em anel. Os resultados da simulação após extração dos parâmetros parasitas foram satisfatórios.

**Palavras-chave:** Oscilador controlado por tensão, leiaute de circuitos integrados.

# ABSTRACT

Wireless Sensors Network (WSN) are versatile, reconfigurable and very autonomous tools. Since sensor and actuator nodes are key-components to WSN and are made by a radio communication unit, in this work a basic but very important piece for the system was developed: the Voltage Controlled Oscillator (VCO). In order to do that, several types of VCOs were analyzed. The chosen frequency band was 2.45 GHz, used in industrial, scientific and medical applications, because it doesn't need a license. By following the analog integrated circuits' design flow, the circuit's layout was developed. A ring VCO was chosen. Simulation results after parasitic parameters extraction were satisfactory.

**Keywords:** Voltage controlled oscillator, integrated circuit layout.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Diagrama de blocos de um transceptor. ....	10
Figura 2 – Níveis do fluxo de projeto de circuitos integrados analógicos (Severo, 2012). .....	11
Figura 3 – Visualização de um MOSFET em 3D (Severo, 2012). ....	12
Figura 4 – Espectro do sinal senoidal ideal (a) e real (b) (Anjos, 2012). ....	13
Figura 5 – Esquema de um inversor CMOS (Sedra e Smith, 2007). ....	14
Figura 6 – Esquema do inversor com $V_i = V_{dd}$ (a) e modelo elétrico do inversor (b) (Sedra e Smith, 2007). ....	15
Figura 7 – Esquema do inversor com $V_i = 0$ (a) e modelo elétrico do inversor (b) (Sedra e Smith, 2007). ....	15
Figura 8 – Diagrama de blocos de um oscilador hipotético com realimentação (PEREIRA, 2010). ....	16
Figura 9 – Diagrama do oscilador com ressonador (Anjos, 2012). ....	17
Figura 10 – Modelo simples de um tanque LC (Anjos, 2012). ....	17
Figura 11 – Osciladores LC de Colpitts (a), par cruzado CMOS (b) e par cruzado NMOS (c) (Farfán, 2003). ....	18
Figura 12 – Oscilador em anel com inversores. ....	18
Figura 13 – Modelo do inversor com capacitância parasita $C_g$ (Nicodimus Retdian e Fujii, 2002). ....	19
Figura 14 – Oscilador em anel com multiplexador (PEREIRA, 2010). ....	19
Figura 15 – Oscilador em anel com controle de frequência na alimentação (PEREIRA, 2010). ....	19
Figura 16 – Esquema do oscilador proposto por (Nicodimus Retdian e Fujii, 2002). ...	20
Figura 17 – Topologia do oscilador proposta por (Nicodimus Retdian e Fujii, 2002)...	22
Figura 18 – Esquemático do oscilador implementado. ....	23
Figura 19 – Sinal de saída do oscilador. ....	23
Figura 20 – Gráfico da variação de frequência em função da tensão de controle $V_{ctrl}$ . .	24
Figura 21 – Gráfico do ruído de fase em função da tensão de controle $V_{ctrl}$ . ....	24
Figura 22 – Leiaute do VCO em anel com inversores. ....	25
Figura 23 – Leiaute do VCO após extração do componentes parasitas. ....	25
Figura 25 – Sinal de saída do VCO em nível de leiaute. ....	26
Figura 26 – Espectro de potência do sinal de saída do VCO. ....	26
Figura 27 – Gráfico da variação de frequência em função da tensão de controle $V_{ctrl}$ em nível de leiaute. ....	27
Figura 28 – Gráfico do ruído de fase em função da tensão de contrle $V_{ctr}$ em nível de leiaute. ....	27

# LISTA DE QUADROS

Quadro 1 – Especificações do oscilador.....	21
Quadro 2 – Valores do dimensionamento dos elementos.....	22
Quadro 3 – Comparativo entre diversos osciladores desenvolvidos. ....	28



# SUMÁRIO

1	Introdução .....	10
1.1	Fluxo de Projeto de Circuitos Integrados Analógicos .....	11
2	Embasamento Teórico .....	13
2.1	Ruído de Fase.....	13
2.2	Inversor CMOS.....	14
2.3	Osciladores Controlados por Tensão .....	16
2.4	Topologias de VCO .....	17
3	Simulações e Resultados.....	21
3.1	Simulação em Nível de Circuito .....	21
3.2	Leiaute do Oscilador .....	25
3.3	Simulação em Nível de Leiaute .....	26
4	Conclusão.....	29
	Referências .....	30

# 1 INTRODUÇÃO

Uma rede de sensores sem fio (RSSF) é basicamente constituída por quatro blocos: unidade sensorial/atuador, unidade de controle, unidade de comunicação de rádio e unidade de fornecimento de energia. A unidade de comunicação de rádio deve estabelecer comunicação entre os diversos nós a longas distâncias e consumir pouca energia. O diagrama de blocos de uma unidade de comunicação de rádio pode ser vista na Figura 1.

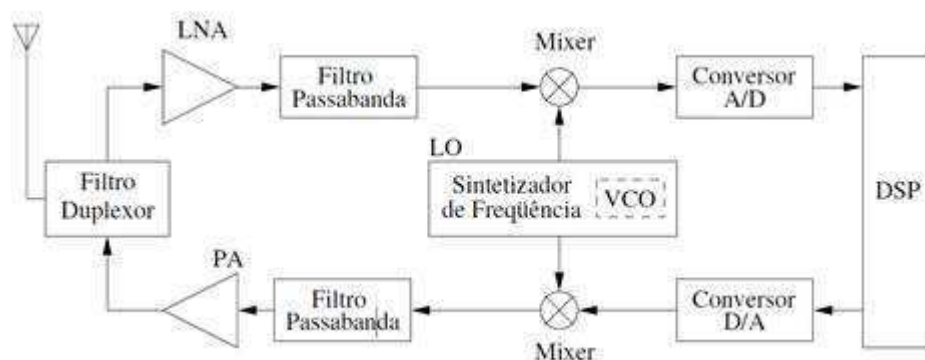


Figura 1 – Diagrama de blocos de um transceptor.

O sistema mostrado na Figura 1 é constituído por amplificador de baixo ruído (LNA), o amplificador de potência (PA), o mixer, o oscilador local (LO) formado pelo sintetizador de frequência e o VCO, os filtros, os conversores e o sistema de processamento digital de sinais (DSP). Percebe-se que tanto na emissão quanto na recepção de sinais utiliza-se o oscilador local, que é constituído por um VCO.

Um oscilador controlado por tensão (VCO) é um circuito que fornece um sinal de saída com frequência ajustada em uma banda, por meio de um controle de tensão DC na entrada.

Para este trabalho, foi escolhida a frequência central de 2,45 GHz, pois essa frequência pertence ao grupo de aplicações industriais, científicas e médicas que dispensa solicitação de licenças para utilizá-la. O Bluetooth é um sistema de comunicação que é especificado para operar na banda ISM podendo ser utilizado em RSSF, portanto foi adotada a especificação de ruído de fase desse sistema. Essa

especificação de ruído de fase, maior que 81 dBc/Hz em módulo, foi obtida em (Farfán, 2003).

Como se trata de um oscilador voltado para sistemas de redes de sensores sem fio, a potência dissipada deve ser a mais baixa possível.

## 1.1 FLUXO DE PROJETO DE CIRCUITOS INTEGRADOS ANALÓGICOS

O fluxo de projeto de circuitos integrados analógicos pode ser dividido em três níveis (Figura 2): nível do sistema, nível de circuito e nível de leiaute (Severo, 2012).

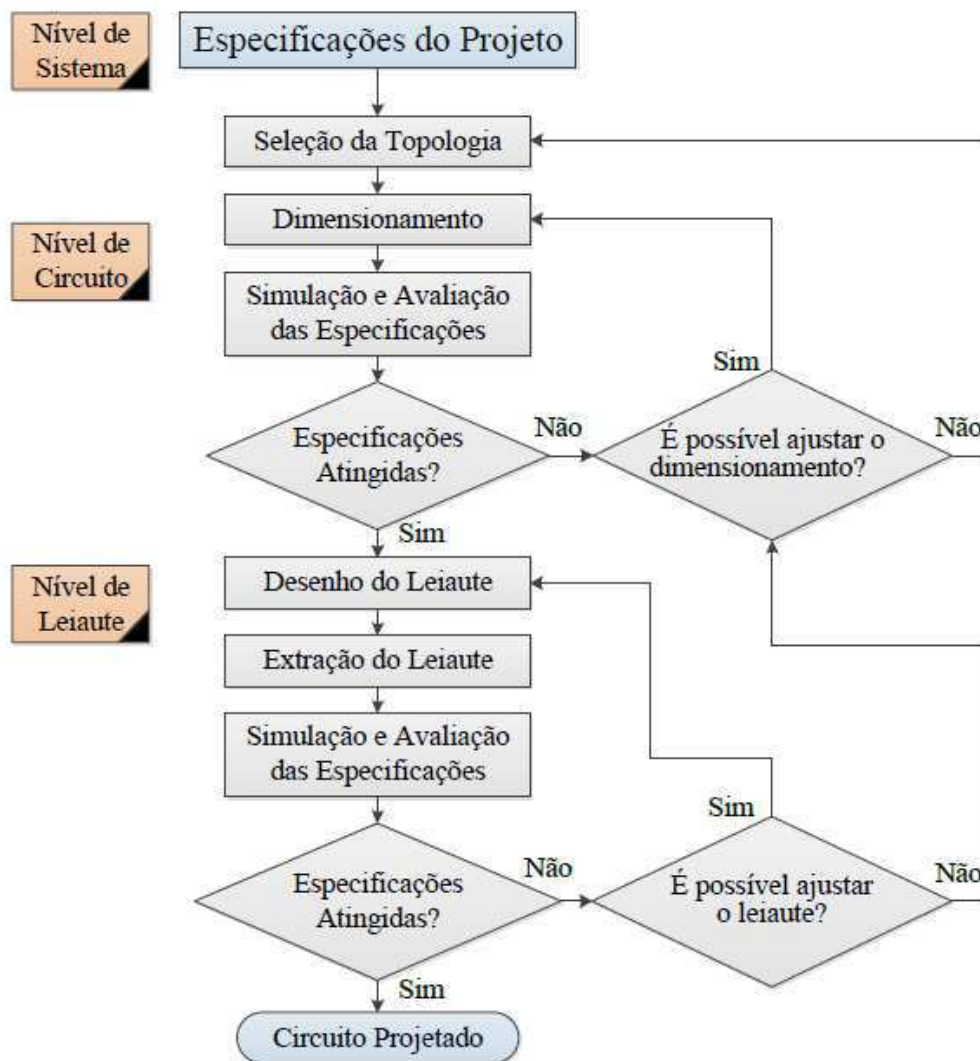


Figura 2 – Níveis do fluxo de projeto de circuitos integrados analógicos (Severo, 2012).

Em nível de sistema, escolhe-se uma topologia baseado nas especificações do projeto e de acordo com a experiência do projetista. Uma vez definida a topologia, os cálculos para dimensionamento dos transistores CMOS são feitos, definindo a largura ( $W$ ) e o comprimento ( $L$ ) em nível de circuito (Figura 3).

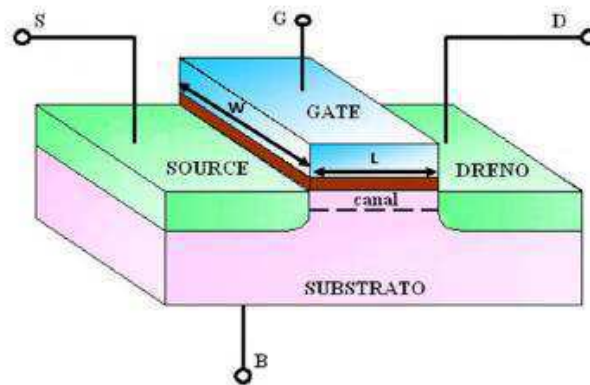


Figura 3 – Visualização de um MOSFET em 3D (Severo, 2012).

Tendo o dimensionamento dos transistores, faz-se simulação e é verificado se os resultados estão de acordo com as especificações.

Caso as especificações não sejam atingidas, o dimensionamento deve sofrer ajustes, que podem ser feitos por parametrização. Caso não seja possível fazer ajustes, deve-se mudar a topologia. Sendo as especificações atendidas, parte-se para a próxima fase, que entra no nível de leiaute.

No nível de leiaute, inicia-se com o desenho do leiaute, em que o projetista deve tomar cuidado de seguir as regras de desenho estabelecidas pela *foundry* e deve analisar estratégias para que o circuito mantenha sua característica elétrica próxima do valor nominal.

Feito o desenho, extrai-se os elementos parasitas, tais como resistência e capacitância. Em seguida, faz-se uma nova simulação para verificar se as especificações foram atendidas. Caso não seja atendida, pode-se ajustar o leiaute e refazer a extração, pode-se ajustar o dimensionamento do circuito ou escolher uma nova topologia. Estando os resultados de acordo com as especificações, pode-se enviar o projeto para a fabricação na *foundry*.

## 2 EMBASAMENTO TEÓRICO

Neste capítulo, serão apresentados conteúdos importantes para o entendimento do funcionamento do oscilador. Será abordado o ruído de fase, um dos parâmetros mais importante de osciladores. Serão mostradas também as características do inversor CMOS e como fazer um oscilador a partir de inversores. Em seguida, serão mostradas diversas topologias de osciladores existentes e em destaque a escolhida para o desenvolvimento do leiaute.

### 2.1 RUÍDO DE FASE

Dentre os diversos parâmetros de um oscilador, o que é mais considerado é o ruído de fase, pois o efeito em um sistema de transmissão e recepção de sinais pode ser drástico. Como motivação, a seguir pode-se ver um exemplo desse efeito.

No caso ideal, o sinal senoidal é dado por:

$$V_{out}(t) = V_0 \cos(2\pi f_c t + \phi) \quad (1)$$

Em que  $V_0$  é a amplitude,  $f_c$  é a frequência central e  $\phi$  é a fase. No domínio da frequência, o espectro desse sinal é representado por uma raia, como pode ser visto na Figura 4(a). As variações de amplitude  $V_0(t)$  e fase  $\phi(t)$  fazem com que o espectro de frequência do oscilador real seja uma raia com bandas laterais (Figura 4(b)), essa variação de fase é denominada ruído de fase.

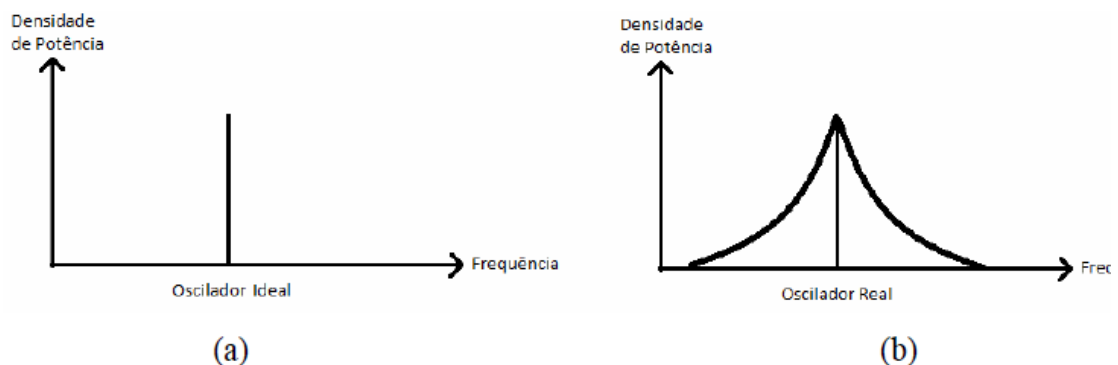


Figura 4 – Espectro do sinal senoidal ideal (a) e real (b) (Anjos, 2012).

A fim de calcular o ruído de fase, considera-se uma largura de banda de 1 Hz separado por  $\Delta f$  da frequência de oscilação central  $f_0$ . Calcula-se a potência nesta

banda e a diferença, em decibéis, desta potência e a potência do sinal na frequência central de oscilação. O ruído de fase é dado pela expressão (2).

$$\mathcal{L}\{\Delta f\} = 10 \text{Log} \left[ \frac{P_{\text{banda lateral}}(f_0 + \Delta f, 1 \text{ Hz})}{P_{\text{portadora}}} \right] \quad (2)$$

Em que  $\mathcal{L}\{\Delta f\}$  é o ruído de fase medido a  $\Delta f$  da frequência de oscilação,  $f_0$  é a frequência de oscilação,  $P_{\text{banda lateral}}(f_0 + \Delta f, 1 \text{ Hz})$  é a potência de banda lateral calculada numa largura de banda de 1 Hz a uma frequência  $\Delta f$  separada da frequência de oscilação  $f_0$  e  $P_{\text{portadora}}$  é a potência da portadora. O ruído de fase é expresso em dBc/Hz, decibéis abaixo da portadora por Hertz (Farfán, 2003).

## 2.2 INVERSOR CMOS

O inversor CMOS consiste de um par de MOSFET complementares, como pode ser visto na Figura 5.

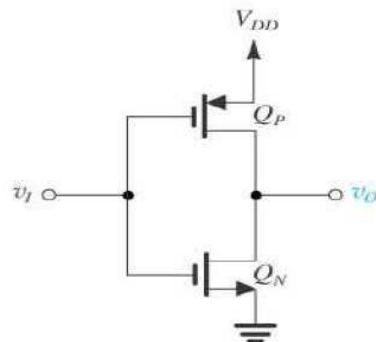


Figura 5 – Esquema de um inversor CMOS (Sedra e Smith, 2007).

Considerando casos extremos para a tensão de entrada  $V_i$ , ou seja,  $V_i = V_{dd}$  e  $V_i = 0$ , tem-se duas situações para tensão de saída.

No primeiro caso, com  $V_i = V_{dd}$  (Figura 6 (a)) o transistor  $Q_p$  está na região de corte, podendo ser modelado por uma chave aberta e o transistor  $Q_n$  está na região de triodo, podendo ser modelado por um resistor cujo valor é dado pela expressão (3). O valor dessa resistência é muito baixo, sendo praticamente um curto circuito, logo, o  $V_o$  é aterrado (Figura 6 (b)).

$$r_{DSN} = 1 / \left[ k'_n \left( \frac{W}{L} \right)_n (V_{DD} - V_{tn}) \right] \quad (3)$$

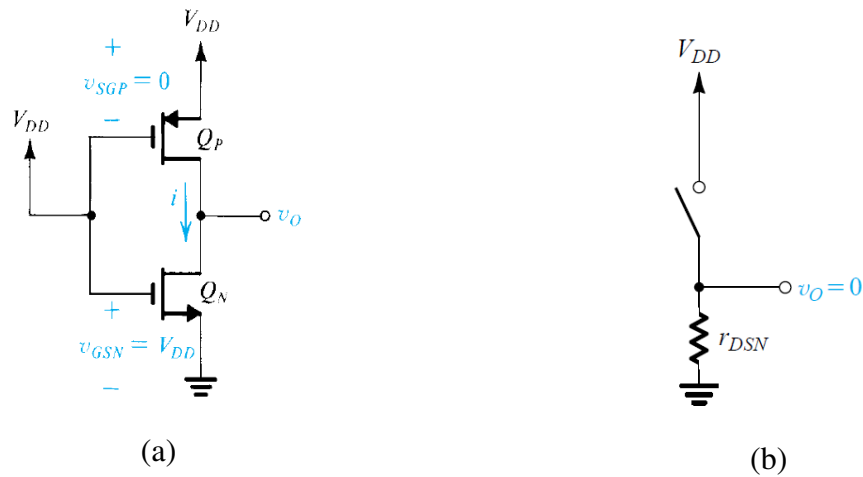


Figura 6 – Esquema do inversor com  $V_i = V_{dd}$  (a) e modelo elétrico do inversor (b) (Sedra e Smith, 2007).

No segundo caso com  $V_i = V_{dd}$  (Figura 7 (a)) o transistor  $Q_N$  está na região de corte, podendo ser modelado por uma chave aberta e o transistor  $Q_P$  está na região de triodo, podendo ser modelado por um resistor cujo valor é dado pela expressão (4). O valor dessa resistência é muito baixo, sendo praticamente um curto circuito, logo, o  $V_o$  é igual a  $V_{dd}$  (Figura 7 (b)).

$$r_{DSP} = 1 / \left[ k'_p \left( \frac{W}{L} \right)_p (V_{DD} - V_{tp}) \right] \quad (4)$$

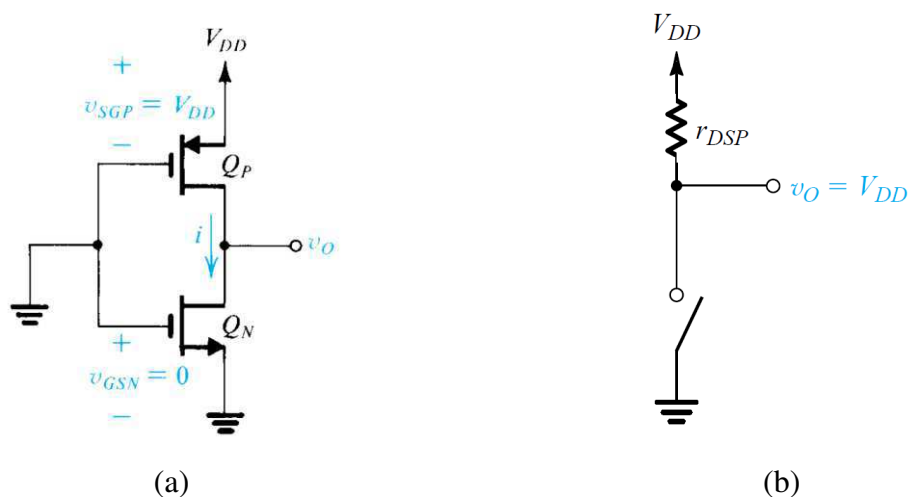


Figura 7 – Esquema do inversor com  $V_i = 0$  (a) e modelo elétrico do inversor (b) (Sedra e Smith, 2007).

Considerando que a tensão de limiar  $V_t$  é dada por aproximadamente  $0,2 V_{dd}$ , tem-se que os atrasos de propagação de subida ( $t_{PHL}$ ) e descida ( $t_{PLH}$ ) são calculados pelas expressões em (5).

$$t_{PHL} \cong \frac{1,6 C}{k'_n \left(\frac{W}{L}\right)_n V_{DD}} \quad t_{PLH} \cong \frac{1,6 C}{k'_p \left(\frac{W}{L}\right)_p V_{DD}} \quad (5)$$

Portanto, o atraso total é dado pela média entre  $t_{PHL}$  e  $t_{PLH}$ . Essa informação será útil para o cálculo da frequência de oscilação de osciladores em anel e para o dimensionamento dos transistores para obter a frequência desejada.

## 2.3 OSCILADORES CONTROLADOS POR TENSÃO

Os osciladores senoidais são circuitos elétricos em que na sua saída tem um sinal intencionalmente instável e periódico, obtido a partir de uma alimentação contínua. Normalmente, o sinal de saída periódico é tensão.

Esse tipo de circuito é necessário em diversos sistemas: temporização de circuitos lógicos, referências de tempo, geração de som, transmissão e recepção de sinais, entre outros.

Os osciladores tratados nesse trabalho são o de realimentação. Na Figura 8 pode-se ver o diagrama de blocos. A função de transferência desse diagrama de blocos é dada pela expressão (6).

$$\frac{V_{out}}{V_{in}} = \frac{A(s)}{1 - A(s)F(s)} \quad (6)$$

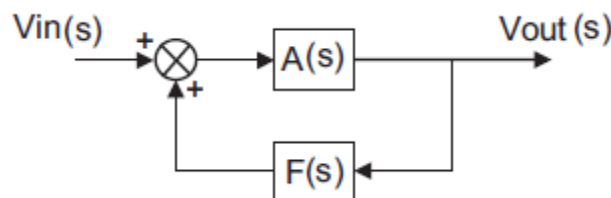


Figura 8 – Diagrama de blocos de um oscilador hipotético com realimentação (PEREIRA, 2010).

Para que ocorra a oscilação, o critério de Barkhausen deve ser satisfeito, ou seja, o ganho de malha fechada  $|AF| = 1$  e o deslocamento de fase da realimentação  $\angle AF = 2\pi n$ , sendo  $n \in \mathbb{N}$ .

Outra abordagem de osciladores que pode ser feita é considerando um circuito ressonador e um circuito de ganho, como pode ser visto na Figura 9. Para ocorrer oscilação, o valor das perdas ativas do ressonador dada por  $R_p$  deve ser igual ao valor da resistência virtual negativa  $-R_p$  gerada pelo circuito de ganho.



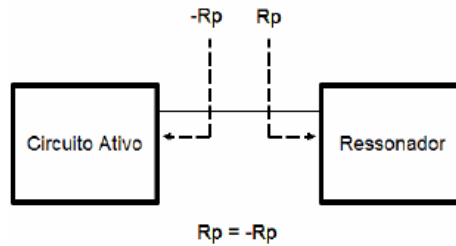


Figura 9 – Diagrama do oscilador com ressonador (Anjos, 2012).

## 2.4 TOPOLOGIAS DE VCO

Existem duas topologias de VCO integrados que são bastante utilizadas: os osciladores em anel com inversores e os osciladores LC.

Os osciladores LC possuem dois estágios principais: um estágio de ganho e um tanque LC. O tanque LC pode ser implementado totalmente integrado ou fazendo o indutor externo. Na Figura 10, pode-se ver um modelo simples do tanque LC (Anjos, 2012).

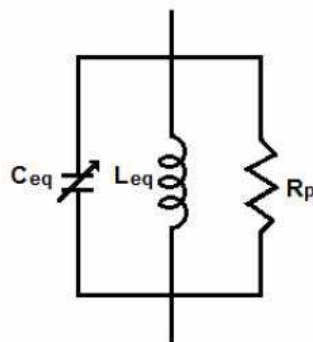


Figura 10 – Modelo simples de um tanque LC (Anjos, 2012).

$R_p$  representa a resistência paralela contendo as perdas do indutor e do capacitor.

O estágio de ganho pode ser realizado com amplificadores CMOS. Na Figura 11, podem ser vistas três arquiteturas de osciladores LC.

A frequência de ressonância é dada por:

$$\omega_r = (\sqrt{L_{eq}C_{eq}})^{-1}$$

Os osciladores LC são mais usados devido ao fato de ter melhor ruído de fase comparado ao oscilador em anel. Porém, esse circuito exige um alto fator de qualidade do indutor, dificultando a sua implementação.

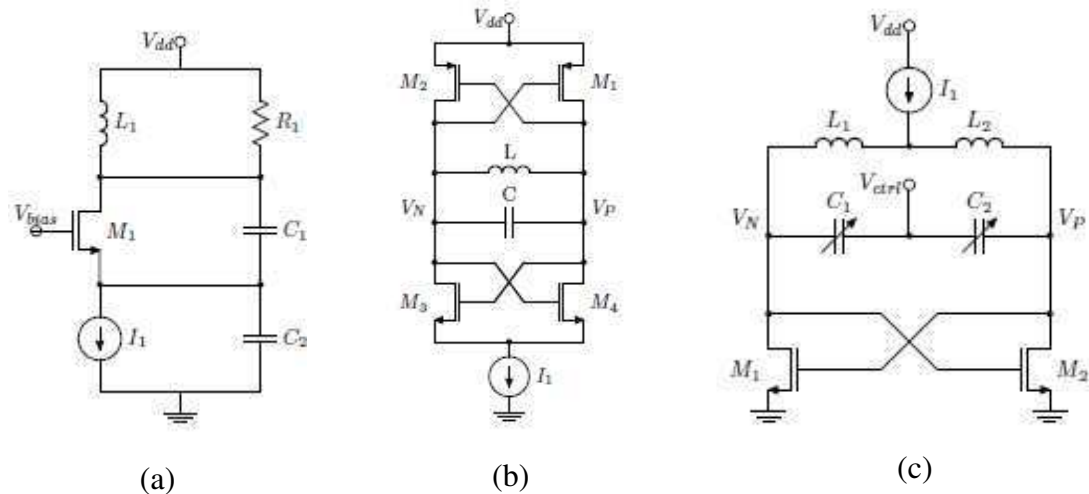


Figura 11 – Osciladores LC de Colpitts (a), par cruzado CMOS (b) e par cruzado NMOS (c) (Farfán, 2003).

Os osciladores em anel (Figura 12) são formados por inversores em série, em que a frequência de oscilação é dada pelo inverso do número de inversores e pelo tempo de atraso da porta lógica, como pode ser visto na expressão (7).

$$f = \frac{1}{2NT_d} \quad (7)$$

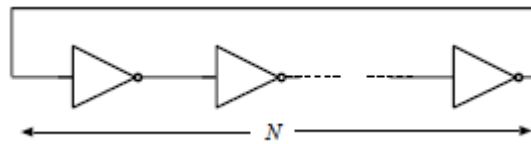


Figura 12 – Oscilador em anel com inversores.

Ou ainda, considerando que o inversor tem uma capacitância parasita ( $C_G$ ) modelada como pode ser visto na Figura 13 e que a amplitude do sinal  $V_{osc}$ , no capacitor, é dada pela expressão (8).

$$V_{osc} = \int \frac{I_{ctrl}}{C_G} dt \quad (8)$$

Sendo  $I_{ctrl}$  constante, temos que o tempo de atraso  $T_d$  é dado pela expressão (9)

$$T_d = \frac{V_{osc} C_G}{I_{ctrl}} \quad (9)$$

Substituindo (9) em (7), a frequência de oscilação será:

$$f_{osc} = \frac{I_{ctrl}}{2NV_{osc}C_G} \quad (10)$$

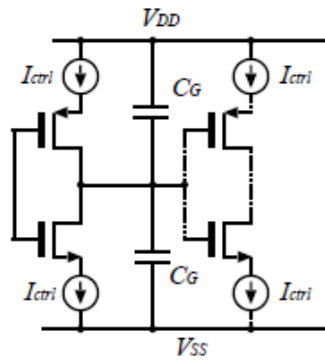


Figura 13 – Modelo do inversor com capacitância parasita  $C_G$  (Nicodimus Retdian e Fujii, 2002).

De acordo com a expressão (10), pode-se variar a frequência modificando a corrente  $I_{ctrl}$ . Essa implementação é complicada, pois ao diminuir o valor da corrente, aumenta-se a instabilidade.

Outra forma de variar a frequência é mudando o número de inversores em série. Desta forma, pode-se usar um multiplexador para escolher o número de inversores do circuito, como pode ser visto na Figura 14 (PEREIRA, 2010).

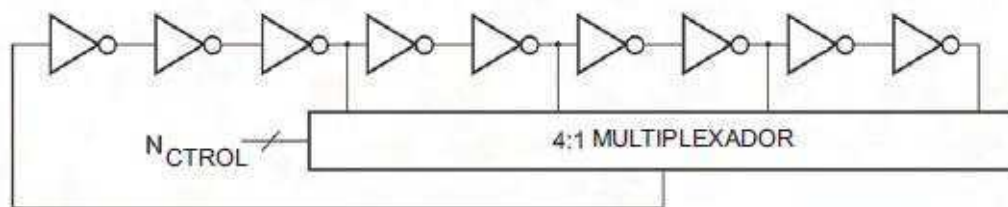


Figura 14 – Oscilador em anel com multiplexador (PEREIRA, 2010).

Mais uma forma de variar a frequência é alterando a amplitude de oscilação, que pode ser variada pela tensão de alimentação, a qual pode ser ajustada por meio de um PMOS entre os inversores e a alimentação, como pode ser visto na Figura 15.

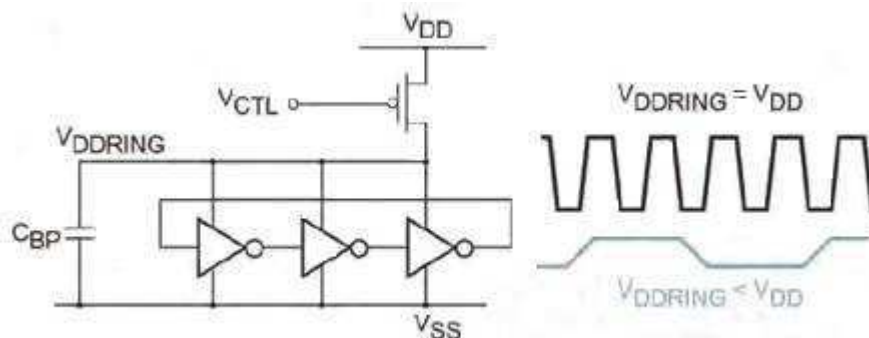


Figura 15 – Oscilador em anel com controle de frequência na alimentação (PEREIRA, 2010).

Por fim, pelo modelo implementado anteriormente, pode-se variar a frequência ao mudar a capacitância parasita  $C_G$ , mas como trata-se de um componente parasita, torna-se extremamente difícil o seu controle.

Além desses métodos citados anteriormente, (Nicodimus Retdian e Fujii, 2002) propôs adicionar resistores entre os inversores (Figura 16) de modo a proporcionar um atraso. Sendo essas resistências de valor controlável, a frequência de oscilação também será controlada.

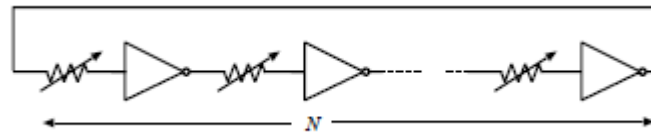


Figura 16 – Esquema do oscilador proposto por (Nicodimus Retdian e Fujii, 2002).

A frequência de oscilação dessa arquitetura proposta é dada pela expressão (11).

$$f_{osc} = \frac{G_M}{2NC_G(1 + G_MR_V)} \quad (11)$$

$G_M$  é a transcondutância do NMOS ou PMOS, considerando que as transcondutâncias e as capacitâncias parasitas do NMOS e PMOS são iguais.

Nesse trabalho, o oscilador foi implementado usando o modelo proposto por (Nicodimus Retdian e Fujii, 2002).

### 3 SIMULAÇÕES E RESULTADOS

Neste capítulo, são apresentadas as simulações e os resultados do oscilador em anel com inversores, realizados com a topologia proposta por (Nicodimus Retdian e Fujii, 2002), usando uma tecnologia de fabricação de circuitos integrados da IBM 180 nm.

Os parâmetros requeridos para o oscilador são mostrados no Quadro 1.

QUADRO 1 – ESPECIFICAÇÕES DO OSCILADOR.

<b>Frequência de oscilação central</b>	<b>Ruído de fase</b>
2,4 GHz	-81 dBc/Hz

Seguindo o fluxo de projeto de circuitos integrados analógicos, foi inicialmente escolhida a topologia de osciladores LC com par cruzado NMOS. Com essa topologia, não se conseguiu atingir as especificações. Portanto, foi escolhida outra topologia, osciladores em anel com inversores proposta por (Nicodimus Retdian e Fujii, 2002) com a adição de uma fonte de corrente  $I_{ss}$ .

Com isso, foi calculado e ajustado o dimensionamento dos transistores de modo que as simulações atenderam as especificações.

Tendo validado o dimensionamento dos transistores, foi feito o desenho do oscilador. Extraíram-se os componentes parasitas e o circuito foi simulado outra vez. Os resultados foram satisfatórios, conforme apresentado no Quadro 3.

#### 3.1 SIMULAÇÃO EM NÍVEL DE CIRCUITO

A arquitetura do oscilador proposto por (Nicodimus Retdian e Fujii, 2002) pode ser visualizada na Figura 17.

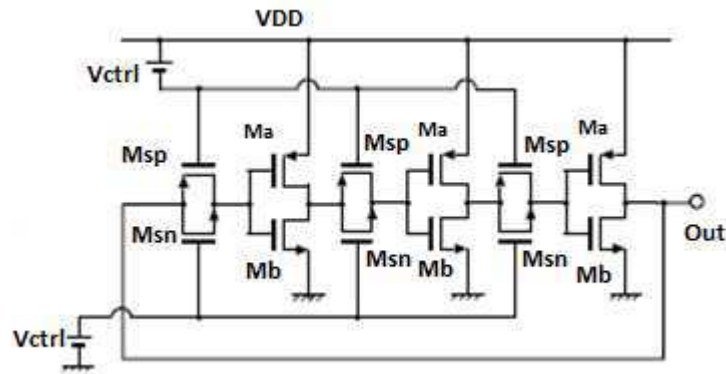


Figura 17 – Topologia do oscilador proposta por (Nicodimus Retdian e Fujii, 2002).

Baseado nas equações e fazendo parametrização, chegou-se aos valores das dimensões dos transistores e da corrente de polarização mostrados no Quadro 2.

QUADRO 2 – VALORES DO DIMENSIONAMENTO DOS ELEMENTOS.

Elemento	Valor Associado (W/L, Corrente)
Ma	2,66
Mb	2,66
Msn	11,66
Msp	11,66
I <sub>ss</sub>	2 mA

Ao testar a arquitetura proposta, percebeu-se que não havia oscilação na saída, portanto foi adicionada uma fonte de corrente no terminal da fonte do NMOS, como pode ser visto na Figura 18. Ao adicionar essa fonte, foi obtida uma oscilação com um ótimo valor de amplitude. O sinal de saída pode ser visto na Figura 19.

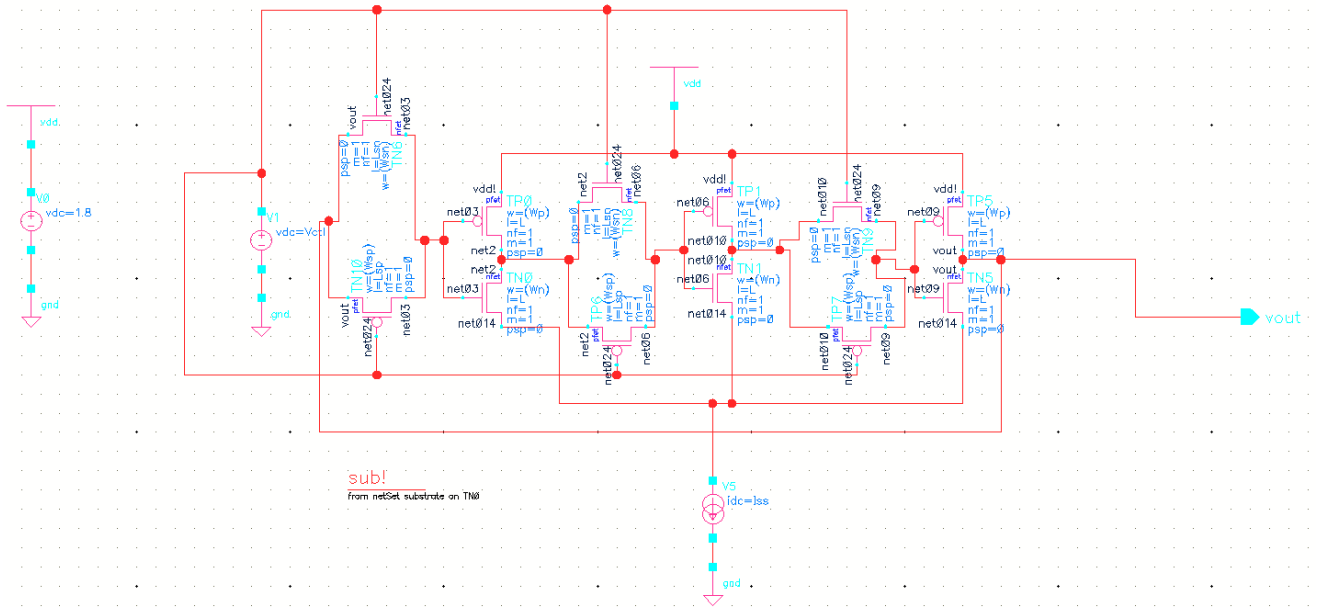


Figura 18 – Esquemático do oscilador implementado.

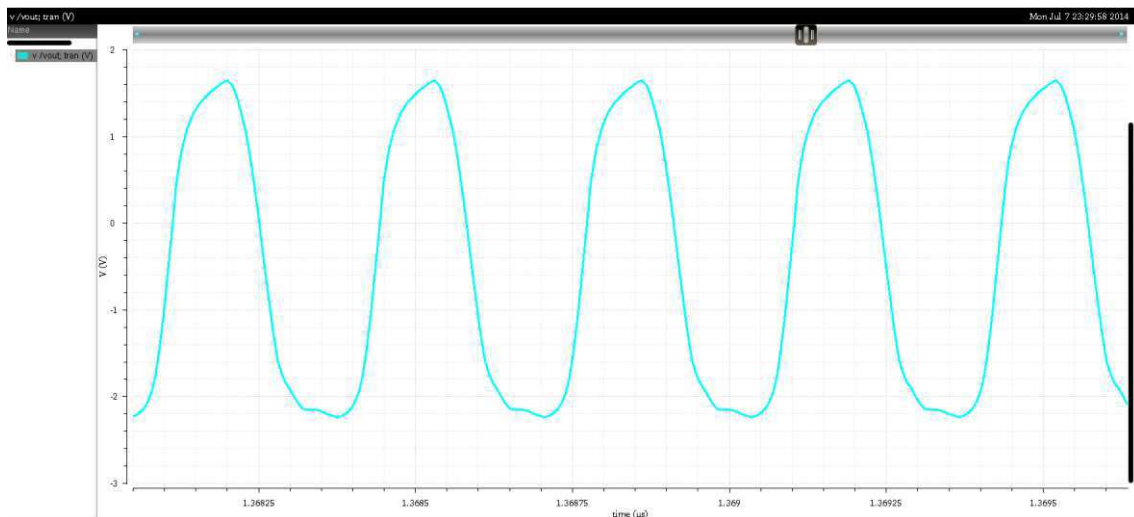


Figura 19 – Sinal de saída do oscilador.

Mudando a tensão do  $V_{ctrl}$  de 0,5 V à 1,6 V, tem-se uma variação de frequência de 2,03 GHz à 3,03 GHz. Na Figura 20 pode-se ver esta variação em forma de gráfico. Os valores de ruído de fase foram obtidos por meio das ferramentas de simulação do Virtuoso chamadas PSS e PNOISE. O ruído de fase é melhor do que o valor esperado.

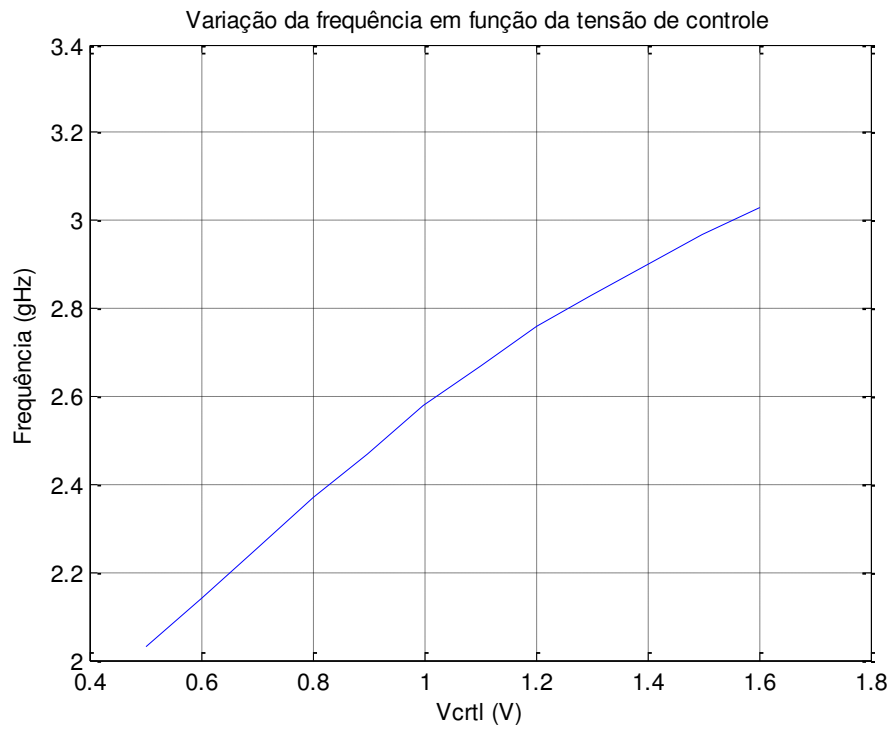


Figura 20 – Gráfico da variação de frequência em função da tensão de controle  $V_{ctrl}$ .

Na Figura 21 pode-se ver a variação do ruído de fase em função da tensão de controle.

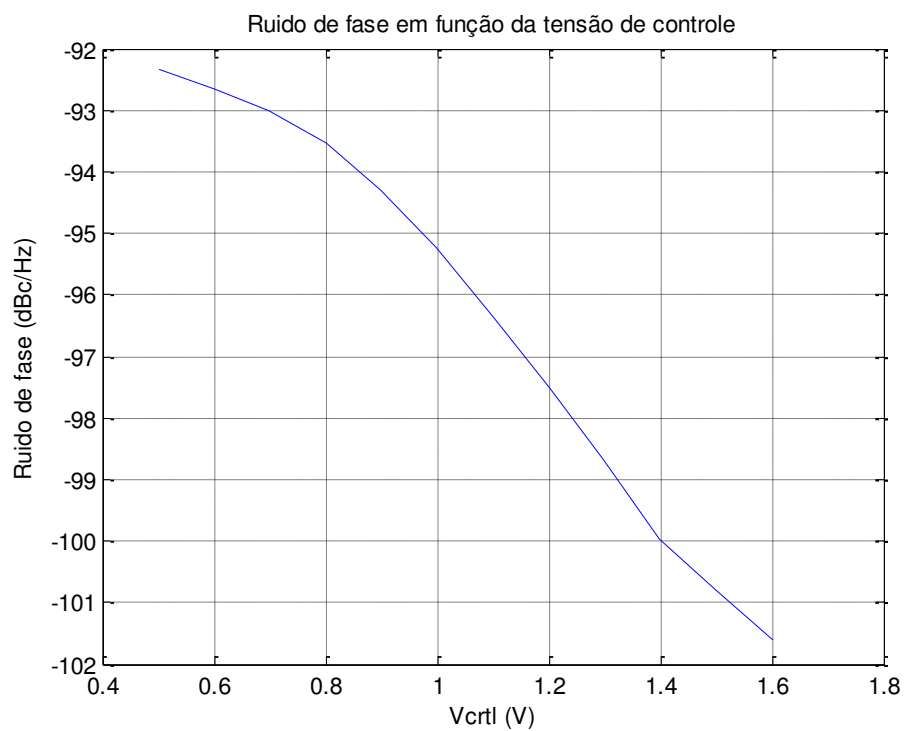


Figura 21 – Gráfico do ruído de fase em função da tensão de controle  $V_{ctrl}$ .



### 3.2 LEIAUTE DO OSCILADOR

Validado os valores do dimensionamento dos transistores, partiu-se para o nível de leiaute desenvolvendo o desenho com auxílio do programa computacional Cadence/Virtuoso.

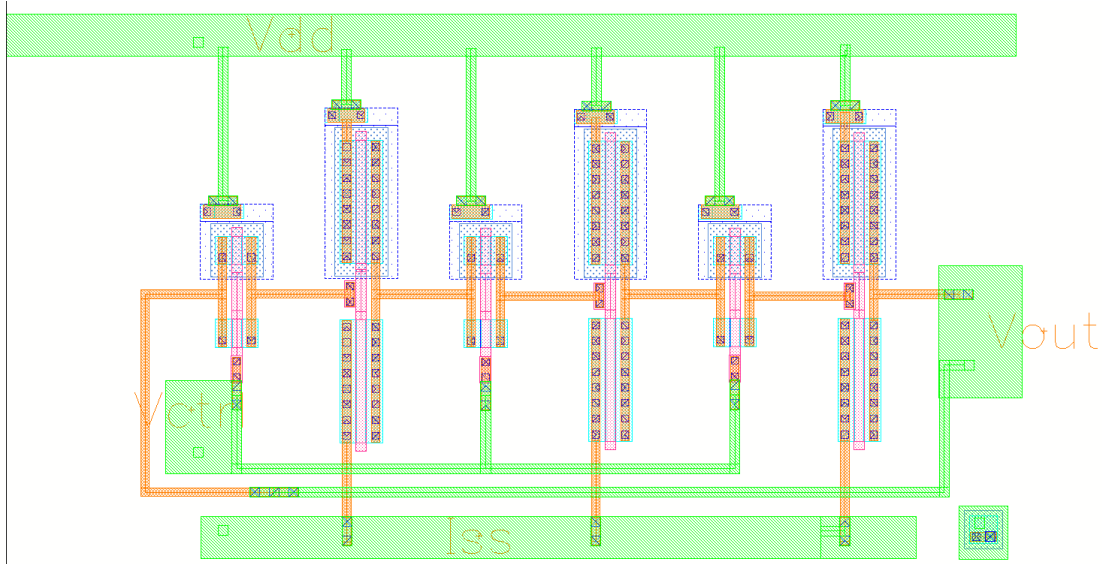


Figura 22 – Leiaute do VCO em anel com inversores.

Após ter feito o leiaute é necessário fazer a extração dos valores de capacitância e resistência parasitas. Além desses parâmetros, também é mostrado o que cada conjunto de camada representa, na figura X pode-se ver os símbolos dos pfets e nfets.

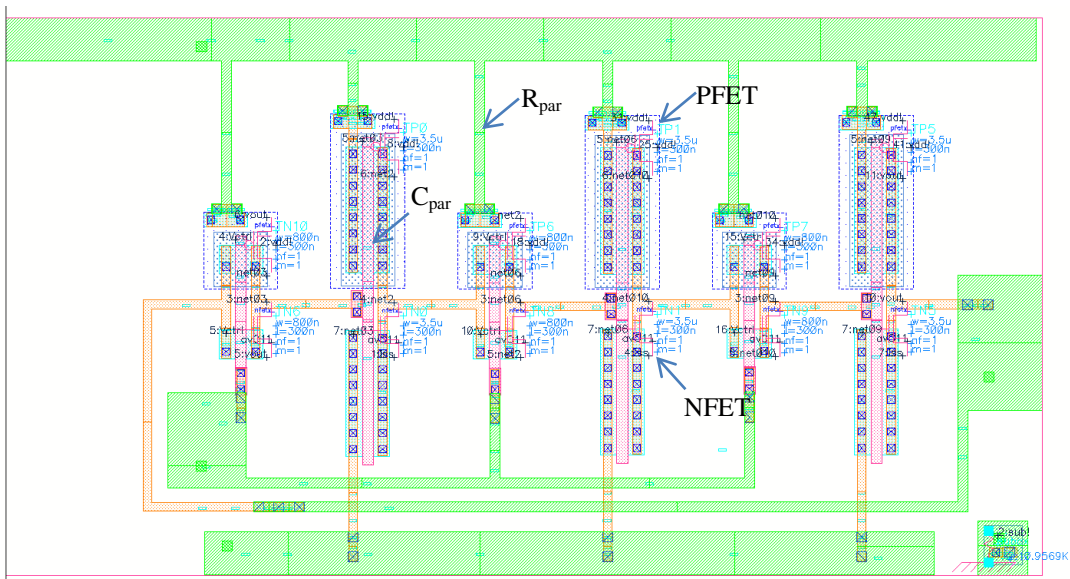


Figura 23 – Leiaute do VCO após extração dos componentes parasitas.

### 3.3 SIMULAÇÃO EM NÍVEL DE LEIAUTE

Os resultados para simulação após o leiaute são mostrados nas figuras de 24 à 27. Na Figura 24, pode ser visto o sinal de saída do VCO em nível de leiaute, o qual é uma onda senoidal distorcida com harmônicos (Figura 25).

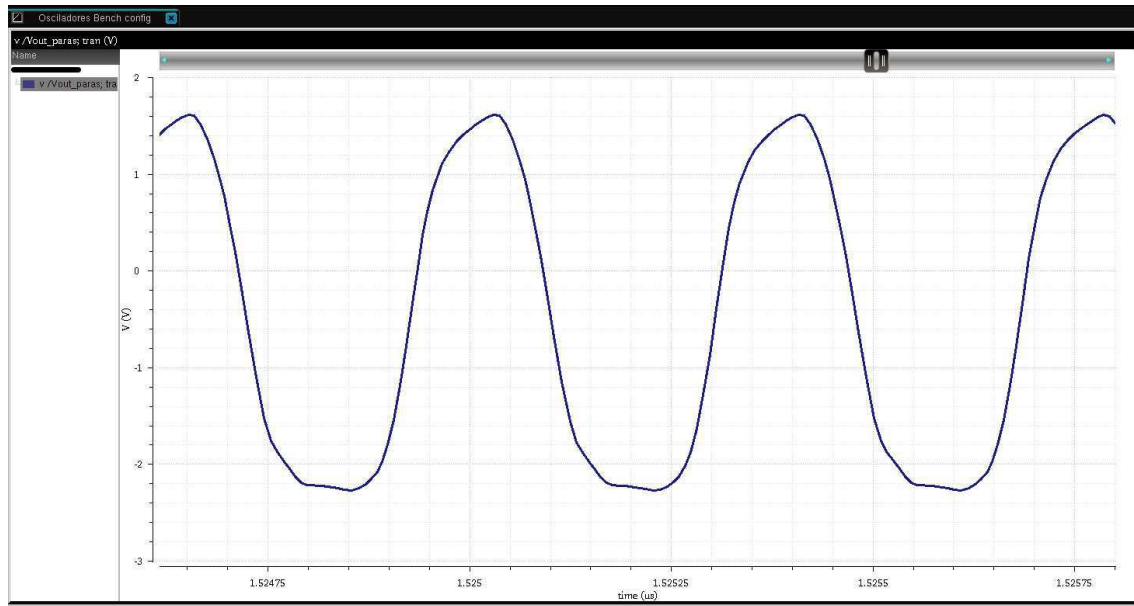


Figura 24 – Sinal de saída do VCO em nível de leiaute.

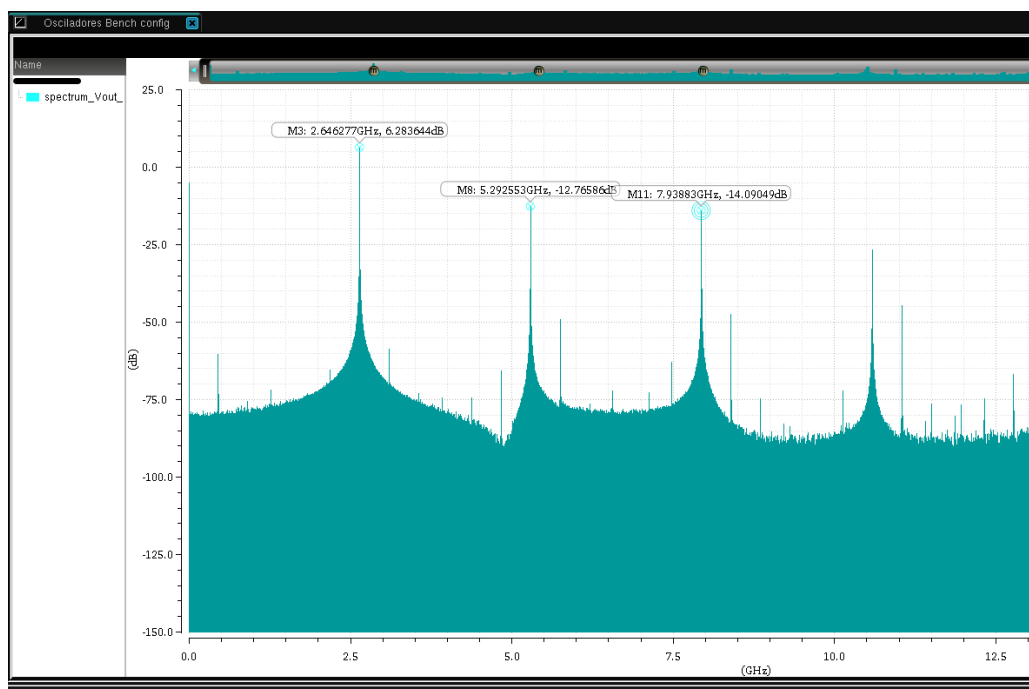


Figura 25 – Espectro de potência do sinal de saída do VCO.

Os valores da frequência em função da tensão de controle  $V_{ctrl}$  em nível de leiaute diminuiu em relação à simulação em nível de circuito, saindo da banda de 1 GHz para a banda 0,85 GHz.



Figura 26 – Gráfico da variação de frequência em função da tensão de controle  $V_{ctrl}$  em nível de leiaute.

Comparando as curvas de variação de ruído de fase em função da tensão de controle  $V_{ctrl}$  em nível de circuito e em nível de leiaute, percebe-se que houve uma melhoria no ruído de fase após o desenho. Essa melhoria foi em torno de 1 dBc/Hz.

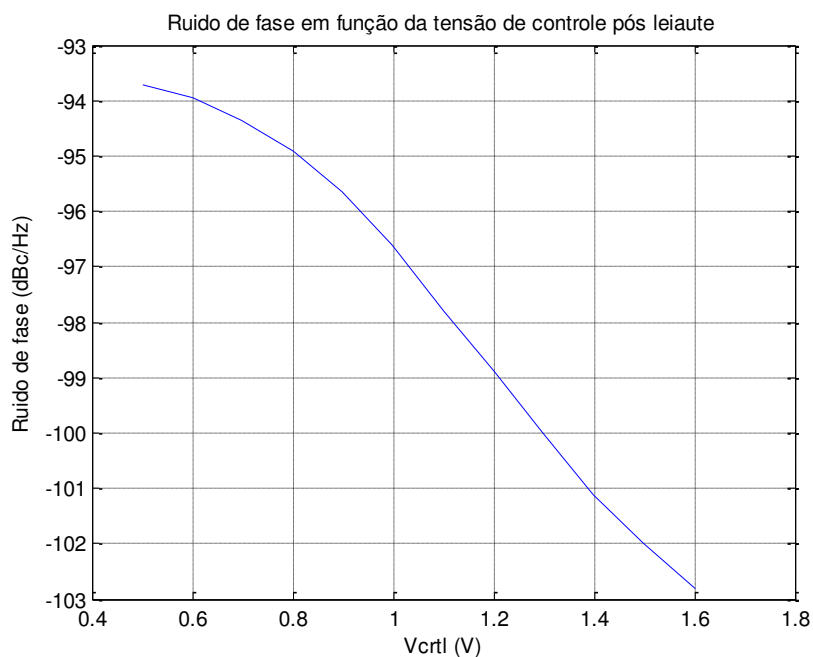


Figura 27 – Gráfico do ruído de fase em função da tensão de controle  $V_{ctrl}$  em nível de leiaute.

A potência dissipada pelo circuito foi calculada com auxílio da ferramenta computacional.

No Quadro 3, pode ser visto um comparativo entre diversas topologias de VCO e a desenvolvida nesse trabalho.

QUADRO 3 – COMPARATIVO ENTRE DIVERSOS OSCILADORES DESENVOLVIDOS.

<b>Modelo</b>	<b>Freq. Operação (GHz)</b>	<b>Ruído de fase (dBc/Hz)</b>	<b>Potência (mW)</b>	<b>Alimentação (V)</b>	<b>Tecnologia</b>
(PEREIRA, 2010), VCO	0,8-1,2	-122	6,34	3	-
(Wan, 2006)	3,2-26,3	-97	7,4	1,5	65 nm SOI CMOS
(Tu, Yeh, <i>et al.</i> , 2004)	2,5-5,2	-90,1	17	1,8	180 nm CMOS
(Thabet, Meillère, <i>et al.</i> , 2011)	0,381-1,15	-126	7,48	3,3	0,35 um CMOS
<b>Esse trabalho</b>	<b>1,79-2,64</b>	<b>-98</b>	<b>7,94</b>	<b>1,8</b>	<b>180 nm CMOS</b>

## 4 CONCLUSÃO

Seguindo o fluxo de projeto de circuitos integrados analógicos foi inicialmente escolhida a topologia de VCO LC, sendo verificado que para fazer esse circuito é necessário um indutor de alta qualidade e que é necessário um estudo prolongado de indutores, decidiu usar uma topologia mais simples, mas com resultados satisfatórios, que foi a topologia do VCO em anel.

Foi escolhida a banda de frequência de 2,45 GHz devido ao fato dessa banda pertencer ao grupo de frequências em que não é necessário licença para usá-la. O Bluetooth é um sistema de comunicação que opera nessa faixa de frequência e pode ser usado em RSSF, portanto foi usada a especificação de ruído de fase de um sistema Bluetooth.

Os resultados mesmo após o leiaute foram satisfatórios e atenderam as especificações, portanto a próxima fase é o envio do desenho para a *foundry*.

## Referências

- ABNT. **NBR 14724 - Informação e documentação — Trabalhos acadêmicos — Apresentação**. Associação Brasileira de Normas Técnicas. [S.l.]: ABNT. 30 dez. 2005. p. 9.
- ABNT. **NBR 6034 - Informação e documentação - Índice - Apresentação**. Associação Brasileira de Normas Técnicas. [S.l.]: ABNT. 2005. p. 4.
- ANJOS, A. D. **Integração de blocos RF CMOS com indutores usando tecnologia Flip Chip**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2012.
- BALKIR, S.; DUNDAR, G.; OGRENCI, A. S. **Analog VLSI Design Automation**. [S.l.]: CRC Press, 2007.
- FARFÁN, P. A. **Projeto e Implementação de um Oscilador Monolítico a 2,4 GHz em Tecnologia CMOS 0,35 $\mu$ m**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2003.
- GÓMEZ, A. A. M. **Estudo e projeto de um sintetizador de frequência para RF em tecnologia CMOS de 0,35 $\mu$ m**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2004.
- GUIMARÃES, T. A. N. **Modelagem de um PLL e Projeto de VCO para Transceptor ZigBee**. UnB Gama. IV. [S.l.]. 2014.
- INÁCIO, D. A. R. **Dispositivo de interligação multi-rádio de longo alcance para redes de sensores com alimentação solar**. Faculdade de Ciências e Tecnologia - Universidade Nova de Lisboa. Lisboa. 2013.
- NICODIMUS RETDIAN, S. T.; FUJII, N. **Voltage Controlled Ring Oscillator with Wide Tuning Range and Fast Voltage Swing**. Tokyo Institute of Technology. Tokyo, Japan. 2002.
- PEREIRA, M. V. A. **Projeto de um Oscilador Controlado por Corrente com**. UNIVERSIDADE ESTADUAL PAULISTA. Campus de Ilha Solteira - SP. 2010.
- RAZAVI, B. **RF microelectronics**. [S.l.]: Prentice Hall, 1998.
- SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5ª. ed. São Paulo: Pearson Prentice Hall, 2007.
- SEVERO, L. C. **Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade**. Universidade Federal do Pampa. Alegrete. 2012.
- THABET, H. et al. **A Low Power Consumption CMOS Differential-Ring VCO for a Wireless Sensor**. [S.l.]. 2011.
- TU, W. et al. **A 1.8V 2.5-5.2 GHz CMOS Dual-input Two-stage Ring VCO**. [S.l.]. 2004.
- WAN, B. **A DESIGN AND ANALYSIS OF HIGH PERFORMANCE VOLTAGE CONTROLLED OSCILLATORS**. Cornell University. [S.l.]. 2006.