

UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA
UNIDADE ACADÊMICA DE ENGENHARIA ELÉTRICA



RELATÓRIO DE ESTÁGIO CURRICULAR SUPERVISIONADO

*Conversor CA-CA Monofásico-Trifásico com Controle de Fator
de Potência, Estudo de Comutação por DSP e Projeto de um
Conversor CC-CA de Três Níveis*

Antonio Isaac Luna de Lacerda

Orientador: Prof. Dr. Edison Roberto Cabral da Silva

Campina Grande - PB
Julho de 2010

Conversor CA-CA Monofásico-Trifásico com Controle de Fator de Potência, Estudo de Comutação por DSP e Projeto de um Conversor CC-CA de Três Níveis

Antonio Isaac Luna de Lacerda

Relatório de Estágio Curricular Supervisionado apresentado à Unidade Acadêmica de Engenharia Elétrica como parte dos requisitos para obtenção do título de Engenheiro Eletricista.

Orientador: Prof. Dr. Edison Roberto Cabral da Silva

Campina Grande - PB
Julho de 2010

Conversor CA-CA Monofásico-Trifásico com Controle de Fator de Potência, Estudo de Comutação por DSP e Projeto de um Conversor CC-CA de Três Níveis

Relatório de Estágio Curricular Supervisionado apresentado à Unidade Acadêmica de Engenharia Elétrica como parte dos requisitos para obtenção do título de Engenheiro Eletricista.

Antonio Isaac Luna de Lacerda
Aluno

Edison Roberto Cabral da Silva, Dr., UFCG
Orientador

Professor da banca, Dr., UFCG
Componente da Banca

Campina Grande - PB
Julho de 2010

Agradecimentos

A Deus, que é o autor e consumidor da minha história, por ter me dado força e sabedoria durante toda a trajetória da minha vida.

A meus pais, José Laércio de Lacerda e Maria Luna Tavares, por todo amor e apoio necessários ao meu desenvolvimento como pessoa.

A minha namorada Ana Paula, pelo amor, carinho, paciência, estímulo e companheirismo. Aos meus irmãos Ivete e Marcelo que sempre acreditaram no meu potencial e são participantes de mais esta vitória.

Ao Professor Edison Roberto Cabral da Silva, pela orientação, apoio, oportunidades, ajuda e conhecimento partilhado. Ao Professor Euzeli Cipriano dos Santos Júnior por toda ajuda e conhecimento partilhado.

A coordenação, professores e funcionários da Universidade Federal de Campina Grande, em especial os que compõe o Departamento de Engenharia Elétrica, por terem contribuído para a minha formação acadêmica.

Aos vários amigos e colegas de curso que ganhei na UFCG, especialmente Rafaelle Pinto, Gregory Arthur, Aristóteles Neto, Daniel Carlos, Igor Torres, João Helder, Frederico Camurça, Antonio de Paula, Bernard Gouveia, Edgard Luiz, Luiz Gianini, Paulo de Tarso pela amizade e disposição em ajudar.

*Aos meus Pais, que dedicaram toda a vida
aos filhos.*

Sumário

Lista de Figuras	viii
Lista de Tabelas	ix
Glossário	x
1 Introdução	4
2 Conversor CA-CA	6
2.1 Estágio CFP	6
2.1.1 Princípio de Operação	7
2.1.2 Indutâncias	11
2.1.3 Esforços de Corrente	11
2.1.4 Simulação do Estágio CFP	12
2.2 Configuração proposta sem modulação no braço compartilhado	12
2.3 Configuração proposta com modulação no braço compartilhado	15
2.4 Resultados de simulação	17
3 Estudo do seu comando do conversor proposto via DSP	23
3.1 Características básicas	24
3.2 Unidades de memória	25
3.3 Núcleo de processamento	26
3.4 Conjunto de periféricos	28
4 Projeto de um inversor trifásico de três níveis com diodos grampeadores	40
4.1 Inversor trifásico de três níveis com diodos grampeadores	41
4.2 Descrição do Projeto	44
4.2.1 Circuito de potência	44
4.2.2 Circuitos auxiliares de chaveamento	48
5 Considerações Finais	55
5.1 Trabalhos Futuros	55
A Programa principal para o controle da configuração 3Ls sem modulação no braço compartilhado	57

B Programa principal para o controle da configuração 3Ls com modulação no braço compartilhado	64
-----------------------------------------------------------------------------------------------	----

Lista de Figuras

1.1	Configuração proposta.	5
2.1	Conversor de CFP.	7
2.2	Modos de operação do estágio de CFP.	8
2.3	Formas de onda do estágio de CFP.	10
2.4	Tensão e a corrente de entrada do conversor.	13
2.5	Espectro de frequência da corrente de entrada para diferentes valores de α	14
2.6	Correntes i_1 e i_2	15
2.7	Configuração proposta sem modulação no braço compartilhado.	15
2.8	Forma de implementação para a configuração proposta sem modulação no braço compartilhado.	16
2.9	Configuração proposta com modulação no braço compartilhado.	17
2.10	Forma de implementação para a configuração proposta com modulação no braço compartilhado.	18
2.11	Resultados de simulação da corrente na carga, tensão e corrente de entrada para configuração proposta sem modulação no braço compartilhado com e sem indutor acoplado.	19
2.12	Resultados de simulação da corrente na carga, tensão e corrente de entrada para configuração proposta com modulação no braço compartilhado com e sem indutor acoplado.	20
2.13	Distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta sem modulação no braço compartilhado.	21
2.14	Distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta com modulação no braço compartilhado.	22
3.1	Módulos de memória do <i>F2812</i>	26
3.2	Unidade de processamento (CPU) do <i>TMS320F2812</i>	27
3.3	Diagrama de blocos do gerenciador de eventos A.	29
3.4	Versão digital do sinal dente de serra.	30
3.5	Contagem direcional: Fator Prescale 1 e TxPR = 3.	30
3.6	Contagem crescente-decrescente contínua.	31

3.7	Diagrama de blocos da unidade de comparação (Para EVA: $x = 1, 2, 3$; $y = 1, 3, 5$; $z = 1$. Para EVB: $x = 4, 5, 6$; $y = 7, 9, 11$; $z = 3$).	34
4.1	Inversor trifásico de três níveis com diodos grampeadores.	41
4.2	Tensão de pólo, Tensão entre fases e Tensão entre fase e neutro do inversor.	42
4.3	Diagrama de blocos do sistema conversor.	44
4.4	Módulo IGBT SKM 50GB 123D.	45
4.5	Módulo de diodo rápido SKKD 60F.	46
4.6	Capacitor filme de polipropileno.	46
4.7	Esquema de ligação dos capacitores supressores no inversor [18].	47
4.8	Capacitor eletrolítico da EPCOS©.	47
4.9	Dissipador P3 da SEMIKRON©.	48
4.10	Ventilador SKF23 - 230 - 01 da SEMIKRON©.	48
4.11	Arranjo e conexões dos componentes sobre o dissipador [18].	48
4.12	Módulo diodo SKKD 46/12.	49
4.13	Diagrama de blocos simplificados da $eZdsp^{TM}$ F2812.	49
4.14	Driver SKHI 10 da SEMIKRON©.	50
4.15	Fonte de tensão chaveada STF 15 - 5 da POWERBRAS©.	51
4.16	Diagrama elétrico da PCI [18].	53
4.17	Inversor Trifásico de Três Níveis com Diodos Grampeadores.	54

Lista de Tabelas

3.1	Comparativo das principais características dos processadores da família TMS320x2x.	24
3.2	Configurações dos bits para o "Timer x Control Register".	31
3.3	Configurações utilizadas para o "Timer x Control Register".	32
3.4	Configurações dos bits para o "GP Timer Control Register A".	32
3.5	Configurações utilizadas para o "GP Timer Control Register A".	33
3.6	Configurações dos bits para o Registrador "Compare Control A".	35
3.7	Configurações utilizadas para o Registrador "Compare Control A".	35
3.8	Configurações dos bits para o "Compare Action Control Register A".	36
3.9	Configurações utilizadas para o "Compare Action Control Register A".	36
3.10	Configurações dos bits para o "Dead-Band Timer Control Register A".	37
3.11	Configurações utilizadas para o "Dead-Band Timer Control Register A".	37
3.12	Registrador de bandeira de interrupção e o correspondente registrador de máscara de interrupção.	38
3.13	Configurações dos bits para o "EVA Interrupt Flag Register A".	38
3.14	Configurações utilizadas para o "EVA Interrupt Flag Register A".	39
3.15	Configurações dos bits para o "EVA Interrupt Mask Register A".	39
3.16	Configurações utilizadas para o "EVA Interrupt Mask Register A".	39
4.1	Estado das chaves do inversor trifásico de três níveis.	42
4.2	Tensões de saída para o inversor trifásico de três níveis com diodos de grampeamento [13].	43
4.3	Características elétricas do módulo IGBT SKM 50GB 123D.	45
4.4	Características elétricas do módulo diodo SKKD 60F.	46
4.5	Características elétricas dos capacitores supressores.	46
4.6	Características elétricas dos capacitores do barramento CC.	47
4.7	Características elétricas do módulo diodo SKKD 46/12.	49
4.8	Principais características elétricas do SKHI 10 da SEMIKRON®.	51
4.9	Dados técnicos Fonte de tensão chaveada STF 15 - 5 da POWERBRAS®.	52

Glossário

CFP	-	Correção do Fator de potência
DCM	-	<i>Discontinuous Inductor Current Mode</i>
DSP	-	Processador digital de sinais
PWM	-	<i>Pulse Width Modulation</i>
RMS	-	<i>Root-Mean-Square</i>
THD	-	<i>Total Harmonic Distortion</i>
ROM	-	<i>Read Only Memory</i>
EV	-	Gerenciador de Eventos
QEP	-	Codificador de pulso em quadratura
SARAM	-	<i>Single access RAM</i>
RAM	-	Memória de dados interna
SARAM	-	Memória de dados interna de simples acesso
CPU	-	Unidade central de processamento
MAC	-	Unidade de multiplicação e acumulação
ALU	-	Unidade lógica e aritmética
ARAU	-	Unidade Aritmética de Registradores Auxiliares
DRAB	-	Barramento de endereços de leitura de dados
DWAB	-	Barramento de endereçamento de escrita de dado
ADC	-	Conversor Analógico-Digital
SCI	-	Interface de comunicação serial
SPI	-	Interface serial com periféricos
CAN	-	Controlador de rede
GP	-	Temporizadores de uso geral
PIVR	-	Registrador do vetor de interrupção periférico
ISR	-	Rotina de serviço de interrupção
PCI	-	Placa de circuito impresso

Parte 1:

Considerações Gerais

Considerações Gerais

O estágio foi realizado no Laboratório de Eletrônica Industrial e Acionamento de Máquinas - LEIAM, do Departamento de Engenharia Elétrica do Centro de Engenharia Elétrica e Informática, da própria Universidade Federal de Campina Grande.

O LEIAM localiza-se no bloco CH da UFCG e está atualmente sob a coordenação do Professor Edison Roberto Cabral da Silva. O laboratório atualmente desenvolve projetos na área de qualidade de energia, fontes alternativas de energia, acionamento e controle de máquinas elétricas, estudos de topologias de conversores a estado sólido entre outros. Os trabalhos de pesquisa são realizados por alunos de doutorado, mestrado e graduação, assim como pelos próprios professores vinculados ao laboratório. O laboratório dispõe de computadores, dispositivos de eletrônica de potência, máquinas elétricas, dispositivos de medição, instrumentação e aquisição de dados, entre outros materiais necessários aos trabalhos realizados.

O estágio envolveu três aspectos:

- Estudo e simulação de um conversor CA-CA com controle de fator de potência;
- O estudo de seu comando via DSP;
- A montagem de um inversor de três níveis a diodos grampeados.

Parte 2:
Relatório Técnico

Capítulo 1

Introdução

Em algumas aplicações a rede elétrica de alimentação é monofásica e existe a necessidade de alimentar cargas trifásicas, por exemplo, em aplicações rurais (Bellar et al., 2005) e (Machado et al., 2005). A conversão monofásico-trifásico de energia usualmente emprega a topologia com retificador a diodos, que tem a desvantagem de apresentar distorção na corrente de entrada e fator de potência não unitário.

Em contra partida, a correção do fator de potência utilizando conversor boost é a mais popular técnica para obtenção do fator de potência unitário (Nabae et al., 1994). A operação do conversor boost no Modo de Condução Descontínuo (DCM - *Discontinuous Inductor Current Mode*) da corrente do indutor é popular em aplicações de baixo até médio nível de potência. A corrente de entrada deste conversor segue automaticamente a tensão da fonte primária senoidal e, além disto, a malha de controle da corrente pode ser removido e o sistema global de controle é simplificado. Contudo, o controle do fator de potência com conversor boost operando no DCM está sendo adaptado na indústria para aplicações de alta potência (Bento et al., 2005).

Inicialmente será realizado o estudo teórico e simulações dos conversores CA-CA. Inicialmente trataremos do circuito de correção do fator de potência (CFP) que propõe atingir um fator de potência quase unitário e a corrente de entrada livre de ondulação, sem qualquer modulação comutação complicado como PWM ou um controle com realimentação complicado. Também será estudada a saída do conversor proposto que é composta por um conversor de ponte completa com três braços sendo um braço compartilhado com o conversor de entrada, Figura 1.1, sem modulação no braço compartilhado, ou com modulação no braço compartilhado.

Em seguida será realizado o estudo teórico de um Processador Digital de Sinais (DSP). Será desenvolvido um controlador digital para o conversor de tensão proposto utilizando o processador digital de sinais (DSP) que pode gerar em sinais de controle em tempo real através de um modulador de largura de pulsos.

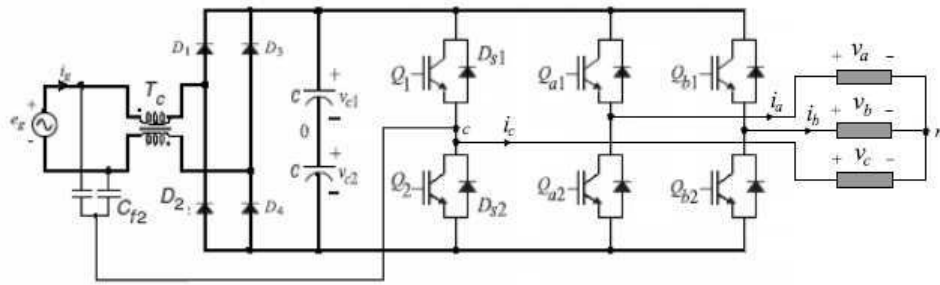


Fig. 1.1: Configuração proposta.

Para uma melhoria da distorção harmônica nos sinais de saída é possível utilizar inversores de três níveis, em vez de inversores de dois níveis. Os inversores multiníveis podem ser do tipo a diodos grampeadores (NPC), a capacitor flutuantes ou em cascata com fontes independentes. Para não limitar sua aplicação às potências permitidas pelo retificador de entrada, seu estudo de projeto foi realizado para médias e altas potências. Assim o projeto da estrutura e dados de sua implementação são incluídos na terceira parte deste Relatório.

Capítulo 2

Conversor CA-CA

O circuito de correção do fator de potência (CFP) utilizado no lado de entrada do conversor propõe atingir um fator de potência quase unitário e a corrente de entrada livre de ondulação, sem qualquer modulação complicada como PWM ou um controle com realimentação complicado. A operação do conversor no Modo de Condução Descontínuo (DCM) da corrente do indutor é indicada para baixo até médio nível de potência.

Após garantir o fator de potência unitário e corrente livre de ondulação na entrada, é necessário fazer o devido processamento da energia fornecida permitindo assim a conexão a uma carga em corrente alternada.

A saída do conversor proposto é composta por um conversor de ponte completa com três braços sendo um braço compartilhado com o conversor de entrada, sem modulação no braço compartilhado, ou com modulação no braço compartilhado.

2.1 Estágio CFP

No estágio CFP mostrado na Figura 2.1 i_{cf1} e i_{cf2} são as correntes que circulam através do filtro de capacitores C_{f1} e C_{f2} ($C_{f1} = C_{f2} = C_f$). Como pode ser visto, o indutor acoplado T_c como um tipo de transformador que é modelado com a indutância de magnetização L_{mc} , a indutância primária de dispersão L_{c1} , a indutância secundária de dispersão L_{c2} ($L_{c1} = L_{c2} = L_c$), e um transformador ideal com número de espira de 1:1. A indutância primária de dispersão L_{c1} e a indutância secundária de dispersão L_{c2} podem ser consideradas iguais [7].

O conversor em um período de chaveamento T_s possui quatro modos de operação, no ciclo positivo da fonte primária monofásica. As chaves de potência são ligadas e desligadas de forma complementar (relação cíclica, $D\%$) numa frequência constante muito maior que a frequência da fonte primária de tensão monofásica. Pressupostos para a análise em operação são:

- Todos os componentes e o barramento CC são ideais;
- A tensão do barramento CC V_d seja maior do que a amplitude de pico V_i da tensão de entrada v_i ;
- O fornecimento de tensão de entrada v_i é considerado constante para um período de chaveamento;
- v_{cf1} e v_{cf2} são considerados constantes durante o período de chaveamento T_c .

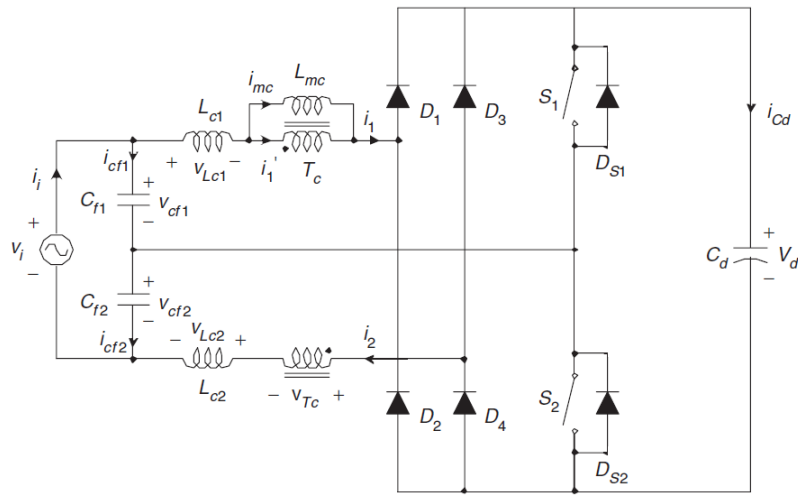


Fig. 2.1: Conversor de CFP.

2.1.1 Princípio de Operação

O conversor possui quatro modos de operação no ciclo positivo da fonte primária monofásica, como pode ser visto na Figura 2.2:

Modo 1: A chave q_{s1} é ligada e a chave q_{s2} é desligada no mesmo momento. A partir de $v_{cf1} = v_{Lc1} + v_{TC}$ e $v_{cf2} = v_{Lc2} + v_{TC} + V_d$, a tensão v_{TC} sobre o indutor acoplado T_c , a tensão v_{Lc1} sobre a indutância de dispersão primária L_{c1} , e a tensão v_{Lc2} sobre a indutância de dispersão secundária L_{c2} são dadas por

$$v_{TC}(t) = -\frac{(V_d - v_i)}{2} \quad (2.1)$$

$$v_{Lc1} = v_{cf1} - v_{TC} \quad (2.2)$$

$$v_{Lc2} = v_{cf2} - v_{TC} - V_d \quad (2.3)$$

a corrente i_1 do indutor de dispersão primária cresce e a corrente i_2 do indutor de dispersão secundária decresce linearmente como segue

$$i_1(t) = \frac{(V_{Cf1} - v_{Tc})}{L_c} (t_0 - t_{c1}) \quad (2.4)$$

$$i_2(t) = I_{mc} + \frac{(V_{Cf2} - v_{Tc} - V_d)}{L_c} (t_0 - t_{c1}) \quad (2.5)$$

no fim do intervalo a corrente i_1 do indutor de dispersão primária se aproxima de I_{mc} e a corrente i_2 do indutor de dispersão secundária se aproxima de zero.

Modo 2: A corrente i_2 do indutor de dispersão secundária chega a zero. A tensão v_{Lc} sobre a indutância de dispersão primária L_{c1} pode ser considerado zero e a tensão v_{Tc} é fixada em v_{cf1} . Então a corrente i_1 do indutor de dispersão primária cresce com o mesmo valor da corrente i_{mc} .

$$i_1(t) = i_{mc}(t) = \frac{v_i}{L_c} (t_{c1} - DT_s) \quad (2.6)$$

$$i_2(t) = 0 \quad (t_{c1} - DT_s) \quad (2.7)$$

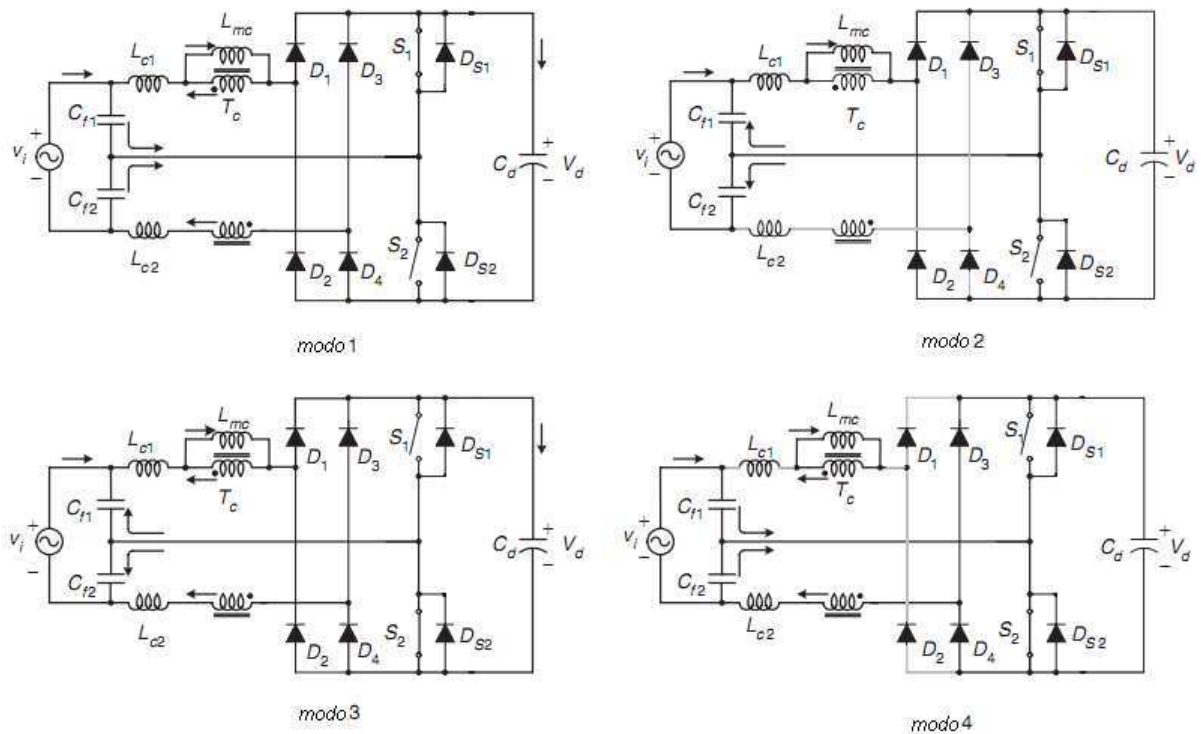


Fig. 2.2: Modos de operação do estágio de CFP.

Modo 3: A chave q_{s2} é ligada e a chave q_{s1} é desligada no mesmo momento. A partir de

$v_{cf1} = v_{Lc1} + v_{TC} + v_d$ e $v_{cf2} = v_{Lc2} + v_{TC}$ a tensão v_{Tc} sobre o indutor acoplado T_c , a tensão v_{Lc1} sobre a indutância de dispersão primária L_{c1} , e a tensão v_{Lc2} sobre a indutância de dispersão secundária L_{c2} são dadas por

$$v_{Tc}(t) = -\frac{(V_d - v_i)}{2} \quad (2.8)$$

$$v_{Lc1} = v_{Cf1} - v_{Tc} - V_d \quad (2.9)$$

$$v_{Lc2} = v_{cf2} - v_{Tc} \quad (2.10)$$

a corrente i_1 do indutor de dispersão primária decresce e a corrente i_2 do indutor de dispersão secundária cresce linearmente como segue

$$i_1(t) = I_{mc} + \frac{(V_{Cf1} - v_{Tc} - V_d)}{L_c} (DT_s - t_{c2}) \quad (2.11)$$

$$i_2(t) = \frac{(V_{Cf2} - v_{Tc})}{L_c} (DT_s - t_{c2}) \quad (2.12)$$

no fim do intervalo a corrente i_2 do indutor de dispersão secundária se aproxima de I_{mc} e a corrente i_1 do indutor de dispersão primária se aproxima de zero.

Modo 4: A corrente i_1 do indutor de dispersão primária chega a zero. A tensão v_{Lc} sobre a indutância de dispersão secundária L_{c2} pode ser considerado zero e a tensão v_{Tc} é fixada em v_{cf2} . Então a corrente i_2 do indutor de dispersão primária é grampeada em i_{mc} .

$$i_1(t) = 0 \quad (t_{c2} - T_s) \quad (2.13)$$

$$i_2(t) = i_{mc}(t) = \frac{v_i}{L_c} (t_{c2} - T_s) \quad (2.14)$$

Referindo-se as formas de onda das tensões v_{Lc1} e v_{Tc} na Fig. 2.3, pelo equilíbrio das tensões temos que [7]

$$(V_{Cf1} + \frac{(V_d - v_i)}{2})T_{c1} = (V_{Cf2} + \frac{(V_d - v_i)}{2})T_{c2} \quad (2.15)$$

$$\frac{(V_d - v_i)}{2}T_{c1} = (DT_s - T_{c1})V_{Cf1} \quad (2.16)$$

$$\frac{(V_d - v_i)}{2}T_{c2} = ((1 - D)T_s - T_{c2})V_{Cf2} \quad (2.17)$$

Com $v_i = v_{cf1} + v_{cf2}$, (2.15), (2.16), (2.17) a tensão do filtro capacitivo e o tempo de transição são dados por:

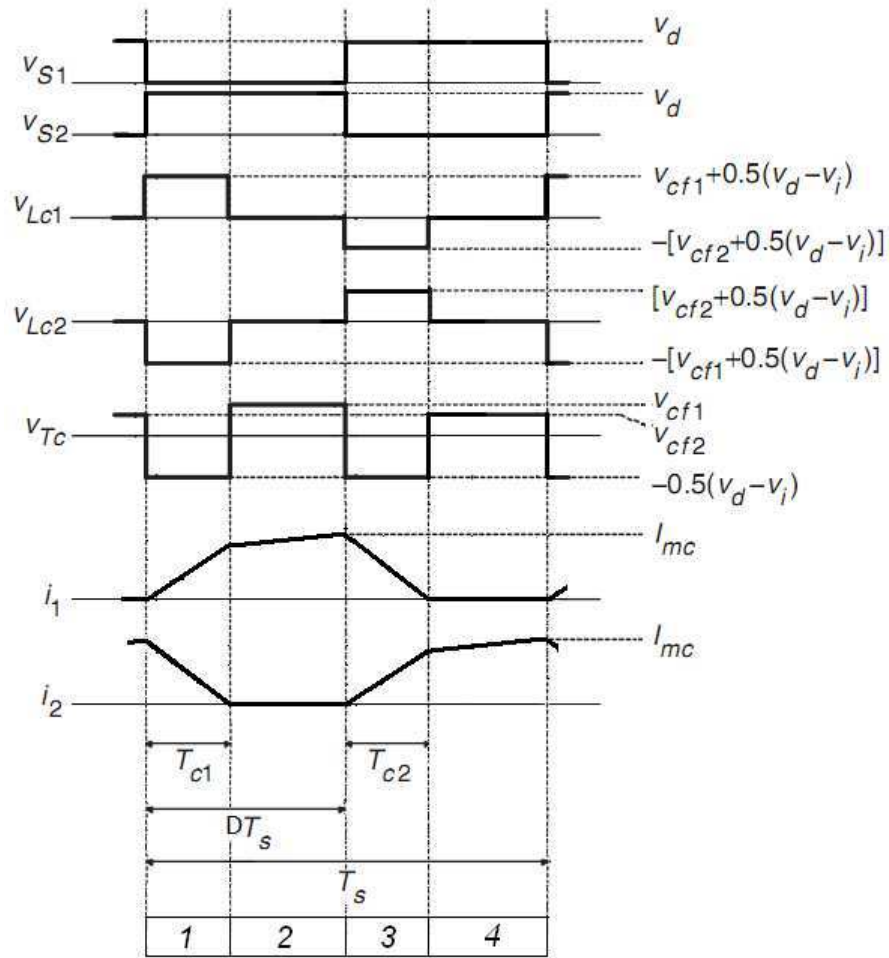


Fig. 2.3: Formas de onda do estágio de CFP.

$$v_{cf1} = (1 - D)v_i \quad (2.18)$$

$$v_{cf2} = Dv_i \quad (2.19)$$

$$T_{c1} = \frac{2D(1 - D)v_i T_s}{V_d + (1 - 2D)v_i} \quad (2.20)$$

$$T_{c2} = \frac{2D(1 - D)v_i T_s}{V_d - (1 - 2D)v_i} \quad (2.21)$$

A partir do modo 2 temos que o pico da corrente i_{mc} é dado por:

$$i_{mc} = \frac{D(1 - D)v_i}{f_s L_c} \quad (2.22)$$

A tensão de entrada v_i do conversor será:

$$v_i = \sqrt{2}V_i \sin \omega t \quad (2.23)$$

Onde V_i e ω são a tensão RMS de entrada e a frequência angular, respectivamente. A partir de $i_i = i_2 + i_{cf2} = i_1 + i_{mc} + i_{cf1}$, $i_1 = -i_2$, $i_{cf2} = -i_{cf1}$, e i_{mc} , a corrente de entrada i_i é dada por

$$i_i = \frac{i_{mc}}{2} = \frac{D(1-D)}{\sqrt{2}f_s L_c} V_i \sin \omega t \quad (2.24)$$

Assim a corrente de entrada não contém nenhum harmônico de alta frequência e a corrente RMS de entrada I_i é $\frac{D(1-D)V_i}{2f_s L_c}$. A potência de entrada real P_i é determinada como

$$P_i = \frac{1}{\pi} \int_0^\pi v_i i_i d(\omega t) = \frac{D(1-D)}{2f_s L_c} V_i^2 \quad (2.25)$$

A partir de (2.24) e (2.25) o fator de potência é dado por

$$PF = \frac{P_i}{V_i I_i} = 1 \quad (2.26)$$

Assim o conversor proposto CFP possui fator de potência unitário quando ele é projetado de modo que a tensão V_d do barramento CC seja maior do que a amplitude de pico V_i da tensão de entrada v_i .

2.1.2 Indutâncias

A partir de (2.25) a indutância de dispersão L_c do indutor acoplado para fator de potência unitário é projetado como segue [7]:

$$L_c = \frac{\eta V_{i,min}^2}{2f_s P_{o,max}} D_{max}(1 - D_{max}) \quad (2.27)$$

Onde $P_{o,max}$ e η são respectivamente a máxima potência de saída e a eficiência esperada do conversor.

2.1.3 Esforços de Corrente

A corrente de pico, no período da rede, ocorre no semi-ciclo positivo $\omega t = \frac{\pi}{2}$. Substituindo (2.23) em (2.22), a corrente de pico dos indutores é obtida:

$$i_{1,2pico} = \frac{D(1-D)\sqrt{2}}{f_s L_c} V_i \quad (2.28)$$

2.1.4 Simulação do Estágio CFP

Realizou-se a simulação do estágio PFC (Figura 2.1) conectado a uma carga R . Os parâmetros globais foram:

- Tensão de rede, V_i , (60 Hz): 100 V;
- Tensão de saída, V_d : 150 V;
- Potência máxima de saída, $P_{o,max}$: 75 W;
- Frequência de chaveamento: 10 kHz;
- Ciclo de trabalho, D : 0.5;
- Indutância de dispersão (mH): 1.7.

A corrente de entrada possui pouca ondulação. Na Figura 2.4 tem-se a tensão e a corrente de entrada pode-se constatar que a corrente de entrada está em fase com a tensão sem a necessidade de um controle com realimentação. Na Figura 2.6(a) tem-se as correntes i_1 e i_2 e na Figura 2.6(b) são ampliadas podemos perceber que elas comprovam as formas de onda teóricas apresentadas na Figura 2.3. A Figura 2.1.4 mostra o efeito da relação de transferência estática α no espectro de frequência das componentes harmônicas da corrente de entrada, onde α é definida como segue:

$$\alpha = \frac{V_d}{V_i} \quad (2.29)$$

Onde V_d é o máximo valor de v_d . Podemos perceber pela Figura 2.1.4 que quanto maior for valor de α ocorre um aumento na distorção harmônica total.

2.2 Configuração proposta sem modulação no braço compartilhado

A saída da configuração proposta sem modulação no braço compartilhado (Figura 2.7) é formada por 6 chaves de potência ($Q_1, Q_2, Q_{a1}, Q_{a2}, Q_{b1}, Q_{b2}$) e um banco de capacitores

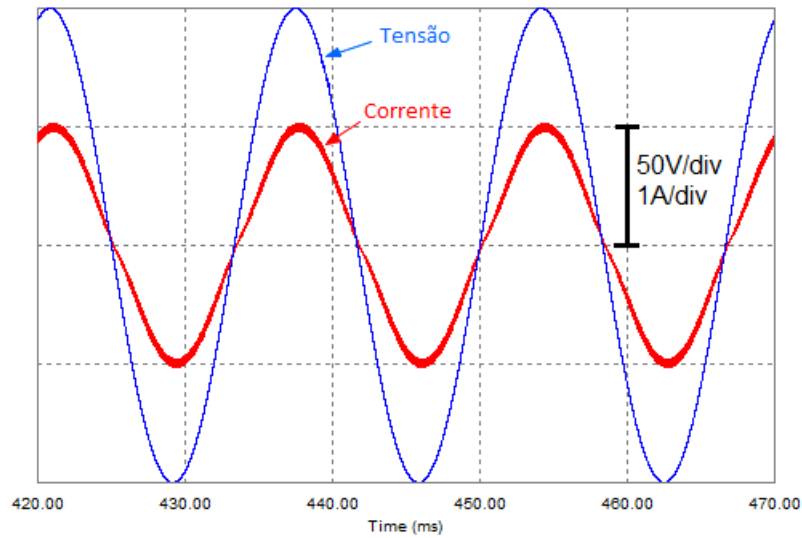


Fig. 2.4: Tensão e a corrente de entrada do conversor.

formando o barramento CC. Os pares de chaves $Q_1 - Q_2$, $Q_{a1} - Q_{a2}$ e $Q_{b1} - Q_{b2}$ são complementares. Nesta configuração o braço ($Q_1 - Q_2$) é compartilhado entre a entrada e a saída do conversor, a operação deste braço apresenta ciclo de trabalho, D , de 0.5. O estado de condução das chaves pode ser representado por uma variável binária homônima Q_1 , Q_{a1} e Q_{b1} onde $Q = 1$ indica a chave fechada e $Q = 0$ indica a chave aberta.

Se as tensões de referência da carga são dadas por v_{an}^* , v_{bn}^* e v_{cn}^* então as tensões de pólo de referência podem ser expressas como segue

$$v_{a0}^* = v_{an}^* + v_{n0}^* \quad (2.30)$$

$$v_{b0}^* = v_{bn}^* + v_{n0}^* \quad (2.31)$$

$$v_{c0}^* = v_{cn}^* + v_{n0}^* \quad (2.32)$$

Como o braço compartilhado apresenta ciclo de trabalho D igual a 0.5 então $v_{c0}^* = 0$, então as equações podem ser reescritas como:

$$v_{a0}^* = v_{an}^* - v_{cn}^* \quad (2.33)$$

$$v_{b0}^* = v_{bn}^* - v_{cn}^* \quad (2.34)$$

$$v_{c0}^* = 0 \quad (2.35)$$

Uma vez determinada as tensões de pólo de referência (2.33)-(2.35), calcula-se as larguras

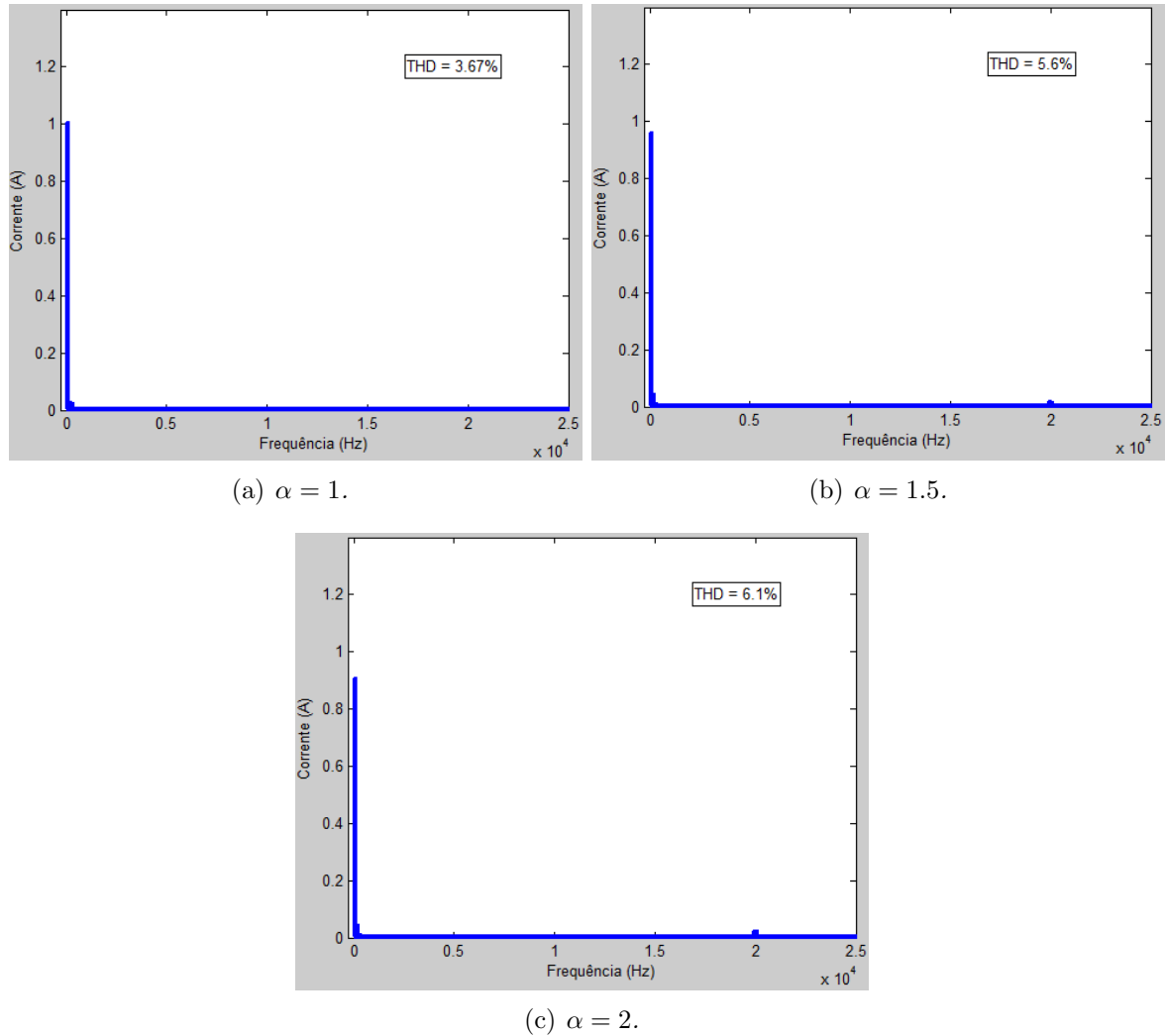


Fig. 2.5: Espectro de frequência da corrente de entrada para diferentes valores de α .

de pulso τ_a , τ_b e τ_c através de

$$\tau_j = \frac{T}{2} + \frac{T}{E}v_{j0} \quad \text{para } j = a, b \text{ e } c \quad (2.36)$$

As larguras de pulsos (τ_a , τ_b e τ_c) são usadas pelo sistema de controle digital para gerar os sinais de gatilho das chaves de potência, alternativamente os sinais de gatilho podem ser gerados pela comparação das tensões de pólo de referência com um sinal triangular de alta frequência. A estratégia PWM descrita anteriormente é mostrada na Fig. 2.8, assim como todo o esquema de controle da Configuração proposta sem modulação no braço compartilhado.

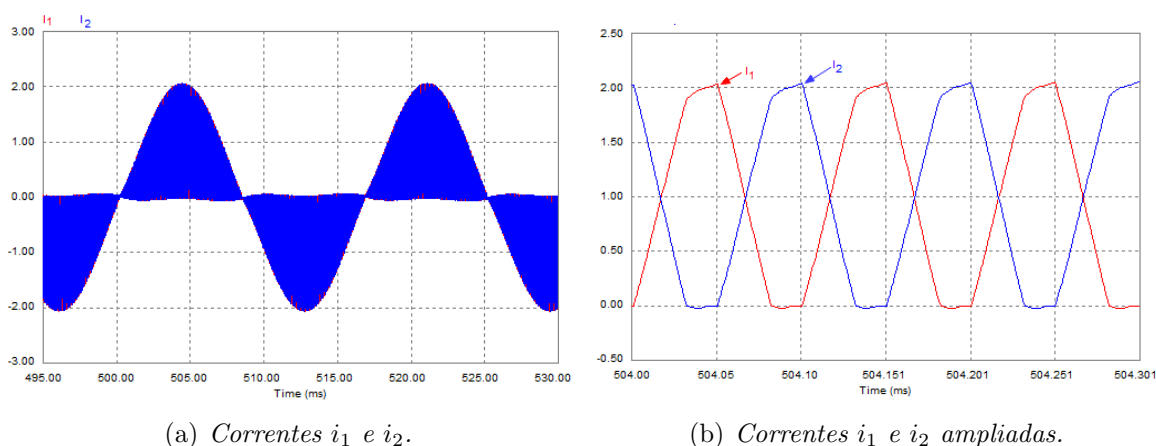
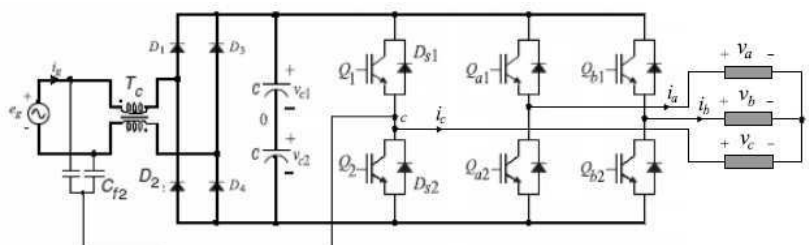
Fig. 2.6: Correntes i_1 e i_2 .

Fig. 2.7: Configuração proposta sem modulação no braço compartilhado.

2.3 Configuração proposta com modulação no braço compartilhado

A saída da configuração proposta com modulação no braço compartilhado (Figura 2.9) é formada por 6 chaves de potência (Q_1 , Q_2 , Q_{a1} , Q_{a2} , Q_{b1} , Q_{b2}) e um banco de capacitores formando o barramento CC. Os pares de chaves $Q_1 - Q_2$, $Q_{a1} - Q_{a2}$ e $Q_{b1} - Q_{b2}$ são complementares. Nesta configuração o braço ($Q_1 - Q_2$) é compartilhado entre a entrada e a saída do conversor. O estado de condução das chaves pode ser representado por uma variável binária homônima Q_1 , Q_{a1} e Q_{b1} onde $Q = 1$ indica a chave fechada e $Q = 0$ indica a chave aberta.

Se as tensões de referência da carga são dadas por v_{an}^* , v_{bn}^* e v_{cn}^* , então as tensões de pólo de referência podem ser escritas como:

$$v_{a0}^* = v_{an}^* + v_{\mu}^* \quad (2.37)$$

$$v_{b0}^* = v_{bn}^* + v_{\mu}^* \quad (2.38)$$

$$v_{c0}^* = v_{cn}^* + v_{\mu}^* \quad (2.39)$$

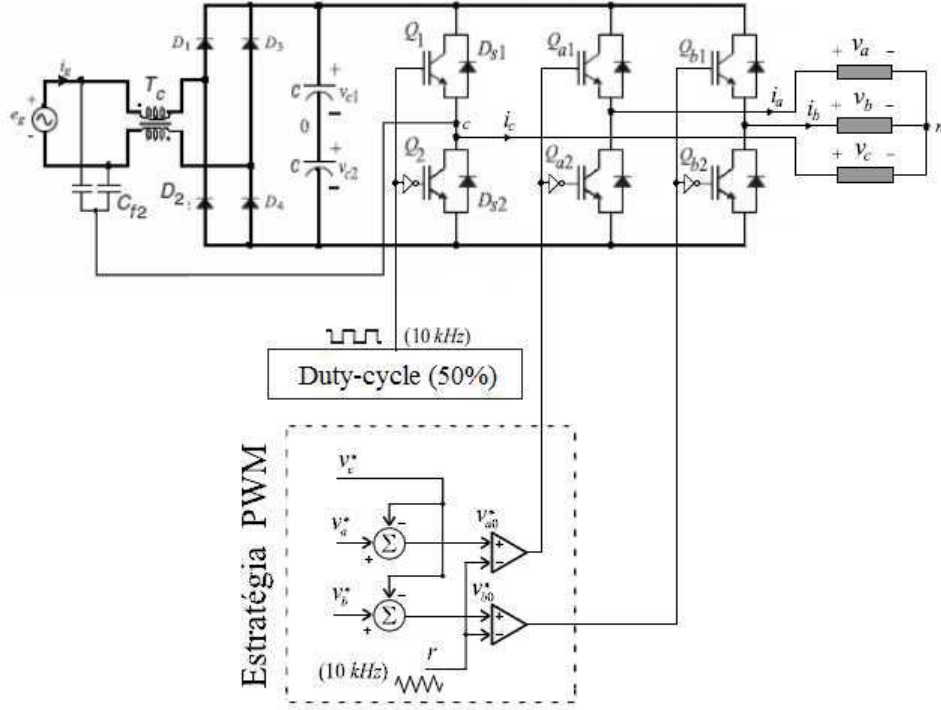


Fig. 2.8: Forma de implementação para a configuração proposta sem modulação no braço compartilhado.

As equações (2.37), (2.38) e (2.39) não podem ser resolvidas ao menos que v_μ^* seja obtido. A tensão v_μ^* pode ser calculada utilizando o fator μ

$$v_\mu^* = E\left(\mu - \frac{1}{2}\right) - \mu v_{max}^* + (\mu - 1)v_{min}^* \quad (2.40)$$

onde $v_{max}^* = \max V$ e $V_{min}^* = \min V$ onde $V = \{v_a^*, v_b^*, v_c^*\}$.

Esta expressão foi derivada usando a mesma aproximação usada para obter equivalente para o modulador trifásico PWM [8], [9].

O fator de distribuição μ ($0 \leq \mu \leq 1$) é dado por $\mu = t_{01}/t_0$ e indica a distribuição da roda-livre no período t_0 (período no qual v_{a0} , v_{b0} e v_{c0} são iguais) no início ($t_{01} = \mu t_0$) e na extremidade ($t_{02} = (1 - \mu)t_0$) do período de chaveamento T [8], [9].

Neste caso o algoritmo proposto é:

Etapa 1: escolher o fator μ e calcular v_u^* a partir de (2.40).

Etapa 2: Determinar V_{a0}^* , v_{b0}^* e v_{c0}^* a partir de (2.37)-(2.39).

Etapa 3: Uma vez que a tensão no ponto médio foi determinado. A largura de pulso τ_a , τ_b e τ_c são calculados usando

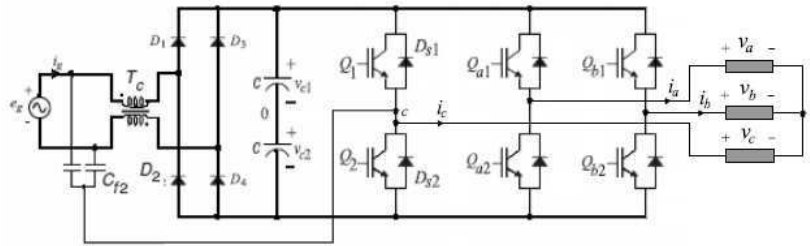


Fig. 2.9: Configuração proposta com modulação no braço compartilhado.

$$\tau_a = \frac{T}{2} + \frac{T}{E}v_{a0}^* \quad (2.41)$$

$$\tau_b = \frac{T}{2} + \frac{T}{E}v_{b0}^* \quad (2.42)$$

$$\tau_c = \frac{T}{2} + \frac{T}{E}v_{c0}^* \quad (2.43)$$

As larguras de pulsos (τ_a , τ_b e τ_c) são usadas pelo sistema de controle digital para gerar os sinais de gatilho das chaves de potência, alternativamente os sinais de gatilho podem ser gerados pela comparação das tensões de pólo de referência com um sinal triangular de alta frequência. A estratégia PWM descrita anteriormente é mostrada na Fig. 2.10, assim como todo o esquema de controle da Configuração proposta com modulação no braço compartilhado.

2.4 Resultados de simulação

A seguir serão apresentados resultados de simulação dos dois conversores propostos realizados no PSIM, a fim de que seja observado o controle do fator de potência. Nas Figs. 2.11, 2.12, 2.13, 2.14 são apresentados os resultados de simulação dos três conversores propostos estudados. Os parâmetros globais foram:

- Frequência de chaveamento: $10kHz$;
- Tensão de rede, V_i , $60Hz$: $100V$;
- Especificação da indutância de dispersão: $0.8mH$;
- Índice de modulação: $m=0.9$;
- Frequência da tensão na carga: $30Hz$.

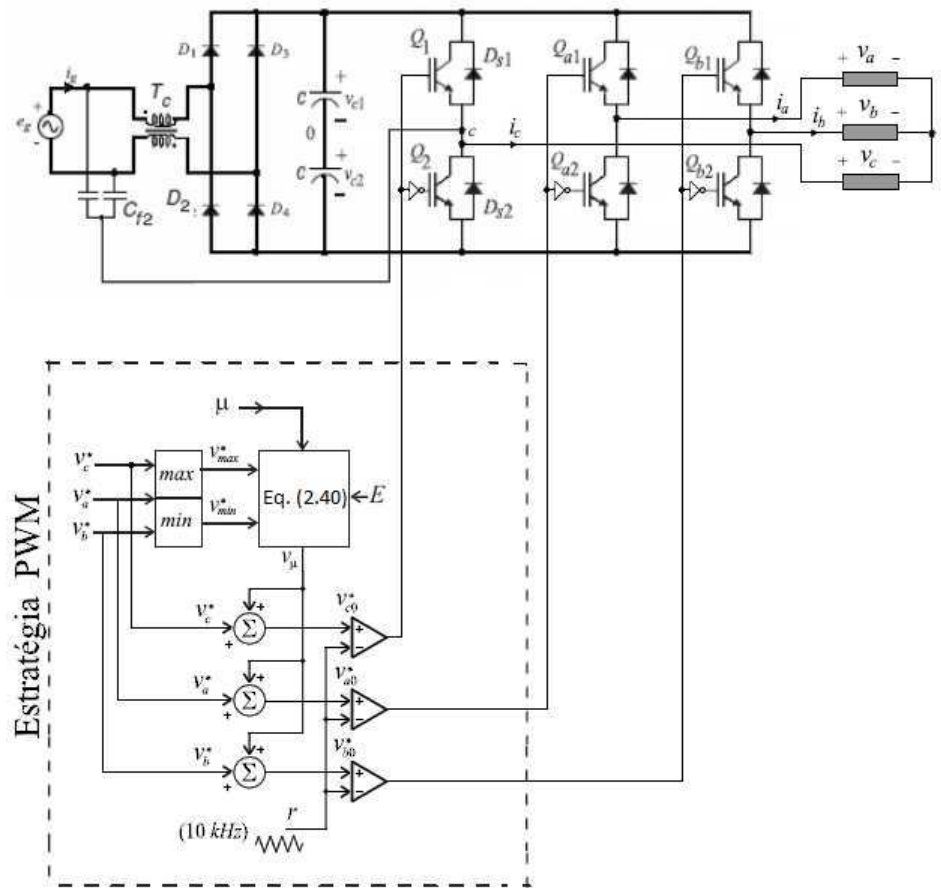
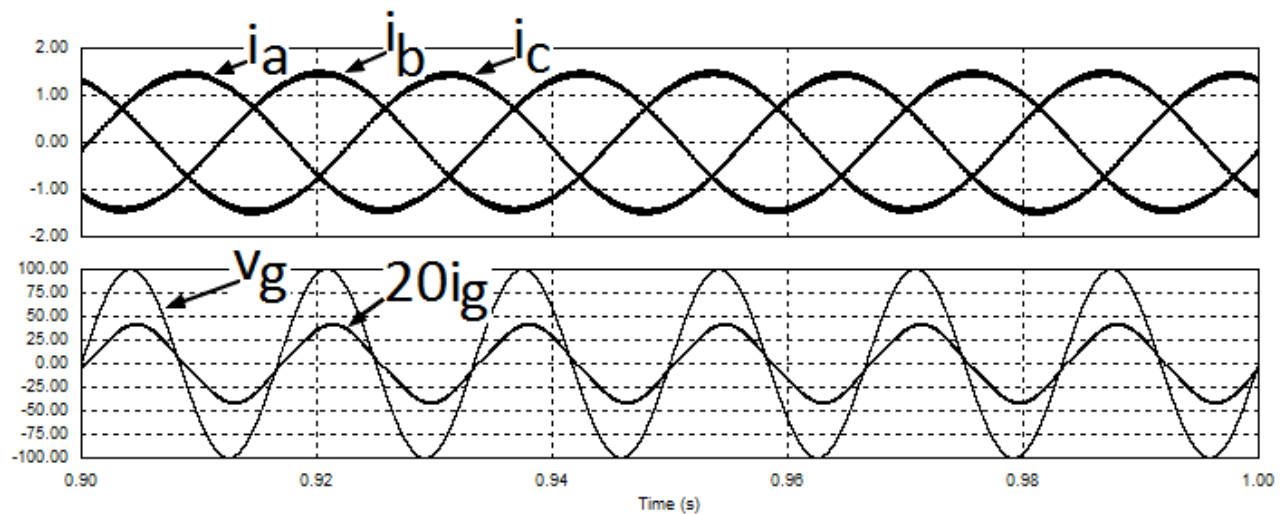


Fig. 2.10: Forma de implementação para a configuração proposta com modulação no braço compartilhado.

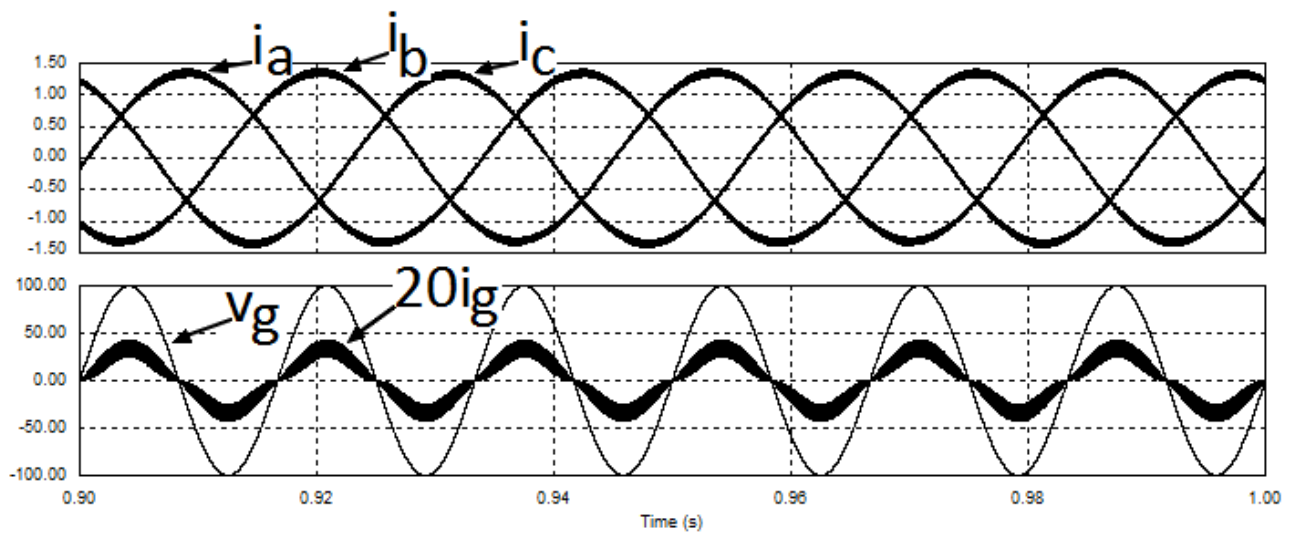
Nas Figs. 2.11(a) e 2.11(b) pode ser observado a corrente na carga e o controle do fator de potência (corrente de entrada e tensão de entrada) para a configuração proposta sem modulação no braço compartilhado com (Fig. 2.11(a)) e sem (Fig. 2.11(b)) indutores acoplados. Nas Figs. 2.12(a) e 2.12(b) pode ser observado a corrente na carga e o controle do fator de potência (corrente de entrada e tensão de entrada) para a configuração proposta com modulação no braço compartilhado com (Fig. 2.12(a)) e sem (Fig. 2.12(b)) indutores acoplados. Pode-se perceber que nas duas configurações a corrente de entrada está em fase com a tensão para os casos com e sem indutores acoplados, porém percebe-se uma maior ondulação na corrente de rede para as configurações sem indutores acoplados.

Já nas Figs. 2.13(a) e 2.13(b) pode ser observado o distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta sem modulação no braço compartilhado, percebemos uma baixa distorção harmônica

e um alto fator de potência para qualquer índice de modulação. Nas Figs. 2.14(a) e 2.14(b) pode ser observado o distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta com modulação no braço compartilhado, observamos um aumento significativo na distorção harmônica e uma diminuição do fator de potência com o aumento do índice de modulação.

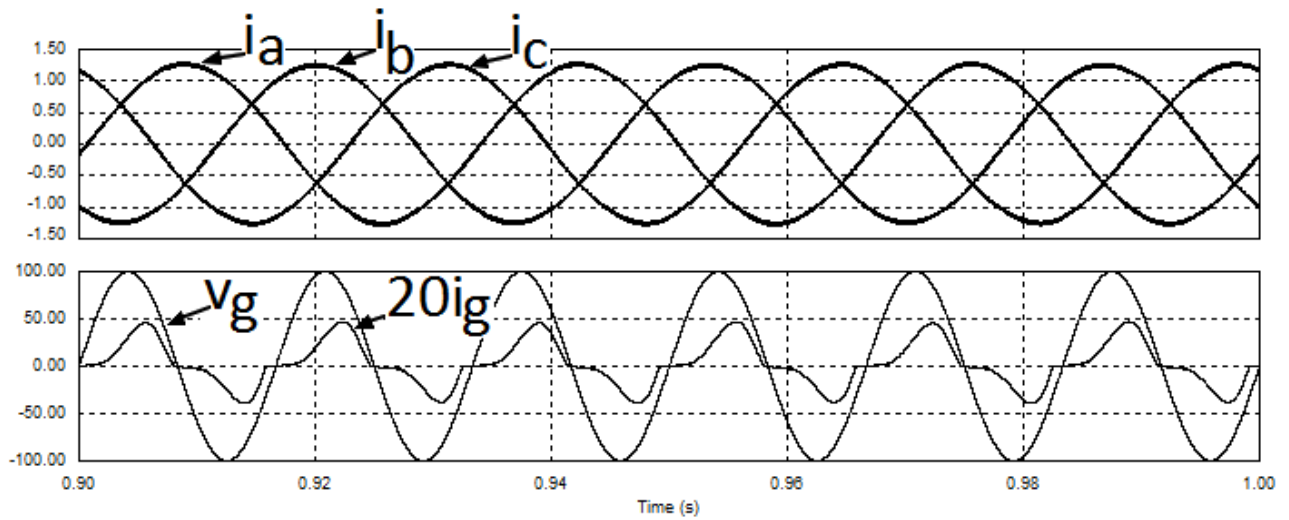


(a) Com indutor acoplado.

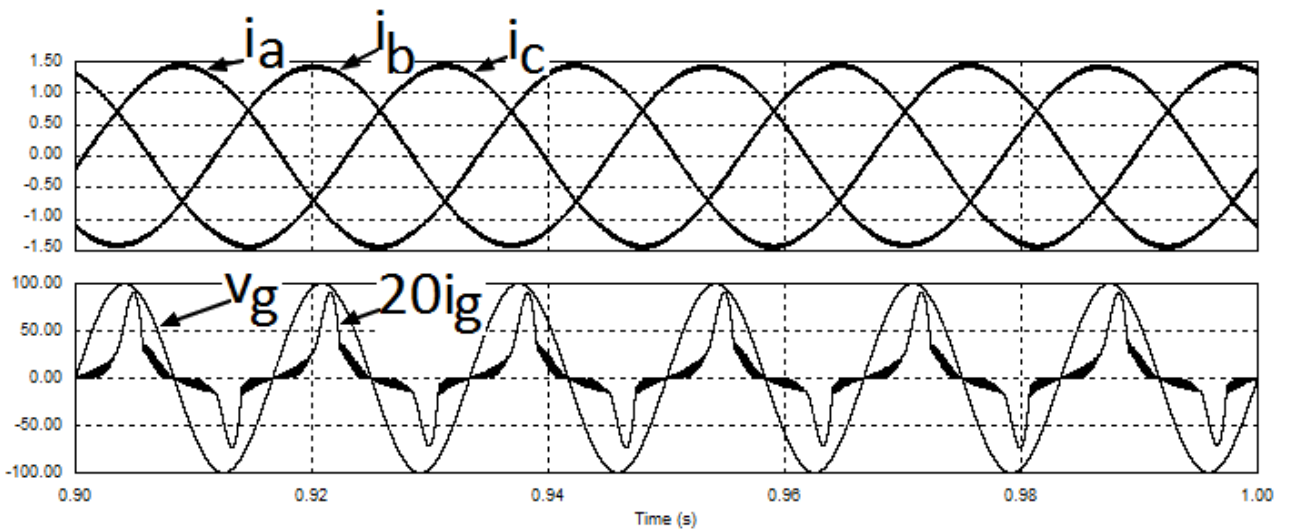


(b) Sem indutor acoplado.

Fig. 2.11: Resultados de simulação da corrente na carga, tensão e corrente de entrada para configuração proposta sem modulação no braço compartilhado com e sem indutor acoplado.

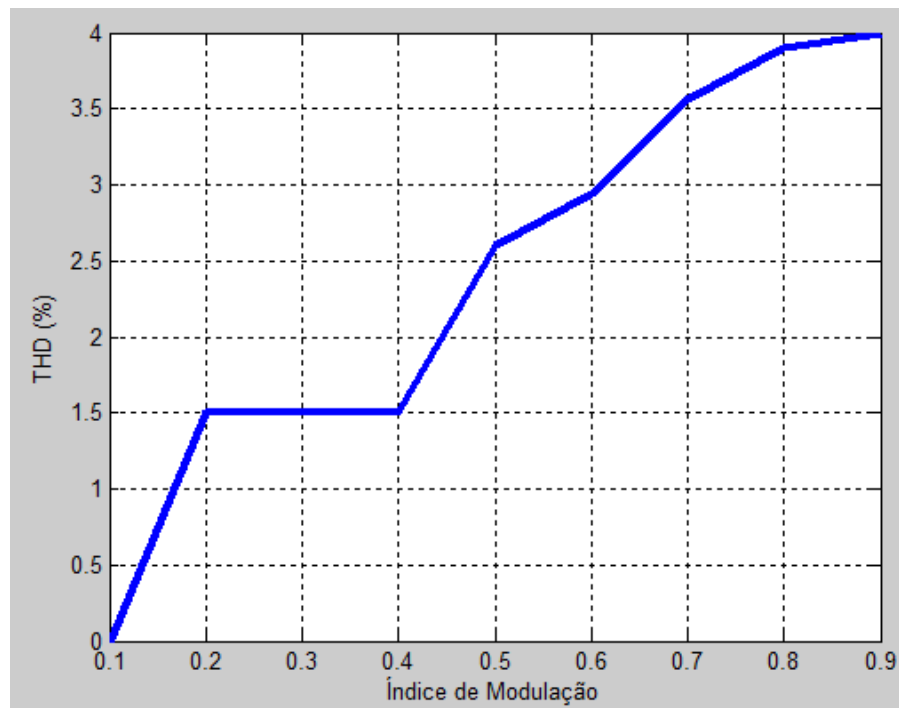


(a) Com indutor acoplado.

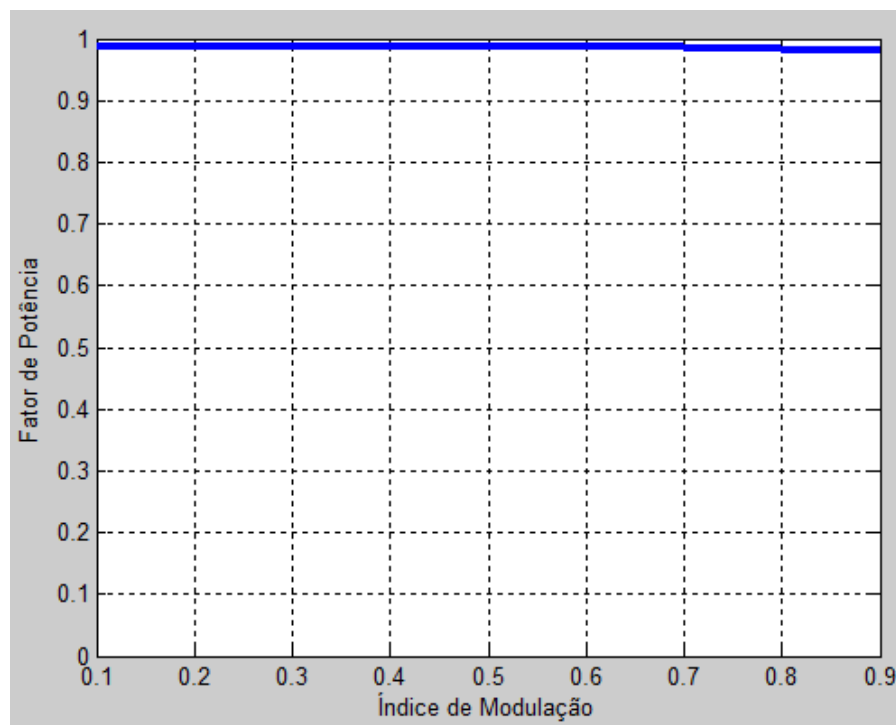


(b) Sem indutor acoplado.

Fig. 2.12: Resultados de simulação da corrente na carga, tensão e corrente de entrada para configuração proposta com modulação no braço compartilhado com e sem indutor acoplado.

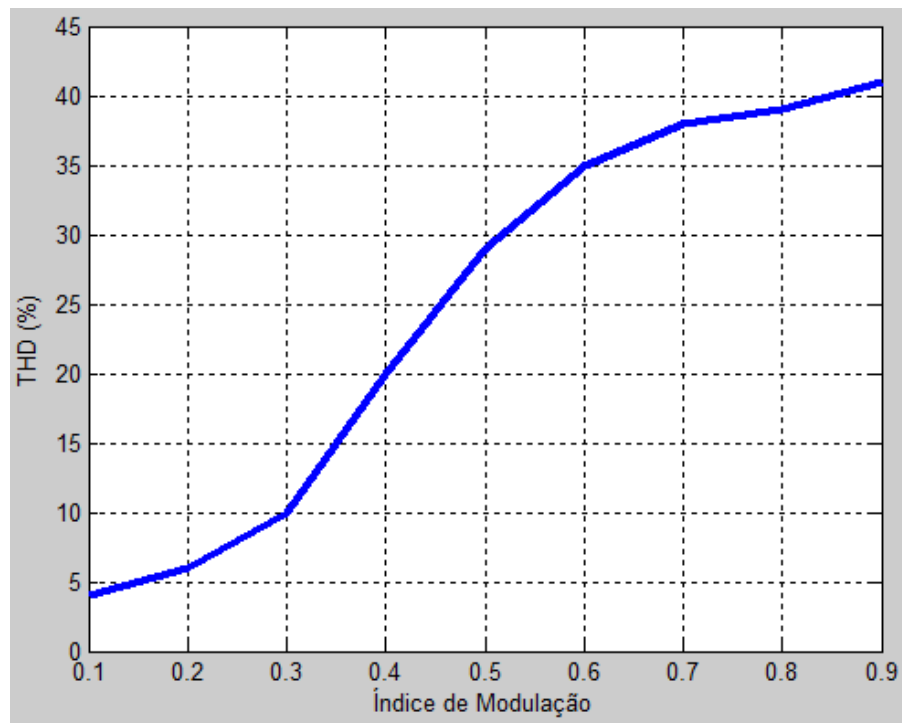


(a) Distorção harmônica total (THD) em função do índice de modulação.

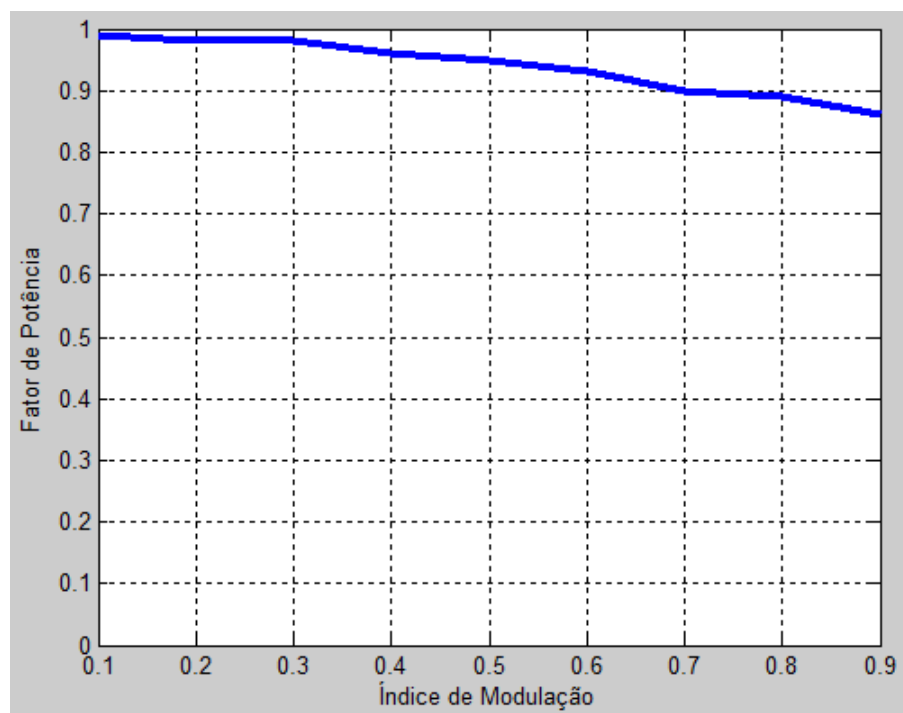


(b) Fator de potência em função do índice de modulação.

Fig. 2.13: Distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta sem modulação no braço compartilhado.



(a) *Distorção harmônica total (THD) em função do índice de modulação.*



(b) *Fator de potência em função do índice de modulação.*

Fig. 2.14: Distorção harmônica total (THD) e o do fator de potência da corrente de entrada em função do índice de modulação para a configuração proposta com modulação no braço compartilhado.

Capítulo 3

Estudo do seu comando do conversor proposto via DSP

Para realizar o comando da estrutura proposta, foi realizado o estudo do processador digital de sinais. Com base nas peculiaridades exigidas optou-se por utilizar o Kit DSP *TMS320F2812* da *Digital Spectrum* [10]. Porém o comando não foi implementado experimentalmente.

O *TMS320F2812* da Texas Instruments é um processador digital de sinais de *32 bits* e que opera a uma frequência de aproximadamente *150MHz*. Ele é otimizado para realizar operações em ponto fixo e possui uma arquitetura do tipo Harvard modificada. Nesta arquitetura o barramento de programa e o de dados são separados, o que permite ao processador acessar simultaneamente instruções de programa e dados, dobrando o fluxo de informações para aplicações matemáticas.

A estrutura Harvard modificada permite ainda que parte da memória de dados seja alocada para operar como memória de programa, com isso pode-se iniciar a memória de dados a partir da memória de programa ou transferir informação da memória de dados para a de programa. Estas características permitem se multiplexar a memória entre aplicações, bem como se iniciar a memória de dados com constantes, eliminando-se a necessidade de uma memória do tipo ROM (*Read Only Memory*) de dados.

A família de DSP *TMS320F2812* possui vários periféricos integrados ao silício, tais como temporizadores, conversores A/D (analogico-digital), geradores de PWM (incluindo a geração

do tempo morto), além de multiplicador por hardware, pipeline de vários níveis, etc., facilitando assim a implementação de algoritmos complexos de controle e execução em tempo real.

Nos apêndices A e B encontra-se respectivamente o programa para implementação do comando do conversor proposto sem e com modulação no braço compartilhado.

3.1 Características básicas

Entre as principais características do DSP *TMS320F2812* para implementação neste projeto pode-se destacar:

- Frequência de *clock* de 150 MHz;
- **Portas de entrada e saída de propósito geral:** possui um total de 56 pinos multiplexados, dedicados à entrada e saída, para realização de funções como: acionamento de solenóides, entrada de sinais provenientes de chaves ou sensores e configuração de lógica de controle, entre outras possíveis funções;
- **Canais PWM:** possui 16 saídas PWM;
- **Gerenciador de Eventos (EV):** possui dois gerenciadores de evento (EVA e EVB), estes periféricos são utilizados para aplicações em controle de movimento e controle de motores. Os gerenciadores de evento incluem: contadores de propósitos gerais, unidades de comparação / PWM e unidades de captura e codificador de pulso em quadratura (QEP).

A tabela 3.1 apresenta um comparativo das principais características dos processadores da família *TMS320x2x*.

	F241	F243	LF2407	LF2407A	F2812
Ciclo de instrução	50ns	50ns	33ns	25ns	6,67ns
Conversão A/D	8 canais 10 bits	8 canais 10 bits	16 canais 10 bits	16 canais 10 bits	16 canais 12 bits
Tempo de conversão	1 μ s	1 μ s	500ns	375ns	80ns
Gerenciador de eventos	1	1	2	2	2
Pinos I/O	26	26	41	41	56
Interface com memória externa	Sim	Sim	Sim	Sim	Sim
Interface para comunicação serial	Sim	Sim	Sim	Sim	Sim

Tab. 3.1: Comparativo das principais características dos processadores da família *TMS320x2x*.

Embora seja uma característica importante para aplicação em um produto, pois possibilita o controle e monitoração remota da UR, bem como facilita o carregamento de novos códigos de instrução quando ainda na fase de desenvolvimento, a comunicação serial não será explorada neste projeto. A interface com o computador, nesta fase de desenvolvimento, é realizada através do kit DSP da Spectrum Digital [10].

3.2 Unidades de memória

O espaço de memória no *F2812* é dividido em espaço de programa e de dados. Existem diversos tipos diferentes tipos de memória disponíveis que podem ser usados tanto como espaço de programa e de dados. Eles incluem a memória *flash*, *single access RAM* (SARAM), SARAM expandido, e *Boot ROM* que é programado de fábrica com as rotinas de inicialização do software ou tabelas padrão usado em algoritmos matemáticos relacionados. A largura do espaço de memória é sempre de *16 bits* [11].

O *F2812* pode acessar a memória tanto o chip ligado e desligado. Ele usa endereços de dados de *32 bits* e endereços de programa de *22 bits*. Isto permite um alcance total de endereços de *4G Words* (*1 Word = 16 bits*) de dados espaciais e *4M Words* no espaço do programa. Blocos de memória em todos os modelos *F2812* são uniformemente mapeados para o programa e espaço de dados bits [11].

O DSP *TMS320F2812* possui memória de programa não volátil e regravável eletricamente, denominada de memória Flash, sendo seu tamanho de *128K x 16 bits*. Nesta memória, o programa ou algoritmo do controlador projetado será gravado para operação autônoma do sistema. Esse tipo de memória permite um número muito elevado de regravações possíveis e deve-se salientar também que a memória Flash de programa pode ser usada como memória de dados pelo DSP.

A memória de dados interna (RAM) do controlador de sinal possui tamanho de *18K Words*, sendo de acesso simples, que é denominada de SARAM. Os dados manipulados pela CPU são carregados na memória de dados (RAM) do processador, a memória de dados pode ser usada para carga e execução do programa do processador digital de sinal (arquitetura Harvard modificada), esse recurso é muito interessante quando a memória de programa é externa ao processador e de acesso lento.

A Fig. 3.1 apresenta os módulos de memória do *F2812*.

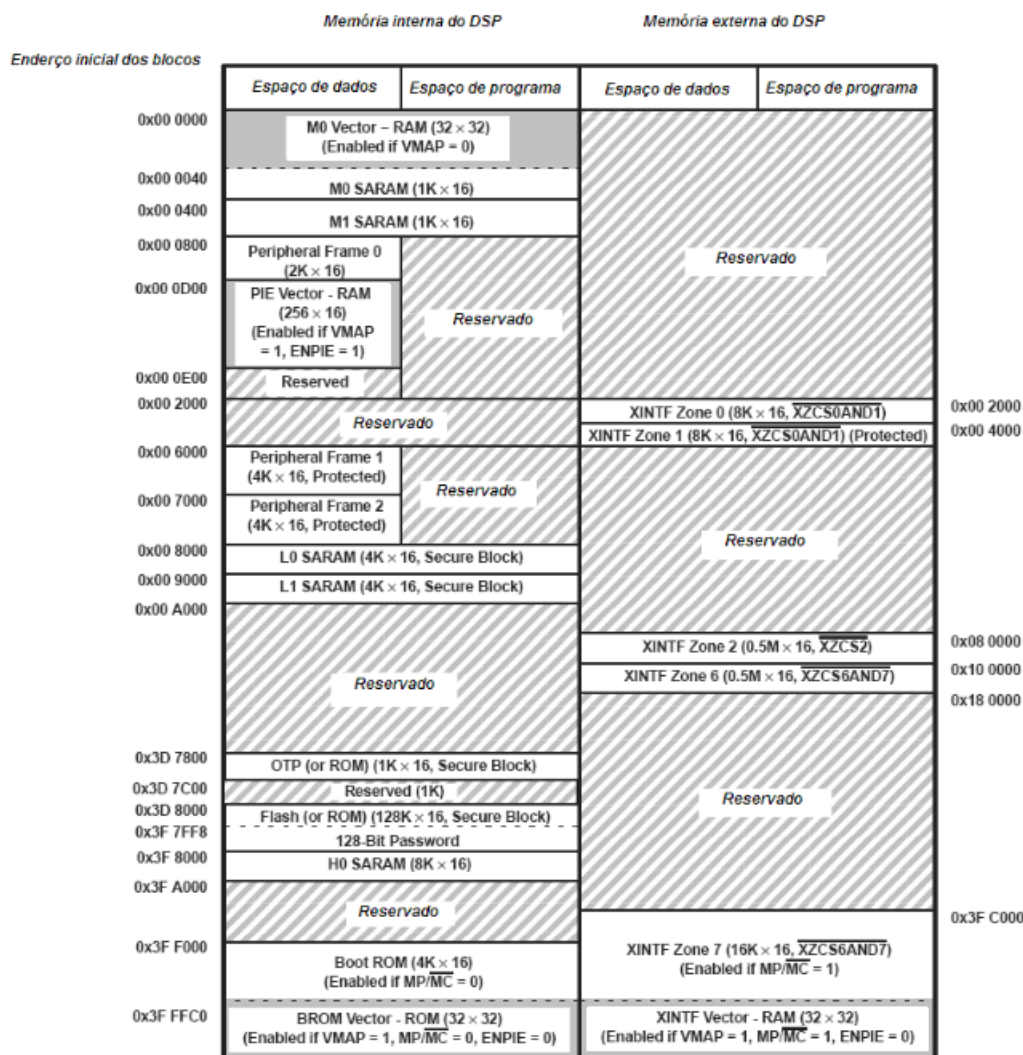


Fig. 3.1: Módulos de memória do F2812.

3.3 Núcleo de processamento

A unidade central de processamento (CPU) opera com instruções de 32 bits, desenvolvida para efetuar uma multiplicação de 32 bits \times 32 bits e acumulação em um único ciclo de máquina, ou duas multiplicações de 16 bits \times 16 bits em um único ciclo de máquina. Foi projetada para gerenciar eficientemente problemas que requerem alta resolução numérica, muitas vezes implementada em processadores de ponto flutuante. A unidade de processamento (CPU) do TMS320F2812, conforme ilustrado na Fig. 3.2 é composta de registradores auxiliares de 32 bits, unidade de multiplicação e acumulação de 32 bits (MAC) e uma unidade lógica e aritmética (ALU).

Suas atribuições são:

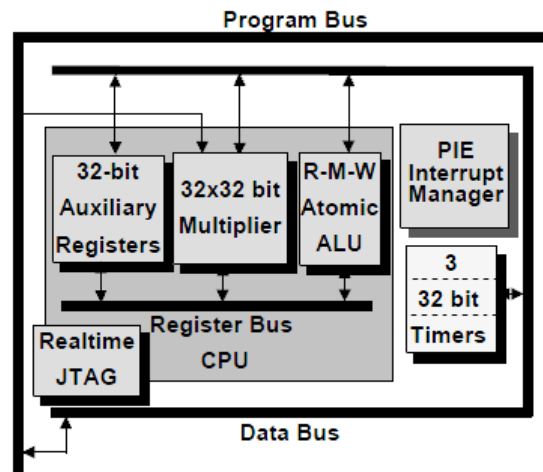


Fig. 3.2: Unidade de processamento (CPU) do *TMS320F2812*.

- Gerar endereçamento de dados e programa;
- Decodificar e executar instruções;
- Realizar operações lógicas, aritméticas e deslocamento de bits;
- Controlar a transferência de dados entre os registradores da unidade de processamento, memória de dados e memória de programa;
- Controlar a lógica de emulação, gerenciar e sinalizar o interfaceamento e a transferência de dados entre as memórias e os periféricos;
- Gerenciar as chamadas de tratamento de interrupções.

A Unidade Central de Processamento (CPU) do *F2812* pode ser dividida em:

Unidade Aritmética de Registradores Auxiliares (ARAU): Esta unidade é responsável por gerar os endereços de dados que serão trazidos da memória de dados. Para uma leitura de dados, essa unidade irá colocar os endereços no barramento de endereços de leitura de dados (DRAB). Para uma escrita de dados, essa unidade vai carregar o barramento de endereçamento de escrita de dados (DWAB). A unidade ARAU também incrementa e decrementa o ponteiro da pilha (SP) e os registradores auxiliares (XAR0, XAR1, XAR2, XAR3, XAR4, XAR5, XAR6 e XAR7).

Geração Endereço Lógico de Programa: Essa unidade tem como função gerar o endereçamento do programa.

Unidade Lógica e Aritmética Central (ALU): A unidade lógica e aritmética realiza operações aritméticas em complemento de 2 e operações lógicas. Nas operações realizadas pela

unidade lógica e aritmética, os dados são provenientes dos registradores, da memória de dados e da unidade lógica de controle de programa. Os resultados computacionais da unidade lógica e aritmética são salvos para os registradores ou para a memória de dados.

MPY Ponto fixo / ALU (MAC): A unidade MAC realiza multiplicações de $32\text{ bits} \times 32\text{ bits}$ e multiplicações $16\text{ bits} \times 16\text{ bits}$ em complemento de 2.

3.4 Conjunto de periféricos

O DSP *TMS320F2812* é bastante utilizado para o acionamento e controle digital de motores. Ele possui vários periféricos integrados ao silício, tais como timers, conversores A/D (analógico-digital), geradores de PWM (incluindo a geração do tempo morto), além de multiplicador por hardware, pipeline de vários níveis, etc., facilitando assim a implementação de algoritmos complexos de controle e execução em tempo real.

Abaixo são citados os periféricos principais do DSP utilizado.

- Conversor Analógico-Digital (ADC) com 16 entradas analógicas multiplexadas com tempo de conversão em torno de 80 ns;
- 2 gerenciadores de eventos independentes (EVA e EVB);
- 56 Portas de I/O digitais com dupla função;
- Interface de comunicação serial (SCI);
- Interface serial com periféricos (SPI);
- Controlador de rede (CAN);
- *PLL-based clock*;
- Temporizador *watch-dog*.

O módulo principal empregado neste projeto é apresentado a seguir.

Gerenciadores de eventos

Os módulos de Gerenciadores de eventos oferecem uma ampla gama de funções e características que são particularmente úteis em aplicações de controle de movimento e controle de motores. Os módulos EV incluem temporizadores de uso geral (GP), unidades *full-compare/PWM*, unidade de captura, e circuitos *quadrature-encoder* (QEP). Os dois módulos EV, EVA e EVB, são periféricos idênticos [12].

Cada EV é capaz de controlar três pontes *Half-H*, quando cada uma das pontes exigem um par PWM complementar para o controle. Cada EV também tem dois PWMs adicionais sem saídas complementares [12].

Cada gerenciador de eventos é controlado por sua própria lógica de blocos. Esta lógica possibilita a solicitação de vários serviços de interrupção da unidade C28x PIE para apoiar seus modos de operação. Dois sinais de entrada externos *TCLKINA* e *TDIRA* são sinais de controle opcionais e são usados em alguns modos de operação específicos. Um recurso exclusivo do gerenciador de eventos é a possibilidade de iniciar o conversor analógico-digital (ADC) de um evento interno. Um grande número de microprocessadores comum teria que solicitar um serviço de interrupção para fazer o mesmo, o C28x faz isso automaticamente [11].

A Fig. 3.3 apresenta o diagrama de blocos do gerenciador de eventos A. Exceto quanto aos índices utilizados, o gerenciador de eventos B é exatamente igual.

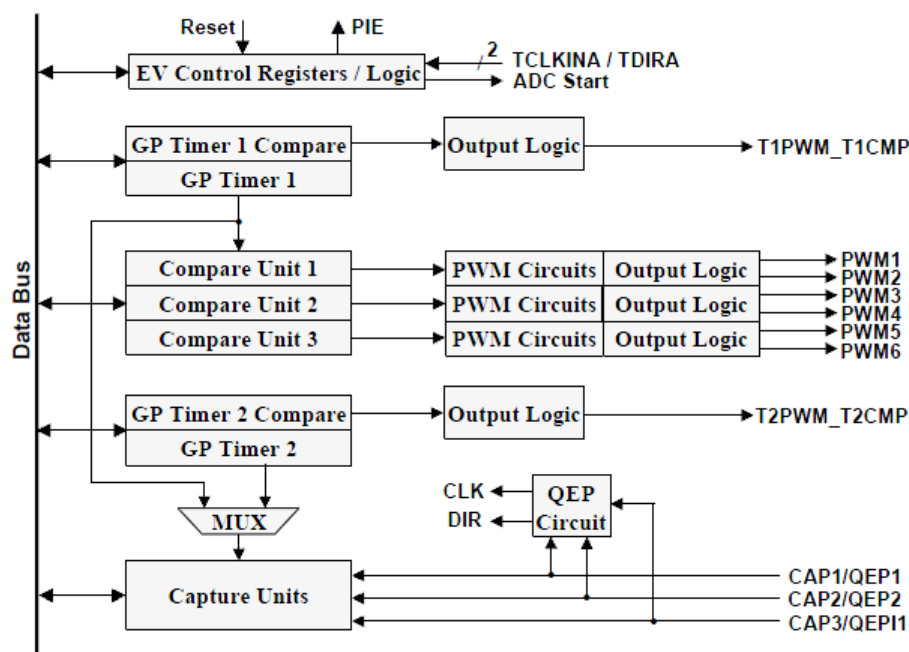


Fig. 3.3: Diagrama de blocos do gerenciador de eventos A.

Temporizadores: São dois temporizadores GP 1 e 2 de 16 *bit* com seus próprios sinais de saída T1PWM/T1CMP e T2PWM/T2CMP. Nós também podemos usar os dois temporizadores para somente efeitos internos [11].

A central lógica do temporizador de Propósito Geral (GP) é seu bloco de comparação. Esta unidade compara continuamente o valor de um contador de 16 *bit* (TxCNT) com dois outros registradores: Comparação (TxCMPR) e Período (TxPR). Se houver uma equivalência entre

o contador e o Registrador de Comparação, um sinal é enviado para a saída lógica para ligar o sinal de saída externa (TxPWM). Se o contador equivale ao período, o sinal é desligado [11].

Os temporizadores do F2812 possuem 4 modos de operação:

1. *Stop/Hold*: Neste modo a contagem é interrompida e mantém seu estado atual até o momento em que o programador desejar.
2. Contagem crescente contínua: É a versão digital do sinal dente de serra. O período da contagem é definido pelo valor carregado no registrador TxPR acrescentado de uma unidade e multiplicado pelo período de *clock* da CPU. A Fig. 3.4 descreve de forma simplificada a operação deste modo.

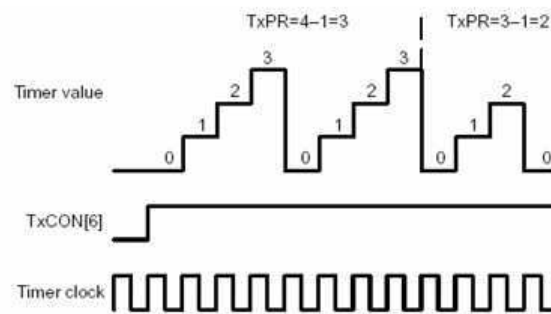


Fig. 3.4: Versão digital do sinal dente de serra.

3. Contagem direcional: Este modo pode realizar a função de qualquer modo de contagem contínua de forma crescente ou decrescente de acordo com o registrador TDIRA/B. É importante por permitir alta flexibilidade ao processador, mas de pouca utilidade para controle de conversores. A Fig. 3.5 descreve de forma simplificada a operação deste modo.

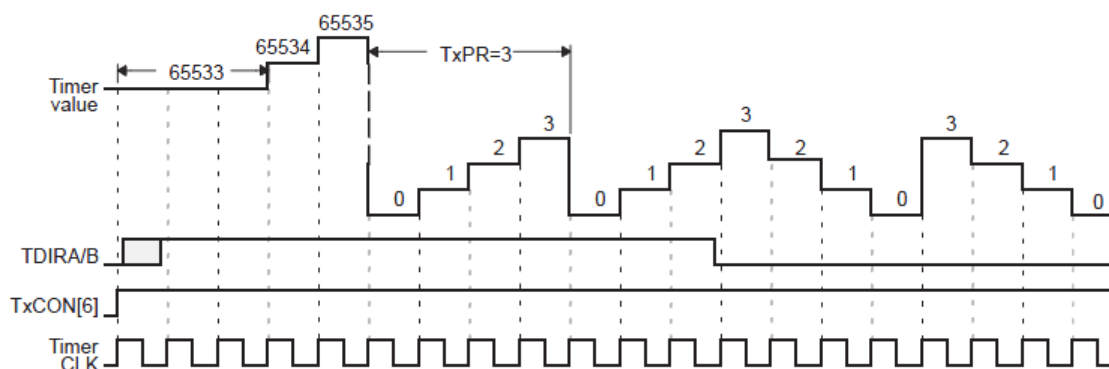


Fig. 3.5: Contagem direcional: Fator Prescale 1 e TxPR = 3.

4. Contagem crescente-decrescente contínua: É o modo de contagem adotado neste projeto para definição dos pulsos de comando. É a versão digital da forma de onda triangular. A contagem é crescente até o valor definido por TxPR e depois passa a ser decrescente até atingir o *underflow*. Dessa forma o período de contagem é duas vezes o valor de TxPR multiplicado pelo período de *clock* da CPU. A Fig. 3.6 descreve de forma simplificada a operação deste modo.

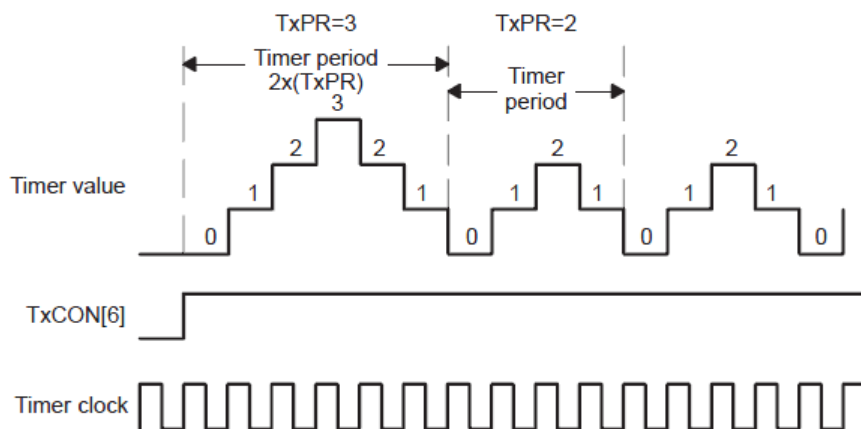


Fig. 3.6: Contagem crescente-decrescente contínua.

A configuração dos registradores relacionados aos temporizadores utilizados no projeto são detalhados a seguir com seus valores atribuídos.

- T1PR e T2PR

Os registradores de período são carregados com 10000 (decimal) como valor nominal para um chaveamento com frequência de 10 kHz.

- "Timer x Control Register" (TxCON; x = 1 e 2)

15	14	13	12	11	10	9	8
Free	Soft	Reservado	TMODE1	TMODE0	TPS2	TPS1	TPS0
0	0		0	1	0	0	0
7	6	5	4	3	2	1	0
T2SWT1/ T4SWT3	TENABLE	TCLKS1	TCLKS0	TCLD1	TCLD0	TECMPR	SELT1PR/ SELT3PR
0	1	0	0	0	0	1	0

Tab. 3.2: Configurações dos bits para o "Timer x Control Register".

Bit(s)	Descrição	Configuração utilizada
15-14	Bits controle de emulação.	Configurado para interromper a contagem na suspensão da emulação.
12-11	Seleção do modo de contagem.	Modo de contagem crescente-decrescente contínua.
10-8	Fator de multiplicação do <i>clock</i> .	Divisão por 1 no <i>clock</i> .
7	Bit de sincronização dos temporizadores.	Cada temporizador usa seu próprio bit de inicialização.
6	Habilita o temporizador.	Temporizador habilitado.
5-4	Seleção da fonte do <i>clock</i> .	<i>Clock</i> interno.
3-2	Condição de recarga do registrador de comparação dos temporizadores.	Configurado para recarregar quando o contador atingir 0.
1	Habilita a comparação do temporizador.	Comparação do temporizador habilitada.
0	T2CON/T4CON usam os próprios períodos ou o período de T1CON/T3CON.	Reservado em T1CON/T3CON.

Tab. 3.3: Configurações utilizadas para o "Timer x Control Register".

- "GP Timer Control Register A" (GPTCONA)

15	14	13	12	11	10	9	8
Reservado	T2STAT	T1STAT	T2CTRIPE	T1CTRIPE	T2TOADC	T2TOADC	T1TOADC
	1	1	1	1	0	0	0
7	6	5	4	3	2	1	0
T1TOADC	TCMPOE	T2CMPOE	T1CMPOE	T2PIN	T2PIN	T1PIN	T1PIN
0	1	1	1	1	0	1	0

Tab. 3.4: Configurações dos bits para o "GP Timer Control Register A".

Bit(s)	Descrição	Configuração utilizada
14	Estado do GP <i>Timer 2</i> .	Somente Leitura.
13	Estado do GP <i>Timer 1</i> .	Somente Leitura.
12	Ativa T2CTRIP. Este bit quando ativado, habilita e desabilita a comparação do "Timer 2 Compare Trip".	T2CTRIP está habilitado. Quando T2CTRIP está em nível baixo, a saída do "Timer 2 compare" vai para o estado "HI-Z", GPTCON(5) é redefinido para zero.
11	Ativa T1CTRIP. Este bit quando ativado, habilita e desabilita a comparação do "Timer 1 Compare Trip".	T1CTRIP está habilitado. Quando T1CTRIP está em nível baixo, a saída do "Timer 1 compare" vai para o estado "HI-Z", GPTCON(4) é redefinido para zero.
10-9	Controla o início da conversão ADC com um evento do <i>Timer 2</i> .	Nenhum evento inicia o ADC.
8-7	Controla o início da conversão ADC com um evento do <i>Timer 1</i> .	Nenhum evento inicia o ADC.
6	Habilita a saída comparadora do <i>Timer</i> .	Saída comparadora do <i>Timer</i> habilitada.
5	Habilita a saída comparadora do <i>Timer 2</i> .	Saída comparadora do <i>Timer 2</i> habilitada.
4	Habilita a saída comparadora do <i>Timer 1</i> .	Saída comparadora do <i>Timer 1</i> habilitada.
3-2	Polaridade da saída comparadora do GP <i>Timer 2</i> .	Ativo alto.
1-0	Polaridade da saída comparadora do GP <i>Timer 1</i> .	Ativo alto.

Tab. 3.5: Configurações utilizadas para o "GP Timer Control Register A".

Unidades de comparação: Existem três unidades de comparação (1, 2, 3) no módulo EVA e três unidades de comparação (4, 5, 6) no módulo EVB. Cada unidade de comparação tem duas saídas associados ao PWM. A base de tempo para as unidades de comparação são fornecidas pelo GP *Timer 1* (para o EVA) e pelo GP *Timer 3* (para o EVB) [12].

A unidade de comparação inclui em cada modulo EV:

- Três registradores de comparação de 16 *bits* (CMPR1, CMPR2 e CMPR3 para EVA e

- CMPR4, CMPR5, e CMPR6 para o EVB), todos com um registrador sombra associado;
- Um registrador de controle de comparação (COMCONA para EVA, e COMCONB para EVB);
 - Um registrador de controle ativo de 16 bits (ACTRA para EVA, e ACTRB para EVB), com um registrador sombra associado;
 - Seis pinos de saídas PWM (3 estados) (PWM_y, $y = 1, 2, 3, 4, 5, 6$ para EVA e PWM_z, $z = 7, 8, 9, 10, 11, 12$ para EVB);
 - Lógica de controle e interrupção.

O diagrama de blocos funcional de uma unidade de comparação é mostrado na Figura 3.7.

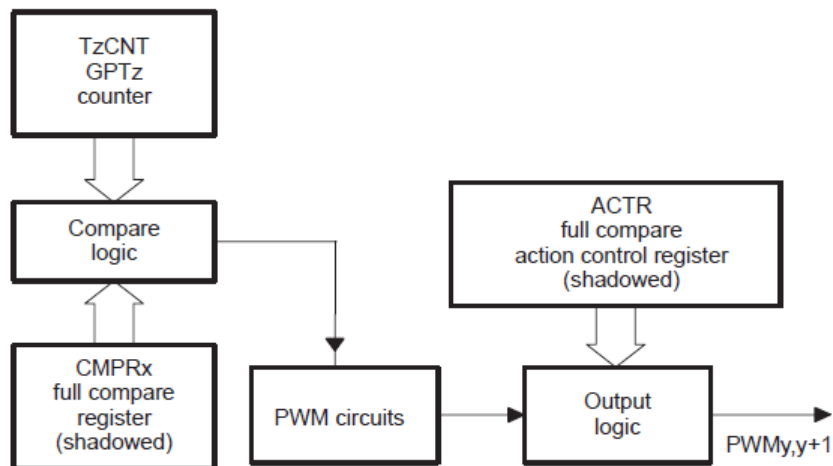


Fig. 3.7: Diagrama de blocos da unidade de comparação (Para EVA: $x = 1, 2, 3$; $y = 1, 3, 5$; $z = 1$. Para EVB: $x = 4, 5, 6$; $y = 7, 9, 11$; $z = 3$).

Os registradores destas unidades utilizados no projeto são apresentados a seguir.

- Registrador "Compare Control A" (COMCONA)

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	$\overline{PDPINTA}$ Status
1	0	1	0	1	0	1	
7	6	5	4	3	2	1	0
FCMP3OE	FCMP2OE	FCMP1OE	Reservado	Reservado	C3TRIP	C2TRIP	C1TRIP
0	0	0			0	0	0

Tab. 3.6: Configurações dos bits para o Registrador "Compare Control A".

Bit(s)	Descrição	Configuração utilizada
15	Habilita a comparação.	Operação de comparação habilitada.
14-13	Condição de recarga do registrador de comparação CMPrx.	Quando T3CNT = 0 ou T3CNT = T3PR
12	Habilitar o modo de PWM vetorial.	Desabilitado.
11-10	Condição de recarga do ACTR.	Recarregar imediatamente.
9	Habilita a comparação de saída.	Recarregar imediatamente habilitada.
8	Este bit corresponde ao estado atual do pino $\overline{PDPINTA}$.	
7	Habilita a saída de comparação total 3.	PWM 5/6 estão em estado de alta impedância.
6	Habilita a saída de comparação total 2.	PWM 3/4 estão em estado de alta impedância.
5	Habilita a saída de comparação total 1.	PWM 1/2 estão em estado de alta impedância.
2	Habilita C3TRIP.	O C3TRIP está desabilitado.
1	Habilita C2TRIP.	O C2TRIP está desabilitado.
0	Habilita C1TRIP.	O C1TRIP está desabilitado.

Tab. 3.7: Configurações utilizadas para o Registrador "Compare Control A".

- "Compare Action Control Register A" (ACTRA)

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
				1	0	0	1
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
1	0	0	1	1	0	0	1

Tab. 3.8: Configurações dos bits para o "Compare Action Control Register A".

Bit(s)	Descrição	Configuração utilizada
15	Direção da rotação do PWM vetorial. Utilizado somente quando o PWM vetorial está ativado.	
14-12	Bits básicos do PWM vetorial. Utilizado somente quando o PWM vetorial está ativado.	
11-10	Polaridade do pino 6 da saída comparadora CMP6.	Ativo alto.
9-8	Polaridade do pino 5 da saída comparadora CMP5.	Ativo Baixo.
7-6	Polaridade do pino 4 da saída comparadora CMP4.	Ativo alto.
5-4	Polaridade do pino 3 da saída comparadora CMP3.	Ativo Baixo.
3-2	Polaridade do pino 2 da saída comparadora CMP2.	Ativo alto.
1-0	Polaridade do pino 1 da saída comparadora CMP1.	Ativo Baixo.

Tab. 3.9: Configurações utilizadas para o "Compare Action Control Register A".

Os Bits 11-0 definem as polaridades dos pinos de saídas comparadoras CMP12 - CMP1. Os pares de pinos PWM6-PWM5, PWM4-PWM3 e PWM2-PWM1 devem ser complementares.

- "Dead-Band Timer Control Register A"(DBTCONA)

15	14	13	12	11	10	9	8
Reservado	Reservado	Reservado	Reservado	DBT3	DBT2	DBT1	DBT0
				0	1	0	1
7	6	5	4	3	2	1	0
EDBT3	EDBT2	EDBT1	DBTPS2	DBTPS1	DBTS0	Reservado	Reservado
1	1	1	0	0	1		

Tab. 3.10: Configurações dos bits para o "Dead-Band Timer Control Register A".

Bit(s)	Descrição	Configuração utilizada
11-8	Definem o valor do período dos 3 <i>dead-band timers</i> de 4 bits de cada gerenciador.	
7	Habilita o <i>dead-band timer 3</i> (Para os pinos PWM5 e PWM6 da unidade de comparação 3).	Habilitado.
6	Habilita o <i>dead-band timer 2</i> (Para os pinos PWM3 e PWM4 da unidade de comparação 2).	Habilitado.
5	Habilita o <i>dead-band timer 1</i> (Para os pinos PWM1 e PWM2 da unidade de comparação 1).	Habilitado.
4-2	<i>Dead-band timer prescaler</i>	Divisão por 2 no <i>clock</i> .

Tab. 3.11: Configurações utilizadas para o "Dead-Band Timer Control Register A".

Eventos de interrupção EV: São organizados em três grupos: A, B e C. Cada grupo é associado com uma bandeira de interrupção e habilita o registrador de interrupção. Existem diversos gerenciadores de eventos de periféricos com pedidos de interrupção em grupo de interrupção EV. Existe um registrador de bandeira de interrupção e um correspondente registrador de máscara de interrupção para cada grupo de interrupção EV, como mostrado na Tabela 3.12. Uma bandeira em EVAIFRx ($x = A, B, \text{ ou } C$) é mascarado (não irá gerar uma solicitação de periférico) se o bit correspondente em EVAIMRx é zero [12].

Quando uma solicitação de interrupção periférica é aceita, o vetor de interrupção periférico associado é carregado no registrador do vetor de interrupção periférico (PIVR) pelo controlador

Registrador de bandeira	Registrador de máscara	Módulo EV
EVAIFRA	EVAIMRA	EVA
EVAIFRB	EVAIMRB	
EVAIFRC	EVAIMRC	
EVBIFRA	EVBIMRA	EVB
EVBIFRB	EVBIMRB	
EVBIFRC	EVBIMRC	

Tab. 3.12: Registrador de bandeira de interrupção e o correspondente registrador de máscara de interrupção.

PIE. O vetor carregado no PIVR é o vetor para a maior prioridade na pendência de um evento habilitado. O registrador do vetor pode ser lido pela rotina de serviço de interrupção (ISR) [12].

Ocorrendo um evento de interrupção no módulo EV, a correspondente bandeira de interrupção em um dos registradores de bandeira de interrupção EV é definido como um. Um pedido de interrupção periférica é gerado para o controlador de expansão de interrupção periférica, se a bandeira é localmente desmascarada (o bit correspondente no EVAIMRx é definido para um) [12].

O vetor de interrupção periférico correspondente à bandeira de interrupção que tem a maior prioridade entre as bandeiras que são habilitadas e carregadas no PIVR quando um pedido de interrupção é reconhecido.

O registrador desta unidade utilizado no projeto é apresentado a seguir.

- "EVA Interrupt Flag Register A" (EVAIFRA)

15	14	13	12	11	10	9	8
Reservado	Reservado	Reservado	Reservado	Reservado	T1OFINT FLAG	T1UFINT FLAG	T1CINT FLAG
					0	1	0
7	6	5	4	3	2	1	0
T1PINT FLAG	Reservado	Reservado	Reservado	CMP3INT FLAG	CMP2INT FLAG	CMP1INT FLAG	PDPINTA FLAG
0				0	0	0	0

Tab. 3.13: Configurações dos bits para o "EVA Interrupt Flag Register A".

Bit(s)	Descrição	Configuração utilizada
10	Interrupção com estouro do <i>GP timer 1</i> .	Sem efeito.
9	Interrupção com <i>underflow</i> do <i>GP timer 1</i>	Redefine a bandeira
8	Interrupção de comparação do <i>GP timer 1</i>	Sem efeito.
7	Interrupção de comparação do <i>GP timer 1</i>	Sem efeito.
3	Interrupção de comparação 3	Sem efeito.
2	Interrupção de comparação 2	Sem efeito.
1	Interrupção de comparação 1	Sem efeito.
0	Bandeira de interrupção de proteção <i>Power Drive</i>	Sem efeito.

Tab. 3.14: Configurações utilizadas para o "EVA Interrupt Flag Register A".

- "EVA Interrupt Mask Register A" (EVAIMRA)

15	14	13	12	11	10	9	8
Reservado	Reservado	Reservado	Reservado	Reservado	T1OFINT	T1UFINT	T1CINT
					0	1	0
7	6	5	4	3	2	1	0
T1PINT	Reservado	Reservado	Reservado	CMP3INT	CMP2INT	CMP1INT	PDPINTA
0				0	0	0	0

Tab. 3.15: Configurações dos bits para o "EVA Interrupt Mask Register A".

Bit(s)	Descrição	Configuração utilizada
10	Habilita T1OFINT.	Desabilitado.
9	Habilita T1UFINT.	Habilitado.
8	Habilita T1CINT.	Desabilitado.
7	Habilita T1PINT.	Desabilitado.
3	Habilita CMP3INT.	Desabilitado.
2	Habilita CMP2INT.	Desabilitado.
1	Habilita CMP1INT.	Desabilitado.
0	Habilita PDPINTA.	Desabilitado.

Tab. 3.16: Configurações utilizadas para o "EVA Interrupt Mask Register A".

Capítulo 4

Projeto de um inversor trifásico de três níveis com diodos grampeadores

De uma maneira geral os conversores estáticos são classificados de acordo com sua função de conversão em: conversores CA/CA; conversores CA/CC; conversores CC/CC e conversores CC/CA. Podendo ser classificados também de acordo com a quantidade de chaves utilizadas em conversores multiníveis.

Nos conversores convencionais de dois níveis, eleva-se a frequência de comutação com o intuito de reduzir o conteúdo harmônico e melhorar as formas de onda da tensão de saída. Entretanto, quanto maior for a frequência de comutação, maiores serão as perdas por comutação das chaves, sendo essas perdas, tanto mais significativas quanto maior for a tensão e a potência do sistema elétrico em questão [13].

Os inversores multiníveis possibilitam a geração de formas de ondas de tensões nas saídas mais próximas das senoidais, pois possuem mais níveis para a composição da componente de frequência fundamental, diminuindo as componentes harmônicas. Isso possibilita a utilização das chaves em frequências de chaveamento menores. Além disso, esses conversores apresentam uma série de outras vantagens com relação aos de dois níveis, dentre elas podemos citar: sínteses de níveis de tensões elevadas usando dispositivos semicondutores com tensão nominal baixa; aumento do número de níveis de tensão os quais conduzem a uma melhor forma de onda e reduz a distorção harmônica total da tensão; redução do estresse de tensão do semicondutor (dv/dt), o qual contribui para a redução dos problemas causados pela interferência eletromagnética.

A primeira estrutura de conversor multiníveis registrada foi a do tipo em cascata com conversores trifásicos em ponte completa, alimentados por fontes CC separadas e conectados em série para sintetizar as tensões CA de saída na forma de degraus. Esta estrutura surgiu em 1975, mas seu uso só se deu a partir da segunda metade dos anos 90. Nabae percebeu que

em uma estrutura multiníveis a tensão de barramento CC poderia ser elevada além dos valores nominais de um dispositivo de potência através do uso de uma malha de grampeamento de tensão consistindo de diodos [14]. As vantagens de redução de harmônicos de uma estrutura com mais de três níveis foi estudada por Bhagwat e Stefanovic [15]. A elevação dos níveis kVA além dos limites de um dispositivo individual foi, também, examinado por Carpita e Teconi [16] em que o conceito do uso de diodos para limitar o esforço de tensão no dispositivo foi estendido a um número ilimitado de níveis. Meynard e Foch propuseram uma estrutura multiníveis onde o grampeamento da tensão no dispositivo em estado de bloqueio foi obtido com o uso de grampeamento de capacitores no lugar de diodos [17].

As topologias de inversores multiníveis mais conhecidas são: inversor multinível em cascata; inversor multinível com capacitores flutuantes e o inversor multinível com diodos grampeadores. Este último será discutido a seguir, uma vez que o projeto utiliza essa estrutura.

4.1 Inversor trifásico de três níveis com diodos grampeadores

Um inversor trifásico de três níveis possui três braços, onde cada braço possui quatro chaves com seus respectivos diodos em antiparalelo, permitindo dessa forma o fluxo bidirecional de potência, e dois diodos ligados ao "ponto de neutro" ou "derivação central" do barramento CC. Essa topologia pode ser observada na Figura 4.1. A tensão de pólo, Tensão entre fases e Tensão entre fase e neutro do inversor pode ser observado na Figura 4.2.

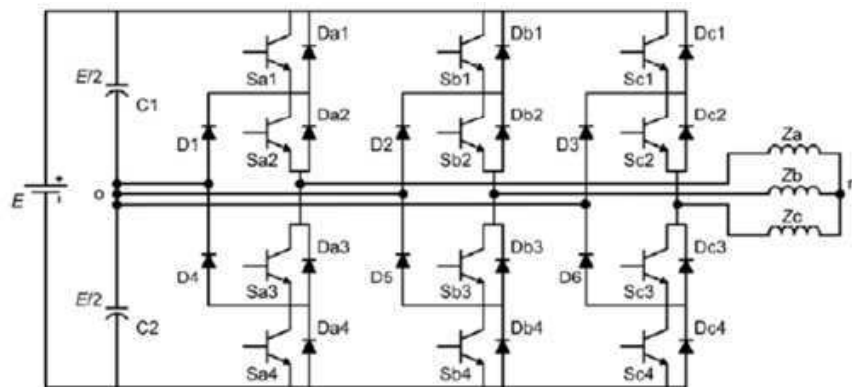


Fig. 4.1: Inversor trifásico de três níveis com diodos grampeadores.

O estado de condução e bloqueio das chaves do conversor é representado pela variável binária $S_{xy} \in \{0, 1\}$, $x \in \{a, b, c\}$ e $y \in \{1, 2, 3, 4\}$, quando $S_{xy} = 1$, a chave está em condução e quando

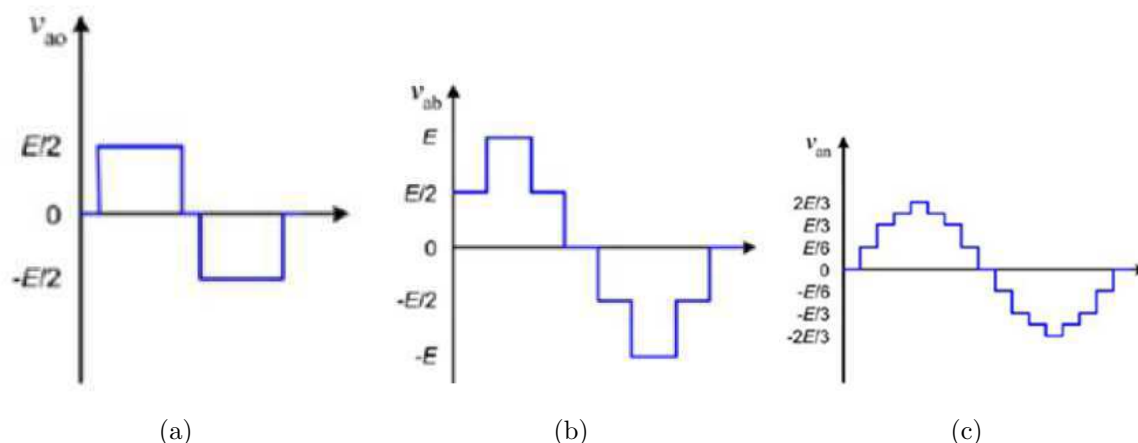


Fig. 4.2: Tensão de pólo, Tensão entre fases e Tensão entre fase e neutro do inversor.

$S_{xy} = 0$, indica que a chave está em estado de bloqueio. Os pares de chaves $S_{x1} - S_{x3}$ e $S_{x2} - S_{x4}$ são complementares.

A tensão de pólo v_{x0} depende do estado de condução das chaves. Quando as chaves S_{x1} e S_{x2} estão em condução, a tensão de pólo é igual à tensão sobre o capacitor C_1 , v_{c1} . Se as chaves S_{x1} e S_{x2} estiverem em estado de bloqueio, ou seja, as chaves S_{x3} e S_{x4} conduzindo, a tensão de pólo v_{x0} será igual à $-v_{c2}$. Quando S_{x1} está aberta e S_{x2} fechada, a tensão de pólo é nula.

A Tabela 4.1, define os estados possíveis para os interruptores de um braço do inversor e seus respectivos valores de tensão de pólo.

Configuração	Estados(K)	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{x0}
2	1100	Condução	Condução	Bloqueio	Bloqueio	$E/2$
1	0110	Bloqueio	Condução	Condução	Bloqueio	0
0	0011	Bloqueio	Bloqueio	Condução	Condução	$-E/2$

Tab. 4.1: Estado das chaves do inversor trifásico de três níveis.

A partir da Tabela 4.1 pode-se obter a equação seguinte relacionando as tensões de pólo v_{x0} com os estados de comutação dos interruptores do inversor para cada fase (a, b ou c),

$$v_{x0} = \left(\frac{k-1}{2}\right)E \quad \text{com } k \in 0, 1, 2 \quad (4.1)$$

Como se pode observar na Tabela 4.1 e na Figura 4.2, as tensões de pólo possuem três níveis, as tensões de linha possuem cinco níveis e as tensões de fase possuem nove níveis. Assim, como o inversor utiliza três estados para os interruptores de cada braço, a estrutura desse inversor fornece um total de $3^3 = 27$ configurações, das quais apenas 19 produzem valores diferentes de tensões na saída do inversor. Pode-se verificar isto na tabela 4.2, onde as configurações que

produzem as mesmas tensões de saída estão agrupadas.

Configuração	Estados(K_x)	V_{a0}	V_{b0}	V_{c0}
0	000	$-E/2$	$-E/2$	$-E/2$
	111	0	0	0
	222	$E/2$	$E/2$	$E/2$
1	100	0	$-E/2$	$-E/2$
	211	$E/2$	0	0
2	110	0	0	$-E/2$
	221	$E/2$	$E/2$	0
3	010	$-E/2$	0	$-E/2$
	121	0	$E/2$	0
4	011	$-E/2$	0	0
	122	0	$E/2$	$E/2$
5	001	$-E/2$	$-E/2$	0
	112	0	0	$E/2$
6	101	0	$-E/2$	0
	212	$E/2$	0	$E/2$
7	200	$E/2$	$-E/2$	$-E/2$
8	210	$E/2$	0	$-E/2$
9	220	$E/2$	$E/2$	$-E/2$
10	120	0	$E/2$	$-E/2$
11	020	$-E/2$	$E/2$	$-E/2$
12	021	$-E/2$	$E/2$	0
13	022	$-E/2$	$E/2$	$E/2$
14	012	$-E/2$	0	$E/2$
15	002	$-E/2$	$-E/2$	$E/2$
16	102	0	$-E/2$	$E/2$
17	202	$E/2$	$-E/2$	$E/2$
18	201	$E/2$	$-E/2$	0

Tab. 4.2: Tensões de saída para o inversor trifásico de três níveis com diodos de grampeamento [13].

De forma generalizada o inversor multinível com neutro grampeado, para N níveis é necessária a conexão em série de $N-1$ capacitores para produzir os N níveis de tensão a partir do barramento CC, fazendo com que haja também um aumento na quantidade de diodos de grampeamento, este fato dificulta a montagem de um inversor com essa estrutura para um elevado número de níveis.

Cada interruptor de um braço é submetido a uma tensão de $E/(N-1)$, o que permite sínteses de níveis de tensões elevadas utilizando dispositivos semicondutores de baixa tensão.

4.2 Descrição do Projeto

O sistema conversor proposto é representado de forma resumida através do diagrama de blocos ilustrado na Figura 4.3. Além das configurações conversor trifásico de três níveis CA/CC e CC/CA, o sistema permite a implementação de conversores CA/CC e CC/CA monofásicos de três níveis e conversores monofásicos CA/CA de três níveis com dois ou três braços.

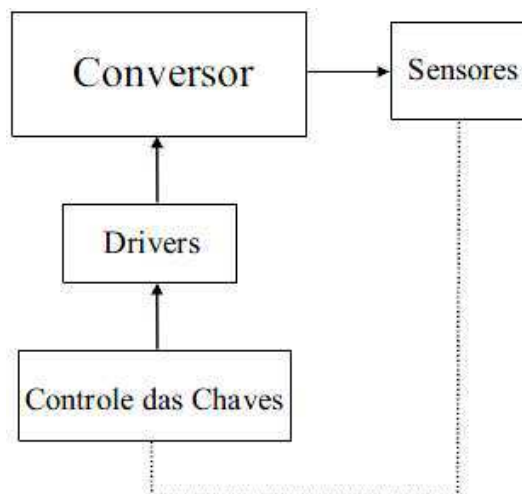


Fig. 4.3: Diagrama de blocos do sistema conversor.

O bloco *Conversor* representa o circuito de potência: módulos de IGBTs, módulos de diodos rápidos (diodos grampeadores), capacitores do barramento CC e os capacitores supressores. Os blocos *Drivers* e *Sensores* representam os circuitos auxiliares.

O controle das chaves pode ser realizado por controle analógico ou digital. O sistema de controle analógico é implementado utilizando circuitos eletrônicos constituídos de elementos discretos, já o controlador digital pode ser implementado através de DSP ou um computador.

Neste projeto não foram feitas as placas de aquisição de sinais analógicos de tensões e correntes que são gerados pelo inversor e que são enviados ao DSP.

4.2.1 Circuito de potência

O circuito de potência é composto pelo retificador trifásico, pelo barramento CC e pelo inversor de três níveis. O inversor de três níveis possui doze chaves distribuídas em três braços, em cada braço possui quatro chaves, cada uma com um diodo em antiparalelo. As chaves de potência utilizadas são os módulos IGBT SKM 50GB 123D da SEMIKRON©, Fig. 4.4. A transferência de calor desse dispositivo se dá através de sua base isolada, feita de óxido

de alumínio. Cada módulo possui dois IGBTs, cada um com um diodo em antiparalelo. As principais características do módulo utilizado estão na Tabela 4.3.

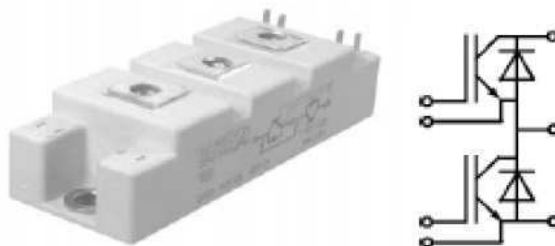


Fig. 4.4: Módulo IGBT SKM 50GB 123D.

IGBT			
Características Elétricas		Valores	Unidades
V_{CE}	Tensão coletor - emissor máxima	1200	V
I_C	Corrente máxima de coletor para $T_{case} = 25 / 80^\circ C$	50/40	A
P_{tot}	Potência máxima total dissipada por IGBT	310	W
V_{CEsat}	Tensão de saturação coletor - emissor	2.5	V
t_r	Tempo de subida	60	ns
t_f	Tempo de descida	45	ns
t_{don}	Tempo de atraso na partida	70	ns
t_{doff}	Tempo de atraso no bloqueio	400	ns
E_{on}	Energia dissipada na partida	7	mWs
E_{off}	Energia dissipada no bloqueio	4.5	mWs
Diodo			
I_F	Corrente máxima	50/40	A
r_T	Resistência total	22	Ω
Q_{rr}	Carga de recuperação reversa	2.3	$\mu CxmJ$

Tab. 4.3: Características elétricas do módulo IGBT SKM 50GB 123D.

Cada braço do conversor possui dois diodos grameadores ligados ao ponto central do barramento CC. São utilizados três módulos de diodos com referência SKKD 60F da SEMIKRON©, cada módulo é composto por dois diodos encapsulados, Fig. 4.5. As principais características dos diodos utilizados encontram-se na Tabela 4.4.

O circuito do inversor possui ainda, capacitores conectados em paralelo aos contatos das chaves, esses capacitores são denominados de "Capacitores supressores", Fig. 4.6. O uso desses capacitores se faz necessário porque quando as chaves são abertas, existe a formação de arcos em seus contatos. Portanto para absorver a energia que causa esse arco usam-se os capacitores supressores. Os capacitores utilizados são de fabricação da EPCOS©, cuja referência é B32686



Fig. 4.5: Módulo de diodo rápido SKKD 60F.

Características elétricas		Valores	Unidades
V_{RMS}	Tensão máxima	1700	V
I_{FRMS}	Corrente máxima para operações contínuas	110	A
E_{rr}	Energia de recuperação reversa	5	mJ
Q_{rr}	Carga de recuperação reversa	18	$\mu CxmJ$

Tab. 4.4: Características elétricas do módulo diodo SKKD 60F.

57224 K500. Seu dielétrico é fabricado de polipropileno. Sua estrutura interna é feita de filmes metálicos com folhas de metais conectadas em série e para sua vedação é utilizada resina epóxi. Na Tabela 4.5 são dadas as principais características elétricas desses capacitores.



Fig. 4.6: Capacitor filme de polipropileno.

Características elétricas		Valores	Unidades
C	Capacitância	0.22	μF
V_{DC}	Tensão máxima	1250	V
R_S	Resistencia Serie	0.07	Ω

Tab. 4.5: Características elétricas dos capacitores supressores.

São utilizados seis capacitores supressores, dois em cada braço, Fig. 4.7.

Para o barramento CC foram utilizados capacitores também de fabricação da EPCOS®. Trata-se de capacitores eletrolíticos cuja referencia é B43875 - A5228 - Q, Fig. 4.8. Como a tensão suportável pelas chaves é de 1200 V, para tornar o barramento compatível, foram utilizados quatro capacitores para construção do mesmo. As principais características elétricas dos capacitores utilizados no barramento são dadas na Tabela 4.8.

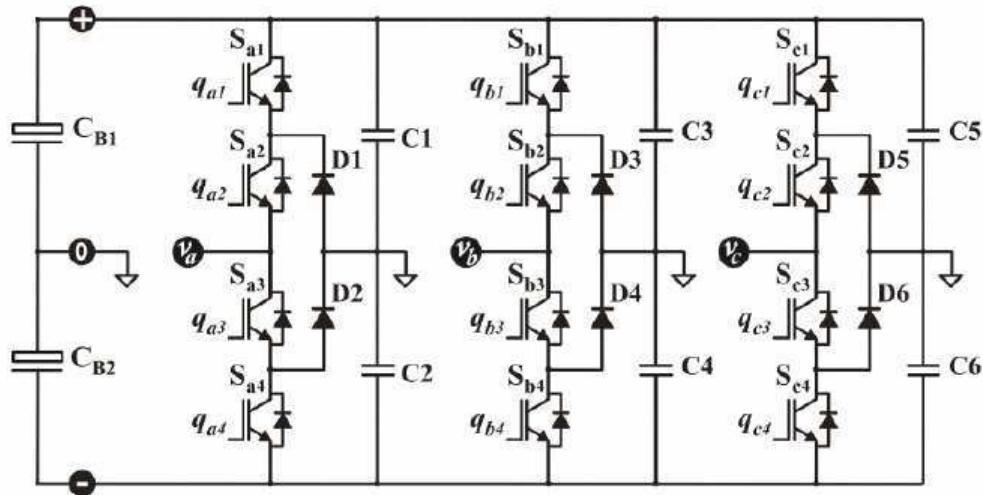


Fig. 4.7: Esquema de ligação dos capacitores supressores no inversor [18].



Fig. 4.8: Capacitor eletrolítico da EPCOS®.

Características elétricas		Valores	Unidades
C	Capacitância	2200	μF
V_{DC}	Tensão máxima	450	V
R_S	Resistência Série	0.06	Ω

Tab. 4.6: Características elétricas dos capacitores do barramento CC.

O dissipador utilizado na montagem do inversor é de fabricação da SEMIKRON®, cuja referencia é P3, 4.9.

O ventilador utilizado é o SKF23 - 230 - 01 fabricado também pela SEMIKRON®, Fig. 4.10.

A topologia das conexões dos componentes do inversor de três níveis sobre o dissipador é ilustrada na Figura 4.11.

Para montagem da ponte retificadora trifásica, foram utilizados três módulos SKKD 46/12 da SEMIKRON®, Fig. 4.12. Cada módulo possui dois diodos encapsulados. A montagem

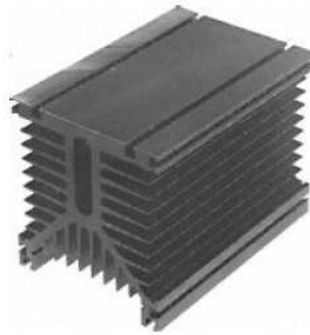


Fig. 4.9: Dissipador P3 da SEMIKRON©.



Fig. 4.10: Ventilador SKF23 - 230 - 01 da SEMIKRON©.

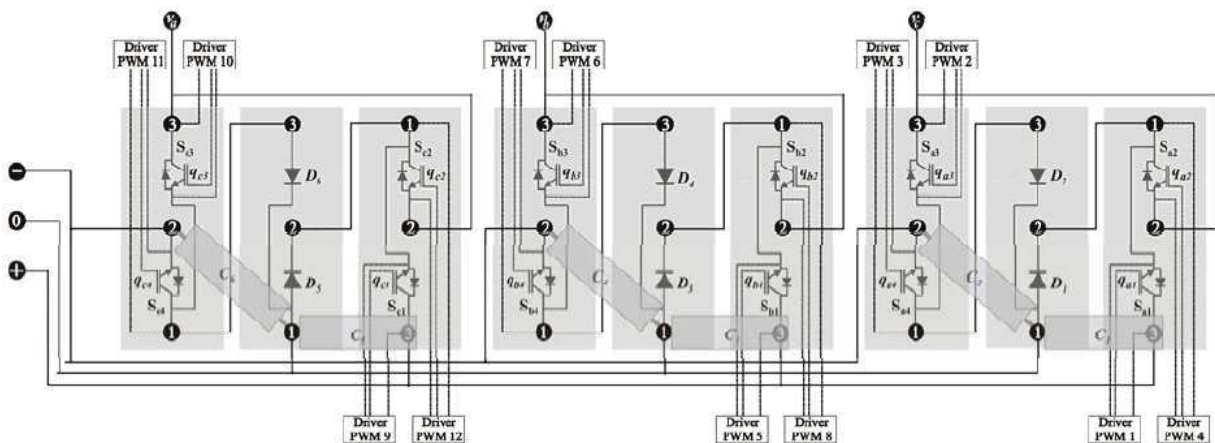


Fig. 4.11: Arranjo e conexões dos componentes sobre o dissipador [18].

desse retificador foi feita em um dissipador em separado do inversor. As principais características elétricas deste dispositivo são dadas na Tabela 4.7.

4.2.2 Circuitos auxiliares de chaveamento

O circuito auxiliar é composto pelos *drivers*; sensores; o DSP e uma placa de circuito impresso (PCI), responsável por alimentar os drives, levar os sinais PWM gerados pelo DSP aos



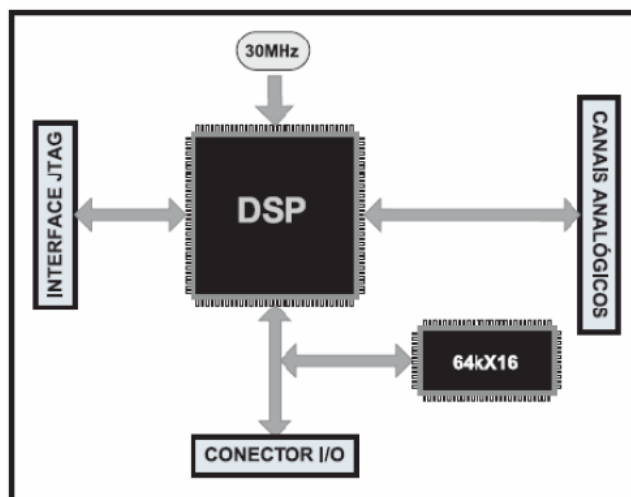
Fig. 4.12: Módulo diodo SKKD 46/12.

Características elétricas		Valores	Unidades
V	Tensão máxima	1300	V
I_{FRMS}	Corrente máxima para operações contínuas	90	A
r_T	Resistência total	5	$m\Omega$

Tab. 4.7: Características elétricas do módulo diodo SKKD 46/12.

drivers e levar os sinais obtidos pelos sensores de corrente e tensão às entradas analógico/digital (A/D) do DSP.

O DSP utilizado é TMS320F2812 da Texas Instruments e foi utilizado juntamente com a placa de desenvolvimento *eZdspTM* F2812, da Spectrum Digital Incorporate, cujo diagrama de blocos está mostrado na Figura 4.13. Esta placa já possui interface necessária para um rápido desenvolvimento. Ela já vem equipada com conectores para alimentação, memória RAM externa de 64K de palavras de 16 bits, DSP F2812, cristal de 30MHz, interface JTAG, conectores de expansão e conectores para os diversos pinos de entrada e saída do DSP.

Fig. 4.13: Diagrama de blocos simplificados da *eZdspTM* F2812.

Para efetuar os disparos das chaves do inversor, é necessário adaptar os níveis de tensão e corrente dos sinais de comando com nível necessário ao bloqueio de disparo de tais chaves. Com isso se faz necessário o uso de *drivers* para disparo dos IGBTs. Além da função descrita acima, os *drivers* promovem uma isolamento galvânica entre o circuito de controle do conversor e as tensões nas quais as chaves são submetidas. O *driver* utilizado foi o SKHI10 da SEMIKRON©, Fig. 4.14. Este *driver* comanda apenas uma chave, portanto utiliza-se doze *drivers* para o chaveamento do inversor. A seguir as principais características e configurações são descritas:

- O SKHI 10 possui um seletor do nível de tensão de entrada para dois níveis diferentes, onde é ajustado pelo jumper J1. O nível de tensão utilizado foi de 5 V (TTL), o fabricante fornece o *driver* ajustado para 15 V (CMOS);
- Possui um bloco de detecção de erro, o qual é acionado apenas quando é detectado um curto - circuito no IGBT ou VS (pino de alimentação do *driver*, o qual é alimentado com 15 V) permanece abaixo de 13 V por mais de 0,5 ms. Uma vez detectado o erro, é enviada uma mensagem de erro ao pino 3 do *driver*, que por sua vez é conectado a um circuito externo (que será descrito mais adiante). Essa mensagem de erro pode ser em nível lógico alto (ou baixo se o jumper J3 for curto - circuitado), esta última opção é a que foi utilizada. Para detecção de curto - circuito nos IGBTs o pino VCE é conectado ao coletor do IGBT;
- Possui um transformador de ferrite, oferecendo dessa forma uma boa isolamento.



Fig. 4.14: Driver SKHI 10 da SEMIKRON©.

As principais características elétricas do driver são dadas na Tabela 4.8.

Para a alimentação dos drivers, foi utilizada uma fonte chaveada de fabricação da POWERBRAS©, de referência STF 15 - 5, Fig. 4.15. Apresenta como principais características alta eficiência

Características elétricas		Valores	Unidades
V_S	Tensão primária de alimentação	15	V
I_S	Corrente máxima de alimentação	0.3	A
$t_{d(on)IO}$	Tempo de propagação entrada/saída do sinal de disparo	1.4	μs
$t_{d(off)IO}$	Tempo de propagação entrada/saída do sinal de bloqueio	1.4	μs
$t_{d(err)}$	Tempo de propagação entrada/saída do sinal de erro	1.0	μs

Tab. 4.8: Principais características elétricas do SKHI 10 da SEMIKRON©.

e confiabilidade para uso industrial. É indicada para casos onde as condições ambientais são mais severas e o acesso mais difícil, por causa do seu tamanho reduzido. Possui baixo ripple e boa regulação. Através um trimpot, pode ser ajustado em $\pm 10\%$ o valor tensão de saída.



Fig. 4.15: Fonte de tensão chaveada STF 15 - 5 da POWERBRAS©.

Na Tabela 4.9, são apresentadas algumas características técnicas da fonte.

Para fazer alimentação dos drivers e levar os sinais de chaveamento produzidos pelo DSP também aos *drivers*, foi construída uma placa de circuito impresso (PCI). Essa placa possui um circuito de *reset* dos *drivers*, onde se pode fazer o *reset* através de uma chave. A placa possui ainda um circuito de detecção de erro, servindo para sinalizar quando e qual dos *drivers* está bloqueado. O diagrama elétrico da PCI é mostrado na Figura 4.16.

A montagem completa do inversor pode ser vista na Figura 4.17.

Dados Técnicos		
	Valores	Unidades
Tensão de entrada nominal	100/220	V_{ca}
Frequência de entrada	47 a 60	Hz
Potência máxima de saída	75	W
Ripple + ruído	$< 0,2\%$	
Regulação de carga	$< 0,5\%$	
Regulação de linha	$< 0,2\%$	
Rendimento típico	$> 80\%$	
Frequência de chaveamento	100	KHz

Tab. 4.9: Dados técnicos Fonte de tensão chaveada STF 15 - 5 da POWERBRAS©.

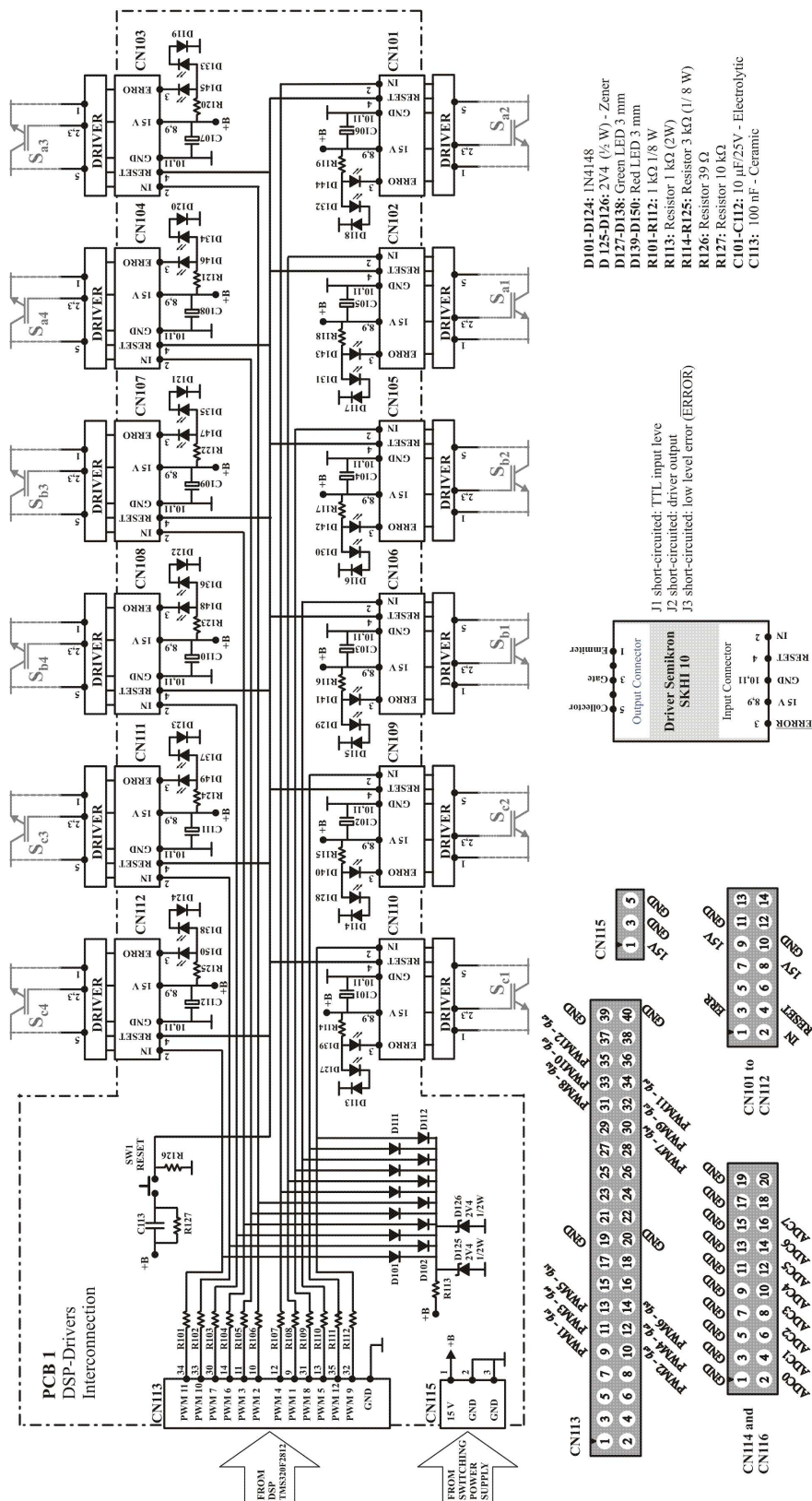


Fig. 4.16: Diagrama elétrico da PCI [18].



Fig. 4.17: Inversor Trifásico de Três Níveis com Diodos Grampeadores.

Capítulo 5

Considerações Finais

Foi observado no decorrer que as duas topologias apresentadas atenderam a todos os requisitos estabelecidos, um alto fator de potência, a corrente de entrada livre de ondulação e a tensão de saída independente. Das duas topologias apresentadas no estudo a 3Ls sem modulação no braço compartilhado demonstrou ser mais adequada por ter apresentado menor taxa de distorção harmônica e um maior fator de potência para qualquer índice de modulação.

O inversor de três níveis, construído, pode trabalhar como um inversor de dois níveis, bastando para isso, mudar as configurações dos sinais que são enviados às chaves, assim pode utilizá-lo para as duas topologias apresentadas.

Durante o desenvolvimento deste trabalho foi possível observar que em vários momentos foi necessário lançar mão de conhecimentos adquiridos em algumas disciplinas da grade curricular do curso de Engenharia Elétrica desta instituição. Disciplinas como Circuitos Elétricos, Eletrônica, Arquitetura de Sistemas Digitais e Eletrônica do Potência foram fundamentais para o desenvolvimento deste trabalho, todo o dimensionamento de componentes, circuitos de comando e comparação e funcionamento dos conversores tiveram como base estas disciplinas. Vale a pena salientar que em alguns momentos foi necessário buscar conhecimentos que estavam além do escopo da graduação, levando ao aluno estudar e pesquisar outras alternativas, e desenvolver suas próprias soluções baseado na literatura científica.

5.1 Trabalhos Futuros

Como trabalhos futuros tem-se em vista realizar os seguintes trabalhos:

- Realizar estudo de perdas;
- Fazer o estudo do comportamento do barramento CC para diferentes tipos de cargas;

- Realizar o estudo teórico e experimental da topologia de conversão trifásico-trifásico utilizando os mesmo princípio deste trabalho;
- Realizar modificações no conversor para obter reversibilidade de potência.

Apêndice A

Programa principal para o controle da configuração 3Ls sem modulação no braço compartilhado

```
#include "DSP281x_Device.h"
#include "DSP281x_Examples.h"
#include "IQmathLib.h"

// Protótipo declarações para as funções encontradas dentro deste arquivo.
void init_eva(void);
void InitSystem(void);
void Modulacao(void);

//Variáveis
long freq_clk; // Freqüência do clock
int freq_pwm; // Freqüência PWM
unsigned int periodo; // Período PWM

// Variáveis da modulação
unsigned int freq;
float pi;
float m,amplitude;
signed int timer1;
.iq sen10,sen20,sen30;
```

```
_iq ea,eb;
_iq ang,omega,h;
_iq ang;
_iq part;
_iq17 p23;
unsigned int tcmpr1,tcmpr2,tcmpr3;

interrupt void T1_Compare_isr(void)
{
    EvaRegs.CMPR1 = tcmpr1;
    EvaRegs.CMPR2 = tcmpr2;
    EvaRegs.CMPR3 = tcmpr3;
    timer1 = -1;
    EvaRegs.EVAIFRA.bit.T1UFINT = 1; // Levanta a bandeira, aguardando a interrupção.
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP2; // Receber mais interrupções do grupo 2.
}

void main(void)
{
    // Inicia os registradores do DSP
    InitSystem();
    // Inicializa somente GPAMUX e GPBMUX para este teste
    EALLOW;

    // Ativar as saídas PWM
    GpioMuxRegs.GPAMUX.all = 0x00FF; // EVA PWM 1-6 pins
    GpioMuxRegs.GPBMUX.all = 0x00FF; // EVB PWM 7-12 pins
    EDIS;

    // Limpa todas as interrupções e inicializa a tabela vetor PIE:
    // Desativa as interrupções da CPU
    DINT;

    // Esta função é encontrada no arquivo DSP281x.PieCtrl.c
```

```

InitPieCtrl();

// Esta função é encontrada no arquivo DSP281x.PieCtrl.c
InitPieVectTable();

//————— Interrupção —————//
EALLOW;
PieVectTable.T1UFINT = &T1_Compare_isr; // A interrupção desejada é esta para underflow.
EDIS;
PieCtrlRegs.PIEIER2.bit.INTx6=1; // Habilita a interrupção T1 Underflow.
IER = 0;
IER = 2; // Habilita CPU INT2 o qual esta conectado a GP -Timer1 Underflow.
asm("CLRC INTM");
//————— //

init_eva();

//Inicialização das variáveis
freq = 30.; //Frequência das tensões de referência
m=0.9; //Índice de modulação
amplitude=m*(periodo/2)/1.7321;
omega = 2.*3.141592*freq;
dteta = _IQ(omega*100e-6);
ang = 0;
pi = 3.141592;
p23=_IQ17(2.0943951024);
part=_IQ(periodo/2);

//Modulação
while(1)
{

    ang = ang + _IQmpy(omega,h);
    if (ang > _IQ(2*pi)){
        ang = ang - _IQ(2*pi);
    }
}

```

```
    }

    sen10 = _IQsin(ang);
    sen20 = _IQsin(ang-p23);
    sen30 = _IQsin(ang+p23);

    ea = _IQmpy(_IQ(amplitude),sen10 - sen30);
    eb = _IQmpy(_IQ(amplitude),sen20 - sen30);

    tcmpr1=(part+ea)>>17; //Realiza o ajuste do ponto fixo
    if (tcmpr1 > periodo)
    { tcmpr1 = periodo; }

    tcmpr2=(part+eb)>>17; //Realiza o ajuste do ponto fixo
    if (tcmpr2 > periodo)
    { tcmpr2 = periodo; }

    tcmpr3 = periodo/2;

    timer1 = 1;
    while(timer1 >= 0)
    {
        if (timer1 == -1)
        { break; }
    }
}

void init_eva()
{
    //Período PWM
    freq_clk = 150000000;
    freq_pwm = 10000;
```

```
periodo = freq_clk/freq_pwm;

// Configurando EVA PWM1-PWM6
// Inicializar EVA
EvaRegs.T1PR = periodo; // Timer 1 Período
EvaRegs.T2PR = periodo; // Timer2 Período

//Configuração do Timer 1
EvaRegs.T1CON.bit.FREE = 0; //Parar imediatamente
EvaRegs.T1CON.bit.SOFT = 0;
EvaRegs.T1CON.bit.TMODE = 1; // Modo de contagem contínuo crescente e decrescente
EvaRegs.T1CON.bit.TPS = 0; // Divisão por 1 no clock prescaler
EvaRegs.T1CON.bit.TENABLE = 1; // ativar a operação do contador
EvaRegs.T1CON.bit.TCLKS10 = 0; //Clock Interno
EvaRegs.T1CON.bit.TCLD10 = 0; //Recarregar o registrador temporizador quando o contador zerar
EvaRegs.T1CON.bit.TECMPR = 1; // habilitar operação de comparação do temporizador

// Configuração do Gerente de Eventos
EvaRegs.GPTCONA.bit.T1STAT = 0; // 13 GP Timer 1 status (read only)
EvaRegs.GPTCONA.bit.T2STAT = 0; // 14 GP Timer 2 status (read only)
EvaRegs.GPTCONA.bit.T2CTRIPE = 1; //Habilitar o comparador Timer 2 Trip
EvaRegs.GPTCONA.bit.T1CTRIPE = 1; //Habilitar o comparador Timer 1 Trip
EvaRegs.GPTCONA.bit.T1TOADC = 0; //Sem eventos ADC
EvaRegs.GPTCONA.bit.T2TOADC = 0; //Sem eventos ADC
EvaRegs.GPTCONA.bit.TCMPOE = 1; //Habilitar comparadores
EvaRegs.GPTCONA.bit.T2CMPOE = 1; //Habilitar comparador Timer 2
EvaRegs.GPTCONA.bit.T1CMPOE = 1; //Habilitar comparador Timer 1
EvaRegs.GPTCONA.bit.T2PIN = 2; // Polaridade da comparação GP Timer 2
EvaRegs.GPTCONA.bit.T1PIN = 2; // Polaridade da comparação GP Timer 1

//Compare action control - Controle de ações
//Polaridade dos pinos de saída.
//Pode programar o PWM e seu complementar
EvaRegs.ACTRA.bit.CMP6ACT = 2;
EvaRegs.ACTRA.bit.CMP5ACT = 1;
```



```

EvaRegs.ACTRA.bit.CMP4ACT = 2;
EvaRegs.ACTRA.bit.CMP3ACT = 1;
EvaRegs.ACTRA.bit.CMP2ACT = 2;
EvaRegs.ACTRA.bit.CMP1ACT = 1;

//Registro do tempo morto do EVA
EvaRegs.DBTCONA.bit.DBT = 5; //Dead-Band timer period.
EvaRegs.DBTCONA.bit.EDBT3 = 1; //Dead-Band timer 3 enable
EvaRegs.DBTCONA.bit.EDBT2 = 1; //Dead-Band timer 2 enable
EvaRegs.DBTCONA.bit.EDBT1 = 1; //Dead-Band timer 1 enable
EvaRegs.DBTCONA.bit.DBTPS = 1; //Dead-Band timer prescaler

//COMCONA - Controle de comparação
EvaRegs.COMCONA.bit.CENABLE = 1; // Habilitar operações de comparação
EvaRegs.COMCONA.bit.CLD = 1; //Condição de recarga do registrador de comparação CMPRx.
EvaRegs.COMCONA.bit.SVENABLE = 0; //Desabilitar Space Vector PWM
EvaRegs.COMCONA.bit.ACTRLD = 2; // Condição de recarga do ACTR. Carrega imediatamente
EvaRegs.COMCONA.bit.FCOMPOE = 1; //Habilita as saídas comparadoras
EvaRegs.COMCONA.bit.FCMP3OE = 0;
EvaRegs.COMCONA.bit.FCMP2OE = 0;
EvaRegs.COMCONA.bit.FCMP1OE = 0;
EvaRegs.COMCONA.bit.C1TRIPE = 0;
EvaRegs.COMCONA.bit.C2TRIPE = 0;
EvaRegs.COMCONA.bit.C3TRIPE = 0;

EvaRegs.EVAIMRA.all = 0x0000; // Para garantir que estou zerando todas as interrupcoes.
EvaRegs.EVAIFRA.bit.T1UFINT = 1; // Levanta a bandeira, aguardando a 1ª interrupção.
EvaRegs.EVAIMRA.bit.T1UFINT = 1; // Habilita a interrupção de underflow do EVA.
}

void InitSystem(void)
{
    EALLOW;
    SysCtrlRegs.WDCR = 0x00E8; // Desabilita o watchdog.
    SysCtrlRegs.PLLCR.bit.DIV = 10; // Configura o Clock PLL para multiplicar por 5.

```

```
    SysCtrlRegs.HISPCP.all = 0x0; // Configura Highspeed Clock Prescaler para dividir por 1.
    SysCtrlRegs.LOSPCP.all = 0x0; // Configura Highspeed Clock Prescaler para dividir por 1.
    SysCtrlRegs.PCLKCR.bit.EVAENCLK=1;
    SysCtrlRegs.PCLKCR.bit.EVBENCLK=1;
    SysCtrlRegs.PCLKCR.bit.SCIAENCLK=0;
    SysCtrlRegs.PCLKCR.bit.SCIBENCLK=0;
    SysCtrlRegs.PCLKCR.bit.MCBSPENCLK=0;
    SysCtrlRegs.PCLKCR.bit.SPIENCLK=0;
    SysCtrlRegs.PCLKCR.bit.ECANENCLK=0;
    SysCtrlRegs.PCLKCR.bit.ADCENCLK=1;
    EDIS;
}
```

Apêndice B

Programa principal para o controle da configuração 3Ls com modulação no braço compartilhado

```
#include "DSP281x_Device.h"
#include "DSP281x_Examples.h"
#include "IQmathLib.h"

// Protótipo declarações para as funções encontradas dentro deste arquivo.
void init_eva(void);
void InitSystem(void);
void Modulacao(void);

//Variáveis
long freq_clk; //Frequencia do clock
int freq_pwm; //Frequencia PWM
unsigned int periodo; //Periodo PWM

//Variáveis da modulação
unsigned int freq;
float pi;
float m,amplitude;

.iq sen10,sen20,sen30;
```

```
.iq ea,eb,ec;
.iq ang,omega,h;
.iq part;
.iq17 p23;
.iq ea_ref, eb_ref, ec_ref;
.iq vh, mi, vmax, vmin;
unsigned int tcmpr1,tcmpr2,tcmpr3;

interrupt void T1_Compare_isr(void)
{
    EvaRegs.CMPR1 = tcmpr1;
    EvaRegs.CMPR2 = tcmpr2;
    EvaRegs.CMPR3 = tcmpr3;
    timer1 = -1;
    EvaRegs.EVAIFRA.bit.T1UFINT = 1; //Levanta a bandeira, aguardando a interrupção.
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP2; // Receber mais interrupções do grupo 2.
}
void main(void)
{
    //Inicia os registradores do DSP
    InitSystem();

    //Inicializa somente GPAMUX e GPBMUX para este teste
    EALLOW;

    // Ativar as saídas PWM
    GpioMuxRegs.GPAMUX.all = 0x00FF; //EVA PWM 1-6 pins
    GpioMuxRegs.GPBMUX.all = 0x00FF; //EVB PWM 7-12 pins
    EDIS;

    //Limpa todas as interrupções e inicializa a tabela vector PIE:
    //Desativa as interrupções da CPU
    DINT;

    //Esta função é encontrada no arquivo DSP281x_PieCtrl.c
```

```

InitPieCtrl();

//Esta função é encontrada no arquivo DSP281x_PieCtrl.c
InitPieVectTable();

//————— Interrupção —————//
EALLOW;
PieVectTable.T1UFINT = &T1_Compare_isr; //A interrupção desejada é esta para underflow.
EDIS;
PieCtrlRegs.PIEIER2.bit.INTx6=1; //Habilita a interrupção T1 Underflow.
IER = 0;
IER = 2; //Habilita CPU INT2 o qual está conectado a GP -Timer1 Underflow.
asm("CLRC INTM");
//————— //

init_eva();

//Inicialização das variáveis
freq = 30.; //Frequência das tensões de referência
m = 0.9; //Índice de modulação
mi=_IQ(0.5);
amplitude = m*periodo/2;
omega = 2.*3.141592*freq;
dteta = _IQ(omega*100e-6);
ang = 0;
pi = 3.141592;
p23 = _IQ17(2.0943951024);
part = _IQ(periodo/2);

//Modulação
while(1)
{

    ang = ang + _IQmpy(omega,h);
    if (ang > _IQ(2*pi)){

```

```
        ang = ang - _IQ(2*pi);
    }

    sen10 = _IQsin(ang);
    sen20 = _IQsin(ang-p23);
    sen30 = _IQsin(ang+p23);

    ea = _IQmpy(_IQ(amplitude),sen10);
    eb = _IQmpy(_IQ(amplitude),sen20);
    ec = _IQmpy(_IQ(amplitude),sen30);

    vmax=ea;
    if (eb > vmax)
    { vmax = eb; }
    if (ec > vmax)
    { vmax = ec; }

    vmin=ea;
    if (eb < vmin)
    { vmin = eb; }
    if (ec < vmin)
    { vmin = ec; }

    vh=_IQmpy(mi+_IQ(-0.5),periodo)-_IQmpy(mi,vmax)+_IQmpy(mi+_IQ(-1),vmin);

    ea_ref=ea+vh;
    eb_ref=eb+vh;
    ec_ref=ec+vh;

    tcmpr1 = (part+ea_ref)>>17; //Realiza o ajuste do ponto fixo
    if (tcmpr1 < periodo)
    {tcmpr1 = periodo; }

    tcmpr2 = (part+eb_ref=>>17; //Realiza o ajuste do ponto fixo
    if (tcmpr2 < periodo)
```

```
{tcmpr2 = periodo; }

tcmpr3 = (part+ec_ref)>>17; //Realiza o ajuste do ponto fixo
if (tcmpr3 < periodo)
{tcmpr3 = periodo; }

timer1 = 1;
while(timer1 >= 0)
{
    if (timer1 == -1)
    { break; }
}

}

}

void init_eva()
{
    //Período PWM
    freq_clk = 150000000;
    freq_pwm = 10000;
    periodo = freq_clk/freq_pwm;

    // Configurando EVA PWM1-PWM6
    // Inicializar EVA
    EvaRegs.T1PR = periodo; // Timer 1 Período
    EvaRegs.T2PR = periodo; // Timer2 Período

    //Configuração do Timer 1
    EvaRegs.T1CON.bit.FREE = 0; //Parar imediatamente
    EvaRegs.T1CON.bit.SOFT = 0;
    EvaRegs.T1CON.bit.TMODE = 1; // Modo de contagem contínuo crescente e decrescente
    EvaRegs.T1CON.bit.TPS = 0; // Divisão por 1 no clock prescaler
    EvaRegs.T1CON.bit.TENABLE = 1; // ativar a operação do contador
    EvaRegs.T1CON.bit.TCLKS10 = 0; //Clock Interno
```

```
EvaRegs.T1CON.bit.TCLD10 = 0; //Recarregar o registrador temporizador quando o contador zerar
EvaRegs.T1CON.bit.TECMPR = 1; // habilitar operação de comparação do temporizador
```

```
// Configuração do Gerente de Eventos
```

```
EvaRegs.GPTCONA.bit.T1STAT = 0; // 13 GP Timer 1 status (read only)
EvaRegs.GPTCONA.bit.T2STAT = 0; // 14 GP Timer 2 status (read only)
EvaRegs.GPTCONA.bit.T2CTRIPE = 1; //Habilitar o comparador Timer 2 Trip
EvaRegs.GPTCONA.bit.T1CTRIPE = 1; //Habilitar o comparador Timer 1 Trip
EvaRegs.GPTCONA.bit.T1TOADC = 0; //Sem eventos ADC
EvaRegs.GPTCONA.bit.T2TOADC = 0; //Sem eventos ADC
EvaRegs.GPTCONA.bit.TCMPOE = 1; //Habilitar comparadores
EvaRegs.GPTCONA.bit.T2CMPOE = 1; //Habilitar comparador Timer 2
EvaRegs.GPTCONA.bit.T1CMPOE = 1; //Habilitar comparador Timer 1
EvaRegs.GPTCONA.bit.T2PIN = 2; // Polaridade da comparação GP Timer 2
EvaRegs.GPTCONA.bit.T1PIN = 2; // Polaridade da comparação GP Timer 1
```

```
//Compare action control - Controle de ações
```

```
//Polaridade dos pinos de saída.
```

```
//Pode programar o PWM e seu complementar
```

```
EvaRegs.ACTRA.bit.CMP6ACT = 2;
EvaRegs.ACTRA.bit.CMP5ACT = 1;
EvaRegs.ACTRA.bit.CMP4ACT = 2;
EvaRegs.ACTRA.bit.CMP3ACT = 1;
EvaRegs.ACTRA.bit.CMP2ACT = 2;
EvaRegs.ACTRA.bit.CMP1ACT = 1;
```

```
//Registro do tempo morto do EVa
```

```
EvaRegs.DBTCONA.bit.DBT = 5; //Dead-Band timer period.
EvaRegs.DBTCONA.bit.EDBT3 = 1; //Dead-Band timer 3 enable
EvaRegs.DBTCONA.bit.EDBT2 = 1; //Dead-Band timer 2 enable
EvaRegs.DBTCONA.bit.EDBT1 = 1; //Dead-Band timer 1 enable
EvaRegs.DBTCONA.bit.DBTPS = 1; //Dead-Band timer prescaler
```

```
//COMCONA - Controle de comparação
```

```
EvaRegs.COMCONA.bit.CENABLE = 1; // Habilitar operações de comparação
```



```

EvaRegs.COMCONA.bit.CLD = 1; //Condição de recarga do registrador de comparação CMPRx.
EvaRegs.COMCONA.bit.SVENABLE = 0; //Desabilitar Space Vector PWM
EvaRegs.COMCONA.bit.ACTRLD = 2; // Condição de recarga do ACTR. Carrega imediatamente
EvaRegs.COMCONA.bit.FCOMPOE = 1; //Habilita as saídas comparadoras
EvaRegs.COMCONA.bit.FCMP3OE = 0;
EvaRegs.COMCONA.bit.FCMP2OE = 0;
EvaRegs.COMCONA.bit.FCMP1OE = 0;
EvaRegs.COMCONA.bit.C1TRIPLE = 0;
EvaRegs.COMCONA.bit.C2TRIPLE = 0;
EvaRegs.COMCONA.bit.C3TRIPLE = 0;

EvaRegs.EVAIMRA.all = 0x0000; // Para garantir que estou zerando todas as interrupções.
EvaRegs.EVAIFRA.bit.T1UFINT = 1; // Levanta a bandeira, aguardando a 1ª interrupção.
EvaRegs.EVAIMRA.bit.T1UFINT = 1; // Habilita a interrupção de underflow do EVA.
}

void InitSystem(void)
{
    EALLOW;
    SysCtrlRegs.WDCR = 0x00E8; // Desabilita o watchdog.
    SysCtrlRegs.PLLCR.bit.DIV = 10; // Configura o Clock PLL para multiplicar por 5.
    SysCtrlRegs.HISPCP.all = 0x0; // Configura Highspeed Clock Prescaler para dividir por 1.
    SysCtrlRegs.LOSPCP.all = 0x0; // Configura Highspeed Clock Prescaler para dividir por 1.
    SysCtrlRegs.PCLKCR.bit.EVAENCLK=1;
    SysCtrlRegs.PCLKCR.bit.EVBENCLK=1;
    SysCtrlRegs.PCLKCR.bit.SCIAENCLK=0;
    SysCtrlRegs.PCLKCR.bit.SCIBENCLK=0;
    SysCtrlRegs.PCLKCR.bit.MCBSPENCLK=0;
    SysCtrlRegs.PCLKCR.bit.SPIENCLK=0;
    SysCtrlRegs.PCLKCR.bit.ECANENCLK=0;
    SysCtrlRegs.PCLKCR.bit.ADCENCLK=1;
    EDIS;
}

```

Referências Bibliográficas

- [1] C.B. Jacobina, I.S. de Freitas; E.C. dos Santos, E.R.C. da Silva, T.M. Oliveira, "DC-Link Single-Phase to Single-Phase Half-Bridge Converter Operating with Reduced Capacitor Current and AC Capacitor Power", in Proc. IEEE PESC, pp. 1-7, 2006.
- [2] C. B. Jacobina, E. C. dos Santos Jr., M. B. R. Correa and E. R. C. da Silva, "Reduced switch count ac-ac two-phase drive systems", in Proc. IEEE PESC, pp. 687-693, 2005.
- [3] C. B. Jacobina, M. B. R. Correa, A. M. N. Lima and E. R. C. da Silva, "Ac motor drive systems with a reduced switch count converter", *IEEE Trans. Ind. Applicat.*, vol. 39, pp. 1333-1342, 2003.
- [4] C. B. Jacobina, E. C. dos Santos Jr., M. B. R. Correa and E. R. C. da Silva, "Single-phase input reduced switch count ac-ac drive systems", in Proc. IEEE-IAS Annu. Meeting, pp. 2505-2511, 2005.
- [5] A. Nabae, H. Nakano and A. Arai, "Novel sinusoidal converters with high power factor", in Conf. Rec. IEEEIAS Annu. Meeting, pp. 775 -780, 1994.
- [6] M. Rashid, "Power Electronics Circuits, Devices and Applications". New York: Prentice Hall International Inc., 1988.
- [7] J.-M. Kwon, W.-Y. Choi, H.-L. Do and B.-H. Kwon, "Single-stage half-bridge converter using a coupled- inductor", *IEE Proc.-Electr. Power Appl.*, Vol. 152, No. 3, May 2005 748-756.
- [8] C. B. Jacobina, A. M. N. Lima, E. R. C. da Silva, R. N. C. Alves, P.F. Seixas., "Digital scalar pulse width modulation: a simple approach to introduce nonsinusoidal modulating waveforms", *IEEE Transactions on Power Electronics*, vol. 16, no. 3, pp. 351-359, May 2001.
- [9] V. Blasko, "Analysis of a hybrid pwm based on modified space-vector and triangle-comparison methods", *IEEE Trans. Ind, Applicat.*, vol. 33, pp. 756-764, 1996.

- [10] Manual da Spectrum Digital, eZdsp F2812 Technical Reference, 2003. Disponível em http://c2000.spectrumdigital.com/ezf2812/docs/ezf2812_techref.pdf.
- [11] Manual da Texas Instruments, TMS320F2812 Digital Signal Processor Implementation Tutorial, 2002. Disponível em <http://www.scribd.com/doc/28857722/F2812-DSP-Full-Tutorial>.
- [12] Manual da Texas Instruments, TMS320x281x Event Manager (EV) Reference Guide, 2004. Disponível em <http://focus.ti.com/lit/ug/spru065e/spru065e.pdf>.
- [13] A. S. de Oliveira Júnior, Estratégia generalizada de modulação por largura de pulso para inversores multiníveis, PhD thesis, Universidade Federal de Campina Grande, 2005.
- [14] A. Nabae, I. Takahashi, H. Akagi; "A New Neutral-Point Clamped PWM Inverter". *IEEE Transactions on Industry Applications*, IA-17, pp. 518-523, 1981.
- [15] P. Bhagwat and V. Stefanovic, Generalized structure of a multilevel pwm inverter, *IEEE Trans. Ind. Appl.* IA-19(6): 1057-1069, 1983.
- [16] M. Carpita and S. Teconi, A novel multilevel structure for voltage source inverter, Proc. of EPE'91 pp. 90-94, 1991.
- [17] T. Meynard and H. Foch, "Multilevel Conversion: High Voltage Chopper and Voltage Source Inverters". *IEEE-PESC*, pp. 397-403, 1992.
- [18] E. R. C. da Silva, K. V. D. DE ALMEIDA, J. A. R. M. OLIVEIRA, A. A. M. BENTO, Aluísio. "DSP Based Controlled Three - level Three - phase Camped - Diode Topology". Campina Grande: UFCG, 2008. Relatório de pesquisa.