



**Universidade Federal de Campina Grande**

**Centro de Engenharia Elétrica e Informática**

Curso de Graduação em Engenharia Elétrica

CARLOS ANTONIO ALVES DE ARAÚJO JÚNIOR

**CONTROLE DE CHAVES DE UM INVERSOR DE QUATRO  
NÍVEIS UTILIZANDO UM PROCESSADOR DIGITAL DE SINAIS  
(DSP).**

Campina Grande, Paraíba  
Novembro de 2012

CARLOS ANTONIO ALVES DE ARAÚJO JÚNIOR

CONTROLE DE CHAVES DE UM INVERSOR DE QUATRO  
NÍVEIS UTILIZANDO UM PROCESSADOR DIGITAL DE SINAIS  
(DSP).

*Relatório de Estágio Supervisionado submetido  
à Unidade Acadêmica de Engenharia Elétrica  
da Universidade Federal de Campina Grande  
como parte dos requisitos necessários para a  
obtenção do grau de Bacharel em Ciências no  
Domínio da Engenharia Elétrica.*

Área de Concentração: Processamento de Energia

Orientador:

Professor D. Sc. Alexandre Cunha Oliveira.

Campina Grande, Paraíba  
Novembro de 2012

CARLOS ANTONIO ALVES DE ARAÚJO JÚNIOR

CONTROLE DE CHAVES DE UM INVERSOR DE QUATRO  
NÍVEIS UTILIZANDO UM PROCESSADOR DIGITAL DE SINAIS  
(DSP).

Trabalho de Conclusão de Curso submetido à Unidade  
Acadêmica de Engenharia Elétrica da Universidade  
Federal de Campina Grande como parte dos requisitos  
necessários para a obtenção do grau de Bacharel em  
Ciências no Domínio da Engenharia Elétrica.

Área de Concentração: Processamento de Energia

Aprovado em        /        /

**Professor Avaliador**  
Universidade Federal de Campina Grande  
Avaliador

**Professor D. Sc. Alexandre Cunha Oliveira.**  
Universidade Federal de Campina Grande  
Orientador, UFCG

## AGRADECIMENTOS

Agradeço a Deus, em primeiro lugar, pela minha vida e por sempre me abençoar com força e persistência para nunca desistir e por sempre iluminar meu caminho nos momentos difíceis durante todo o curso.

Agradeço ao meu professor-orientador Euzeli Cipriano e Alexandre Cunha por toda atenção e tempo gasto em mim para a conclusão desse trabalho.

Agradeço também ao meu pai Carlos Antonio Alves de Araújo, à minha mãe Ana Maria Cavalcanti de Almeida e meu irmão Aristóteles Terceiro Neto, por sempre estarem ao meu lado, me apoiando e dando muito amor e conselhos que me ajudaram a crescer cada vez mais na minha vida.

Agradeço também a minha namorada Lígia Rabay por todo amor e companheirismo que ela devotou a mim durante todo esse tempo juntos e que me ajudou a sempre persistir.

Agradeço também a toda minha família, que com todo carinho e apoio.

Enfim, agradeço a todos os meus amigos que sempre estiveram ao meu lado, nas horas de estudo e de brincadeira, com certeza, sem esse apoio eu não conseguiria atingir todos os meus objetivos.

*“Não tentes ser bem sucedido,  
tenta ser um homem de valor.”*

Albert Einstein

## RESUMO

Os inversores são dispositivos usados para conversão de uma forma de tensão de entrada para uma outra forma de tensão de saída. Essa conversão é feita através do comando de chaves, com disparo ou bloqueios controlados, em uma determinada frequência, fixa ou variável. Os inversores podem ser classificados em dois tipos: inversores monofásicos e trifásicos. Atualmente, há um grande interesse nos inversores-multi-níveis, pois é possível controlar uma maior potência e gerar menos harmônicos do que o inversor de dois níveis. Há três arquiteturas básicas de inversores multi-níveis: o *Diode Clamped*, em português Diodo grampeado, o inversor com capacitor flutuante (em inglês *Flying Capacitor inverter*) e a ponte H em cascata (em inglês *cascade H-bridge*). Nesse trabalho será explorado a implementação do controle de chaves, ou seja, criar sinais PWM, via DSP (Digital Signal Processor, em português Processador Digital de Sinais), para um inversor monofásico utilizando a topologia de capacitor flutuante modificado para gerar 4 níveis de tensão.

**Palavras-chave:** inversores, controle, DSP, capacitor flutuante, PWM.

# SUMÁRIO

Agradecimentos.....	iv
Resumo.....	vi
Sumário.....	vii
Lista de Ilustrações.....	viii
Lista de Tabelas.....	ix
Lista de Abreviaturas e Siglas.....	x
1 Introdução.....	1
2 Fundamentação Teórica.....	1
2.1 Topologia com diodo grampeado.....	3
2.2 Topologia ponte h.....	4
2.3 Topologica com capacitor flutuante.....	5
3 Descrição do Projeto.....	7
3.1 O inversor.....	7
3.2 PWM.....	9
3.3 Faixa de Operação do Inversor.....	11
3.4 Comparação entre o inversor de 3 níveis e 4 níveis.....	13
3.5 eZdsp <sup>TM</sup> F28335.....	15
3.6 Programa.....	16
4 Resultados Obtidos.....	20
5 Conclusão.....	23
Bibliografia.....	24
Anexo.....	26

## LISTA DE ILUSTRAÇÕES

Figura 1 - Inversor monofásico Convencional, (a) Circuito do conversor e (b) Tensão na carga resistiva....	2
Figura 2 - Configuração básica de um inversor com diodo grampeado de 3 níveis .....	4
Figura 3 - Célula de um inversor ponte H monofásico.....	5
Figura 4 – Inversor monofásico da topologia com Capacitor Flutuante .....	6
Figura 5 - Inversor Modificado .....	8
Figura 6 - Inversor de 4 níveis.....	9
Figura 7 - (A) Comparação para controle do par de chave S1 e (B) Comparação para controle do par de chaves S2.....	9
Figura 8 - (A) Comparação para controle do par de chave S1 e (B) Sinal de controle enviado para chave S1.....	10
Figura 9 - (A) Comparação para controle do par de chave S2 e (B) Sinal de controle enviado para chave S2.....	11
Figura 10 - Gráfico da tensão e da corrente, respectivamente, em uma carga puramente indutiva.....	12
Figura 11 - Gráfico da tensão e da corrente, respectivamente, em uma carga com fator de potência 0.5 atrasado.....	12
Figura 12 - Gráfico da Tensão e da corrente, respectivamente, em uma carga puramente resistiva .....	13
Figura 13 - Tensão de saída no inversor de 4 níveis e a Transformada de Fourier da tensão de saída.....	14
Figura 14 - Tensão de saída no inversor de 3 níveis e a Transformada de Fourier da tensão de saída.....	14
Figura 15 - eZdsp TM320F28335 .....	16
Figura 16 - Referência 2 dividida em 6 regiões.....	18
Figura 17 - Ilustração do período da portadora .....	18
Figura 18 - Tela dos gráficos gerado pelo Code Composer em comparação com a triangular gerada pelo DSP, (A) Gráfico da referência 1 e (B) Gráfico da referência 2.....	19
Figura 19 - Sinal de controle da chave S1 .....	20
Figura 20 - Sinal de controle da Chave S2 .....	20
Figura 21 - Período do sinal de controle da chave S1 .....	20
Figura 22 - Período do sinal de controle da chave S2 .....	20
Figura 23 - Amostra da Região 1 para chave S1 .....	21
Figura 24 - Amostra da Região 1 para chave S2 .....	21
Figura 25 - Amostra da Região 2 para chave S1 .....	21
Figura 26 - Amostra da Região 2 para chave S2 .....	21
Figura 27 - Amostra da Região 3 para chave S1 .....	21
Figura 28 - Amostra da Região 3 para chave S2 .....	21

## LISTA DE TABELAS

Tabela 1 - Tabela da verdade das chaves.....	8
Tabela 2 - Tabela da verdade dos estados permitidos .....	8
Tabela 3 - Tabela da verdade do inversor.....	9
Tabela 4 - Tabela Comparativa do THD na saída dos inversores.....	14

## LISTA DE ABREVIATURAS E SIGLAS

BJT (Bipolar Junction Transistor) – Transistor de Junção Bipolar

CA – Corrente Alternada

CC – Corrente Contínua

CFI (Current Fed Inverter) – Inversor Alimentado por Corrente

DSP (Digital Signal Processor) – Processador Digital de Sinais

GTO (Gate Turn-off Thyristor) – Tiristor Desligamento pela porta

IGBT (Insulated Gate Bipolar Transistor) – Transistor Bipolar de Porta Isolada

LEIAM – Laboratório de Eletrônica Industrial e Acionamento de Máquinas

MCT (MOS Controlled Thyristor) – Tiristor controlado tipo MOS

MOSFET (Metal Oxide Semiconductor Field Effect Transistor) – Transistor de Efeito de Campo Metal-óxido Semicondutor

NPC (Neutral Point Clamped) – Ponto Neutro Fixo

PWM (Pulse Width Modulation) – Modulação por Largura de Pulso

STI (Static Thyristor Induction) – Tiristor de Indução Estática

THD (Total Harmonic Distortion) – Distorção Harmônico Total

VFI (Voltage Fed Inverter) – Inversor Alimentado por Tensão

# 1 INTRODUÇÃO

Decreve-se, neste documento, o trabalho desenvolvido durante o estágio realizado no período de 30 de setembro a 30 de outubro, no Laboratório de Eletrônica Industrial e Acionamentos de Máquinas (LEIAM), sob orientação do Professor Dr. Alexandre Cunha Oliveira.

O LEIAM é um laboratório voltado para pesquisas e desenvolvimento que tem como principais áreas:

- Acionamento de máquinas elétricas
- Estruturas de conversores estáticos
- Estruturas eletromagnéticas e máquinas elétricas
- Sistema de energia alternativa baseadas em células fotovoltaicas
- Qualidade de energia

O objetivo do estágio foi adquirir novos conhecimentos das ferramentas utilizada no ambiente da eletrônica industrial, como desenvolvimento de algoritmos e uso do processador digital de sinais (DSP), além de aprofundar no conhecimento das topologias de inversores multi níveis.

## 2 FUNDAMENTAÇÃO TEÓRICA

Os conversores CC-CA, também conhecidos como inversores, consiste em converter uma tensão de entrada CC em uma tensão de saída CA simétrica de amplitude e frequência desejadas. A tensão de saída pode ser fixa ou variável em uma frequência também fixa ou variável. Uma tensão variável de saída pode ser obtida variando-se a amplitude da tensão CC de entrada e mantendo-se o ganho do inversor constante. Por outro lado, se a tensão CC de entrada for fixa e não controlável, uma tensão variável de saída pode ser obtida pela variação do ganho do inversor, a qual é normalmente exercida pelo controle da modulação por largura de pulso (do inglês *pulse width modulation* – *PWM*) dentro do inversor. O ganho do inversor pode ser definido como a relação entre a tensão de saída CA e a tensão de entrada CC. (Rashid, 1993).

Os inversores convencionais apresentam dois níveis de tensão na saída, como evidência a Figura 1.

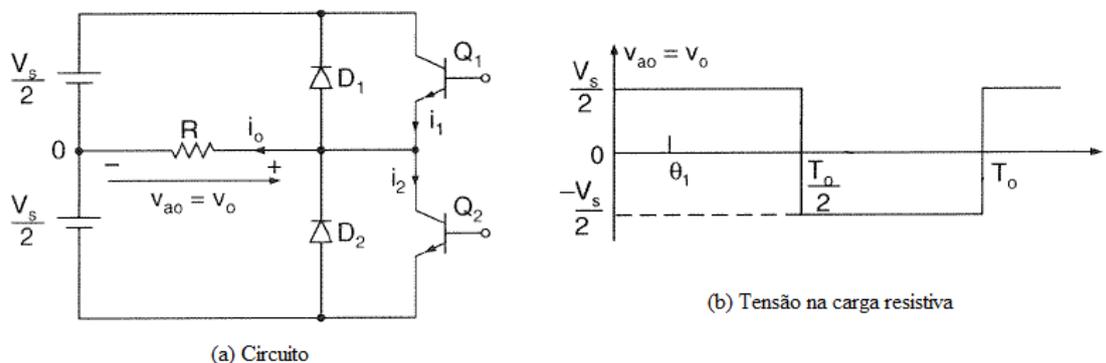


Figura 1 - Inversor monofásico Convencional, (a) Circuito do conversor e (b) Tensão na carga resistiva

As formas de onda da tensão de saída de inversores ideais senoidais. Entretanto, as formas de onda de inversores práticos são não-senoidais e contêm certos harmônicos. Para aplicações de baixa e média potência, tensões de onda quadrada ou quase quadrada podem ser aceitáveis; e para aplicações de potência elevada, são necessárias formas de onda senoidais com baixa distorção. Com a disponibilidade de dispositivos semicondutores de potência de alta velocidade, o conteúdo harmônico da tensão da saída pode ser minimizado ou reduzido significativamente pelas técnicas de chaveamento. (Rashid, 1993)

Os inversores podem, geralmente, ser classificados em dois tipos (1) inversores monofásicos e (2) inversores trifásicos. Cada tipo pode usar dispositivos com disparo ou bloqueio controlados (por exemplo, BJTs, MOSFETs, IGBTs, MCTs, SITs, GTOs) ou tiristores em comutação forçada, dependendo das aplicações. Esses inversores em geral usam sinais de controle PWM para produzir uma tensão CA de saída. (Rashid, 1993)

Há um crescente interesse nos inversores multi-níveis. Comparado com os inversores convencionais, os inversores de multi-níveis consegue controlar uma maior potência, possui eficiência maior e gera menos distorção harmônica na saída. As topologias para múltiplos níveis, estratégias para modulação e desempenho dos conversores de múltiplos níveis vêm sendo estudadas intensamente durante essas duas últimas décadas. (Ruderman, to appear)

Há três arquiteturas básicas usadas para os inversores de múltiplos níveis: o *Diode Clamped*, em português Diodo grampeado, o inversor com capacitor flutuante (em inglês *Flying Capacitor inverter*) e a ponte H em cascata (em inglês *cascade H-bridge*).

## 2.1 TOPOLOGIA COM DIODO GRAMPEADO

Os inversores multi-níveis com diodo grampeado operam com diodos fixados e capacitores CC em cascata para produzir formas de onda de tensão com vários níveis, conforme a Figura 2. O inversor pode ser geralmente configurado para gerar vários níveis de tensão, porém, somente o inversor de três níveis, conhecido como NPC (Neutral Point Clamped, em português, Ponto Neutro fixado), encontrou grande utilidade em aplicação de alta e média potência. Suas principais características são a redução do  $dv/dt$  e do THD em suas tensões de saída CA em comparação com os conversores de dois níveis, e mais importante, o inversor pode ser utilizado com alimentações de média tensão para atingir tensões maiores. Por exemplo, o inversor NPC atinge 6000V usando alimentação com tensão de 4160V. (Bin Wu, 2006)

Os inversores com diodo grampeado apresentam algumas vantagens e desvantagens, como:

### Vantagens

- Quando o número de níveis é alto, o harmônico será baixo o suficiente para evitar a necessidade do uso de filtros para melhorar o sinal.
- Apresenta alta eficiência pelo fato de todos os dispositivos serem chaveados na frequência fundamental.
- O fluxo de potência reativa pode ser controlado.

### Desvantagens

- Grande Número de diodos grampeados são necessários quando usado para gerar um inversor com muitos níveis de tensão.

- É difícil fazer o controle do fluxo da potência real pra um inversor porque o nível médio CC do capacitor tenderá a oscilar, exigindo seu controle, aumentando assim a complexidade do controle global do inversor.

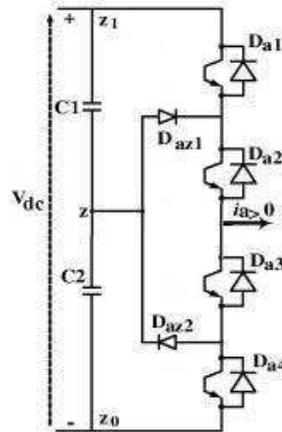


Figura 2 - Configuração básica de um inversor com diodo grampeado de 3 níveis

## 2.2 TOPOLOGIA PONTE H

O inversor multi-nível ponte H é uma das topologias de inversores mais populares, usada em aplicações de Alta potência com tensão média. É composto por várias unidades de células ponte H monofásica, como mostra a Figura 3. As células de ponte H são normalmente conectadas em cascata no lado CA para operar em médias tensões e alcançar baixa distorção harmônica. Na prática, o número de células em um inversor ponte H em cascata é determinado principalmente pela tensão de operação e o custo de fabricação. Por exemplo, em aplicações de média tensão com tensão de linha de 3300V, um inversor de nove níveis de tensão pode ser usado, no qual o inversor ponte H em cascata terá um total de doze células usando componentes de 600V. (Bin Wu, 2006)

A principal vantagem da topologia ponte H é que necessita de menos componentes, dentre os conversores multi-níveis, para atingir o mesmo número de níveis de tensão, deixando, em vários casos, o custo do inversor mais barato. Porém, é necessário isolar a fonte CC em cada célula do inversor, limitando sua aplicação.

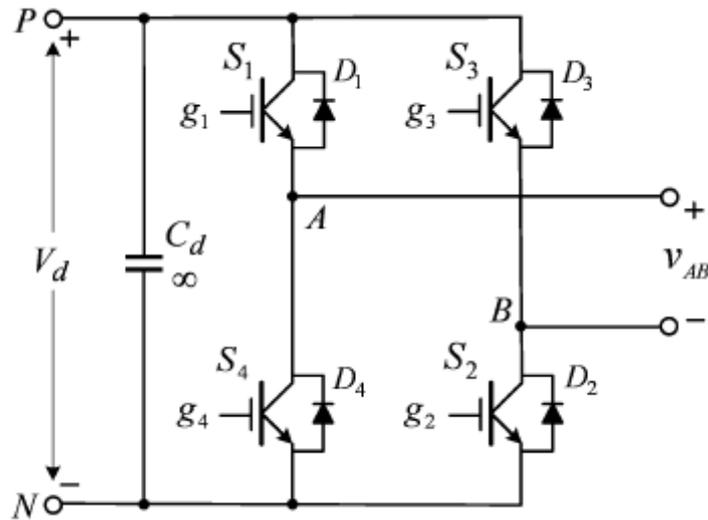


Figura 3 - Célula de um inversor ponte H monofásico.

### 2.3 TOPOLOGICA COM CAPACITOR FLUTUANTE

O inversor com capacitor flutuante, Figura 4, é um inversor de múltiplos níveis modulados por largura de pulsos cuja arquitetura interna garante, automaticamente, o equilíbrio da tensão do capacitor para cargas passivas. Dessa forma, proporciona uma alternativa atraente para o diodo grampeado. Além disso, um único braço do inversor pode ser usado para ambas conversões CC-CC e CC-CA, ao passo que um inversor com diodo grampeado não serve como conversor CC-CC. Isto porque uma corrente CC no *clamping point* (ponto de grampo) descarrega/carrega os capacitores CC, de forma que não haja equilíbrio de tensão. Mesmo para o caso CC-CA, há o surgimento de oscilações de baixa frequência de tensão no ponto de grampo em determinadas condições de operações. (Jing Huang, 2006)

Essa arquitetura é relativamente nova comparada ao diodo grampeado e à ponte H em cascata. Embora a arquitetura com capacitores flutuantes não seja tão comum, possui algumas vantagens específicas sobre a topologia do diodo grampeado, como a ausência de diodos de fixação e a capacidade para regular a tensão dos capacitores flutuantes através de estados redundantes mesmo para o número de níveis maiores que três. Ao contrário da arquitetura ponte H, não há necessidade de isolar a fonte de tensão. Por essas vantagens, a arquitetura com capacitores flutuantes vem encontrando espaço nas aplicações industriais. (Jing Huang, 2006)

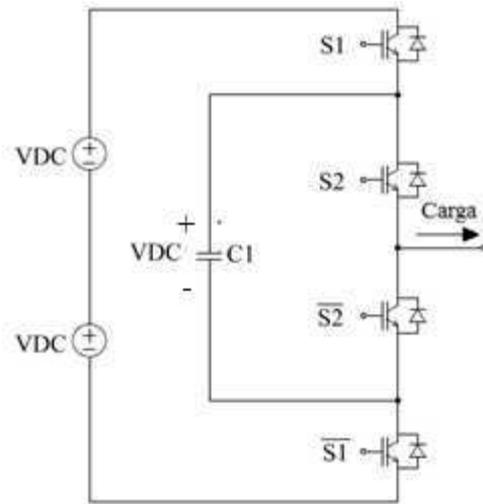


Figura 4 – Inversor monofásico da topologia com Capacitor Flutuante

## 3 DESCRIÇÃO DO PROJETO

Durante o período do estágio foi projetado um inversor monofásico através da topologia de capacitor flutuante, porém, foram feitas algumas modificações para que esse inversor possa gerar uma tensão de saída de 4 níveis ao invés de 3 níveis gerado pelo inversor utilizando a configuração básica do capacitor flutuante, adiante será discutido esse assunto.

Para implementação do controle de chaves será usado o DSP TMS320F28335, incorporado à placa de desenvolvimento eZdsp F28334 da Spectrum Digital. Estes serão utilizados para gerar os sinais de comando das chaves através do módulo ePWM.

### 3.1 O INVERSOR

A partir da Figura 4, foram feitas modificações nessa topologia com o intuito de gerar mais níveis de tensão na saída, visto que, nessa configuração, só é possível gerar 3 níveis de tensão na saída. Para isso, foi substituído o capacitor do circuito e no seu lugar foi adicionado uma fonte de tensão CC, com metade da tensão das fontes de tensão que alimentam o sistema, ilustrado na Figura 5. Assim, foi feita uma análise através de uma tabela da verdade, Tabela 1, associando a cada chave o estado “0” para desligado e “1” para ligado e a tensão de saída na carga.

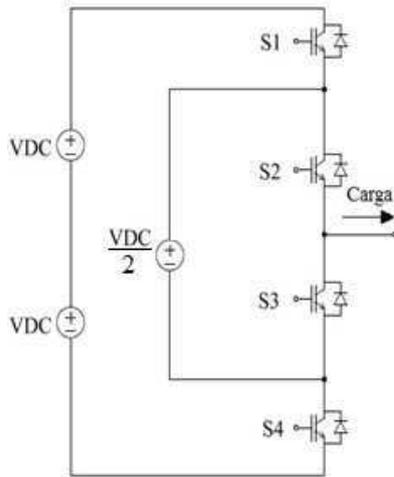


Figura 5 - Inversor Modificado

Tabela 1 - Tabela da verdade das chaves

S1	S2	S3	S4	Tensão na carga
0	0	0	0	X
0	0	0	1	X
0	0	1	0	X
0	0	1	1	-VDC
0	1	0	0	X
0	1	0	1	-VDC/2
0	1	1	0	X
0	1	1	1	X
1	0	0	0	X
1	0	0	1	X
1	0	1	0	+VDC/2
1	0	1	1	X
1	1	0	0	+VDC
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

Pode-se ver, na Tabela 1, que alguns estados não serão permitidos no circuito porque podem curto-circuitar a fonte de alimentação, ou também, por deixar a carga flutuando, tornando este estado sem uso. Assim é possível simplificar a tabela, como mostra a Tabela 2. Depois de simplificar a tabela, ficam mais evidentes os 4 níveis de tensão gerados na saída do inversor.

Tabela 2 - Tabela da verdade dos estados permitidos

S1	S2	S3	S4	Tensão na carga
0	0	1	1	-VDC
0	1	0	1	-VDC/2
1	0	1	0	+VDC/2
1	1	0	0	+VDC

Através da tabela da verdade simplificada também é possível perceber que a chave S1 sempre está contrária ao estado da chave S4 e que a chave S2 também sempre está contrária ao estado da chave S3, assim pode-se simplificar ainda mais o controle da chave fazendo com que S4 seja o complementar de S1 e que S3 seja o complementar de S2, de acordo com a Figura 6 e a Tabela 3.

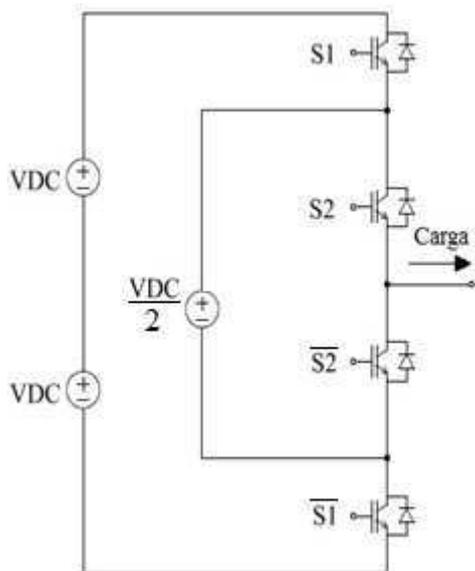


Tabela 3 - Tabela da verdade do inversor

S1	S2	Tensão na Carga
0	0	-VDC
0	1	-VDC/2
1	0	+VDC/2
1	1	+VDC

Figura 6 - Inversor de 4 níveis

## 3.2 PWM

Para fazer o controle das chaves foram desenvolvidas 2 portadoras, no qual cada portadora era encarregada de controlar um par de chaves (um portadora para S1 e seu complementar e outra portadora para S2 e seu complementar), utilizando como auxílio a Tabela 3, assim a Figura 7 mostra o resultado desse estudo.

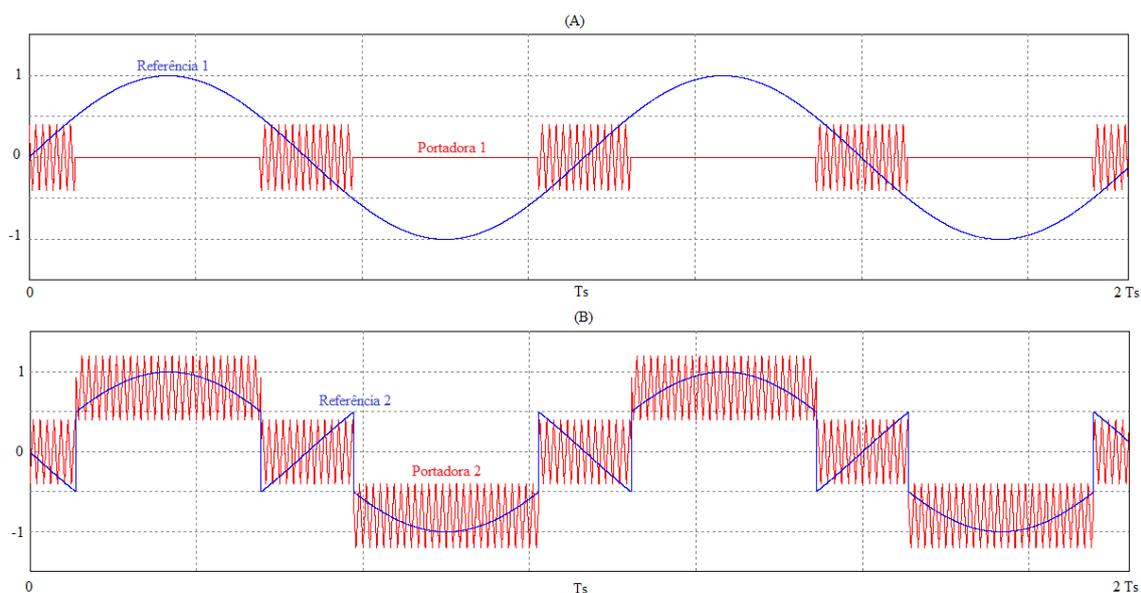


Figura 7 - (A) Comparação para controle do par de chave S1 e (B) Comparação para controle do par de chaves S2.

Na Figura 7A, percebe-se que no controle do par de chaves S1, a referência é um seno perfeito mas já no par de chaves S2, Figura 7B, o seno sofreu modificações para que a corrente da saída pudesse ter uma forma mais aproximada de um seno.

A portadora 1 apresenta a amplitude menor do que a amplitude da referência 1, isso foi feito porque durante grande parte do semi-ciclo positivo da referência, a chave S1 tem que permanecer aberta, e durante grande parte do semi-ciclo negativo da referência, a chave S1 tem que permanecer sempre fechada, somente no trecho em que a portadora 1 se iguala a portadora 2 que há uma maior variação de estados da chave S1, ilustrado na Figura 8. Isso foi necessário para que a tensão de saída possa ficar mudando sem uma transição muito brusca, ou seja, não vá de +VDC para -VDC diretamente.

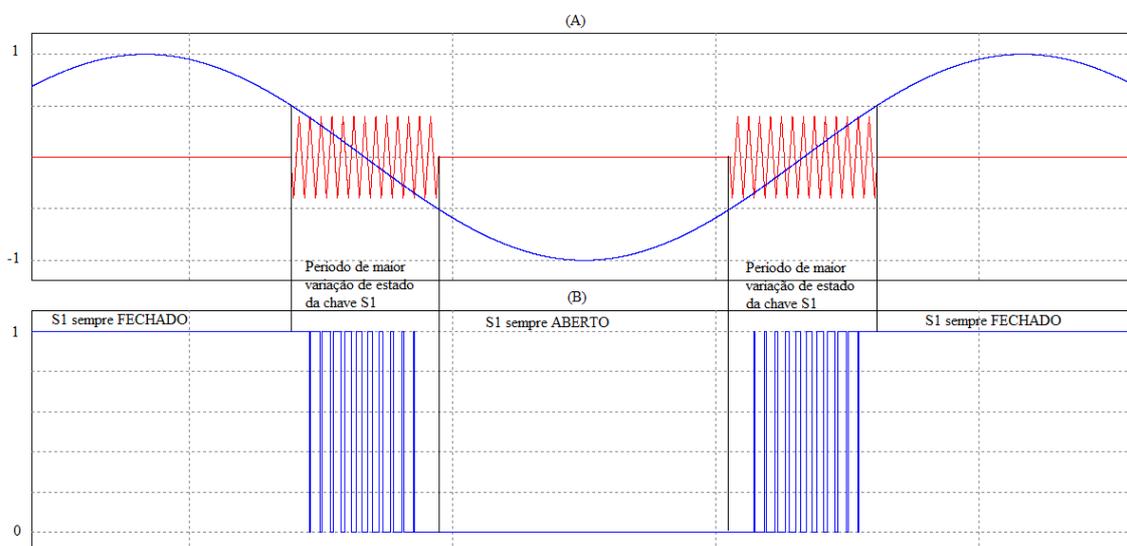


Figura 8 - (A) Comparação para controle do par de chave S1 e (B) Sinal de controle enviado para chave S1

Já para a chave S2, a portadora triangular é deslocada de forma a acompanhar a forma de onda da referência, ver Figura 9. Percebe-se que no trecho em que a portadora 2 é igual a portadora 1, a referência sofre um deslocamento de  $180^\circ$ , esse deslocamento foi necessário para garantir que a chave S2 esteja contrária a chave S1 para que a tensão de saída nesse trecho seja iniciada em  $-VDC/2$ , conforme a tabela mostrada anteriormente, e assim a média da modulação se iguale à forma senoidal.

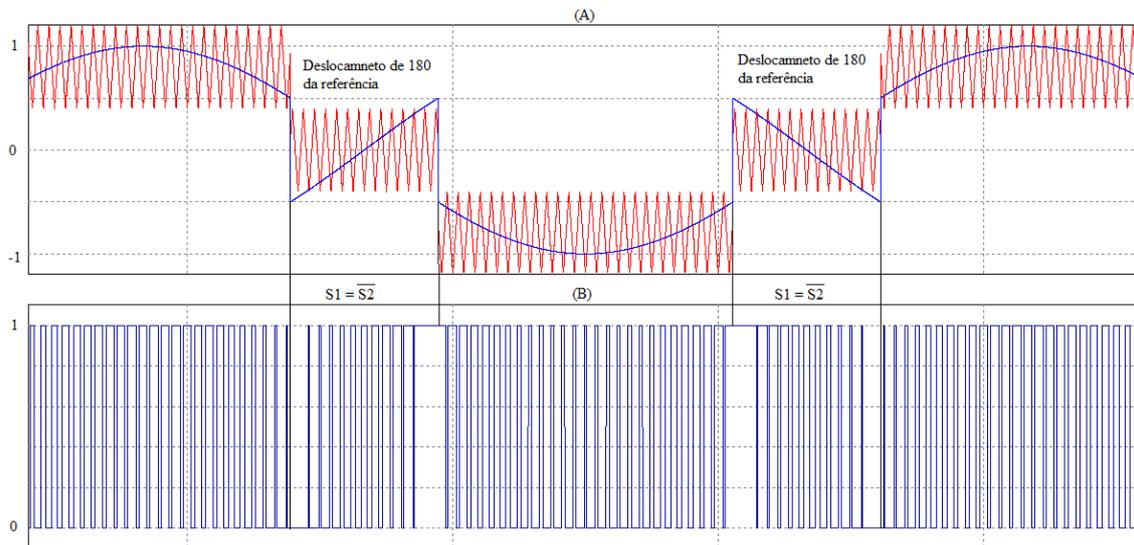


Figura 9 - (A) Comparação para controle do par de chave S2 e (B) Sinal de controle enviado para chave S2

### 3.3 FAIXA DE OPERAÇÃO DO INVERSOR

Uma das grandes vantagens dessa configuração é o fato de não ser preciso se preocupar com o balanço de tensão no capacitor como na configuração básica da topologia com capacitor flutuante, já que o que gera os vários níveis de tensão no capacitor flutuante é a tensão no capacitor. Devido a essa vantagem, esse inversor opera em qualquer fator de potência da carga, como prova as Figuras 10, 11 e 12, pois a geração dos níveis não depende da carga, diferentemente da topologia convencional utilizando capacitor flutuante, onde o fator de potência da carga afeta diretamente a carga/descarga do capacitor flutuante.

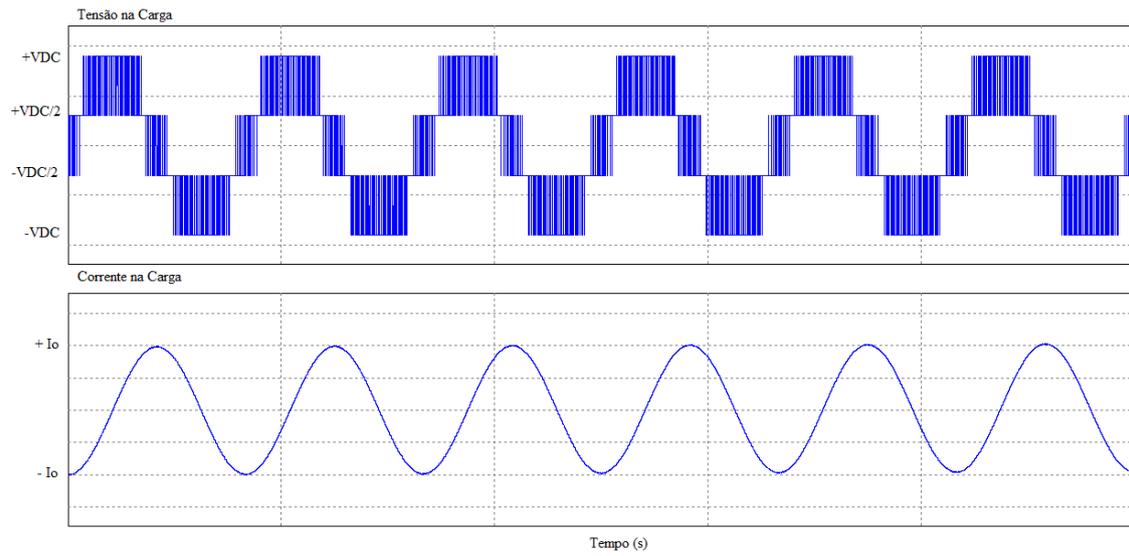


Figura 10 - Gráfico da tensão e da corrente, respectivamente, em uma carga puramente indutiva

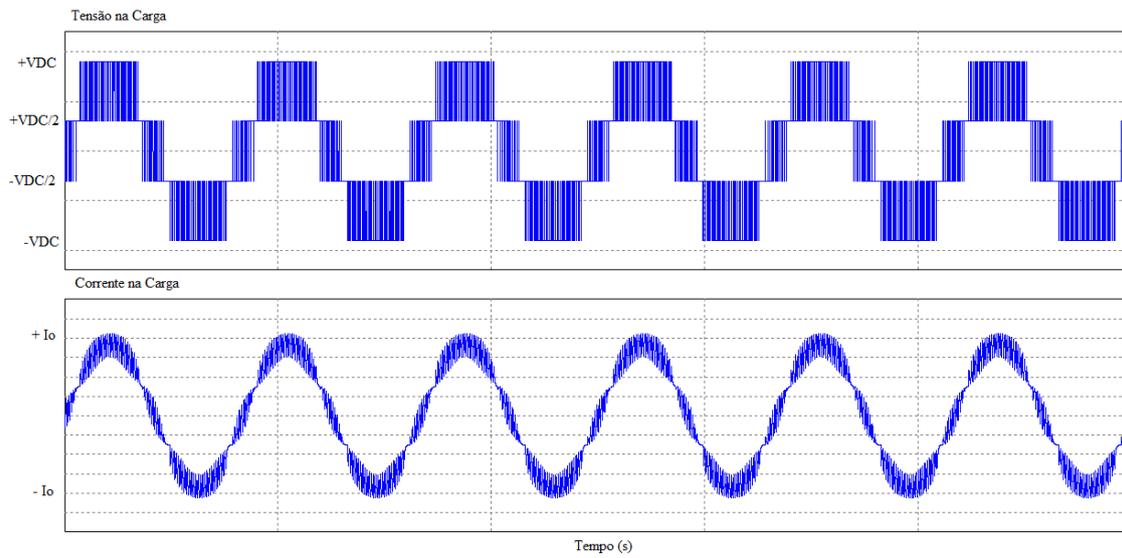


Figura 11 - Gráfico da tensão e da corrente, respectivamente, em uma carga com fator de potência 0.5 atrasado

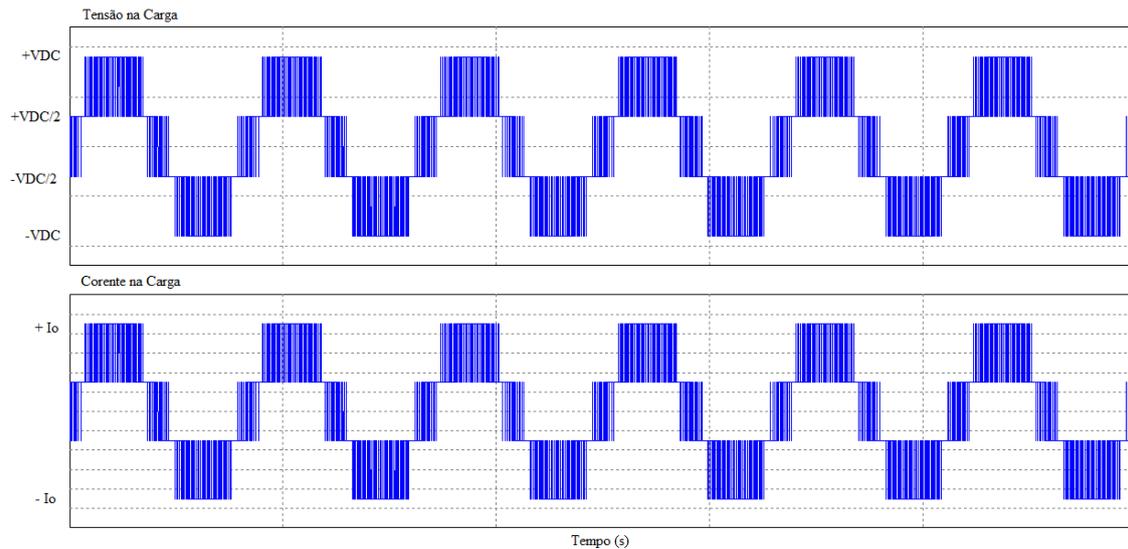


Figura 12 - Gráfico da Tensão e da corrente, respectivamente, em uma carga puramente resistiva

Devido à reatividade da carga indutiva, a forma da corrente tem menos ondulação e conforme a carga fica mais resistiva, a corrente apresenta uma maior ondulação e vai perdendo sua forma senoidal, se aproximando cada vez mais de uma forma quadrada.

### 3.4 COMPARAÇÃO ENTRE O INVERSOR DE 3 NÍVEIS E 4 NÍVEIS

Foi simulado, utilizando o software PSIM 9.0, o inversor de 4 níveis aqui demonstrado e o inversor de 3 níveis utilizando capacitor flutuante para comparar a distorção harmônica gerado pelos inversores para a seguinte especificação:

Alimentação de entrada = 150V;

Frequência de chaveamento = 5 kHz;

Frequência da referência = 50 Hz;

Carga  $R = 10 \Omega$  e  $L = 10 \text{ mH}$ ;

A Figura 13 mostra o resultado para o inversor de 4 níveis e a figura 14 mostra o resultado para o inversor de 3 níveis com a topologia com capacitor flutuante.

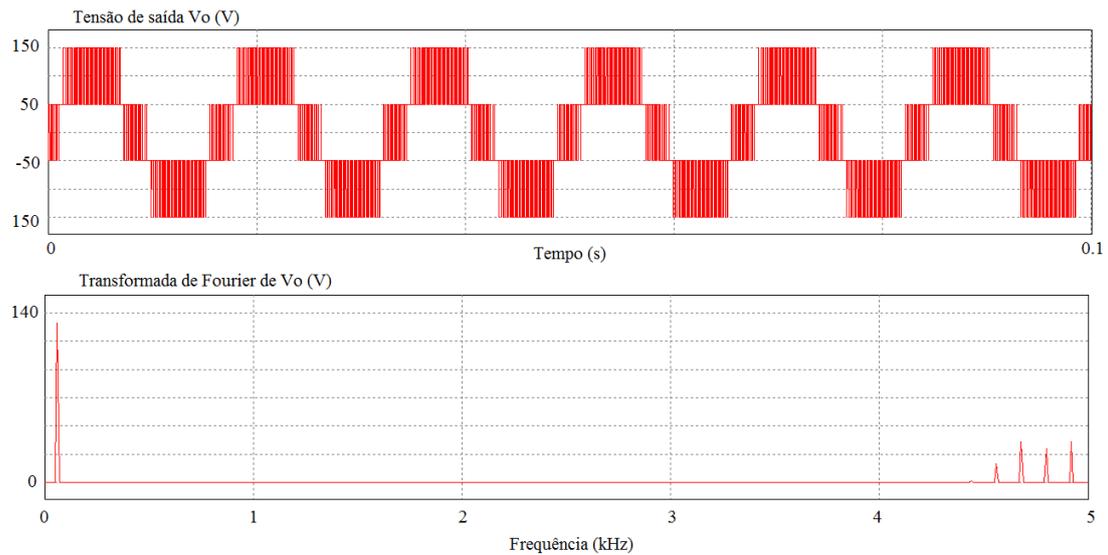


Figura 13 - Tensão de saída no inversor de 4 níveis e a Transformada de Fourier da tensão de saída

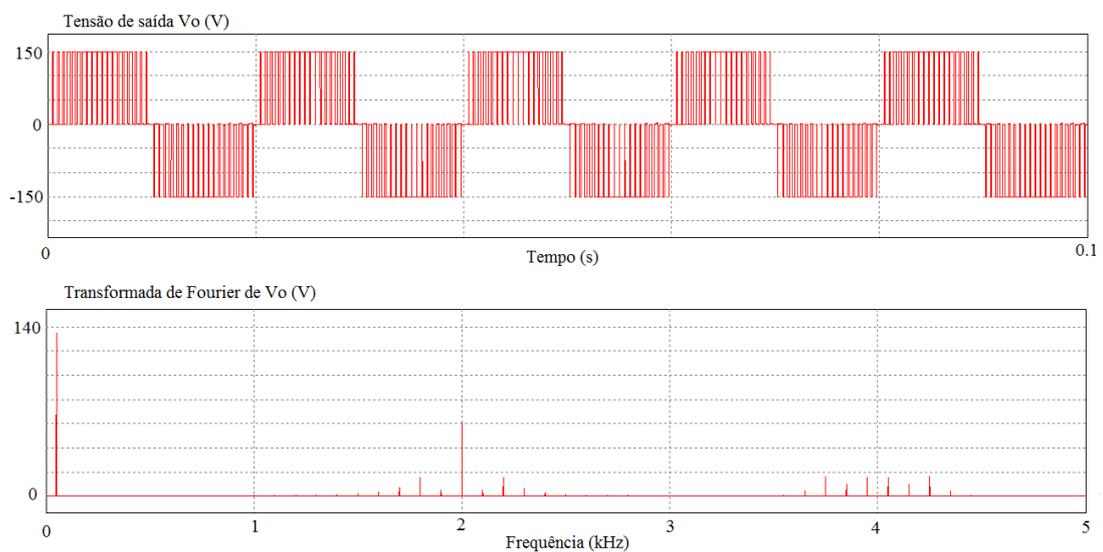


Figura 14 - Tensão de saída no inversor de 3 níveis e a Transformada de Fourier da tensão de saída

Tabela 4 - Tabela Comparativa do THD na saída dos inversores

	THD da tensão de saída	THD da corrente de saída
Inversor de três Níveis	64.39%	4.29%
Inversor de quatro Níveis	55.19%	1.69%

É possível perceber que a distorção harmônica gerada no inversor de 4 níveis é menor do que a distorção harmônica gerada no inversor de 3 níveis. De acordo Tabela 4, os valores do THD da tensão e corrente de saída do inversor de 4 níveis é menor do que a do inversor de 3 níveis. Enquanto no inversor de 4 níveis as distorções só são evidentes em frequências maiores do que 4 kHz, no inversor de 3 níveis as distorções já

se tornam evidentes para frequências em torno de 2 kHz. Isso acontece devido ao número de níveis de tensão ser maior no inversor modificado.

### 3.5 EZDSP™ F28335

O eZdsp™ F28335, ver Figura 15, é um módulo equipado com o Controlador Digital de Sinais (DSC) TMS320F28335, formando assim uma ferramenta chamada de Processador Digital de Sinais, o DSP.

O F28335 é um DSC da família C20xx, família de microprocessadores de 32 bits que foram desenvolvidos para execução de um controle em tempo real. Ele possui um núcleo bem robusto que permite realizar vários algoritmos complexos de controle simultaneamente, graças a grande variedade de periféricos, tais como: um conversor digital-analógico, Unidade Central de Processamento, interface externa, pinos de entrada e saída, entre outros.

As principais características do eZdsp™ F28335 são:

- Tecnologia CMOS Estática de alto desempenho;
- Frequência de operação de 150Mhz (ciclo de clock 6,67ns);
- Baixo consumo de energia (Consumo do processador: 1.8-1.9V, Dispositivos de entrada e saída: 3.3V);
- Chip com unidade de ponto flutuante de 32 bits (FPU).
- Memória RAM de 68K bytes.
- Memória Flash de 256K x 16 bits-word.
- Memória SARAM 34K x 16 bits-word, sendo dividido em 8 blocos de 4K (de L0 à L7);
- Conversor Analógico para Digital de 12 bits com 16 canais de entrada.
- Linguagens de programação em C/C++ e Assembly.

O PWM é feito através de uma unidade específica no eZdsp chamada de ePWM (enhanced Pulse Width Modulator, em português Modulador aprimorado de largura de pulso). A unidade ou módulo ePWM é constituída de vários sub-módulos com recursos distintos que podem atuar em conjunto para realizar uma atividade desejada. O módulo ePWM representa um PWM completo compostos por duas saídas denominada de: ePWMxA e ePWMxB, no qual o “x” é utilizado pra representar um exemplo genérico de ePWM, onde cada ePWM é indicado por um valor numérico como por exemplo: ePWM1, ePWM2, ..., ePWMx.

Em um mesmo dispositivo DSP podemos ter vários módulos ePWM interligados entre si, no DSP 28335 temos seis módulos ePWM., que estão ligados através de um esquema de sincronização de relógio, o que permite operar como um único sistema quando for necessário.

O sinal triangular é gerado por essa unidade, construído através de contagens de subida e descida realizadas pelos registradores da unidade. Para mais detalhes, consultar o *ePWM Reference Guide*, criado pelo Texas Instruments.

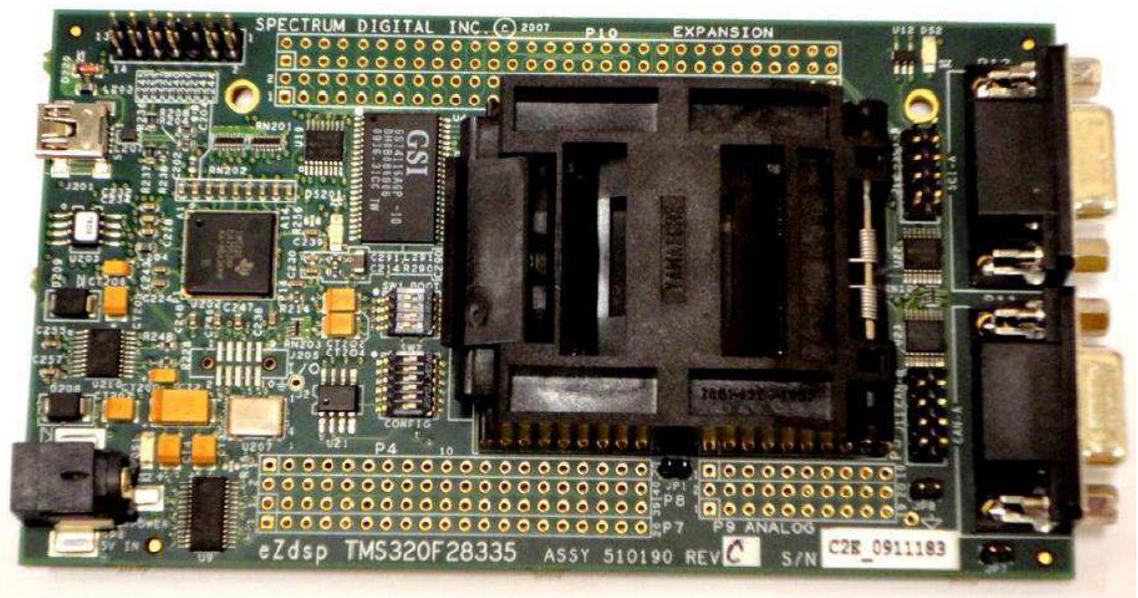


Figura 15 - eZdsp TM320F28335

### 3.6 PROGRAMA

Utilizando o programa *Code Composer Studio V3.3* foi implementado o programa na linguagem de programação C para controle das chaves via DSP. Será comentado somente o trecho do código para construção das referências, visto que os deslocamentos da portadora triangular, indicados na figura 7, tiveram que ser adaptados na implementação da estratégia de geração dos sinais PWM através do módulo ePWM. Cada módulo ePWM possui um contador up/down, que gera uma portadora triangular que varia de 0 até um valor pré-definido, para implementar as mudanças de nível da portadora, no DSP, estas foram geradas a partir do deslocamento das ondas modulantes, sendo os sinais PWM resultantes dessa adaptação, equivalentes aqueles obtidos através

do deslocamento da portadora triangular. O programa completo estará em anexo no final do relatório.

```
//Definindo o valor de teta
teta1 = teta1 + ws*h;

    if (teta1 > 2*pi){
        teta1 = teta1 - 2*pi;
    }

vref = 15000*sin(teta1) + 7500;
v2ref = 28000*sin(teta1);

//portadora 1
if(vref < 0)
    v1 = 0;
    else v1 = vref;

//portadora 2
if(teta1 <= pi/6)
    v2 = -vref + 15000;

if (teta1 >= pi/6 && teta1 <= 5*pi/6)
    v2 = v2ref - 14000;

if (teta1 >= 5*pi/6 && teta1 <= 7*pi/6)
    v2 = -vref + 15000;

if (teta1 >= 7*pi/6 && teta1 <= 11*pi/6)
    v2 = v2ref + 28000;

if (teta1 >= 11*pi/6)
    v2 = -vref + 15000;
```

No primeiro trecho foi definida uma variável **teta1** a qual varia de  $0^\circ$  à  $360^\circ$ . Logo após definir essa variável, foi colocado uma condição para que **teta** nunca ultrapassasse  $360^\circ$ , já que  $0^\circ = 360^\circ$ , isso foi feito somente por comodidade.

A portadora triangular é gerada através de contagens realizadas pelo DSP, sendo assim, não foi possível modificar as portadoras para que se adequassem as referências anteriormente mostradas. Sendo assim, para a referência 1, foi especificada uma condição para quando a função seno fosse menor do que 0, a mesma permaneceria com o valor 0 pois caso a variável **v1** assumisse valores negativos, o registrador responsável por armazenar essa variável daria um valor diferente do valor real da variável, visto que valores negativos são atribuídos nos registradores de acordo com a regra do complemento de 2. Para a referência 2, o sinal senoidal foi dividido em regiões, conforme a Figura 16, para que possam ser deslocadas de forma a simular os níveis DC indicados na idéia inicial da comparação apresenta anteriormente.

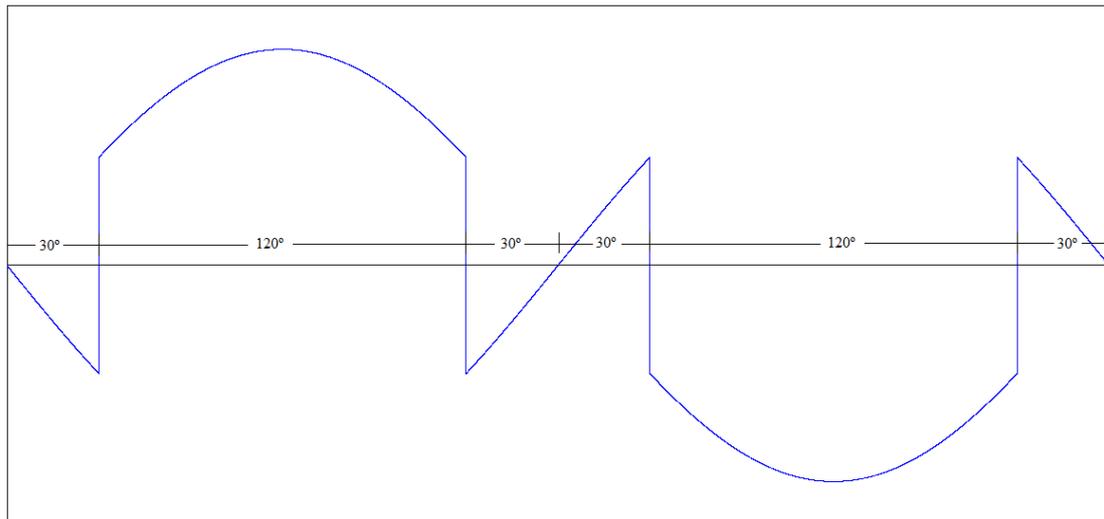


Figura 16 - Referência 2 dividida em 6 regiões

As portadoras 1 e 2 acabaram se tornando iguais pois é feita automaticamente pelo DSP. Para atingir a frequência desejada de 5kHz, é necessário fazer uma conta simples, que é:

$$\text{Total da contagem de Clock} = \frac{\text{Frequência do Clock do DSP}}{\text{Frequência desejada}}$$

sabendo que a frequência do DSP é de 150Mhz, ou seja:

$$\text{Total da contagem de Clock} = 30000$$

Como a portadora é uma onda triangular simétrica, então teremos 15000 contagens de Clock na subida e 15000 contagens de Clock na descida, de acordo com a Figura 17.

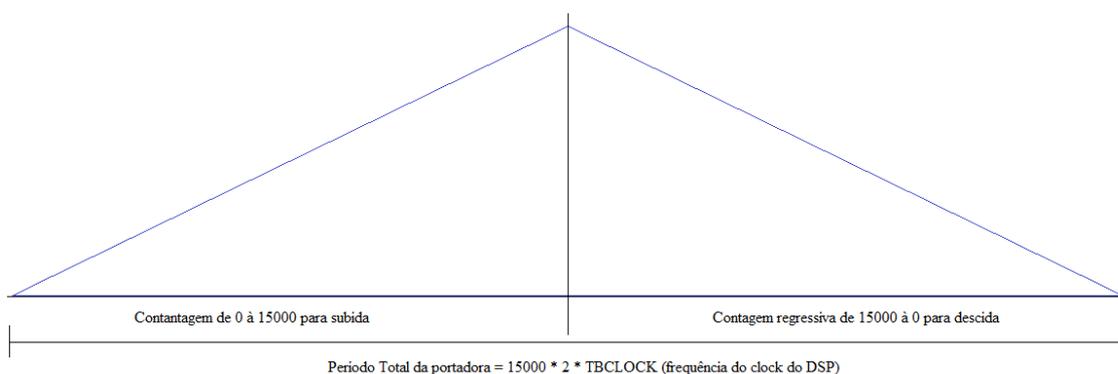


Figura 17 - Ilustração do período da portadora

Dessa forma, a Figura 18 mostra a seguinte forma de onda obtida para as referências 1 e 2.

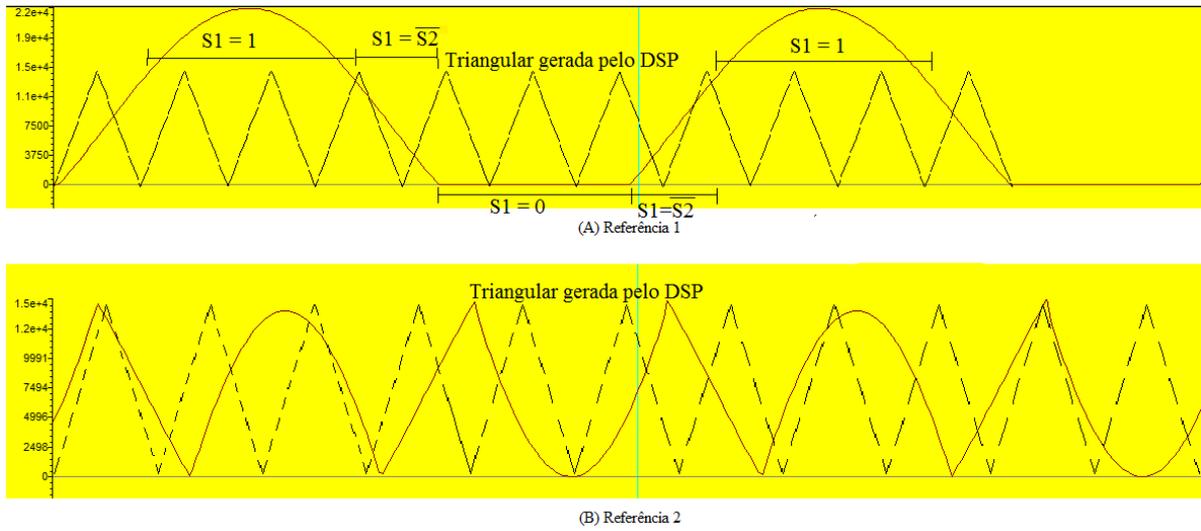


Figura 18 - Tela dos gráficos gerado pelo Code Composer em comparação com a triangular gerada pelo DSP, (A) Gráfico da referência 1 e (B) Gráfico da referência 2

## 4 RESULTADOS OBTIDOS

Após ter discutido todo o projeto realizado durante o período de estágio, a seguir será mostrado os resultados da implementação do controle para o inversor de 4 níveis realizado no DSP com os seguintes configurações:

- Frequência fundamental (Referência 1 e 2): 60 Hz.
- Frequência da triangular (Portadora): 5k Hz.

A Figura 19 ilustra o sinal de comando da chave S1, e a Figura 20, o sinal de comando da chave S2.

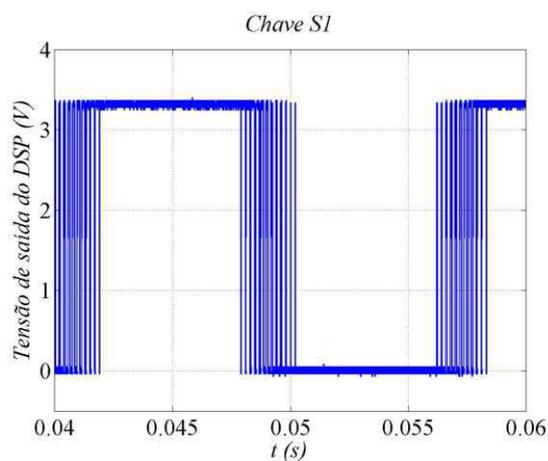


Figura 19 - Sinal de controle da chave S1

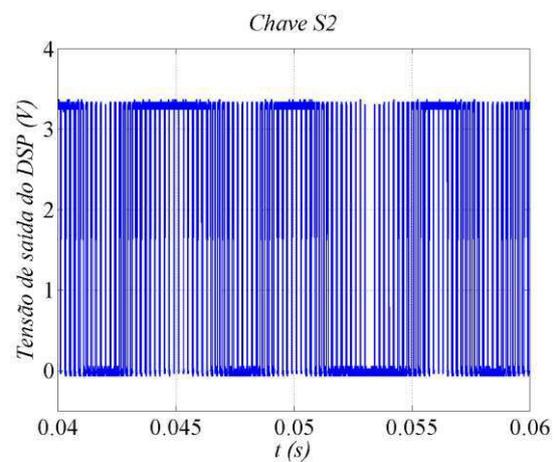


Figura 20 - Sinal de controle da Chave S2

Para melhor visualização do resultado, foi feito um zoom de forma que apresente somente um período do sinal. Desta forma, a Figura 21 e 22 mostram, respectivamente, o sinal de controle da chave S1 e S2.

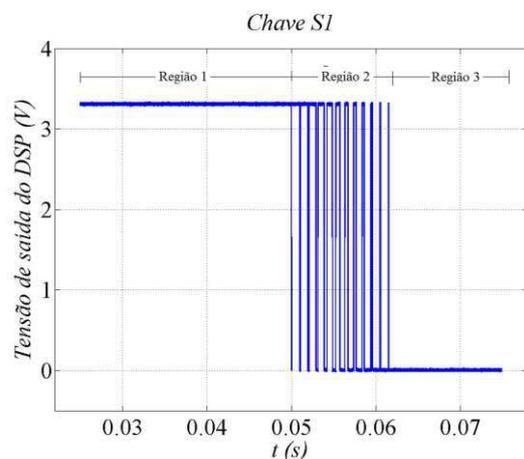


Figura 21 - Período do sinal de controle da chave S1

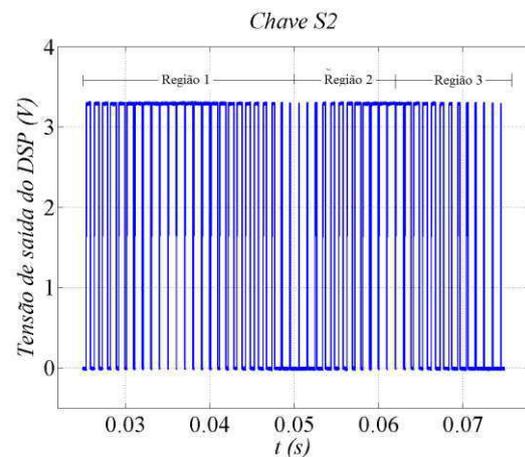


Figura 22 - Período do sinal de controle da chave S2

Foi feita uma divisão do gráfico em três regiões para tornar mais fácil a comparação do resultado real com as simulações obtidas. As Figuras 23 e 24 mostram o zoom da região 1, as Figuras 25 e 26 o zoom da região 2 e as Figuras 27 e 28 o zoom da região 3 das chaves S1 e S2, respectivamente.

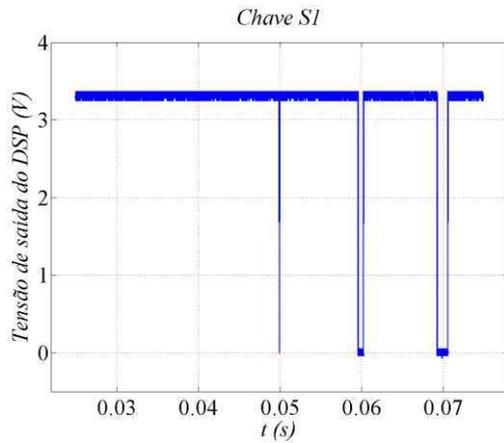


Figura 23 - Amostra da Região 1 para chave S1

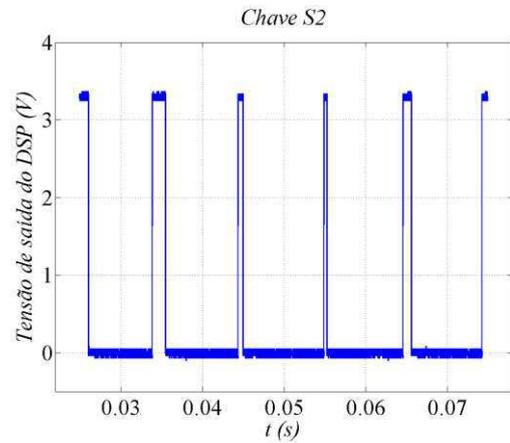


Figura 24 - Amostra da Região 1 para chave S2

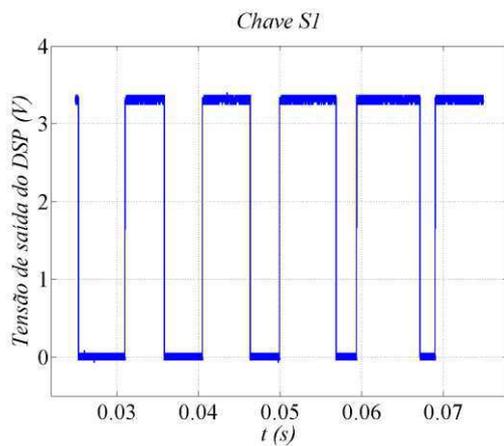


Figura 25 - Amostra da Região 2 para chave S1

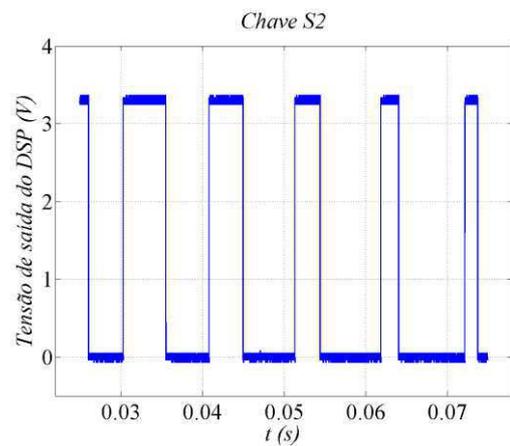


Figura 26 - Amostra da Região 2 para chave S2

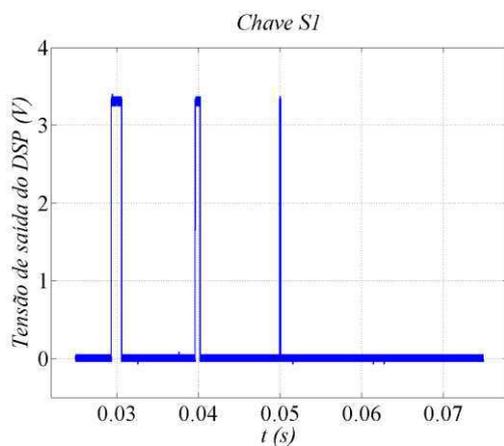


Figura 27 - Amostra da Região 3 para chave S1

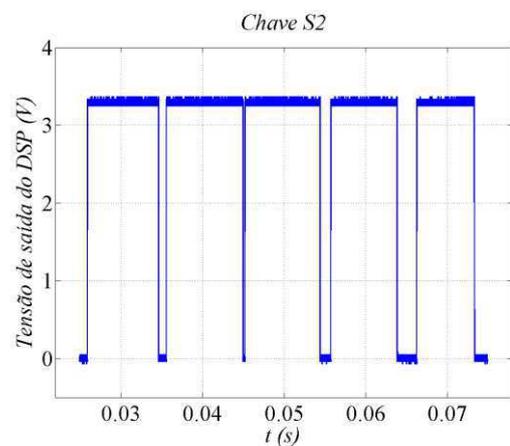


Figura 28 - Amostra da Região 3 para chave S2

Através dos resultados mostrado aqui, é possível perceber que os sinais obtidos pelo DSP são idênticos aos sinais da simulação. A chave S1 se comporta exatamente como planejado, se mantendo no primeiro momento somente em nível alto, depois apresenta uma variação contínua do nível alto para nível baixo e vice-versa e no último momento permanece sempre no nível baixo e logo após volta para o estado de variação contínua completando o período do sinal, essa sequência garante a transição suave entre os níveis de tensão  $+VDC/2$  para  $-VDC/2$ , garantindo o formato senoidal à média do sinal de tensão. A chave 2 permanece sempre variando de estado, de forma que, no momento da Região 2, seja o complemento da chave S1, ou seja,  $S2 = \overline{S1}$ . Dessa forma, pode-se garantir o pleno funcionamento da técnica proposta.

## 5 CONCLUSÃO

Foi introduzido nesse trabalho alguns inversores multi-níveis que estão sendo bastante estudados no mundo atualmente, já que há várias vantagens para se usar um inversor multi-nível do que um inversor convencional.

Foi implementado, via DSP, o controle de um inversor de 4 níveis, no qual foi criado modificando a configuração básica da topologia de inversores com capacitor flutuante. Mostrou-se todo o estudo e desenvolvimento desse inversor, mostrando o resultado via simulação, utilizando o software *PSIM 9.0*. Esse inversor apresenta uma grande vantagem em comparação à configuração básica da topologia com capacitores flutuantes que é o fato não haver preocupação com o balanço de tensão no capacitor, que é o principal elemento desta topologia para geração dos níveis de tensão, e graças isso, pode operar com qualquer fator de potência na carga. Além disso, apresenta um nível a mais que a configuração básica, diminuindo os harmônicos na saída.

Infelizmente não foi possível a implementação física do inversor por causa falta de tempo mas, comparando os sinais obtidos nos resultados com os dados adquiridos nas simulações, provavelmente esse controle terá sucesso em operar o inversor real.

Sendo assim, o próximo trabalho a ser realizado é a montagem física do inversor e teste de funcionamento e análise de harmônicos na saída.

## BIBLIOGRAFIA

RASHID, M. H.. Eletrônica de Potência: Circuitos, Dispositivos e Aplicações. Segunda Edição. Prentice-Hall, Inc, 1993, p. 436-497.

eZdsp™ F28335 Technical Reference, Spectrum Digital Inc., 2007.

TMS320x2833x, 2823x Enhanced Pulse Width Modulator (ePWM) Module Reference Guide, Texas Instruments, 2007.

TMS320F28335 Digital Signal Controller Data Manual, Texas Instruments, 2007.

LEE, S.; KANG D.; LEE, Y.; HYUN, D.; The carrier-based PWM method for voltage balance of flying capacitor multilevel inverter. *Power Electronics Specialists Conference*, Vancouver, v. 1, p. 126–131, 2001.

WU, Bin. High-power converters and AC drives. Hoboken: IEEE Press, 2006. 333 pp.

HUANG, J.; CORZINE, K.A.; Extended Operation of Flying Capacitor Multilevel Inverters. *IEEE Transactions on power electronics*, v. 21, p. 140-147, 2006.

RUDERMAN, A.; REZNIKOV, B.; MARGALIOT, M.; Analysis of a Flying Capacitor Converter: A Switched Systems Approach. *Int. J. Circuit Theory Applications*, to appear.

RUDERMAN, A.; REZNIKOV, B.; MARGALIOT, M.; Simple analysis of a flying capacitor converter voltage balance dynamics for DC modulation. *Power Electronics and Motion Control Conference*, Poznan, p. 260-267, 2008.

MEYNARD, T. A.; FOCG, H.; Multi-level conversion: high voltage choppers and voltage-source inverters. *Proc. IEEE Power Electronics Specialist Conf.*, pp. 397–403, 1992.

MEYNARD, T. A.; FOCG, H.; THOMAS, P.; COURAULT, J.; JAKOB, R.; NAHRSTAEDT, M.; Multicell converters: basic concepts and industry applications. *IEEE Trans. Ind. Electron.*, vol. 49, no. 5, pp. 955–964, 2002.

## ANEXO

```

// Universidade Federal de Campina Grande
// Centro de Engenharia Elétrica e Informática
// Departamento de Engenharia Elétrica
//
// Programa do controle de chaves do inversor de 4 níveis

#include "DSP28x_Project.h"
#include "math.h"

//Inicializar o módulo Epwm
void InitEPwm1(void);

interrupt void adc_isr(void);

#define ws 377/60*60 //Definir a frequencia
#define h 0.0001
#define pi 3.1416
#define AM 512

//Variáveis Globais
float vref = 0., v2ref = 0., v1 = 0., v2 = 0.;
float v_v1ref[AM], v_v2ref[AM], v_vref[AM];
float teta1 = 0.;
int i =0;

Uint16 LoopCount;

void main(void)
{
// Step 1. Inicializar controle do sistema;
// PLL, WatchDog, enable Peripheral Clocks
  InitSysCtrl();

// Step 2. Inicializar GPIO:
  InitEPwm1Gpio();
  InitEPwm2Gpio();
  InitEPwm3Gpio();
  InitEPwm4Gpio();
  InitEPwm5Gpio();
  InitEPwm6Gpio();

// Step 3. Limpar o barramento e o vetor de interrupções;
  DINT;

  InitPieCtrl();

  IER = 0x0000;
  IFR = 0x0000;

  InitPieVectTable();

  EALLOW;
  PieVectTable.ADCINT = &adc_isr;
  EDIS;

  EALLOW;
  SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 0;

```

```

EDIS;
// Step 4. Inicializar módulos Periféricos

InitAdc();

InitEPwm1();
InitEPwm2();
InitEPwm3();
InitEPwm4();
InitEPwm5();
InitEPwm6();

EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;

IER = 0xffff;

// Step 5. Habilitar Interrupções

PieCtrlRegs.PIECTRL.bit.ENPIE = 1;
PieCtrlRegs.PIEIER1.bit.INTx6 = 1;

LoopCount = 0;

EINT;
ERTM;

// Configura ADC
AdcRegs.ADCMAXCONV.all = 0x0003;
AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x3;
AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x2;
AdcRegs.ADCTRL2.bit.EPWM_SOCA_SEQ1 = 1;
AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;

// Step 6. Loop
for(;;)
{
    LoopCount++;
    asm("    NOP");
}

}

interrupt void adc_isr(void)
{
    //Definindo o valor de teta
    teta1 = teta1 + ws*h;

    if (teta1 > 2*pi){
        teta1 = teta1 - 2*pi;
    }

    vref = 15000*sin(teta1) + 7500;
    v2ref = 28000*sin(teta1);

    //portadora 1
    if(vref < 0)
        v1 = 0;
    else v1 = vref;
}

```

```

//portadora 2
if(teta1 <= pi/6)
    v2 = -vref + 15000;

if (teta1 >= pi/6 && teta1 <= 5*pi/6)
    v2 = v2ref - 14000;

if (teta1 >= 5*pi/6 && teta1 <= 7*pi/6)
    v2 = -vref + 15000;

if (teta1 >= 7*pi/6 && teta1 <= 11*pi/6)
    v2 = v2ref + 28000;

if (teta1 >= 11*pi/6)
    v2 = -vref + 15000;

v_v1ref[i] = v1;
v_v2ref[i] = v2;
v_vref[i] = vref;

if (i < AM-1)
    i = i + 1;
else
    i = 0;

//Definições do CMPA e CMPB
EPwm1Regs.CMPA.half.CMPA = v1;
EPwm1Regs.CMPB = v2;

// Reinitialize for next ADC sequence
AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1;    // Reset SEQ1
AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1;  // Clear INT SEQ1 bit
PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // Acknowledge interrupt to PIE

return;
}

void InitEPwm1()
{
    // Setup TBCLK
    EPwm1Regs.TBPRD = 15000;    // contagem de subida e descida
    EPwm1Regs.TBPHS.half.TBPHS = 0x0000;    // fase = 0
    EPwm1Regs.TBCTR = 0x0000;

    // Configuração da portadora
    EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Contagem no modo de
subida e descida
    EPwm1Regs.TBCTL.bit.PHSEN = TB_DISABLE;    // fase 0
    EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
    EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    // Modo sombra
    EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO;

    //Definição do estado do IGBT
    EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR;
    EPwm1Regs.AQCTLA.bit.CAD = AQ_SET;

```

```
EPwm1Regs.AQCTLB.bit.CBU = AQ_CLEAR;  
EPwm1Regs.AQCTLB.bit.CBD = AQ_SET;
```

```
EPwm1Regs.ETSEL.bit.SOCAEN = 1;  
EPwm1Regs.ETSEL.bit.SOCASEL = 4;  
EPwm1Regs.ETPS.bit.SOCAPRD = 1;
```

```
}
```