



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE

---

Centro de Engenharia Elétrica e Informática  
Departamento de Engenharia Elétrica

Daniel Cardoso de Morais

## **Relatório do Estágio Supervisionado Realizado no Laboratório de Arquiteturas Dedicadas (LAD)**

Campina Grande  
Julho de 2012

**Universidade Federal de Campina Grande**  
**Departamento de Engenharia Elétrica**

Daniel Cardoso de Moraes

## **Relatório do Estágio Supervisionado Realizado no Laboratório de Arquiteturas Dedicadas (LAD)**

Relatório de Estágio Supervisionado, apresentado à Coordenação de Estágios de Engenharia Elétrica da Universidade Federal de Campina Grande, em cumprimento parcial às exigências para obtenção do título de engenheiro eletricista.

Orientador:

Prof. Dr. Marcos Ricardo Alcântara Moraes

Campina Grande  
Julho de 2012

**Universidade Federal de Campina Grande**  
**Departamento de Engenharia Elétrica**

Daniel Cardoso de Moraes

## **Relatório do Estágio Supervisionado Realizado no Laboratório de Arquiteturas Dedicadas (LAD)**

Relatório de Estágio Supervisionado, apresentado à Coordenação de Estágios de Engenharia Elétrica da Universidade Federal de Campina Grande, em cumprimento parcial às exigências para obtenção do título de engenheiro eletricista.

Data de Aprovação:

24 de Julho de 2012

Banca Examinadora:

---

Prof. Dr. Alexandre Cunha Oliveira  
Universidade Federal de Campina Grande

---

Prof. Dr. Marcos Ricardo Alcântara Moraes  
Universidade Federal de Campina Grande

Campina Grande  
Julho de 2012

# Agradecimentos

Agradeço aos professores Elmar Uwe Kurt Melcher, Joseana Macêdo Fachine e Roberto Medeiros de Faria que administram o Laboratório de Arquiteturas Dedicadas (LAD) por me permitir realizar o estágio no laboratório. Agradeço também pela aprendizagem e conhecimento que eles me proporcionaram ao longo destes dois anos que passei no laboratório.

A toda a equipe que faz parte do LAD, com quem convivi e passei varias noites e fins de semana em claro para a conclusão dos projetos nas datas estabelecidas.

Aos professores do Departamento de Engenharia Elétrica, por ter me dado toda a base profissional que me proporcionaram o desenvolvimento deste trabalho e dos futuros que viram. Em especial ao professor Marcos Ricardo Alcântara Moraes por ter me orientado neste trabalho e com quem aprendi bastante.

Aos funcionários do Departamento de Engenharia Elétrica que sempre nos incentivaram e apoiaram.

# Glossário

**DM:** Decisão (em inglês *Decision Maker* - responsável por decidir se o locutor é Aceito, Rejeitado ou Desconhecido).

**FIR:** Filtro de Impulso Finito, em inglês *Finite Impulse Response* - é um filtro cuja resposta ao impulso é de duração finita.

**GPIO:** Entrada e saída de propósito geral, em inglês *General Purpose Input/Output* - pinos entrada e saída utilizados para propósitos gerais.

**LPCA:** Análise de Codificação de Predição Linear, em inglês *Linear Prediction Coding Analysis* - responsável por calcular os coeficientes utilizados na comparação com os obtidos em treinamento.

**MSE:** Erro Médio Quadrático, em inglês *Mean Square Error* - método estático utilizado para comparar um valor com um valor adotado como referência.

**PCB:** Placa de Circuito Impresso, em inglês *Printed Circuit Board* - placa utilizada para desenhar trilhas condutoras que representam o circuito onde são fixados os componentes eletrônicos.

**PE:** Pré-ênfase, em inglês *Pre-emphasis* - responsável por atenuar nos componentes de sinal de baixa frequência do sinal de áudio.

**PM:** Verificador de Padrão, em inglês *Pattern Matching* - responsável por calcular a diferença entre os dados obtidos na verificação e os obtidos em treinamento.

**RTL:** Nível de Transferência de Registradores, em inglês *Register Transfer Level* - a descrição da operação de um circuito síncrono digital.

**SPVR:** Identificador de Locutor, em inglês *Speak Verification* - sistema que realiza a identificação vocal de um locutor.

**VD:** Detector de Voz, em inglês *Voice Detector* - responsável por filtrar a parte desnecessária do áudio, como silêncio e ruído.

**WIN:** Janelamento, em inglês *Windowing* - responsável por dividir o sinal atenuado em blocos formados pelo processo de Janelamento de Hamming.

# Resumo

Este relatório descreve as atividades desenvolvidas no Laboratório de Arquiteturas Dedicadas (LAD) da Universidade Federal de Campina Grande. Foram desenvolvidas melhorias na placa demonstração do Identificador de Locutor (em inglês *Speak Verification*, SPVR), assim como teste no *chip* desenvolvido pelo laboratório. A placa de demonstração é implementada na DE2-70 da Altera. Os testes no chip foram feitos para medir o seu consumo e respostas a estímulos simples.

# Lista de Figuras

Figura 3.1 - Diagrama de blocos do SPVR. . . . .	3
Figura 3.2 - Regra para decisão tomada pelo módulo DM. . . . .	6
Figura 4.1 - Placa de desenvolvimento DE2-70 da Altera (ALTERA 2012). . . . .	9
Figura 4.2 - Placa do <i>codec</i> utilizada para captar o áudio para o SPVR. . . . .	9
Figura 4.3 - Teste de medição da corrente solicitada pelas entradas curto-circuitadas em nível lógico baixo. . . . .	12
Figura 4.4 - Teste de medição da corrente solicitada pelas entradas curto-circuitadas em nível lógico alto. . . . .	12
Figura 4.5 - Teste de medição da corrente solicitada pelas saídas curto-circuitadas em nível lógico baixo. . . . .	13
Figura 4.6 - Teste de medição da corrente solicitada pelas saídas curto-circuitadas em nível lógico alto. . . . .	13
Figura 4.7 - Teste de corrente de fuga para saídas em nível lógico alto. . . . .	14
Figura 4.8 - Teste de corrente de fuga para saídas em nível lógico baixo. . . . .	15
Figura 4.9 - Teste da queda de tensão de saída em nível lógico alto. . . . .	15
Figura 4.10 - Placa no qual o <i>chip</i> foi inserido para realizar os testes. . . . .	16
Figura 4.11 - Circuito completo utilizado para os teste no <i>chip</i> do SPVR. . . . .	17

# Lista de Tabelas

Tabela 3.1 - Hipótese gerada pelo SPVR. . . . .	7
Tabela 4.1 - Disposição dos pinos da GPIO. . . . .	10
Tabela 4.2 - Teste para a medição de consumo em <i>mA</i> . . . . .	14



# Sumário

<b>1</b>	<b>Introdução</b>	<b>1</b>
<b>2</b>	<b>Objetivos</b>	<b>2</b>
2.1	Objetivo Geral . . . . .	2
2.2	Objetivo Especifico . . . . .	2
<b>3</b>	<b>Referencial teórico</b>	<b>3</b>
3.1	Identificador de Locutor (SPVR) . . . . .	3
<b>4</b>	<b>Atividades desenvolvidas</b>	<b>8</b>
4.1	Placa de demonstração . . . . .	8
4.2	Testes no <i>chip</i> . . . . .	11
4.2.1	Teste de consumo . . . . .	11
4.2.2	Teste de resposta . . . . .	15
<b>5</b>	<b>Conclusão</b>	<b>18</b>
	<b>Referências Bibliográficas</b>	<b>19</b>

# 1 Introdução

Neste relatório estão descritas as atividades desempenhadas durante o estágio realizado no Laboratório de Arquiteturas Dedicadas (LAD), localizado no bloco CN da Universidade Federal de Campina Grande (UFCG), no período de Março a Maio de 2012.

O laboratório começou suas atividades no final da década de 1990, atualmente é composto por alunos de graduação, mestrado e doutorado dos cursos de Ciências da Computação e Engenharia Elétrica (LAD 2012). O LAD, desde 2003, é vinculado ao programa do governo federal Brazil Intellectual Property (Brazil-IP), que estimula o desenvolvimento de projetos de circuitos digitais e analógicos. Atualmente, o programa possui 16 universidades brasileiras: UFPE, UFCG, UFPA, UFC, UFRN, UFPB, UFMS, UFS, UNIFEI, UNICAMP, UNESP, UFSC, UNIPAMPA, UNIVALI, UFSM (WIKIPEDIA 2012). O LAD é responsável pela gerência técnica do programa e realização de treinamentos.

Através dessa parceria o laboratório já desenvolveu projetos de alto nível de complexidade, entre eles está o chip MPEG4 e o projeto do Identificador de Locutor (SPVR), os dois *chips* mais complexos desenvolvidos por universidades brasileiras. Ainda dentro do projeto foram desenvolvidos: decodificadores de MP3 (Unicamp); 8051 (UFPE); Sensor Biológico e de Imagens Médicas de Baixa Compressão (UFPB); Filtro para Processador Digital de Imagens (UNESP); entre outros.

O SPVR tem como objetivo a identificação de identidade vocal de um locutor, ou seja, se ele é quem afirma ser. A verificação é feita comparando coeficientes extraídos em tempo real da sua voz com coeficientes obtidos durante a fase de treinamento (*codebook*). O projeto teve início em 2009, quando iniciou-se as suas especificações, e atualmente encontra-se na fase de testes do *chip*.

## 2 Objetivos

### 2.1 Objetivo Geral

O objetivo deste trabalho é preparar a placa de demonstração para o recebimento da PCB do *chip* do SPVR. Após o recebimento do *chip*, é importante realizar testes de validação e consumo de energia.

### 2.2 Objetivo Especifico

A placa de demonstração para o chip é baseada na placa de demonstração do código do Nível de Transferência de Registradores (RTL). Entretanto algumas alterações devem ser realizadas:

- Modulação lógica: o arquivo principal dos códigos da placa de demonstração possui mais de 1000 linhas de código. Este arquivo desse ser compactado através de modulação lógica em arquivos separados.
- Mudança da entrada de áudio: modificar a entrada de som para utilizar a entrada de áudio existente na DE2-70.
- Preparar a demo para treinamento: a placa DE2-70 deve ser adaptada para capturar WAVs e passa-los para o computador.

## 3 Referencial teórico

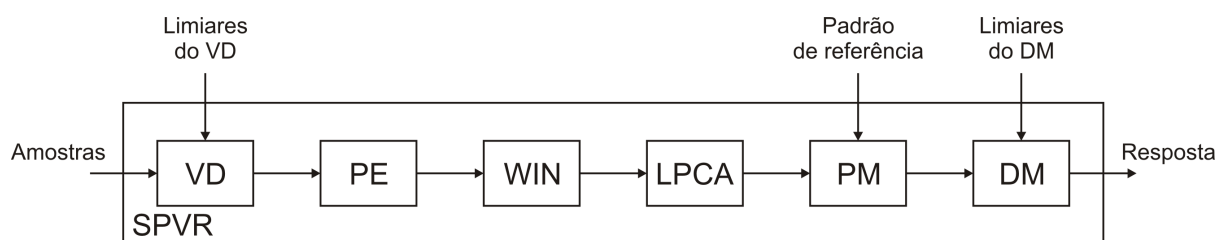
### 3.1 Identificador de Locutor (SPVR)

O SPVR foi um projeto do Laboratório de Arquiteturas Dedicadas vinculado ao programa Brazil-IP. Ele surgiu com base nos trabalhos da dissertação de mestrado (FECHINE 2000) e da tese de doutorado (FECHINE 1994) da professora Dra. Joseana Macêdo Fachine. O projeto tinha como objetivo realizar a identificação de um locutor a partir dos padrões de referência durante a fase de treinamento.

Durante o treinamento, o locutor fala dez frases que são captadas pelo microfone e salvos no computador. Estas frases devem estar contidas em um único arquivo. A partir deste, são retirados padrões de fala utilizando *softwares* que implementam uma Análise de Codificação de Predição Linear (LPCA).

É importante que os meios de captação de voz utilizados no treinamento, sejam os mesmos utilizados para a verificação, para evitar diferenças na codificação da voz. O SPVR utiliza um circuito auxiliar para a captação de áudio. Assim, pode-se utilizar o mesmo circuito na fase de treinamento e verificação.

O SPVR é dividido em seis blocos, mostrados na Figura 3.1, que são: o Detector de Voz (VD), Pré-ênfase (PE), Janelamento (WIN), Análise de Codificação de Predição Linear (LPCA), Verificador de Padrão (PM) e Decisão (DM).



**Figura 3.1** – Diagrama de blocos do SPVR.

O VD é utilizado para filtrar a parte desnecessária do áudio. Por exemplo, partes do som que apresentam apenas ruídos e não sons de voz. A partir dos limiares, recebidos externamente,

o módulo filtra o sinal, extraindo o sinal de voz e eliminando o ruído. Ao detectar sinais de voz, ele guarda 55 amostras para então transferi-los para o próximo módulo.

No PE, o sinal de voz passa por um Filtro de Impulso Finito (FIR) de primeira ordem antes de prosseguir para o próximo módulo. A finalidade deste filtro é atenuar os componentes de sinal de baixa frequência; e minimizar os efeitos de radiações dos lábios e variação da área da glote (PEGORARO 2000). O filtro implementado no SPVR é descrito na Equação 3.1, onde  $S_{pre}$  é o sinal de voz após a pré-ênfase;  $s$  sinal de voz original e  $\alpha$  é o coeficiente de pré-ênfase, 0,9375.

$$S_{pre} = s(n) - \alpha s(n - 1) \quad (3.1)$$

O WIN recebe o sinal do PE e divide, em blocos formados pelo processo de Janelamento de Hamming. A Equação 3.2 descreve o janelamento utilizado no SPVR, onde  $n$  é o número de amostras e  $WIN\_SIZE$  o tamanho da janela (220).

$$W(n) = 0,54 - 0,46 * \cos\left(\frac{2 * \pi * n}{WIN\_SIZE - 1}\right) \quad (3.2)$$

Os coeficientes calculados pelo LPCA são únicos para cada pessoa, podendo ser utilizados para determinar se a pessoa é quem diz ser (FECHINE 1994). O LPCA calcula 12 coeficientes para cada amostra recebida do WIN. Sendo  $A$  o vetor de coeficientes do LPC, como mostrado na Equação 3.3.

$$A = \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ \vdots \\ a_{12} \end{bmatrix} \quad (3.3)$$

Considere que os coeficientes de autocorrelação são dados pela Equação 3.4, onde  $vs(n)$  é a  $n$ ésima amostra,  $K$  é o número de coeficientes (12) e  $N$  é o tamanho da janela (220).

$$r(k) = \sum_{n=0}^{N-K-1} vs(n) * vs(n + K) \quad (3.4)$$

Assim, pode-se montar a matriz dos coeficientes de autocorrelação mostrada na Equação 3.5.

$$T = \begin{bmatrix} r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) & r(8) & r(9) & r(10) & r(11) & r(12) \\ r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) & r(8) & r(9) & r(10) & r(11) \\ r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) & r(8) & r(9) & r(10) \\ r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) & r(8) & r(9) \\ r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) & r(8) \\ r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) & r(7) \\ r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) & r(6) \\ r(8) & r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) & r(5) \\ r(9) & r(8) & r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) & r(4) \\ r(10) & r(9) & r(8) & r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) & r(3) \\ r(11) & r(10) & r(9) & r(8) & r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) & r(2) \\ r(12) & r(11) & r(10) & r(9) & r(8) & r(7) & r(6) & r(5) & r(4) & r(3) & r(2) & r(1) \end{bmatrix} \quad (3.5)$$

Desta forma os coeficientes calculados pelo LPCA são determinados ao resolver o sistema da Equação 3.6.

$$TA = \begin{bmatrix} r_1 \\ r_2 \\ r_3 \\ \vdots \\ r_{12} \end{bmatrix} \quad (3.6)$$

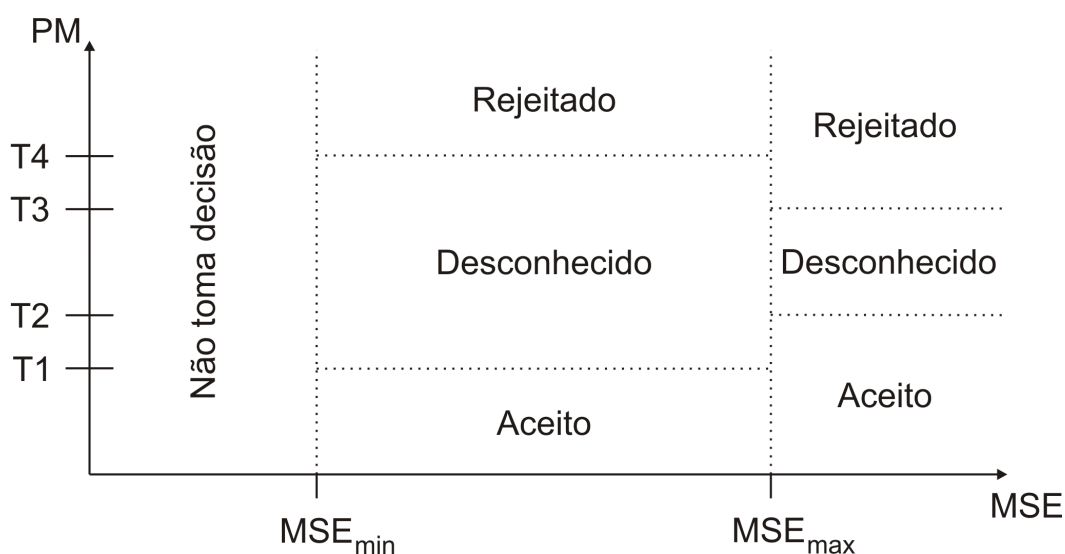
O módulo PM recebe uma sequência de 64 elementos contendo 12 coeficientes como o padrão de referência (em inglês *codebook*) obtido durante o treinamento. O padrão de referência recebido pelo PM é descrito na Equação 3.7, onde  $LPC$  é cada coeficiente recebido e  $0 \leq i \leq 64$ .

$$CBLPC_i = \begin{bmatrix} LPC_1 \\ LPC_2 \\ LPC_3 \\ \vdots \\ LPC_{12} \end{bmatrix} \quad (3.7)$$

A Equação 3.8 é usada pelo PM para determinar o Erro Médio Quadrático (MSE) entre o padrão de referência e os coeficientes do LPCA. Lembrando que  $A$  é dado pela Equação 3.6 e  $K$  é o número de coeficientes (12).

$$MSE(A, CBLPC) = \frac{1}{K} \sum_{i=0}^{K-1} (|a_i - LPC_i|)^2 \quad (3.8)$$

O último módulo do SPVR é o DM, responsável por determinar se o locutor é quem ele diz que é ou não. Para isso, ele analisa os dados obtidos pelo PM e decide se o locutor será **Aceito**, **Rejeitado** ou **Desconhecido**. A decisão é tomada com base nas regras da Figura 3.2, onde **T1**, **T2**, **T3** e **T4** são limiares do DM,  $MSE_{min}$  o número mínimo de amostras para tomar uma decisão e  $MSE_{max}$  o número máximo.



**Figura 3.2** – Regra para decisão tomada pelo módulo DM.

Os primeiros 100 valores recebidos,  $MSE_{min}$ , nenhuma decisão é tomada, pois o DM considera que não recebeu informações suficientes para tomar a decisão. De  $MSE_{min}$  até  $MSE_{max}$ , se os valores recebidos estiverem abaixo de **T1** e acima de **T4**, o locutor é aceito e rejeitado, respectivamente. Caso se encontre entre estes limiares, o DM continua a receber os valores. Quando é atingido o número máximo de valores recebidos,  $MSE_{max}$ , o DM decide se o locutor é aceito, caso seja menor que **T2**; rejeitado, caso maior que **T3**; ou desconhecido, quando estiver entre **T2** e **T3**.

O resultado pode ser dado quando são atingidos 7 segundos ou recebidos 703 amostras e não é obtido nenhum resultado. Nestes casos, a resposta emitida é Desconhecido. O módulo recebe 100 amostras em média por segundo, portanto a resposta é emitida entre 1 e 7 segundos.

A resposta emitida pelo SPVR, chamada de Hipótese, utiliza dois bits para determinar se o locutor é **Aceito**, **Rejeitado** ou **Desconhecido**. A Hipótese é codificada conforme mostrado na Tabela 3.1.

**Tabela 3.1** – Hipótese gerada pelo SPVR.

Hipótese	Significado
0 0	Decisão não foi tomada
0 1	Aceito
1 0	Rejeitado
1 1	Desconhecido



## 4 Atividades desenvolvidas

Neste capítulo é apresentado o trabalho desenvolvido no Laboratório de Arquiteturas Dedicadas. Na seção 4.1, são apresentadas as adaptações realizadas no código da placa de desenvolvimento para o recebimento do *chip* do SPVR. Na seção 4.2, são apresentados os testes realizados para a validação do funcionamento do *chip*.

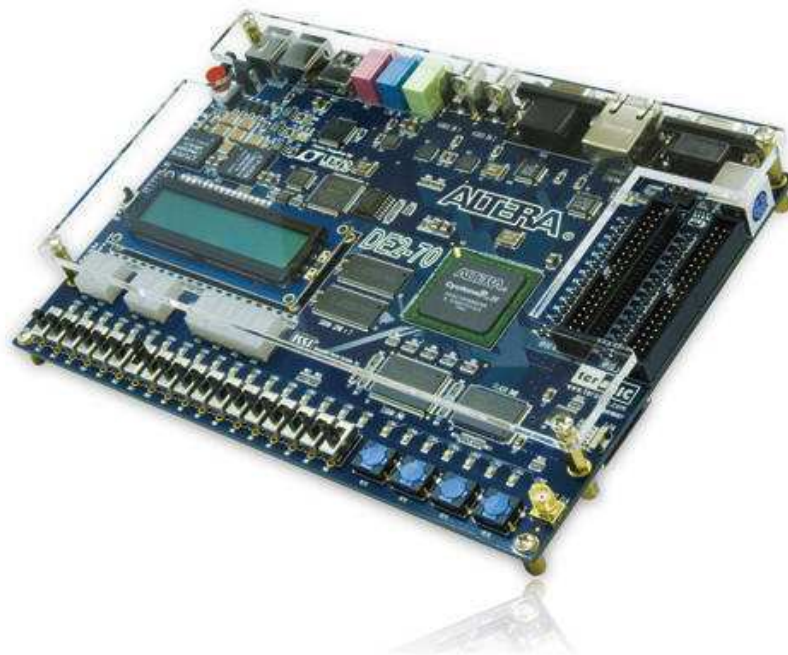
### 4.1 Placa de demonstração

O *chip* do SPVR é capaz de confirmar a identidade a partir de padrões de voz. Entretanto, para isso ele precisa que os sinais de voz sejam digitalizados, e os coeficientes *lhe* sejam re-passados. Para uso em demonstrações, estes processos são realizados utilizando uma placa de desenvolvimento DE2-70 da Altera, ilustrada na Figura 4.1. Esta placa já era utilizada para a demonstração do código em RTL do SPVR. Assim, foi decidido adapta-la para o recebimento do *chip*.

Algumas modificações foram necessárias para utilizá-la para receber o *chip*. A primeira foi à modulação lógica, pois o arquivo principal da placa possui mais de 1000 linhas de código. A segunda foi à mudança de entrada de áudio que era realizada a partir de uma placa auxiliar, acoplada a DE2-70. Por fim, a preparação da demo para o treinamento, com o intuito de diminuir a diferença entre os arquivos gerados no treinamento e os gerados pela placa.

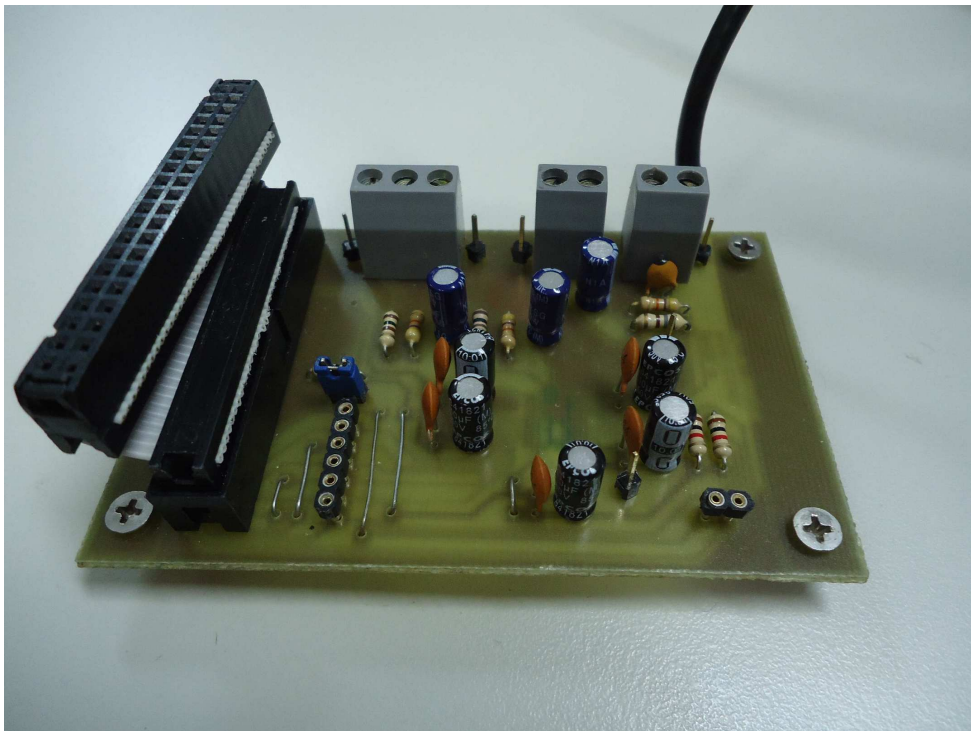
O arquivo principal da placa de demonstração estava muito extenso, possuindo vários módulos com funções distintas. Portanto, foram criados quatro arquivos para conter o gerador do *clock*, a interface de utilização do teclado, a interface de comunicação serial e a máquina de estados que fornece os dados necessários ao SPVR. O arquivo principal foi reduzido para 390 linhas ao final da subdivisão.

O SPVR necessita que *lhe* seja enviado os sinais de áudio para gerar a saída. Essa conversão era realizada por um *codec* externo à placa DE2-70, ver Figura 4.2. Após a digitalização, os dados eram transmitidos pelos pinos de Entrada e Saída de Propósito Geral (GPIO). Ao analisar



**Figura 4.1** – Placa de desenvolvimento DE2-70 da Altera (ALTERA 2012).

a placa da Altera, observou-se que essa possui o mesmo *codec* de áudio que a placa externa. Assim, removeu-se a placa externa e adaptou-se o código para o uso do circuito interno do *codec*.



**Figura 4.2** – Placa do *codec* utilizada para captar o áudio para o SPVR.

A DE2-70 possui 64 pinos de GPIO, a placa do *codec* utilizava 8 pinos e o SPVR necessita

de 57 pinos. Com a remoção da placa externa, os sinais de dados e controle foram preposicionados para funcionar com a Placa de Circuito Impresso (PCB), que encontra-se em desenvolvimento no laboratório. Assim a disposição dos pinos está mostrada na Tabela 4.1, onde são mostrados os pinos da porta paralela que fazem a interface da GPIO. Nem todos os pinos são utilizados, pois a placa de desenvolvimento possui alguns pinos dedicados à utilização de *clock*. O SPVR trabalha com 781,25 KHz e nessa frequência não existe diferença significativa entre os pinos dedicados e os de uso geral.

**Tabela 4.1** – *Disposição dos pinos da GPIO.*

Pino	GPIO 0	GPIO 1
2	thr_dm_7	thr_dm_6
4	thr_dm_ready	thr_dm_valid
5	hypothesis_out_valid	thr_dm_5
6	hypothesis_out_hypo_0	thr_dm_3
7	hypothesis_out_ready	reset
8	hypothesis_out_hypo_1	thr_dm_4
9	sample_in_valid	codebook_in_ready
10	sample_in_ready	thr_dm_1
13	codebook_value_9	thr_dm_0
14	thr_vd_7	thr_dm_2
15	codebook_in_valid	sample_value_1
16	codebook_value_10	sample_value_2
17	thr_vd_ready	sample_value_0
18	codebook_value_7	sample_value_15
20	codebook_value_0	sample_value_13
22	codebook_value_2	sample_value_14
23	thr_vd_valid	sample_value_12
24	clk	sample_value_11
25	thr_vd_2	sample_value_10
26	thr_vd_1	sample_value_9
27	thr_vd_0	sample_value_6
28	thr_vd_4	sample_value_8
31	thr_vd_3	sample_value_7
32	thr_vd_5	sample_value_5
33	thr_vd_6	codebook_value_1
34	sample_value_4	codebook_value_2
35	sample_value_3	–
36	codebook_value_5	–
37	codebook_value_4	–
38	codebook_value_6	–
39	codebook_value_8	–

Os treinamentos para obter os coeficientes, que são utilizados durante a verificação, eram realizados em um computador. Isto resulta em uma diferença entre os dados gerados pelo

computador e os dados gerados pelo *codec* de audio. Assim, para minimizar os erros decidiu-se utilizar os dados de audio do *codec* e repassar estes para o computador realizar o treinamento.

A forma de comunicação escolhida para a transmissão dos dados foi utilizando a porta paralela. O módulo que transmite os dados pela porta paralela para o computador foi implementado por Jorgeluz, integrante do laboratório e estudante do curso de engenharia elétrica. O dado de voz era transmitido para o computador e o SPVR ao mesmo tempo. Entretanto, esta não era uma forma eficaz, pois a transmissão era interrompida após o resultado emitido pelo *chip*, no máximo 8 segundos.

Para deixar a transmissão independente ao SPVR, este foi simulado para que o *codec* inicie a transmissão dos dados de voz. Esta simulação é iniciada ao colocar a chave 16 (nomeado na placa como SW[16]) em nível alto. A transmissão é finalizada ao colocar a chave em nível baixo, removendo o problema existente com o tempo.

## 4.2 Testes no *chip*

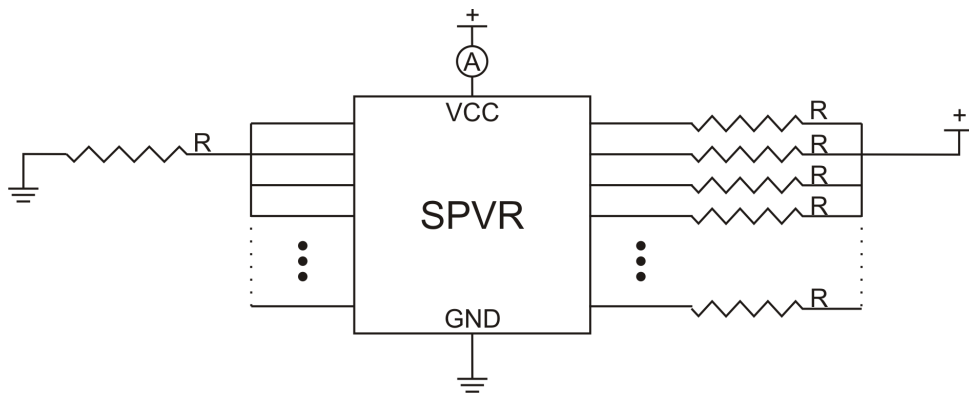
Os testes realizados no *chip* do SPVR são divididos em duas etapas: consumo e resposta a estímulos. O primeiro é descrito na seção 4.2.1, enquanto o segundo na seção 4.2.2.

### 4.2.1 Teste de consumo

Nesta seção são mostrados os testes realizados para validação de funcionamento do *chip* do SPVR. Os quatro primeiros testes realizam a medição da corrente solicitada para o funcionamento do *chip*. O quinto e o sexto teste medem corrente de fuga. Por último é medida a existência de condutividade entre as saídas do *chip*. Todos os testes foram feitos sob supervisão do professor Neves, que possui uma grande experiência nas realizações de testes em *chip*.

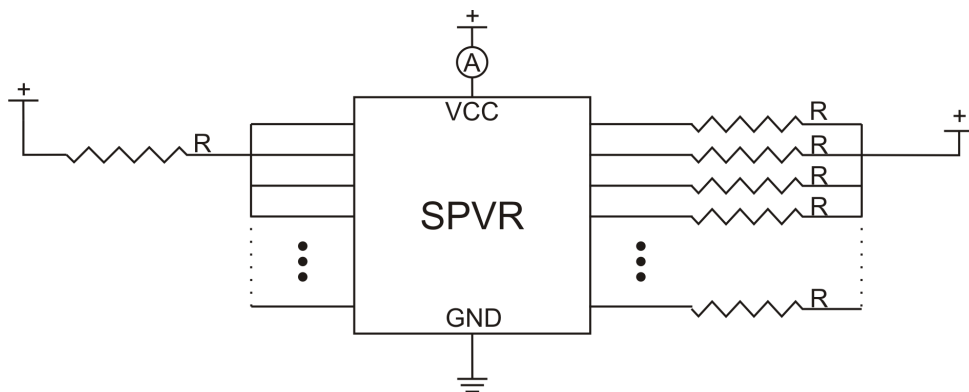
Os testes descritos aqui utilizam um amperímetro para realizar as suas medições. Para evitar que a tensão interna do amperímetro causasse uma sobre tensão nos terminais do *chip*, foi adicionado um diodo conectando os seus terminais, com o catodo ligado ao terminal negativo.

O primeiro teste foi feito como ilustra a Figura 4.3. O *chip* é alimentado com uma fonte de tensão com 3.3 V. Um amperímetro é ligado entre o conector positivo da fonte e o SPVR. As entradas são curto circuitadas e ligadas com um resistor de 10 K $\Omega$  ao terra do circuito. As saídas são conectadas a um resistor de 10 K $\Omega$  conectados à tensão positiva do circuito (*pull up*).



**Figura 4.3** – Teste de medição da corrente solicitada pelas entradas curto-circuitadas em nível lógico baixo.

O segundo teste é feito medindo a corrente solicitada pelas entradas curto circuitadas em nível lógico alto. Como mostra a Figura 4.4, as entradas são curto circuitadas e ligadas por um resistor de  $10\text{ K}\Omega$  à carga positiva fonte. As saídas são conectadas por um resistor de  $10\text{ K}\Omega$  à carga positiva fonte.

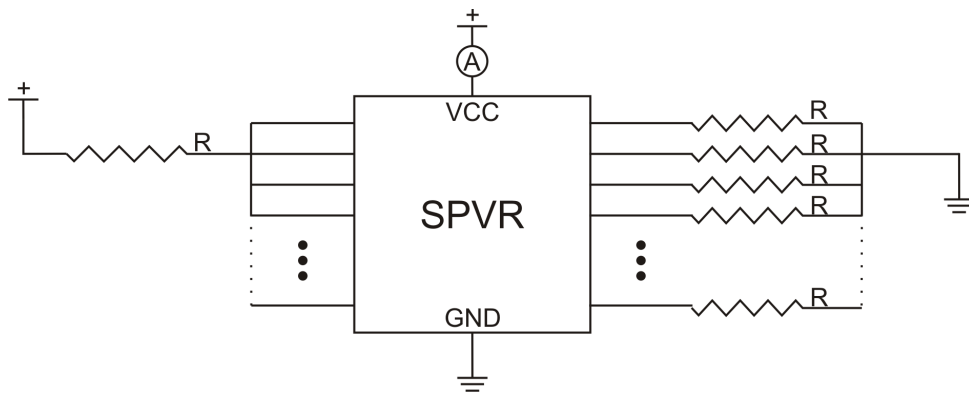


**Figura 4.4** – Teste de medição da corrente solicitada pelas entradas curto-circuitadas em nível lógico alto.

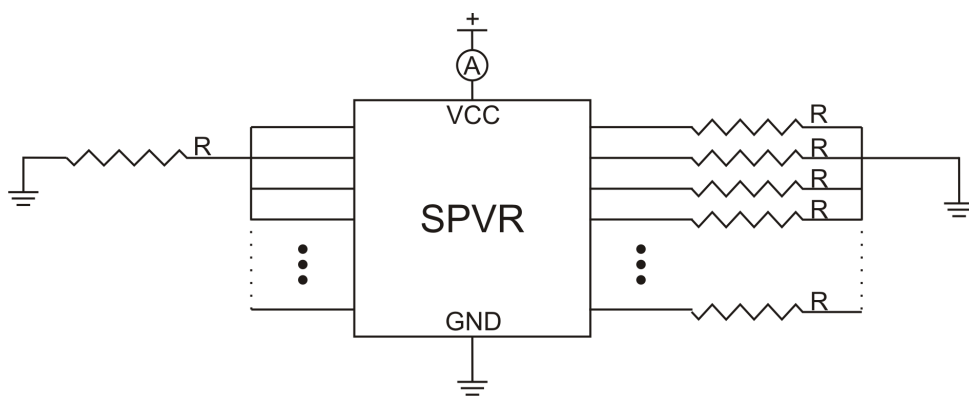
Em seguida é mantido o circuito anterior com alteração nas saídas, que estão conectadas a um resistor de  $10\text{ K}\Omega$  ligado ao terra do circuito (*pull down*). Este é o terceiro teste, mostrado na Figura 4.5.

O último teste de medição da corrente solicitada é feito conforme mostrado na Figura 4.6. As saídas são colocadas em *pull up* e as entradas são curto circuitadas e conectadas ao terra por um resistor de  $10\text{ K}\Omega$ .

Os testes descritos até aqui foram realizados em todos os *chips* que o laboratório possui. A Tabela 4.2 mostra todas as correntes, em *mA*, medidas pelo amperímetro durante os testes. Vê-se que quase todos os *chips* apresentaram aproximadamente o mesmo consumo, com exceção do décimo terceiro que possui um consumo inferior aos demais. Como os testes seguintes



**Figura 4.5** – Teste de medição da corrente solicitada pelas saídas curto-circuitadas em nível lógico baixo.



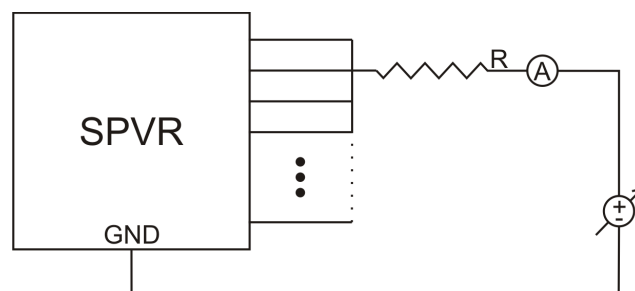
**Figura 4.6** – Teste de medição da corrente solicitada pelas saídas curto-circuitadas em nível lógico alto.

poderiam queimar o *chip*, foi escolhido o décimo sétimo *chip* para os próximos experimentos.

**Tabela 4.2** – Teste para a medição de consumo em mA.

Chip	Teste			
	1	2	3	4
1	4,96	5,05	5,41	5,41
2	4,90	4,89	4,88	5,88
3	4,75	4,72	5,04	5,03
4	4,85	4,84	5,16	5,16
5	4,79	4,82	5,09	5,09
6	4,70	4,70	4,99	5,00
7	4,76	4,77	4,91	4,95
8	4,81	4,81	5,13	5,08
9	4,87	4,89	5,25	5,26
10	4,75	4,75	5,10	5,05
11	5,25	5,20	5,24	5,14
12	4,75	4,96	5,06	4,96
13	3,32	3,30	3,63	3,58
14	4,65	4,65	4,97	5,00
15	4,70	4,72	5,03	5,03
16	4,68	4,70	5,01	5,02
17	4,95	4,94	5,06	5,88

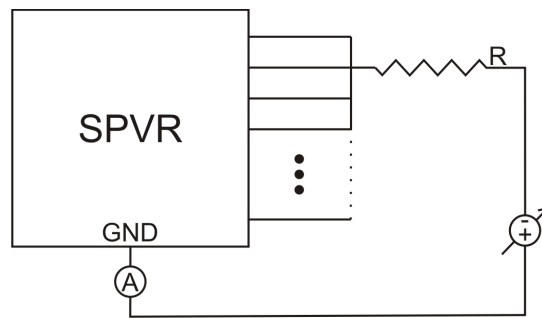
No quinto teste as saídas foram curto circuitadas e com um resistor de  $10\text{ K}\Omega$ , as mesmas foram conectadas a um amperímetro. Esse foi conectado ao terminal positivo de uma fonte variável de tensão, como mostra a Figura 4.7. A fonte foi variada gradativamente até atingir  $510\text{ mV}$ , quando constatou-se uma corrente de  $36\text{ nA}$  no amperímetro.



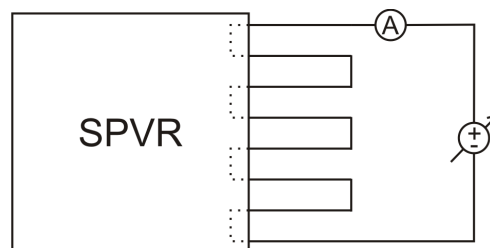
**Figura 4.7** – Teste de corrente de fuga para saídas em nível lógico alto.

A fonte variável de tensão é então invertida como mostra a Figura 4.8. A fonte é novamente variada gradativamente até atingir  $510\text{ mV}$  e observou-se uma corrente de  $67\text{ nA}$  no amperímetro.

O sétimo teste é realizado como mostrado na Figura 4.9. As saídas são curto circuitadas duas a duas e uma fonte de tensão variável é conectada a dois pinos de saída do *chip*. A fonte foi variada gradativamente até atingir  $700\text{ mV}$ , ao constatar uma corrente de  $1\text{ }\mu\text{A}$  no amperímetro.



**Figura 4.8** – Teste de corrente de fuga para saídas em nível lógico baixo.



**Figura 4.9** – Teste da queda de tensão de saída em nível lógico alto.

### 4.2.2 Teste de resposta

Os testes de validação devem obter resposta a estímulos simples ao *chip*. Para realizar os testes a placa DE2-70 será usada para gerar os estímulos e visualizar as respostas do *chip*. Uma placa provisória para que o *chip* fosse inserido, tornando possível a comunicação do chip com a DE2-70 foi montada como mostra a Figura 4.10. A comunicação é realizada utilizando cabos paralelos.

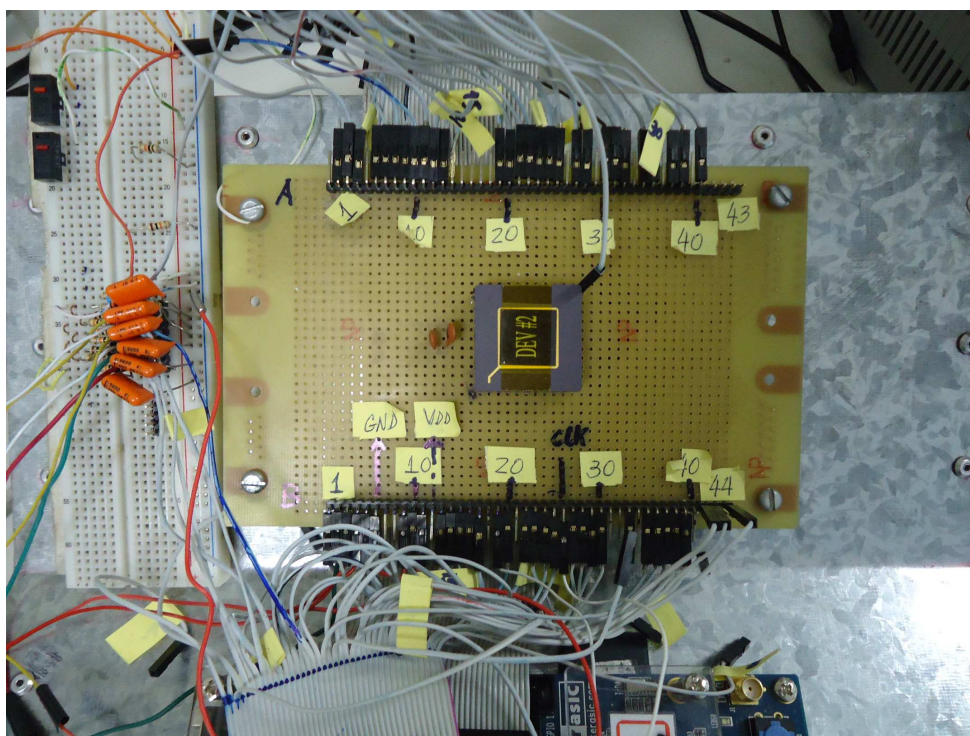
Para verificar se o *chip* responde à transmissão dos dados de voz, colocou-se o *sample\_in\_valid* em nível lógico alto. O *sample\_in\_ready* é normalmente nível lógico alto para indicar que está pronto para receber a transmissão. Assim, a resposta é verificada quando este sinal vai para nível lógico baixo.

Após receber os dados dos limiaries do DM, o SPVR tem até oito segundos para gerar uma resposta. Ao fazer o *thr\_dm\_valid* nível lógico alto, o *thr\_dm\_ready* irá para nível lógico baixo e em oito segundos uma resposta é dada. Como nenhum sinal de voz está sendo passado para o VD a resposta do SPVR deve ser "Desconhecido".

Os testes iniciais não conseguiram atingir nenhum resultado esperado. Então, ao analisar com o osciloscópio o sinal de alimentação, constatou-se que ele possuía uma tensão de *ripple* que gerava a flutuação dos sinais de saída. Por isto, foram adicionados dois capacitores de 10 nF ligados em paralelo aos pinos de alimentação do *chip*.

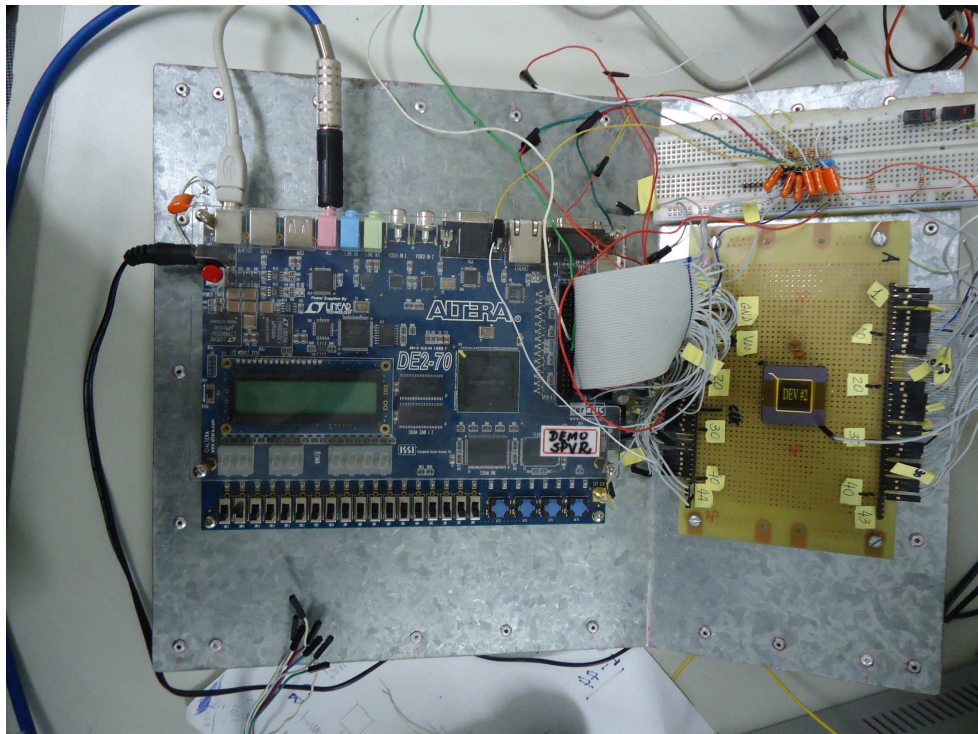
Os sinais de saída, entretanto, continuaram a apresentar uma tensão de *ripple* em seus ter-





**Figura 4.10** – Placa no qual o chip foi inserido para realizar os testes.

minais. Sugeriu-se o desligamento do clock do sistema, o que fez com que essa tensão desaparecesse. Para minimizar este efeito, foi aterrada a placa de metal utilizada como suporte, como mostra a Figura 4.11.



*Figura 4.11 – Circuito completo utilizado para os teste no chip do SPVR.*

## 5 Conclusão

Neste relatório foram descritas as atividades realizadas durante o estágio realizado no Laboratório de Arquiteturas Dedicadas da universidade Federal de Campina Grande. Foram desenvolvidos o aperfeiçoamento da placa de demonstração e os testes no *chip* do SPVR.

O código da placa de demonstração foi modulado, conforme sugerido nos objetivos do trabalho. A placa de áudio, que obtinha os sinais de som da voz do locutor, foi removida para dar espaço para inserção da PCB na DE2-70. Assim, a aquisição do áudio passou a ser realizada pela própria placa da Altera, tanto para a fase de treinamento quanto para a verificação.

Durante os testes observou-se que quase todos os *chips* apresentaram um consumo muito aproximado, mostrando que estes estão funcionando de forma similar. A única exceção foi o décimo terceiro *chip* testado, que apresentou um consumo muito inferior aos demais. O *chip* foi submetido a teste de estímulo simples, onde todos os resultados obtidos ocorreram conforme o esperado.

Entretanto, nem todos os chips foram submetidos aos testes. Isto ocorreu, devido ao fato da placa utilizada para o acoplamento do *chip* começou a apresentar problemas de curto circuito e um elevado grau de ruído no circuito. Assim, optou-se por aguardar a confecção da PCB para iniciar os testes com áudio.

## Referências Bibliográficas

- ALTERA. **DE2-70 Development and Education Board**. Altera, Junho 2012. Disponível em: <http://www.altera.com/education/univ/materials/boards/de2-70/unv-de2-70-board.html>. (document), 4.1
- FECHINE, J. M. **Verificação de Locutor Utilizando Modelos de Markov Escondidos (HMMs) de Densidades Discretas Dissertação**. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Federal da Paraíba, Campina Grande, Abril 1994. . 3.1, 3.1
- FECHINE, J. M. **Reconhecimento Automático de Identidade Vocal Utilizando Modelagem Híbrida: Paramétrica e Estatística**. Tese (Doutorado em Engenharia Elétrica) — Universidade Federal da Paraíba, Campina Grande, 2000. . 3.1
- LAD. **Laboratório de Arquiteturas Dedicadas**. Maio 2012. Disponível em: <http://lad.dsc.ufcg.edu.br/>. 1
- PEGORARO, T. F. **Algoritmos Robustos de Reconhecimento de Voz Aplicados a Verificação de Locutor**. Dissertação (Mestrado em Engenharia Elétrica) — Universidade Estadual de Campinas, Campinas, Junho 2000. . 3.1
- WIKIPEDIA. **Brazil IP**. Junho 2012. Disponível em: [http://pt.wikipedia.org/wiki/Brazil\\_IP](http://pt.wikipedia.org/wiki/Brazil_IP). 1