



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE  
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MÔNICA DA COSTA MONTEIRO

RELATÓRIO DE ESTÁGIO  
EMPRESA: MENTOR GRAPHICS (FRANÇA)

Campina Grande - PB  
2016

MÔNICA DA COSTA MONTEIRO

RELATÓRIO DE ESTÁGIO  
EMPRESA: MENTOR GRAPHICS (FRANÇA)

*Relatório de estágio submetido à Unidade Acadêmica de Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para obtenção do grau de Bacharel em Engenharia Elétrica*

Área de Concentração: Microeletrônica

Orientador:  
Professor Raimundo Carlos Silvério Freire

Campina Grande - PB  
2016

MÔNICA DA COSTA MONTEIRO

RELATÓRIO DE ESTÁGIO  
EMPRESA: MENTOR GRAPHICS (FRANÇA)

*Relatório de estágio submetido à Unidade Acadêmica de Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para obtenção do grau de Bacharel em Engenharia Elétrica*

Área de Concentração: Microeletrônica

---

Raimundo Carlos Silvério Freire  
UAEE/CEI/UFCG

---

José Gutemberg de Assis Lira  
UAEE/CEI/UFCG

## AGRADECIMENTOS

Agradeço aos meus pais, pelos esforços para garantir uma boa educação a mim e aos meus irmãos e por sempre me apoiarem diante as adversidades.

Aos funcionários do Departamento de Engenharia Elétrica da UFCG, em especial a Adail e Tchaikovsky pelo compromisso e disponibilidade.

Ao meu tutor de estágio, na França, Jean-Marc Bailly, pela oportunidade de trabalhar numa grande empresa e por todo o tempo dedicado.

Aos colegas da Mentor Graphics, em especial ao time MED.

Ao meu orientador, Freire.

## RESUMO

O estágio é um elemento curricular obrigatório do curso de Engenharia Elétrica da Universidade Federal de Campina Grande. O programa de estágio integrado foi realizado no período de 02 de abril de 2013 a 30 de agosto de 2013 na empresa Mentor Graphics, que é uma multinacional que lida com softwares para fabricação e análise de circuitos integrados. O trabalho foi realizado durante 22 semanas totalizando 880 horas. As atividades realizadas consistiram em estudar e quantificar os efeitos de acoplamento devido ao fenômeno de *crosstalk* em um circuito digital. Para tal estudou-se o design do circuito em questão, o Crystal\_3, e foi criado um circuito emulador para a realização do estudo. Durante a realização do programa de estágio, o circuito estudado ainda estava na fase de fabricação e otimização, de forma que a análise realizada foi importante para testar a funcionalidade do mesmo antes de lançá-lo ao mercado.

Palavras-chave: Estágio Integrado, *Crosstalk*, Microeletrônica.

## LISTA DE FIGURAS

Figura 1.1: Complexo da Mentor Graphics em Oregon .....	10
Figura 1.2: Emuladores Veloce (da direita para esquerda: Solo, Trio, Quattro) .....	12
Figura 1.3: ASIC dos emuladores Veloce e Veloce 2 .....	12
Figura 1.4: Crystal 3 .....	14
Figura 2.1: Acoplamento entre trilhas .....	15
Figura 2.2: Efeito do crosstalk na trilha vítima .....	16
Figura 3.1: Tela inicial do Olympus_Soc .....	17
Figura 3.2: Calibre xACT 3D .....	18
Figura 3.3: Fluxo de simulação do Eldo .....	19
Figura 3.4: Tela do EZwave .....	20
Tabela 4.1: Dados medidos no canal_horizontal .....	21
Figura 4.1: Canal horizontal da M120K .....	22
Figura 4.2: Vista 3D roteamento rede de alimentação .....	22
Figura 4.3: Circuito teste implementado no Olympus .....	23
Figura 4.4: Extração com Calibre nmLVS .....	23
Figura 4.5: Netlist buffer “repeater_vertical” .....	24
Figura 4.6: GDS do buffer .....	24
Figura 4.7: Segmento do arquivo de extração .....	25
Figura 4.8: Fluxo de simulação .....	26
Figura 4.9: Circuito teste implementado no arquivo .cir (Eldo) .....	26
Figura 4.10: Circuito teste implementado no arquivo .cir (Eldo) .....	27
Figura 4.11 : Modelo RC distribuído .....	28
Figura 4.12: Valores RC totais do circuito teste .....	28
Figura 5.1: Figura de referência - pontos de observação do circuito teste .....	29
Figura 5.2: Saídas Caso 1 - Referência .....	30
Figura 5.3: Delays em cada seção do circuito .....	30
Figura 5.4: Estímulos agressores e vítima, caso 1a e 1b .....	31
Figura 5.5: Saídas do circuito com malha de alimentação - Caso 2 .....	32
Figura 5.5: Saídas do circuito sem malha de alimentação - Caso 2 .....	33
Figura 5.6: Saídas do circuito de teste - Caso 3 .....	34

## LISTA DE TABELAS

Tabela 1.1: Comparação entre simulação e emulação.....	13
Tabela 4.1: Dados medidos no canal_horizontal.....	21
Tabela 5.1: Tempo de propagação do sinal - Caso 1.....	31
Tabela 5.2: Tempo de propagação do sinal - Caso 3 x Caso 1b.....	35

## SUMÁRIO

AGRADECIMENTOS .....	4
RESUMO .....	5
LISTA DE FIGURAS .....	6
LISTA DE TABELAS .....	7
1 Introdução.....	9
1.1 Justificativa.....	9
1.2 Apresentação da Empresa .....	10
1.3 Produtos da MED.....	11
1.4 Emulação.....	13
1.5 VELOCE 2 e Crystal3.....	14
2 Crosstalk.....	15
3 Ferramentas Utilizadas .....	17
3.1 Olympus_SoC .....	17
3.2 Calibre .....	18
3.3 Eldo .....	19
4 Metodologia.....	21
4.1 Estudo da M120K.....	21
4.2 Implementação Física do Circuito Teste .....	22
4.3 Extração.....	23
4.4 Simulação.....	25
5 Resultados.....	29
5.1 Caso 1 - Características do canal_horizontal .....	29
5.2 Caso 2 – Efeito do Roteamento da Malha de Alimentação.....	32
5.3 Caso 3 – Dimensões Mínimas.....	33
7 Referências Bibliográficas.....	37

# 1 INTRODUÇÃO

## 1.1 JUSTIFICATIVA

A eletrônica experimenta mudanças constantes com o avanço da tecnologia. Atualmente é requerido, cada vez mais, que circuitos eletrônicos tenham alto desempenho, layout de alta densidade, tamanho reduzido, alta confiabilidade e alta frequência de operação ou *clock*.

Devido às altas frequências de *clock*, as placas de circuito impresso passaram a se comportar como linhas de transmissão. A esse comportamento estão associados problemas de compatibilidade eletromagnética (EMC), como integridade de sinal, as trilhas podem interagir com trilhas vizinhas, gerando problemas de *crosstalk*. Tais problemas podem ser minimizados com a aproximação física dos componentes do circuito integrado e, conseqüentemente, a diminuição do comprimento das trilhas (Pinho et al., 2000).

Ao mesmo tempo, a produção de circuitos integrados deve ser acelerada, respeitando o tempo do mercado (do inglês *Time-to-Market*<sup>1</sup>) sem comprometer a qualidade do produto. Para acelerar o processo de produção, os circuitos devem ser testados em seus ambientes reais, antes de serem lançados ao mercado, esse processo é importante porque possibilita a redução de custos, a diminuição do tempo do mercado e minimiza os riscos de mau funcionamento.

A Mentor Graphics é uma empresa que fornece aos seus clientes meios de otimizar o desenvolvimento de produtos eletrônicos, por meio de soluções inovadoras que permitem vencer os desafios do design e fabricação de circuitos integrados, cuja complexidade aumenta constantemente. A divisão de emulação da Mentor, MED (*Mentor Emulation Division*), fornece soluções de emulação que permitem que fabricantes testem a funcionalidade de seus circuitos eletrônicos antes de lançá-los ao mercado. Essas soluções são baseadas, entre outras coisas, em máquinas configuráveis, chamadas emuladores, que aceleram o processo de verificação.

A divisão MED trabalhou no desenvolvimento de um novo emulador que possui um bloco programável constituído de múltiplas instâncias de uma macrocélula, Crystal\_3. Uma vez que é de extrema importância, quando da fabricação de circuitos integrados, verificar se o roteamento foi feito de forma adequada garantindo a qualidade do sinal, o objetivo do trabalho desenvolvido foi

---

<sup>1</sup> Time-to-Market: tempo entre a concepção do produto e sua disponibilização ao mercado.

quantificar os efeitos reais de acoplamento, causados pelo *crosstalk*, e determinar se esses efeitos foram significativos ou não para integridade e propagação do sinal.

## 1.2 APRESENTAÇÃO DA EMPRESA

Fundada em 1981, a Mentor Graphics é uma corporação multinacional, com aproximadamente 75 escritórios ao redor do mundo, que atua na área de automação de design eletrônico (EDA<sup>2</sup>) para engenharia elétrica e eletrônica. Como sede nos Estados Unidos, em Wilsonville – Oregon, é a terceira maior fornecedora de ferramentas no mercado mundial de EDA e a segunda na Europa. Os principais competidores da Mentor Graphics são: Cadence Design Systems, Synopsys e Zuken. Na França, Mentor tem sede em Paris (Meudon La Forêt) e foi criada em 1985.

A empresa fornece soluções para *software* e *hardware* que possibilitam aos seus clientes a fabricação rápida e eficiente de produtos eletrônicos, tais soluções permitem a análise de todo o fluxo de concepção, verificação e fabricação de produtos tais como: circuitos integrados, placas de circuito impresso, FPGAs e computadores.

Figura 1.1: Complexo da Mentor Graphics em Oregon



Fonte: Liu, 2008.

A divisão de emulação, MED, foi criada em 1996, é a composição de duas companhias compradas pela Mentor: *Meta Systems* e *IKOS*. O objetivo da divisão é prover rápida interação do design, permitindo que erros sejam identificados mais rapidamente. Atualmente MED está em primeiro lugar no mercado europeu e japonês de EDA e emprega mais de 240 pessoas, incluindo

---

<sup>2</sup> Do termo em inglês *Electronic Design Automation*.

mais de 150 engenheiros de pesquisa e desenvolvimento na Índia, nos Estados Unidos e França. Os maiores clientes da Mentor são empresas que atuam no mercado da microeletrônica, semicondutores, telecomunicações, multimídia e IT, como a Bull, Alcatel e STMicroelectronics. A equipe de pesquisa e desenvolvimento da MED é composta de 5 equipes:

- **Equipe de hardware:** equipe responsável pelo desenvolvimento dos circuitos impressos e pela programação de diferentes FPGAs
- **Equipe de compilação:** compila os programas fornecidos pelos clientes para que os layouts possam ser carregados nos emuladores para testes.
- **Equipe ASIC:** responsável pelos designs de *frontend* e *backend*. A equipe de *frontend* é responsável pelos testes e síntese do chip que será utilizado no emulador, os engenheiros criam os designs RTL e disponibilizam as *netlist* e parâmetros dos chips para a equipe *backend*. Os engenheiros *backend* utilizam tais dados para determinar a localização das trilhas, sempre respeitando as regras de desenho e tecnologia para otimização da fabricação.
- **Equipe de qualidade:** testa os *softwares* e funcionamento do sistema e realiza o controle de qualidade.
- **Equipe de visibilidade:** cria as ferramentas necessárias para lançar as emulações nos emuladores. Responsável pela interface gráfica dos programas.

### 1.3 PRODUTOS DA MED

A divisão MED tem disponibilizado diferentes tipos de emuladores, como VStation e CELARO. Desde 2007, a Mentor tem investido em num novo emulador, o VELOCE, que tem como “coração” do sistema, um ASIC de tecnologia CMOS 90nm e é disponibilizado em três versões para atender as necessidades dos clientes: VELOCE Solo, Trio e Quattro. Cada um aplicado à diferentes capacidades de carregamento de designs.

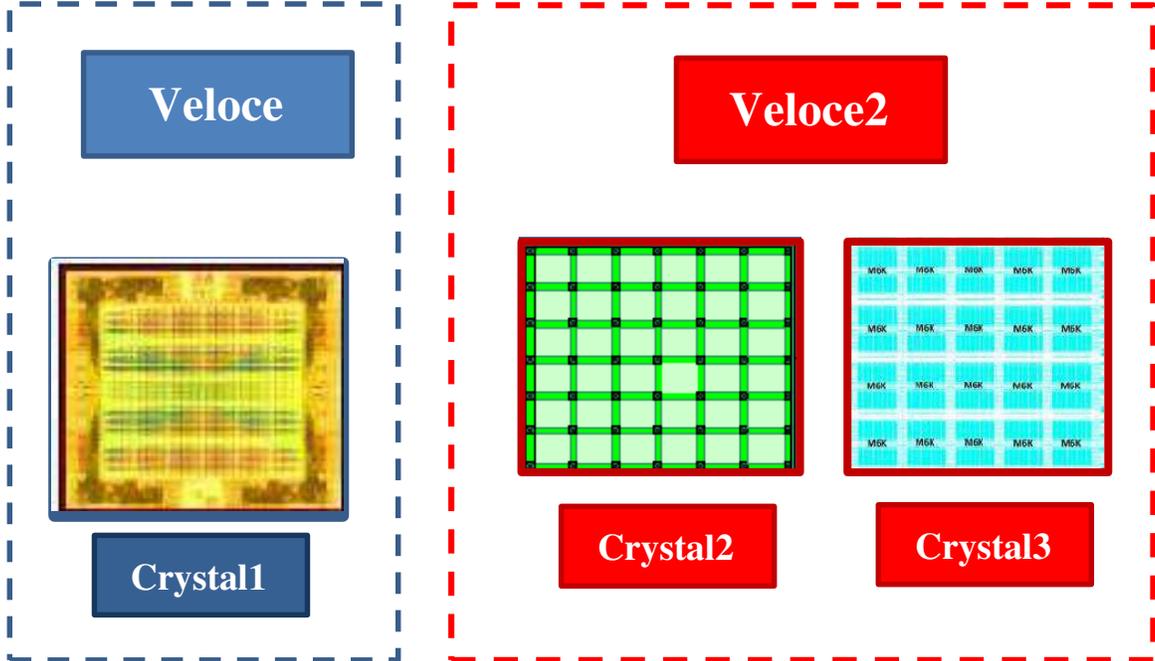
Depois do VELOCE, lançou-se o VELOCE2, primeiramente com circuito integrado em tecnologia CMOS 65nm, e mais de 800 milhões de transistores. A geração mais nova do VELOCE2 foi desenvolvida com tecnologia CMOS 45nm e possui 5 bilhões de transistores.

Figura 1.2: Emuladores Veloce (da direita para esquerda: Solo, Trio, Quattro)



Fonte: [www.mentor.com/products](http://www.mentor.com/products), 2016

Figura 1.3: ASIC dos emuladores Veloce e Veloce 2



Fonte: Liu, 2008 (Adaptado)

## 1.4 EMULAÇÃO

Sistemas e dispositivos de emulação são alternativas poderosas para realizar testes em sistemas e/ou circuitos integrados antes de avançar para a fase de produção, esses testes são realizados em condições de tempo real ou próximas à estas condições. A emulação é uma técnica baseada em um sistema de *software* e *hardware*, que consiste em imitar o funcionamento de um determinado circuito, a utilização de *hardware* específicos, os emuladores, resultam na aceleração do processo de verificação.

O sistema de emulação é composto essencialmente de três partes: uma plataforma *hardware* programável (emuladores), um compilador e um *software* que permite controlar e acompanhar o processo de emulação. A plataforma programável pode ser uma rede de processadores ou vários FPGAs interconectados, o compilador transforma a descrição alto nível do circuito (VHDL, Verilog) em um modelo a ser executado pelos emuladores (Serrestou, 2008).

Estímulos são então aplicados ao emulador, a fim de verificar o funcionamento do circuito segundo o esperado. O circuito passa a funcionar a uma frequência de vários MHz, bem mais rápido que a simulação por *software*. Portanto, em comparação ao processo de simulação, a emulação apresenta performance temporal superior, em contrapartida, os emuladores são ferramentas bastante caras.

Por exemplo, um simulador pode tratar 100 ciclos por segundo, enquanto que um emulador pode tratar 1 Mega ciclo por segundo, portanto, para tratar 1G de instrução é necessário:

- 10 Ms para um simulador, ou 116 dias;
- 1000 segundos por um emulador, ou 16 minutos.

Tabela 1.1: Comparação entre simulação e emulação

	<b>Simulação</b>	<b>Emulação</b>
<b>Velocidade de execução</b>	1x	1000x
<b>Velocidade de compilação</b>	10x	1x

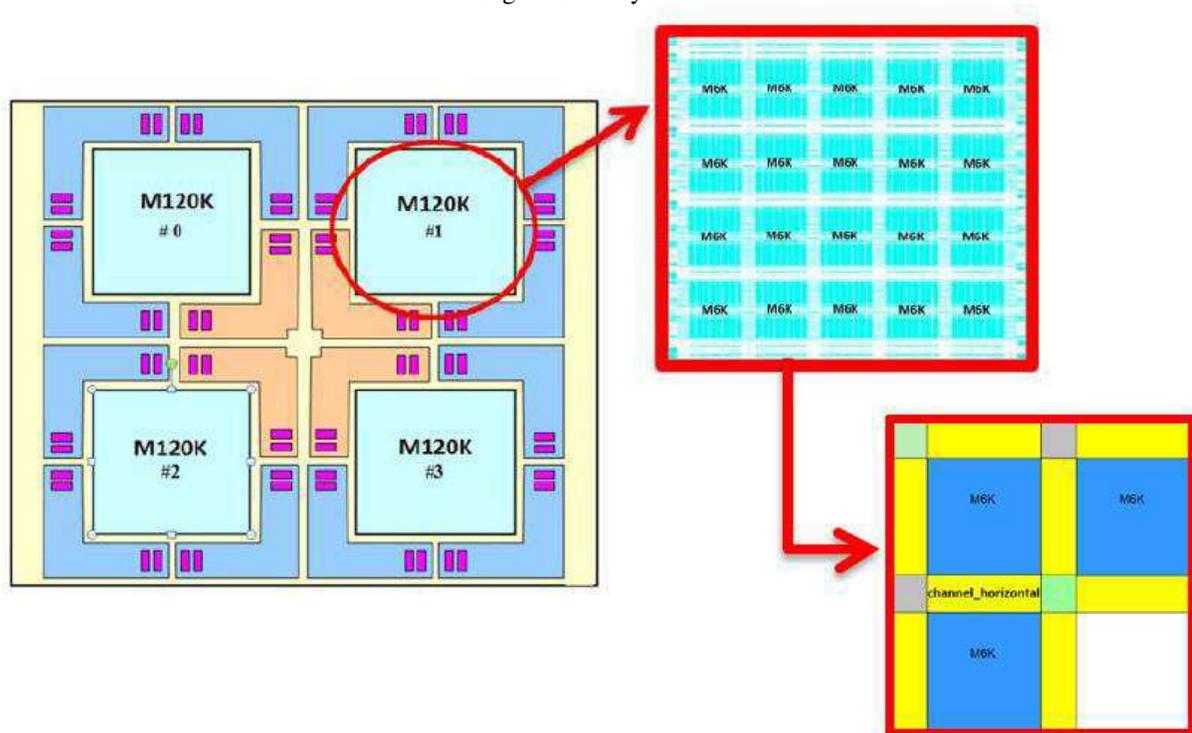
Fonte: Liu, 2008 (Adaptado)

## 1.5 VELOCE 2 E CRYSTAL3

O emulador Veloce2 está disponível em 3 versões: Solo, Trio e Quattro, para cada tipo de emulador o número de placa de verificação (AVB, *acceleration verification boards*) é diferente. Cada placa é constituída por 16 circuitos integrados, chamados Crystal3. Os circuitos Crystal3 são responsáveis pelo carregamento do design do cliente e pela simulação do funcionamento desse design.

O Crystal3, consiste de macros células, chamadas M120K, e vários blocos lógicos que executam observação e detecção de eventos nos circuitos mapeados na macro célula. Cada macro célula M120K possui 20 sub macro células M6K que compreendem 6000 blocos programáveis (CPBs, *configuration programmable blocks*). A capacidade de emulação está relacionada com a quantidade de CPBs e AVBs, de forma que os emuladores Veloce2 atendem diferentes necessidades. Na Figura 1.4 ilustra-se o chip do Crystal3.

Figura 1.4: Crystal 3



Fonte: Vallet, Bonneau, 2010. (Adaptado)

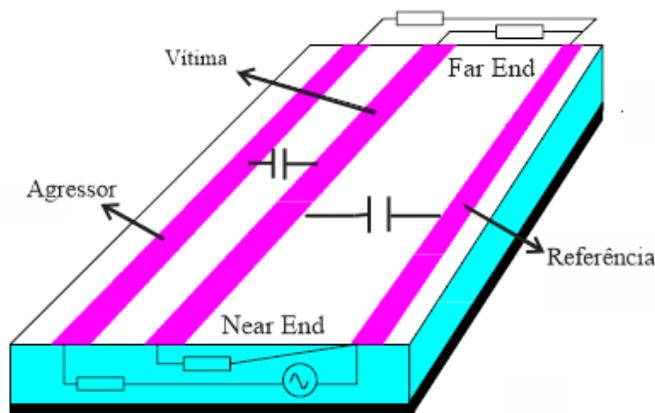
## 2 CROSSTALK

Grande parte dos problemas que ocorre em circuitos integrados, ou impressos, são causados pelo *crosstalk*, ou acoplamento mútuo, entre trilhas adjacentes das placas. Os efeitos desse tipo de ruído acabam sendo acentuados de acordo com a densidade e a frequência de operação de tais circuitos. Dessa forma é importante verificar como as trilhas devem ser dispostas de modo que o acoplamento não interfira na integridade do sinal, é importante que essa análise seja feita antes da fase de produção dos circuitos integrados.

O *crosstalk* é a interferência causada pelo acoplamento eletromagnético e de impedância comum em trilhas adjacentes no circuito. O acoplamento de impedância comum, normalmente acontece quando dois ou mais sinais compartilham um retorno comum, ocorre principalmente em baixas frequências e é mais simples de ser analisada. Já o acoplamento eletromagnético, indutivo ou capacitivo, advém do comportamento não ideal dos componentes (Carlsson, 1998).

De forma simplificada, o *crosstalk* pode ser caracterizado como um “vazamento” do sinal de uma linha para outras adjacentes. É um fenômeno equivalente a interferência em sistemas de transmissão de voz, como chamadas telefônicas. Quando um sinal percorre uma trilha, uma onda eletromagnética se propaga através dela gerando linhas de campo magnético, essas linhas induzem tensões e correntes indesejadas em trilhas vizinhas (Santos, 2013). As trilhas que emitem os campos magnéticos são chamadas de trilhas agressoras, ou fontes, e as que têm campos induzidos são chamadas trilhas vítima, como mostrado na Figura 2.1.

Figura 2.1: Acoplamento entre trilhas

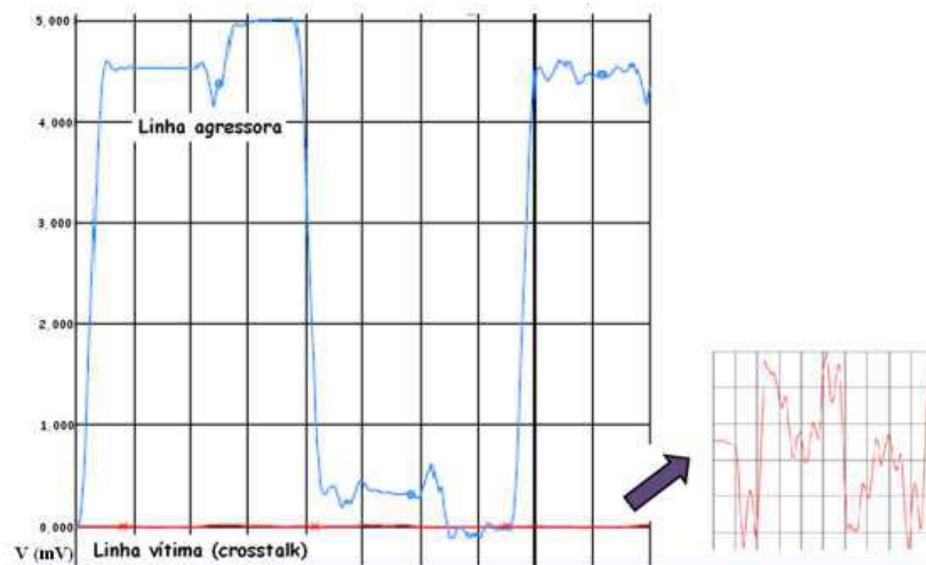


Fonte: Carlson, 1998. (Adaptado)

O ruído entre as duas trilhas pode ser medido nas duas extremidades e cada medição apresenta um padrão diferente. O crosstalk medido na extremidade mais próxima da fonte é chamado *crosstalk near end*, já o medido na extremidade mais distante é chamado de *crosstalk far end*.

Na Figura 2.2 pode-se observar o efeito do sinal da trilha agressora sobre a trilha vizinha, idealmente a tensão na trilha vítima deveria ser zero, o que não ocorre devido efeito de acoplamento. O índice de *crosstalk* na vítima é proporcional ao tempo de subida do agressor, quanto mais rápido o tempo de subida maior o efeito do *crosstalk*, além disso, a proximidade com o plano terra pode diminuir consideravelmente o acoplamento capacitivo.

Figura 2.2: Efeito do crosstalk na trilha vítima



Fonte: Santos, 2013

O espaçamento entre os componentes também influencia no aparecimento do *crosstalk*. Em placas de circuito impresso, o aumento do espaçamento, ou seja, aumento dos terminais, provoca, em altas frequências, a adição de efeitos indutivos e capacitivos. Dessa forma, um bom desenho na fase de concepção do circuito integrado é de fundamental importância, podendo atenuar ou, até mesmo, evitar as interferências eletromagnéticas no circuito.

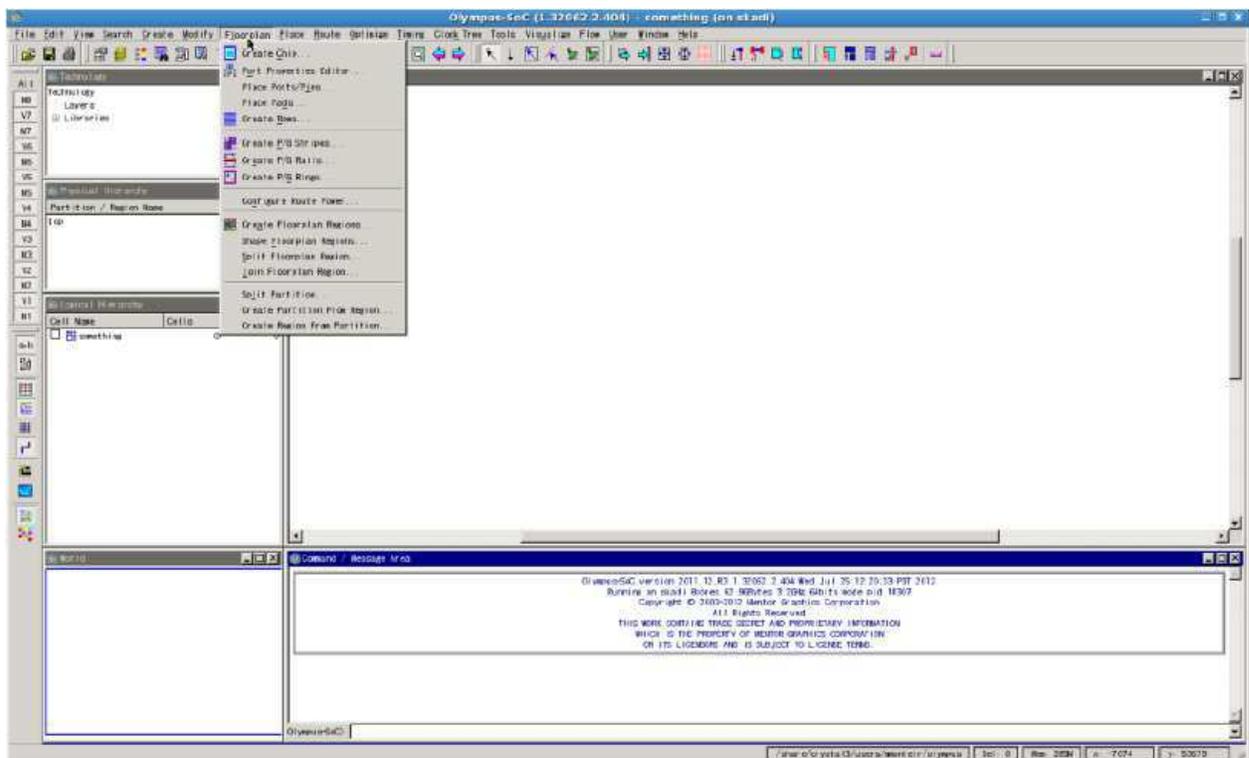
### 3 FERRAMENTAS UTILIZADAS

#### 3.1 OLYMPUS\_SOC

Quando se trata de implementação física de designs, existem vários problemas que devem ser considerados como a variabilidade do processo, o densidade e tamanho o design. Olympus\_SoC é uma ferramenta que permite lidar com esses problemas além de garantir roteamento automático, respeitando as regras de desenho.

O sistema de roteamento dessa ferramenta é capaz de gerar análises detalhadas das regras de design e minimizar o número de operações que o roteador tem que executar, garantindo assim, um tempo de execução mais rápido sem perdas de precisão.

Figura 3.1: Tela inicial do Olympus\_Soc



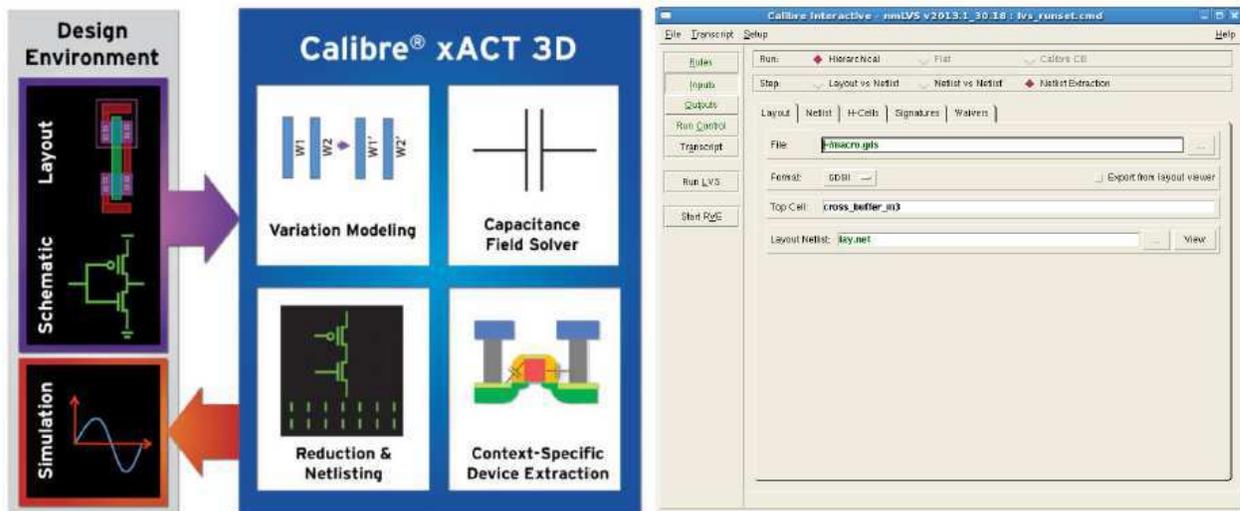
Fonte: Própria autora, 2013

### 3.2 CALIBRE

Calibre xACT 3D e Calibre nmLVS foram as ferramentas de extração usadas ao longo do trabalho. A constante necessidade para diminuição dos circuitos integrados resulta em um aumento parasitas das interconexões do circuito. O Calibre xACT 3D fornece uma *netlist* com os elementos parasitas do sistema analisado a partir do GDS do circuito, que é um arquivo binário que contém as informações sobre o a arranjo físico e a hierarquia desenho.

As *netlists* são fornecidas em diversos formatos padrões, tais como: SPICE, DSPF, SPEF, Eldo, Spectre e CalibreView. As informações adquiridas do Calibre xACT 3D são necessárias para prever com precisão o comportamento do circuito.

Figura 3.2: Calibre xACT 3D



Fonte: [www.mentor.com/products](http://www.mentor.com/products), 2016 (Adaptado)

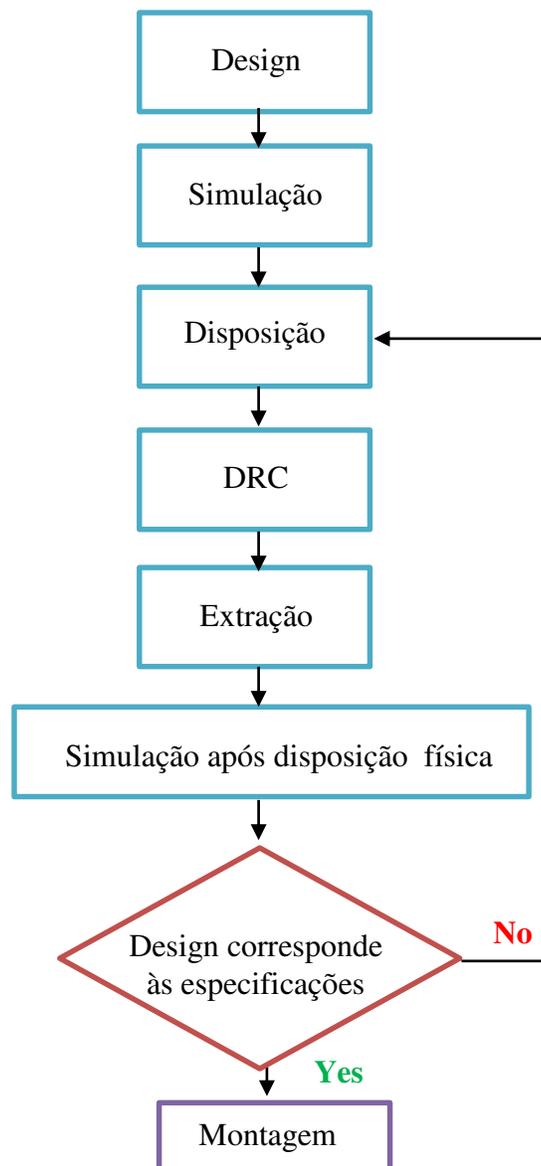
Calibre nmLVS é uma ferramenta de verificação física *Layout vs. esquemático*. Com essa ferramenta é possível comparar os dispositivos e conectividades do desenho do circuito integrado com o esquemático. No contexto do trabalho, foi utilizado para fornecer o esquemático do circuito impresso estudado e uma *netlist* SPICE, que foi utilizada na simulação.

A informação dos elementos parasitas do circuito é extraída para um arquivo do tipo DSPF (do inglês *Detailed Standard Parasitic Format*). Esse arquivo pode conter apenas os elementos parasitas como também pode extrair as conexões internas do circuito. O arquivo possui um cabeçalho com as informações da edição da ferramenta que foi usada, uma seção com os valores dos elementos parasitas e nomes, instâncias e conexões das portas.

### 3.3 ELDO

Eldo permite a verificação da funcionalidade do circuito a partir do arquivo DSPF extraído utilizando o Calibre, é utilizado para verificação e fabricação de circuitos impressos aplicados à diferentes áreas como comunicações e automação.

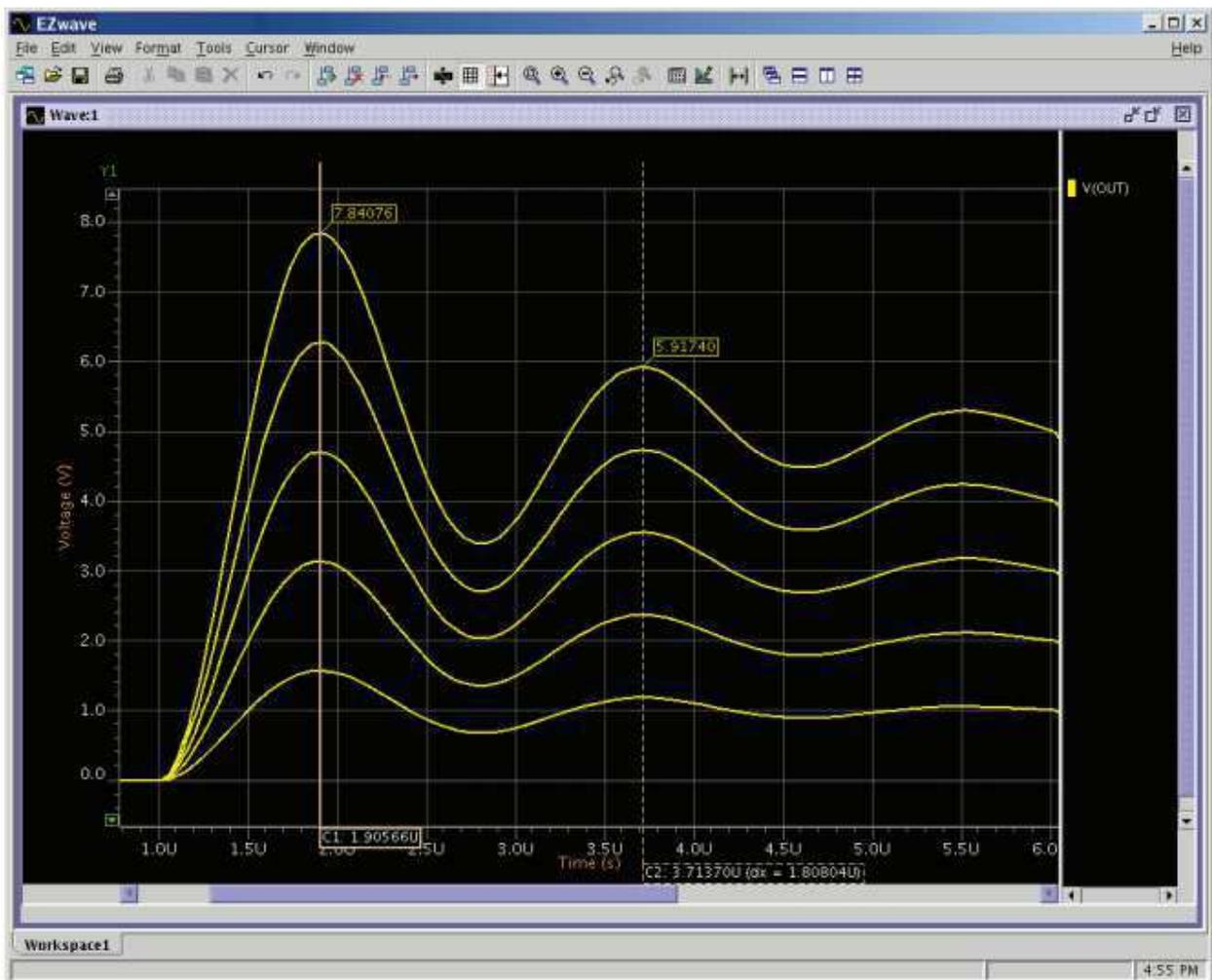
Figura 3.3: Fluxo de simulação do Eldo



Fonte: Manual Eldo, Mentor Graphics, 2013. (Adaptado)

Eldo ainda fornece uma plataforma que permite verificar e analisar os dados após o processamento, o EZwave, que pode carregar grandes quantidades de dados em segundos. É possível observar as formas de onda geradas tanto para sinais analógicos como para sinais digitais. O EZwave foi utilizado para observar os sinais nas trilhas e medir os efeitos do *crosstalk* por meio da determinação dos atrasos na propagação do sinal. A Figura 3.4 mostra um exemplo da tela do EZwave.

Figura 3.4: Tela do EZwave



Fonte: Eldo datasheet, Mentor Graphics. 2016

## 4 METODOLOGIA

O objetivo principal do trabalho desenvolvido é determinar o impacto do crosstalk sobre as trilhas do circuito integrado Crystal3, por meio da quantificação dos atrasos durante a propagação do sinal no circuito. Nesse contexto a realização do trabalho foi dividida em etapas, que serão discutidas em detalhes posteriormente:

1. Compreensão do fenômeno de *crosstalk* e de como o mesmo influencia na integridade do sinal;
2. Estudo da macro célula, nessa fase estudou-se o design da tecnologia, especificamente a macro célula M120K, a fim de identificar e fazer as devidas medições da parte do circuito que viria a ser o objeto principal do estudo realizado;
3. Criação do ‘circuito teste’, um circuito criado no Olympus\_SoC, com as mesmas características do circuito identificado na etapa anterior;
4. Extração dos elementos parasitas;
5. Simulação do ‘circuito teste’ utilizando Eldo e EZwave.

### 4.1 ESTUDO DA M120K

A fase de implementação do circuito teste começa com o estudo da macro célula do Crystal3. Analisou-se especificamente a instância “canal\_horizontal” (*channel\_horizontal*) da macro M120K, cujos parâmetros foram utilizados como referência para implementação física do circuito teste. A partir do arquivo GDS do macro foi possível identificar as trilhas e os componentes do canal\_horizontal, como pode ser visto na Figura 4.1.

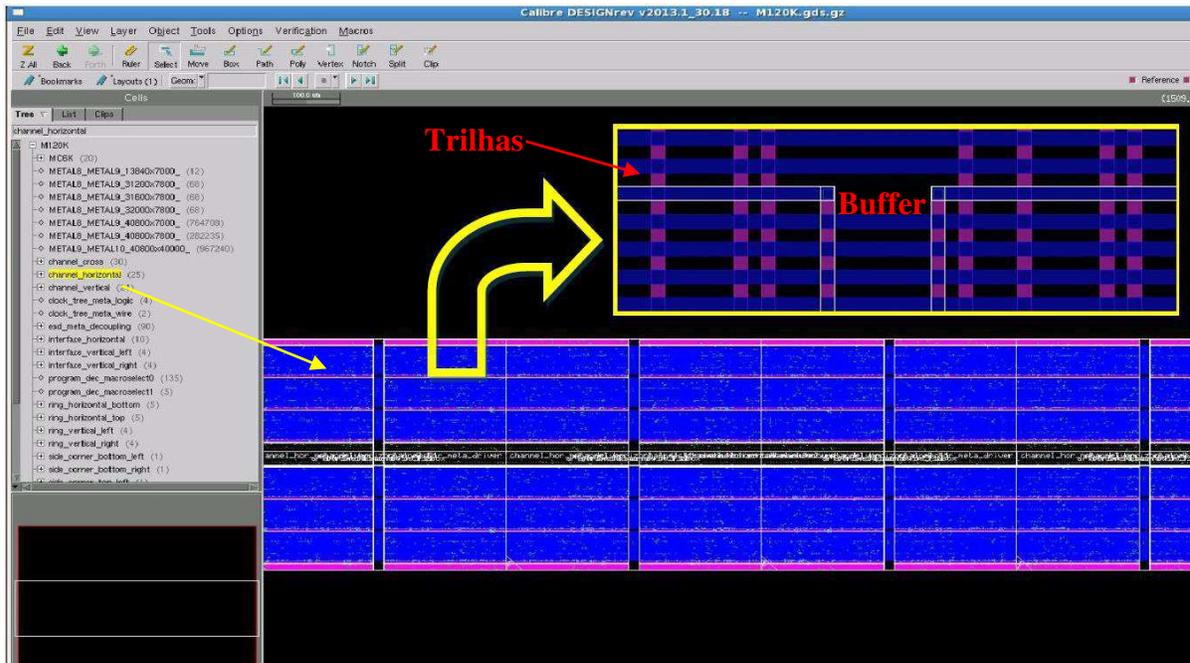
As linhas azuis são as trilhas, em Metal 4, e cada interrupção nas trilhas representa um buffer. Esses buffers serão extraídos e, juntamente com o circuito teste, utilizados na simulação. Mediu-se os espaçamentos entre as trilhas, o comprimento de cada trilha entre dois buffers e a largura da trilha. Os valores podem ser vistos na Tabela 4.1 abaixo:

Tabela 4.1: Dados medidos no canal\_horizontal

<b>Espaçamento</b>	<b>Largura</b>	<b>Comprimento</b>
0,072 $\mu\text{m}$	0,072 $\mu\text{m}$	1000 $\mu\text{m}$

Fonte: Própria autora, 2013

Figura 4.1: Canal horizontal da M120K



Fonte: Própria autora, 2013 (Adaptado)

## 4.2 IMPLEMENTAÇÃO FÍSICA DO CIRCUITO TESTE

A partir dos valores medidos anteriormente, implementou-se o circuito teste no Olympus\_Soc, para isso criou-se, primeiramente, um arquivo VERILOG contendo as definições das portas, pinos, trilhas e suas conexões. Após carregar o arquivo VERILOG no *software* foi possível a criação do plano de terra, baseado na área estimada do módulo.

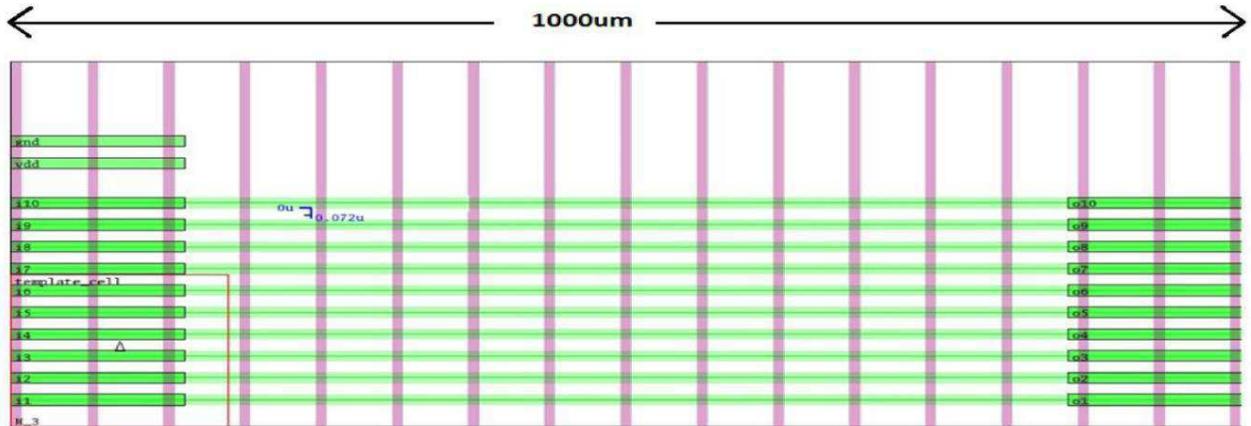
Na etapa seguinte, os pinos, portas e trilhas foram alocados de acordo com o espaçamento medido na etapa anterior ( $0,072 \mu\text{m}$ ), criou-se a rede de alimentação e o roteamento. Como no circuito do Crystal3, as trilhas e os pinos de entrada/saída foram criados em Metal 4, e a rede de alimentação em metal 3 e 5, as vias para a conexão dos dois metais da malha de alimentação foram criadas em Metal 1, como visto na Figura 4.2. Na Figura 4.3 pode-se observar o circuito teste implementado.

Figura 4.2: Vista 3D roteamento rede de alimentação



Fonte: Lui, 2008 (Adaptado)

Figura 4.3: Circuito teste implementado no Olympus



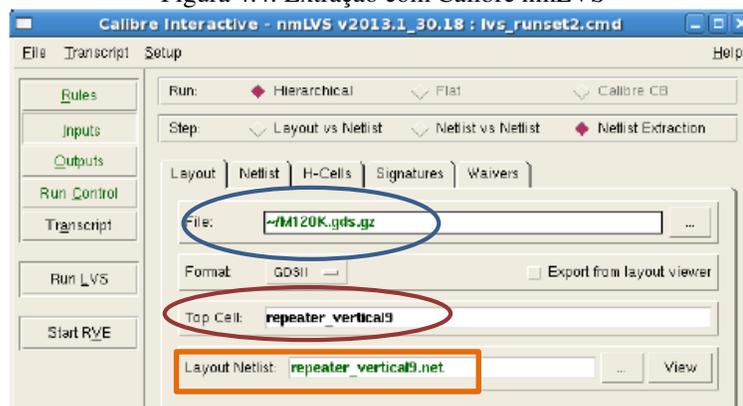
Fonte: Própria autora, 2013

Com a finalização do design gerou-se arquivos .gds e .def, com as informações físicas do design e conexões e alocações dos elementos do circuito. Esses arquivos foram usados para extração dos elementos parasitas, processo explicado a seguir.

### 4.3 EXTRAÇÃO

Como no canal\_horizontal do Crystal3, além das trilhas, também estão presentes os buffers, esses componentes também devem ser considerados na simulação. Dessa forma o processo de extração se deu em duas etapas: a primeira etapa foi a extração, usando o Calibre nmLVS, da netlist SPICE, contendo as informações dos pinos e conexões dos buffers do canal\_horizontal; a segunda foi a extração dos elementos parasitas do circuito teste implementado no Olympus, utilizando o Calibre xACT 3D.

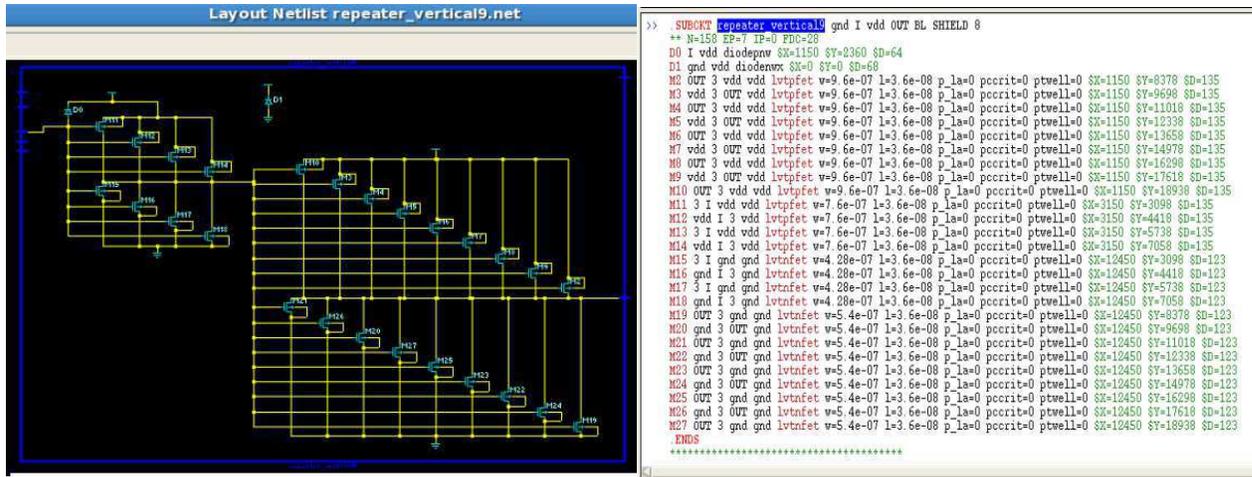
Figura 4.4: Extração com Calibre nmLVS



Fonte: Própria autora, 2013. (Adaptado)

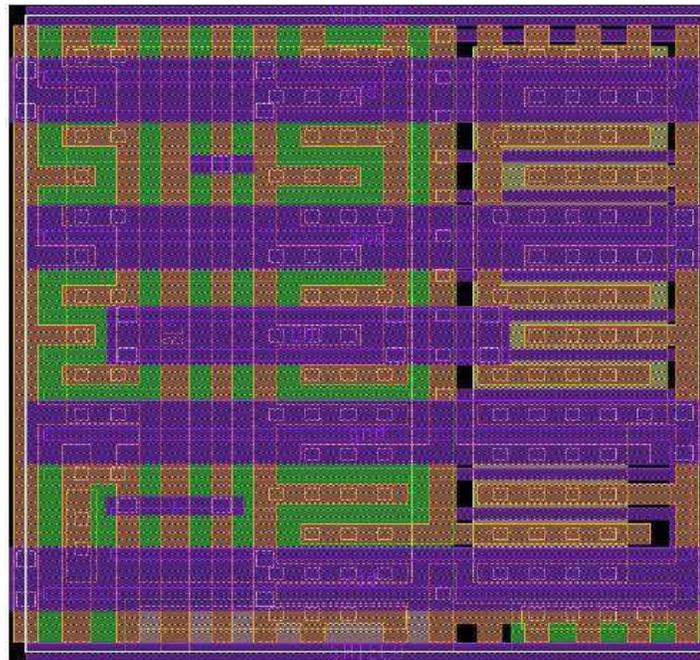
A partir do GDS da M120K, como ilustrado na Figura 4.4, selecionou-se os buffers “repeater\_vertical9” para a extração, no Calibre nmLV selecionou-se o tipo de extração a ser realizada e os tipos de arquivos resultantes da extração. Nesse caso gerou-se o arquivo .gds do buffer bem como sua *netlist* SPICE, o arquivos gerados podem ser vistos nas figuras 4.5 e 4.6.

Figura 4.5: Netlist buffer “repeater\_vertical”



Fonte: Própria autora, 2013. (Adaptado)

Figura 4.6: GDS do buffer



Fonte: Própria autora, 2013

A segunda etapa da extração consistiu na extração dos elementos parasita do circuito teste, o objetivo desse processo é gerar um arquivo com as informações desses elementos para ser implementado na simulação. O Calibre xACT usa arquivos LEF/DEF sem conversão intermediária, o que garante a integridade da informação do design, arquivos .def contêm a alocação dos pinos e as especificações de roteamento, já o arquivo .lef fornece a informação sobre a tecnologia e a geometria do circuito.

Essa ferramenta suporta vários fluxos de extração, o fluxo utilizado foi o fluxo LEF/DEF, e utiliza os arquivos SVRF, que contêm os parâmetros e regras de extração. O resultado da informação é fornecido em um arquivo DSPF, com o modelo do sistema com elementos parasitas e o arquivo .cap que contêm os valores de todos os capacitores de acoplamento.

Figura 4.7: Segmento do arquivo de extração

```

FUNCCMAX_OC_xact_rules.tvf - /share/crystal3/users/mmonteir/olympus/xACT-SoC/crystal3_so
File Edit Search Preferences Shell Macro Windows Help
include "../TECHNO/rules/FuncCmax/rules.C" // Set capacitance rules for selected corner
include "../TECHNO/rules/FuncCmax/rules.R" // Set resistance rules for selected corner
include "../TECHNO/pexdefmap.svrf"

PEX EXTRACT TEMPERATURE 25

LAYOUT SYSTEM LEFDEF
LAYOUT PRIMARY "something"

LAYOUT PATH "../TECHNO/cmos028lp_6U1x_2U2x_2T8x_LB.xact.techno.lef"
"trial72.def"

LAYOUT USE DATABASE PRECISION YES
LAYOUT CASE YES
SOURCE CASE YES

//PEX FIELDSOLVER MODE 600
// faster, less accurate:
PEX FIELDSOLVER MODE 200

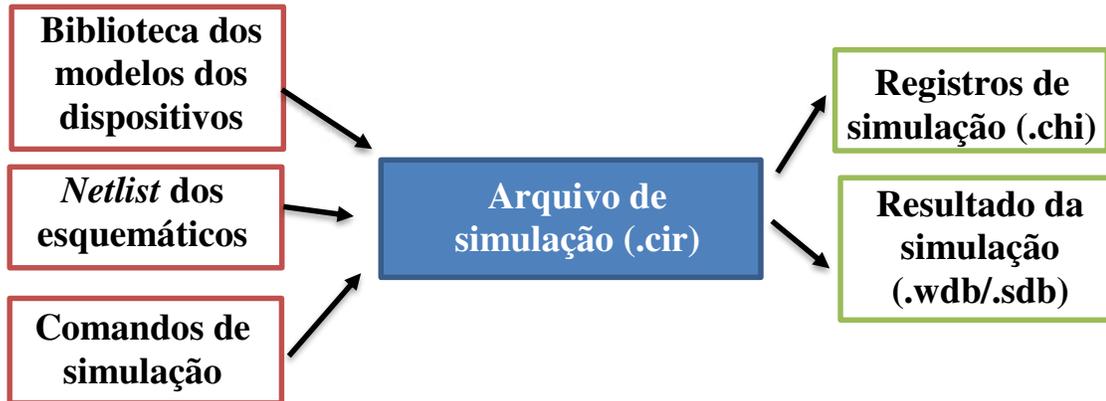
```

Fonte: Própria autora, 2013.

#### 4.4 SIMULAÇÃO

Com o modelo de elementos parasitas do circuito teste e com a *netlist* do buffer iniciou-se o processo de simulação usando a *software* Eldo. O fluxo de simulação consiste em criar um arquivo .cir com a *netlist* do circuito, os estímulos aplicados e os comandos de simulação. Como resultado tem-se três tipos de arquivos: .chi, arquivo que contêm dados ASCII e mensagens de erro; e arquivos .wdb e .sdb, que são os arquivos interpretáveis pelo EZwave, que permitem a visualização gráfica e numérica dos resultados de simulação.

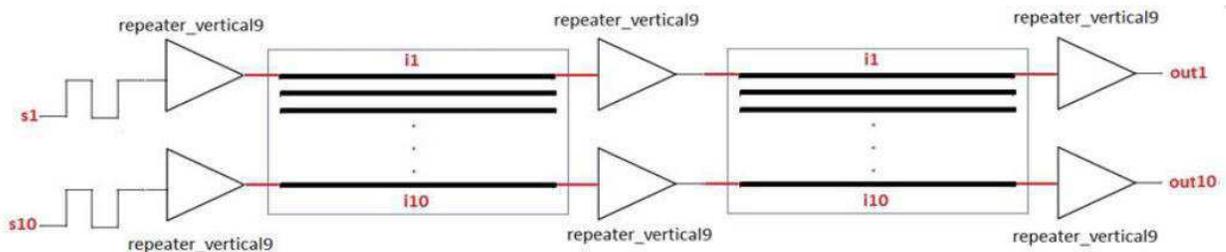
Figura 4.8: Fluxo de simulação



Fonte: Própria autora

Como citado anteriormente, o primeiro passo para a simulação é a criação de um arquivo .cir incluindo a conectividade, os parâmetros, os componentes e as opções de simulação para o circuito teste. Como o objetivo é verificar o efeito do *crossstalk* na instância canal\_horizontal do circuito Crystal3, criou-se um arquivo que descreve um conjunto de fios e buffers com os mesmos parâmetros medidos e mostrados na Tabela 2, dessa forma, o circuito teste utilizado na simulação é composto por um conjunto de 10 entradas e 10 saídas, portanto 10 fios, e 3 buffers entre cada uma delas, como ilustrado na Figura 4.9.

Figura 4.9: Circuito teste implementado no arquivo .cir (Eldo)



Fonte: Própria autora, 2013

Os comandos utilizados no Eldo foram: **.dspf\_include**: adiciona a informação dos elementos parasitas extraídos para o arquivo DSPF; **.param**: usado para estabelecer os parâmetros das fontes, ou estímulos, tais como o tempo de subida, os valores de tensão etc; **.tram**: Inicia a análise em regime transitório; **.connect**: usado para colocar a variável ‘ground’ como zero; **.subckt**: define um subcircuito dentro do arquivo de descrição de um circuito; **.ends**: finaliza a descrição de um subcircuito, depois desse comando todo texto é ignorado. Na Figura 4.10 pode-se observar o arquivo <teste>.cir criado para a simulação

Figura 4.10: Circuito teste implementado no arquivo .cir (Eldo)

```

I
.connect gnd 0
.param VH=1.0
.param VL=0.0
.param TDELAY=10n
.param TRISE=150P
.param TFALL=TRISE
.param TSAMPLE=5n

V0 vdd gnd 1
V1 S5 0 pattern VH VL TDELAY TRISE TFALL TSAMPLE 0 1 R
V2 S2 0 pattern VH VL TDELAY TRISE TFALL TSAMPLE 1 0 R
V3 S6 0 pattern VH VL 32.5n TRISE TFALL TSAMPLE 0 1 R
V4 S4 0 pattern VH VL 31n TRISE TFALL TSAMPLE 0 1 R

.include corners

.SUBCKT repeater_vertical9 gnd I vdd OUT
** N=158 EP=7 IP=0 FDC=28
XD0 I vdd diodepnw
XD1 gnd vdd diodenw
X2 OUT 3 vdd vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X3 vdd 3 OUT vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X4 OUT 3 vdd vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X5 vdd 3 OUT vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X6 OUT 3 vdd vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X7 vdd 3 OUT vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X8 OUT 3 vdd vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X9 vdd 3 OUT vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X10 OUT 3 vdd vdd lvtpfet w=9.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X11 3 I vdd vdd lvtpfet w=7.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X12 vdd I 3 vdd lvtpfet w=7.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X13 3 I vdd vdd lvtpfet w=7.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X14 vdd I 3 vdd lvtpfet w=7.6e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X15 3 I gnd gnd lvtnfet w=4.28e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X16 gnd I 3 gnd lvtnfet w=4.28e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X17 3 I gnd gnd lvtnfet w=4.28e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X18 gnd I 3 gnd lvtnfet w=4.28e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X19 OUT 3 gnd gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X20 gnd 3 OUT gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X21 OUT 3 gnd gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X22 gnd 3 OUT gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X23 OUT 3 gnd gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X24 gnd 3 OUT gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X25 OUT 3 gnd gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X26 gnd 3 OUT gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
X27 OUT 3 gnd gnd lvtnfet w=5.4e-07 l=3.6e-08 p_la=0 pccrit=0 ptwell=0
.ENDS

.subckt something o1 o10 o2 o3 o4 o5 o6 o7 o8 o9 i1 i10 i2 i3 i4 i5 i6 i7 i8 i9
+ vdd gnd
.ends

X 1 gnd S1 vdd in1 repeater_vertical9
X 2 gnd gnd vdd in2 repeater_vertical9
X 3 gnd S1 vdd in3 repeater_vertical9
X 4 gnd S4 vdd in4 repeater_vertical9
X 5 gnd S5 vdd in5 repeater_vertical9
X 6 gnd S6 vdd in6 repeater_vertical9
X 7 gnd S1 vdd in7 repeater_vertical9
X 8 gnd S1 vdd in8 repeater_vertical9
X 9 gnd S2 vdd in9 repeater_vertical9
X 10 gnd S1 vdd in10 repeater_vertical9

X_something o1 o10 o2 o3 o4 o5 o6 o7 o8 o9 in1 in10 in2 in3 in4 in5 in6 in7 in8 in9 vdd gnd something

X 21 gnd o1 vdd i11 repeater_vertical9
X 22 gnd o2 vdd i12 repeater_vertical9
X 23 gnd o3 vdd i13 repeater_vertical9
X 24 gnd o4 vdd i14 repeater_vertical9
X 25 gnd o5 vdd i15 repeater_vertical9
X 26 gnd o6 vdd i16 repeater_vertical9
X 27 gnd o7 vdd i17 repeater_vertical9
X 28 gnd o8 vdd i18 repeater_vertical9
X 29 gnd o9 vdd i19 repeater_vertical9
X 210 gnd o10 vdd i10 repeater_vertical9

X_something2 o01 o010 o02 o03 o04 o05 o06 o07 o08 o09 i11 i110 i12 i13 i14 i15 i16 i17 i18 i19 vdd gnd something

X 31 gnd o01 vdd out1 repeater_vertical9
X 32 gnd o02 vdd out2 repeater_vertical9
X 33 gnd o03 vdd out3 repeater_vertical9
X 34 gnd o04 vdd out4 repeater_vertical9
X 35 gnd o05 vdd out5 repeater_vertical9
X 36 gnd o06 vdd out6 repeater_vertical9
X 37 gnd o07 vdd out7 repeater_vertical9
X 38 gnd o08 vdd out8 repeater_vertical9
X 39 gnd o09 vdd out9 repeater_vertical9
X 310 gnd o010 vdd out10 repeater_vertical9

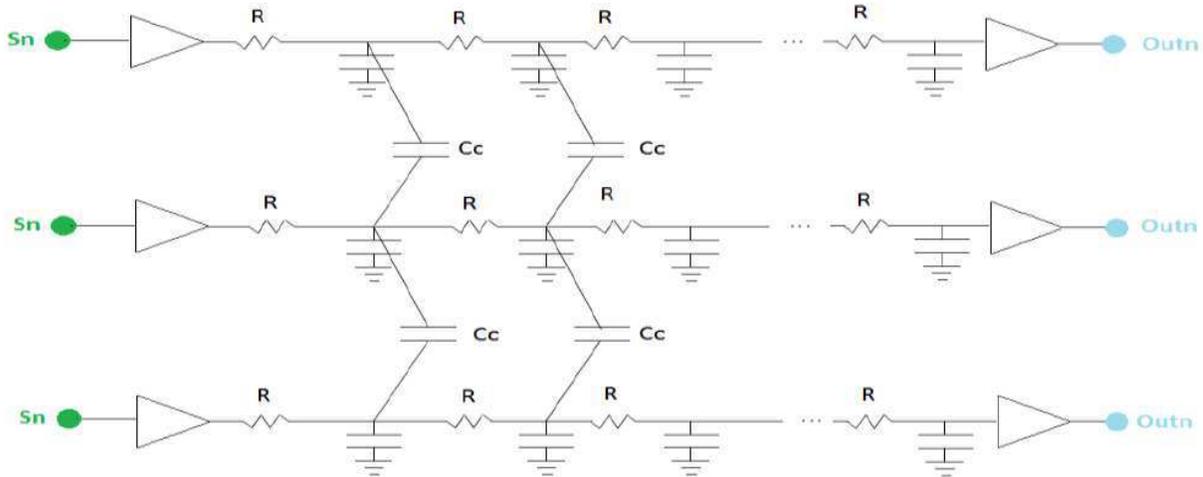
.tran 0.5n 100n
.plot tran v(s*) v(i*) v(o*) v(out*) v(vdd)
.dspf include file=../test0.05/DSPP05.snf from subckt=something
.ena

```

Fonte: Própria autora, 2013 (Adaptado)

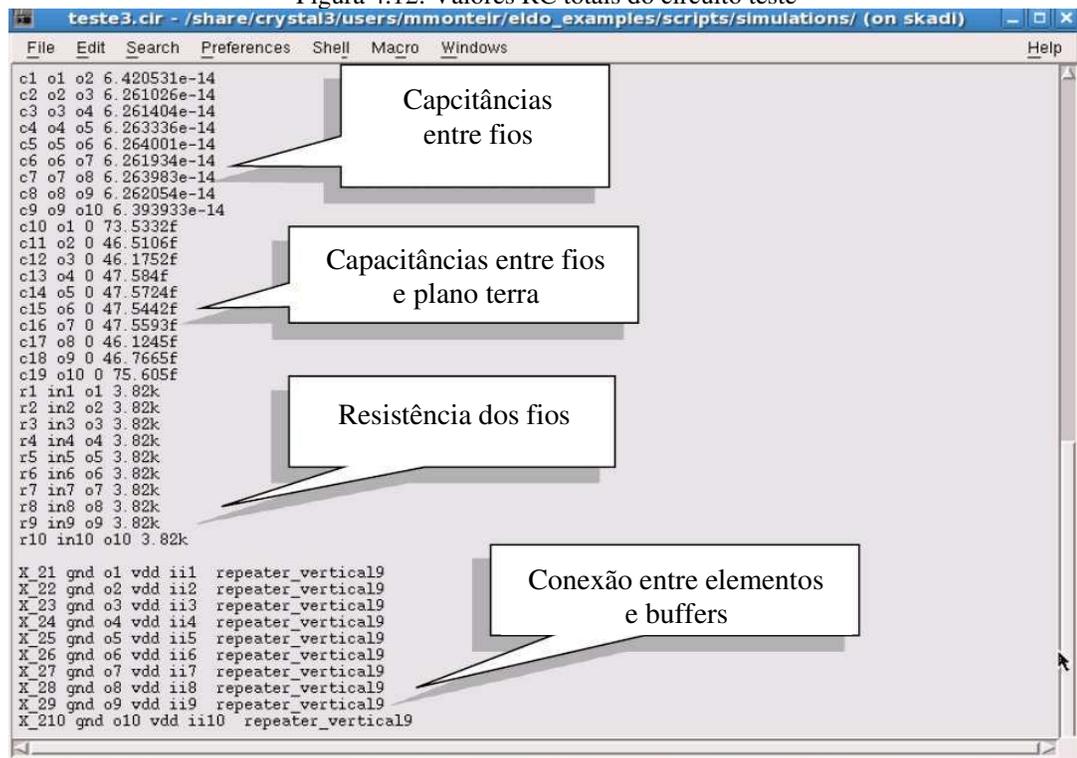
No processo de extração o circuito é dividido em seguimentos o software calcula os valores das resistências e capacitâncias de cada seguimento segundo o modelo RC distribuído, como ilustrado na Figura 4.11, já na Figura 4.12 pode-se observar os valores calculados das capacitâncias totais entre os fios, das capacitâncias totais entre fios e o plano terra e as resistências totais de cada fio.

Figura 4.11 : Modelo RC distribuído



Fonte: Própria Autora, 2013.

Figura 4.12: Valores RC totais do circuito teste

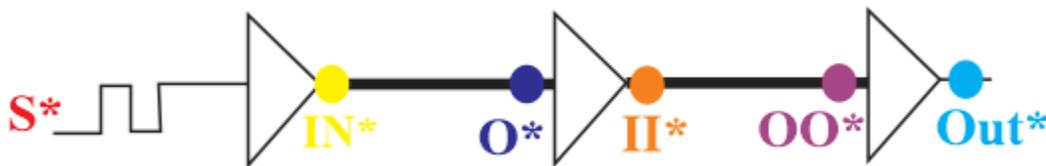


Fonte: Própria Autora, 2013. (Adaptado)

## 5 RESULTADOS

Com objetivo de medir os atrasos, causados pelo *crosstalk*, na propagação dos sinais transmitidos ao longo das trilhas do canal\_horizontal do circuito Crystal3, simulou-se o circuito teste descrito na seção anterior. Foram observados os pontos no começo e final de cada trilha, ou seja, antes e depois de cada buffer, como ilustrado na figura abaixo:

Figura 5.1: Figura de referência - pontos de observação do circuito teste



Fonte: Própria autora

### 5.1 CASO 1 - CARACTERÍSTICAS DO CANAL\_HORIZONTAL

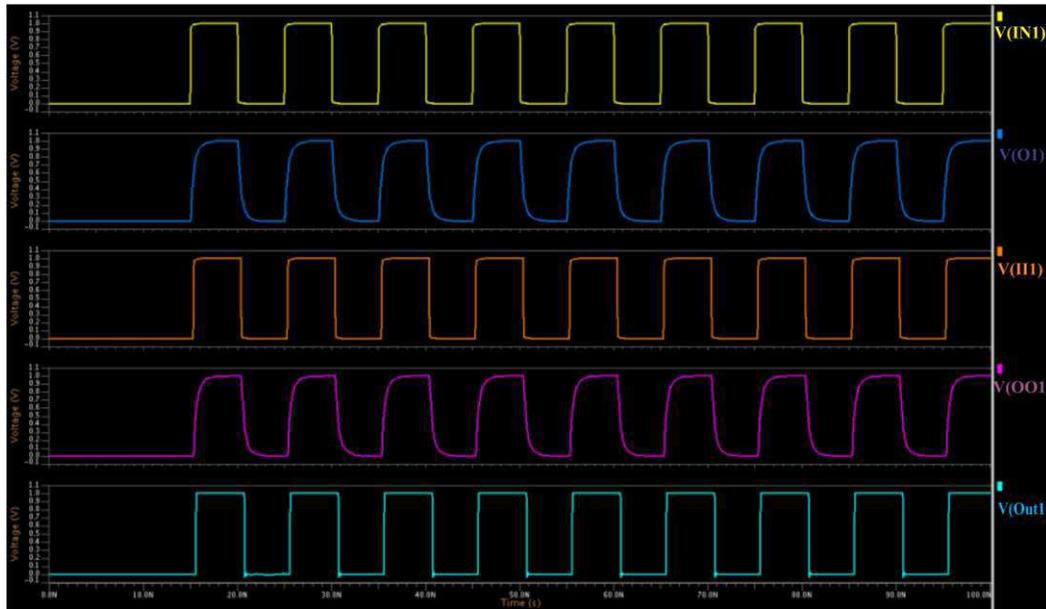
Aqui simulou-se o circuito teste considerando os valores das variáveis medidas na instância canal\_horizontal do Crystal3, tal como mostradas na tabela 4.1:

- Espaçamento entre trilhas: 0,072  $\mu\text{m}$ ;
- Largura de cada trilha: 0,072  $\mu\text{m}$ ;
- Rede de alimentação em Metal 3 e Metal 5.

Simulou-se inicialmente um caso de referência, no qual a primeira trilha é estimulada com uma fonte de onda quadrada que varia entre zero e um, enquanto as outras trilhas permanecem sem alimentação, de forma que não existem linhas agressoras e, portanto, a integridade do sinal da trilha alimentada não sofre interferência.

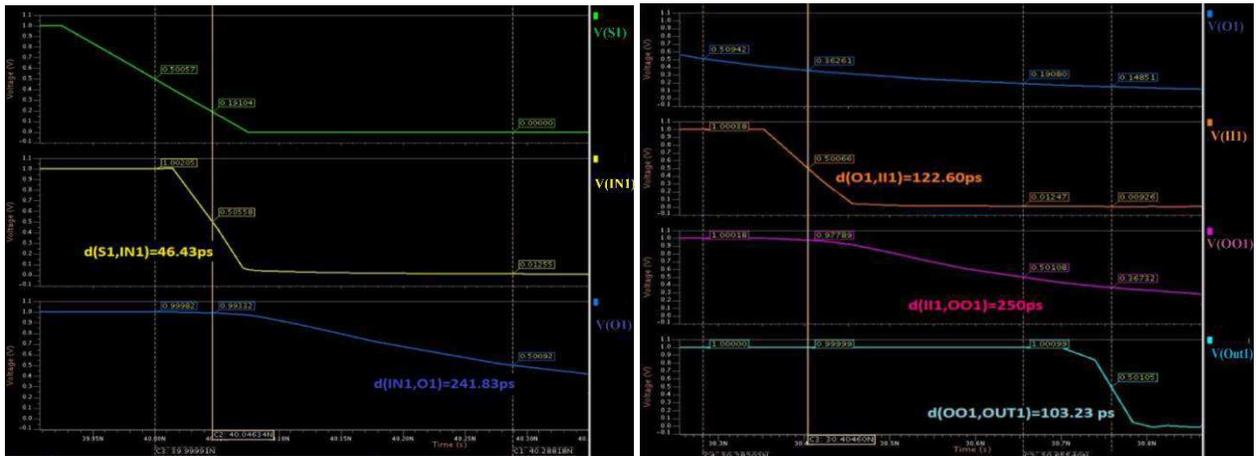
Mediu-se ainda os valores dos atrasos do sinal em cada ponto de observação. Graficamente, pode-se observar os sinais em cada ponto de observação, ilustrados na Figura 5.1, na Figura 5.2 e 5.3.

Figura 5.2: Saídas Caso 1 - Referência



Fonte: Própria autora, 2013

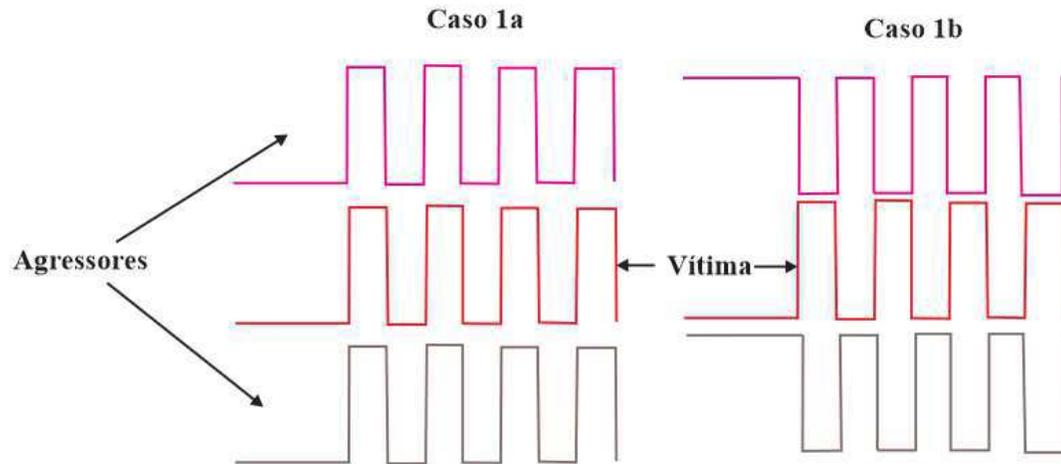
Figura 5.3: Delays em cada seção do circuito



Fonte: Própria autora, 2013

Ainda para o caso 1, considerou-se duas situações diferentes, ambas com uma vítima de dois agressores. Na situação 1, **caso 1a**, estimulou-se as três trilhas com fontes iguais, mesma amplitude, mesmo atraso inicial e que variam da mesma forma, já na situação 2, **caso 1b**, quando a vítima varia os agressores variam de forma inversa, como visto na Figura 5.4.

Figura 5.4: Estímulos agressores e vítima, caso 1a e 1b



Fonte: Própria autora.

De forma análoga ao que foi feito para a simulação de referência do caso 1, determinou-se os atrasos das seções do circuito teste. Os valores podem ser vistos na tabela 5.1 abaixo:

Tabela 5.1: Tempo de propagação do sinal - Caso 1

	Referência	Caso 1a	Caso 1b
$d(S^*, IN^*)$	46,43 ps	48,71 ps	49,69 ps
$d(IN^*, O^*)$	241,83 ps	119,24 ps	476,27 ps
$d(O^*, II^*)$	122,60 ps	74 ps	151,76 ps
$d(II^*, OO^*)$	250 ps	128,26 ps	382,37 ps
$d(OO^*, Out^*)$	103,23 ps	64,03 ps	116,36 ps
$d(S^*, Out^*)$	764,09 ps	434,24 ps	1,18 ns

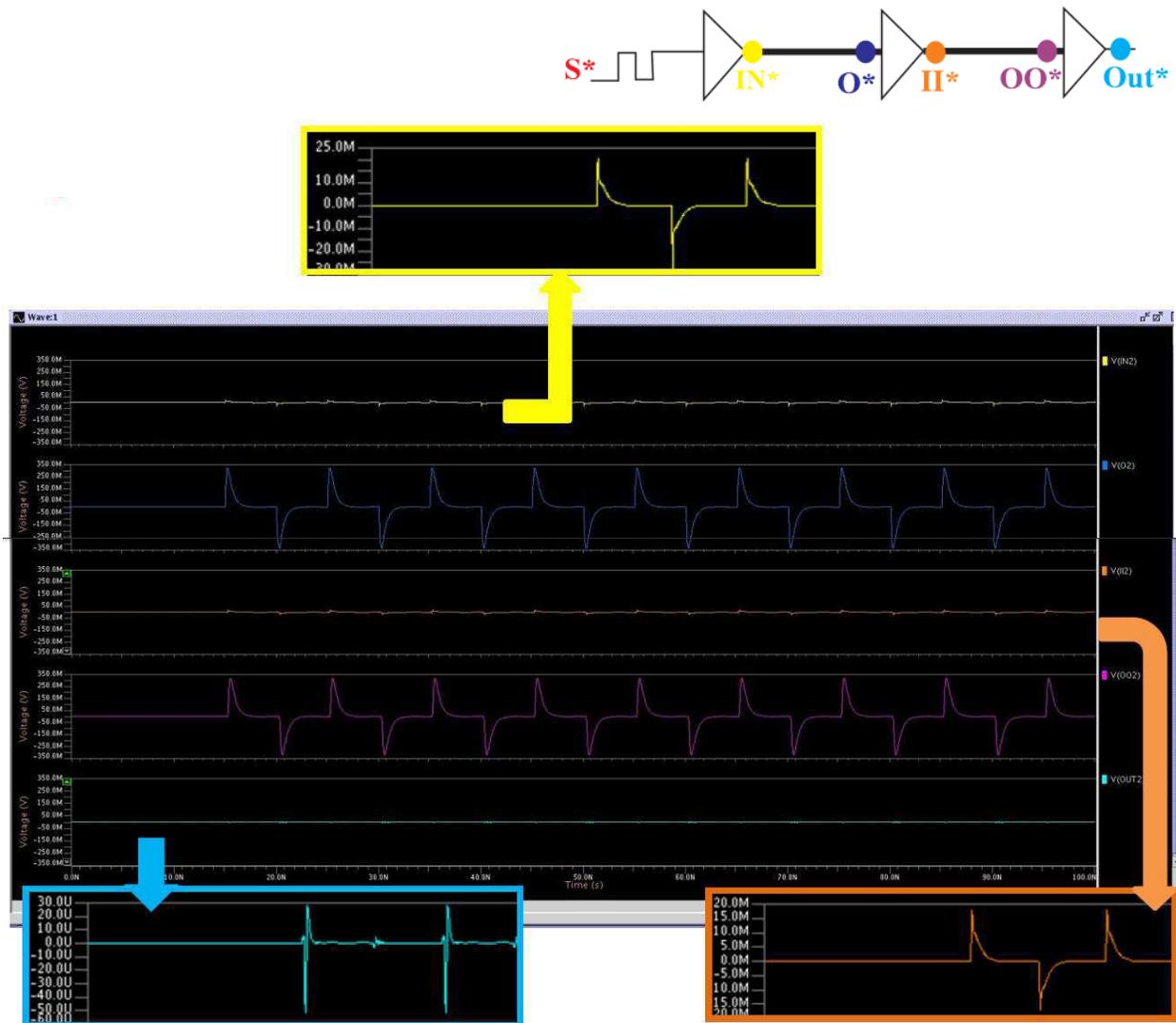
Fonte: Própria autora.

Pode-se observar que quando as fontes que alimentam vítima e agressores variam da mesma forma, o delay da transmissão é menor do que aquele medido para o caso de referência, onde não existem trilhas agressoras. Já quando as fontes da vítima e agressores variam de forma inversa uma a outra, como no **caso 1b**, ocorre uma desaceleração na transmissão do sinal desde a entrada até a saída do módulo teste em comparação ao caso de referência.

## 5.2 CASO 2 – EFEITO DO ROTEAMENTO DA MALHA DE ALIMENTAÇÃO

Como já explicado, os efeitos de acoplamento podem ser minimizados com a aproximação do plano terra, de forma que, nessa simulação, procurou-se identificar o efeito da malha de alimentação no circuito teste estudado. Considerou-se os mesmos valores de design apresentados na Tabela 4.1, os agressores estimulados por fontes de onda quadrada de amplitude 1V e vítima conectada a zero, os pontos de referência são tais quais os apontados na figura de referência.

Figura 5.5: Saídas do circuito com malha de alimentação - Caso 2

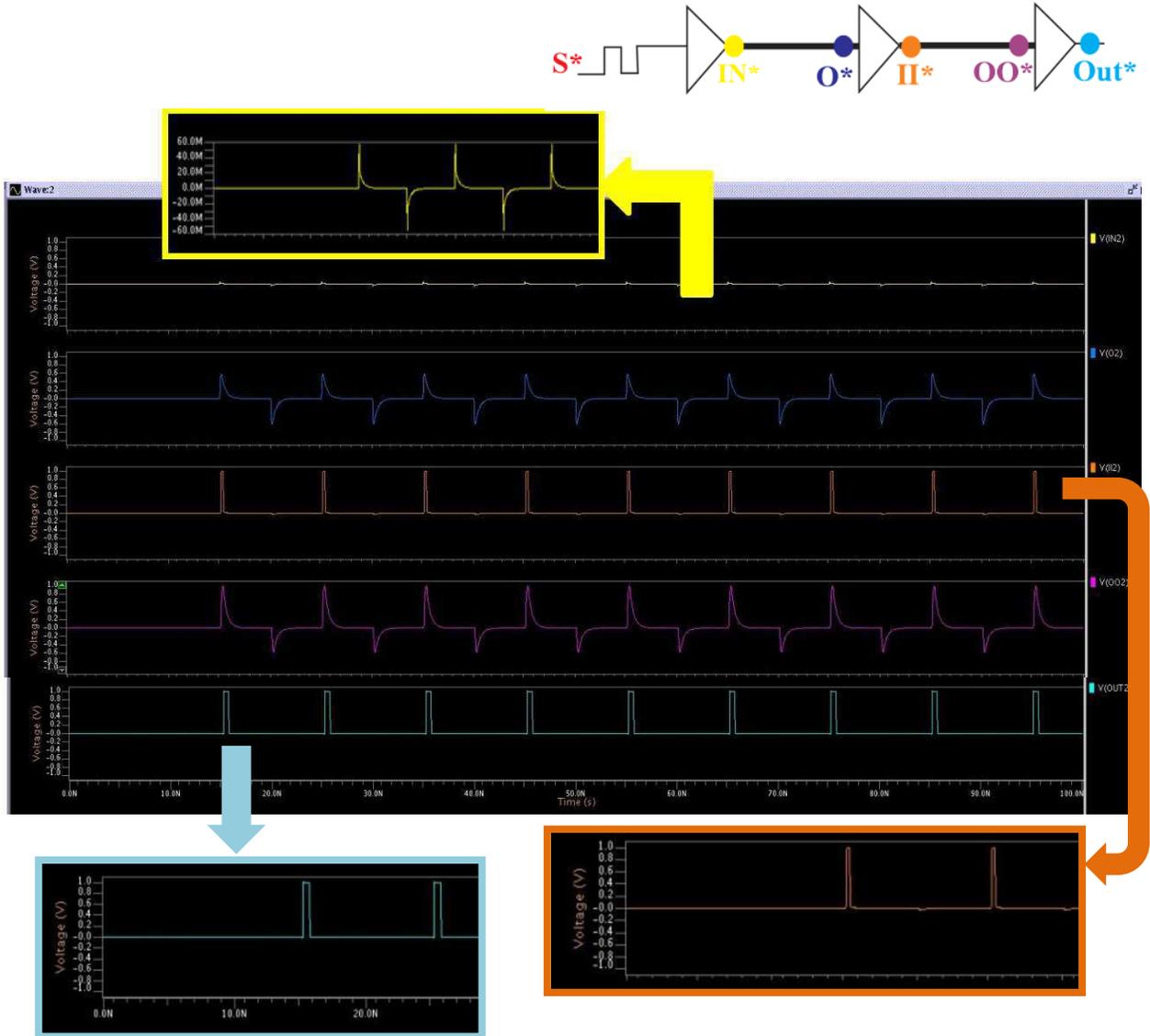


Fonte: Própria autora, 2013.

Pode-se observar na Figura 5.5 que, com a presença da malha de alimentação, o impacto do crosstalk no sinal da trilha vítima não é muito significativo, alcançando picos de 30  $\mu$ V. Já na

Figura 5.6, pode-se observar que os valores na trilha vítima atinge valores de até 1V, portanto o efeito do acoplamento é bem mais significativo quando da ausência da malha de alimentação.

Figura 5.5: Saídas do circuito sem malha de alimentação - Caso 2



Fonte: Própria autora, 2013.

### 5.3 CASO 3 – DIMENSÕES MÍNIMAS

Outro fator que afeta o acoplamento em circuitos impressos é a proximidade dos componentes. Nessa simulação observou-se como o *crosstalk* afeta a propagação de sinal no Crystal3 considerando o valor mínimo de espaçamento entre as trilhas. Os valores considerados no novo circuito de simulação foram:

- Espaçamento entre trilhas: 0,05  $\mu\text{m}$ .
- Largura das trilhas: 0,05  $\mu\text{m}$ .
- Malha de alimentação: metal 3 e metal 5

Os mesmos pontos foram observados, como visto na simulação do caso 1, quando vítima e agressores são estimulados com fontes que variam inversamente uma a outra, o impacto do acoplamento se torna mais importante. Dessa forma, considerou-se essa situação, análoga ao **Caso 1a**, para a simulação do design com dimensões mínimas. Os sinais nos pontos observados podem ser vistos na figura abaixo:

Figura 5.6: Saídas do circuito de teste - Caso 3



Fonte: Própria autora, 2013.

Como pode ser visto na Figura 5.6, o *crosstalk* faz com que a forma de onda na trilha vítima seja afetada. Os delays em cada seção do circuito podem ser vistos na tabela, em comparação com os delays obtidos para o **Caso1b**, observa-se que o efeito do *crosstalk* é mais significativo para espaçamentos menores no design do circuito.

Tabela 5.2: Tempo de propagação do sinal - Caso 3 x Caso 1b

	<b>Caso 3</b>	<b>Caso 1b</b>
<b>d(S*,IN*)</b>	56,41 ps	49,69 ps
<b>d(IN*, O*)</b>	926,49 ps	476,27 ps
<b>d(O*,II*)</b>	202,05 ps	151,76 ps
<b>d(II*, OO*)</b>	636,98 ps	382,37 ps
<b>d(OO*, Out*)</b>	180,70 ps	116,36 ps
<b>d(S*,Out*)</b>	2 ns	1,18 ns

Fonte: Própria autora, 2013.

## 6 CONCLUSÕES

O trabalho desenvolvido teve como objetivo estudar os efeitos de acoplamento devido ao fenômeno de *crosstalk*, que incorrem em circuitos integrados devido a diversos fatores, os principais deles foram estudados e quantificados a fim de determina o impacto real desse efeito sobre a qualidade e integridade do sinal.

Foi criado um circuito teste com as características de uma instância de um circuito digital, Crystal3, que seria futuramente utilizado como o circuito principal de um emulador fabricado pela Mentor Graphics. Foram realizadas simulações diferentes desse circuito teste e os efeitos do *crosstalk* foram medidos, tanto na forma de atrasos durante a propagação do sinal, como na influência que os sinais de entrada das trilhas agressoras tiveram no sinal de saída da trilha vítima.

Como pode ser verificado nos resultados das simulações executadas, a existência da malha de alimentação e do plano terra tem grande influência no acoplamento das trilhas e, conseqüentemente, nos atrasos durante a transmissão do sinal e na forma de onda final da trilha vítima. Para as dimensões medidas no canal\_horizontal do Crystal3, com espaçamento de 0,072  $\mu\text{m}$ , verificou-se que, quando agressor e vítima são estimulados com fontes que variam inversamente uma a outra, o efeito do acoplamento torna-se mais significativo.

Em relação à malha de alimentação, quando não existente, o efeito do *crosstalk* sobre a trilha vítima, quando conectada a zero, é bastante considerável fazendo com que picos de tensão de 1V surjam quando deveria ter tensão constante de 0V. A proximidade dos elementos no circuito também tem forte impacto na propagação do sinal, de forma que a atraso na propagação do sinal considerando as dimensões mínimas é quase o dobro do atraso medido quando as dimensões do Crystal3 são consideradas.

Como o avanço constante das tecnologias e o constante aumento da densidade de circuitos, bem como a diminuição do tamanho dessas tecnologias, é de extrema importância estudar o quanto a integridade do sinal transmitido é afetado por esses avanços. O estudo realizado foi importante, nesse sentido, para verificar a influência do *crosstalk* no circuito Crystal3 para as dimensões utilizadas no design, antes que o mesmo fosse fabricado e lançado ao mercado, verificando a possibilidade de arranjos que minimizassem esses efeitos.

## 7 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] CARLSON, Jam. Crosstalk em placas de circuito impresso. 2ª Ed.
- [2] PINHO, Antônio C.; MOECKEL, Alexandre; FRANCO, Admilson; BONFIM, Clemente C. Análise de integridade de sinal, emissão eletromagnética e térmica em placa controladora de impressão. Paraná.
- [3] PROVOST, Leslie. Validation logiciel/materiell d'une partie emulateur. Relatório de estágio, ESIEE/Mentor Graphics, Paris – França, 2005.
- [4] KAUSHIK, Barajesh; SARKAR, Sankar; ARGWAL, Rajendra P; JOSHI, Ramesh. Crosstalk noise generated by parasitic inductances in System-on-Chip VLSI interconnects. 2007, HAIT Journal of Science and Engineering B. India.
- [5] CASTILHOS, Guilherme; GIACOMET, Leonardo; GRECHI, Thomas. Emulação de sistemas digitais síncronos em dispositivos FPGAs. Trabalho de conclusão de curso, Pontifícia Universidade Católica do Rio Grande Do Sul, Porto Alegre, 2010.
- [6] Manual de referência/usuário Eldo. Mentor Graphics, Edição 12.2, 2013.
- [7] [www.mentor.com/products/](http://www.mentor.com/products/). Acesso em: 10/05/2016.
- [8] KOFFERLEIN, Mathias. KLayout, high performance layout viewer and editor. Edição 0.21.16. Março de 2012.
- [9] LIU, Yuewei. Design digital in 65nm technology. Relatório de Estágio, ESIEE/Mentor Graphics, Paris, 2008.
- [10] RENAULT, Patricia. Méthodes de reduction de réseaux RC appliqués aus outils de vérification des circuit submicroniques. Tése de doutorado, Universidade Paris VI, dezembro de 2013.

- [11] SERRESTOU, Youssef. Optimisation de la qualité de la verification fonctionnelle par analyse de mutation. Tese de doutorado, Instituto Politécnico de Grenoble, dezembro de 2008.