



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA
ELÉTRICA

**Circuito de Condicionamento de Energia Aplicado a Sistemas de
Colheita de Energia por Radiofrequência**

Tarcísio Oliveira de Moraes Júnior

Área de Conhecimento: Processamento da Informação

Campina Grande - PB

Agosto - 2017

Circuito de Condicionamento de Energia Aplicado a Sistemas de Colheita de Energia por Radiofrequência

Tarcísio Oliveira de Moraes Júnior

Tese de doutorado apresentada à Coordenação do Curso de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências, no domínio da Engenharia Elétrica.

Área de Conhecimento: Processamento da Informação

Orientadores:

Raimundo Carlos Silvério Freire, Dr.

Cleonilson Protásio de Souza, Dr.

Campina Grande - PB

Agosto – 2017

"CIRCUITO DE CONDICIONAMENTO DE ENERGIA APLICADO A SISTEMAS DE COLHEITA DE ENERGIA POR RF"

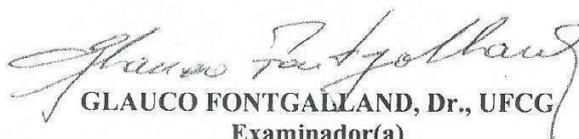
TARCÍSIO OLIVEIRA DE MORAES JÚNIOR

TESE APROVADA EM 14/09/2017



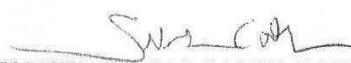
RAIMUNDO CARLOS SILVÉRIO FREIRE, Dr., UFCG
Orientador(a)

CLEONILSON PROTÁSIO DE SOUZA, D.Sc., UFPB
Orientador(a)



GLAUCO FONTGALLAND, Dr., UFCG
Examinador(a)

TARSO VILELA FERREIRA, D.Sc., UFS
Examinador(a)


SEBASTIAN YURI CAVALCANTI CATUNDA, D.Sc., UFRN
Examinador(a)


ROBSON NUNES DE LIMA, Dr., UFBA
Examinador(a)

CAMPINA GRANDE - PB

FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA CENTRAL DA UFCG

M827c

Moraes Júnior, Tarcísio Oliveira de.

Circuito de condicionamento de energia aplicado a sistemas de colheita de energia por radiofrequência / Tarcísio Oliveira de Moraes Júnior. – Campina Grande, 2017.

110 f. : il. color.

Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2017.

"Orientação: Prof. Dr. Raimundo Carlos Silvério Freire, Prof. Dr. Cleonilson Protásio de Souza".

Referências.

1. Circuito de Condicionamento. 2. Colheita de Energia. 3. Circuito de Condicionamento de Alta Eficiência. I. Freire, Raimundo Carlos Silvério. II. Souza, Cleonilson Protásio de. III. Título.

CDU 620.91(043)

A minha esposa Jesana Sá Damasceno Moraes, aos meus pais, Tarcísio Oliveira de Moraes e Maria de Fátima Pereira Oliveira, aos meus irmãos Tarcíêdo Pereira Oliveira e Tarciclêdo Pereira de Oliveira.

Dedico

Agradecimentos

Em primeiro lugar a Deus por a sabedoria concedida.

Aos professores Raimundo Carlos Silvério Freire, Cleonilson Protásio de Sousa e Marcos Zurita pela colaboração e empenho.

Aos meus amigos e colegas de graduação e pós-graduação da Universidade Federal de Campina Grande em especial a Arthur Luiz Alves de Araujo, Bruno Willian de Arruda e Moabe Rodrigues Ramos pela contribuição na minha pesquisa.

À CAPES pela concessão da bolsa de doutorado.

“O homem não pode receber coisa alguma, se não lhe for dada do céu.”
“O temor do SENHOR é o princípio da sabedoria, e o conhecimento do Santo a
prudência.”

João 3.27b; Provérbios 9.10

Sumário

Índice de Figuras	8
Índice de Gráficos.....	10
Índice de Tabelas	12
Lista de Abreviaturas.....	13
Lista de Símbolos	14
Abstract.....	21
1. INTRODUÇÃO.....	22
1.1. Objetivos	24
1.2. Organização do texto	24
2. FUNDAMENTAÇÃO TEÓRICA	25
2.1. Sistemas de Colheita de Energia.....	25
2.2. Circuitos de Condicionamento de Energia	29
2.3. Retificador	33
2.4. Técnicas de Cancelamento de V_t	36
2.5. Conversor CC/CC	44
2.6. Oscilador	49
2.7. Eficiência de Conversão de Energia	51
2.8. Equacionamento do MOSFET tipo n.....	52
2.9. Potência do MOSFET tipo n	55
3. MATERIAIS E MÉTODOS	59
4. RESULTADOS E DISCUSSÕES	62
4.1. Resultados de Projeto e de Simulação	62
4.1.1. Bloco Casamento de Impedância	63
4.1.2. Bloco Retificador.....	64
4.1.3. Bloco Alimentação do Gerador de <i>Clock</i>	74
4.1.4. Bloco Gerador de <i>Clock</i>	75
4.1.5. Bloco Conversor CC/CC	79
4.1.6. Bloco Regulador.....	83
4.1.7. Circuito de Condicionamento de Energia	84

4.2. Resultados de Testes e Validação	93
5. CONSIDERAÇÕES FINAIS	98
5.1. Conclusões	98
5.2. Perspectivas	101
TRABALHOS PUBLICADOS	102
REFERÊNCIAS	103

Índice de Figuras

Figura 1 – Sistema de colheita de energia por RF.....	27
Figura 2 – Diagrama de bloco de um circuito de condicionamento aplicado à colheita de energia.	30
Figura 3 – Diagrama do circuito de condicionamento.	31
Figura 4 – Diagrama do circuito de condicionamento de energia.....	32
Figura 5 – Circuito de condicionamento de energia.....	32
Figura 6 – Circuitos retificadores de (a) onda completa e (b) meia onda (dobrador de tensão).....	34
Figura 7 – Circuito retificador multiplicador de tensão.	35
Figura 8 – (a) retificador convencional (b) Cancelamento externo de V_f	40
Figura 9 – Circuito dobrador de tensão.	41
Figura 10 – Cancelamento interno de V_f	41
Figura 11 – (a) retificador convencional (b) <i>Self-Vt Cancellation</i>	42
Figura 12 – Circuito <i>bootstrapping</i>	44
Figura 13 – Conversor <i>boost</i>	45
Figura 14 – Circuito bomba de carga Dickson.	46
Figura 15 – Conversor híbrido.	48
Figura 16 – Oscilador em anel.....	49
Figura 17 – Oscilador tanque LC.	50
Figura 18 – Curva $i_D \times v_{DS}$ do transistor MOSFET.....	53
Figura 19 – Níveis seguidos do fluxo de projeto de circuitos integrados analógicos.	59
Figura 20 – Bancada de teste de circuito integrado.....	61
Figura 21 – Diagrama de bloco do CCE proposto.	62
Figura 22 – Configuração de circuito de casamento de impedância.	63
Figura 23 – Circuito de casamento de impedância.....	64

Figura 24 – Circuito retificador CMOS.....	65
Figura 25 – Circuito retificador com o CPS.....	69
Figura 26 – Polarização de V_{in} : (a) semiciclo positivo (b) semiciclo negativo.	71
Figura 27 – Circuito Oscilador em anel.....	75
Figura 28 – Circuito Inversor CMOS.....	76
Figura 29 - Esquemático do conversor CC/CC.....	80
Figura 30 – Regulador.....	83
Figura 31 – Esquemático do Circuito de Condicionamento de Energia.....	85
Figura 32 – Leiaute do Circuito de Condicionamento de Energia.....	86
Figura 33 - Microfotografia do retificador fabricado.....	94
Figura 34 – Procedimento de medição.....	94

Índice de Gráficos

Gráfico 1 – Condução do diodo formado na junção substrato-dreno.....	66
Gráfico 2 – Comparação da potência dos transistores T_{P0} de ambos os circuitos retificadores com e sem o uso do CPS.	70
Gráfico 3 - Comparação do PCE e da tensão de saída CC de ambos os circuitos retificadores com e sem o uso do CPS.	70
Gráfico 4 – Zona morta dos transistores.....	72
Gráfico 5 – Polarização do substrato dos transistores da ponte retificadora.	73
Gráfico 6 – Eficiência do AGC em função da potência de entrada.....	74
Gráfico 7 – Eficiência do AGC em função da frequência de operação.....	75
Gráfico 8 – Sinais de <i>clock</i> do oscilador.	78
Gráfico 9 – Eficiência do oscilador em função da potência de entrada.	78
Gráfico 10 – Eficiência do oscilador em função da frequência de operação.	79
Gráfico 11 – Sinais de <i>clock</i> antes e depois da amplificação.	80
Gráfico 12 – Eficiência do conversor em função da potência de entrada.	82
Gráfico 13 – Eficiência do conversor em função da frequência de operação.	83
Gráfico 14 – Tensões de entrada e saída do CCE.	87
Gráfico 15 – Tensão de Saída e PCE em função da carga.	88
Gráfico 16 – Queda de tensão na fonte.....	89
Gráfico 17 – Descarregamento do capacitor de armazenamento.	90
Gráfico 18 – Eficiência e tensão CC de saída em função da potência de entrada.....	91
Gráfico 19 – Eficiência e tensão CC de saída em função da frequência de operação.....	91
Gráfico 20 – Ganho de tensão do CCE.	92
Gráfico 21 – Tensão de saída e PCE em função da resistência de carga.	95

Gráfico 22 – Comparação dos resultados experimentais e de simulação da tensão CC de saída em função da potência de entrada. 96

Gráfico 23 – Comparação dos resultados experimentais e de simulação da PCE em função da potência de entrada. 96

Índice de Tabelas

Tabela 1 - Parâmetros tecnológicos.....	63
Tabela 2 – Parâmetros dos componentes do CCE.....	84
Tabela 3 – Potência média, consumo em porcentagem e eficiência de cada bloco.	88
Tabela 4 - Comparação do CCE com trabalhos publicados.	93
Tabela 5 - Comparação do retificador com trabalhos publicados.	97

Lista de Abreviaturas

AGC	Alimentação do Gerador de <i>Clock</i>
CCE	Circuito de Condicionamento de Energia
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
CPS	Circuito de Polarização de Substrato
CC	Corrente Contínua
EVC	<i>External V_t Cancellation</i>
GSM	<i>Groupe Special Mobile</i>
IVC	<i>Internal V_t Cancellation</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MPPT	<i>Maximum Power Point Tracking</i>
PCE	<i>Power Conversion Efficiency</i>
RF	Radiofrequência
RSSF	Redes de Sensores Sem Fio
SVC	<i>Self V_t Cancellation</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
UHF	<i>Ultra High Frequency</i>
UMC	<i>United Microelectronics Corporation</i>
VLSI	<i>Very Large Scale Integration</i>
SI	Sistema Internacional

Lista de Símbolos

ϕ_1	Sinal de <i>clock</i> 1
ϕ_2	Sinal de <i>clock</i> 2
ϕ_f	Potencial de FERMI
ϵ_s	Permissividade do silício
τ_{off}	Tempo de comutação do modo condução para corte
τ_{on}	Tempo de comutação do modo corte para condução
μ_n	Mobilidade dos elétrons
μ_p	Mobilidade das lacunas
B	Terminal do substrato
C_1 a C_{10} , C_T	Capacitores
C_L , C_S , C_{A1} a C_{A10}	
C_{db}	Capacitância parasita de dreno
C_{db0}	Valor de C_{db} para polarização dreno-substrato
C_{gs}	Capacitância parasita de porta
C_{ox}	Capacitância de porta
C_P	Capacitor equivalente da fonte
C_{sb}	Capacitância parasita de fonte
C_{sb0}	Valor de C_{sb} para polarização fonte-substrato nula
C_{st}	Super capacitor de armazenamento
d	Distância entre transmissor e receptor
D	Terminal do dreno
D_1 a D_5	Diodos

D_c	Ciclo de trabalho
f	Frequência
F_{osc}	Frequência de oscilação
G_R	Ganho da antena receptora
G_T	Ganho da antena transmissora
I_2	Corrente no ramo 2
I_C	Corrente do circuito
I_D, I_{D1}, I_{D2}	Corrente do transistor
I_K	Corrente de fuga
I_P	Fonte de corrente
I_S	Corrente de saturação do diodo
L	Comprimento do canal do transistor
$L_{ind}, L_{ind1}, L_{ind2},$ L_{indp}, L_{inda}	Indutores
L_n	Comprimento do canal do transistor tipo n
L_{OV}	Comprimento de sobreposição
L_p	Comprimento do canal do transistor tipo p
M	Ganho do conversor
n	Fator de idealidade
N	Número de inversores
N_A	Concentração de dopantes do substrato
P_B	Potência no modo de corte
P_C	Potência de condução
P_L	Potência instantânea na carga
p_{off}	Potência de comutação condução para corte

p_{on}	Potência de comutação corte para condução
P_R	Potência recebida
P_S	Potência de chaveamento
P_t	Potência transmitida
P_T	Potência total
P_{Vin}	Potência instantânea entregue pela fonte
q	Carga do elétron
r_0	Resistência do canal na região de saturação
R_1 a R_3, R	Resistores
R_C	Resistência parasita de contato
R_{ct}	Resistência parasita de contato total
r_{DS}	Resistência do canal na região de triodo
R_m	Resistência parasita do metal
R_p	Impedância de entrada
R_S	Impedância de entrada do circuito
R_f	Resistência de folha
S	Terminal fonte
T	Período do sinal
T_1	Instante de tempo 1
T_2	Instante de tempo 2
T_d	Tempo de atraso do inversor
T_N, T_{N0} a $T_{N21},$ T_{N38}, T_{N37}, M_1 a M_{10}	Transistores tipo n
T_{P0} a T_{P21}	Transistores tipo p

t_{PHL}	Tempo de propagação do nível alto para baixo
t_{PLH}	Tempo de propagação do nível baixo para alto
V_0	Tensão interna da junção
V_{02}	Tensão no ponto 02
V_A	Tensão de EARLY
V_B	Tensão no substrato
V_{bth} e V_{bth1}	Fontes de tensão externa
V_C	Tensão no capacitor C
V_{C1}	Tensão no capacitor C_1
V_{C11}	Tensão no capacitor C_{11}
V_{C22}	Tensão no capacitor C_{22}
V_{CAP}	Tensão no capacitor CAP
V_d	Queda de tensão do transistor
v_{DB}	Tensão dreno-substrato
V_{DC}	Tensão CC de saída
V_{dc}	Tensão CC de entrada
V_{dd}	Tensão do bloco Alimentação do Gerador de <i>Clock</i>
v_{DS}	Tensão dreno-fonte
V_E	Tensão da fonte externa
v_{GS}	Tensão porta-fonte
V_H	Tensão no ponto H
V_{IN}	Tensão de entrada
V_{INP}	Tensão no semiciclo positivo
V_J	Tensão no ponto J

V_{out}	Tensão de saída
V_{OV}	Sobretensão de condução
V_p	Tensão de pico
V_r	Tensão de <i>ripple</i>
V_{rf}	Tensão da fonte RF
V_{SB}	Tensão fonte-dreno
V_T	Tensão térmica
V_t	Tensão de limiar
V_{t0}	Tensão de limiar para $V_{SB}=0$
V_{tD1}	Tensão de limiar do diodo D_1
V_{tD2}	Tensão de limiar do diodo D_2
V_{tn}	Tensão de limiar do transistor tipo n
V_{tp}	Tensão de limiar do transistor tipo p
V_X	Tensão no ponto X
$V\phi_1$	Tensão do sinal de <i>clock</i> 1
$V\phi_2$	Tensão do sinal de <i>clock</i> 2
W	Largura do canal do transistor
W_b	Largura parasita do metal
W_d	Largura do metal
W_n	Largura do canal do transistor tipo n
W_p	Largura do canal do transistor tipo p
X_p e X_a	Reatâncias indutivas
X_S	Reatância capacitiva
ΔI_L	Variação da corrente do indutor

λ	Comprimento de onda
λ_2	Parâmetro da tecnologia do processo
γ	Fator de corpo

Resumo

Com o avanço da tecnologia, a redução do consumo de energia de circuitos microeletrônicos tem sido possibilitada, viabilizando a utilização de colheita de energia para alimentação de dispositivos eletrônicos. Desse modo, surgiu a necessidade de se desenvolver circuitos de condicionamento, que pudessem gerenciar níveis de tensão provenientes de captadores de energia, no intuito de alimentar adequadamente dispositivos eletrônicos. Portanto, propõe-se nesse trabalho, um circuito de condicionamento de alta eficiência aplicado a um sistema de colheita de energia por radiofrequência, capaz de condicionar sinais de tensão e alimentar dispositivos eletrônicos de baixo consumo. Para alcançar o objetivo proposto foi desenvolvido um circuito de condicionamento de energia composto por um retificador CMOS de onda completa, um conversor CC/CC, um circuito oscilador e um regulador de tensão. O circuito retificador tem uma topologia inovadora utilizando um circuito de polarização de substrato para redução de correntes de fuga. Nesse circuito foi possível obter 6% a mais de eficiência em comparação aos melhores resultados de retificadores até o momento publicados. O circuito de condicionamento proposto possui um circuito capaz de fornecer um valor fixo de tensão que alimenta o circuito oscilador que, por sua vez, gera sinais de *clock* para o controle de chaveamento do conversor CC/CC híbrido indutivo capacitivo. Todo o circuito de condicionamento desenvolvido opera sem necessitar de fonte de alimentação externa, se distinguindo de trabalhos publicados recentemente. O circuito de condicionamento foi analisado e projetado utilizando o software Virtuoso/Cadence e enviado para a fabricação com tecnologia CMOS de 130 nm. O circuito de condicionamento proposto foi capaz de gerar -19,09 dBm, com uma eficiência total de 14,5%, e com tensão de saída de 3,3 V, sendo a potência e tensão de entrada de -10,7 dBm e 600 mV, respectivamente. Os resultados experimentais e de simulação foram comparados com outros trabalhos.

Palavras-chave: circuito de condicionamento, colheita de energia, eficiência.

Abstract

The microelectronic technology advancements have been making possible the reduction of power consumption allowing the development of energy harvesting systems to low-power electronic devices. In this context, low-power conditioning circuits have been needed to regulate and manage the output voltage levels from an energy harvester in order to power those devices correctly. In this work, it is proposed a high-efficiency power conditioning circuit applied to Radio-Frequency energy harvester capable to carry out adequate power conditioning to supply regulated output voltage to an electronic device. In this way, a full-wave CMOS rectifier, a DC/DC converter, an oscillator circuit and a voltage regulator were developed where a novel topology of the rectifier circuit based on a bulk-biasing control circuit that reduces leakage currents through its transistors was proposed and, as a result, it shows to be possible to achieve 6% more efficiency as compared to the best results of rectifiers described in the scientific literature. The capacitive inductive hybrid DC/DC converter is clocked by the oscillator circuit powered by the power conditioning circuit itself. In fact, the whole proposed power conditioning circuit does not require any external power supply for its operation, unlike some ones described in recent published papers. The power conditioning circuit was designed using the Virtuoso/Cadence software and was shipped for manufacturing with a 130 nm CMOS technology. The proposed conditioning circuit is capable of supplying -19,09 dBm, with 14.5% of efficiency and 3.3 V of output voltage, when the received power and input voltage are -10.7 dBm and 600 mV, respectively. In addition, the experimental and simulation results were compared with other studies.

Key words: conditioning circuit, energy harvesting, efficiency.

1. INTRODUÇÃO

Nos dias atuais, com a difusão da comunicação, há uma grande facilidade de troca de informações de pontos extremamente distantes, por exemplo, por meio do uso da telefonia móvel, em que sistemas de comunicação e monitoramento, das mais diversas localidades, interpõem suas informações em frações de segundos.

Os sistemas de comunicação aplicam-se também a redes inteligentes, como Redes de Sensores Sem Fio (RSSF) compostas por nós sensores, os quais colhem informações do meio onde se encontram, para processamento e eventual aquisição de dados para um determinado fim. As RSSF possuem vantagens no monitoramento e troca de informações por não necessitarem do uso de cabos, porém tem o seu tempo de funcionamento reduzido por estarem, na maioria das vezes, em locais onde não há uma fonte de energia que possa recarregar as baterias que as alimentam (MOLINO-MINERO-RE *et al.*, 2012). Entretanto, com a aceleração no desenvolvimento da tecnologia *Very Large Scale Integration* (VLSI), o consumo dos nós sensores é cada vez menor, proporcionando assim meios alternativos de alimentação para funcionamento energeticamente autônomo.

Neste intento, novas fontes de energia alternativas e métodos de colheita de energia estão sendo estudados. Esses métodos se referem ao processo pelo qual a energia do ambiente é convertida em energia elétrica para alimentar pequenos dispositivos, tornando-os autossuficientes (SANTOS *et al.*, 2014). A aplicabilidade desses métodos pode ser, por exemplo, em circuitos de medição (ZHU; WORTHINGTON; TIWARI, 2010). Logo, dispositivos de baixo consumo para tal aplicação, possuem captadores que podem colher energia do ambiente para a sua autonomia e desempenho de funções. A colheita de energia tem aplicabilidade imediata em dispositivos eletrônicos inteligentes de baixo consumo e, em específico, em nós sensores de uma RSSF (TOMA; DEL RIO; MANUEL-LAZARO, 2012). Neste pensamento, há, atualmente, várias formas de se colher energia de um ambiente para transformação em energia elétrica e posterior aplicação em dispositivos eletrônicos. Estas formas de colheita vêm chamando atenção de diversos pesquisadores, que tomam como base para seus experimentos, as principais fontes: indução magnética (MORAES JUNIOR, 2013), vibração (RANGEL, 2014), radiofrequência (NAVEEN;

MANJUNATH, 2011), energia térmica (MOUSOULIS *et al.*, 2012), solar (WU; LIU; ZHU, 2013) e eólica (BOQUETE *et al.*, 2012).

A radiofrequência constitui-se uma importante aplicação, na qual é utilizada uma antena para a recepção e conversão em energia elétrica das ondas eletromagnéticas. Os níveis de tensão adquiridos nessa aplicação podem variar de microvolts a milivolts, proporcionalmente à potência do sinal de radiofrequência recebido. Essa variação de tensão acontece em qualquer forma de colheita, devido à energia disponível no ambiente ser instável. Essa instabilidade torna-se um problema para o sistema, pois os dispositivos alimentados pelo processo de colheita necessitam de níveis de tensão constantes para seu adequado funcionamento. Outrossim, são os pequenos níveis de energia, microwatts, disponíveis no ambiente, tornando-se, em alguns casos, desprezíveis para utilização. Portanto, faz-se necessário o desenvolvimento de circuitos de baixo consumo, que condicionem a energia colhida de modo a fornecer valores de tensão constantes ao dispositivo, com a máxima transferência de potência e Eficiência de Conversão de Energia (PCE da expressão inglês *Power Conversion Efficiency*) (KOTANI; ITO, 2009; LI, PING *et al.*, 2011).

Como alternativa à resolução dessas questões, circuitos microeletrônicos estão sendo estudados e desenvolvidos (GHAREHBAGHI *et al.*, 2012), os quais controlam a tensão CC de saída sem auxílio de fonte externa. Esses Circuitos de Condicionamento de Energia (CCE) são compostos basicamente de um retificador, um gerador de *clock*, um conversor elevador e um circuito de armazenamento.

Nesse contexto, vislumbra-se nesse trabalho, o desenvolvimento de um CCE que seja capaz de fornecer níveis de tensão constantes a uma carga resistiva, sem a necessidade de alimentação externa, tendo como fonte a energia colhida por Radiofrequência (RF).

Os objetivos a serem alcançados nesse trabalho estão descritos no item 1.1.

1.1. Objetivos

O objetivo geral:

- Desenvolver um circuito integrado de condicionamento de energia com aplicação em sistemas de colheita de energia por radiofrequência sem auxílio de alimentação externa fornecendo níveis de tensão utilizáveis.

Os objetivos específicos são:

- Desenvolver um circuito integrado sem a necessidade de fonte externa que contenha um retificador de onda completa de alta eficiência com topologia ainda não utilizada, um elevador e um regulador de tensão de baixo consumo;
- Fornecer, com o circuito de condicionamento desenvolvido, uma tensão utilizável de 3,3 V a uma carga resistiva.
- Simular em regime transitório os circuitos desenvolvidos utilizando a ferramenta Virtuoso/Cadence;
- Executar a fabricação do circuito integrado;
- Testar, verificar e validar o projeto.

1.2. Organização do texto

Este trabalho está dividido na seguinte ordem: na segunda seção está descrita a fundamentação teórica dos circuitos de condicionamento de energia, bem como a revisão bibliográfica de circuitos de condicionamento com aplicação a sistemas de colheita de energia. Na terceira seção estão descritos os materiais e métodos utilizados. Na quarta seção é apresentado o circuito de condicionamento de energia proposto, bem como a teoria que o embasa. Na quinta seção são apresentados os resultados do circuito proposto e comparações com outros trabalhos. Na sexta seção estão descritas as conclusões.

2. FUNDAMENTAÇÃO TEÓRICA

2.1. Sistemas de Colheita de Energia

Há muito tempo, a colheita de energia já vem sendo utilizada, por exemplo, em energia solar (REDFIELD, 1976), radiofrequência (BROWN, 1984) e indução magnética (SHLADOVER, 2006). Essa maneira de “aproveitar” a energia disponível no ambiente, pode ser melhor definida como o processo pelo qual a energia do ambiente é convertida em energia elétrica. Esse processo pode alimentar pequenos dispositivos tornando-os autossuficientes energeticamente.

Para que essa colheita seja realizada são utilizados captadores (transdutores) de energia para essa conversão (SANTOS *et al.*, 2014). Dependendo da aplicação, esses captadores podem ser antenas, núcleos toroidais, materiais com características piezelétricas, hélices, células de Peltier e fotovoltaicas, em que os níveis de potência adquiridos no processo são de alguns miliwatts, suficientes para o funcionamento de alguns sensores (TAITHONGCHAI; LEELARASMEE, 2009; GUO; HAYAT; WANG, 2011; TASHIRO *et al.*, 2011; TOMA; DEL RIO; MANUEL-LAZARO, 2012). Como fontes dos sistemas de colheita, pode-se citar a vibração (ZHU; WORTHINGTON; TIWARI, 2010), calor (MOUSOULIS *et al.*, 2012) indução magnética (LI, PING *et al.*, 2015) e radiofrequência (SAMPLE; SMITH, 2009).

A aplicabilidade desses sistemas de colheita de energia é referenciada aos dispositivos eletrônicos inteligentes de baixo consumo, em específico a nós sensores de uma rede sem fio. Esses nós sensores, por exemplo, podem ser espalhados em uma determinada área urbana acoplados a linhas de transmissão, para coleta de informações do próprio cabo da linha. Portanto, uma das formas de alimentar esses nós sensores, seria por meio de indução magnética. Nessa forma, um toroide constituído por um núcleo de material ferromagnético, concentra o fluxo magnético gerado por uma corrente em um terminal primário. Esse fluxo concatenado induz uma corrente no terminal secundário, que alimentaria os nós sensores. Esse princípio de funcionamento é antigo e teve sua descoberta por Michael Faraday em 1831 (SADIKU, 2004). Desde a descoberta de Faraday, a indução magnética é bastante utilizada no meio acadêmico para o

desenvolvimento de pesquisas na área de colheita de energia (MORAES JÚNIOR; SOUZA; RODRIGUEZ, 2013; SANTOS *et al.*, 2014). Essa forma de colheita “aproveita” o campo magnético em condutores por onde há corrente elétrica (AHOLA *et al.*, 2008; YUAN *et al.*, 2015; ZHAO *et al.*, 2013). Essa maneira de recuperação de energia foi utilizada por Moraes Junior, Rodriguez e Souza (2013), em que um toroide concentra o fluxo magnético, equivalente a uma corrente de 15 A, em uma linha de transmissão e, por meio de indução magnética, fornece um valor máximo de 24,62 dBm a uma carga resistiva de 97 Ω . Outra aplicação pode ser vista em Toma, Del Rio e Manuel-Lazaro (2012), em que nós sensores autônomos monitoraram cabos de alta tensão em uma linha subterrânea. Os nós sensores possuem um toroide, com núcleo ferromagnético para a conversão da energia, e um CCE para alimentação do nó sensor. Esses nós são anexados aos próprios cabos contendo um sensor de temperatura, que informa os parâmetros de variação de temperatura a uma estação base. Para o desenvolvimento dessas pesquisas, os materiais mais utilizados dos toroides são do tipo nanocristalino, ferrite, pó de ferro e ligas amorfas (AHOLA *et al.*, 2008; GUO; HAYAT; WANG, 2011; TASHIRO *et al.*, 2011; TOMA; DEL RIO; MANUEL-LAZARO, 2012; ZHAO *et al.*, 2013).

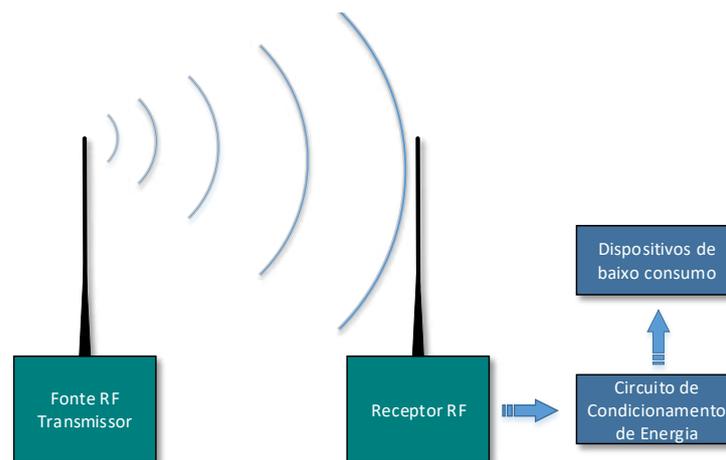
Em sistemas de colheita por vibração são largamente utilizados materiais com características piezoelétricas. Esses materiais convertem a vibração em energia elétrica quando agitados na sua frequência de ressonância, os quais foram utilizados por Beeby *et al.* (2007) em um pequeno gerador eletromagnético com volume de 0,1 cm³, utilizando componentes discretos. Nesse experimento, foi capaz de produzir -13,37 dBm a uma carga resistiva de 4 k Ω em frequência de ressonância 52 Hz. Outra aplicação semelhante pode ser vista em Zhu, Worthington, Tiwari (2010), que tratou de um estudo sobre a variação dos parâmetros geométricos de uma viga. O estudo tomou como referência a potência de saída de um material piezoelétrico acoplado à viga, que converteu a vibração em energia elétrica ligado ao uma carga resistiva. Essa pesquisa teve com aplicação, auxiliar no monitoramento e avaliação de estruturas da construção civil por meio da vibração.

Em sistemas de colheita por energia solar, são utilizadas células fotovoltaicas como captadores, nas quais é presente o problema da variação da impedância com a variação da intensidade de luz incidente, o que interfere na máxima transferência de potência para a carga. Logo, para uma conversão eficiente, faz-se necessário a utilização de um controle

exato de impedância, utilizando, para isso, algoritmos de Rastreamento do Ponto de Potência Máximo (MPPT da expressão inglês *Maximum Power Point Tracker*) integrados aos CCE. Esses algoritmos permitem determinar o ponto de operação de maior energia elétrica da célula, com o intuito de realizar a máxima transferência de potência por meio de casamento de impedância. Um exemplo da aplicação de colheita por energia solar foi proposto por Naveen, Manjunath (2011), o qual desenvolveu um sistema de colheita por meio de células fotovoltaicas para a substituição das baterias de nós sensores instalados em um edifício. As células ficaram arranjadas em série e paralelo juntamente com capacitores de armazenamento ligados a baterias alcalinas para armazenamento. Contudo uma desvantagem desse sistema é o fato que a fonte de energia se encontra disponível apenas durante o dia, inviabilizando o uso durante a noite sem a utilização de um banco de baterias.

A colheita por radiofrequência é uma tecnologia que utiliza antenas receptoras de micro-ondas provenientes de antenas transmissoras, como telefonia móvel, Wi-fi, canais de TV, rádios AM e FM (MARTINOVIC *et al.*, 2015). Nesse processo, o sinal colhido é enviado para um CCE que alimenta um dispositivo eletrônico de baixo consumo, conforme ilustrado na Figura 1.

Figura 1 – Sistema de colheita de energia por RF.



Fonte: próprio autor.

Esse sistema é limitado à alimentação de dispositivos de baixo consumo na ordem de microwatts, pois a energia disponível nas ondas eletromagnéticas em um ambiente é pequena para a recepção. Em contrapartida, a colheita por radiofrequência possui vantagem com relação ao seu alcance na transmissão/recepção de energia, podendo chegar a dezenas de metros (AMOSTRA; SMITH, 2009). Outra vantagem, relacionado, por exemplo, a energia solar, é a disponibilidade da energia durante todo o tempo, o que não se aplica durante a noite para a energia solar.

Como aplicação desse sistema de colheita, pode ser visto em Martinovic *et al.* (2015) uma análise da energia colhida de algumas tecnologias como Wi-fi, Bluetooth, ZigBee e GSM no intuito de alimentar pequenos dispositivos. De semelhante modo, Milanezi, Costa, Freitas (2014) realizaram medições das ondas de radiofrequência na cidade de Brasília – Brasil, com o auxílio de antenas e um analisador de espectro em uma faixa de frequência de 5 kHz a 6 GHz. Como resultado, obtiveram níveis de potência entre -142 dBm e +18 dBm. Essas medições foram realizadas três vezes ao dia em quatro pontos distintos da cidade, com o intuito de alimentar um telefone celular.

Para que essas aplicações tenham maior eficiência, é importante executar uma periodicidade de medições das ondas eletromagnéticas disponíveis no ambiente. Essas medições indicarão a escolha da melhor faixa de frequência com base na intensidade e quantidade de energia disponível, para a realização do projeto da antena e do circuito de condicionamento de energia, que irão alimentar os dispositivos de baixo consumo. Essa periodicidade de medição foi realizada por Nishimoto, Kawahara, Asami (2010), que durante sete dias, realizaram medições das ondas de RF próximas a uma torre de transmissão de sinal digital, pertencente a uma emissora de canal aberto na cidade de Tóquio no Japão. Utilizando um protótipo de uma antena e um circuito retificador, obtiveram uma potência média de -16,98 dBm na faixa de frequência *Ultra High Frequency* (UHF), suficiente para alimentação de um nó sensor de uma rede sem fio.

Outros estudos para colheita por RF foram desenvolvidos, relacionados ao projeto das antenas captadoras de sinais em ambientes com frequência de 2,4 GHz (IPAR; LAMBOR; JOSHI, 2016) e banda de frequência de 900 a 1800 Hz (BORGES *et al.*, 2015), para alimentar sensores com aplicação biomédica.

Como observado, a aplicação da colheita de energia por RF é bem diversificada, o que desencadeia um interesse dos pesquisadores por tal assunto. Embora os níveis de energia colhidos sejam pequenos, na ordem de microwatts, em muitos casos, é suficiente para a alimentação de pequenos dispositivos eletrônicos de baixo consumo. Esses níveis de energia colhidos podem ser medidos e, para tanto, é utilizado como referência, para prever a quantidade de energia colhida pela antena receptora, a expressão de Friis, conforme expressão (1).

$$P_R = \left(\frac{\lambda}{4\pi d} \right)^2 G_T G_R P_T. \quad (1)$$

Nessa expressão a quantidade de potência recebida P_R na antena receptora vai depender de alguns fatores como: à distância d entre transmissor e receptor, o comprimento de onda λ , os ganhos do transmissor G_T e do receptor G_R e a potência do transmissor P_T . A expressão (1) é utilizada na tentativa de prever a potência do sinal recebido quando não há obstáculos entre o transmissor e o receptor. Portanto em uma situação real, a potência recebida será menor do que a estipulada pela expressão (1).

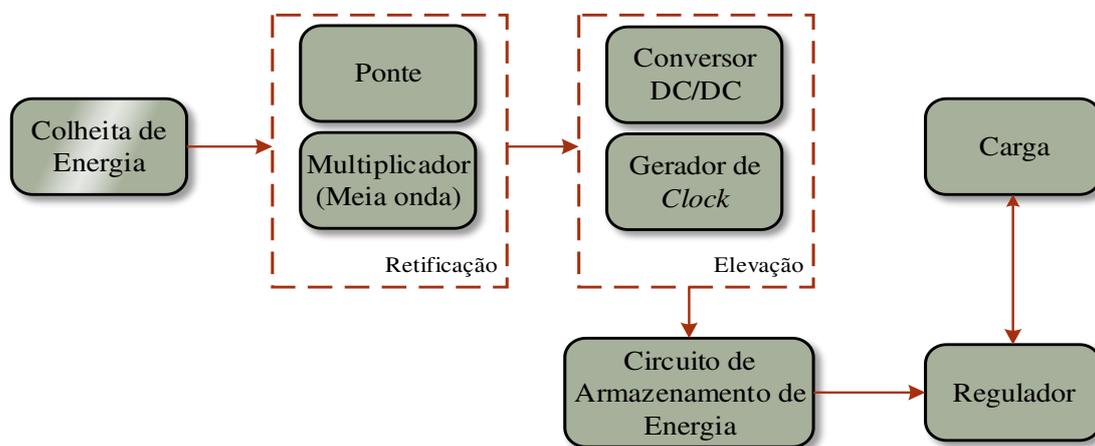
Assim, os sistemas de colheita têm a sua importância e aplicabilidade voltadas para alimentação de dispositivos de baixo consumo, porém, para que essa aplicabilidade seja completa, faz-se necessário a utilização de circuitos que condicionem esses sinais colhidos para alimentação dos dispositivos. Portanto, na próxima seção, será visto uma revisão sobre circuitos de condicionamento aplicados, atualmente, para colheita de energia.

2.2. Circuitos de Condicionamento de Energia

A integração de dispositivos eletrônicos e colheita de energia vêm aumentando o interesse dos pesquisadores em circuitos que sejam capazes de condicionar os sinais de tensão, provenientes dos captadores dos sistemas de colheita por vibração (CAO, XINPING *et al.*, 2007; GHAREHBAGHI *et al.*, 2012; LI, PING *et al.*, 2011, 2015), temperatura (RICHELLI *et al.*, 2009), indução magnética (LI *et al.*, 2015) e radiofrequência (SAINI *et al.*, 2015), por exemplo. Esses circuitos, podem ser melhor

definidos como um intermediador entre o sistema de colheita e a carga, uma ponte de ligação responsável por fornecer os níveis de tensão necessários para um dispositivo (VINKO; HORVART, 2014), tendo como características principais, consumo e queda de tensão menores possível (HASHEMI, S.S.; SAWAN; SAVARIA, 2012; KOTANI; ITO, 2009; UMEDA *et al.*, 2006; VINKO; HORVAT, 2014). Essa ponte, constituída por vários circuitos, pode ser arranjada em blocos, em que a utilização desses depende da aplicação e do sistema de colheita escolhidos. Em geral, esses blocos desempenham função de retificação, elevação de tensão, geração de *clock*, regulação e armazenamento de energia. O diagrama de blocos do CCE pode ser visualizado na Figura 2.

Figura 2 – Diagrama de bloco de um circuito de condicionamento aplicado à colheita de energia.



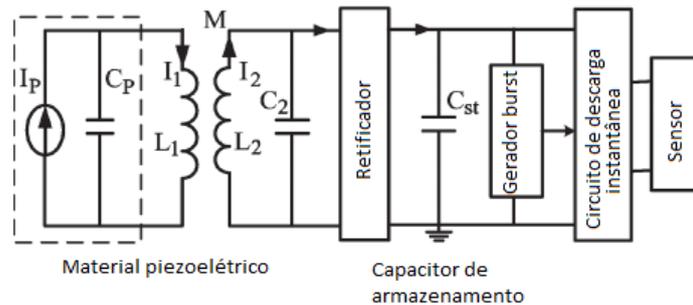
Fonte: próprio autor.

Após a colheita, os níveis de tensão são fornecidos ao bloco de retificação, o qual fornece alimentação ao bloco elevação, constituído por um conversor CC/CC controlado por um circuito gerador de *clock*, que amplia a tensão e alimenta a carga. O regulador controla a descarga do circuito de armazenamento de energia para a carga, quando a tensão da colheita de energia é insuficiente.

Exemplos de CCE podem ser vistos em Li *et al.* (2011), Gharehbaghi *et al.* (2012) e Cao *et al.* (2007), aplicados a sistemas de colheita utilizando material piezoelétrico. Em Li *et al.* (2015), Figura 3, foram utilizados um retificador, um capacitor de armazenamento C_{st} , um gerador *burst* e um circuito de descarga instantânea. I_p e C_p representam o material piezoelétrico. O transformador e o capacitor C_2 foram utilizados

para obtenção da máxima transferência de potência. Devido aos baixos níveis de tensão no C_{st} , foi utilizado um conversor *flyback* para a elevação da tensão, controlado por um gerador de sinais *burst*. Esse circuito fornece até 18,75 dBm para um nó sensor de uma rede sem fio.

Figura 3 – Diagrama do circuito de condicionamento.

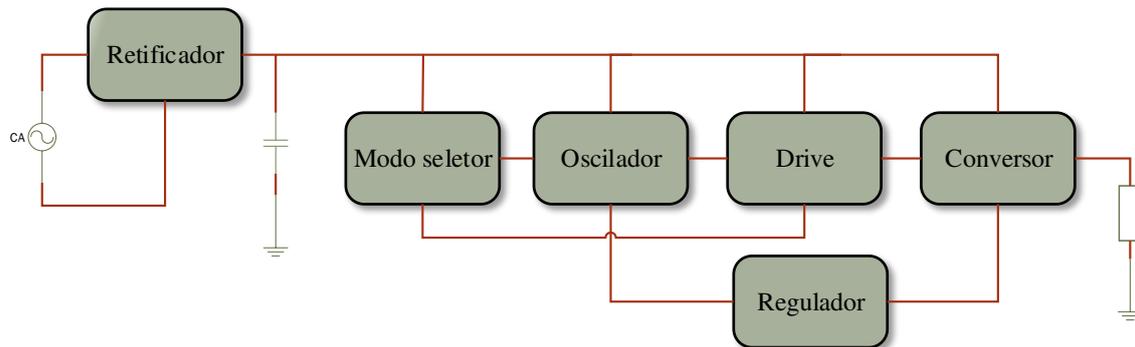


Fonte: (LI *et al.*, 2011).

Outra aplicação de um CCE para colheita por vibração foi proposto por Gharehbaghi *et al.* (2012), Figura 4. Nesse circuito, o bloco seletor foi projetado para detectar o nível de tensão de saída CC do retificador e ajustar o *driver*, para minimizar o consumo de energia. Esses blocos foram utilizados na geração do sinal de *clock* do conversor. A fim de definir a saída para o nível desejado foi utilizado o bloco regulador, controlando, por ajuste de frequência, o oscilador. No bloco conversor foi utilizado um circuito *charge pump* para a regulação da tensão de saída. O circuito foi simulado utilizando o software Virtuoso/Cadence com tecnologia CMOS 90 nm TSMC, fornecendo 1 V de tensão CC quando aplicado 250 mV de tensão de entrada a uma carga de 500 k Ω .

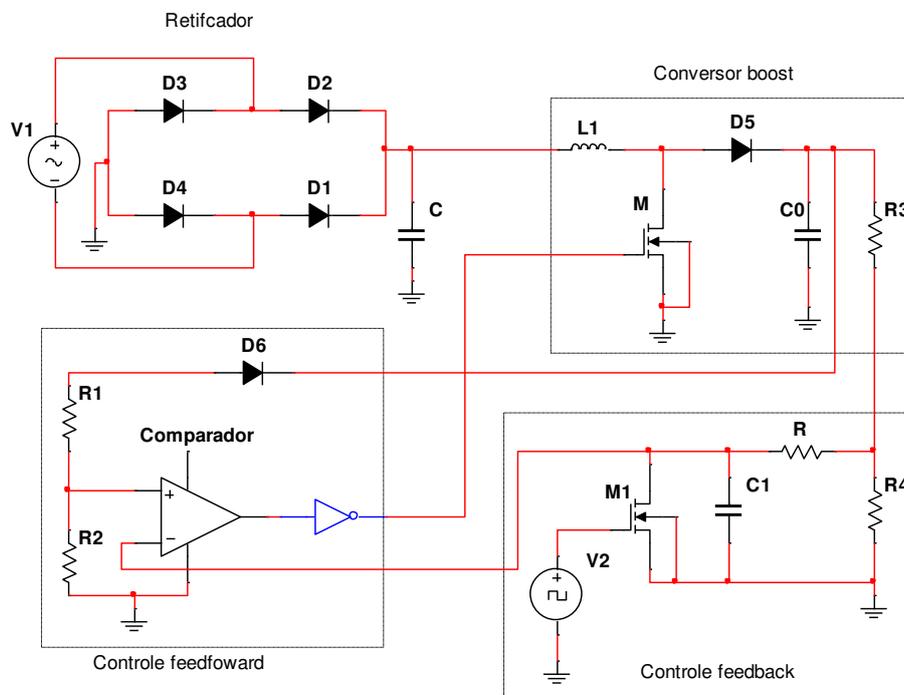
Em Cao *et al.* (2007), Figura 5, o circuito proposto consiste de um retificador de onda completa, um conversor *boost*, um comparador e um controlador *feedback*. Esses circuitos controlam a tensão de saída por meio do ajuste da frequência de chaveamento do transistor do conversor *boost*. O circuito integrado foi projetado utilizando a tecnologia CMOS 0,35 μm TSMC, fornecendo um sinal de tensão CC constante de 3,3 V a carga R_3 , quando aplicado uma tensão de entrada de 600 mV.

Figura 4 – Digrama do circuito de condicionamento de energia.



Fonte: (GHAREHBAGHI *et al.*, 2012).

Figura 5 – Circuito de condicionamento de energia.



Fonte: (CAO *et al.*, 2007).

Essas topologias de circuitos têm em comum algumas características, como a utilização de retificadores, capacitores de armazenamento, geradores de *clock* e conversores CC/CC. Os capacitores de armazenamento são utilizados para armazenar e fornecer energia suficiente para o restante do circuito, quando os níveis de tensão provenientes do retificador, não atingirem os valores preestabelecidos. Quando os níveis de tensão do capacitor de armazenamento estão baixos, são utilizados conversores CC/CC

para a elevação da tensão entregue a carga. Para o controle desses conversores são utilizados geradores de *clock* em conjunto com circuitos reguladores, que verificam os níveis de tensão de saída e controlam por ajuste de frequência os conversores.

Portanto, para um melhor entendimento sobre circuitos de condicionamento, serão detalhados os circuitos mais utilizados no CCE, como retificadores, conversores CC/CC e osciladores.

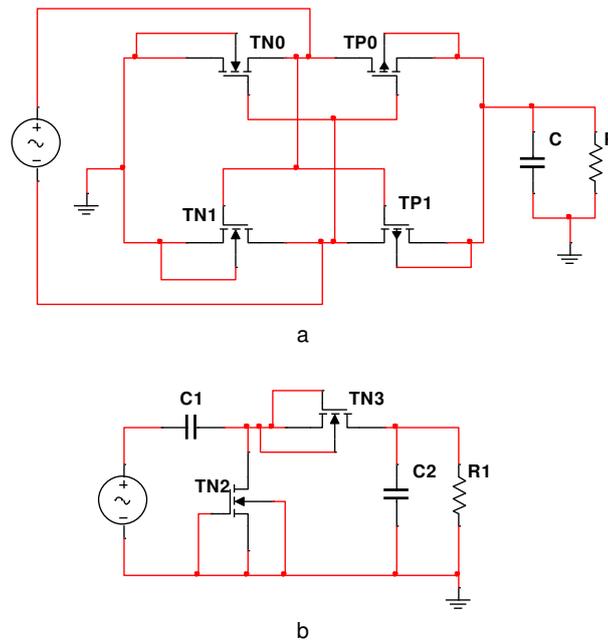
2.3. Retificador

Quando se trata de aplicações em sistemas de colheita, em que o sinal fornecido pelo captador de energia é alternado como indução magnética, radiofrequência e vibração, o CCE necessita ter em sua composição um circuito retificador (CAO, XINPING et al., 2007; GHAREHBAGHI et al., 2012; LI, PING et al., 2011, 2015). Os pesquisadores utilizam como base, a topologia de circuitos retificadores de onda completa e meia onda. A aplicação do sistema de colheita é o que vai determinar qual dos dois tipos de retificador será utilizado. No caso de circuitos retificadores de onda completa, a sua utilização é viável, quando os níveis de tensão fornecidos pelos captadores de energia são suficientes para a polarização do retificador. Nesse caso, são disponibilizados mais ciclos de tensão retificados para a carga, possibilitando a redução da tensão de *ripple* e a diminuição do capacitor de carga. Quando os níveis de tensão fornecidos pelo captador de energia não são suficientes para a polarização do retificador em ponte, é utilizado o retificador de meia onda, com a ação conjunta de um dobrador ou multiplicador de tensão, para elevar os sinais de tensão do captador para a carga. Porém, mesmo que o circuito consiga fornecer níveis suficientes de tensão para a carga, faz-se necessário aumentar o tamanho do capacitor de saída para reduzir da tensão de *ripple*. Outra característica desses circuitos retificadores é a baixa dissipação de energia, por utilizarem poucos componentes em suas estruturas em comparação com outros retificadores, como o retificador de precisão, que utiliza amplificador operacional.

A estrutura desses retificadores pode ser vista na Figura 6, em que os diodos do circuito da topologia básica são substituídos por transistores, devido a sua baixa tensão de

limiar V_t . Essa característica possibilita a polarização dos transistores, com menor nível de tensão de entrada e menor queda de tensão no componente.

Figura 6 – Circuitos retificadores de (a) onda completa e (b) meia onda (dobrador de tensão).



Fonte: próprio autor.

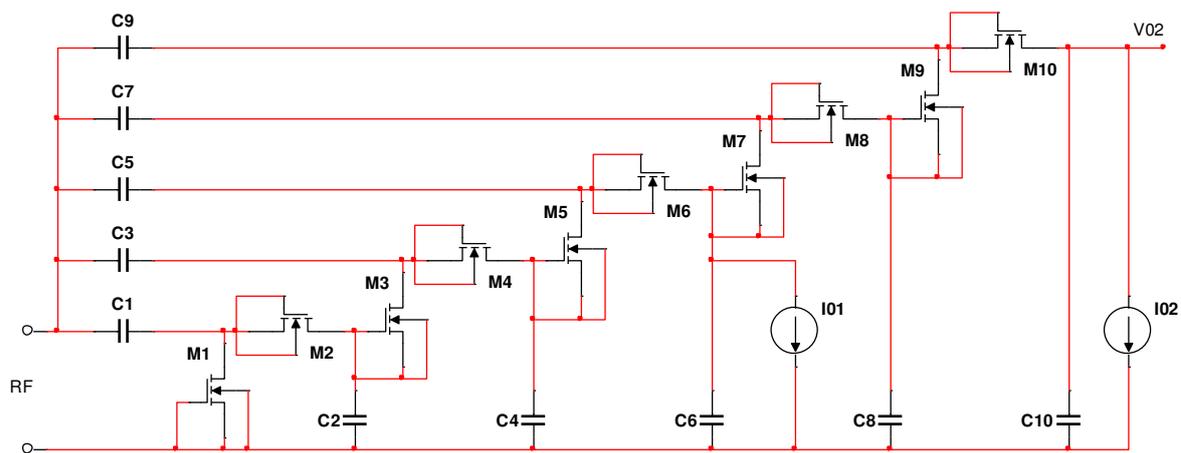
O funcionamento desses circuitos se dá da seguinte forma: no circuito da Figura 6a, no semiciclo positivo, os transistores T_{N0} e T_{P1} estão em corte enquanto que os transistores T_{P0} e T_{N1} estão em condução, permitindo assim o carregamento do capacitor C e alimentação da carga R . No semiciclo negativo, os transistores T_{P0} e T_{N1} estão em corte enquanto que os transistores T_{N0} e T_{P1} estão em condução, permitindo o carregamento do capacitor C e alimentação da carga R . Na Figura 6b, no semiciclo negativo, o transistor T_{N3} está em corte enquanto que o transistor T_{N2} está conduzindo, permitindo o carregamento do capacitor C_1 . Já no semiciclo positivo, o transistor T_{N2} está em corte enquanto que o transistor T_{N3} está conduzindo, permitindo que o capacitor C_2 e a carga R_1 recebam as cargas do capacitor C_1 e da fonte.

O circuito apresentado na Figura 6a foi utilizado como base de pesquisa em vários processos de colheita de energia (GAO *et al.*, 2016; KIM; MOK; KIM, 2015; LIU *et al.*,

2014; LU; BOUSSAID, 2015; MOHAMMADI; REDOUTE; YUCE, 2015; NGUYEN, THANH TRUNG *et al.*, 2014; STOOPMAN *et al.*, 2014).

O retificador da Figura 6b foi utilizado por Shokrani *et al.* (2012), conforme pode ser visto na Figura 7, como um circuito multiplicador de tensão de 5 estágios, o qual possui um capacitor C_2 , que armazenar energia proveniente da fonte de tensão e do capacitor C_1 no semiciclo positivo. No semiciclo negativo, o capacitor C_3 armazena a energia de C_2 . Esse processo se repete até que C_{10} obtenha a tensão retificada da fonte de todos os capacitores, descarregando, assim, para a carga no ponto V_{02} . O número de estágios do circuito depende de qual o nível de tensão pretende-se ter na carga.

Figura 7 – Circuito retificador multiplicador de tensão.



Fonte: (SHOKRANI *et al.*, 2012).

Uma desvantagem do circuito da Figura 7, é a tensão de saída ser retificada apenas em meia onda. Isso retarda o tempo de carregamento do capacitor de carga, o que leva a aumentar o número de estágios e conseqüentemente a dissipação de energia do circuito.

No entanto, há outros tipos de topologias de retificadores utilizadas, como pode ser visto em Szarka, Burrow e Stark (2013), em que foi unida as funções de um conversor *boost* e um retificador. Nesse circuito foi posto, antes do retificador, um indutor, que armazena energia da fonte de entrada e é controlado por os transistores que fazem parte da ponte retificadora. Estes, além de retificar o sinal, controlam a corrente elétrica pelo

indutor, elevando o sinal. Outras topologias utilizam retificadores de precisão, que são compostos por diodos ativos, no intuito de reduzir a queda de tensão do circuito retificador (HASHEMI, S.S.; SAWAN; SAVARIA, 2012; PETERS *et al.*, 2011; SUN *et al.*, 2012; SZARKA; STARK; BURROW, 2012; TAN; PANDA, 2011; ULUSAN *et al.*, 2012). Esses circuitos utilizam amplificadores operacionais em sua estrutura, o que implica em utilização de fonte externa para seu funcionamento, dificultando, assim, a aplicação desses retificadores em sistemas de colheita, pois, em tais sistemas, a única fonte de tensão para o funcionamento do circuito provém do captador de energia. Em outra aplicação, uma linha de transmissão foi dimensionada e confeccionada em uma placa de circuito impresso com ação conjunta de componentes SMD a ponto de servir como retificador de um sinal RF (CHOI; LIM, 2013).

Dentre todas as topologias apresentadas até o momento, os circuitos da Figura 6 são os mais utilizados, por terem menor dissipação de energia e simplicidade, em comparação com os demais. Sendo assim, nesse trabalho será utilizado o retificador em ponte ilustrado na Figura 6.

Após a utilização dos circuitos retificadores é necessário que os níveis de tensão de saída sejam elevados para o funcionamento dos demais blocos do CCE. Porém, durante o processo de retificação há queda de tensão nos componentes, o que reduz a tensão de alimentação dos demais blocos. Logo, como alternativa para aumentar os níveis de tensão são utilizados circuitos conversores CC/CC e/ou técnicas de cancelamento de V_t . Dessa forma, no item 2.4 serão apresentadas às técnicas de cancelamento de V_t e, logo após, no item 2.5 os conversores CC/CC.

2.4. Técnicas de Cancelamento de V_t

Em aplicações de colheita de energia por radiofrequência, por exemplo, os níveis de tensão fornecidos são na ordem de milivolts. Esses pequenos níveis de tensão, muitas das vezes, não são suficientes para a polarização do CCE e alimentação do dispositivo eletrônico a ele acoplado, pois há queda de tensão dos componentes eletrônicos que constituem os circuitos. Nesse intuito, são utilizadas técnicas de cancelamento da tensão

de limiar, V_t , para reduzir a queda de tensão nos componentes constituintes do CCE e assim evitar a utilização de circuitos elevadores de tensão (HASHEMI, S.S.; SAWAN; SAVARIA, 2012; KOTANI; ITO, 2009; UMEDA *et al.*, 2006). É importante ressaltar, que as técnicas de cancelamento de V_t , de fato, não cancelam a tensão de limiar, porém reduzem a queda de tensão do transistor.

Essas técnicas consistem em reduzir o efeito da tensão de limiar dos componentes, para que se tenha a menor queda de tensão possível no circuito, no intuito de se ter maiores níveis de tensão no dispositivo eletrônico acoplado ao CCE. Exemplos dessa aplicação podem ser vistos em (MNIF; MNIF; LOULOU, 2016; HASHEMI; SAEID; SAWAN; SAVARIA, 2009; KOTANI; ITO, 2007; NGUYEN, DAT *et al.*, 2014; UMEDA *et al.*, 2006), que utilizam técnicas de cancelamento de V_t para a redução da queda de tensão em retificadores de meia onda.

Além das técnicas de cancelamento de V_t , uma maneira bastante utilizada para redução da tensão de limiar é a conexão do terminal do substrato com a fonte, pois de acordo com Sedra e Smith (2007) e Razavi (2013) a tensão de limiar pode ser expressa por (2),

$$V_t = V_{t0} + \gamma \left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right], \quad (2)$$

em que V_{t0} é a tensão de limiar para $V_{SB} = 0$; ϕ_f é potencial de FERMI; γ é fator de corpo dado por:

$$\gamma = \frac{\sqrt{2qN_A\epsilon_s}}{C_{ox}}, \quad (3)$$

em que q é a carga do elétron; N_A é a concentração de dopantes do substrato tipo p; ϵ_s é a permissividade do silício e C_{ox} a capacitância por unidade de área entre a porta e o canal induzido. Logo, se for aumentada a tensão de polarização reversa V_{SB} , haverá um aumento na tensão de limiar V_t . Porém, em algumas aplicações, não é possível manter $V_{SB} = 0$, o que leva os pesquisadores a utilizarem as técnicas de cancelamento de V_t .

Portanto, tendo em vista as expressões (4) e (5), que representam as resistências do canal de um transistor MOSFET nas regiões de saturação e triodo, para v_{DS} muito pequeno, respectivamente (SEDRA; SMITH, 2007),

$$r_0 = \left[\lambda_2 \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2 \right]^{-1}, \quad (4)$$

$$r_{DS} = \left[\mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t) \right]^{-1}, \quad (5)$$

em que λ_2 é um parâmetro da tecnologia do processo com dimensão V^{-1} ; μ_n é a mobilidade dos elétrons dada em m^2/Vs ; C_{ox} é a capacitância por unidade de área entre o canal e a porta dada em F/m^2 ; W é a largura e L é o comprimento do canal do transistor, ambos com dimensão em metros no Sistema Internacional (SI) (SEDRA; SMITH 2007), as técnicas de cancelamento, tentam anular o termo V_t das equações, aumentando os valores da sobretensão de condução, $V_{OV} = v_{GS} - V_t$, e conseqüentemente diminuindo a resistência do canal e a queda de tensão. Para que o transistor entre na região de triodo, faz-se necessário obter $v_{GS} > V_t$. Sendo assim, antes de ser aplicada uma tensão v_{GS} no transistor, o terminal porta é conectado a um ponto do circuito ou uma fonte externa, V_E , de modo que haja uma tensão próxima do valor de V_t . Ou seja, quando aplicado v_{GS} , a barreira de potencial estará quase vencida por V_E . Sendo assim, para que o transistor entre na região de triodo $v_{GS} > V_t - V_E$ e as expressões (4) e (5) podem ser reescritas da seguinte forma:

$$r_0 = \left[\lambda \frac{1}{2} k_n' \frac{W}{L} (v_{GS} - (V_t - V_E))^2 \right]^{-1}, \quad (6)$$

$$r_{DS} = \left[k_n' \frac{W}{L} (v_{GS} - (V_t - V_E)) \right]^{-1}. \quad (7)$$

Sendo $V_E \approx V_t$, a tensão de sobretensão $V_{OV} = v_{GS}$. Logo, faz-se necessário menor valor de v_{GS} para a polarização do transistor e conseqüentemente redução da resistência do canal e da queda de tensão do dispositivo.

Atualmente, as técnicas de cancelamento de V_t utilizadas são EVC (*External V_t Cancellation*), IVC (*Internal V_t Cancellation*), SVC (*Self V_t Cancellation*) e *Bootstrapping*, como podem ser vistas a seguir.

- *Cancelamento Externo de V_t*

O cancelamento externo de V_t , desenvolvido por Umeda *et al.* (2006), utiliza uma fonte de tensão externa para o cancelamento do efeito da tensão de limiar. Com base no circuito da Figura 8(a), quando a fonte de tensão V_{rf} está no semiciclo negativo, o transistor M_2 está conduzindo, o transistor M_1 está em corte, I_2 flui de gnd para C_1 , o ponto A tem potencial $-V_t$ e a tensão do capacitor C_1 é $V_{rf} - V_t$. Quando a fonte de tensão V_{rf} está no semiciclo positivo, o transistor M_2 está em corte, o transistor M_1 está conduzindo, I_1 flui de C_1 para C_2 sendo $C_1 \gg C_2$, o ponto A tem potencial $2V_{rf} - V_t$ e:

$$V_{C2} = 2(V_{rf} - V_t). \quad (8)$$

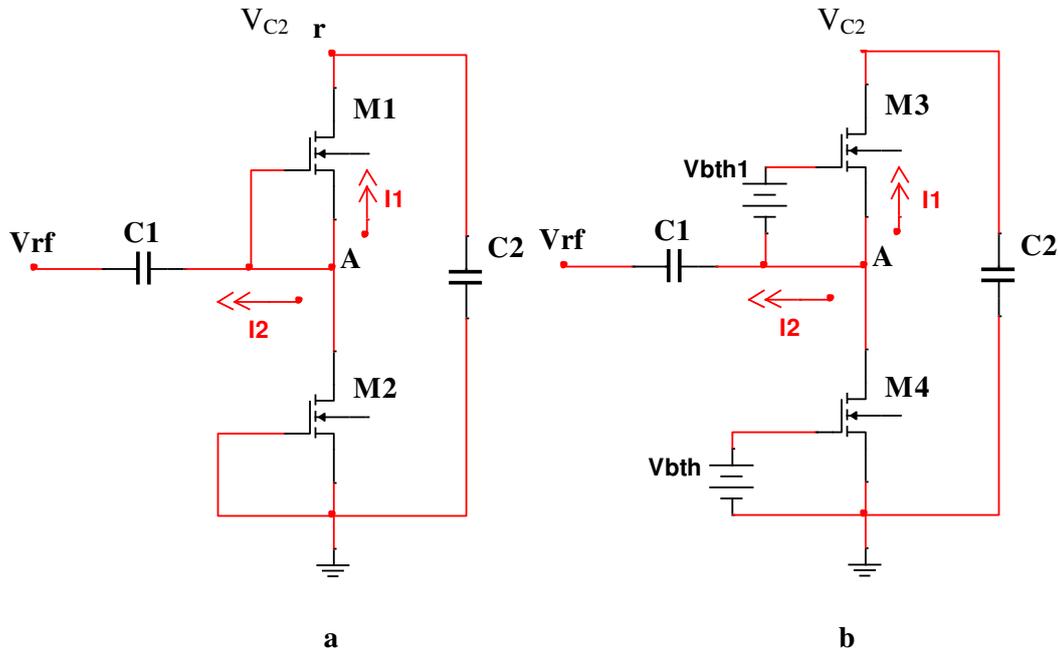
Para que V_{C2} seja máximo $V_t = 0$. De acordo com a Figura 8(b), é adicionada uma fonte de tensão externa V_{bth} e V_{bth1} no terminal porta dos transistores para o cancelamento do efeito da tensão de limiar V_t , em que $V_{bth} = V_{bth1}$. Logo a expressão (8) pode ser reescrita da seguinte forma:

$$V_{C2} = 2(V_{rf} - (V_t - V_{bth})). \quad (9)$$

Sendo $V_t \approx V_{bth}$,

$$V_{C2} = 2V_{rf}. \quad (10)$$

Figura 8 – (a) retificador convencional (b) Cancelamento externo de V_t .



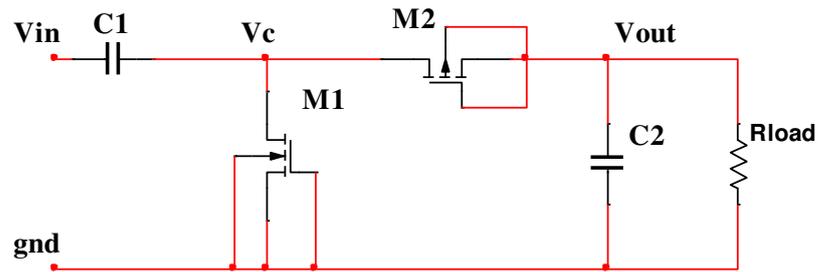
Fonte: (UMEDA *et al.*, 2006).

- *Cancelamento Interno de V_t*

O cancelamento interno de V_t , desenvolvido por Nakamoto *et al.* (2007), utiliza uma conexão interna dentro do próprio circuito para o cancelamento do efeito da tensão de limiar. Com base no circuito da Figura 9, quando a fonte de tensão V_{IN} está no semiciclo negativo, o transistor M_1 está conduzindo, o transistor M_2 está em corte, a tensão do capacitor C_1 é $V_{C1} = V_{IN} - V_{tn}$, em que V_{tn} é a tensão de limiar referente ao transistor NMOS. Quando a fonte de tensão V_{IN} está no semiciclo positivo, o transistor M_2 está em condução, o transistor M_1 está em corte, $V_C = V_{IN} + V_{C1}$, logo $V_C = 2V_{IN} - V_{tn}$. Assim $V_{out} = V_C - |V_{tp}|$, em que V_{tp} é a tensão de limiar referente ao transistor PMOS M_2 . Dessa forma a tensão de saída pode ser escrita da seguinte forma:

$$V_{out} = 2(V_{IN} - (V_{tn} + |V_{tp}|)). \quad (11)$$

Figura 9 – Circuito dobrador de tensão.



Fonte: próprio autor.

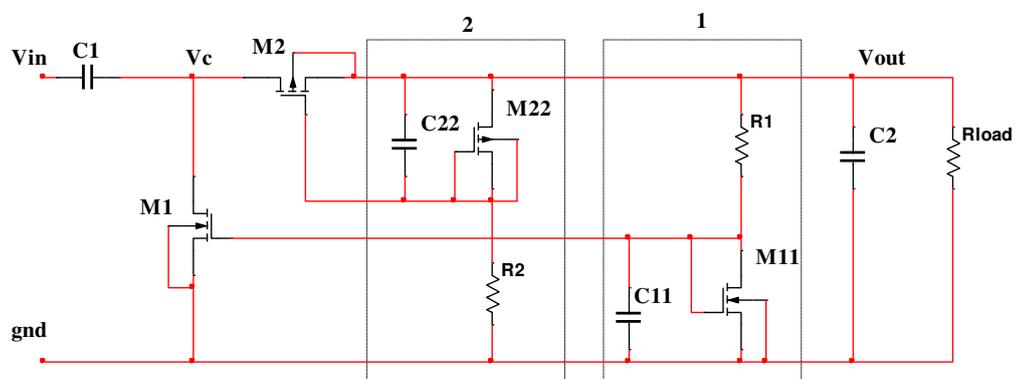
Para que V_{out} seja máximo $V_{tn} = |V_{tp}| = 0$. Para que isso ocorra são realizadas as conexões dos divisores de tensão 1 e 2 para o cancelamento do efeito da tensão de limiar V_t , Figura 10. O capacitor C_{22} replica o V_t de M_{22} em M_2 anulando o V_t de M_2 . R_2 com M_{22} formam um divisor de tensão, fornecendo uma tensão constante para a porta de M_2 , bem próximo do valor de V_t , tanto no semiciclo positivo quanto no negativo. Logo, a expressão (11) pode ser reescrita da seguinte forma:

$$V_{out} = 2(V_{IN} - (V_m - V_{C11} + |V_p| - V_{C22})). \quad (12)$$

Sendo $V_{C11} \approx V_{tn}$ e $V_{C22} \approx |V_{tp}|$,

$$V_{out} = 2V_{IN}. \quad (13)$$

Figura 10 – Cancelamento interno de V_t .

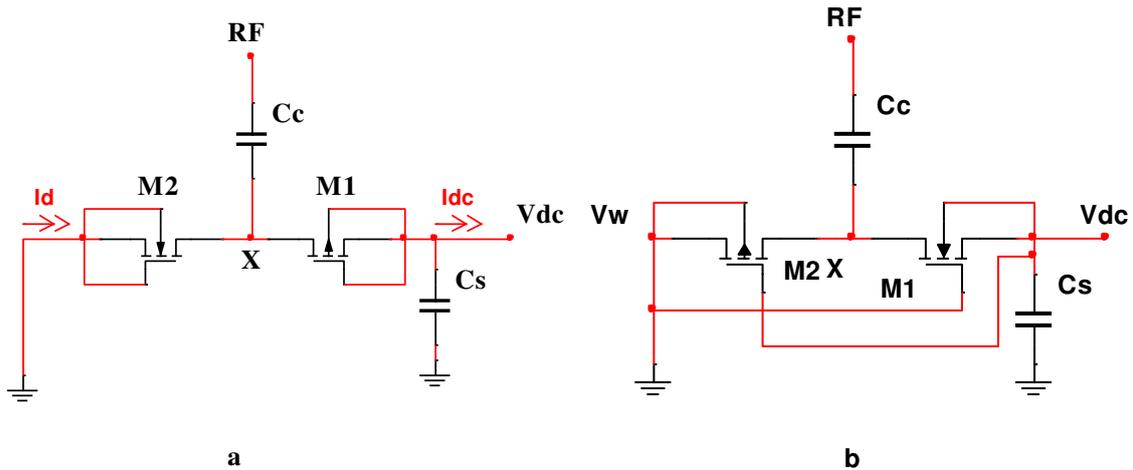


Fonte: (NAKAMOTO *et al.*, 2007).

- *Self V_t Cancellation*

O SVC, proposto por Kotani e Ito (2007), utiliza uma conexão interna dentro do próprio circuito para o cancelamento do efeito da tensão de limiar. A diferença dessa técnica para o cancelamento interno é que a conexão é feita em seu próprio terminal. Com base no circuito da Figura 11(a), quando a fonte de tensão RF está no semiciclo negativo, o transistor M_2 está conduzindo, o transistor M_1 está em corte, a tensão do capacitor C_c é $V_c = V_{rf} - V_{tn}$, em que V_c é a tensão do capacitor C_c , V_{rf} é a tensão da fonte RF e V_{tn} é a tensão de limiar do transistor M_2 . Quando a fonte de tensão V_{rf} está no semiciclo positivo, o transistor M_2 está em corte, o transistor M_1 está conduzindo, a corrente flui de C_c para C_s , $V_x = V_{rf} + V_c$ em que V_x é a tensão no ponto X. Logo, $V_x = 2V_{rf} - V_{tn}$.

Figura 11 – (a) retificador convencional (b) *Self- V_t Cancellation*.



Fonte: (KOTANI; ITO, 2007).

Assim, $V_{DC} = V_x - |V_{tp}|$, em que V_{tp} é a tensão de limiar do transistor M_1 , logo:

$$V_{DC} = 2V_{rf} - (V_m + |V_{tp}|). \quad (14)$$

Para que V_{DC} seja máximo $V_{tn} = |V_{tp}| = 0$. Para que isso ocorra são realizadas as conexões da Figura 11b. Logo, a expressão (14) pode ser reescrita da seguinte forma:

$$V_{DC} = 2V_{rf} - (V_m - V_{DC} + |V_{tp}| - V_W). \quad (15)$$

Sendo $V_{DC} \approx V_{tn}$ e $V_W \approx |V_{tp}|$,

$$V_{DC} = 2V_{rf}. \quad (16)$$

- *Bootstrapping*

A técnica de *bootstrapping*, proposta por Hashemi, Sawan e Savaria (2009), utiliza um transistor conectado em paralelo com um diodo, ambos em série, com um segundo diodo, conforme pode ser visto na Figura 12. Quando a tensão V_{IN} da fonte de tensão está no semiciclo positivo, e é maior que a queda de tensão do diodo, a tensão $V_{OUT} = V_{IN} - V_{tD1}$, em que V_{tD1} é a tensão de limiar do diodo D_1 . Logo a tensão do capacitor CAP é:

$$V_{CAP} = V_{OUT} - V_{tD2}, \quad (17)$$

em que V_{tD2} é a tensão de limiar do diodo D_2 . Considerando $V_{tD2} = V_{tD1} = V_{tD}$:

$$V_{CAP} = V_{IN} - 2V_{tD}. \quad (18)$$

Quando a tensão $V_{GS} > |V_{tp}|$, em que V_{tp} é a tensão de limiar e V_{GS} é a tensão entre porta e fonte, o transistor entra em condução. Logo, $V_{GS} = 2V_{tD}$. Quando $V_{GS} \leq |V_{tp}|$, o transistor entra na região de corte, então:

$$V_{IN} - V_{CAP} = |V_{tp}|. \quad (19)$$

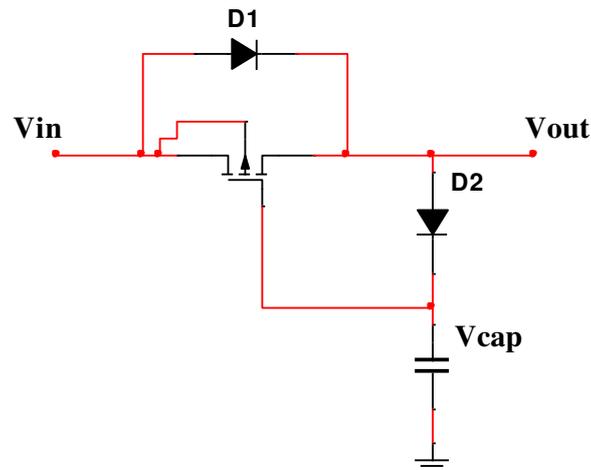
Substituindo (17) em (19),

$$V_{OUT} = V_{IN} - (|V_p| - V_{ID2}). \quad (20)$$

Sendo $V_{tD2} \approx |V_{tp}|$,

$$V_{OUT} = V_{IN}. \quad (21)$$

Figura 12 – Circuito *bootstrapping*.



Fonte: (HASHEMI; SAWAN; SAVARIA, 2009).

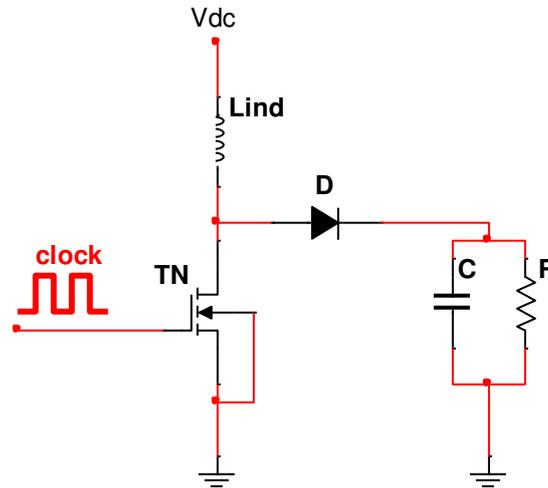
Porém, em muitos casos, mesmo com a utilização das técnicas de cancelamento de V_t , faz-se necessário a utilização de circuitos conversores CC/CC, bombas de carga ou *startup circuits* para elevar os níveis de tensão fornecidos para a carga (RICHELLI *et al.*, 2009; SHOKRANI *et al.*, 2012; STOOPMAN *et al.*, 2014). Sendo assim, no item 2.5 são apresentados os tipos de conversores CC/CC mais utilizados.

2.5. Conversor CC/CC

Os conversores CC/CC mais utilizados em colheita de energia são conversores *boost* (CAO *et al.*, 2007; LI; SMAILI; MASSOUD, 2015; MUSUNURI *et al.*, 2005; RICHELLI *et al.*, 2004, 2009) e bombas de carga (BASSI *et al.*, 2013; CHENG; CHANG; WEI, 2003; CHOUHAN; HALONEN, 2013; SHOKRANI *et al.*, 2012). O circuito

utilizado em conversores *boost* é baseado na topologia convencional conforme pode ser visto na Figura 13.

Figura 13 – Conversor *boost*.



Fonte: próprio autor.

Nesses conversores, na maioria dos casos, o sinal de tensão V_{dc} provém do bloco retificador, enquanto que o sinal de *clock* é fornecido por o bloco oscilador, o qual pode ser um gerador de função ou um circuito oscilador. Quando se trata de colheita de energia, a utilização de uma fonte externa, como o gerador de função, não é viável, pois uma das características do CCE é sua dependência exclusiva da alimentação do captador. Sendo assim, o consumo e a queda de tensão dos componentes, constituintes do CCE, são os pontos mais observados, pois se faz necessário utilizar um circuito oscilador integrado ao CCE, dependente, apenas, da fonte de alimentação do captador de energia.

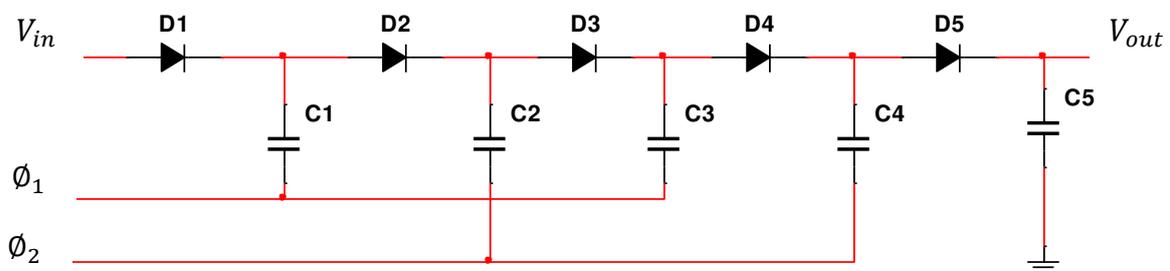
Outro fator importante a ser observado é a frequência de chaveamento do transistor T_N , pois quanto maior for o chaveamento, maior será a dissipação de energia do conversor. Assim sendo, em circuitos integrados, a frequência de chaveamento é elevada para se ter maior elevação da tensão, pois os valores máximos utilizados do indutor, L_{ind} , são de 30 nH. Com o intuito de tornar o conversor totalmente integrado, Li, Smaili e Massoud (2015) desenvolveram um modelamento matemático para o dimensionamento do conversor *boost*. Esse estudo permite o dimensionamento do indutor, do transistor e da frequência de chaveamento bem como a dissipação de energia de todo o conversor.

Uma utilização do conversor *boost* pode ser vista em Richelli *et al.*, (2009). Nesse trabalho é proposto um conversor projetado na United Microelectronics Corporation (UMC) com tecnologia de fabricação CMOS de 180 nm, que fornece uma tensão de 1,2 V com uma entrada de 200 mV. Esse circuito é aplicado na colheita de energia por temperatura, utilizando uma célula de Peltier exposta a um gradiente de temperatura de 5 °C. O indutor deste conversor não é integrado ao circuito projetado. Outras utilizações podem ser vistas em Tsai, Wu e Wei (2017) e Shrivastava *et al.* (2015), que desenvolveram um conversor *boost* com controle de chaveamento, realizado por meio de um algoritmo de rastreamento do ponto máximo de potência em um processo de colheita de energia fotovoltaico.

O conversor boost é utilizado quando se deseja uma elevação mais rápida dos níveis de tensão, utilizando menos componentes do que as bombas de carga, diminuindo a complexidade do projeto de fabricação. As bombas de carga por sua vez, utilizam mais componentes para a elevação do sinal do que os conversores *boost*, pois a elevação da tensão é realizada por um bombeamento da tensão de entrada em vários estágios, utilizando diodos ou transistores como chave e capacitores ao invés de indutores, o que significa a utilização de um maior número de sinais de *clock*. Com relação aos circuitos integrados, a utilização de vários capacitores e circuitos de *clock* podem ocupar uma área considerável do *wafer* no processo de fabricação.

Portanto, os circuitos bomba de carga utilizados (BASSI *et al.*, 2013; CHENG; CHANG; WEI, 2003; CHOUHAN; HALONEN, 2013; SHOKRANI *et al.*, 2012) tomam como base o circuito Dickson da Figura 14.

Figura 14 – Circuito bomba de carga Dickson.



Fonte: próprio autor.

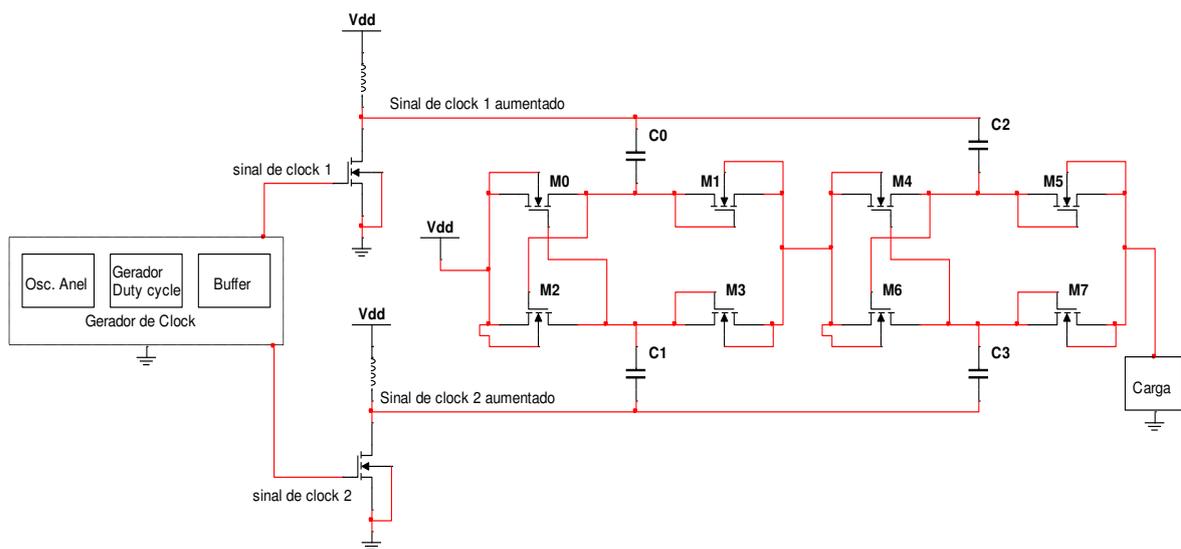
O princípio de funcionamento do circuito de Dickson é semelhante ao circuito dobrador de tensão da Figura 6. Nesse circuito os sinais de *clock* ϕ_1 e ϕ_2 estão defasados 180° e tem amplitude $V_{\phi_1} = V_{\phi_2} = V_{in}$. Quando os sinais de *clock* ϕ_1 e ϕ_2 estão em nível baixo, o capacitor C_1 recebe a tensão V_{in} da fonte. Quando ϕ_1 está em nível alto e ϕ_2 em baixo a tensão do capacitor C_1 será de $V_{in} + V_{\phi_1}$, logo D_1 é cortado e D_2 conduz, permitindo que a tensão em C_2 seja igual a $V_{in} + V_{\phi_1}$. Quando ϕ_1 estiver em nível baixo e ϕ_2 em alto, a tensão em C_2 passa a ser $V_{in} + V_{\phi_1} + V_{\phi_2}$, logo D_2 é cortado e D_3 conduz, permitindo que a tensão em C_3 seja igual a $3V_{in}$, pois $V_{\phi_1} = V_{\phi_2} = V_{in}$. Esse procedimento se repete até que C_5 seja igual a $5V_{in}$. Esse circuito necessita que os circuitos de *clock* dos sinais ϕ_1 e ϕ_2 , estejam projetados de forma a atender o fornecimento de corrente e tensão adequados para o bombeamento. Caso seja necessário fornecer maiores níveis de tensão para o bombeamento, é requerido um circuito de *clock* mais complexo, o que eleva os níveis de dissipação de energia.

Portanto, outros circuitos foram desenvolvidos no intuito de otimizar o circuito bomba de carga Dickson. Exemplo dessa otimização é visto em Bassi *et al.* (2013) que utilizou um circuito conversor totalmente integrado aplicado a colheita de energia térmica, utilizando um oscilador LC. Esse oscilador controlou o chaveamento dos transistores da bomba de carga, fornecendo uma tensão de 1,3 V quando aplicado 100 mV de entrada. Semelhante trabalho foi desenvolvido por Chouhan e Halonen (2013), que realizou simulações transientes de um circuito, capaz de elevar a tensão de entrada de 400 mV a 1,7 V, utilizando como base o circuito bomba de carga Dickson, com aplicação em colheita de energia por RF. Foi utilizada, nesse circuito como sinal de *clock*, a própria tensão alternada da fonte de entrada bombeada para a carga. Em outra aplicação, uma bomba de carga foi utilizada com o auxílio de um circuito oscilador em anel operando em fraca inversão, permitindo a funcionalidade do circuito com tensões de entrada a partir de 320 mV (PENG *et al.*, 2014).

Como pode ser visto, é comum a utilização de conversores boost ou bomba de carga para elevação dos níveis de tensão provenientes de um sistema de colheita de energia. Esses conversores podem fornecer adequadamente a alimentação para um dispositivo eletrônico, por exemplo, um nó sensor. A escolha do conversor a ser utilizado no CCE dependerá da aplicação.

Sendo assim, para equilibrar a dissipação de energia e elevar a tensão, Richelli *et al.* (2009) propôs um conversor híbrido projetado na United Microelectronics Corporation com tecnologia de fabricação CMOS de 180 nm. O circuito é composto de um gerador de *clock* e um conversor CC/CC híbrido capacitivo indutivo, formado por uma junção dos conversores *boost* e bomba de carga, como pode ser visto na Figura 15. Com a configuração proposta foi possível obter a elevação da tensão com uma eficiência de 40 %.

Figura 15 – Conversor híbrido.



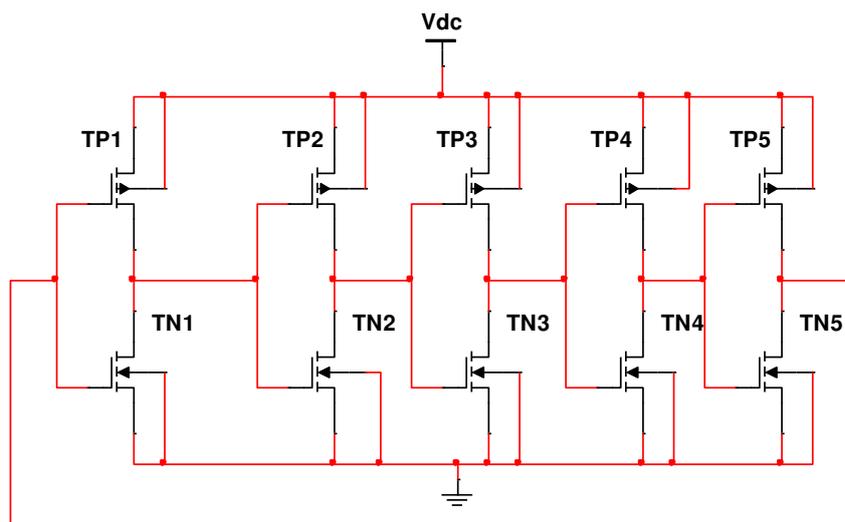
Fonte: (RICHELLI *et al.*, 2009).

Portanto, nesse trabalho, o conversor CC/CC utilizado será baseado no circuito da Figura 15, com o intuito de elevar os níveis de tensão, mantendo a melhor eficiência de conversão de energia possível. Logo, para que o circuito conversor funcione adequadamente, faz-se necessário a utilização de um circuito oscilador para o controle do chaveamento dos transistores. Assim sendo, no item 0 será visto os osciladores mais utilizados em sistemas de colheita de energia.

2.6. Oscilador

Há uma grande variedade de circuitos osciladores utilizados para sistemas de colheita de energia (BASSI *et al.*, 2013; FUKETA; O'UCHI; MATSUKAWA, 2017; HU *et al.*, 2012; MA *et al.*, 2017; MACHADO; SCHNEIDER; GALUP-MONTORO, 2013; RIEUTORT-LOUIS *et al.*, 2012; TSAI; WU; WEI, 2017). Porém, as topologias mais utilizadas tomam como base os circuitos osciladores em anel e LC, pois têm topologias menos complexas e reduzido número de componentes, o que leva a ter uma menor dissipação de energia. O oscilador em anel é formado por uma junção de inversores CMOS, como representado na Figura 16.

Figura 16 – Oscilador em anel.



Fonte: próprio autor.

São utilizados cinco inversores CMOS ligados em série, no intuito de criar a oscilação desejada. Devido ao número ímpar de inversores, o circuito não tem um ponto de operação estável fazendo com que a oscilação ocorra. Desse modo a frequência de oscilação, F_{osc} , pode ser calculada de acordo com a expressão (22) (PEREIRA, 2010; ARAUJO, 2015).

$$F_{osc} = \frac{1}{2NT_d}, \quad (22)$$

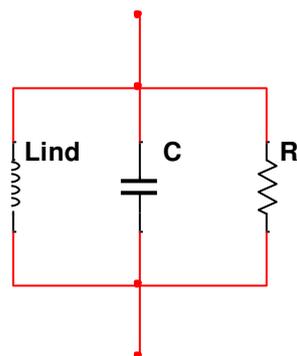
em que N é o número de inversores e T_d é o atraso de cada inversor. Esse circuito é comumente utilizado em CCE, principalmente quando se deseja integrar totalmente o CCE, pois a área de ocupação do oscilador em anel é mínima. Em contrapartida, os osciladores em anel necessitam de uma tensão constante na alimentação para seu correto funcionamento. Logo, se faz necessário, em sistemas de colheita de energia, utilizar um circuito responsável por gerar esses níveis de tensão.

Algumas topologias de circuitos osciladores em anel são configuradas para controlar a frequência de oscilação. Esses circuitos são chamados de Osciladores Controlados por Tensão (VCO) e utilizam algumas técnicas já empregadas, como mudança do número de inversores com o auxílio de um multiplexador, variação da tensão de alimentação, mudança das capacitâncias parasitas e ajuste no atraso da propagação inserindo resistores variáveis entre os inversores (ARAUJO, 2015; PEREIRA, 2010).

Alguns exemplos de circuitos osciladores em anel utilizados podem ser vistos em Ma *et al.* (2017), Machado, Schneider e Galup-montoro (2013) e Rieutort-louis *et al.* (2012). Esses osciladores foram projetados para gerar o sinal de *clock* para controle do chaveamento de conversores.

Além de circuitos osciladores em anel, também é utilizado o oscilador tanque LC. Este oscilador é composto por um indutor e um capacitor, Figura 17, em que o resistor, R , representa as perdas do circuito.

Figura 17 – Oscilador tanque LC.



Fonte: próprio autor.

Neste circuito, o capacitor armazena a energia em forma de campo elétrico que, após carregado, descarrega para o indutor. Este armazena energia em forma de campo magnético, que quando carregado, recarrega o capacitor. Esse loop dá início a oscilação do sinal de tensão. Logo, de maneira simplificada, a frequência de oscilação do circuito tanque pode ser expressa por (23).

$$F = \frac{1}{\sqrt{L_{ind}C}}. \quad (23)$$

Para que a oscilação seja estabilizada e não amortizada, são utilizados circuitos ativos para anular o efeito dissipativo das perdas em R . Alguns trabalhos como Fuketa, O'uchi e Matsukawa (2017), Saini *et al.* (2015), Li, Smaili e Massoud (2015), Hu *et al.* (2012) e Bassi *et al.* (2013), fizeram uso do oscilador tanque LC com circuitos ativos, para a geração do sinal de *clock* de circuitos de condicionamento, com aplicação em colheita de energia.

Portanto, os osciladores LC são mais usados devido ao fato de ter melhor ruído de fase comparado ao oscilador em anel. Porém, esse circuito exige um alto fator de qualidade do indutor, dificultando a sua implementação (ARAUJO, 2015). Além disso, osciladores LC ocupam mais espaço físico em um circuito integrado do que osciladores em anel, o que, em alguns casos, pode tornar inviável a utilização de osciladores tanque.

Nessas condições, foi escolhido nesse trabalho, o oscilador em anel por ter menor complexidade na elaboração de projeto e ocupar menor área no circuito integrado no processo de fabricação.

2.7. Eficiência de Conversão de Energia

O desenvolvimento das pesquisas para CCE é voltada para projeto e fabricação de circuitos integrados, que tenham a mínima dissipação de energia e a menor queda de tensão em seus componentes (KOTANI; ITO, 2009; PETERS *et al.*, 2007; RAO;

ARNOLD, 2010; YI; KI; TSUI, 2007). Para alcançar valores mínimos de dissipação de energia e queda de tensão, são utilizados transistores MOSFET em substituição aos diodos em circuitos integrados, pois, nestas aplicações, os transistores possuem uma menor tensão de limiar com relação aos diodos (KOTANI; TAKASHI, 2009). Essa característica possibilita ao CCE, operar em menores níveis de tensão e consequentemente dissipar menos energia.

Portanto, para uma menor dissipação de energia e consequentemente um aumento na PCE, é importante observar o comportamento da dissipação de energia do transistor MOSFET. Logo, para o cálculo de potência do MOSFET é levado em consideração três intervalos de tempo de operação do transistor: corte, comutação e condução. Porém, para que se possa calcular essas potências, é necessário entender melhor o equacionamento do MOSFET.

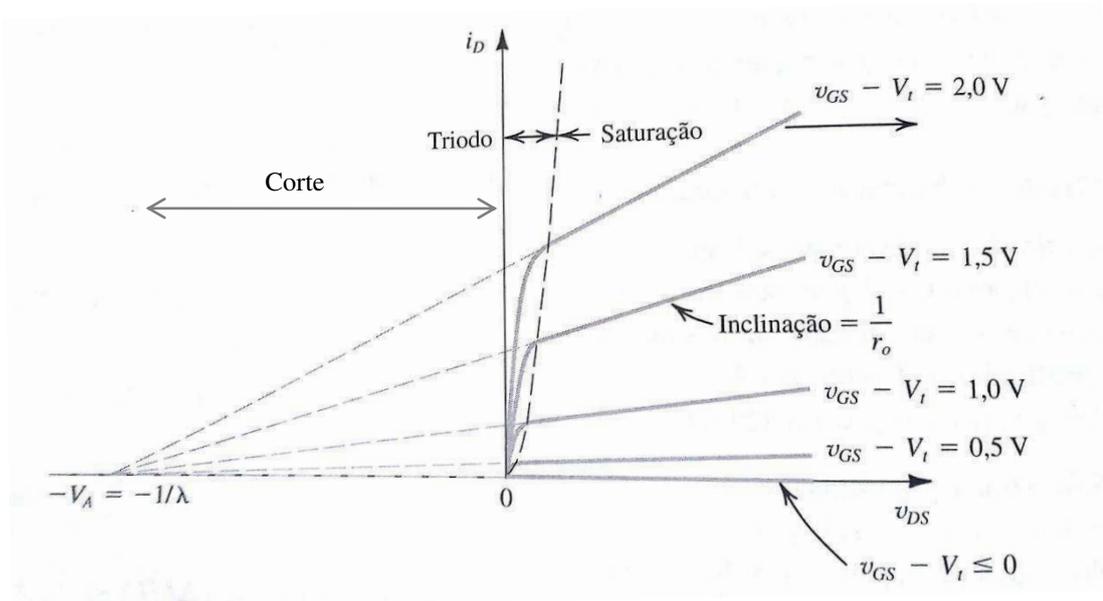
2.8. Equacionamento do MOSFET tipo n

Um transistor MOSFET tipo enriquecimento possui três regiões de operação: inversão fraca, moderada e forte. As inversões fraca e moderada¹ são conhecidas comumente por região de corte. A inversão forte é dividida em duas regiões conhecidas como triodo e saturação (GONÇALVES; MARTINS; FERNANDES, 2012). Na Figura 18 é visualizado o limite dessas regiões para transistor tipo n.

Para que o transistor esteja na região de corte, faz-se necessário ter $v_{GS} < V_t$, sendo assim a corrente i_D é idealmente zero, conforme pode ser visto na expressão (24); para que o transistor esteja na região de triodo, faz-se necessário ter $v_{DS} < v_{GS} - V_t$ e $v_{GS} \geq V_t$, sendo assim a corrente i_D pode ser representada pela expressão (25); para que o transistor esteja na região de saturação, faz-se necessário ter $v_{DS} \geq v_{GS} - V_t$ e $v_{GS} > V_t$, sendo assim a corrente i_D pode ser representada pela expressão (26). Essas equações são validas para transistores do tipo n.

¹ As inversões fraca e moderada não serão estudadas nessa tese.

Figura 18 – Curva $i_D \times v_{DS}$ do transistor MOSFET.



Fonte: (SEDRA; SMITH, 2007).

$$i_D = 0, \quad (24)$$

$$i_D = \mu_n C_{ox} \frac{W}{L} \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right], \quad (25)$$

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2. \quad (26)$$

É importante observar que a expressão (26) não está levando em consideração a modulação do canal. Nas expressões (25) e (26) $v_{GS} - V_t$ é chamado de sobre-tensão de condução V_{ov} . A expressão (24) é uma forma ideal de representação da região de corte, pois há passagem de corrente nas inversões fraca e moderada.

A expressão (26) indica idealmente que i_D é independente de v_{DS} e, portanto, uma variação na tensão de dreno/fonte faz com que não haja mudança em i_D , o que implica que a resistência incremental, vista no dreno do MOSFET saturado, seja infinita (SEDRA; SMITH, 2007; RAZAVI, 2013). Porém levando em consideração a modulação do comprimento do canal, ou seja, quando se aplica uma tensão v_{DS} além de v_{DSsat} , a corrente sofre variações. Sendo assim a expressão (26) pode ser substituída por (27):

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda_2 v_{DS}). \quad (27)$$

O inverso de λ_2 pode ser representado por V_A , sendo V_A a tensão de EARLY dimensionada em V , em que $V_A = \frac{1}{\lambda_2}$. Desse modo, a resistência incremental vista no dreno pode ser representada por a expressão (28) sendo v_{GS} constante.

$$r_0 = \left[\frac{\partial i_D}{\partial v_{DS}} \right]^{-1}. \quad (28)$$

Logo, substituindo (27) em (28), é obtido a expressão (29).

$$r_0 = \left[\lambda_2 \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2 \right]^{-1}, \quad (29)$$

definida como,

$$r_0 = \frac{1}{\lambda_2 I_D} = \frac{V_A}{I_D}, \quad (30)$$

sendo que, a corrente de dreno I_D não está levando em consideração a modulação do comprimento do canal. De semelhante modo na região de triodo, a resistência r_{DS} vista entre os terminais dreno e fonte pode ser calculada como sendo:

$$r_{DS} = \left[\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t) \right]^{-1}. \quad (31)$$

2.9. Potência do MOSFET tipo n

A potência total, P_T , em um MOSFET é a soma da potência quando o transistor não está conduzindo, P_B , potência dinâmica durante o tempo de comutação entre o corte e condução, P_S , e potência estática durante o período de condução, P_C , (LIRIO, 2013), conforme pode ser visto na expressão (32).

$$P_T = P_B + P_C + P_S. \quad (32)$$

Desprezando P_B , por ser muito pequena, a expressão (32) pode ser substituída por a expressão (33):

$$P_T = P_C + P_S. \quad (33)$$

As perdas ou a potência por condução são dependentes da resistência do canal r_{DS} , da corrente i_D e do ciclo de trabalho ao qual o transistor está sendo submetido. Logo, P_C pode ser expresso por (34):

$$P_C = r_{DS} (i_D)^2 D_c, \quad (34)$$

em que D_c é o ciclo de trabalho compreendido entre 0 e 1. Porém quando se trata de circuitos integrados, outras resistências devem ser consideradas quando no modo de condução. São elas: resistências parasitas de contato e do metal. A resistência do metal pode ser expressa em (35) (HASTINGS, 2005),

$$R_m = 2R_f \frac{l}{W_d + W_b}, \quad (35)$$

em que R_f é a resistência de folha, l comprimento do metal, W_d largura do metal e W_b largura parasita do metal. A resistência de contato total R_{ct} é determinada por a expressão (36) (HASTINGS, 2005).

$$R_{ct} = \frac{2R_C}{nc}, \quad (36)$$

em que nc é o número de contatos ou vias. A resistência parasita de contato R_C pode ser expressa por (37) ,

$$R_C = \frac{\sqrt{R_f \rho_C}}{W_C} \coth \left(L_C \sqrt{\frac{R_C}{\rho_C}} \right), \quad (37)$$

sendo ρ_C a resistência de contato específica dado em $\Omega \cdot \mu\text{m}^2$, W_C e L_C são a largura e o comprimento do contato ou via e $\coth()$ representa a função cotangente hiperbólica. Logo a expressão (34) pode ser reescrita como:

$$P_C = R_{DS} (i_D)^2 D_c, \quad (38)$$

em que $R_{DS} = R_m + R_{ct} + r_{DS}$.

Para o cálculo de P_S é necessário levar em consideração as capacitâncias parasitas existentes no MOSFET C_T , a frequência de chaveamento f e a tensão porta-fonte V_{GS} (SEDRA; SMITH, 2007; RAZAVI, 2013). Portanto,

$$P_s = C_T f V_{GS}^2. \quad (39)$$

Sendo a capacitância parasita total do transistor expressa por:

$$C_T = C_g + C_{sb} + C_{db}, \quad (40)$$

em que C_{gs} é a capacitância parasita de porta, C_{sb} é a capacitância parasita da fonte e C_{db} é a capacitância parasita do dreno representados por (SEDRA; SMITH, 2007; RAZAVI, 2013):

$$C_{gs} = \frac{1}{2} W L C_{ox} + 2 W L_{ov} C_{ox} \quad (\text{triódo}), \quad (41)$$

$$C_{gs} = \frac{2}{3} W L C_{ox} + 2 W L_{ov} C_{ox} \quad (\text{saturação}), \quad (42)$$

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}}, \quad (43)$$

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}}, \quad (44)$$

em que L_{ov} é comprimento de sobreposição, C_{sb0} é o valor de C_{sb} para polarização fonte-substrato nula, C_{db0} é o valor de C_{db} para polarização dreno-substrato nula e V_0 é tensão interna da junção. Portanto, a potência total no transistor é expressa por (45).

$$P_T = R_{DS} (i_D)^2 D_c + C_T f v_{GS}^2$$

ou

$$P_T = i_D^2 D_c \left(2R_f \frac{l}{W_d + W_b} + \frac{2R_c}{nc} + \left[\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t) \right]^{-1} \right) + \left(\frac{1}{2} W L C_{ox} + 2W L_{ov} C_{ox} + C_{sb} + C_{db} \right) f v_{GS}^2. \quad (45)$$

O cálculo da potência de um transistor é importante para mensurar a eficiência geral do circuito. Sendo assim, quanto mais energia for dissipada no transistor menor será a eficiência de conversão de energia do circuito. Portanto, a eficiência de um CCE pode ser definida como a razão entre a potência média na carga por a potência média na fonte que alimenta o circuito considerando o sinal periódico, conforme a expressão (46) (KAMALINEJAD *et al.*, 2013; KOTANI; SASAKI; ITO, 2009; LIU *et al.*, 2014; PETERS *et al.*, 2007; WONG; CHEN, 2011):

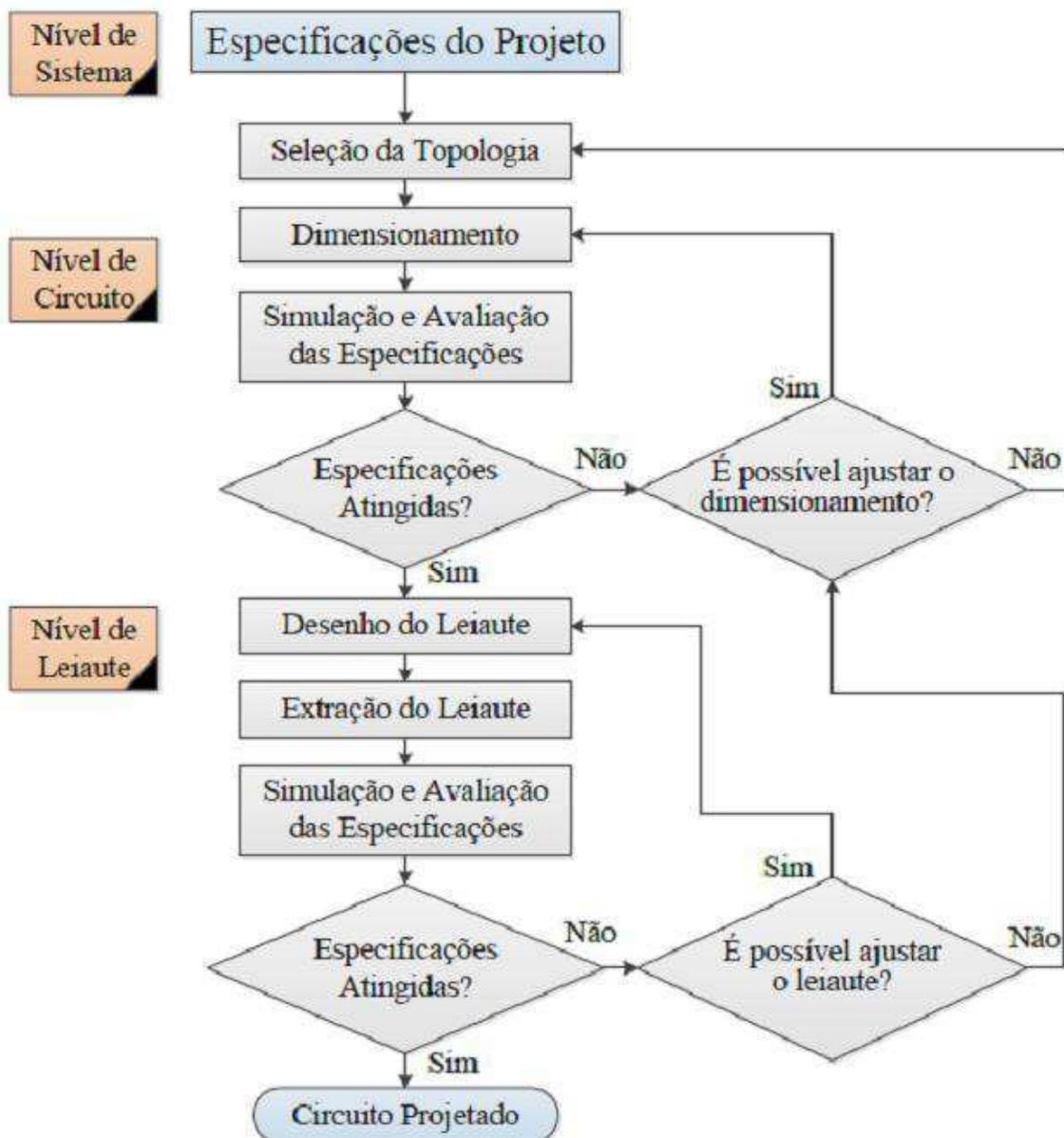
$$PCE = \frac{\frac{1}{T} \int_{T_1}^{T_2} P_L(t) dt}{\frac{1}{T} \int_{T_1}^{T_2} P_{V_{IN}}(t) dt} * 100, \quad (46)$$

em que, $T = T_2 - T_1$ é o período do sinal da fonte V_{IN} ; P_L é a potência instantânea na carga e $P_{V_{IN}}$ é a potência instantânea entregue pela fonte.

3. MATERIAIS E MÉTODOS

Para o desenvolvimento do CCE proposto foi seguido o seguinte fluxograma de elaboração de projeto de circuito integrado analógicos, Figura 19.

Figura 19 – Níveis seguidos do fluxo de projeto de circuitos integrados analógicos.



Fonte: (SEVERO, 2012).

No Nível de Sistema foi realizado o dimensionamento dos dispositivos com base na tecnologia de processo de fabricação de 130 nm CMOS e na topologia escolhida para a elaboração do CCE como níveis de tensão, frequência e os tipos de circuitos que foram utilizados. Para a escolha desses circuitos foi realizado um estudo bibliográfico juntamente com o estado da arte, com base nos objetivos propostos nesse trabalho.

Após a escolha da topologia e a realização do dimensionamento dos dispositivos passou-se para o próximo nível, o Nível de Circuito. Nesse nível foi construído o circuito esquemático do CCE a fim de realizar simulações, verificando se as especificações de dimensionamento estavam de acordo com o esperado. Quando as especificações não resultavam no esperado, eram realizados novos dimensionamentos e, em seguida, novas simulações. Caso os resultados esperados não fossem alcançados mesmo com um novo dimensionamento, era analisada novamente a topologia do circuito escolhida. Quando todo dimensionamento em concordância com a topologia e os resultados de simulação foram alcançados, passou-se para o Nível de Leiaute.

No Nível de Leiaute foi desenhado o leiaute do circuito esquemático do CCE e realizadas as simulações e avaliações das especificações do CCE. Quando os resultados não estavam de acordo com o esperado, era revisto o desenho do leiaute. Mesmo após refeito o desenho do leiaute e não atingido os resultados esperados eram analisados novamente o dimensionamento e a topologia dos circuitos escolhida. Quando todo dimensionamento em concordância com a topologia e os resultados de simulação foram alcançados, o circuito integrado foi enviado para a fabricação.

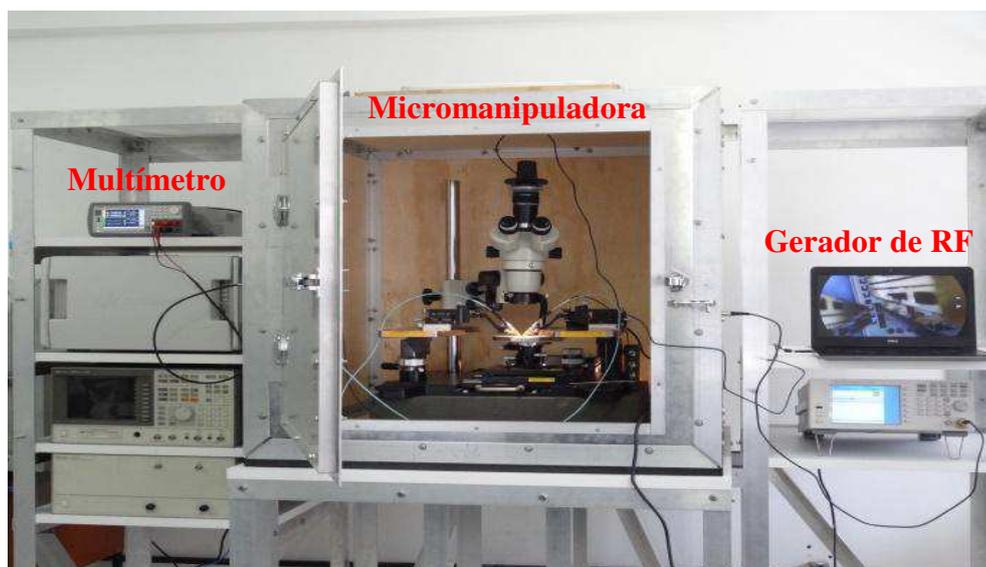
Todos os níveis referenciados na Figura 19, foram realizados no laboratório de Instrumentação e Metrologia Científicas da Universidade Federal de Campina Grande. A ferramenta de desenvolvimento, análise e simulação utilizada foi o *software* Virtuoso/Cadence com tecnologia CMOS 130 nm. Com a utilização do *software* foi possível obter resultados de simulação da análise transiente, paramétrica e AC. Para a análise transiente foram obtidos os resultados de tensão de saída, potência de cada bloco e eficiência do CCE. Para a análise paramétrica foi realizada a etapa de dimensionamento dos dispositivos. A análise AC foi utilizada para encontrar os valores de impedância de entrada de todo o CCE para a realização do casamento de impedâncias.

Durante o desenvolvimento do CCE, os circuitos pertencentes aos blocos Retificador e AGC foram os primeiros a serem projetados. Dessa forma, eles foram enviados para fabricação, testados e validados em laboratório. Em seguida, os blocos conversor CC/CC, Gerador de *Clock* e Regulador foram desenvolvidos e enviados para fabricação.

A fabricação dos circuitos integrados foi realizada por meio da empresa MOSIS Service localizada nos Estados Unidos da América em que a Universidade Federal de Campina Grande tem parceria. A MOSIS é uma empresa responsável por gerenciar os processos de fabricação de alguns fabricantes de circuito integrado como a TSMC e a Globalfoundries.

Após a fabricação, os resultados experimentais dos blocos Retificador e AGC foram obtidos utilizando uma bancada de testes de circuito integrado, Figura 20, contendo uma micromanipuladora, um gerador de RF e um multímetro digital. Como os blocos Retificador e Alimentação do Gerador de *Clock* são idênticos foram realizados testes apenas com o Retificador. Os testes experimentais foram feitos no laboratório RFWILD da Universidade Federal da Paraíba na cidade de João Pessoa.

Figura 20 – Bancada de teste de circuito integrado.



Fonte: próprio autor

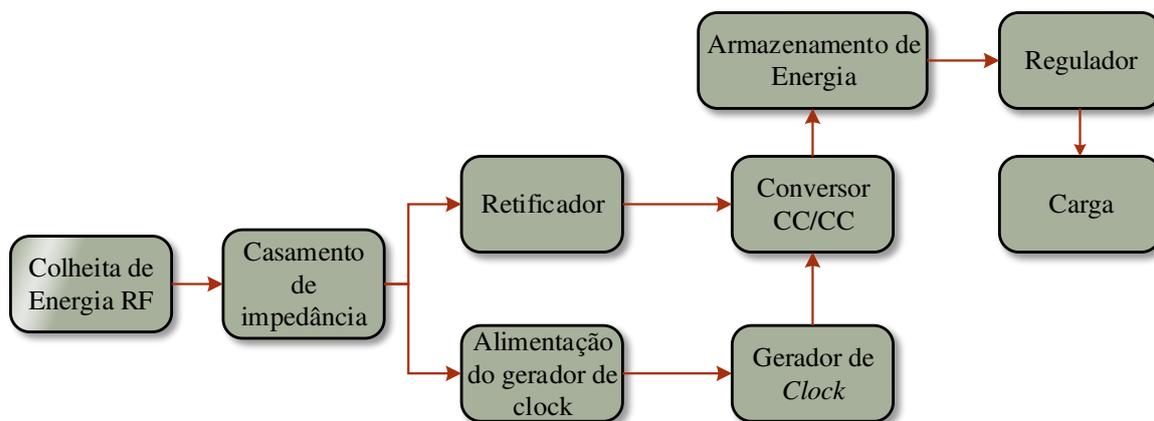
4. RESULTADOS E DISCUSSÕES

4.1. Resultados de Projeto e de Simulação

Nesta seção serão descritos os resultados de projeto de cada bloco e de simulação pós leiaute do circuito de condicionamento desenvolvido.

Para o desenvolvimento do circuito proposto, foram estudados e analisados vários circuitos de condicionamento de energia, bem como a teoria que rege o funcionamento dos componentes desses circuitos. Como cumprimento dos objetivos desse trabalho, foi desenvolvido um retificador CMOS de onda completa, um conversor CC/CC, um oscilador e um regulador de tensão utilizando transistores MOSFET tipo intensificação. O diagrama de bloco do CCE desenvolvido pode ser visto na Figura 21.

Figura 21 – Diagrama de bloco do CCE proposto.



Fonte: próprio autor.

O CCE desenvolvido foi projetado para operar em uma frequência de 915 MHz, com o intuito de fornecer alimentação para um nó sensor com tensão de 3,3 V. Portanto, fez-se necessária a utilização de um bloco de casamento de impedância para a realização da máxima transferência de potência, para os blocos Retificador e Alimentação do Gerador de *Clock* (AGC). Após realizado o casamento, a tensão proveniente do bloco Retificador é elevada pelo bloco Conversor CC/CC, controlado por o sinal de *clock* do bloco Gerador de *Clock*. Para que o gerador funcionasse corretamente, fez-se necessária a utilização do bloco

AGC para gerar uma tensão de referência ou de alimentação para o Gerador. Por fim, após a elevação da tensão, a carga e o bloco Armazenamento de Energia, recebem a alimentação devida. Caso os níveis de tensão da saída do conversor fiquem abaixo do esperado, o bloco regulador transfere a energia do capacitor de armazenamento para a carga.

Os parâmetros da tecnologia CMOS 130 nm utilizados, estão descritos na Tabela 1.

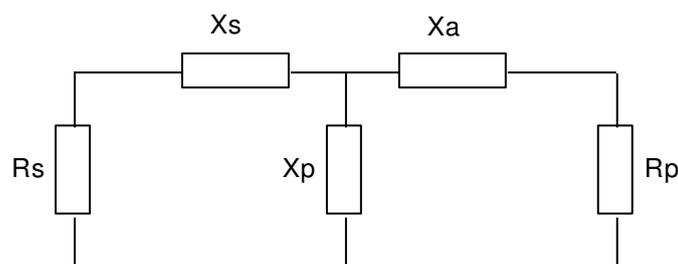
Tabela 1 - Parâmetros tecnológicos.

<i>Parâmetros tecnológicos</i>	<i>Valores</i>
Capacitância parasita da camada de óxido - C_{ox}	947,2 nF/m ²
Mobilidade dos elétrons - μ_n	470 mm ² /Vs
Mobilidade dos elétrons - μ_p	94 mm ² /Vs
Camada de óxido - t_{ox}	4,45 nm
Permissividade do óxido - ϵ_{ox}	34,4955 pF/m
Tensão de limiar - V_{tn}	265 mV
Tensão de limiar - V_{tp}	300 mV

4.1.1. Bloco Casamento de Impedância

O casamento de impedância é realizado para se ter a máxima transferência de potência da fonte para o circuito e a mínima reflexão de sinais para a fonte. Portanto, para o bloco casamento de impedância, foi utilizado o circuito representado na Figura 22.

Figura 22 – Configuração de circuito de casamento de impedância.



Fonte: próprio autor.

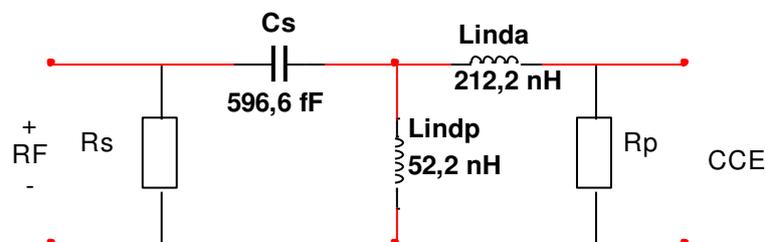
No circuito de casamento de impedância, $R_S = 50 \Omega$ é impedância desejada, $R_p = 2137 \angle 34,88^\circ \Omega$ é a impedância de entrada do circuito CCE, $X_S = 291,57 \Omega$ é a reatância capacitiva, $X_a = 1220 \Omega$ e $X_p = 300,14 \Omega$ são reatâncias indutivas. X_a é a reatância dimensionada para anular o efeito capacitivo do circuito de condicionamento de energia. Para encontrar os valores de R_p e X_a , foi realizada uma simulação AC na ferramenta de simulação spectre. O cálculo das reatâncias X_p e X_S foi ser realizado de acordo com as expressões (47) e (48) (RIBEIRO, 2008).

$$X_p = R_p \sqrt{\frac{R_s}{R_p - R_s}} \quad (47)$$

$$X_s = \sqrt{R_s (R_p - R_s)} \quad (48)$$

Logo, as impedâncias do circuito da Figura 22, podem ser substituídas por capacitores e indutores, conforme pode ser visto na Figura 23.

Figura 23 – Circuito de casamento de impedância.

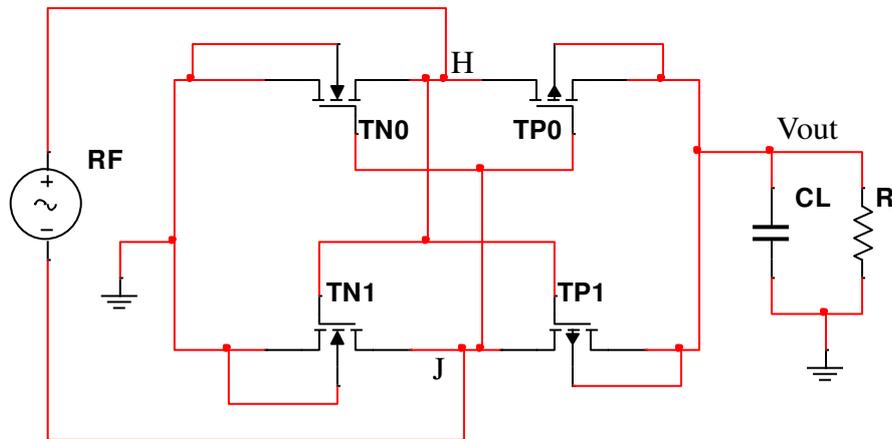


Fonte: próprio autor.

4.1.2. Bloco Retificador

O retificador CMOS, no qual foi realizada a análise, é baseado num retificador de onda completa, conforme pode ser visto na Figura 24, formado por dois transistores tipo p, T_{P0} e T_{P1} , e dois transistores tipo n, T_{N0} e T_{N1} .

Figura 24 – Circuito retificador CMOS.



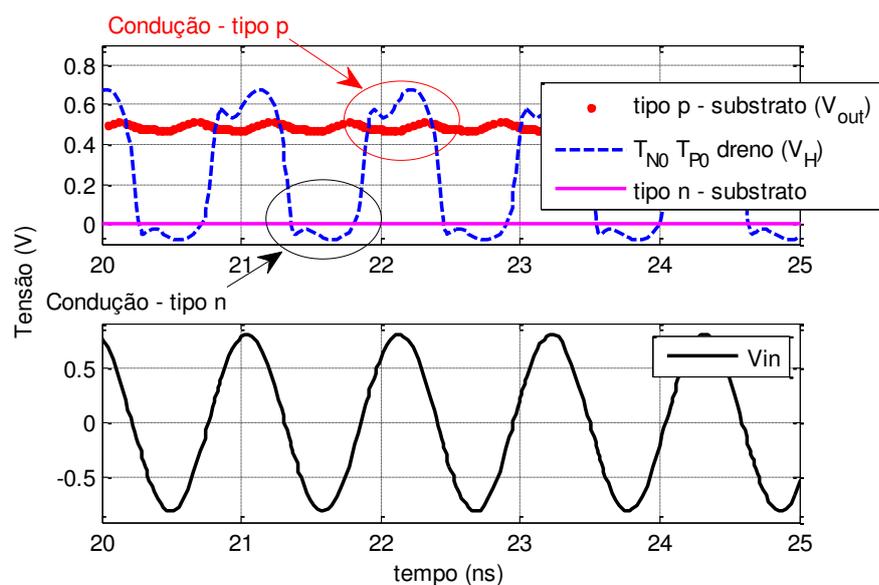
Fonte: próprio autor.

O funcionamento do circuito retificador da Figura 24 é dado da seguinte forma: quando V_H (tensão no ponto H) está com polarização positiva e o ponto V_J (tensão no ponto J) está com polarização negativa, proveniente da fonte alternada RF, os transistores T_{P0} e T_{N1} estão em condução e os transistores T_{P1} e T_{N0} estão em corte. Dessa forma, a carga R é interconectada com RF por meio de T_{P0} e T_{N1} . Quando V_H está com polarização negativa e V_J está com polarização positiva, os transistores T_{P0} e T_{N1} estão em corte e os transistores T_{P1} e T_{N0} estão em condução, permitindo assim a interconexão de R com RF por meio de T_{P1} e T_{N0} . Claramente, o potencial em R com respeito ao aterramento será sempre positivo, ou seja, a retificação é em onda completa (KOTANI; SASAKI; ITO, 2009).

Em um procedimento de condução de um transistor MOSFET tipo n, a corrente deve circular do terminal dreno, D, para o terminal fonte, S, e a conexão do terminal do substrato, B, idealmente, deve ser feita de modo que as junções pn entre fonte e substrato e dreno e substrato estejam sempre reversas. Essa conexão tem por objetivo manter as junções pn, que são formadas por o substrato/fonte ou substrato/dreno consequentemente substrato/canal, reversas, a fim de evitar circulação de corrente por essas junções pn, (SEDRA; SMITH, 2007; RAZAVI, 2013). Sendo assim, em um circuito com sinal de entrada alternado faz-se necessário garantir que as junções pn do substrato/fonte e substrato/dreno dos transistores estejam realmente reversas evitando corrente de fuga pelas junções pn e consequentemente dissipação de potência desnecessária.

Realizando novamente a análise do circuito da Figura 24, para que a tensão de limiar não tenha grandes variações, o substrato, B, está conectado ao terminal fonte, S, ($V_{SB} = 0$). Por outro lado, quando $V_{SB} = 0$, a tensão dreno-substrato $V_{DB} > 0$ surgindo o diodo parasita e a corrente de fuga, ou seja, quando a tensão de dreno, V_D , de T_{P0} é igual a V_H e a tensão de substrato V_B é igual a tensão na carga R, V_{out} , V_D é maior do que V_S . Dessa forma, a corrente de fuga aparece, como pode ser visto no Gráfico 1 (círculo vermelho na condução do transistor tipo p), em que V_{in} é a tensão da fonte RF. De semelhante modo, para T_{N0} , V_D é inferior a V_B proporcionando corrente de fuga, como pode ser visto no Gráfico 1 (círculo preto na condução do transistor tipo n). Essa corrente de fuga existe nas junções de dreno-substrato de todos os transistores do retificador mostrado na Figura 24.

Gráfico 1 – Condução do diodo formado na junção substrato-dreno.



Fonte: próprio autor.

Para encontrar a corrente i_D de T_{P0} quando $V_H > 0$ e $V_J < 0$, por exemplo, quando V_B é igual a V_{out} , sendo $V_{out} = V_p - V_d - V_r/2$; em que V_p é o valor de pico da tensão de entrada V_{in} ; V_d é a queda de tensão do transistor; V_r é a tensão de *ripple*. Então, $V_{DB} > 0$, porque $V_D = V_H$ e $V_B < V_H$. Portanto, i_D pode ser expressa por (49) como o somatório da corrente na região de triodo e a corrente na junção dreno-substrato.

$$i_D = \mu_p C_{ox} \frac{W_p}{L_p} \left[(v_{GS} - V_t)(v_{DS}) - \frac{1}{2}(v_{DS})^2 \right] + I_S \left(e^{v_{DB}/nV_T} - 1 \right), \quad (49)$$

em que I_S é a corrente de saturação do diodo de junção dreno-substrato; n é fator de idealidade; V_T a tensão térmica. Na Figura 24, quando $V_H > 0$ e $V_J < 0$, T_{P0} e T_{N1} estão conduzindo, enquanto T_{P1} e T_{N0} estão em corte. Assim a corrente do circuito I_C pode ser definida baseada na expressão (49) considerando $v_{DS} = V_{out} - V_H$ e $v_{GS} = V_J - V_H$. Então, substituindo v_{DS} e v_{GS} em (49) e assumindo $I_K = I_S \left(e^{V_{DB}/nV_T} - 1 \right)$ ser a corrente de fuga, é obtido:

$$I_C = \mu_p C_{ox} \frac{W_p}{L_p} \left[(V_J - V_H - V_t)(V_{out} - V_H) - \frac{1}{2}(V_{out} - V_H)^2 \right] + I_K, \quad (50)$$

sendo V_{out} expresso por (51).

$$V_{out} = (V_p - 2V_d) \left(1 - \frac{1}{4fC_L(R + r_{DS})} \right), \quad (51)$$

pois $V_r = (V_p - 2V_d)/2fR_L C_L$, em que $R_L = R + r_{DS}$, sendo R e r_{DS} as resistências de carga e do transistor T_{N1} . Assim, substituindo V_r em V_{out} é obtido a expressão (51). Como já visto no capítulo anterior, r_{DS} é dado por:

$$r_{DS} = \frac{v_{DS}}{i_D} = \frac{v_{DS}}{\mu_n C_{ox} \frac{W_n}{L_n} \left[(v_{GS} - V_t)(v_{DS}) - \frac{1}{2}(v_{DS})^2 \right]}. \quad (52)$$

Considerando $v_{DS} = -V_J$ e $v_{GS} = V_H - V_J$, e substituindo v_{DS} e v_{GS} em (52), é obtido a expressão (53),

$$r_{DS} = \frac{-2L_n V_J}{\mu_n C_{ox} W_n [-2(V_H - V_J - V_t)V_J - V_J^2] + 2L_n}. \quad (53)$$

Assim substituindo (53) em (51) é obtido (54),

$$V_{out} = (V_p - 2V_d) \left(1 - \frac{1}{4fRC_L} + \frac{B + 2L_n}{-8L_n V_J fC_L} \right), \quad (54)$$

em que: $B = \mu_n C_{ox} W_n [-2(V_H - V_J - V_t)V_J - V_J^2]$. Portanto, a expressão (50) da corrente do circuito pode ser reescrita, substituindo (54) em (50), logo:

$$I_C = \mu_p C_{ox} \frac{W_p}{L_p} \left[(V_J - V_H - V_t) \left((V_p - V_d) \left(1 - \frac{1}{4fRC_L} + \frac{B + 2L_n}{-8L_n V_J fC_L} \right) - V_H \right) \dots \right. \\ \left. \dots - \frac{1}{2} \left((V_p - V_d) \left(1 - \frac{1}{4fRC_L} + \frac{B + 2L_n}{-8L_n V_J fC_L} \right) - V_H \right)^2 \right] + I_K$$

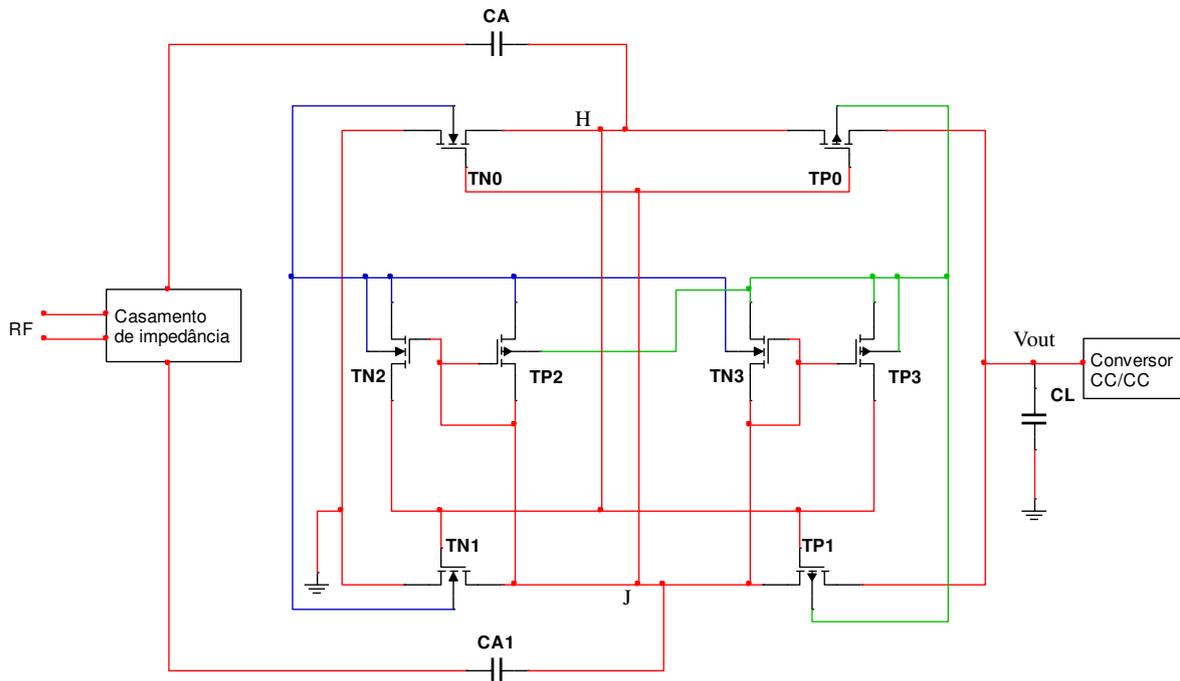
ou

$$I_C = I_C^0 + I_K \quad (55)$$

Portanto, levando em consideração a expressão (46), quanto maior I_K menor o PCE, pois $P_{Vin} = V_{in} I_C$.

Para reduzir a corrente I_K e consequentemente aumentar o PCE, o circuito de polarização de substrato (CPS), acoplado ao retificador convencional, Figura 25, foi projetado. Na Figura 25, as linhas na cor azul são referentes as conexões dos substratos de todos os transistores tipo n, na cor verde referentes as conexões dos substratos de todos os transistores tipo p e na cor vermelha, demais conexões. Os capacitores C_{A1} e C_A são capacitores de acoplamento.

Figura 25 – Circuito retificador com o CPS.

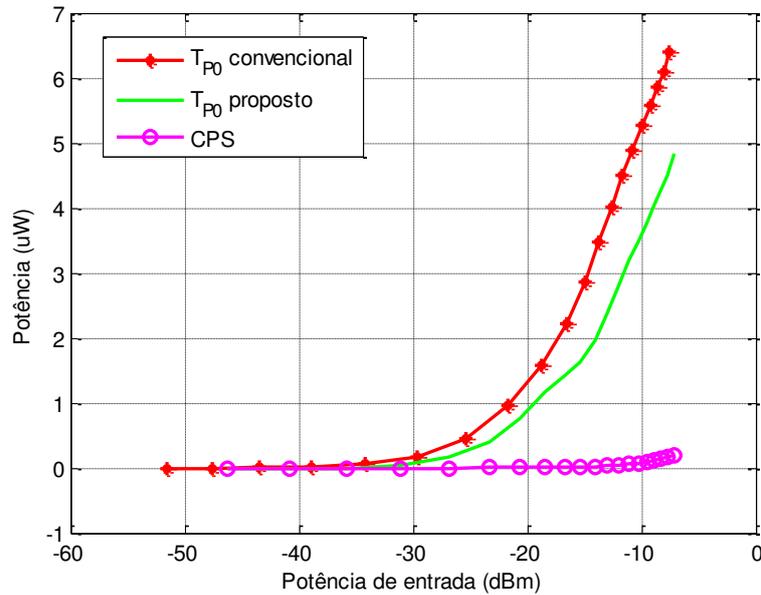


Fonte: próprio autor.

Em termos gerais, o CPS mantém as junções dreno-substrato de T_{N0} , T_{N1} , T_{P0} e T_{P1} reversamente polarizadas durante os semiciclos positivo e negativo de V_{in} , tornando V_{DB} próximo de zero e reduzindo a corrente de fuga I_K das junções dos transistores. Para alcançar isto, o CPS mantém o substrato dos transistores tipo n no menor potencial (ou V_H ou V_J) e o substrato dos transistores do tipo p no maior potencial (ou V_H ou V_J) de acordo com a polaridade da tensão V_{in} (positivo ou negativo).

Uma maneira de comprovar que a redução das correntes de fuga diminui a dissipação de energia em T_{N0} , T_{N1} , T_{P0} e T_{P1} e aumenta o PCE do retificador, é visualizada no Gráfico 2, por exemplo, a potência em T_{P0} do retificador convencional (linha $\color{red}{\dashrightarrow}$) e do retificador com o CPS (linha $\color{green}{\dashrightarrow}$) em função da potência de entrada. A potência de T_{P0} do retificador com o uso do CPS é sempre menor que a potência do transistor T_{P0} do retificador convencional. O mesmo resultado acontece para T_{N0} , T_{P1} e T_{N1} . No Gráfico 2 também pode ser visto a potência de todo o CPS (linha $\color{magenta}{\dashrightarrow}$).

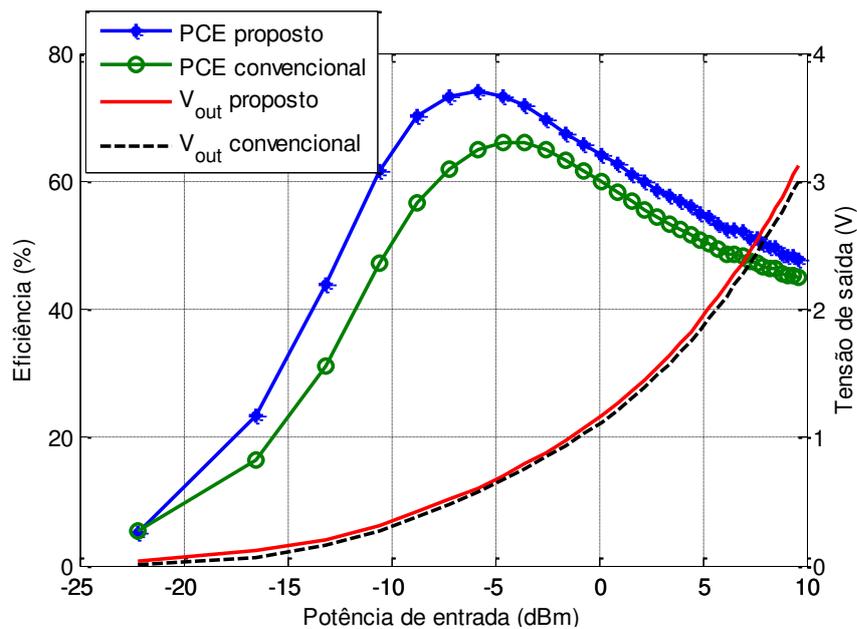
Gráfico 2 – Comparação da potência dos transistores T_{P0} de ambos os circuitos retificadores com e sem o uso do CPS.



Fonte: próprio autor.

Portanto comparando o PCE e a tensão de saída CC em função da potência de entrada para $R_L = 2 \text{ k}\Omega$ do retificador com e sem o uso do CPS, é possível observar, Gráfico 3, um maior PCE com mesmo nível de tensão utilizando o CPS.

Gráfico 3 - Comparação do PCE e da tensão de saída CC de ambos os circuitos retificadores com e sem o uso do CPS.

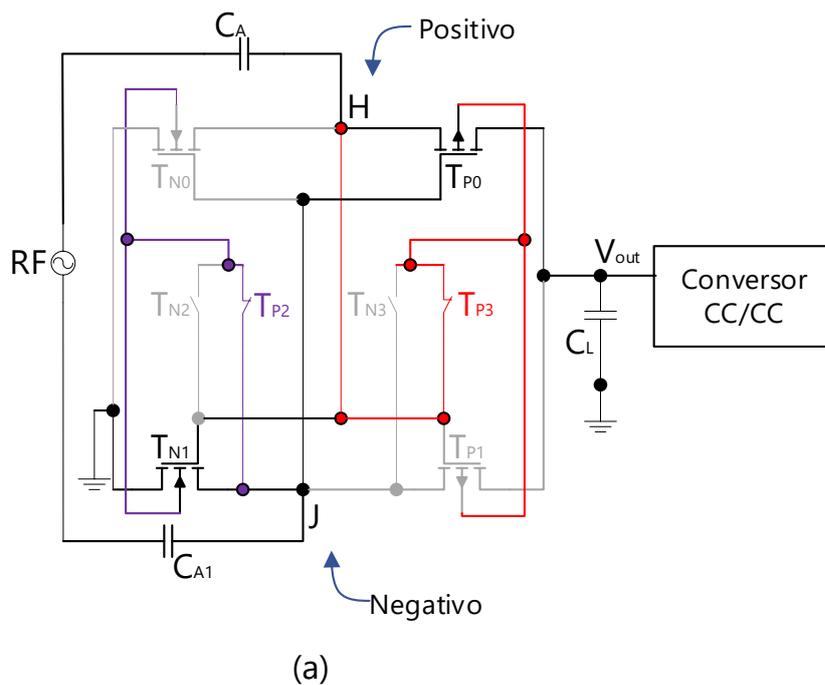


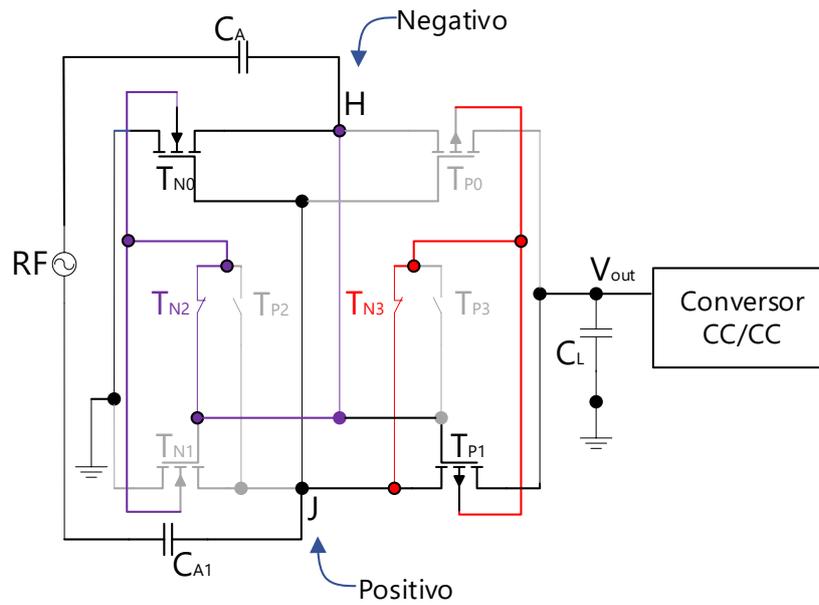
Fonte: próprio autor.

O baixo consumo do CPS é devido os transistores T_{N2} com T_{P2} ou T_{N3} com T_{P3} nunca causarem curto-circuito entre os terminais H e J e a corrente de carga não passar por eles e sim por os transistores da ponte retificadora. De uma forma mais explicativa, Figura 26, o funcionamento do CPS se dá da seguinte forma: no semiciclo positivo do ciclo de V_{in} , quando $V_H > 0$ e $V_J < 0$, T_{N1} e T_{P0} estão conduzindo e T_{N0} e T_{P1} estão em corte, interligando RF para o conversor CC/CC por meio de T_{N1} e T_{P0} . Nessas condições, T_{P2} e T_{P3} , estão conduzindo ($v_{GS} < V_t$) conectando V_H ao substrato de T_{P0} e T_{P1} (ver linha vermelha na Figura 26a) e V_J aos terminais de substrato de T_{N0} e T_{N1} (ver linha roxa na Figura 26a). Nesse momento, T_{N2} e T_{N3} estão em corte (ver linha cinza na Figura 26a), pois ($v_{GS} < V_t$). Os transistores do CPS possuem uma tensão de limiar ultrabaixa de 90 mV, portanto, quando conduzindo, a queda de tensão é desprezível.

De forma semelhante, no semiciclo de V_{in} , quando $V_H < 0$ e $V_J > 0$, T_{P0} e T_{N1} estão em corte enquanto T_{P1} e T_{N0} estão conduzindo. Logo, o conversor CC/CC é interligado com RF por meio de T_{P1} e T_{N0} . Nessas condições, T_{N2} e T_{N3} , estão conduzindo conectando V_J ao substrato de T_{P0} e T_{P1} (ver linha vermelha na Figura 26b) e conectando V_H ao substrato de T_{N0} e T_{N1} (ver linha roxa na Figura 26b). Nesse momento, T_{P2} e T_{P3} estão em corte (ver linha cinza na Figura 26b), pois ($v_{GS} > V_t$).

Figura 26 – Polarização de V_{in} : (a) semiciclo positivo (b) semiciclo negativo.



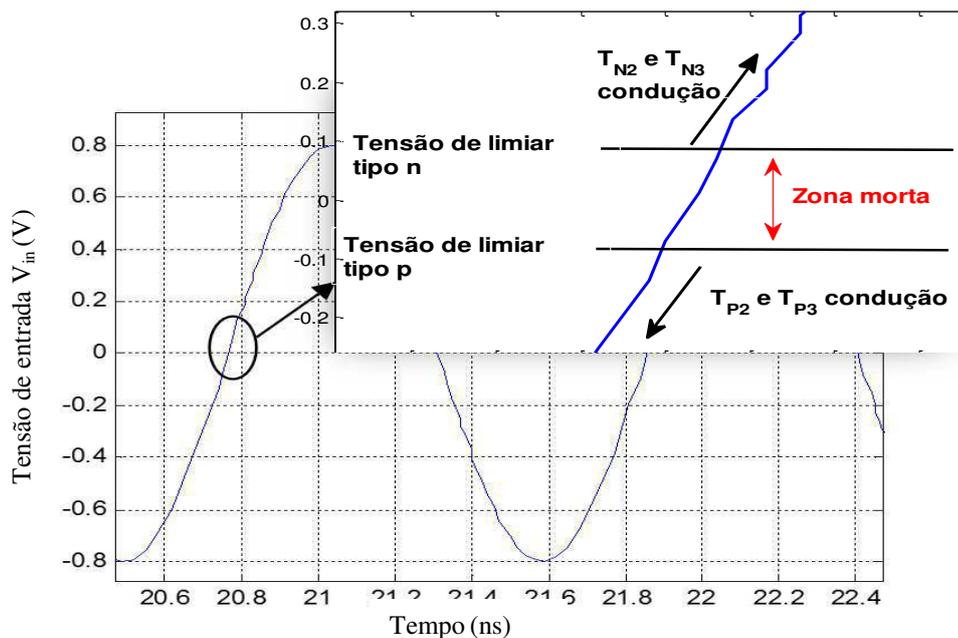


(b)

Fonte: próprio autor.

É importante notar que em nenhum instante T_{N2} com T_{P2} ou T_{N3} com T_{P3} estão conduzindo ao mesmo tempo, pois apresentam uma zona morta onde não ocorre nenhuma condução como pode ser visto no Gráfico 4. Isso evita picos de dissipação de energia por curto-circuito.

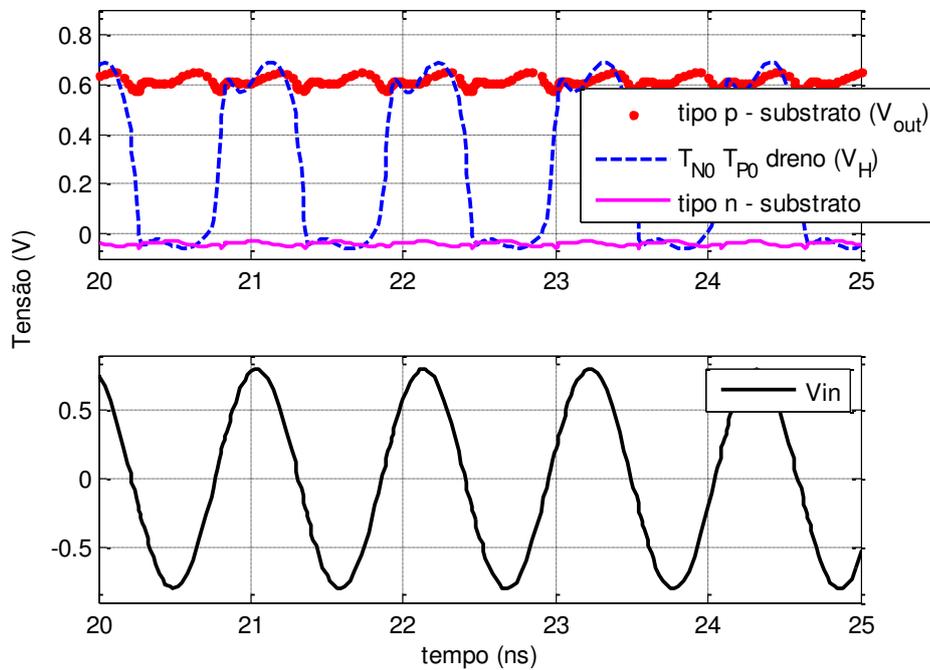
Gráfico 4 – Zona morta dos transistores.



Fonte: próprio autor.

No Gráfico 5 pode ser vista a tensão de polarização do substrato em vários ciclos de V_{in} que, como esperado, a tensão de substrato dos transistores do tipo n é negativa e a tensão de substrato dos transistores do tipo p é positiva, demonstrando que suas junções estão invertidas, ou seja, quando $V_H > 0$ e $V_J < 0$, $V_B = V_H - V_Q$, em que V_Q é a queda de tensão dos transistores condutores do CPS. Como $V_Q \ll V_H$, então $V_B \approx V_H$ e, portanto, $V_{DB} \approx 0$, pois $V_B \approx V_D = V_H$. Uma vez que $V_B \approx 0$, o termo de I_K da expressão (55) é aproximadamente zero.

Gráfico 5 – Polarização do substrato dos transistores da ponte retificadora.



Fonte: próprio autor.

Para $V_H < 0$ e $V_J > 0$, o cálculo de I_C é semelhante. Consequentemente, (55) pode ser reescrito como:

$$I_C \cong I_C^0 \tag{56}$$

Portanto, o PCE do proposto retificador utilizando o CPS é dado por:

$$PCE = \frac{V_{out}^2 / R}{V_{in} I_C^0} \cdot 100, \quad (57)$$

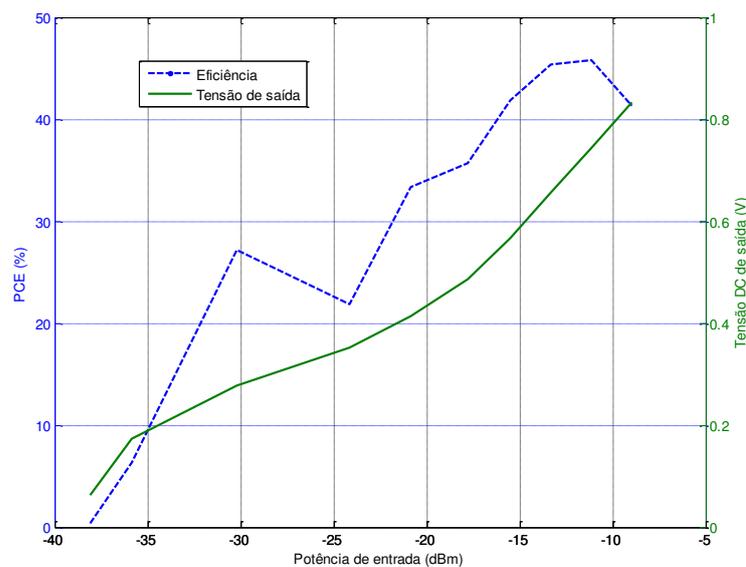
comprovando ser maior do que o PCE do retificador convencional. Semelhantemente, a corrente I_C pode ser calculada quando H é negativo e J é positivo.

4.1.3. Bloco Alimentação do Gerador de *Clock*

Para o bloco AGC, foi utilizado o mesmo circuito do bloco retificador no intuito de alimentar o gerador de *clock*. Foi optado por adicionar um segundo circuito retificador, exclusivamente para a alimentação do gerador de *clock*, pois o circuito retificador não era suficiente para alimentação do conversor e do gerador de *clock*, sendo que o circuito conversor CC/CC estava interferindo nos níveis de tensão de alimentação do gerador. Isso ocasionava uma variação da frequência de oscilação do sinal de saída do gerador de *clock*. Com a adição do bloco AGC o problema foi resolvido.

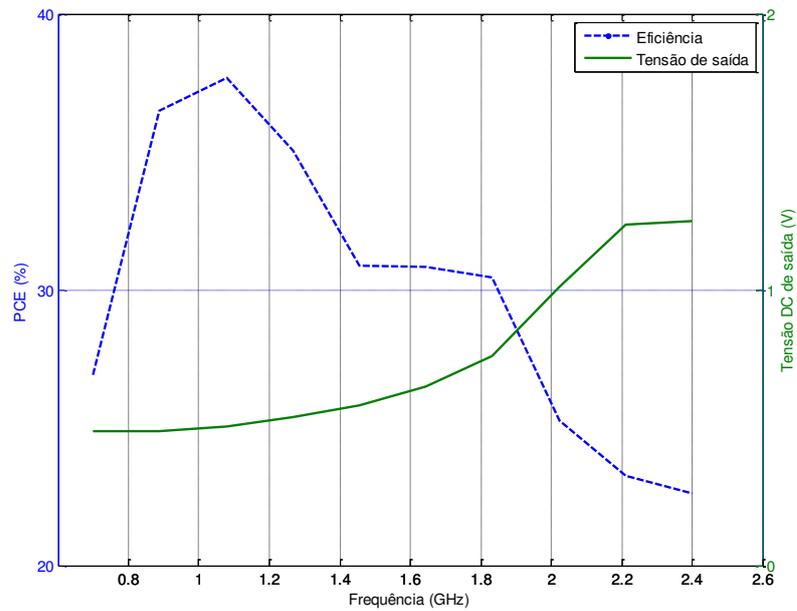
Para verificar o comportamento da eficiência e da tensão de saída CC do AGC foram realizadas simulações paramétricas em função da potência de entrada e da frequência de operação, conforme podem ser vistas no Gráfico 6 e Gráfico 7.

Gráfico 6 – Eficiência do AGC em função da potência de entrada.



Fonte: próprio autor

Gráfico 7 – Eficiência do AGC em função da frequência de operação.

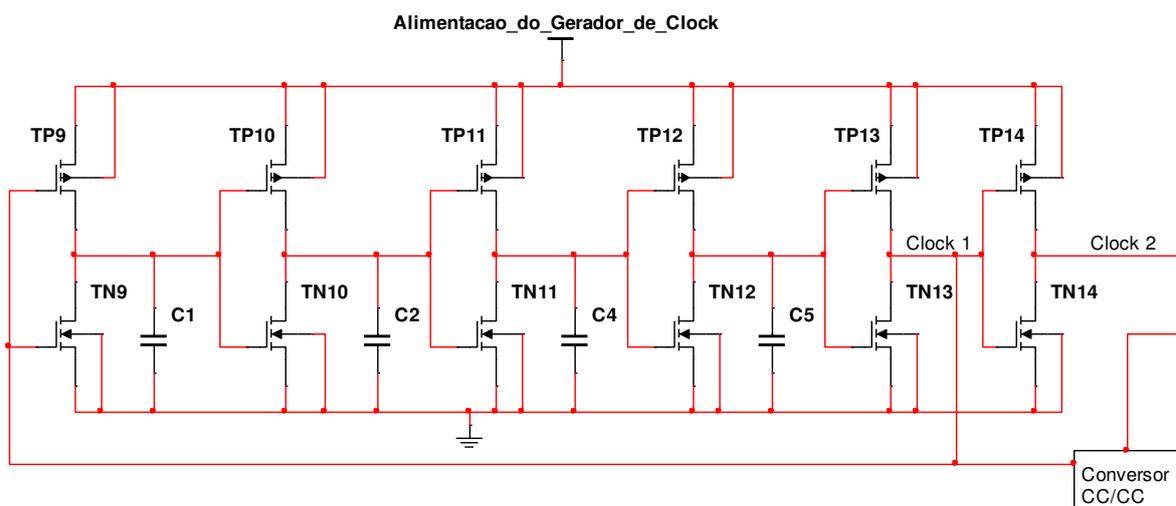


Fonte: próprio autor

4.1.4. Bloco Gerador de *Clock*

O gerador de *clock* utilizado está representado na Figura 27. Esse oscilador em anel é formado por seis inversores CMOS, sendo que a realimentação do oscilador é feita no quinto estágio para garantir a oscilação. O oscilador gera dois sinais de *clock* para o conversor CC/CC não sobrepostos com frequência de 4 MHz.

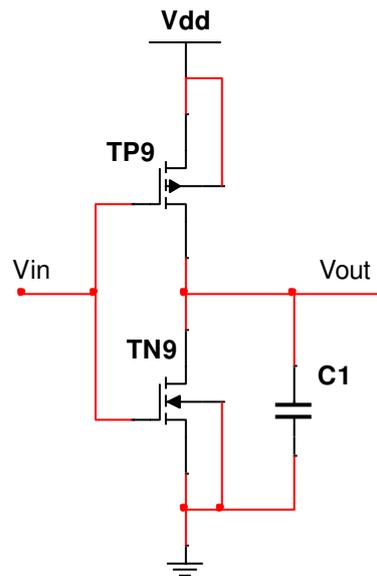
Figura 27 – Circuito Oscilador em anel.



Fonte: próprio autor.

Para o cálculo da frequência de chaveamento foi necessário, inicialmente, dimensionar o conversor CMOS, Figura 28, de forma que o tempo de propagação da variação do nível de tensão de alto para baixo t_{PHL} (com base na condução do transistor tipo n – T_{N9}) e de baixo para alto t_{PLH} (com base na condução do transistor tipo p – T_{P9}) fossem iguais.

Figura 28 – Circuito Inversor CMOS.



Fonte: próprio autor.

Para tanto, foi realizado o casamento entre os transistores respeitando a igualdade da expressão (58).

$$\frac{W_p}{W_n} = \frac{\mu_n}{\mu_p}, \quad (58)$$

em que W_p , W_n , μ_p e μ_n representam a largura do canal dos transistores tipo p e tipo n e a mobilidade das lacunas e dos elétrons respectivamente. Os valores escolhidos de W e L dos transistores tipo p e n do inversor foram $L = 600 \text{ nm}$ para todos os transistores, $W = 1 \text{ }\mu\text{m}$ para os transistores tipo n e $W = 5 \text{ }\mu\text{m}$ para os transistores tipo p. Logo, t_{PHL} e t_{PLH} podem ser expressos conforme (59) (SEDRA, SMITH, 2007).

$$t_{PHL} = t_{PLH} = \frac{1,6C_1}{\mu C_{ox} \frac{W}{L} V_{dd}}, \quad (59)$$

em que $C_1=490$ fF é um capacitor utilizado para evitar picos de tensão na transição do sinal e V_{dd} é a tensão proveniente do bloco Alimentação do Gerador de *Clock*. Porém essa expressão é válida para $V_t = 0,2V_{dd}$. Como, nesse caso, a igualdade não é verdadeira, pois de acordo com a Tabela 1 $V_t = 265$ mV sendo $V_{dd} = 600$ mV, a expressão (59) é substituída por (60) (SEDRA, SMITH, 2007).

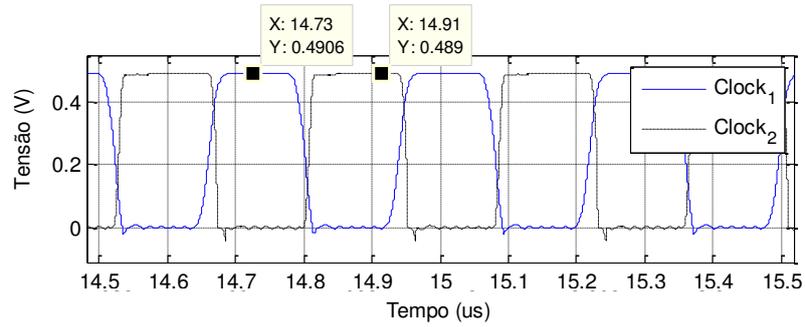
$$t_{PHL} = t_{PLH} = \frac{2C}{\mu C_{ox} \frac{W}{L} (V_{dd} - V_t)} \left[\frac{V_t}{(V_{dd} - V_t)} + \frac{1}{2} \ln \left(\frac{3V_{dd} - 4V_t}{V_{dd}} \right) \right]. \quad (60)$$

Assim, o tempo de atraso T_d do inversor é dado por a expressão (61).

$$T_d = \frac{t_{PHL} + t_{PLH}}{2}. \quad (61)$$

Então, o valor de T_d calculado foi de 3,53 ns. Logo, a frequência do oscilador em anel dada pela expressão (22), $F_{osc} = 1/2NT_d$. Portanto, $F_{osc} = 56$ MHz. No intuito de reduzir a energia dissipada do conversor CC/CC, foi diminuída a frequência de oscilação por meio do aumento dos valores dos capacitores entre os inversores, Figura 27. Portanto, com o aumento das capacitâncias a F_{osc} passou a ser de 4 MHz.

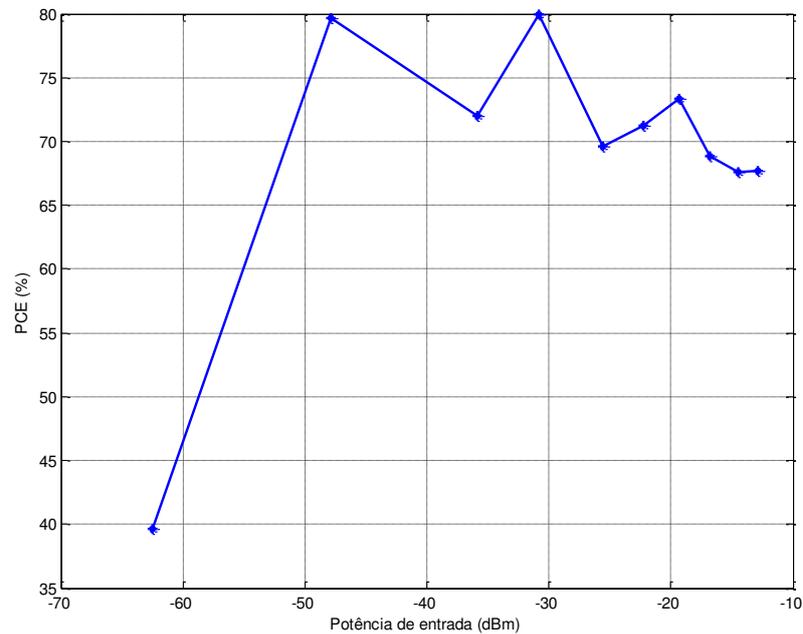
Podem ser vistos no Gráfico 8 os resultados de simulação dos sinais de *clock* do oscilador.

Gráfico 8 – Sinais de *clock* do oscilador.

Fonte: próprio autor

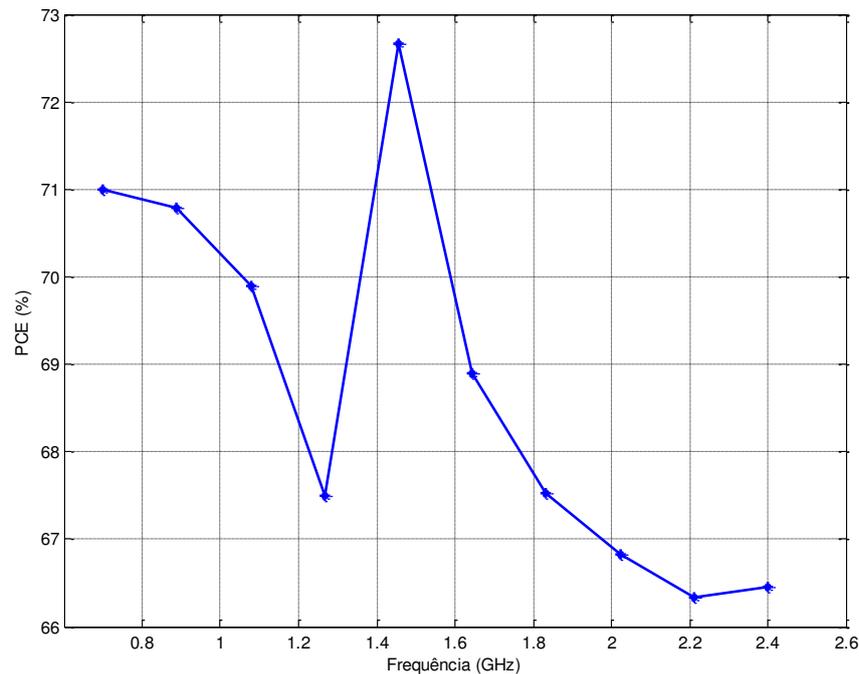
Para verificar o comportamento da eficiência do oscilador foram realizadas simulações paramétricas em função da potência de entrada e da frequência de operação, conforme podem ser vistas no Gráfico 9 e Gráfico 10.

Gráfico 9 – Eficiência do oscilador em função da potência de entrada.



Fonte: próprio autor

Gráfico 10 – Eficiência do oscilador em função da frequência de operação.



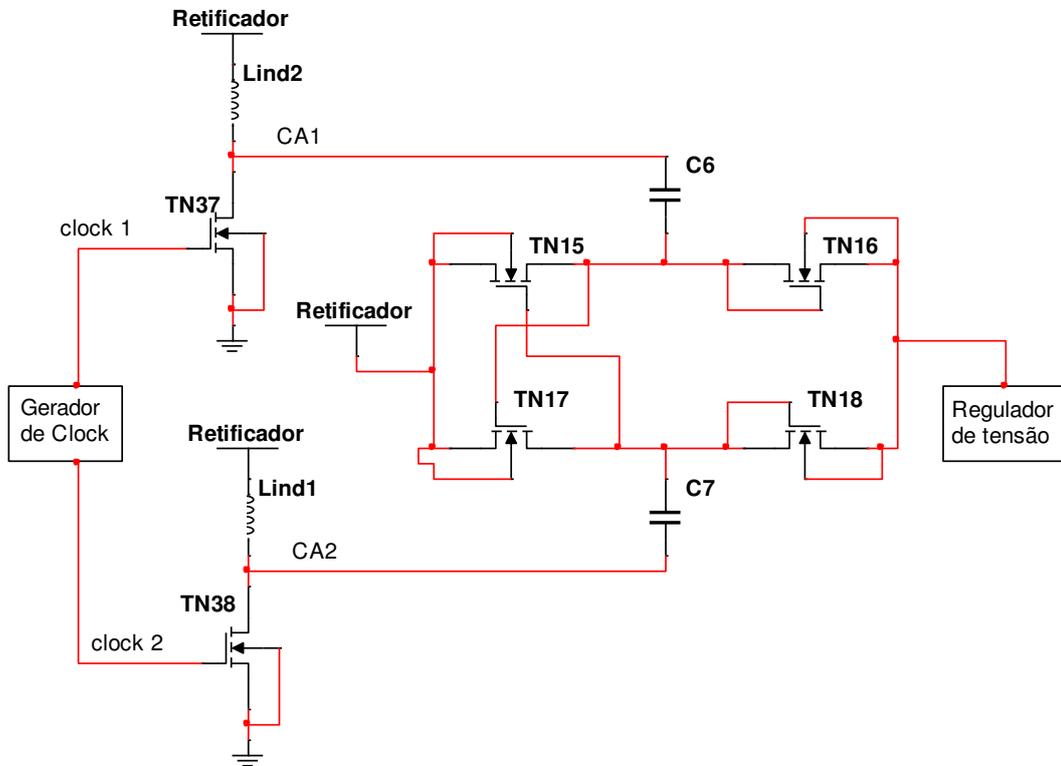
Fonte: próprio autor

4.1.5. Bloco Conversor CC/CC

O circuito conversor CC/CC utilizado foi um conversor híbrido capacitivo indutivo, Figura 29. Esse conversor une as funções de um conversor *boost* e uma bomba de carga baseado no circuito da Figura 15.

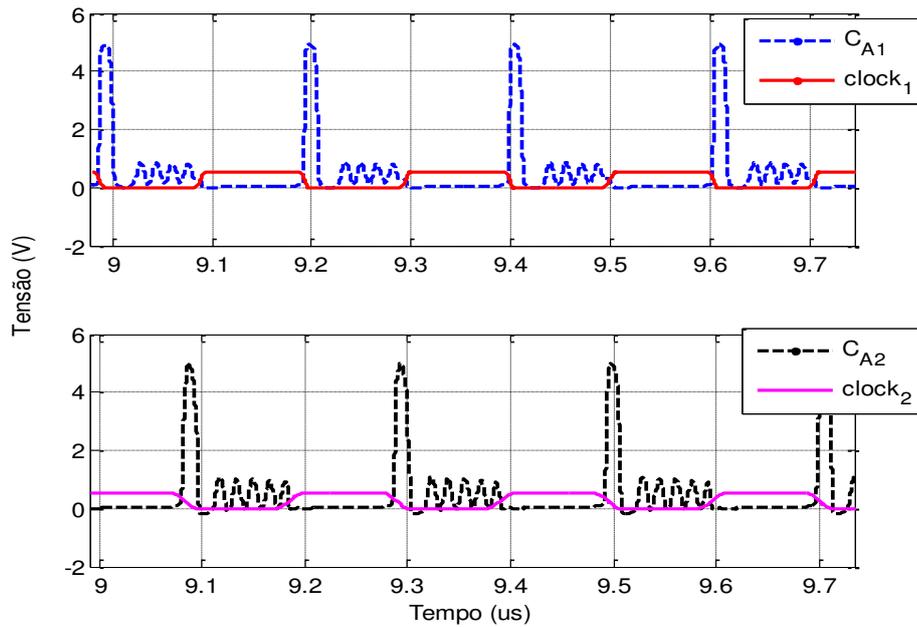
No circuito da Figura 29, os transistores dos conversores *boost* T_{N37} e T_{N38} são chaveados a uma frequência de 4 MHz por os sinais $clock_1$ e $clock_2$ não sobrepostos do oscilador em anel. Diferentemente do conversor *boost* tradicional, esses conversores não possuem diodos em sua estrutura para que os sinais de $clock$ C_{A1} e C_{A2} amplificados, não sejam retificados. Assim, C_{A1} e C_{A2} servem como sinal de $clock$ para a bomba de carga formada por os transistores T_{N15} , T_{N16} , T_{N17} e T_{N18} . Caso um diodo fosse utilizado como na arquitetura convencional os capacitores C_6 e C_7 da bomba de carga não carregariam. No Gráfico 11, podem ser vistos os sinais $clock_1$, $clock_2$, C_{A1} e C_{A2} . Nesse circuito, todos os transistores utilizados são do tipo n.

Figura 29 - Esquemático do conversor CC/CC.



Fonte: próprio autor.

Gráfico 11 – Sinais de *clock* antes e depois da amplificação.



Fonte: próprio autor.

Portanto, o funcionamento do conversor híbrido é dado da seguinte forma: após o transiente inicial, quando $clock_1$ está em nível alto e $clock_2$ em nível baixo, os transistores T_{N37} , T_{N15} e T_{N18} conduzem e os transistores T_{N38} , T_{N16} e T_{N17} estão em corte. Nesse momento L_{ind1} e C_7 carregam o capacitor C_8 consequentemente alimentando o Regulador de Tensão por meio de T_{N18} enquanto que C_6 e L_{ind2} são carregados por V_{dd} por meio de T_{N15} e T_{N37} respectivamente. De maneira semelhante, quando $clock_1$ está em nível baixo e $clock_2$ em nível alto, os transistores T_{N37} , T_{N15} e T_{N18} estão em corte e os transistores T_{N38} , T_{N16} e T_{N17} conduzem. Nesse momento L_{ind2} e C_6 carregam o capacitor C_8 consequentemente alimentando o Regulador de Tensão por meio de T_{N16} enquanto que C_7 e L_{ind1} são carregados por V_{dd} por meio de T_{N17} e T_{N38} respectivamente.

Para o dimensionamento dos transistores T_{N37} e T_{N38} foi levada em consideração a corrente do indutor L_{ind2} , pois como os conversores *boost* são idênticos, foi realizado apenas um único cálculo para ambos os transistores. Logo, operando no modo de condução contínua e com um ciclo de trabalho de 50%, o ganho do conversor *boost* pode ser expresso por (62).

$$M = \frac{1}{1 - D_c} \quad (62)$$

Portanto, $M = 2$ de cada conversor *boost*. Dessa forma, o cálculo da corrente do indutor ΔI_L (sendo a mesma do transistor), assumindo um indutor de 220 μH , pode ser encontrada pela expressão (63).

$$\Delta I_L = \frac{V_{in} D_c}{L_{ind2} f} \quad (63)$$

Logo, com o valor da corrente do transistor calculada é possível determinar a largura mínima que os transistores T_{N37} e T_{N38} , operando na região de triodo, devem ter para suportar essa corrente. Sendo assim, com base na expressão (25) o valor mínimo de W pode ser dado pela expressão (64).

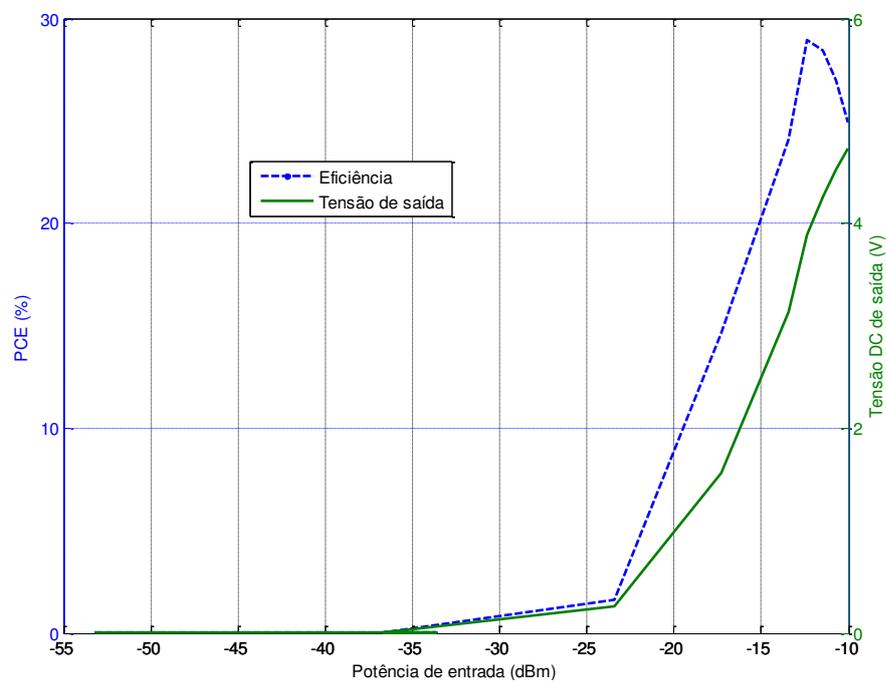
$$W_{\min} = \frac{L(\Delta I_L)}{\mu_n C_{ox} [(v_{GS} - V_t)v_{DS} - 0,5v_{DS}^2]} \quad (64)$$

No intuito de elevar ainda mais a tensão na carga foram utilizados os capacitores C_6 e C_7 da bomba de carga. Sendo assim, com a ação conjunta do conversor *boost* e da bomba de carga, a tensão de saída no regulador de tensão é elevada sete vezes mais.

Para o cálculo da potência nos transistores do conversor CC/CC foi utilizada a expressão (45).

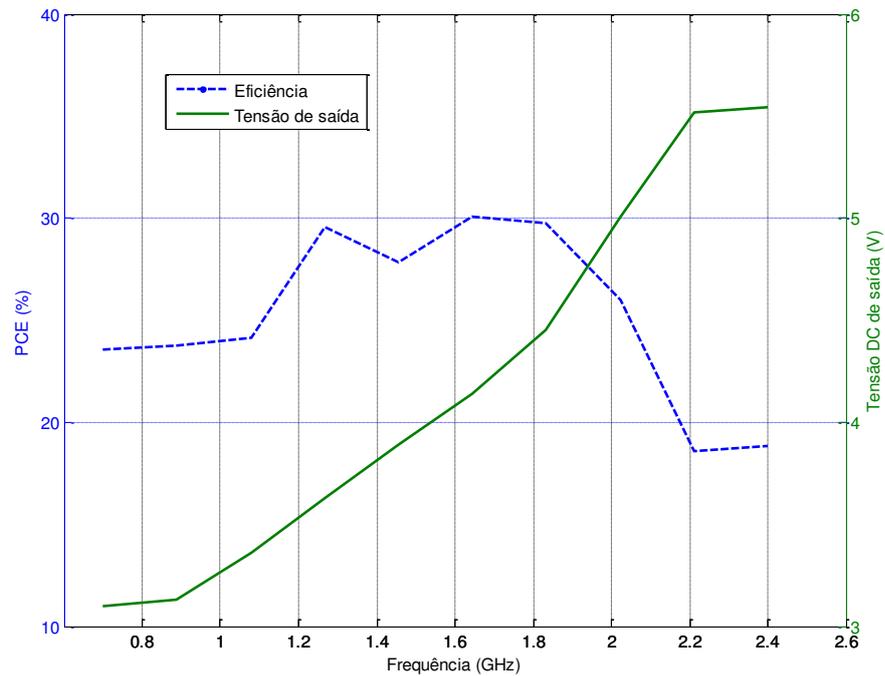
Para verificar o comportamento da eficiência e da tensão de saída CC do conversor foram realizadas simulações paramétricas, Gráfico 12 e Gráfico 13, em função da potência de entrada e da frequência de operação.

Gráfico 12 – Eficiência do conversor em função da potência de entrada.



Fonte: próprio autor

Gráfico 13 – Eficiência do conversor em função da frequência de operação.

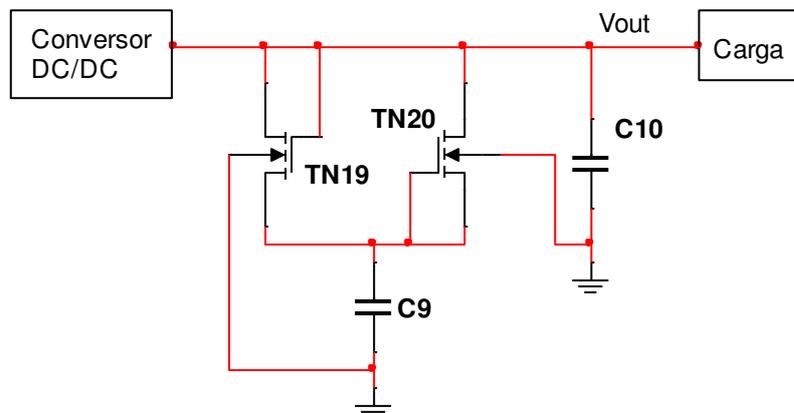


Fonte: próprio autor

4.1.6. Bloco Regulador

O bloco regulador é constituído de um comparador de tensão utilizando transistores conectados como diodos, conforme pode ser visto na Figura 30.

Figura 30 – Regulador.



Fonte: próprio autor.

Nesse circuito, a tensão na carga V_{out} é comparada com a tensão do capacitor de armazenamento C_9 por meio do transistor T_{N20} , conectado como diodo. Caso a tensão na carga fique abaixo da tensão do capacitor C_9 o transistor T_{N20} conduz e o capacitor C_9 descarrega para a carga. O transistor T_{N19} , conectado como diodo, evita a conexão dos capacitores C_9 e C_{10} durante o carregamento de ambos.

4.1.7. Circuito de Condicionamento de Energia

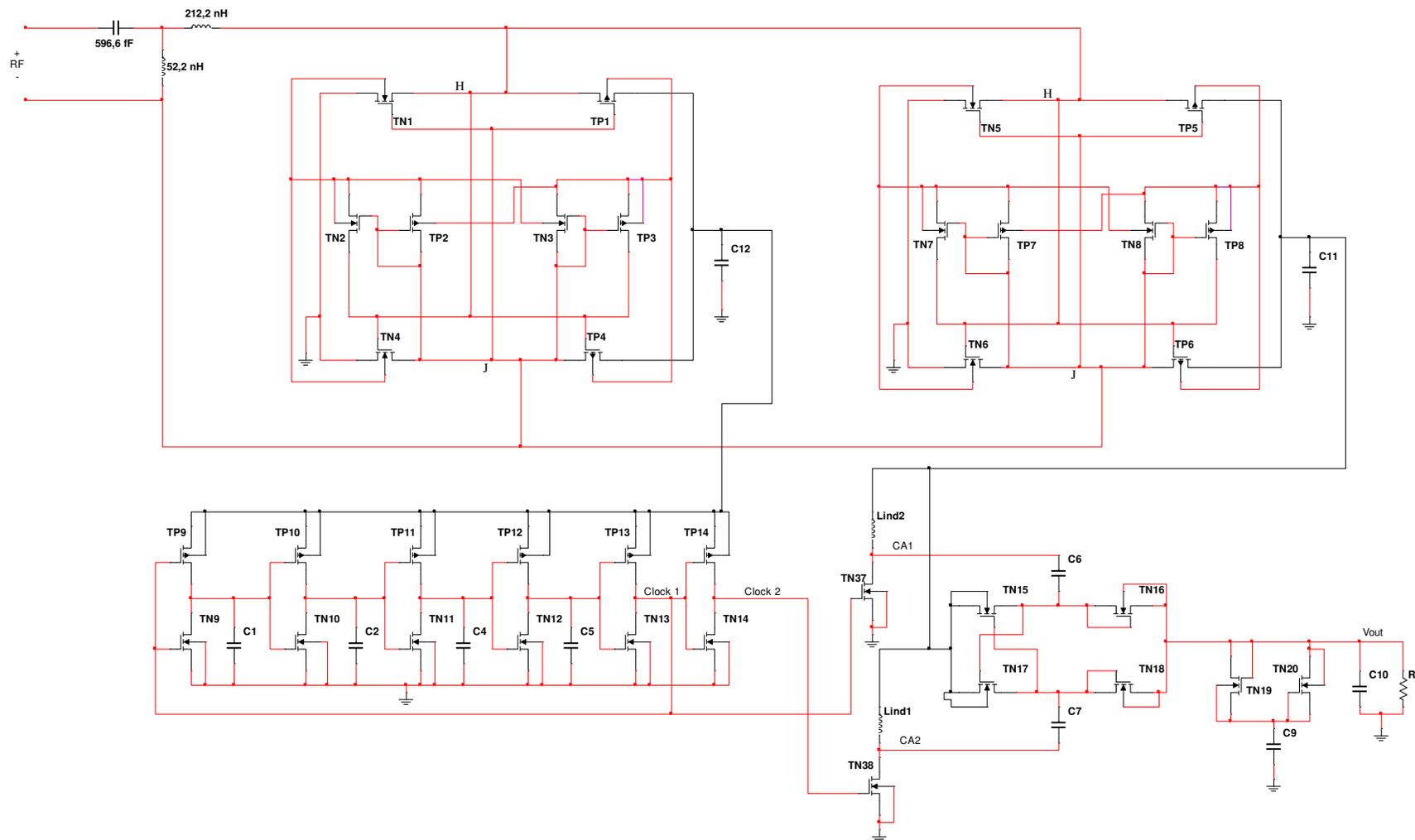
Como descrito, os blocos constituintes do circuito de condicionamento de energia foram desenvolvidos, projetados e simulados no *software* Virtuoso/Cadence com tecnologia de fabricação CMOS 130 nm. Todos os parâmetros dos componentes utilizados nos blocos do circuito de condicionamento de energia estão listados na Tabela 2.

Por fim, na Figura 31, é possível visualizar a topologia geral do CCE proposto.

Tabela 2 – Parâmetros dos componentes do CCE.

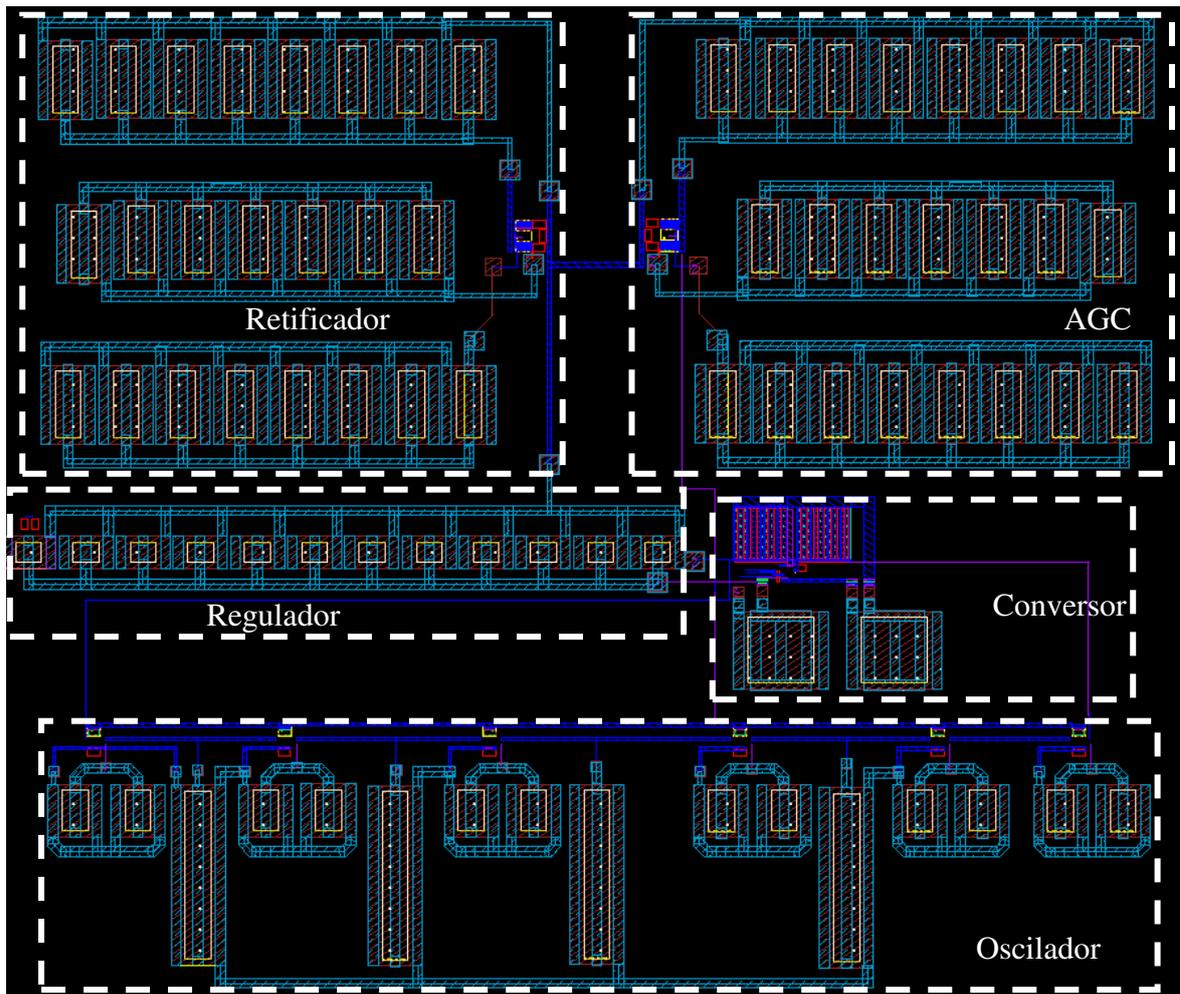
Componentes	Largura [μm]	Comprimento [nm]	Capacitância [pF]	Indutância [μH]
T_{N0} , T_{N1} , T_{N5} e T_{N6}	10	180	-	-
T_{P0} , T_{P1} , T_{P5} e T_{P6}	18	180	-	-
T_{N2} , T_{N3} , T_{P2} , T_{P3} , T_{N7} , T_{N8} , T_{P7} , T_{P8}	0,5	120	-	-
T_{N9} , T_{N10} , T_{N11} , T_{N12} , T_{N13} e T_{N14}	1	600	-	-
T_{P9} , T_{P10} , T_{P11} , T_{P12} , T_{P13} e T_{P14}	5	600	-	-
T_{N15} , T_{N16} , T_{N17} e T_{N18} , T_{N19} e T_{N20}	1	600	-	-
T_{N37} e T_{N38}	10	1	-	-
L_{ind1} e L_{ind2}	-	-	-	220
L_{inda}	-	-	-	0,21
L_{indp}	-	-	-	0,05
C_S	-	-	0,59	-
C_6 e C_7	-	-	1	-
C_A , C_{A1} , C_{A2} e C_{A3}	-	-	15	-
C_L e C_{L1}	-	-	100	-
C_1 , C_2 , C_4 e C_5	-	-	0,49	-
C_6 , C_7 e C_{10}	-	-	1	-
C_9	-	-	1000	-

Figura 31 – Esquemático do Circuito de Condicionamento de Energia.



Fonte: próprio autor.

Figura 32 – Leiaute do Circuito de Condicionamento de Energia.

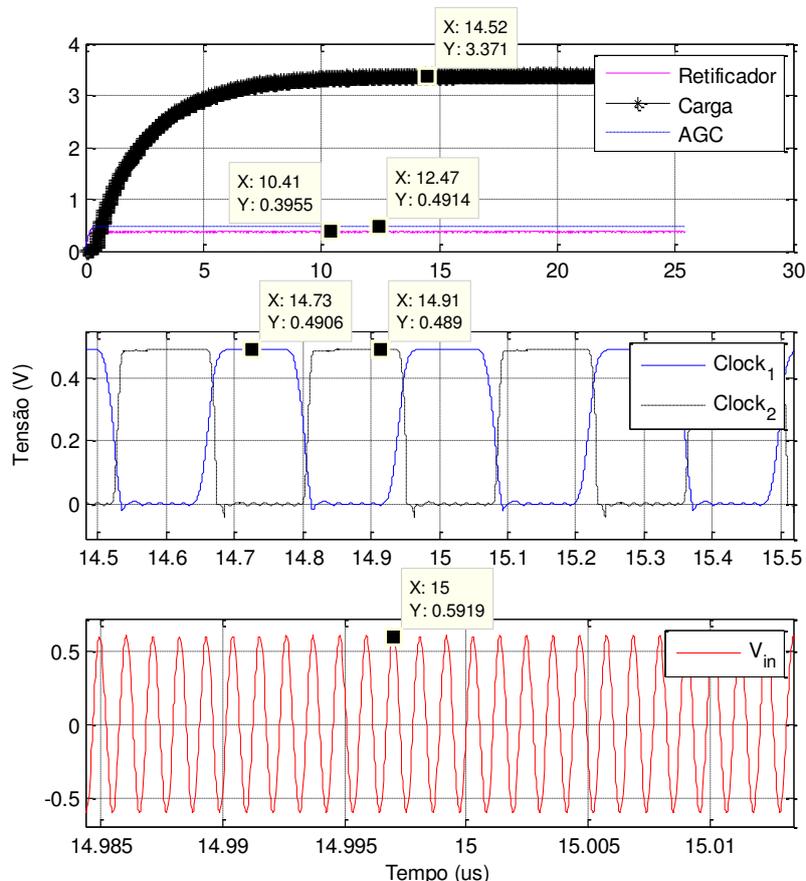


Fonte: próprio autor.

Para a obtenção dos resultados de simulação pós-leiaute do CCE, foram realizadas análises transiente, paramétrica e AC. A análise AC foi utilizada para encontrar o valor da impedância de entrada do CCE, para a realização do casamento de impedâncias. Após essa análise, foi obtido um valor de impedância de entrada do CCE de $2137 \angle 34,88^\circ \Omega$. Logo, foi possível calcular os componentes do circuito de casamento de impedâncias da Figura 23.

No intuito de obter os níveis de tensão de saída de cada bloco, uma análise transiente utilizando os seguintes parâmetros: tensão de entrada de 600 mV e carga de 900 k Ω , valores ideais para obter uma tensão de saída de 3,3 V na saída; frequência da fonte de 915 MHz foi realizada. Os resultados dessa análise são vistos no Gráfico 14.

Gráfico 14 – Tensões de entrada e saída do CCE.



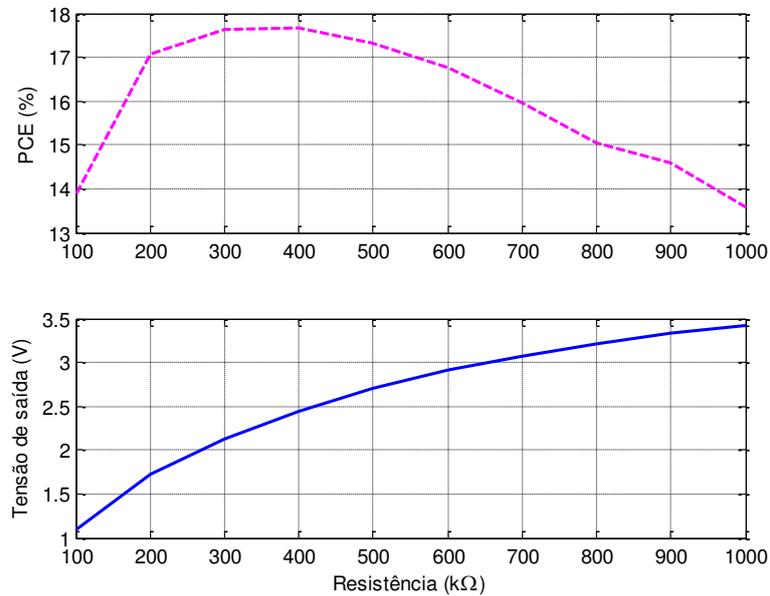
Fonte: próprio autor

De acordo com o Gráfico 14, as tensões de saída de 400 e 490 mV dos blocos Retificador e Alimentação do Gerador de *Clock* respectivamente, foram obtidas depois da aplicação da tensão $V_{in} = 600$ mV da fonte RF. Com a atuação do conversor CC/CC, a tensão do retificador foi elevada para 3,4 V, alimentando a carga. Essa elevação só foi possível, porque o circuito oscilador em anel forneceu dois sinais de *clock* não sobrepostos com amplitude de 490 mV e frequência de 4 MHz.

Como verificado no Gráfico 14, quando aplicado uma tensão de 600 mV é obtido 3,3 V na carga de 900 k Ω . Esse valor de carga foi escolhido após realizar uma análise paramétrica, com relação à eficiência e os níveis de tensão de saída do CCE em função da carga, em 915 MHz. Esse valor de frequência foi escolhido no intuito de aplicar o CCE em aparelhos de telefonia móvel. Com essa simulação foi verificado que o valor de tensão desejado, 3,3 V, foi alcançado com uma carga de 900 k Ω , com PCE de 14,5%, porém a

máxima eficiência de 17,5% foi alcançada com 300 k Ω em 2,2 V, conforme pode ser visto no Gráfico 15.

Gráfico 15 – Tensão de Saída e PCE em função da carga.



Fonte: próprio autor.

No Gráfico 15, a eficiência varia em função da carga, devido ao princípio da máxima transferência de potência, o que proporciona modificações nos valores da eficiência do CCE. Na Tabela 3, são visualizados a eficiência, a potência média e o consumo em porcentagem de cada bloco.

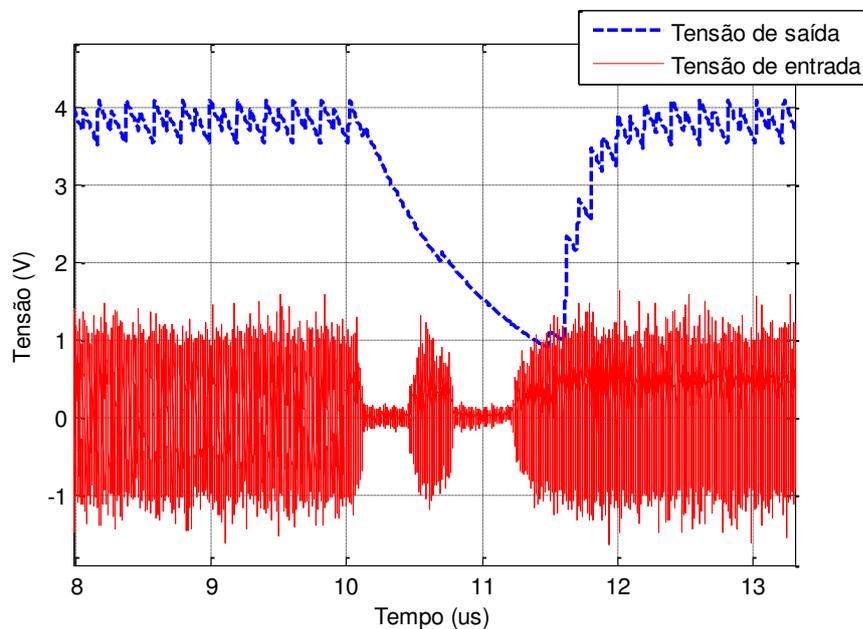
Tabela 3 – Potência média, consumo em porcentagem e eficiência de cada bloco.

Blocos	Potência média (dBm)	Consumo [%]	Eficiência [%]
Regulador	-32,51	0,66	80
Gerador de <i>Clock</i>	-22,33	6,91	70
Alimentação do Gerador de <i>Clock</i>	-20,00	11,80	36
Retificador	-16,41	27,03	68
Conversor CC/CC	-14,82	38,90	23
Carga	-19,09	14,5	-
Fonte	-10,73	-	-

Com pode ser visto na Tabela 3, o bloco com maior consumo, como esperado, foi o conversor CC/CC. Em contrapartida, o de menor consumo foi o bloco regulador, pois a sua operação só acontece quando a tensão de saída for menor que a tensão do capacitor de armazenamento.

Para verificar o descarregamento do capacitor de armazenamento, foi realizada uma análise simulando uma queda da tensão de entrada da fonte durante um intervalo de tempo, conforme pode ser visto no Gráfico 16.

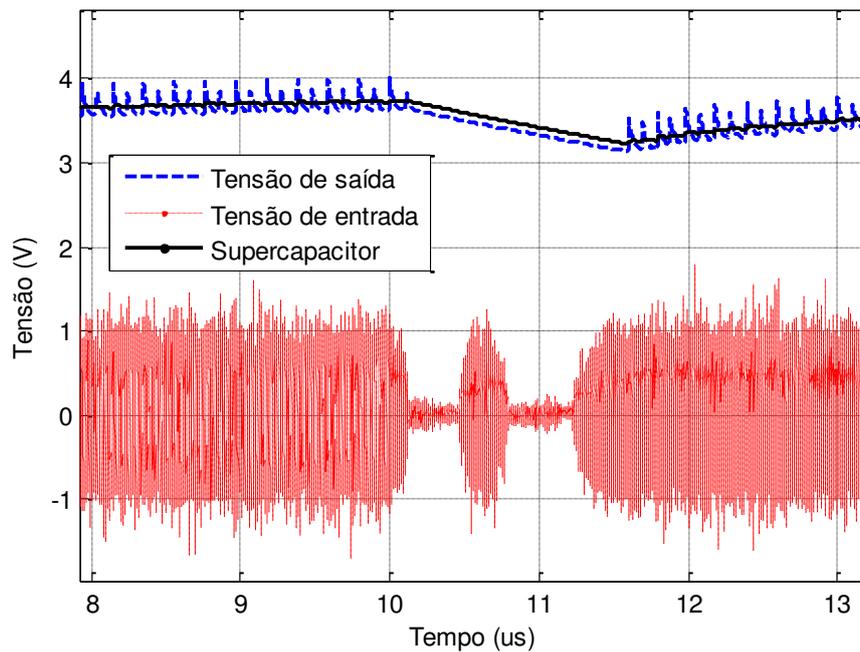
Gráfico 16 – Queda de tensão na fonte.



Fonte: próprio autor.

Nesse intervalo, quando a tensão da fonte caiu abaixo dos níveis desejados, a tensão de saída caiu de 3,8 V para 900 mV. Novamente foi realizada a simulação da queda de tensão, agora com a inserção do circuito regulador. Como pode ser visto no Gráfico 17, quando aconteceu a queda de tensão, o capacitor de armazenamento descarregou para a carga permitindo que a tensão de saída não ficasse com valores abaixo de 3,2 V.

Gráfico 17 – Descarregamento do capacitor de armazenamento.



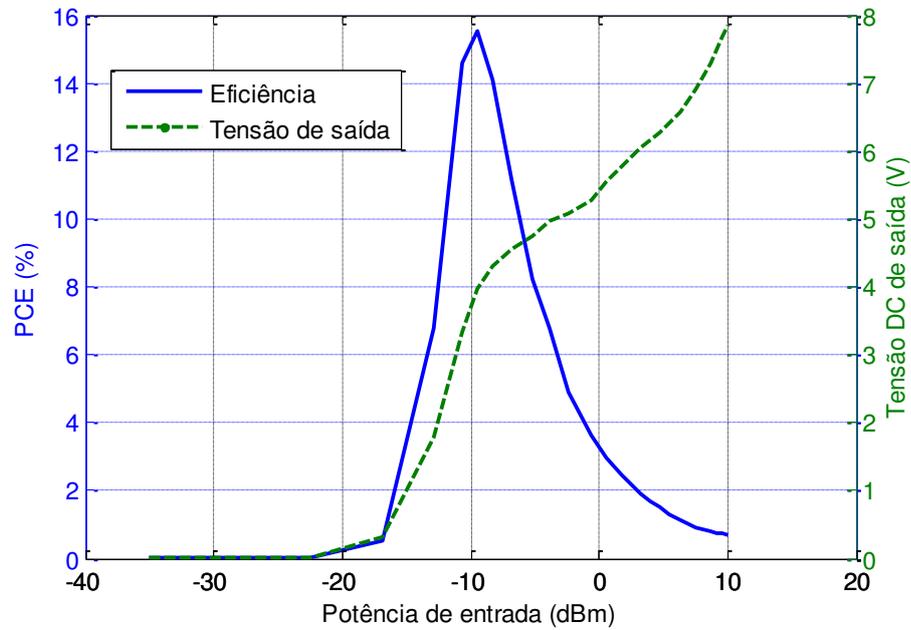
Fonte: próprio autor.

Para verificar o comportamento da eficiência do CCE e da tensão na carga, quando houver variação da potência de entrada e da frequência de operação do circuito, foram realizadas duas análises paramétricas com uma carga de $900 \text{ k}\Omega$. Na primeira análise foram atribuídos vinte e oito valores, compreendidos entre -35 dBm e 10 dBm , da potência de entrada. Na segunda análise, dez valores, compreendidos entre 700 MHz e $2,4 \text{ GHz}$, para a frequência e 600 mV para a tensão da fonte. Os resultados em função da potência de entrada e da frequência de operação podem ser visualizados no Gráfico 18 e no Gráfico 19 respectivamente.

No Gráfico 18, a eficiência caiu com o aumento da potência de entrada, pois, de acordo com as expressões (4) e (5), o valor da resistência do canal do transistor, varia conforme a tensão de polarização, modificando a máxima transferência de potência do circuito com a carga, o que leva a mudanças na eficiência. Em contrapartida, os valores de tensão de saída aumentaram não havendo regulação, pois o regulador está configurado para atuar quando a tensão de saída estiver com níveis menores que $3,3 \text{ V}$. É possível observar ainda, que a máxima PCE de 15% foi obtida em -10 dBm , com tensão de $3,8 \text{ V}$ de saída.

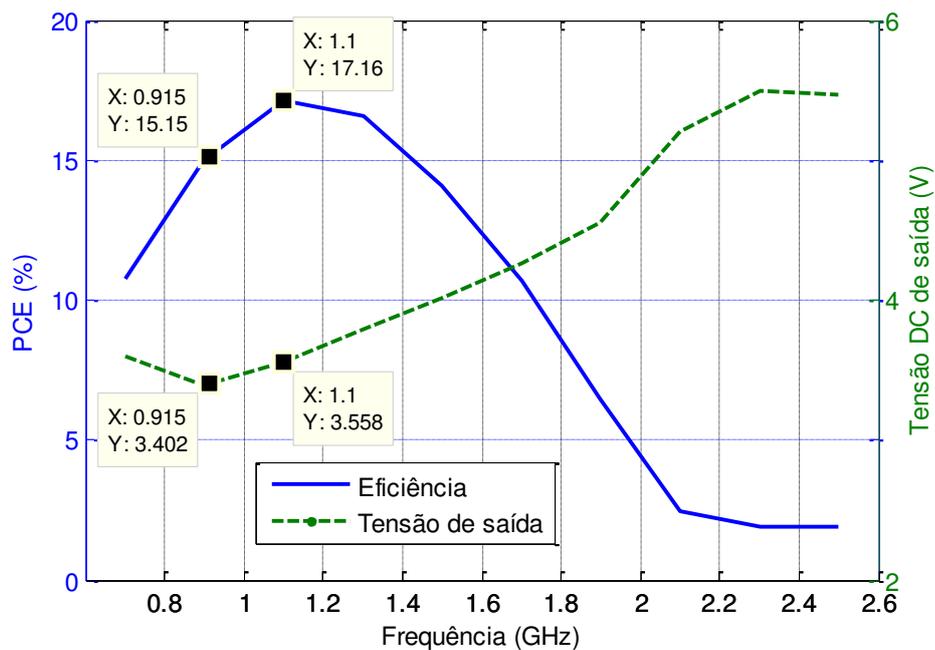
No Gráfico 19, a PCE caiu com o aumento da frequência de chaveamento e a tensão de saída aumentou, como esperado.

Gráfico 18 – Eficiência e tensão CC de saída em função da potência de entrada.



Fonte: próprio autor.

Gráfico 19 – Eficiência e tensão CC de saída em função da frequência de operação.

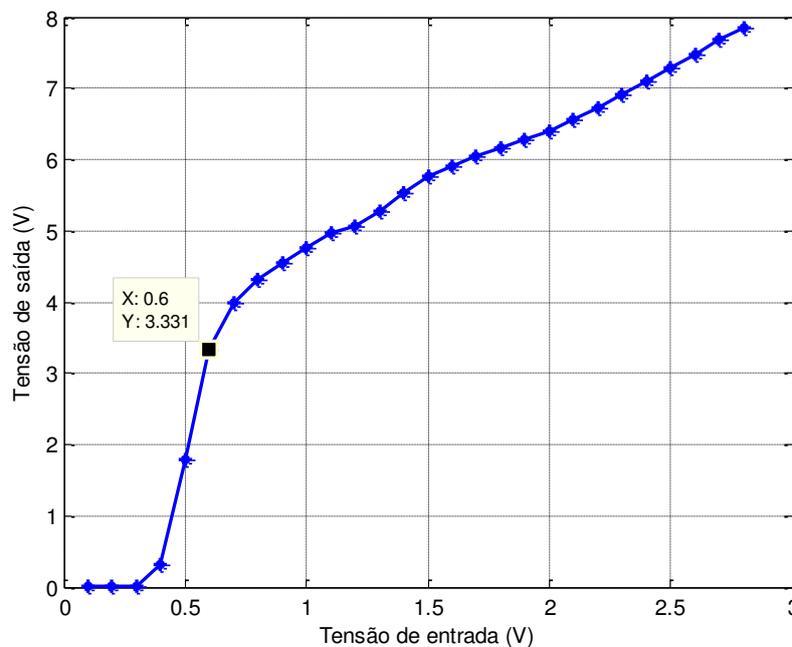


Fonte: próprio autor

No intuito de garantir a polarização e a proteção do circuito, os níveis de tensão de entrada mínimo e máximo aplicados ao CCE devem ser de 400 mV e 600 mV o que correspondem a -15 dBm e -10 dBm de potência de entrada respectivamente. Isso leva a concluir que o CCE pode recuperar energia a partir de níveis de potência de -15 dBm. Para os níveis mínimo e máximo de potência, o CCE pode fornecer obter de 4% a 15% de eficiência e de 2 V a 3,8 V de tensão CC de saída respectivamente.

Para a análise do ganho de tensão, foi realizada uma parametrização de 28 pontos da tensão CC de saída em função da tensão de entrada, com valores entre 100 mV e 2,8 V, Gráfico 20. O valor de resistência utilizada para essa análise foi de 900 k Ω .

Gráfico 20 – Ganho de tensão do CCE.



Fonte: próprio autor.

De acordo com os resultados do Gráfico 20, o ganho máximo de tensão obtido do CCE foi de 5,5 vezes, no ponto 600 mV de tensão de entrada e 3,3 V de saída.

Na Tabela 4, é visualizada uma análise comparativa com outros trabalhos.

Tabela 4 - Comparação do CCE com trabalhos publicados.

Ref.	[1]	[2]	[3]	[4]	[5]	Neste trabalho
Uso de fonte externa	SIM	SIM	SIM	SIM	SIM	NÃO
Tecnologia (nm)	90	40	180	90	350	130
Potência de entrada (dBm)	*	-25,00	-10,00	-18,00	-19,00	-10,73
Potência de saída (dBm)	*	-29,58	-18,82	-18,86	-26,02	-19,09
Frequência (Hz)	*	915 M	950 M	915 M	950 M	915 M
PCE (%)	26	41	13	11	10	14,5
Tensão de saída (V)	2,3	0,5	1	1,2	1,7	3,3

*Não especificado. [1] (GHAREHBAGHI *et al.*, 2012), [2] (CAVALHEIRO; MOLL; VALTCHEV, 2017), [3] (SAINI *et al.*, 2015), [4] (PAPOTTO; CARRARA; PALMISANO, 2011), [5] (SAINI *et al.*, 2016).

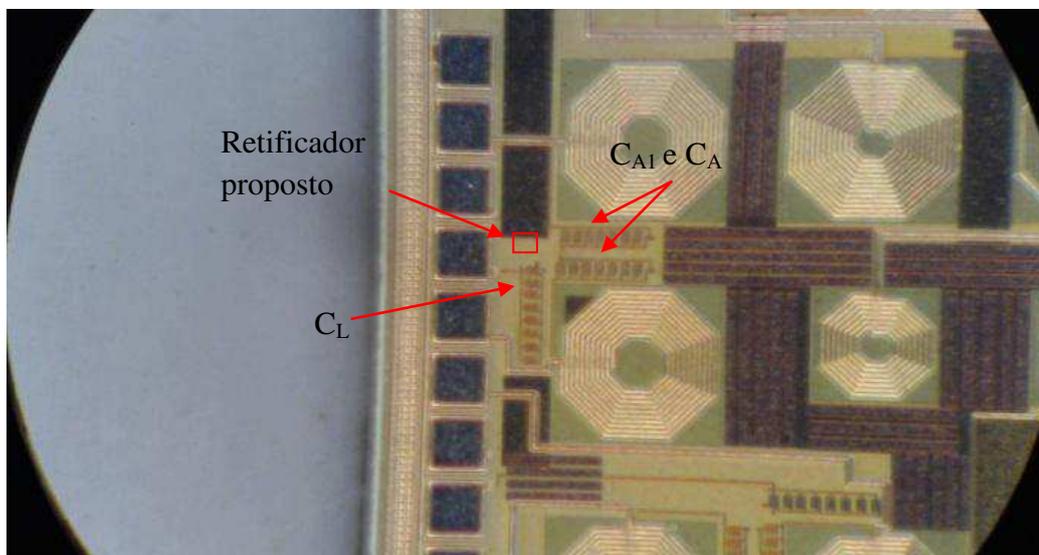
Como pode ser visto na Tabela 4, o CCE proposto não possui a maior eficiência, porém tem uma tensão de saída superior a todos os trabalhos publicados, sem necessitar de fonte de alimentação externa ao circuito para seu funcionamento, ou seja, toda a alimentação é dependente apenas da energia da fonte de entrada, em que o CCE pode fornecer uma potência de até -19,09 dBm de saída, suficiente para alimentação de alguns dispositivos, como nós sensores.

4.2. Resultados de Testes e Validação

Após a fabricação do circuito integrado do bloco retificador, foi realizado o procedimento de testes para obtenção dos resultados experimentais. Para isso, fez-se uso da bancada de testes, Figura 20, em que foi possível obter microfotografias do circuito e do

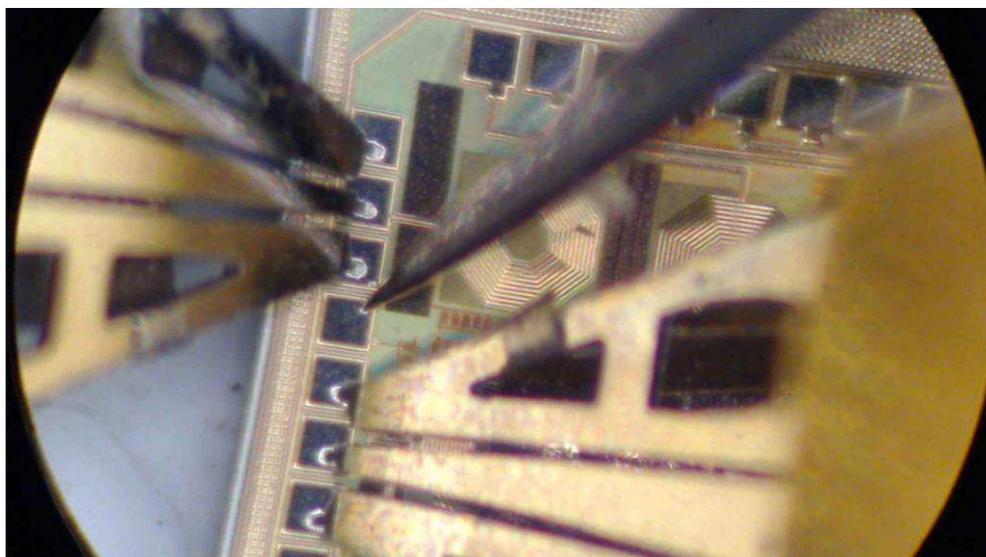
procedimento de medição, conforme pode ser visto na Figura 33 e Figura 34 respectivamente.

Figura 33 - Microfotografia do retificador fabricado.



Fonte: próprio autor.

Figura 34 – Procedimento de medição.

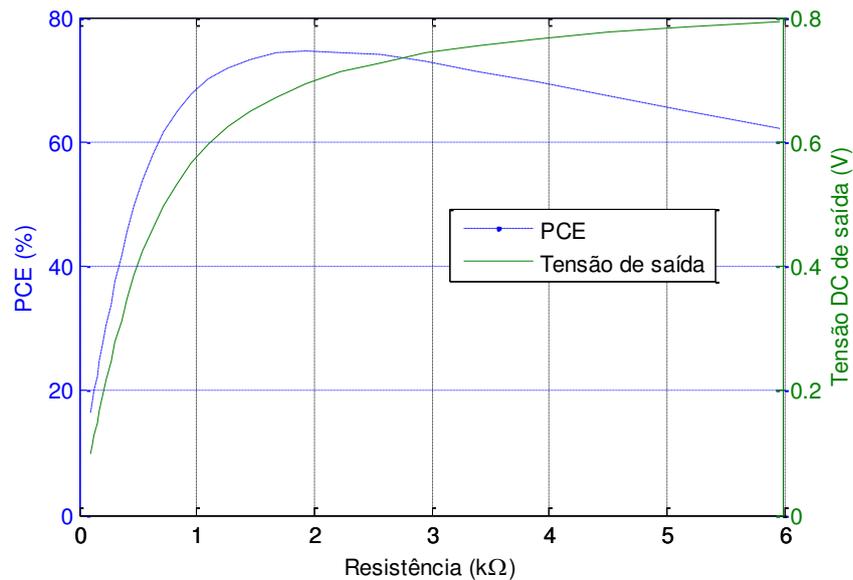


Fonte: próprio autor.

Durante o teste foi utilizada uma frequência de 915 MHz, variando-se a potência de entrada da fonte (gerador de RF), no intuito de observar o comportamento da tensão de saída CC e da PCE do circuito retificador. O teste foi realizado com uma carga de 2 k Ω

integrada ao circuito. Para escolha dessa carga, antes da fabricação do circuito, foi feita uma análise de simulação paramétrica com diferentes valores de resistores de carga, no intuito de encontrar a melhor PCE, conforme pode ser visto no Gráfico 21.

Gráfico 21 – Tensão de saída e PCE em função da resistência de carga.

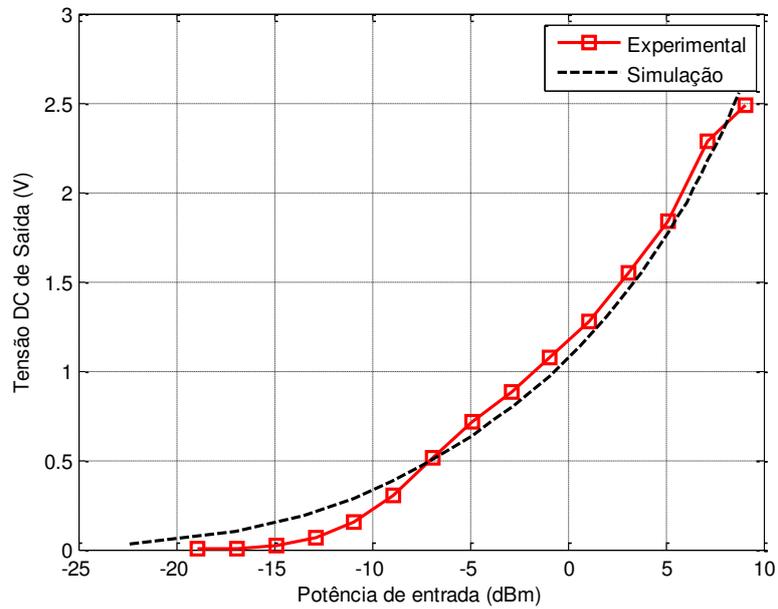


Fonte: próprio autor.

Sendo assim, no intuito de validar o projeto dos circuitos retificador e AGC, os resultados de simulação e experimental da tensão CC de saída e eficiência em função da potência de entrada, podem ser visualizados no Gráfico 22 e Gráfico 23.

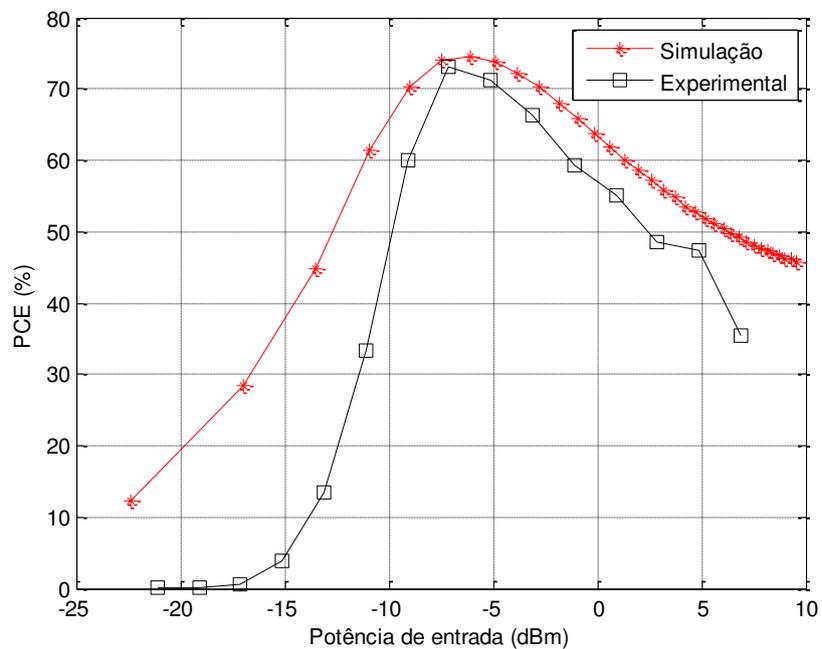
De acordo com o Gráfico 22 e o Gráfico 23, os resultados de simulação e experimentais são muito próximos, principalmente após -10 dBm de potência de entrada, verificando uma eficiência máxima de 72,5% em -7 dBm. Há uma diferença entre os resultados de simulação e experimental para valores abaixo de -10 dBm, devido a imperfeições do processo de fabricação, aumentando a tensão de limiar e retardando a condução dos transistores. Para valores abaixo de -15 dBm da fonte, a região de operação dos transistores encontra-se no modo de corte.

Gráfico 22 – Comparação dos resultados experimentais e de simulação da tensão CC de saída em função da potência de entrada.



Fonte: próprio autor.

Gráfico 23 – Comparação dos resultados experimentais e de simulação da PCE em função da potência de entrada.



Fonte: próprio autor.

Uma análise comparativa foi realizada com alguns trabalhos já publicados conforme pode ser visto na Tabela 5.

Tabela 5 - Comparação do retificador com trabalhos publicados.

Ref.	Tecnologia (nm)	Potência de entrada (dBm)	Frequência (Hz)	Carga (k Ω)	PCE (%)	Tensão de saída (mV)
(UMEDA <i>et al.</i> , 2006)	300	-6	950 M	3,7	11	1500
(KOTANI; SASAKI; ITO, 2009)	180	-12	953 M	10	67,5	600
(NAKAMOTO <i>et al.</i> , 2007)	350	-6	953 M	14,2	36,6	*
(NGUYEN <i>et al.</i> , 2014)	90	-11	13,56 M	68	45	*
Neste trabalho	130	-7	915 M	2	72,5	500

*Não informado

Conforme a Tabela 5, o retificador possui valores de PCE maiores do que os demais trabalhos publicados, o que implica que o retificador proposto é melhor recuperador de energia do que os demais. Em Umeda *et al.* (2006) a tensão de 1,5 V foi obtida porque o retificador está conectado ao conversor *boost*. Nakamoto *et al.* (2007) e Nguyen, *et al.* (2014) não especificaram a tensão de saída.

5. CONSIDERAÇÕES FINAIS

5.1. Conclusões

Nesse trabalho foi proposto o desenvolvimento de um circuito integrado de condicionamento de energia, com o objetivo de fornecer alimentação para um dispositivo de baixo consumo, em uma aplicação de colheita de energia por radiofrequência. Para tanto, foi utilizado a ferramenta de simulação Virtuoso/Cadence com tecnologia de fabricação CMOS 130 nm, utilizando análises transientes, AC e paramétrica.

Para desenvolvimento do CCE, foi utilizado um retificador de onda completa, em conjunto com um circuito de chaveamento para polarização de substrato. Foi visto que o circuito de chaveamento, reduz a corrente de fuga pelas junções substrato/dreno dos transistores que compõem o retificador, aumentando, assim, a PCE. Foi constatado que a dissipação de energia no circuito de chaveamento é desprezível, pois em nenhum momento há corrente de curto circuito, devido a zona morta dos transistores. Para a elevação da tensão do retificador, foi utilizado um conversor CC/CC híbrido, composto por capacitores e indutores, elevando a tensão de 400 mV para 3,3 V. Para o controle de chaveamento do conversor, foi utilizado um circuito oscilador em anel, o qual gerou dois sinais de *clock* não sobrepostos com frequências de 4 MHz. O oscilador foi alimentado por o bloco AGC composto por um segundo circuito retificador, com os mesmos parâmetros do primeiro. O controle da tensão na carga foi realizado por um circuito regulador, que descarrega o capacitor de armazenamento na carga, quando a tensão da fonte é insuficiente.

Para o CCE proposto, foi analisado a tensão CC de saída e a PCE em função da carga, da amplitude do sinal de entrada e da frequência. Também foi analisado o ganho de tensão do circuito. Verificou-se, então, em simulações, que a fonte RF forneceu -10,73 dBm ao CCE, em que o consumo do regulador foi de -32,51 dBm, o oscilador em anel -22,33 dBm, o AGC -20 dBm, o retificador -16,41 dBm e o conversor -14,82 dBm. Constatou-se uma eficiência global de 14,5%, com tensões de entrada e saída de 600 mV e 3,3 V respectivamente, em 915 MHz, com uma carga de 900 k Ω , para resultados de simulação. Porém, foi observado que a máxima eficiência de 17,5% foi alcançada com 300 k Ω em 2,2 V.

De acordo com uma análise de simulação paramétrica em função da frequência, averiguou-se que a aplicação do CCE em frequências acima de 1,4 GHz, reduz drasticamente a eficiência, embora aumente a tensão CC de saída.

Em comparação com alguns trabalhos publicados, o valor de eficiência obtido no CCE não foi a maior, porém a tensão de saída foi superior a todos os trabalhos, sem necessitar de fonte externa ao circuito para seu funcionamento, ou seja, toda a alimentação foi realizada apenas com a energia da fonte de entrada, sendo os níveis de tensão adquiridos na saída do CCE utilizáveis. De acordo com os resultados de simulação, foi possível fornecer uma potência de até -19,09 dBm para uma carga de 900 k Ω , com ganho de tensão de 5,5, suficiente para alimentação de alguns dispositivos de baixo consumo.

Após a fabricação do circuito integrado do bloco retificador, foi realizado medições, utilizando uma micromanipuladora, com uma frequência de 915 MHz, variando-se a potência do sinal de entrada. Após as medições, foi constatando uma eficiência máxima de 72,5% em -7 dBm com uma tensão de saída de 500 mV. De acordo com os resultados obtidos, foi verificado que o retificador proposto é inovador comparado com outros retificadores atualmente publicados, desempenhando melhor eficiência. Os demais blocos foram enviados para a fabricação.

De acordo com os resultados obtidos, é possível verificar que a limitação do CCE proposto é sua aplicação em sistemas de colheita com potências de entrada abaixo de -10 dBm e frequências maiores que 1,4 GHz, pois o CCE não eleva os sinais de tensão como projetado, diminuindo sua eficiência. Uma solução para essa limitação é projetar o CCE para operar em fraca inversão, reduzindo a energia dissipada durante a condução e o chaveamento dos transistores.

A contribuição e inovação científicas desse trabalho está voltada para uma nova topologia do circuito retificador em ponte utilizando um circuito de polarização de substrato, o que proporciona maior eficiência comparado com os trabalhos atualmente publicados. Outra contribuição e inovação está relacionada ao funcionamento do CCE, pois em nenhum momento o CCE necessita de fonte de alimentação externa, proporcionando um valor de tensão utilizável de 3,3 V na saída, fato que não ocorre nos trabalhos atualmente publicados.

Portanto, de acordo com os resultados obtidos, é possível analisar que todos os objetivos foram alcançados após a realização de cálculos, simulações e testes para a validação do circuito de condicionamento de energia proposto. Sendo assim, é possível utilizar o CCE para alimentação de dispositivos de baixo consumo de até -19,09 dBm com tensão de 3,3 V, como nós sensores e sensores biomédicos.

5.2. Perspectivas

Tendo em vista a continuação dessa pesquisa é proposto os seguintes pontos a serem desenvolvidos:

- Otimizar o circuito realizando um novo dimensionamento com base na análise paramétrica da ferramenta de simulação Virtuoso/Cadence no intuito de reduzir a dissipação de energia, mantendo os níveis de tensão CC de saída;
- Trabalhar com todo o circuito de condicionamento de energia desenvolvido em fraca inversão;
- Desenvolver o captador de energia para RF, no intuito de aplicar todo o sistema no carregamento de baterias de aparelhos celulares.

TRABALHOS PUBLICADOS

MORAES JÚNIOR, T. O.; FREIRE, R. C. S.; VIERIA, D. A.; SOUZA, C. P.
Measurement Equipment for Characterization of Ferromagnetic Materials. **IEEE International Instrumentation and Measurement Technology Conference**. v. 1. p. 1367-1371. May 2015.

SANTOS, M. P. VIEIRA, D. A.; RODRIGUESZ, Y. P. M.; SOUZA, C. P.; MORAES JUNIOR, T. O.; FREIRE, R. C. S. Energy harvesting using magnetic induction considering different core materials. **IEEE International Instrumentation and Measurement Technology Conference**. p. 942-944. May 2014.

MORAES JÚNIOR, T. O.; FREIRE, R. C. S.; SOUZA, C. P.; BARBOSA JUNIOR, I. F.
A Low-cost Hysteresigraph for Plotting Magnetization Curve and Characterizing of Toroidal Ferromagnetic Cores Using a New Mathematical Modeling. **2nd International Symposium on Instrumentation Systems, Circuits and Transducers**. Aceito para publicação.

MORAES JÚNIOR, T. O.; FREIRE, R. C. S.; SOUZA, C. P. [Equation Chapter 1 Section 1A](#)
High-Efficiency CMOS Rectifier with Bulk Biasing Control. **Journal of Integrated Circuits and Systems**. Submetido.

REFERÊNCIAS

- AHOLA, J.; AHONEN, T.; SARKIMAKI, V.; KOSONEN, A.; TAMMINEN, J.; TIAINEN, R.; LINDH. T. Design considerations for current transformer based energy harvesting for electronics attached to electric motor. **International Symposium on Power Electronics, Electrical Drives, Automation and Motion**, p. 901-905, jun. 2008.
- ARAUJO, A. L. A. Oscilador Controlado por Tensão. Universidade Federal de Campina Grande. Campina Grande. Trabalho de Conclusão de Curso. 2015.
- BASSI, G.; COLALONGO, L.; RICHEL, A. KOVASC, V. Z. M. 100 mV - 1.2 V Fully-Integrated DC-DC Converters for Thermal Energy Harvesting. **IET Power Electronics** v. 6, n. 6, p. 1151–1156, Jul. 2013.
- BEEBY, S. P.; TORAH, R. N.; TUDOR, M. J.; GLYNNE-JONES, P.; O'DONNELL, T.; SAHA, C. R.; ROY, S. A Micro Electromagnetic Generator for Vibration Energy Harvesting. **Journal of Micromechanics and Microengineering**, v. 17, n. 7, p. 1257, 2007.
- BOQUETE, L.; BAREA, R.; RODRIGUEZ-ASCARIZ, J. M.; CANTOS, J. J.; MIGUEL, J. M. A radio frequency energy harvesting laboratory practice. **Technologies Applied to Electronics Teaching**, p. 204-209, jun. 2012.
- BORGES, L. M.; CHAVEZ, S. R.; BARROCA, N.; VELEZ, F. J.; BALASING, I. Radio-frequency Energy Harvesting for Wearable Sensors. **Healthcare Technology Letters** v. 2, n. 1, p. 22–27, 2015.
- BROWN, W. C. The History of Power Transmission by Radio Waves. **IEEE Transactions on Microwave Theory and Techniques**, v. 32, n. 9, p. 1230-1242, sept. 1984.
- CAO, X.; CHIANG, W. J.; KING, Y. C.; LEE, Y. K. Electromagnetic Energy Harvesting Circuit with Feedforward and Feedback DC-DC PWM Boost Converter for Vibration Power Generator System. **IEEE Transactions on Power Electronics** v. 22, n. 2, p. 679-685, mar. 2007.
- CAVALHEIRO, D.; MOLL, F.; VALTCHEV, S. TFET-Based Power Management Circuit for RF Energy Harvesting. **IEEE Journal of the Electron Devices Society**. v. 5, n. 1, p. 7–17, jan. 2017.

HASHEMI, S. S.; SAWAN, M.; SAVARIA, Y. A High-Efficiency Low-Voltage CMOS Rectifier for Harvesting Energy in Implantable Devices. **IEEE Transactions on Biomedical Circuits and Systems**, v. 6, n. 4, p. 326-335, aug. 2012.

HASHEMI, S.; SAWAN, M.; SAVARIA, Y. A novel low-drop CMOS active rectifier for RF-powered devices: Experimental results. **Microelectronics Journal, International Conference on Microelectronics Digital and Mixed-Signal Circuits and Systems**. v. 40, n. 11, p. 1547–1554, nov. 2009.

HASHEMI, S.; SAWAN, M.; SAVARIA, Y. Fully-integrated low-voltage high-efficiency CMOS rectifier for wirelessly powered devices. **Joint North-east Workshop on Circuits and Systems and Taisa Conference**, p.1–4, jun. 2009.

HASTINGS. A. The Art of Analog Layout. Second edition. Pearson, 2005.

HU, Y. RIEUTORT-LOUIS, W.; HUANG, L.; SANZ-ROBIN, J.; WAGNER, S.; STURM, J. C.; VERMA, N. Flexible solar-energy harvesting system on plastic with thin-film LC oscillators operating above FT for inductively-coupled power delivery. **Proceedings of the IEEE Custom Integrated Circuits Conference**, p.1–4, sept. 2012.

IPAR, P. E.; LAMBOR, S. M.; JOSHI, S. M. Development of radio frequency energy harvesting module. **IEEE Annual India Conference**, p.1–6, dec. 2016.

KAMALINEJAD, P.; KEIKHOSRAVY, K.; MIRABBASI, S.; LEUNG, V. C. M. An efficiency enhancement technique for CMOS rectifiers with low start-up voltage for UHF RFID tags. **Green Computing International Conference**, p. 1–6, jun. 2013.

KIM, J.; MOK, P. K. T.; KIM, C. A 0.15 V Input Energy Harvesting Charge Pump with Dynamic Body Biasing and Adaptive Dead-Time for Efficiency Improvement. **IEEE Journal of Solid-State Circuits** v. 50, n. 2, p. 414–425, fev. 2015.

KOTANI, K.; ITO, T. High efficiency CMOS rectifier circuit with self- V_{th} -cancellation and power regulation functions for UHF RFIDs. **Solid State Circuits Conference**, p. 119–122, nov. 2007.

KOTANI, K.; ITO, T. High efficiency CMOS rectifier circuits for UHF RFIDs using V_{th} cancellation techniques. **IEEE 8th International Conference on Asic**, p. 549-552, oct. 2009.

KOTANI, K.; SASAKI, A.; ITO, T. High-Efficiency Differential-Drive CMOS Rectifier for UHF RFIDs. *IEEE Journal of Solid-State Circuits*, v. 44, n. 11, p. 3011–3018, nov. 2009.

LI, P.; WEN, Y.; JIA, C.; LI, X. A Magnetolectric Composite Energy Harvester and Power Management Circuit. *IEEE Transactions on Industrial Electronics*, v. 58, n. 7, p. 2944–2951, jul. 2011.

LI, P.; WEN, Y.; ZHANG, Z.; PAN, S. A High-Efficiency Management Circuit Using Multiwinding Upconversion Current Transformer for Power-Line Energy Harvesting. *IEEE Transactions on Industrial Electronics*, v. 62, n. 10, p. 6327–6335, oct. 2015.

LIRIO, L. E. A. **Contribuições para Análise de Perdas em Conversores de Potência com MOSFET**. Rio de Janeiro. Universidade Federal do Rio de Janeiro – COPPE, 2013. Dissertação de mestrado.

LIU, H.; LI, X.; VADDI, R.; MA, K.; DATTA, S.; Narayanan, V. Tunnel FET RF Rectifier Design for Energy Harvesting Applications. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, v. 4, n. 4, p. 400–411, dez. 2014.

LU, S.; BOUSSAID, F. A Highly Efficient P-SSHI Rectifier for Piezoelectric Energy Harvesting. *IEEE Transactions on Power Electronics* v. 30, n. 10, p. 5364–5369, out. 2015.

MA, Y.; WANG, D.; ZHANG, S.; FAN, X. Integrated relaxation oscillator with no comparator for energy harvesting. *Electronics Letters* v. 53, n. 12, p. 800–802, 2017.

MACHADO, M. B.; SCHNEIDER, M. C.; GALUP-MONTORO, C. Analysis and design of ultra-low-voltage inductive ring oscillators for energy-harvesting applications. *IEEE 4th Latin American Symposium on Circuits and Systems*. p.1–4, feb 2017.

MARTINOVIC, Z.; MALARIC, R.; BUDIC, D.; SIMUNIC, D. eWALL Radiofrequency Energy Harvesting System. *IEEE International Black Sea Conference on Communications and Networking*. p. 117–121, may 2015

MILANEZI, J.; COSTA, J. P. C. L. DA; FREITAS, E. P. DE. Improved Radiofrequency Energy Harvesting Based on a Rectenna Array System and its Feasibility Evaluation in Urban Environments. *International Conference on Renewable Energy Research and Application*. p. 561–565, out. 2014.

MNIF, M. M.; MNIF, H.; LOULOU, M. New design of RF-DC rectifier circuit for radio frequency energy harvesting. **IEEE International Conference on Electronics, Circuits and Systems**. p.664–667, dec. 2016.

MOÇAMBIQUE, N. E. M. **Aplicação de Algoritmos de busca do ponto de máxima potência e controladores lineares e/ou Fuzzy para a regulação da tensão terminal de painéis fotovoltaicos**. São Paulo, Escola de Engenharia de São Carlos da Universidade de São Paulo, 2012.

MOHAMMADI, A.; REDOUTE, J.; YUCE, M. R. Low-threshold CMOS Rectifier Design for Energy Harvesting in Biomedical Sensors. **Institute for Computer Sciences, Social-Informatics and Telecommunications Engineering**. p.261–264, 2015.

MOLINO-MINERO-RE, E.; CARBONELL-VENTURA, M.; FISAC-FUENTES, C.; MANUEL-LAZARO, A.; TOMA, D. M. Piezoelectric energy harvesting from induced vortex in water flow. **IEEE International Instrumentation and Measurement Technology Conference**, p. 624-627, may 2012.

MORAES JÚNIOR, T. O. **Sistema de Captação de Energia (Energy Harvesting) por Dispersão Magnética em Linha de Potência**. João Pessoa, Universidade Federal da Paraíba, 2013. Dissertação de Mestrado em Engenharia Elétrica

MORAES JUNIOR, T. O.; SOUZA, C. P.; RODRIGUEZ, Y. P. M. Experimental Results on Magnetic Cores for Magnetic Induction Based Energy Harvesting. **19th Symposium Measurements of Electrical Quantities**, 2013.

MOUSOULIS, C.; YOON, C. K.; CHITNIS, G.; ZIAIE, B. Thermoelectric energy scavenging with temperature gradient amplification. **IEEE 25th International Conference on Micro Electro Mechanical Systems**, p. 1285-1288, jan. 2012.

MUSUNURI, S.; CHAPMAN, P. L.; ZOU, J.; LIU, C. Design issues for monolithic DC-DC converters. **IEEE Transactions on Power Electronics** v. 20, n. 3, p. 639–649, may 2005.

NAKAMOTO, H.; YAMAZAKI, D.; YAMAMOTO, T.; KURATA, H.; YAMADA, S.; MUKAIDA, K.; GOTOH, K. A Passive UHF RF Identification CMOS Tag IC Using Ferroelectric RAM in 0.35- μm Technology. **IEEE Journal of Solid-State Circuits** v. 42, n. 1, p. 101–110, jan. 2007.

NAVEEN, K. V.; MANJUNATH, S. S. A reliable ultracapacitor based solar energy harvesting system for Wireless Sensor network enabled intelligent buildings. **2nd International Conference on Intelligent Agent and Multi-Agent Systems**, p. 20-25, sept. 2011.

NGUYEN, D.; NGUYEN, T.; NGUYEN, L.; THENAISIE, G.; PHAM-NGUYEN, L.; LEE, S. G. A High-Power Conversion Efficiency Rectifier with New Internal Vth Cancellation Topology for RFID Applications. **IEEE Fifth International Conference on Communications and Electronics**, p.313–316, jul. 2014.

NGUYEN, T.; T.; FENG, T.; HÄFLIGER, P.; CHAKRABARTTY, S. Hybrid CMOS Rectifier Based on Synergistic RF-Piezoelectric Energy Scavenging. **IEEE Transactions on Circuits and Systems I: Regular Papers** v. 61, n. 12, p. 3330–3338, dec. 2014.

NISHIMOTO, H.; KAWAHARA, Y.; ASAMI, T. Prototype Implementation of Ambient RF Energy Harvesting Wireless Sensor Networks. **IEEE Sensors**. p. 1282–1287, nov. 2010.

PAPOTTO, G.; CARRARA, F.; PALMISANO, G. A 90-nm CMOS Threshold-Compensated RF Energy Harvester. **IEEE Journal of Solid-State Circuits** v. 46, n. 9, p. 1985–1997, set. 2011.

PENG, H.; TANG, N.; YANG, Y.; HEO, D. CMOS Startup Charge Pump with Body Bias and Backward Control for Energy Harvesting Step-Up Converters. **IEEE Transactions on Circuits and Systems I: Regular Papers** v. 61, n. 6, p. 1618–1628, jun. 2014.

PEREIRA, M. V. A. ‘Projeto de um Oscilador Controlado por Corrente com Configuração em Anel, Tecnologia CMOS e Melhoria no Ruído de Fase’. Universidade Estadual Paulista. Campus de Ilha Solteira - SP. Dissertação de mestrado. 2010.

PETERS, C.; KESSLING, O.; HENRICI, F.; ORTMANMS, M.; MANOLI, Y. CMOS Integrated Highly Efficient Full Wave Rectifier. **IEEE International Symposium on Circuits and Systems**, 2007. p.2415–2418, may 2007.

PETERS, C.; KESSLING, O.; HENRICI, F.; ORTMANNNS, M.; MANOLI, Y. CMOS Integrated Highly Efficient Full Wave Rectifier. **IEEE International Symposium on Circuits and Systems**, p. 2415–2418, may 2007.

RANGEL, R. F. **Caracterização de uma Célula Tubular Piezoelétrica para Geração de Energia Elétrica**. João Pessoa, Universidade Federal da Paraíba, 2014. Dissertação de Mestrado.

RAO, Y.; ARNOLD, D. P. An Input-Powered Active AC/DC Converter with Zero Standby Power for Energy Harvesting Applications. **IEEE Energy Conversion Congress and Exposition**, p. 4441–4446, sept. 2010.

RAZAVI, B. **Fundamentos de microeletrônica**. LTC, Rio de Janeiro, 2013.

REDFIELD, D. Solar energy: Its status and prospects. **IEEE CSIT Newsletter**, v. 4, n. 13, p. 15-19, mar. 1976.

RIBEIRO, J. A. J. **Engenharia de Micro-ondas - Fundamentos e Aplicações**. 1 edição, Erica, 2008

RICHELLI, A. COLALONGO, L.; QUARENTELLI, M.; CARMINA, M.; KOVACS-VAJNA, Z. N. A fully integrated inductor-based 1.8-6-V step-up converter. **IEEE Journal of Solid-State Circuits** v. 39, n. 1, p. 242–245, jan. 2004.

RICHELLI, A.; COLALONGO, L.; TONOLI, S.; KOVACS-VAJNA, Z. M. A 0.2 V CC/CC Boost Converter for Power Harvesting Applications. **IEEE Transactions on Power Electronics**, v. 24, n. 6, p. 1541-1546, jun. 2009.

RIEUTORT-LOUIS, W. HUNAG, L.; HU, Y.; SANZ-ROBIN, J.; WAGNER, S.; STURM, J. C.; VERMA, N. A figure of merit for oscillator-based thin-film circuits on plastic for high-performance signaling, energy harvesting and driving of actuation circuits. **70TH Device Research Conference**. p.117–118, jun. 2012.

SADIKU, M. N. O. **Elementos de eletromagnetismo**. 3ª edição. Porto Alegre: Bookman, 2004.

SAINI, G.; SARKAR, G.; ARRAWATIA, M.; BAGHINI, M. S. Efficient Power Management Circuit for RF Energy Harvesting with 74.27% Efficiency at 623 nW Available Power. **IEEE International New Circuits and Systems Conference**, p.1–4, jun. 2016.

SAINI, G.; ARRAWATIA, M.; SARKAR, S.; BAGHINI, M. S. A battery-less power management circuit for RF energy harvesting with input voltage regulation and synchronous rectification. **IEEE 58th international Midwest Symposium on Circuits and Systems**, p. 1-4, oct. 2015.

- SAMPLE, A.; SMITH, J. R. Experimental results with two wireless power transfer systems. **IEEE Radio and Wireless Symposium**, p. 16–18, jan. 2009.
- SANTOS, M. P.; VIEIRA, D. A.; RODRIGUEZ, Y. P. M.; SOUZA, P. C.; MORAES JUNIOR, T. O.; FREIRE, R. C. S. Energy harvesting using magnetic induction considering different core materials. **IEEE International Instrumentation and Measurement Technology Conference**, p. 942-944, may 2014.
- SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5ª edição, Pearson, São Paulo, 2007.
- SEVERO, L. C. Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade. Universidade Federal do Pampa. Alegrete. 2012.
- SHLADOVER, S. E. PATH at 20 - History and Major Milestones. **IEEE Intelligent Transportation Systems Conference**, p. 1_22-1_29, sept. 2006.
- SHOKRANI, M. R.; HAMIDON, M. N.; KHODDAM, M.; NAJAFI, V. A UHF micro-power CMOS rectifier using a novel diode connected CMOS transistor for micro-sensor and RFID applications. **IEEE International Conference on Electronics Design, Systems and Applications**, p. 234–238, nov. 2012.
- SHRIVASTAVA, A. ROBERTS, N. E.; KHAN, O. U.; WENTZLOFF, D. D.; CALHOUN, B. H. A 10 mV-Input Boost Converter with Inductor Peak Current Control and Zero Detection for Thermoelectric and Solar Energy Harvesting With 220 mV Cold-Start and 14.5 dBm, 915 MHz RF Kick-Start. **IEEE Journal of Solid-State Circuits** v. 50, n. 8, p. 1820–1832, ago. 2015.
- STOOPMAN, M.; KEYROUZ, S.; VISSER, H. J.; PHILIPS, K.; SERDIJN, W. A. Co-Design of a CMOS Rectifier and Small Loop Antenna for Highly Sensitive RF Energy Harvesters. **IEEE Journal of Solid-State Circuits**, v. 49, n. 3, p. 622–634, mar. 2014.
- SUN, Y. HIEU, N. H.; JEONG, C. J.; LEE, S. G. An Integrated High-Performance Active Rectifier for Piezoelectric Vibration Energy Harvesting Systems. **IEEE Transactions on Power Electronics** v. 27, n. 2, p. 623–627, feb. 2012.
- SZARKA, G. D.; BURROW, S. G.; STARK, B. H. Ultralow Power, Fully Autonomous Boost Rectifier for Electromagnetic Energy Harvesters. **IEEE Transactions on Power Electronics** v. 28, n. 7, p. 3353–3362, jul. 2013.

SZARKA, G. D.; STARK, B. H.; BURROW, S. G. Review of Power Conditioning for Kinetic Energy Harvesting Systems. **IEEE Transactions on Power Electronics** v. 27, n. 2, p. 803–815, feb. 2012.

TAITHONGCHAI, T.; LEELARASMEE, E. Adaptive electromagnetic energy harvesting circuit for wireless sensor application. **6th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology**, p. 278-281, may 2009.

TAN, Y. K.; PANDA, S. K. Optimized Wind Energy Harvesting System Using Resistance Emulator and Active Rectifier for Wireless Sensor Nodes. **IEEE Transactions on Power Electronics** v. 26, n. 1, p. 38–50, jan. 2011.

TASHIRO, K.; WAKIWAKA, H.; INOUE, S.; UCHIYAMA, Y. Energy Harvesting of Magnetic Power-Line Noise. **IEEE Transactions on Magnetics**, v. 47, n. 10, p. 4441-4444, oct. 2011.

TOMA, D. M.; DEL RIO, J.; MANUEL-LAZARO, A. Self-powered high-rate Wireless Sensor Network for Underground High Voltage Power Lines. **IEEE International Instrumentation and Measurement Technology Conference**, p. 1881-1885, may 2012.

TSAI, D. L.; WU, H. H.; WEI, C. L. A low-power-consumption boost converter with maximum power tracking algorithm for indoor photovoltaic energy harvesting. **IEEE Wireless Power Transfer Conference**. p.1–3, may 2017

ULUSAN, H.; GHAREHBAGHI, K.; ZORLU, O.; MUHTAROGLU, A.; KULAH, H. A self-powered rectifier circuit for low-voltage energy harvesting applications. **International Conference on Energy Aware Computing**, p. 1–5, dez. 2012.

UMEDA, T.; YOSHIDA, H.; SEKINE, S.; FUJITA, Y.; SUZUKI, T.; OTAKA, S. A 950-MHz rectifier circuit for sensor network tags with 10-m distance. **IEEE Journal of Solid-State Circuits**, v. 41, n. 1, p. 35-41, jan. 2006.

VINKO, D.; HORVAT, G. 100 nA power management circuit for energy harvesting devices. **37th International Convention on Information and Communication Technology, Electronics and Microelectronics**, p. 125-129, may 2014.

WONG, S.Y.; CHEN, C. Power efficient multi-stage CMOS rectifier design for UHF RFID tags. **Integration, the VLSI Journal**, v. 44, n. 3, p. 242–255, jun. 2011.

WU, Y.; LIU, W.; ZHU, Y. Design of a wind energy harvesting wireless sensor node. **International Conference on Information Science and Technology**, p. 1494-1497, mar. 2013.

YI, J.; KI, W. H.; TSUI, C.Y. Analysis and Design Strategy of UHF Micro-Power CMOS Rectifiers for Micro-Sensor and RFID Applications. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 54, n. 1, p. 153–166, jan. 2007.

YUAN, S.; HUANG, Y.; ZHOU, J.; XU, Q.; SONG, C.; THOMPSON, P. Magnetic Field Energy Harvesting Under Overhead Power Lines. **IEEE Transactions on Power Electronics**, v. 30, n. 11, p. 6191-6202, nov. 2015.

ZHAO, X.; KEUTEL, T.; BALDAUF, M.; CANOUN, O. Energy Harvesting for a Wireless-Monitoring System of Overhead High-Voltage Power Lines. **IET Generation, Transmission Distribution** v. 7, n. 2, p. 101–107, feb. 2013.

ZHU, M.; WORTHINGTON, E.; TIWARI, A. Design Study of Piezoelectric Energy-Harvesting Devices for Generation of Higher Electrical Power Using a Coupled Piezoelectric-circuit Finite Element Method. **IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control**, v. 57, n. 2, p. 427-437, feb. 2010.