

Daniel Abrantes Formiga

Estágio Integrado na BrPhotonics

Campina Grande, Brasil

10 de abril de 2017

Daniel Abrantes Formiga

Estágio Integrado na BrPhotonics

Relatório de Estágio Integrado submetido à Coordenação de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, Campus Campina Grande, como parte dos requisitos necessários para obtenção do título de Bacharel em Ciências no domínio da Engenharia Elétrica.

Universidade Federal de Campina Grande - UFCG
Centro de Engenharia Elétrica e Informática - CEEI
Departamento de Engenharia Elétrica - DEE

Área de Concentração: Microeletrônica

Orientador: Jaidilson Jó da Silva, D.Sc.
Supervisor: Carlos Geraldo Krüger, M.Sc.

Campina Grande, Brasil

10 de abril de 2017

Daniel Abrantes Formiga

Estágio Integrado na BrPhotonics

Relatório de Estágio Integrado submetido à Coordenação de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, Campus Campina Grande, como parte dos requisitos necessários para obtenção do título de Bacharel em Ciências no domínio da Engenharia Elétrica.

Aprovado em: 10/04/2017

Jaidilson Jó da Silva, D.Sc.
Orientador

**Gutemberg Gonçalves do Santos
Junior, D.Sc.**
Convidado

Campina Grande, Brasil
10 de abril de 2017

*Dedico este trabalho aos meus amados pais, Tereza Cristina Abrantes Formiga e
Fabrício Bezerra Formiga, à minha família, em especial, à minha querida e falecida
madrinha Ana Cláudia Abrantes Pordeus Brandão.*

Agradecimentos

Primeiramente, agradeço a Deus por me dar o dom da vida. Em seguida, aos meus pais, Tereza e Fabrício, por todo o amor que me deram, pelos ensinamentos passados e pelo suporte que me foi dado ao longo do caminho para que obtivesse sucesso nos estudos.

Às minhas irmãs, Aline e Camila, agradeço por sempre terem convivido comigo, pelo carinho que me deram mesmo nos momentos adversos e pelo auxílio nas horas que precisei.

À minha namorada, Marina, agradeço por ser minha confidente e companheira, com quem pude dividir, diariamente, todas as minhas aflições e dificuldades que encontrei durante essa jornada e continuamente, deu-me forças para não desistir em momento algum e ajudou-me a superar cada barreira.

Agradeço aos meus familiares por sempre me apoiarem, mesmo estando distante em vários momentos. Aos meus amigos, em especial colegas de apartamento, por me darem forças a continuar e pelos momentos de descontração.

Agradeço a todos os colaboradores da BrPhotonics por todo o auxílio que me foi prestado, em especial, aos meus supervisores Carlos Geraldo Krüger e Jacklyn Dias Reis, por todo o apoio, a motivação

Aos meus professores, por todos os ensinamentos e oportunidades que me foram dadas, em especial ao professor Jaidilson, que me orientou no período de estágio.

"It's fine to celebrate success but it is more important to heed the lessons of failure. "
Bill Gates

Resumo

Neste relatório, descreve-se as atividades que foram realizadas durante o período de estágio integrado na área de Microeletrônica da BrPhotonics. O foco deste trabalho foi na compreensão do funcionamento de um Processador de Sinais Digitais (DSP) voltado para a aplicação em sistemas ópticos coerentes, para que a partir do conhecimento adquirido fosse possível realizar a descrição de *hardware* de blocos internos a um DSP que utiliza a tecnologia CMOS de 14 nm.

Palavras-chaves: BrPhotonics; DSP; Sistemas Ópticos Coerentes.

Abstract

In this report, the activities performed during the internship at BrPhotonics' Microelectronics team were described. The main goal of this work was to understand the operation of a DSP used on an application of processing the signal that passes through a coherent optical system and with this acquired knowledge, it was possible to describe some internal blocks, using hardware language, of the DSP that uses the CMOS 14 nm technology.

Key-words: BrPhotonics; DSP; Coherent Optical Systems.

Lista de ilustrações

Figura 1 – Fotografia da fachada da BrPhotonics	2
Figura 2 – Representação de um sistema de comunicação óptica coerente com a presença de um DSP	4
Figura 3 – Modulador PM	5
Figura 4 – Modulador MZM	5
Figura 5 – Modulador IQ	6
Figura 6 – Representação de uma detecção coerente	7
Figura 7 – Esquema arquitetural do receptor de um DSP voltado para sistemas ópticos coerentes	8
Figura 8 – Representação do processamento do sinal no DSP-RX	9
Figura 9 – Fluxo de um projeto de microeletrônica	10
Figura 10 – Curva BER x OSNR para o sinal 100G DP-QPSK	12
Figura 11 – Constelações para a modulação DP-QPSK, considerando o ponto em que a BER mais se aproxima do limite do FEC	12
Figura 12 – Constelações para a modulação DP-QPSK, considerando o ponto simulado com maior OSNR	13
Figura 13 – Curva BER x OSNR para o sinal 200G DP-16QAM	13
Figura 14 – Constelações para a modulação DP-16QAM, considerando o ponto em que a BER mais se aproxima do limite do FEC	14
Figura 15 – Constelações para a modulação DP-16QAM, considerando o ponto simulado com maior OSNR	14
Figura 16 – Curva BER x OSNR para o sinal 400G DP-64QAM	15
Figura 17 – Constelações para a modulação DP-64QAM, considerando o ponto em que a BER mais se aproxima do limite do FEC	15
Figura 18 – Constelações para a modulação DP-64QAM, considerando o ponto simulado com maior OSNR	16
Figura 19 – Curva BER x OSNR para o sinal 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	17
Figura 20 – Curva BER x OSNR para o sinal 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	18
Figura 21 – Gráfico Penalidade da OSNR x Número de coeficientes para o sinal 400G DP-64QAM	19
Figura 22 – Gráfico Penalidade da OSNR x Número de coeficientes para o sinal 600G DP-64QAM	20
Figura 23 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do ADC/DAC	21

Figura 24 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do ADC	21
Figura 25 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do DAC	22
Figura 26 – Curvas de Penalidade da OSNR x Largura de banda ADC/DAC para o sinal 400G DP-64QAM	23
Figura 27 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do ADC/DAC	23
Figura 28 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do ADC	24
Figura 29 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do DAC	24
Figura 30 – Curvas de Penalidade da OSNR x Largura de banda ADC/DAC para o sinal 600G DP-64QAM	25
Figura 31 – Constelação e mapeamento de <i>bits</i> do formato de modulação QPSK.	26
Figura 32 – Constelação e mapeamento de <i>bits</i> do formato de modulação 16QAM.	27
Figura 33 – Constelação e mapeamento de <i>bits</i> do formato de modulação 64QAM.	28
Figura 34 – Comparação entre o o modelo arquitetural em SystemC com o RTL do <i>Mapper</i> para o formato QPSK	29
Figura 35 – Comparação entre o o modelo arquitetural em SystemC com o RTL do <i>Mapper</i> para o formato 16QAM	29
Figura 36 – Comparação entre o o modelo arquitetural em SystemC com o RTL do <i>Mapper</i> para o formato 16QAM	30
Figura 37 – Comparação entre o o modelo arquitetural em SystemC com o RTL do <i>Mapper</i> para o formato 64QAM	30

Lista de tabelas

Tabela 1 – Penalidade na OSNR para a transmissão 100G DP-QPSK	16
Tabela 2 – Penalidade na OSNR para a transmissão 200G DP-16QAM	16
Tabela 3 – Penalidade na OSNR para a transmissão 400G DP-64QAM	16
Tabela 4 – Penalidades na OSNR para a transmissão 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	18
Tabela 5 – Penalidades na OSNR para a transmissão 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	19
Tabela 6 – Penalidades na OSNR para a transmissão 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	22
Tabela 7 – Penalidades na OSNR para a transmissão 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico	25

Lista de abreviaturas e siglas

ADC	Analog-to-Digital Converter
ASE	Amplified Spontaneous Emission
B2B	<i>Back-to-Back</i>
BER	Bit Error Rate
CD	Chromatic Dispersion
CI	Circuito Integrado
DAC	Digital-to-Analog Converter
DSP	Digital Signal Processor
FEC	Forward Error Correction
GDS	Graphic Database System
IQC	In-phase and Quadrature Modulator
LO	Local Oscillator
MZM	Mach-Zehnder Modulator
OSNR	Optical Signal-to-Noise Ratio
OTN	Optical Transport Network
PM	Phase Modulator
PMD	Polarization Mode Dispersion
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase-Shift Keying
RTL	Register Transfer Level

Sumário

1	INTRODUÇÃO	1
1.1	A BrPhotonics	1
2	FUNDAMENTAÇÃO TEÓRICA	3
2.1	Sistema de Comunicação Óptica Coerente	3
2.2	DSP Aplicado em Sistemas Ópticos Coerentes	8
3	ATIVIDADES DESENVOLVIDAS	10
3.1	Simulação do Modelo Funcional do DSP Coerente Flexível	11
3.1.1	Introdução ao Simulador de Sistemas Coerentes Ópticos	11
3.1.2	Validação do Modelo Funcional do DSPFlex	17
3.2	<i>Design de IPs</i>	26
4	CONSIDERAÇÕES FINAIS	32
	REFERÊNCIAS	33

1 Introdução

Este relatório tem como objetivo descrever as atividades desenvolvidas pelo estudante Daniel Abrantes Formiga durante o período de estágio integrado realizado na BrPhotonics do dia 02/12/2016 ao dia 07/04/2017 totalizando uma carga horária de 700 horas.

O estágio em questão foi realizado no grupo de Microeletrônica da BrPhotonics e ao estagiário foram atribuídas as seguintes atividades:

- Compreender o funcionamento dos principais blocos que compõem os modelos de Processadores de Sinais Digitais (DSP – *Digital Signal Processors* de um transceptor coerente para comunicação em alta velocidade;
- Compreender a modelagem de um DSP para aplicações ópticas, bem como a parametrização destes modelos para diferentes formatos de modulação e taxas de comunicação de dados;
- Transcrever a modelagem em Matlab de dispositivos integrados para comunicação óptica de alta capacidade ($>100\text{Gb/s}$) para modelos em linguagens SystemC e SystemVerilog;
- Dominar a utilização do *software* para controle de versão SVN e de ferramentas de *debug*.

Além disso, nesse período, o aluno pôde prestar suporte na execução de projetos da área que ocorriam concomitantemente, sob a orientação do professor Jaidilson Jó da Silva e a supervisão dos gerentes de Microeletrônica, Carlos Geraldo Krüger, e de Sistemas Ópticos, Jacklyn Dias Reis.

1.1 A BrPhotonics

A BrPhotonics é fornecedora de dispositivos optoeletrônicos avançados de alta velocidade e microeletrônica digital para transceptores e subsistemas integrados de fator de forma pequeno. Através do uso de tecnologias avançadas como o Silicon Photonics (SiPh), o Thin Film Polymer on Silicon (TFPS) e o CMOS (Complementary Metal Oxide Semiconductor), a BrPhotonics prevê a convergência entre fotônica e microeletrônica para permitir transmissões a partir de 100 Gb/s através de links ópticos de menor consumo de energia e maior densidade ([BRPHOTONICS](#),).



Figura 1 – Fotografia da fachada da BrPhotonics

Ela possui duas unidades, a sede que é situada em Campinas, SP, e um escritório em Santa Clara nos Estados Unidos da América. Atualmente, possui 31 colaboradores, sendo 23 de contrato direto, enquanto que 8 são bolsistas, estagiários e prestadores de serviços. Na figura 1, pode-se verificar a fachada da BrPhotonics.

2 Fundamentação Teórica

2.1 Sistema de Comunicação Óptica Coerente

Em um sistema de comunicação óptica, após ocorrer a modulação do sinal transmitido, pode-se realizar a sua detecção no receptor de duas formas, utilizando a detecção direta ou a coerente. Na direta, a informação do sinal modulante é obtida a partir da amplitude do sinal óptico modulado, nesse caso, utiliza-se fotodiodos para converter o sinal do domínio óptico para o elétrico (SEIMETZ, 2009).

Na detecção coerente, pode-se extrair a informação do sinal modulado a partir de algumas algumas de suas características, a amplitude, a frequência, a fase e a polarização, e todas essas grandezas são convertidas em um sinal elétrico. Sendo assim, utilizando um conversor analógico/digital (ADC – *Analog to Digital Converter*), pode-se amostrar esse sinal para que seja processado por um DSP, que será responsável por compensar digitalmente os efeitos não lineares inseridos durante a propagação na fibra óptica que degradam o sinal transmitido. A inserção desse dispositivo em um sistema de comunicação óptica além de evitar a grande quantidade de *hardware* no processamento analógico, também pode suportar os formatos de modulação mais avançados como o 64QAM (ZHOU; XIE, 2016).

O sistema de comunicação óptica coerente é representado na figura 2. No transmissor óptico, tem-se uma portadora óptica, um *laser* de onda contínua (CW – *Continuous Wave*) representado por TLS (*Tunable Laser*), que será modulado por *bits* de informação que são inicialmente transmitidos na Rede de Transporte Óptico (OTN – *Optical Transport Network*). Em seguida, passa por um codificador de erro (FEC – *Forward Error Correction*), é processado pelo DSP, cujo sinal de saída será convertido de digital para analógico por um conversor digital/analógico (DAC – *Digital to Analog Converter*), que será amplificado por um *driver* cuja saída será a tensão utilizada nos moduladores para realizar a modulação do sinal óptico.

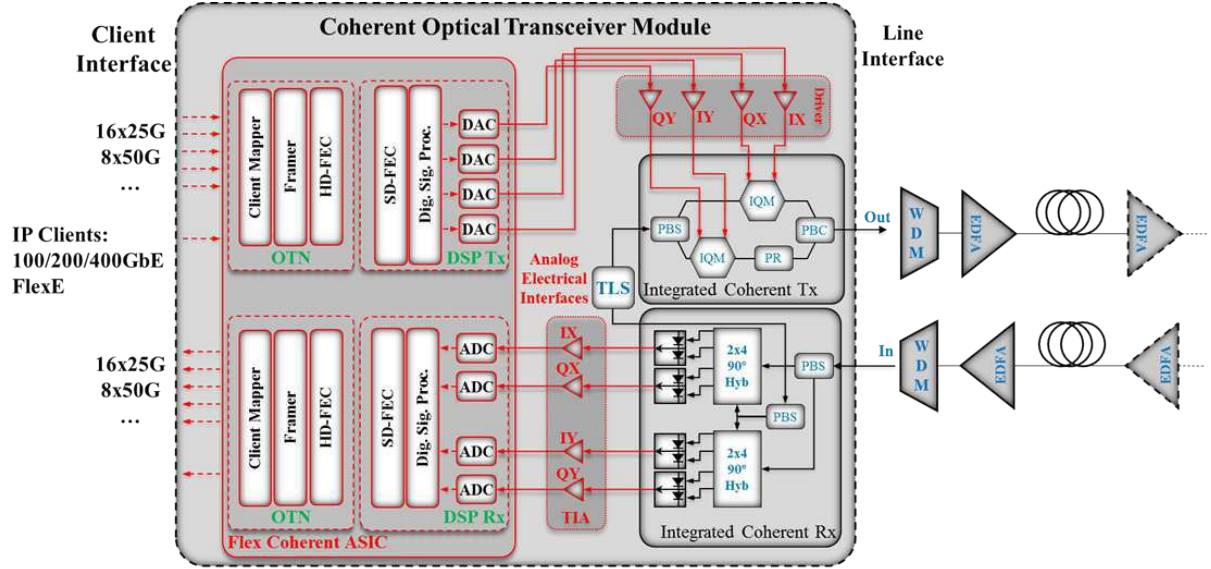


Figura 2 – Representação de um sistema de comunicação óptica coerente com a presença de um DSP

O campo elétrico da portadora óptica com ruído é expresso pela equação 2.1:

$$\mathbf{E}_{cw}(t) = \sqrt{P_s + \delta P(t)} \cdot e^{j(\omega_s t + \varphi_s + \varphi_{ns}(t))} \cdot \mathbf{e}_s \quad (2.1)$$

Em que P_s é a potência do *laser*; $\delta P(t)$ é o ruído na intensidade do *laser*; ω_s : frequência angular do *laser*; φ_s é a fase inicial do *laser*; φ_{ns} , o ruído na fase do *laser* e \mathbf{e}_s a sua polarização. Com isso, para que esse sinal seja modulado, utiliza-se os seguintes moduladores ópticos: modulador de fase (PM – *Phase Modulator*), Mach-Zehnder (MZM – *Mach-Zehnder Modulator*) e IQM (*IQ Modulator*).

O PM é constituído de dois eletrodos, uma guia de onda e um substrato eletro-óptico, como se pode verificar na figura 3. Ao ser aplicada uma tensão $u(t)$ nesses eletrodos, ocasiona-se uma mudança do índice de refração da guia de onda, acarretando na modulação em fase do campo elétrico de entrada. Considerando V_π como a tensão necessária para deslocar a fase do campo em π radianos, tem-se que o campo elétrico na saída do modulador é representado por 2.2.

$$E_{out}(t) = E_{in}(t) \cdot e^{j \frac{u(t)}{V_\pi} \pi} \quad (2.2)$$

No MZM, tem-se a presença de dois moduladores PMs que estão em guias de onda diferentes, como se pode visualizar na figura 4. Cada um deles é alimentado por uma fonte de tensão independente e com isso, quando a luz passa pelos moduladores adquire uma diferença de fase em cada um deles e ao ser recombinada, tem seu campo elétrico

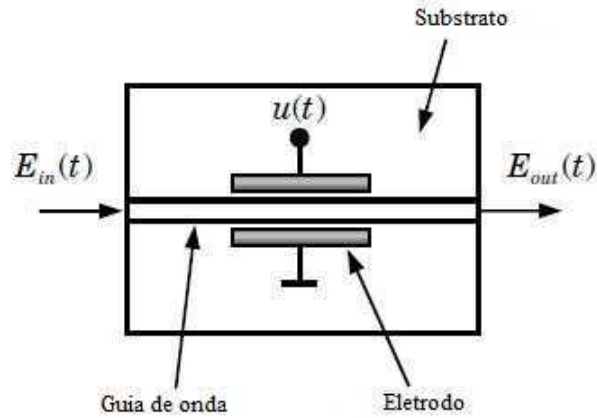


Figura 3 – Modulador PM
 Fonte: imagem adaptada de (SEIMETZ, 2009).

representado por 2.3.

$$E_{out} = \frac{E_{in}(t)}{2} \left(e^{j\varphi_1(t)} + e^{j\varphi_2(t)} \right) = \frac{E_{in}(t)}{2} \left(e^{j\frac{u_1(t)}{V_{\pi 1}}\pi} + e^{j\frac{u_2(t)}{V_{\pi 2}}\pi} \right) \quad (2.3)$$

Considerando o modo de atuação *push-pull*, ou seja, $u_1(t) = -u_2(t) = \frac{u(t)}{2}$ e $V_{\pi 1} = V_{\pi 2} = V_{\pi 3}$, verifica-se ao substituir esses valores em 2.3 que é possível modular a amplitude do campo elétrico, assim como se pode visualizar em 2.4.

$$E_{out} = E_{in}(t) \cdot \cos \left(\frac{u(t)}{2V_{\pi}} \pi \right) \quad (2.4)$$

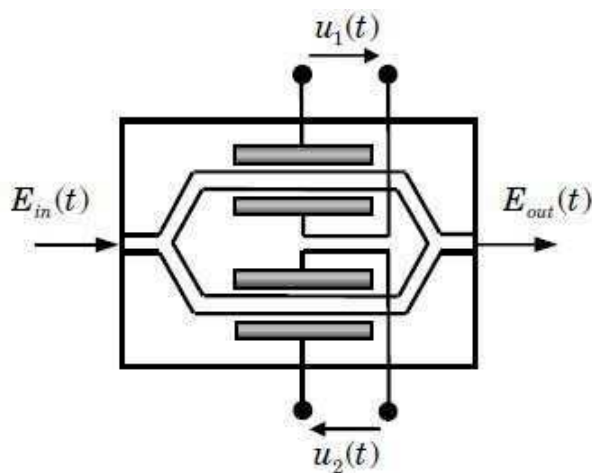


Figura 4 – Modulador MZM
 Fonte: imagem adaptada de (SEIMETZ, 2009).

E o modulador IQ é constituído de dois MZMs e um PM, assim como se pode verificar na figura 5. Com isso, pode-se modular um sinal tanto em fase quanto em amplitude, o que torna possível a utilização do plano complexo para representar qualquer ponto do

sinal, sendo o eixo real denominado de eixo em fase (I – *in-phase*) e o imaginário de em quadratura (Q – *quadrature*).

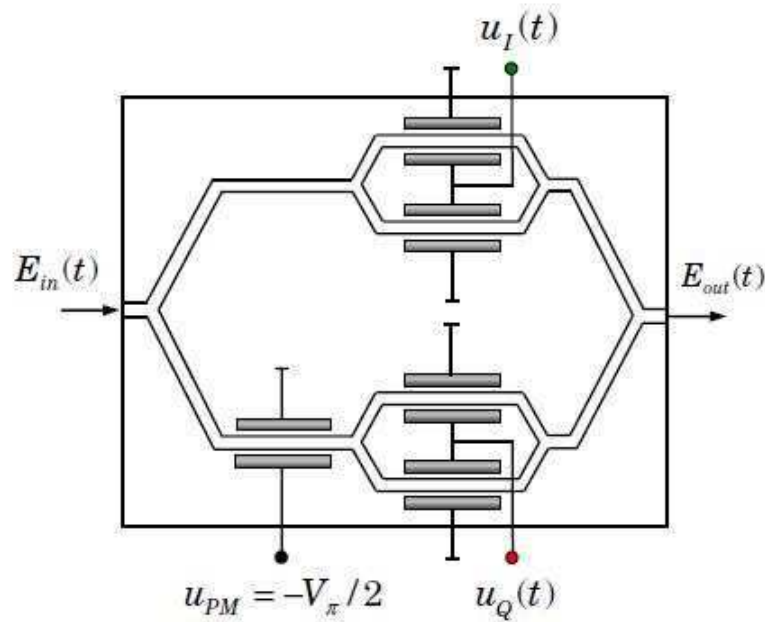


Figura 5 – Modulador IQ

Fonte: imagem adaptada de (SEIMETZ, 2009).

Após ser modulado, o sinal é transmitido e passa por um canal óptico onde é amplificado por amplificadores ópticos, que geram espontaneamente fótons a partir do seu material constituinte e com isso há a inserção do ruído de amplificação óptica (ASE – *Amplified Spontaneous Emission*). Com isso, um parâmetro de avaliação da qualidade do sinal após a transmissão do sinal óptico no canal é a relação sinal-ruído óptico (OSNR – *Optical Signal-to-Noise Ratio*), que consiste na razão do valor da potência média do sinal transmitido (P_s) e a potência do ruído (P_N) no canal. Assim, a OSNR é calculada de acordo com a equação 2.5.

$$OSNR_{dB} = 10 \log \frac{P_s}{P_N} \quad (2.5)$$

Ao chegar no receptor, há uma interferência entre o sinal óptico e o gerado pelo oscilador local (LO – *Local Oscillator*), que é um *laser* de mesma frequência da portadora, detecção *homodyne*, ou de frequências diferentes, *heterodyne*, que resulta em um sinal elétrico portador com frequência intermediária entre as outras duas. Com isso, esses sinais entram duas híbridas 90° 2×4 , assim como se pode visualizar na figura 6, que realiza a separação das componentes reais e complexas dos campos elétricos do sinal modulado (E_s) e do oscilador local (E_{lo}). Assim, tem-se quatro saídas para cada uma delas que são

representadas na equação matricial 2.6.

$$\begin{bmatrix} E_{out_{I_1}}(t) \\ E_{out_{Q_1}}(t) \\ E_{out_{I_2}}(t) \\ E_{out_{Q_2}}(t) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} E_s(t) + E_{lo}(t) \\ E_s(t) + jE_{lo}(t) \\ E_s(t) - E_{lo}(t) \\ E_s(t) - jE_{lo}(t) \end{bmatrix} \quad (2.6)$$

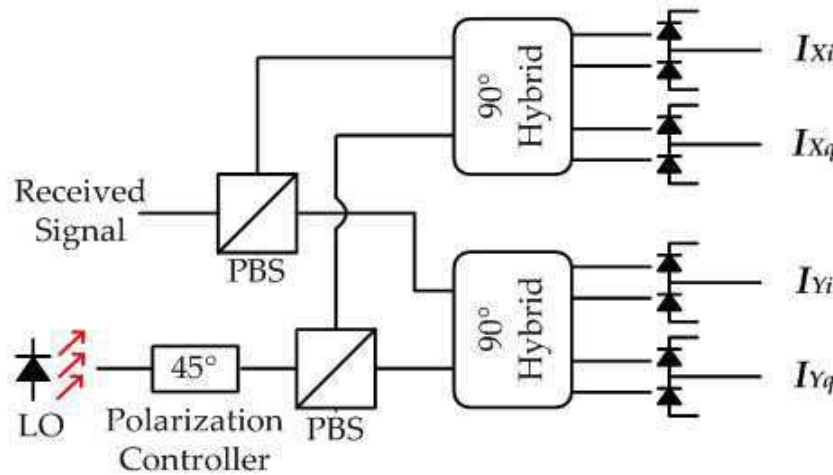


Figura 6 – Representação de uma detecção coerente

Sendo assim, as saídas de uma híbrida correspondem a uma polarização do sinal e as da outra híbrida representam a polarização defasada de 90° da primeira e essa é uma das vantagens da detecção coerente, pois se consegue dobrar a taxa de transmissão, devido ao fato de que é possível transmitir informação em duas polarizações do sinal. Logo, o sinal óptico é convertido em elétrico pelos fotodetectores balanceados, que geram as fotocorrentes em fase, I_{Xi} e I_{Yi} , e em quadratura, I_{Xq} e I_{Yq} , como se pode verificar na figura 6.

Em seguida, o sinal elétrico analógico é convertido para digital pelo ADC do DSP e assim, tem-se todo o processamento digital para compensar os efeitos degradantes da transmissão, seja um desvio de frequência ou então, fenômenos que ocorrem na fibra óptica como a dispersão cromática (CD – *Chromatic Dispersion*). Por fim, o sinal é decodificado e ocorre o cálculo da taxa de erro de bits (BER – *Bit-error Rate*), que é utilizada para definir o nível de degradação do sinal e é representada por 2.7.

$$BER = \frac{\text{número de bits recebidos incorretamente}}{\text{número de bits transmitidos}} \quad (2.7)$$

Em um projeto de DSP, é estabelecido um valor máximo para a BER de forma que esse será o máximo erro na transmissão de bits que o código corretor de erros será capaz de corrigir. Então, esse parâmetro em conjunto com a OSNR são utilizados para a

caracterização de um sinal em relação a sua sensibilidade ao ruído levando em consideração que o processamento digital de sinais tenha ocorrido.

2.2 DSP Aplicado em Sistemas Ópticos Coerentes

A implementação de um DSP em sistemas ópticos coerentes tem como principal objetivo a recuperação do sinal transmitido, para isso realiza a compensação de efeitos adversos tanto no transceptor quanto na fibra óptica. Além disso, também suporta vários formatos de modulação digital como QPSK (*Quadrature Phase Shift Keying*), 16QAM (*Quadrature Amplitude Modulation*), 64QAM, 256QAM o que incrementa a quantidade de informação que será transmitida no sistema, assim como a sua taxa de transmissão e pelo fato do sinal ser transmitido em duas polarizações, a eficiência espectral da transmissão dobra. Um esquema arquitetural do receptor de um DSP (DSP-RX) voltado para esse tipo de aplicação pode ser visualizado na figura 7.

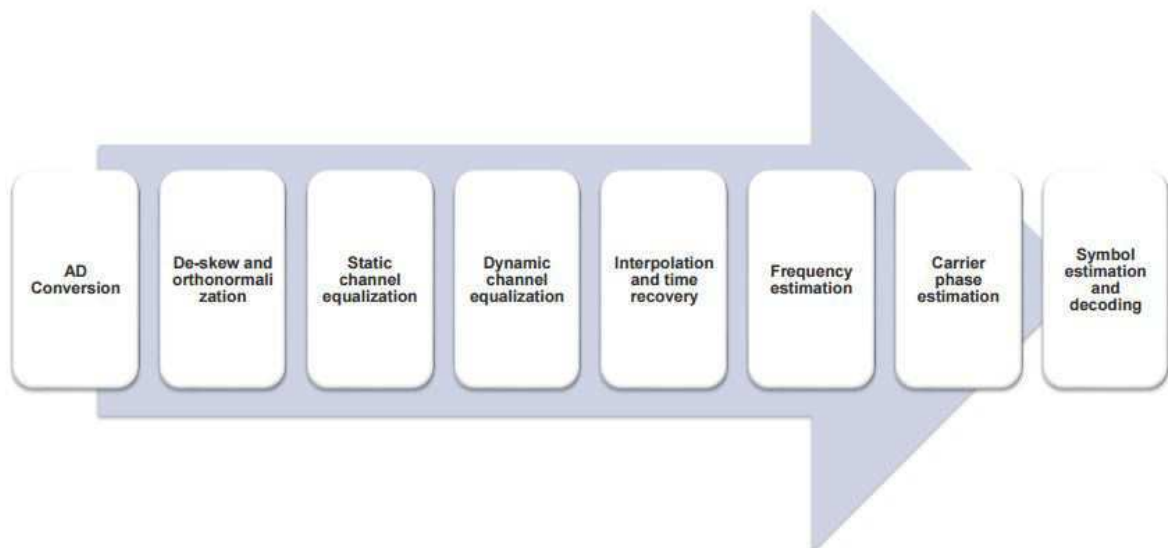


Figura 7 – Esquema arquitetural do receptor de um DSP voltado para sistemas ópticos coerentes

No diagrama de blocos apresentado na figura 7, pode-se verificar a presença de blocos com diferentes funções e eles são divididos em Propriedades Intelectuais (IPs – *Intellectual Properties*, que são implementados em alguma linguagem de descrição de *hardware* (HDL – *Hardware Design Language*, no caso da BrPhotonics, SystemVerilog).

Na entrada do DSP-RX há um ADC para amostrar e quantizar o sinal elétrico analógico. Durante a digitalização dos sinais nas duas polarizações, introduz-se um atraso temporal entre eles, o *skew* e com isso, necessita-se compensar esse atraso para que ambos os sinais estejam sincronizados no tempo, o que é feito pelo segundo bloco da figura 7. Este também realiza a compensação de desvios introduzidos pela híbrida 90° e pela

responsividade dos fotodiodos, que podem alterar a condição de ortogonalidade entre as duas polarizações.

Em seguida, implementa-se um equalizador estático para realizar a compensação do CD introduzido pela fibra óptica, que consiste em um filtro digital linear, cujos parâmetros são calculados considerando-se alguns parâmetros de transmissão, como o comprimento de onda da luz e a taxa de amostragem do sinal. Também, é utilizado um equalizador dinâmico para compensar efeitos adversos no canal de transmissão óptico, como a multiplexação dos sinais polarizados, ou seja, o sinal de uma polarização começa se misturar com o da outra, a dispersão do modo de polarização (PMD – *Polarization Mode Dispersion* e o CD residual. Assim, é nesse bloco que as polarizações são demultiplexadas (KIKUCHI, 2016).

No DSP também há um módulo que estima e corrige o erro de *timing*, ou seja, um símbolo amostrado não é recebido na quantidade de *clocks* esperada. Ainda, inclui-se um bloco para estimar o desvio de frequência entre o sinal do *laser* transmissor e o oscilador local, para posterior correção, assim como outro para estimação e correção de fase do sinal. Por último, há a decodificação dos símbolos em uma sequência de *bits*. Sendo assim, na figura 8, pode-se verificar todo o processamento do sinal do DSP-RX, em que ele entra com suas componentes todas misturadas e ao fim, o sinal transmitido, nesse caso, modulado em QPSK na sequência em cima e em 16QAM na execução de baixo, é recuperado na saída.

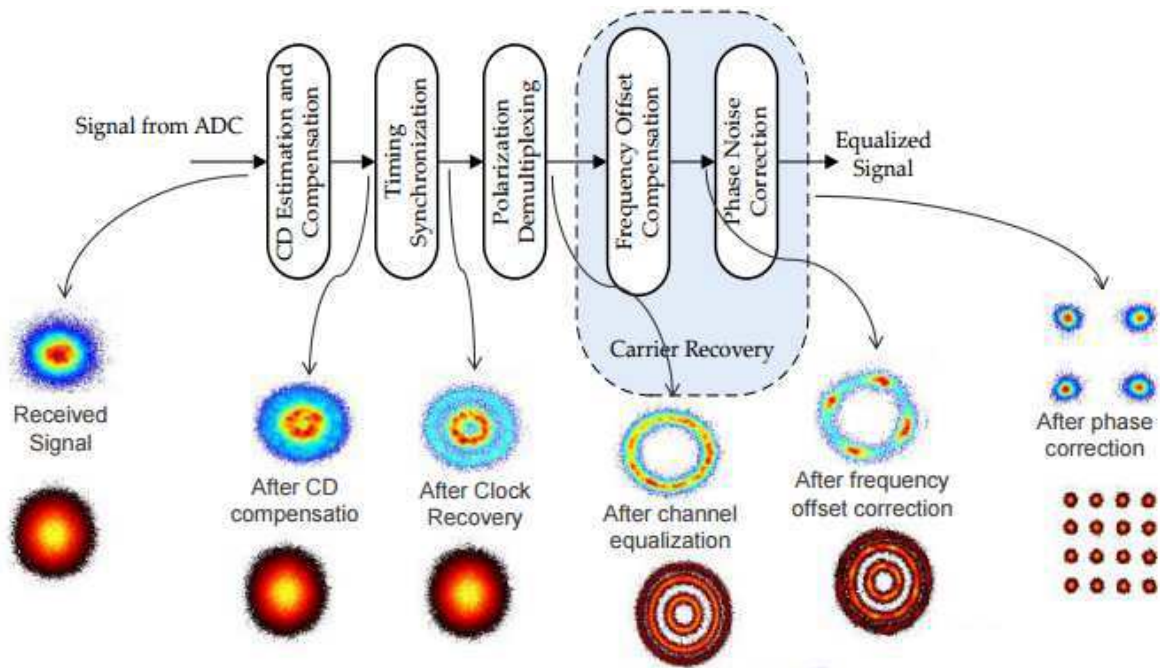


Figura 8 – Representação do processamento do sinal no DSP-RX

3 Atividades Desenvolvidas

Em um projeto de microeletrônica, segue-se o fluxo apresentado na figura 9.

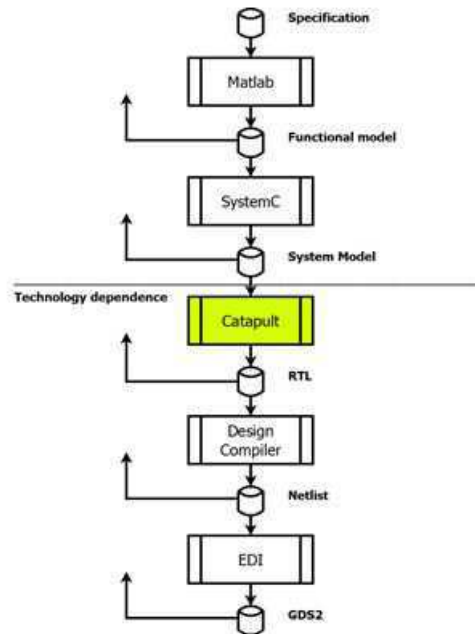


Figura 9 – Fluxo de um projeto de microeletrônica

Inicialmente, ao receber as especificações de um determinado *chip* do cliente, projeta-se um modelo funcional do sistema em uma linguagem de programação de alto nível, a exemplo do Matlab, sendo seguido, por um modelo sistêmico em que se tem o controle da latência e se pode trabalhar com ponto fixo, como SystemC. Então, faz-se a descrição em linguagem de *hardware*, como SystemVerilog, para um modelo RTL (*Register Transfer Level*). Compara-se os resultados dos modelos para as mesmas condições de operação e verifica-se o erro entre eles, se for menor do que o tolerado, o modelo em RTL é validado pelo *designer*, se não, este precisa adequar os seus modelos. Com o RTL validado, aplica-se um processo de otimização da lógica utilizada através de uma Síntese Lógica.

Em seguida, gera-se uma lista de todas as conexões realizadas no circuito digital, chamada de *netlist*. Se os resultados de simulação da *netlist* forem iguais aos do RTL, tem-se que o bloco se encontra validado pelo *designer* e também, à cada passo que o projetista avança no fluxo, o seu trabalho precisa ser verificado por um especialista em verificação. No momento em que se gera uma *netlist* condizente com o RTL, inicia-se o trabalho de *back-end* que projeta o *layout* dos módulos projetados em um circuito integrado (CI). Com essa fase inicializada, tem-se que a base de dados gráficos (GDS – *Graphic Database System*) está pronta para ser utilizada na fabricação do *chip*.

Na BrPhotonics, o estudante participou de um projeto de DSP para sistemas ópticos coerentes flexíveis, de 100 Gbps a 600 Gbps, otimizado para a tecnologia CMOS de 14nm (DSPFlex) e teve a oportunidade de participar da validação do modelo funcional em Matlab, realizando simulações em um simulador de sistemas ópticos coerentes. Em seguida, realizou o *design* do modelo sistêmico, em SystemC, e do RTL, SystemVerilog, de dois IPs desse DSP, o *Mapper* e o *Demapper*, que são responsáveis pela codificação de uma sequência de *bits* em símbolos complexos e pela decodificação de *bits* que representam um símbolo, respectivamente. Por fim, iniciou as atividades de integração do topo do DSP à nível de SystemC e de RTL, como também, o processo de Síntese Lógica dos blocos projetados.

3.1 Simulação do Modelo Funcional do DSP Coerente Flexível

3.1.1 Introdução ao Simulador de Sistemas Coerentes Ópticos

Inicialmente, realizou-se atividades de introdução ao simulador de comunicações ópticas coerentes da BrPhotonics. Para isso, simulou-se um sistema configurado em modo *back-to-back* (B2B), ou seja, o transmissor do DSP (DSP-TX) é conectado no DSP-RX, para que fosse gerada uma curva BER x OSNR do sistema, como também a constelação de saída do sinal recuperado.

Sendo assim, configurou-se os parâmetros do simulador para que o sistema óptico fosse o mais realístico possível e os do modelo do DSPFlex para os especificados pelo cliente. Logo, fez-se simulações levando em conta sinais com diferentes formatos de modulação e taxas de transmissão de símbolos, e duas polarizações (DP – *Dual Polarization*, sendo eles o 100G DP-QPSK (32 Gbaud), 200G DP-16QAM (32 Gbaud) e 400G DP-64QAM (42,67 Gbaud). Para efeito de comparação, considerou-se o DSP com lógica sequencial implementado no simulador (DSPModel) como modelo de referência.

Então, considerando-se o sinal 100G DP-QPSK, obteve-se a curva BER x OSNR apresentada na figura 10 e as constelações do sinal de saída no ponto de OSNR com máxima BER que o código corretor de erros pode corrigir, $BER = 2,2 \times 10^{-2}$, e também, no ponto com maior OSNR simulado, respectivamente nas figuras 11 e 12.

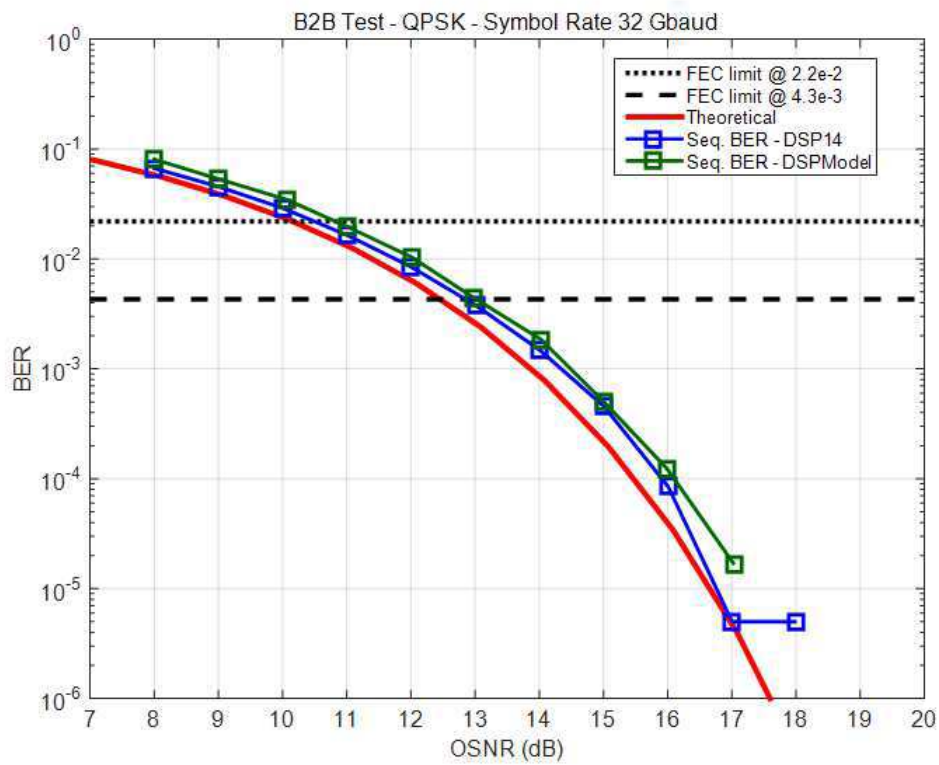


Figura 10 – Curva BER x OSNR para o sinal 100G DP-QPSK

Received QPSK Constellation: 64 Gb/s - OSNR: 11.0055 dB

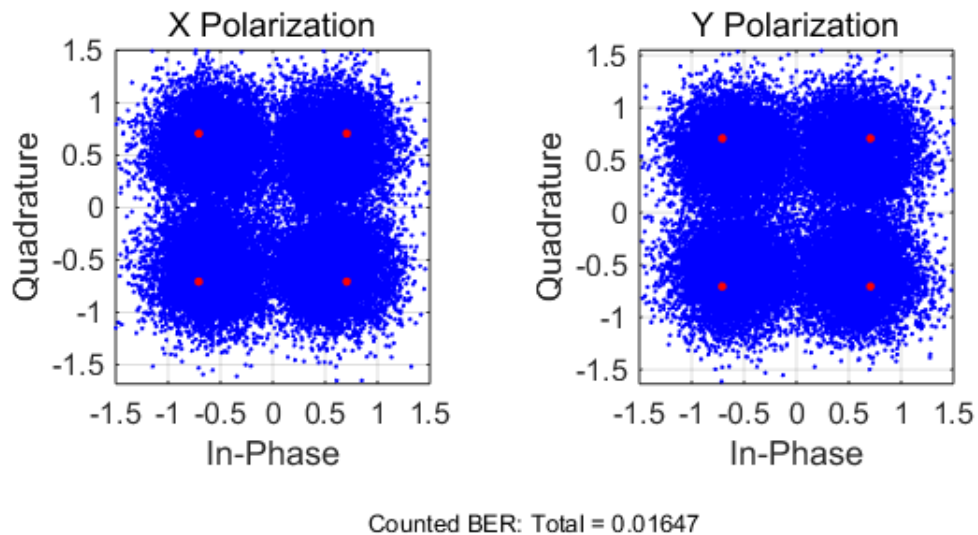


Figura 11 – Constelações para a modulação DP-QPSK, considerando o ponto em que a BER mais se aproxima do limite do FEC

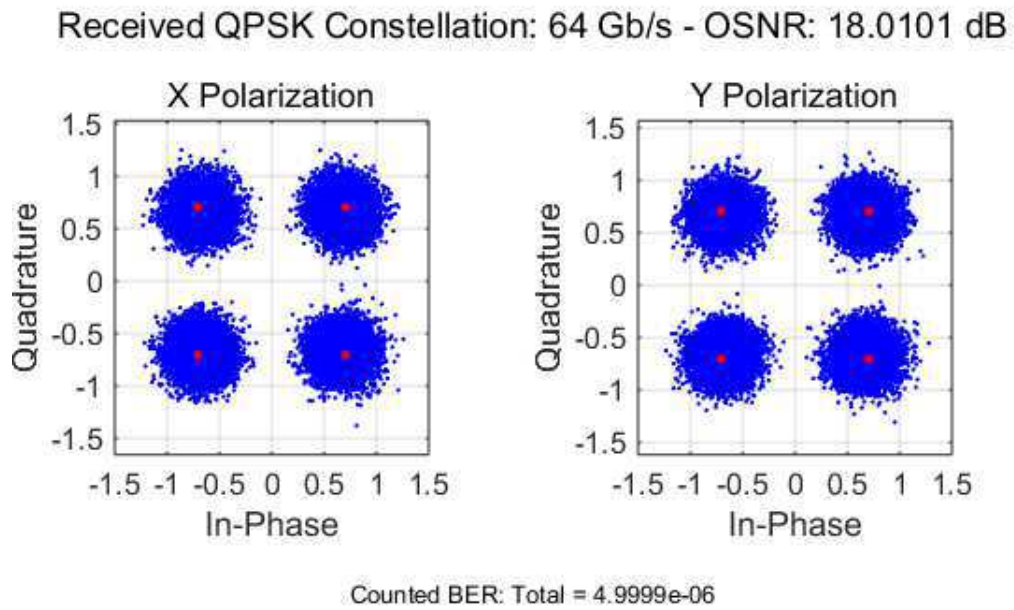


Figura 12 – Constelações para a modulação DP-QPSK, considerando o ponto simulado com maior OSNR

Nas figuras 13, 14 e 15, tem-se para o sinal 200G DP-16QAM, as mesmas relações realizadas para as figuras 10, 11 e 12.

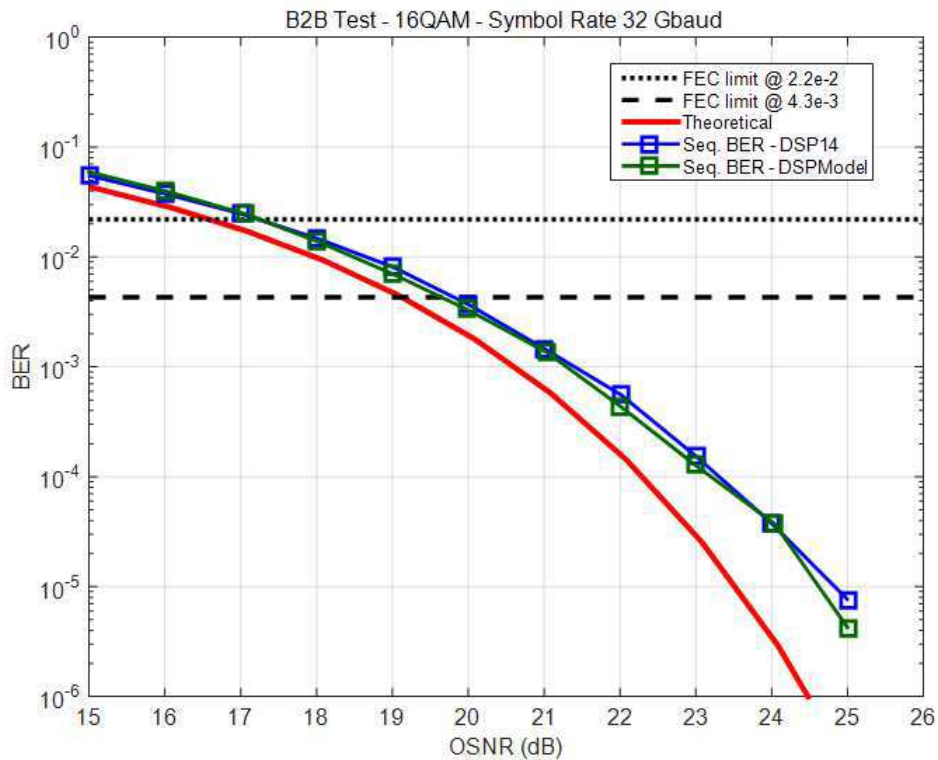


Figura 13 – Curva BER x OSNR para o sinal 200G DP-16QAM

Received 16QAM Constellation: 64 Gb/s - OSNR: 17.001 dB

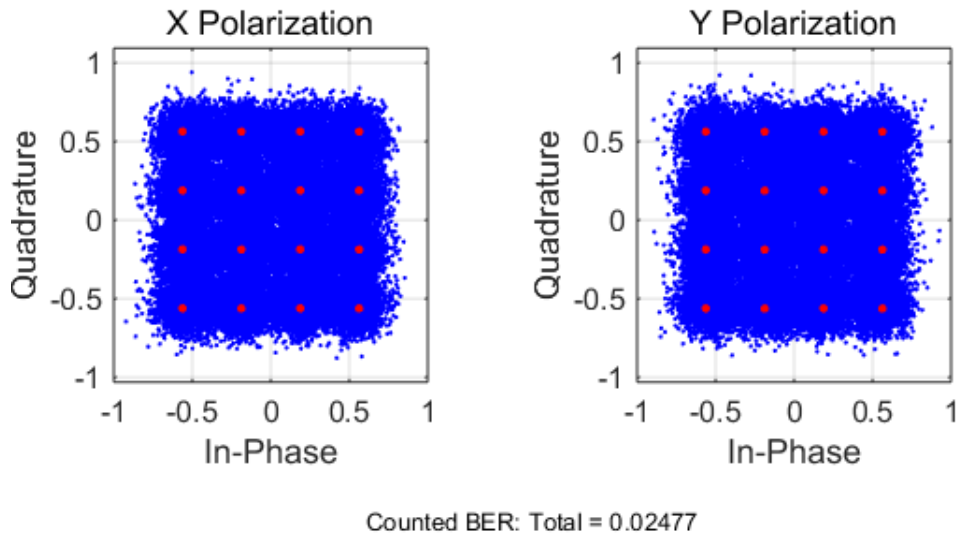


Figura 14 – Constelações para a modulação DP-16QAM, considerando o ponto em que a BER mais se aproxima do limite do FEC

Received 16QAM Constellation: 64 Gb/s - OSNR: 25.0101 dB

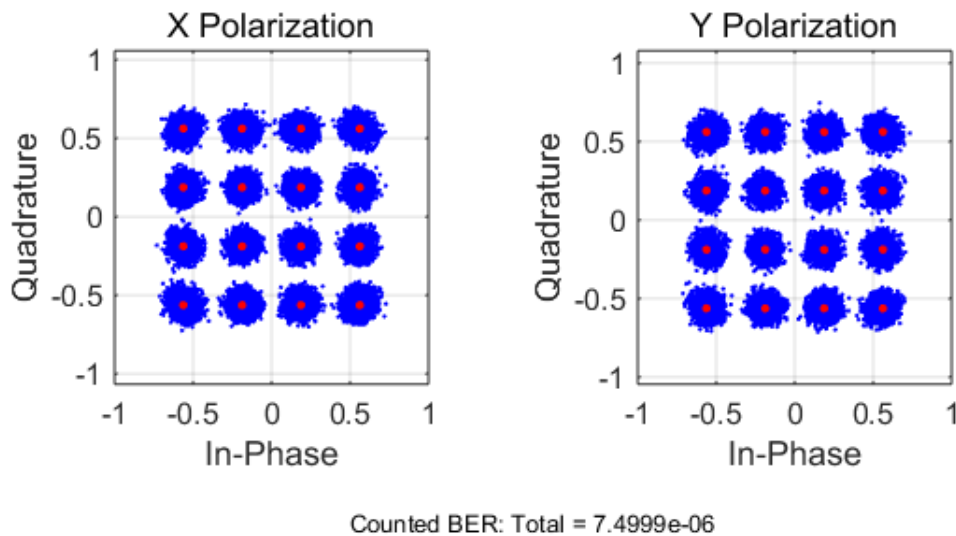


Figura 15 – Constelações para a modulação DP-16QAM, considerando o ponto simulado com maior OSNR

O mesmo pode ser verificado para o sinal 400G DP-64QAM nas figuras 16, 17 e 18.

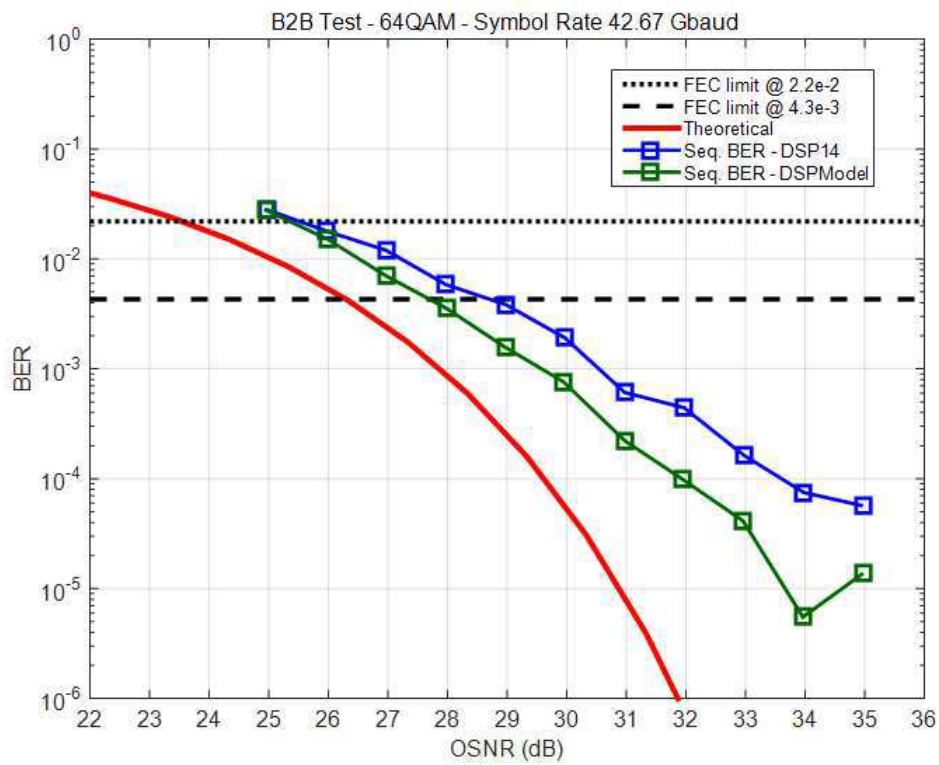


Figura 16 – Curva BER x OSNR para o sinal 400G DP-64QAM

Received 64QAM Constellation: 85.34 Gb/s - OSNR: 25.973 dB

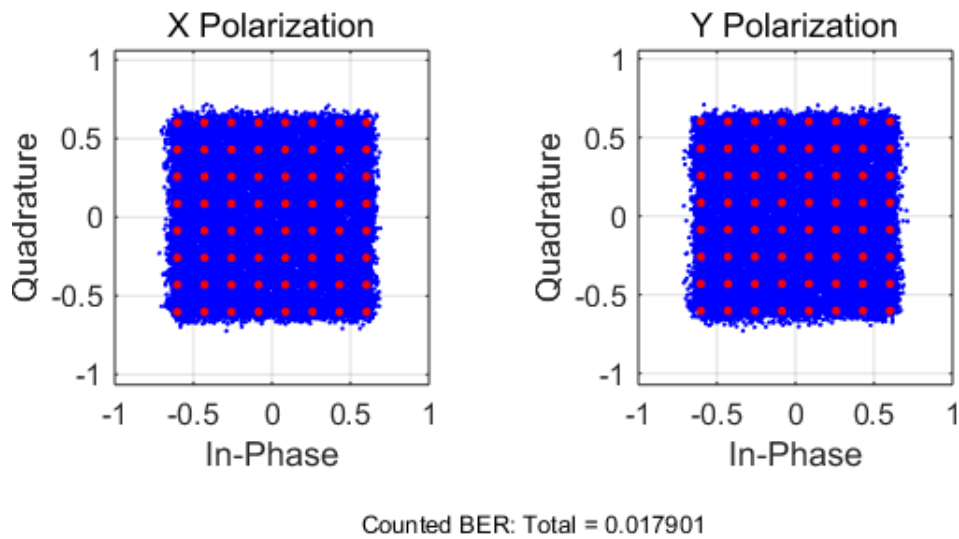


Figura 17 – Constelações para a modulação DP-64QAM, considerando o ponto em que a BER mais se aproxima do limite do FEC

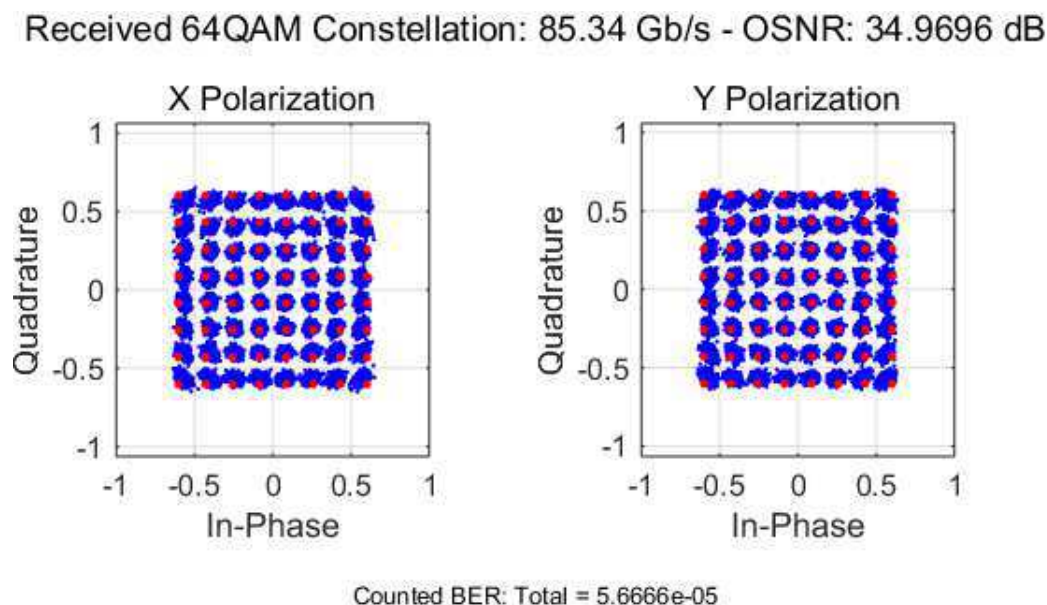


Figura 18 – Constelações para a modulação DP-64QAM, considerando o ponto simulado com maior OSNR

Para cada um dos casos, pôde-se estimar a penalidade da OSNR na no limite do FEC, $BER = 2,2 \times 10^{-2}$, que é a diferença, para esse valor de BER, entre a OSNR do sinal simulado e a teórica. Sendo assim, obteve-se os resultados que são expressos nas tabelas 1, 2 e 3.

Tabela 1 – Penalidade na OSNR para a transmissão 100G DP-QPSK

Tipo do DSP	OSNR (dB)	Penalidade (dB)
DSPFlex	10,49	0,34
DSPModel	10,82	0,67

Tabela 2 – Penalidade na OSNR para a transmissão 200G DP-16QAM

Tipo do DSP	OSNR (dB)	Penalidade (dB)
DSPFlex	17,23	0,65
DSPModel	17,25	0,67

Tabela 3 – Penalidade na OSNR para a transmissão 400G DP-64QAM

Tipo do DSP	OSNR (dB)	Penalidade (dB)
DSPFlex	25,51	1,98
DSPModel	25,25	1,82

A partir das figuras 10, 13 e 16 e das tabelas de 1 a 3, pode-se inferir que à medida que o número de símbolos aumenta, a sua OSNR também aumenta, sendo possível verificar

nas figuras das constelações que há uma menor presença de ruído ao redor das estrelas das constelações para os formatos de modulação 16QAM e 64QAM. Em compensação, com o aumento de símbolos, a tolerância a ruído diminui, pois a distância euclidiana entre uma estrela e outra é reduzida.

3.1.2 Validação do Modelo Funcional do DSPFlex

Com as especificações fornecidas pelo cliente para que o modelo funcional do DSPFlex fosse validado, durante dois meses, realizou-se um conjunto de testes para os sinais de 400G DP-64QAM e 600G DP-64QAM, adotando-se a configuração B2B e variando um conjunto de parâmetros do DSPFlex, como o número de coeficientes do equalizador dinâmico, a banda de largura do ADC e do DAC com um número fixo de coeficientes do equalizador dinâmico, a taxa de amostragem desses conversores, a banda de largura do ADC e do DAC para um valor fixo dessa taxa. Por ter um grande conjunto de resultados, decidiu-se por apresentar apenas os dois primeiros casos.

Em ambos os testes, automatizou-se o *script* em Matlab para realizar as trocas de valores do parâmetro de teste selecionado e o formato de modulação do sinal, já que um conjunto de simulações de um teste demorava em torno de quatro dias. Sendo assim, inicialmente, realizou-se os testes fixando a banda de largura do ADC e do DAC em 32 GHz e variou-se o número de coeficientes do equalizador dinâmico entre 16, 20 ou 24. Logo, para os sinais 400G DP-64QAM e 600G DP-64QAM, obteve-se as curvas BER x OSNR das figuras 19 e 20.

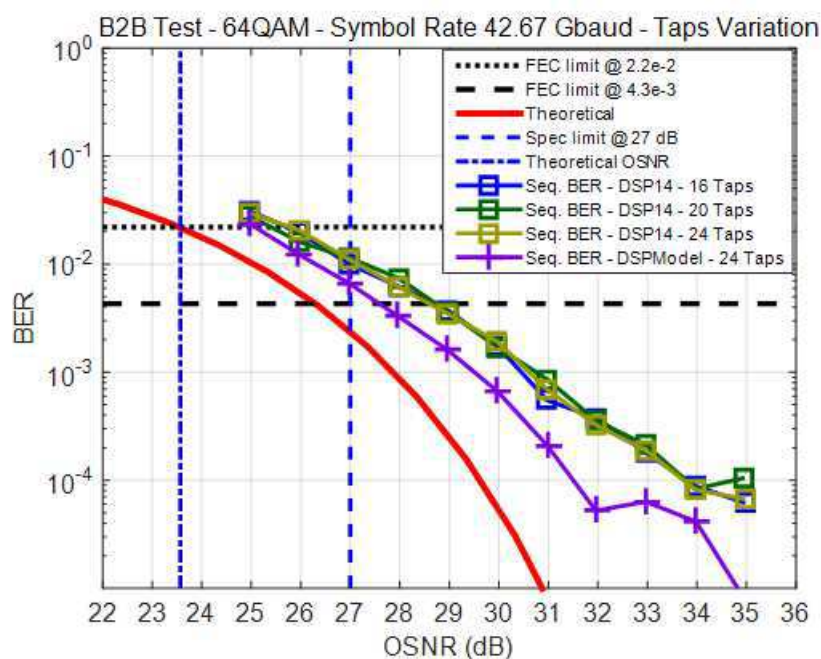


Figura 19 – Curva BER x OSNR para o sinal 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

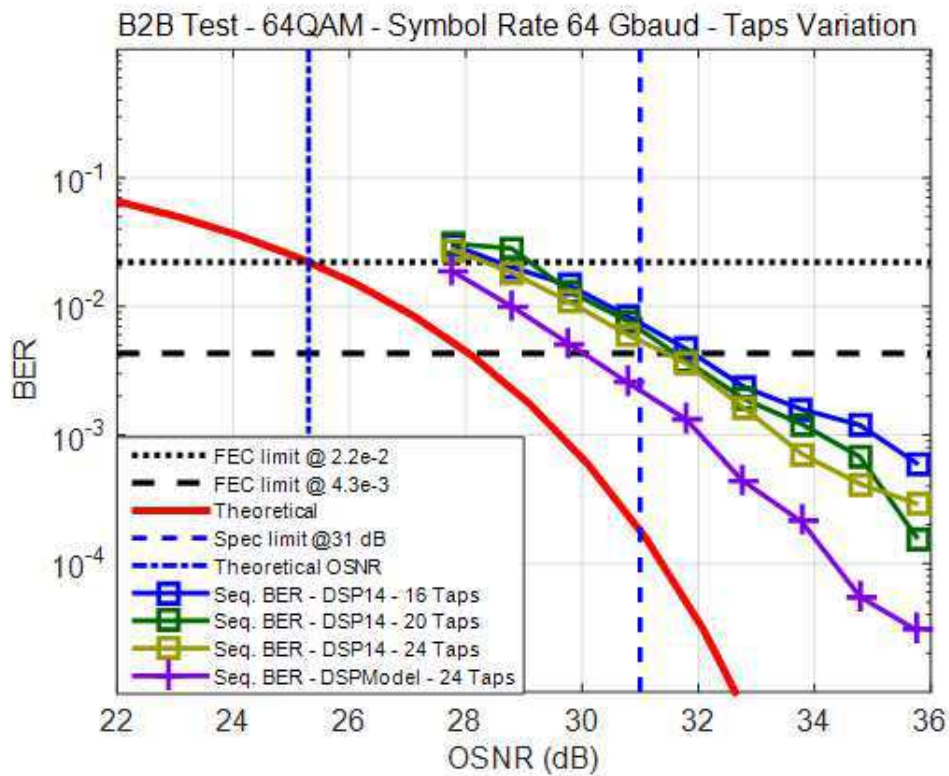


Figura 20 – Curva BER x OSNR para o sinal 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

A partir das figuras 19 e 20, pôde-se estimar a penalidade da OSNR para cada uma das curvas e em seguida, plotar os gráficos de penalidade da OSNR x número de coeficientes do equalizador dinâmico para cada tipo de sinal, com base nas tabelas 4 e 5. Para o sinal 400G DP-64QAM, a penalidade da especificação para essa taxa de transmissão, que é a diferença entre a OSNR requerida, representada pela linha azul pontilhada espaçada, e a teórica, é de, aproximadamente, 3,43 dB e seu gráfico de penalidade da OSNR x número de coeficientes do equalizador dinâmico pode ser visualizado na figura 21.

Tabela 4 – Penalidades na OSNR para a transmissão 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

Número de coeficientes	OSNR (dB)	Penalidade (dB)
16	25,73	2,16
20	25,40	1,83
24	25,79	2,22

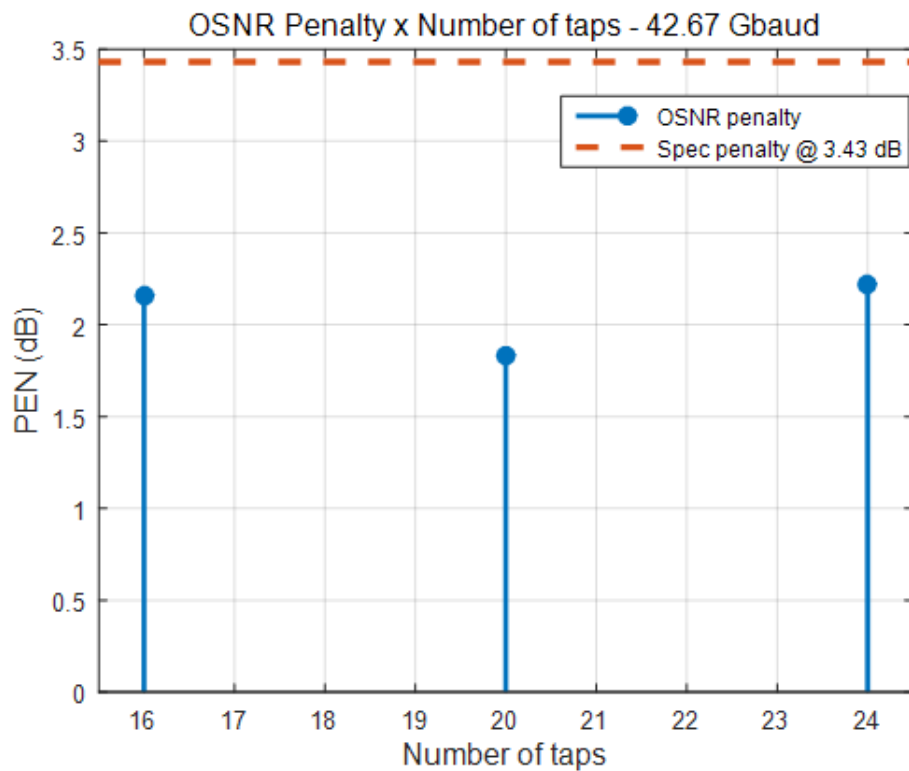


Figura 21 – Gráfico Penalidade da OSNR x Número de coeficientes para o sinal 400G DP-64QAM

E para a transmissão de 600G DP-64QAM, tem-se que a penalidade da especificação, com base na figura 20, é de, aproximadamente, 5,70 dB e seu gráfico de penalidade da OSNR x número de coeficientes do equalizador dinâmico pode ser visualizado na figura 22.

Tabela 5 – Penalidades na OSNR para a transmissão 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

Número de coeficientes	OSNR (dB)	Penalidade (dB)
16	28,57	3,27
20	29,12	3,82
24	28,34	3,04

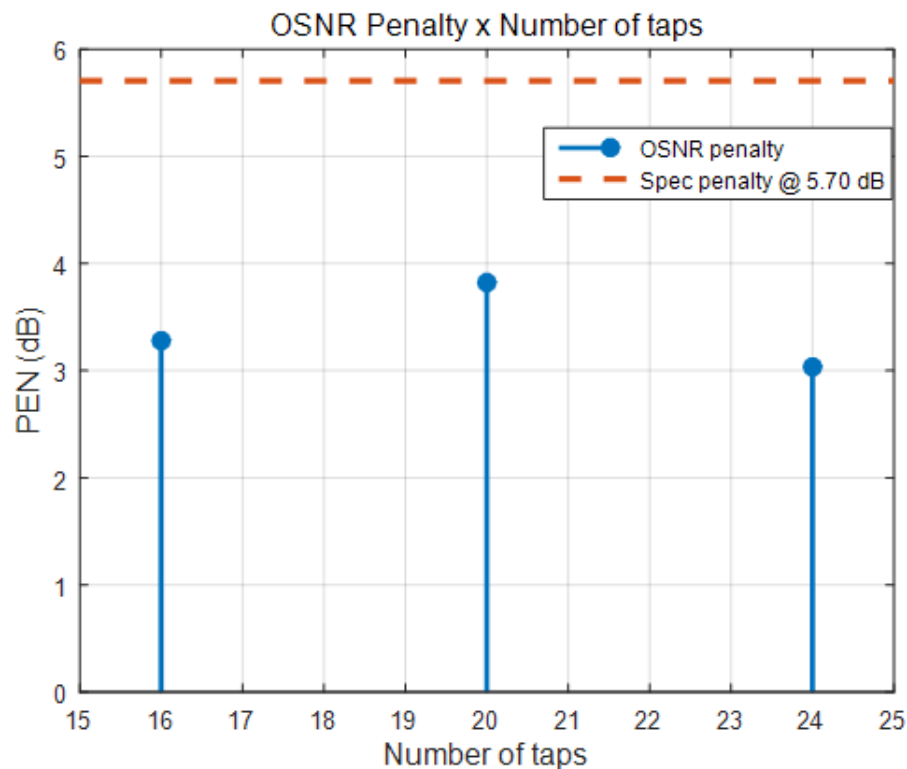


Figura 22 – Gráfico Penalidade da OSNR x Número de coeficientes para o sinal 600G DP-64QAM

Sendo assim, considerando o processo de equalização, tem-se que quando o número de coeficientes é incrementado, o desempenho do equalizador tende a melhorar até que atinja um número ótimo, quando outro incremento não terá um grande impacto nos resultados de execução. Com isso, a partir dos resultados das figuras 21 e 22, é possível concluir que um incremento no número de coeficientes do equalizador dinâmico não teve uma influência considerável na penalidade da OSNR. Logo, para prosseguir com os testes, considerando variações nas bandas do ADC e do DAC, optou-se por utilizar o número de coeficientes igual a 16, pois o esforço computacional e a potência do DSPFlex seriam reduzidos.

Em seguida, realizou-se mais três tipos de testes variando-se simultaneamente as bandas do ADC e do DAC de 27 a 35 GHz, com um passo de 2GHz; apenas a do ADC e mantendo constante a do DAC em 32 GHz e depois, a situação contrária. Logo, as curvas BER x OSNR para cada um dos casos, considerando a transmissão de 400G DP-64QAM podem ser verificadas nas figuras 23, 24 e 25, respectivamente.

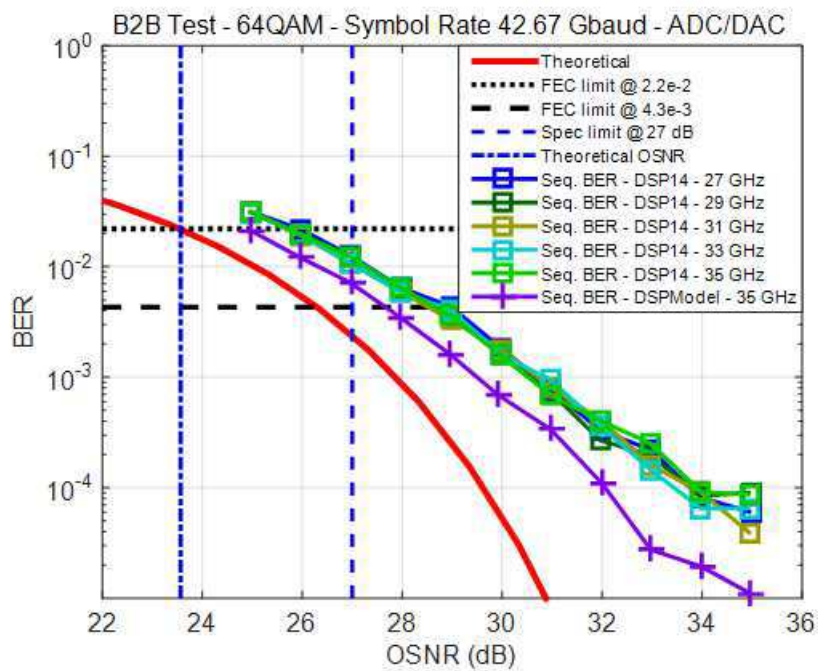


Figura 23 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do ADC/DAC

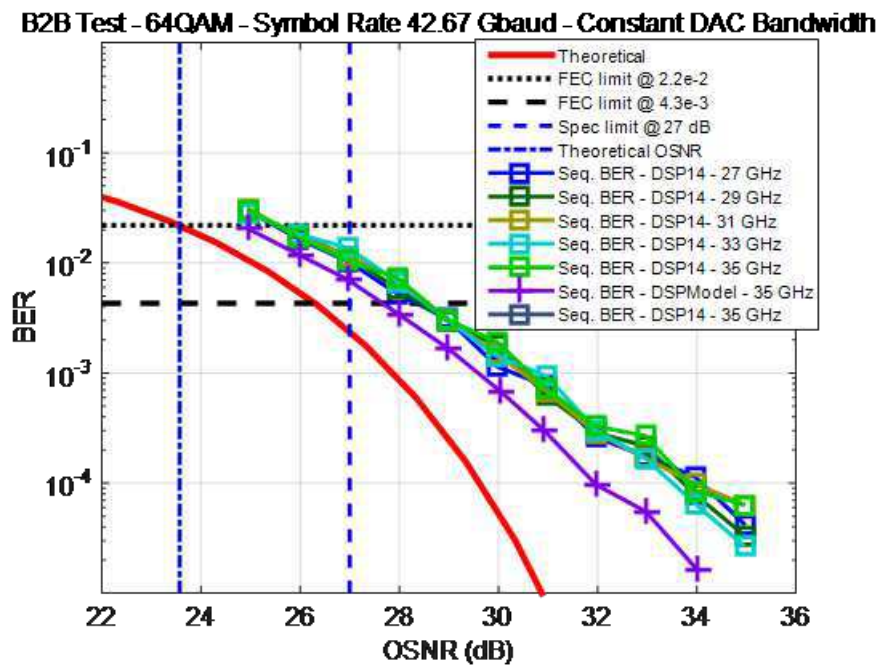


Figura 24 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do ADC

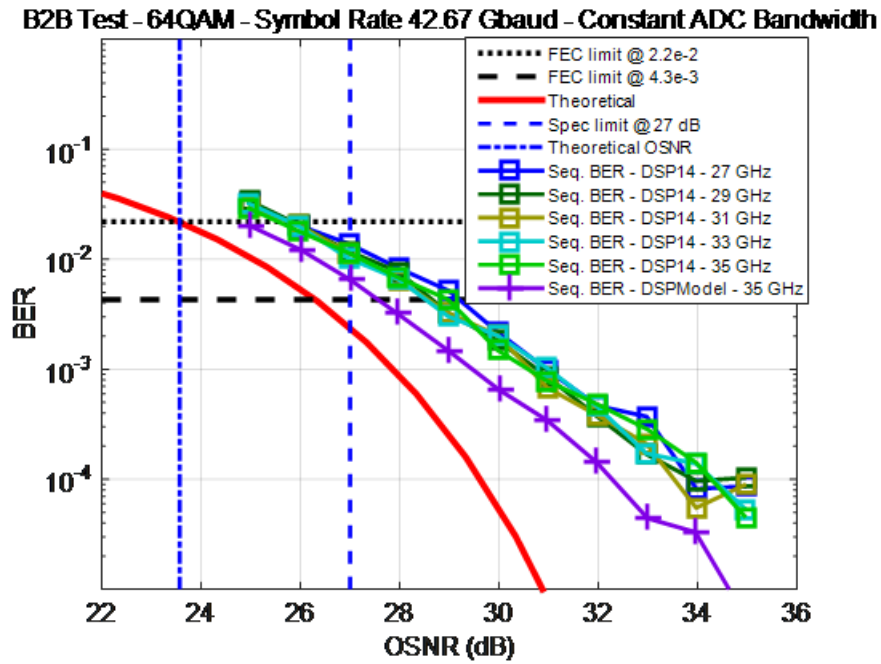


Figura 25 – Curva BER x OSNR para o sinal 400G DP-64QAM, variando a banda de largura do DAC

Com isso, estimou-se a penalidade da OSNR para cada um dos três casos para a transmissão de 400G DP-64QAM, obtendo-se a tabela 6 e dela, as três curvas de penalidade presentes na figura 26.

Tabela 6 – Penalidades na OSNR para a transmissão 400G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

Largura de banda (GHz)	ADC/DAC		DAC const.		ADC const.	
	OSNR (dB)	Penalidade (dB)	OSNR (dB)	Penalidade (dB)	OSNR (dB)	Penalidade (dB)
27	25,95	2,38	25,48	1,91	25,80	2,23
29	25,75	2,18	25,55	1,98	25,83	2,26
31	25,69	2,12	25,55	1,98	25,76	2,19
33	25,72	2,15	25,55	1,98	25,77	2,20
35	25,71	2,14	25,53	1,96	25,55	1,98

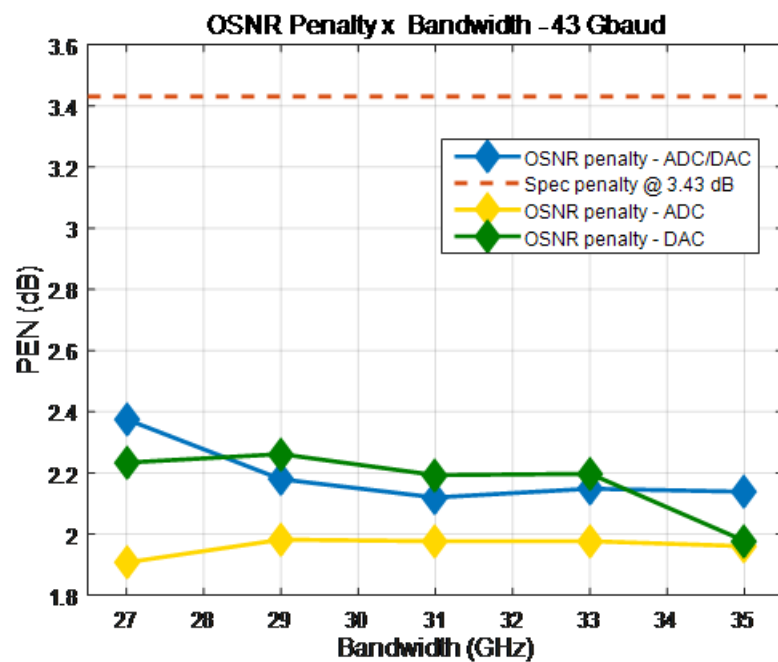


Figura 26 – Curvas de Penalidade da OSNR x Largura de banda ADC/DAC para o sinal 400G DP-64QAM

As curvas BER x OSNR para cada um dos casos simulados, considerando a transmissão de 600G DP-64QAM podem ser visualizadas nas figuras 27, 28 e 29, respectivamente.

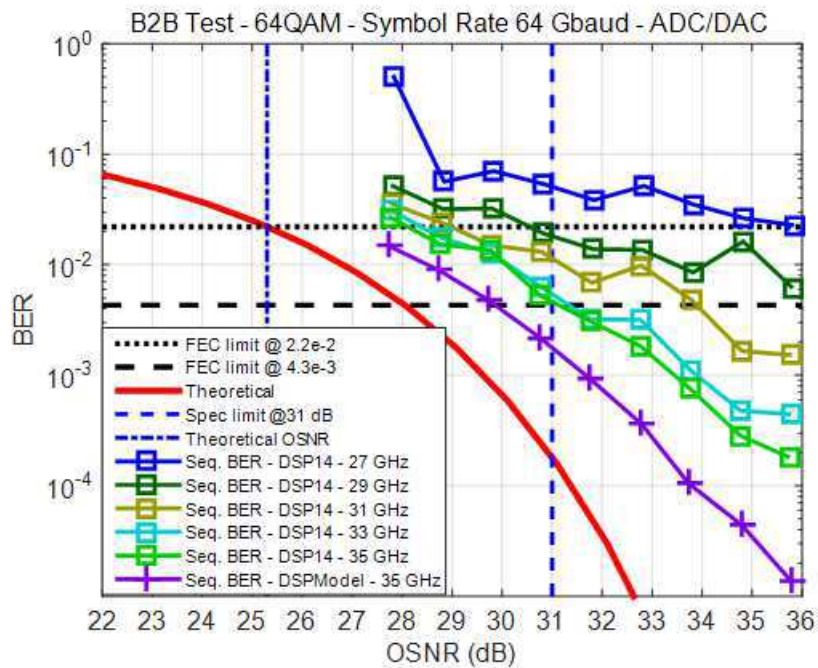


Figura 27 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do ADC/DAC

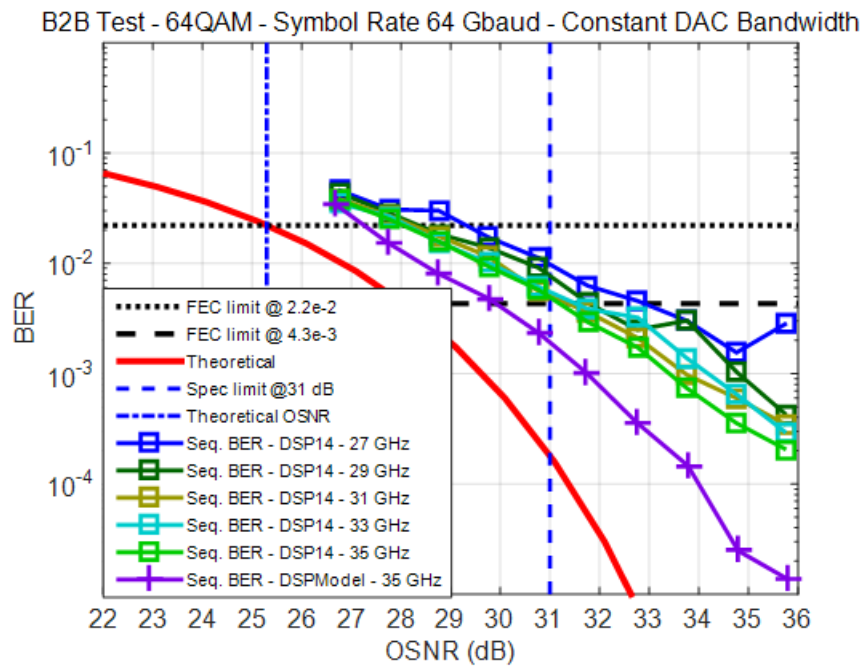


Figura 28 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do ADC

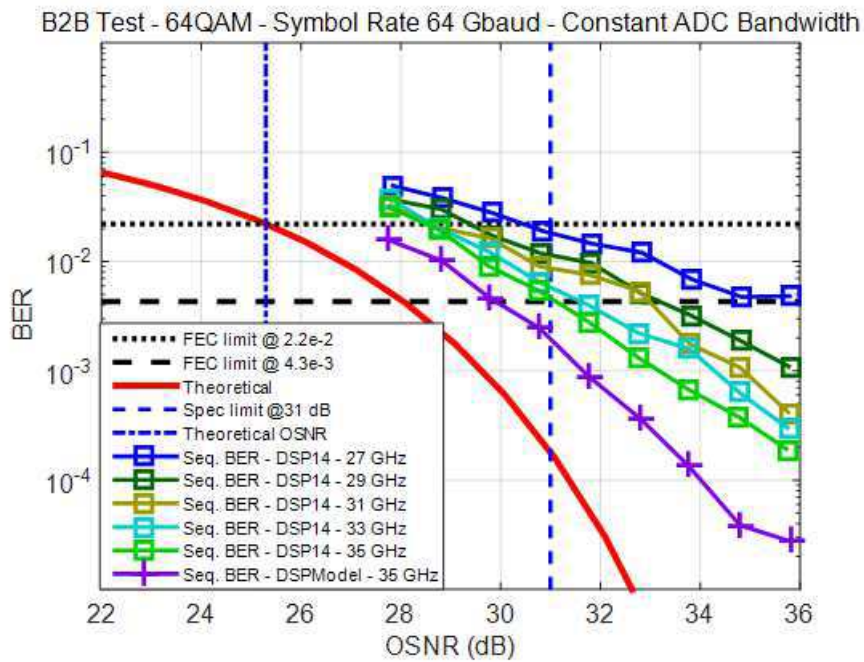


Figura 29 – Curva BER x OSNR para o sinal 600G DP-64QAM, variando a banda de largura do DAC

Assim, a partir das figuras de 27 a 29 foi possível estimar as penalidades da OSNR para cada caso, sendo explicitadas na tabela 7 e a partir dela, pôde-se plotar as curvas de penalidade para os três testes, que se encontram na figura 30.

Tabela 7 – Penalidades na OSNR para a transmissão 600G DP-64QAM, com um número variável de coeficientes do equalizador dinâmico

Largura de banda (GHz)	ADC/DAC		DAC const.		ADC const.	
	OSNR (dB)	Penalidade (dB)	OSNR (dB)	Penalidade (dB)	OSNR (dB)	Penalidade (dB)
27	-	-	29,32	4,02	30,46	5,16
29	30,56	5,26	28,36	3,06	29,39	4,09
31	28,98	3,68	28,24	2,94	28,62	3,32
33	28,39	3,09	28,12	2,82	28,63	3,33
35	28,12	2,82	28,05	2,75	28,52	3,22

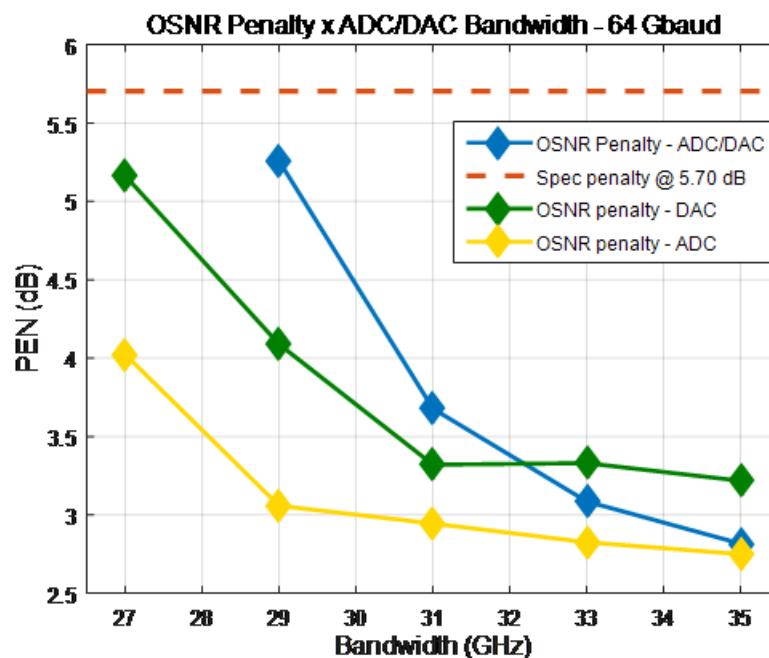


Figura 30 – Curvas de Penalidade da OSNR x Largura de banda ADC/DAC para o sinal 600G DP-64QAM

A partir da figura 26, pode-se observar que para os testes de variação da banda de largura do ADC e do DAC, o sinal 400G DP-64QAM teve pouca susceptibilidade ao ruído e para uma banda superior a 29 GHz, o impacto da largura de banda dos conversores era praticamente o mesmo. E a partir da Figura 30, pode-se verificar que a variação da banda dos conversores tem um maior impacto na transmissão do sinal 600G DP-64QAM, em especial à do DAC, que degrada mais o sinal do que a do ADC, e considerando valores de banda superiores a 32 GHz, o melhor resultado tende a ser o da variação simultânea das larguras de banda dos dois conversores.

3.2 Design de IPs

Realizou-se o *design* de dois IPs do DSPFlex, o *Mapper*, responsável pela codificação de sequências binárias em símbolos complexos mapeados em uma constelação, de acordo com o formato de modulação selecionado – QPSK, 16QAM ou 64QAM– e o *Demapper* que recebe sequências de *bits* que representam símbolos complexos mapeados em uma constelação e as decodifica, provendo o sinal de dados recuperado.

Para cada formato de modulação suportado, tem-se um diferente diagrama de constelação, que são definidos pelas seguintes combinações ordinárias:

- QPSK: $\{-1, 1\} \times \{-1, 1\}$
- 16QAM : $\{-3, -1, 1, 3\} \times \{-3, -1, 1, 3\}$
- 64QAM: $\{-7, -5, -3, -1, 1, 3, 5, 7\} \times \{-7, -5, -3, -1, 1, 3, 5, 7\}$

Sendo assim, os diagramas de constelação de cada formato de modulação com o mapeamento de *bits* correspondente a símbolos complexos se encontram nas figuras 31, 32 e 33, correspondendo, respectivamente, ao formato QPSK, 16QAM e 64QAM.

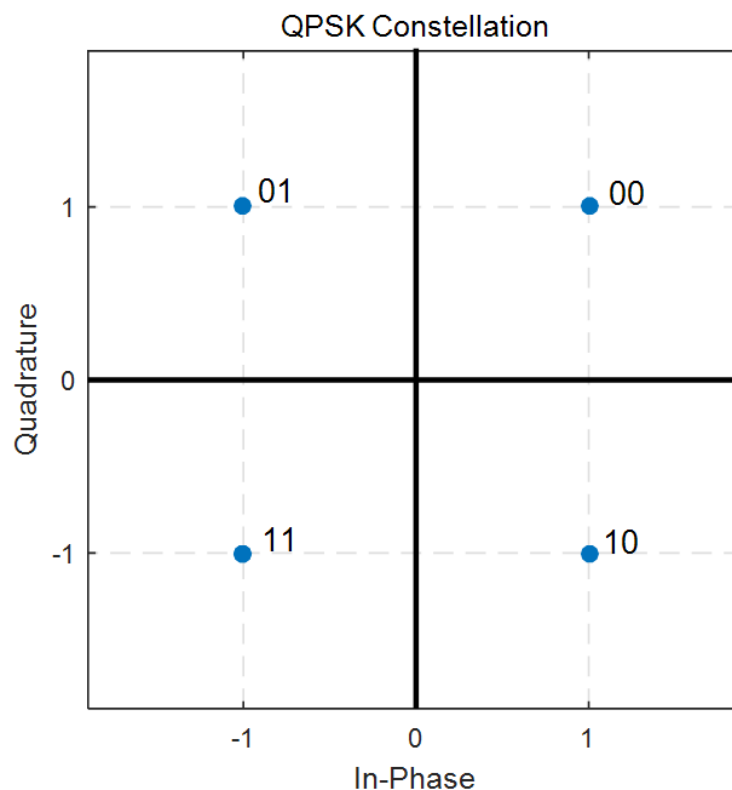


Figura 31 – Constelação e mapeamento de *bits* do formato de modulação QPSK.

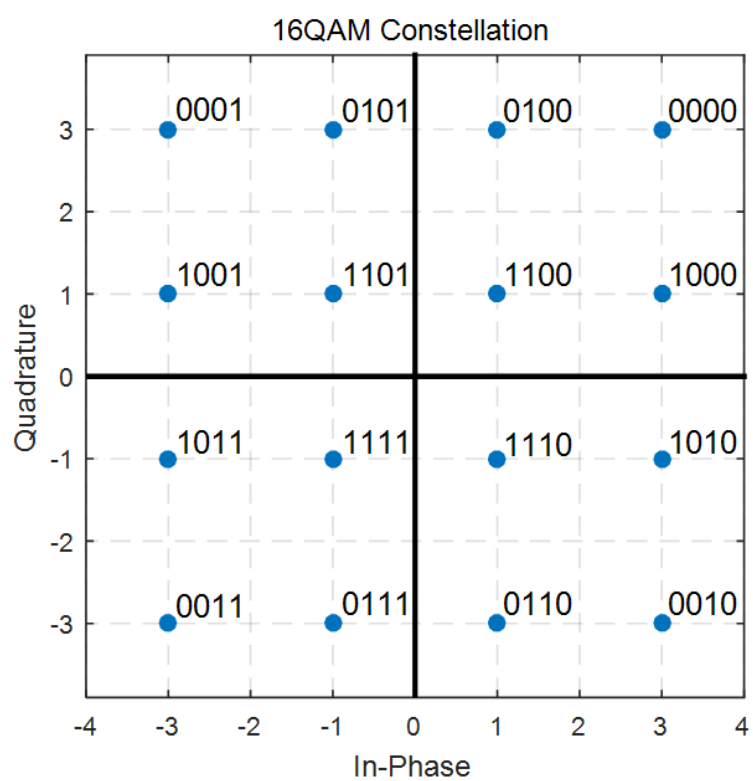


Figura 32 – Constelação e mapeamento de *bits* do formato de modulação 16QAM.

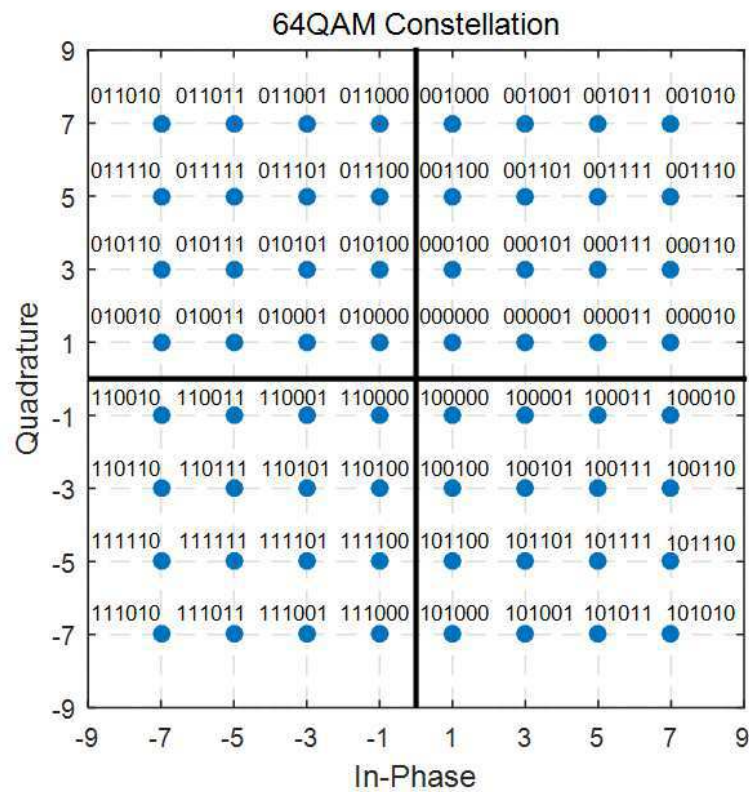


Figura 33 – Constelação e mapeamento de *bits* do formato de modulação 64QAM.

O *Mapper* tem como entrada quatro, oito ou doze sequências de 128 *bits* por ciclo de *clock*, correspondendo ao formatos de modulações QPSK, 16QAM e 64QAM, respectivamente. Em sua saída, por polarização, gera-se 128 amostras que são formadas por duas palavras com sinal de quatro *bits*, sendo um *bit* inteiro e o restante fracionário, que representam as componentes real e imaginária de cada amostra.

Já o *Demapper* recebe duas sequências de 128 amostras com 6 *bits* que representam os símbolos mapeados na constelação para cada polarização e em sua saída, fornece 512, 1024 ou 1536 *bits*, que representam quatro, oito ou doze sequências de 128 *bits*, que correspondem ao dado recuperado utilizando o formato de modulação QPSK, 16QAM ou 64QAM, respectivamente.

Com isso, foi possível desenvolver o modelo arquitetural em SystemC e o do RTL para esses blocos. Nas figuras 34, 35 e 37, pode-se verificar que os modelos do *Mapper* possuíram a mesmas saídas para os formatos de modulação QPSK, 16QAM e 64QAM, neste último, os arquivos de dados de entrada não contemplaram todos os 64 possíveis casos de mapeamento da constelação.

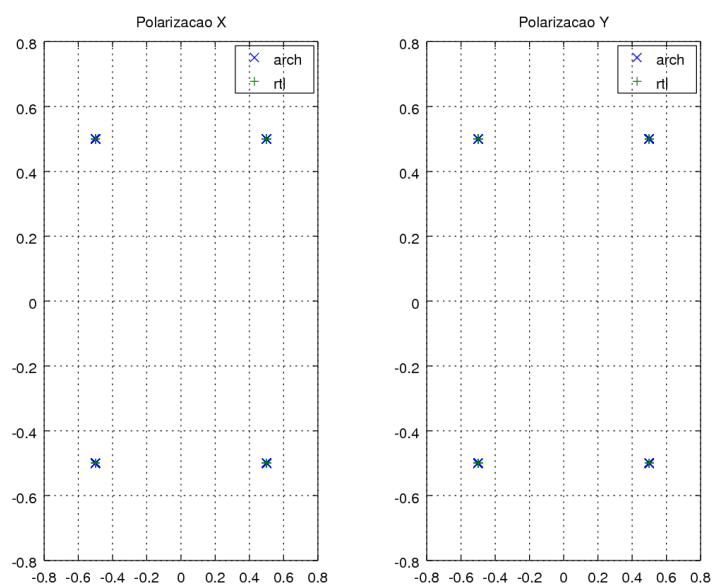


Figura 34 – Comparação entre o o modelo arquitetural em SystemC com o RTL do *Mapper* para o formato QPSK

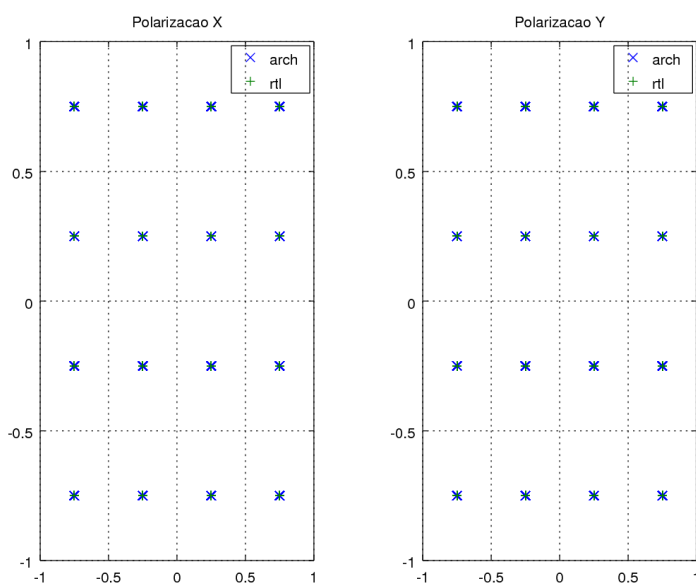


Figura 35 – Comparação entre o o modelo arquitetural em SystemC com o RTL do *Mapper* para o formato 16QAM

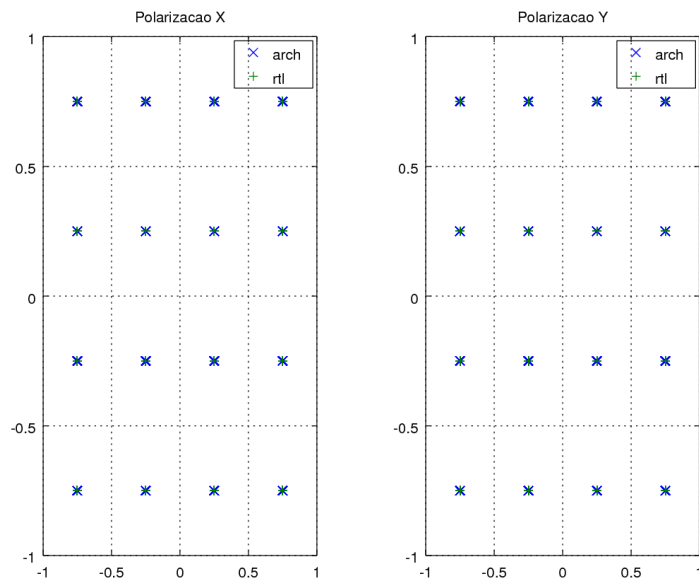


Figura 36 – Comparação entre o o modelo arquitetural em SystemC com o RTL do *Mapper* para o formato 16QAM

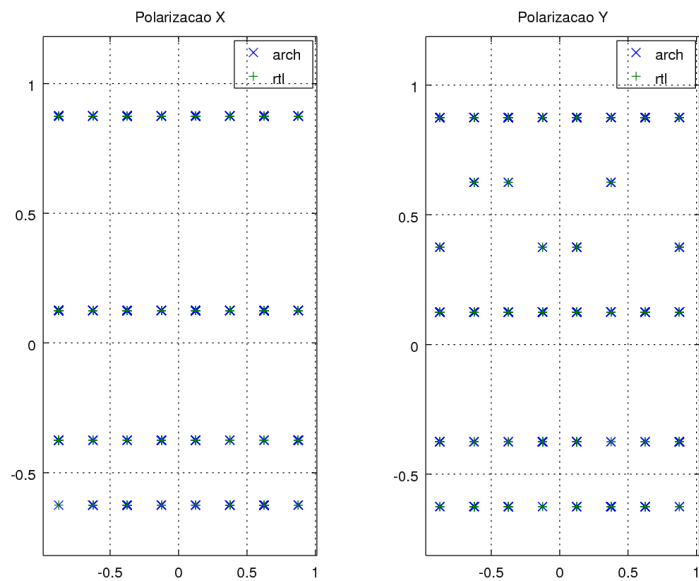


Figura 37 – Comparação entre o o modelo arquitetural em SystemC com o RTL do *Mapper* para o formato 64QAM

Também, implementou-se o *Demapper* em SystemC e em SystemVerilog, e como sua saída são sequências de *bits*, subtraiu-se o resultado do modelo RTL do obtido no modelo arquitetural e gerou-se uma linha reta com valor 0, o que indica, que os resultados são iguais e esse fato aconteceu para todos os formatos de modulação.

Ainda, utilizou-se a ferramenta HAL nos dois modelos RTL projetados, em que sobrou apenas 1 aviso no código RTL do *Mapper*, enquanto que no *Demapper* ainda restam

256 avisos para serem resolvidos e assim, não impacte na Síntese Lógica.

Também, o aluno disponibilizou todos os ambientes de *designers* para os outros *designers*, gerados por um *script* em *Python*, sendo *templates* de códigos em SystemC e SystemVerilog, que contém todas as entradas e saídas que serão utilizados em cada IP, que não poderão ter os nomes das variáveis alterados, pois a interface de topo do DSP, que está em progresso de integração tanto a nível de RTL quanto de SystemC, possui estes mesmos nomes.

4 Considerações Finais

As atividades que foram designadas para o período de estágio foram realizadas com êxito e durante esse tempo, foi possível adquirir bastante conhecimento na área de Microeletrônica, como também de Comunicações Ópticas e de Processamento Digital de Sinais.

O ambiente da BrPhotonics foi muito propício para a realização das atividades, pois todos estão focados em elevar o nível da empresa e assim, atingir o sucesso, ao mesmo tempo que o bem-estar do colaborador é colocado em primeiro plano, o que contribui bastante para que os colaboradores fiquem bem motivados. Ainda, foi possível estabelecer várias conexões profissionais, o que contribuiu para adquirir mais experiência em determinados assuntos.

Durante o período de estágio, foram utilizados diversos conceitos das disciplinas do curso de Engenharia Elétrica da Universidade Federal de Campina Grande. As principais disciplinas que foram cursadas e foram utilizadas nesse período foram: Arquitetura de Sistemas Digitais, Circuitos Lógicos, Análise de Sinais e Sistemas, Princípios de Comunicações e Técnicas de Programação.

Referências

- BRPHOTONICS. Disponível em: <<http://brphotonics.com/pt/>>. Citado na página 1.
- KIKUCHI, K. *Fundamentals of Coherent Optical Fiber Communications*. *Journal of Lightwave Technology*, v. 34, p. 157–179, 2016. Citado na página 9.
- SEIMETZ, M. *High-order modulation for optical fiber transmission*. [S.l.]: Springer, 2009. v. 143. Citado 3 vezes nas páginas 3, 5 e 6.
- ZHOU, X.; XIE, C. *Enabling Technologies for High Spectral-efficiency Coherent Optical Communication Networks*. John Wiley and Sons, 2016. Citado na página 3.