



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

GABRIEL SALES LINS RODRIGUES

Relatório de Estágio
Laboratório de Eletrônica Industrial e
Acionamento de Máquinas - UFCG

Campina Grande, Paraíba

Junho de 2016

GABRIEL SALES LINS RODRIGUES

Relatório de Estágio
Laboratório de Eletrônica Industrial e Acionamento de
Máquinas - UFCG

Relatório de Estágio apresentado à Coordenação do Curso de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Bacharel em Engenharia Elétrica.

Área de Concentração: Processamento de Energia

Orientador: Prof. Alexandre Cunha Oliveira, D.Sc.

Campina Grande, Paraíba

Junho de 2016

GABRIEL SALES LINS RODRIGUES

Relatório de Estágio
Laboratório de Eletrônica Industrial e Acionamento de
Máquinas - UFCG

Relatório de Estágio apresentado à Coordenação do Curso de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Bacharel em Engenharia Elétrica.

Aprovado em ____ / ____ / ____

Professor Avaliador

Universidade Federal de Campina Grande
Avaliador

Prof. Alexandre Cunha Oliveira, D.Sc.

Universidade Federal de Campina Grande
Orientador

Campina Grande, Paraíba

Junho de 2016

Dedico este trabalho aos meus pais.

Agradecimentos

A Deus, sobre todas as coisas, pois a Ele tudo devo e por tudo sou eternamente grato.

Aos meus pais, Marcos e Eulália, que sempre fizeram de um tudo para que nada me faltasse. Por todos os ensinamentos e todo apoio para que sempre seguisse meus sonhos. Não são vocês que devem se orgulhar de mim, mas eu de vocês.

A todos da minha família que sempre estiveram ao meu lado. Meu irmão Iago, minha avó Marlene, e meu tio Deja, que sempre serviu de exemplo para mim. Também aos meus avós, Severino, Maria e Antonio, que não puderam, em vida, ver onde cheguei.

A Fabrícia, que vive comigo cada uma das minhas angústias, que não desiste de mim mesmo nas minhas ausências e que é para mim alguém muito melhor do que eu sou para ela.

Aos meus grandes amigos de toda uma vida, a Nata.

À minha amiga Ana Paula, que sempre me ouve, me apoia e me socorre.

Aos meus amigos de graduação, Felipe Henrique, Luís Trovão, Lucas Henriques, Geraldo Landim, Felipe Pontes, Diogo Menezes e Renata Garcia. Sem vocês, não teria sido igual.

A Luciana Joviniano, que me auxiliou de maneira incrível e mais que qualquer outro do princípio ao fim deste trabalho, assim como o fez durante todo o curso.

Àqueles que me auxiliaram neste trabalho de uma forma ou de outra. Em especial aos amigos do Laboratório de Eletrônica Industrial e Acionamento de Máquinas, Jonatas Kinas e Reuben Palmer, que sempre estiveram dispostos a ajudar e ensinar; e ao colega Yago Monteiro.

Ao Professor Alexandre Cunha Oliveira, pela orientação neste Estágio, por toda paciência e todos os ensinamentos que me passou durante toda a graduação, seja dentro ou fora de sala de aula.

*We must accept finite disappointment,
but never lose infinite hope.
(Martin Luther King, Jr.)*

Resumo

O presente relatório descreve as atividades realizadas durante o Estágio Supervisionado, requisito obrigatório para a obtenção do grau de Bacharel em Engenharia Elétrica da Universidade Federal de Campina Grande. O estágio foi realizado no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM) e teve como objetivo o estudo de técnicas de mitigação de sobretensão em chaves de um Conversor Fonte Z, por meio da aplicação de diferentes estratégias de modulação por largura de pulso (PWM).

Palavras-chave: Sobretensão. Conversor Z. Eletrônica de Potência. PWM.

Abstract

This report describes the activities conducted during the Supervised Internship, mandatory requisite to obtain the Electrical Engineering Degree from the Universidade Federal de Campina Grande. The internship took place at the Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM), part of the Electrical Engineering Department (DEE), and had as its main goal the study of techniques to mitigate overvoltages on switches of a Z-Source Converter using different Pulse Width Modulation (PWM) strategies.

Keywords: Overvoltage. Z Converter. Power Electronics. PWM.

Lista de ilustrações

Figura 1 – Conversor Fonte Z com ponte H.	17
Figura 2 – Conversor Fonte Z generalizado.	18
Figura 3 – Circuito equivalente do Conversor Fonte Z durante período de <i>shoot-through</i>	19
Figura 4 – SPWM Simples.	21
Figura 5 – Modulação Bipolar A.	22
Figura 6 – Modulação Bipolar B.	22
Figura 7 – Modulação Bipolar C.	23
Figura 8 – Modulação Bipolar D.	23
Figura 9 – Modulação Bipolar E.	24
Figura 10 – Modulação Unipolar.	24
Figura 11 – Conversor Fonte Z simulado.	25
Figura 12 – Resultados da simulação do Conversor Fonte Z utilizando modulação SPWM.	26
Figura 13 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo A.	27
Figura 14 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo B.	27
Figura 15 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo C.	28
Figura 16 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo D.	28
Figura 17 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo E.	29
Figura 18 – Resultados da simulação do Conversor Fonte Z utilizando modulação unipolar.	30
Figura 19 – Modo de contagem <i>Up-Down</i>	32
Figura 20 – Modo de contagem <i>Up</i> e <i>Down</i>	32
Figura 21 – Exemplo de ePWM operando no modo <i>Up-Down Count</i>	33
Figura 22 – SPWM gerado pelo DSP e visto no analisador lógico.	33
Figura 23 – SPWM gerado pelo DSP e visto no analisador lógico (aproximado).	34
Figura 24 – PWM bipolar tipo A/B gerado pelo DSP e visto no analisador lógico.	34
Figura 25 – PWM bipolar tipo C gerado pelo DSP e visto no analisador lógico.	34
Figura 26 – PWM bipolar tipo D gerado pelo DSP e visto no analisador lógico.	34
Figura 27 – PWM bipolar tipo E gerado pelo DSP e visto no analisador lógico.	35
Figura 28 – PWM unipolar gerado pelo DSP e visto no analisador lógico.	35

Figura 29 – Montagem feita para realização do experimento.	36
Figura 30 – [PWM Bipolar tipo D] $v_{PN} = 25 \text{ V}$ e $v_Z = 70 \text{ V}$	37
Figura 31 – [SPWM] $v_{PN} = 12,5 \text{ V}$ e $v_Z = 25 \text{ V}$	38
Figura 32 – [SPWM] $v_{PN} = 25 \text{ V}$ e $v_Z = 67 \text{ V}$	39
Figura 33 – [SPWM] $v_{PN} = 50 \text{ V}$ e $v_Z = 175 \text{ V}$	40

Lista de abreviaturas e siglas

CC	Corrente Contínua
DEE	Departamento de Engenharia Elétrica
DSP	Processador Digital de Sinais (<i>Digital Signal Processor</i>)
ePWM	<i>Enhanced Pulse Width Modulation</i>
IGBT	<i>Insulated-Gate Bipolar Transistor</i>
LEIAM	Laboratório de Eletrônica Industrial e Acionamento de Máquinas
MOSFET	<i>Metal–Oxide–Semiconductor Field-Effect Transistor</i>
PWM	Modulação por Largura de Pulso (<i>Pulse Width Modulation</i>)
SPWM	Modulação Senoidal por Largura de Pulso (<i>Sinusoidal Pulse Width Modulation</i>)
UFCG	Universidade Federal de Campina Grande
ZSI	Inversor Fonte Z (<i>Z-Source Inverter</i>)

Lista de símbolos

B	Fator de <i>boost</i>
C_1	Capacitor da malha Z com terminal positivo conectado diretamente ao catodo do diodo D
C_2	Capacitor da malha Z com terminal negativo conectado diretamente ao terminal negativo da fonte
D	Diodo da topologia Z
G_C	Ganho de tensão dos capacitores da malha Z
L_1	Indutor da malha Z com terminal conectado diretamente ao catodo do diodo D
L_2	Indutor da malha Z com terminal conectado diretamente ao terminal negativo da fonte
S_{1P}	Chave superior do braço 1
S_{1N}	Chave inferior do braço 1
S_{2P}	Chave superior do braço 2
S_{2N}	Chave inferior do braço 2
$T_{A,N}$	Tempo total de estado ativo e nulo durante um período T_S
T_S	Período do sinal de saída do conversor
T_{ST}	Tempo total de <i>shoot-through</i> durante um período T_S
v_C	Tensão nos capacitores da malha Z
v_L	Tensão nos indutores da malha Z
\bar{v}_L	Tensão média nos indutores da malha Z
v_{PN}	Tensão da fonte de entrada
v_Z	Tensão na saída da malha Z
τ_{ST}	Razão entre T_{ST} e T_S

Sumário

1	INTRODUÇÃO	14
1.1	Motivação	14
1.2	Objetivos	14
1.3	Organização do Texto	15
2	LABORATÓRIO DE ELETRÔNICA INDUSTRIAL E ACIONAMENTO DE MÁQUINAS	16
3	CONVERSOR FONTE Z	17
3.1	Princípio de Funcionamento	18
3.2	Sobretensão nas chaves	20
4	ESTRATÉGIAS PWM	21
4.1	SPWM	21
4.2	Modulações CC-CC	22
4.2.1	Bipolares	22
4.2.2	Unipolares	24
5	SIMULAÇÕES	25
5.1	SPWM	26
5.2	Modulações CC-CC	26
5.2.1	Bipolares	27
5.2.1.1	Modulação Tipo A	27
5.2.1.2	Modulação Tipo B	27
5.2.1.3	Modulação Tipo C	28
5.2.1.4	Modulação Tipo D	28
5.2.1.5	Modulação Tipo E	29
5.2.2	Unipolares	29
5.3	Conclusões	30
6	ETAPA EXPERIMENTAL	31
6.1	DSP	31
6.2	Resultados Experimentais	35
7	CONCLUSÃO	41
	REFERÊNCIAS	42

APÊNDICES	43
APÊNDICE A – IMPLEMENTAÇÃO DE ESTRATÉGIAS PWM NO DSP	44

1 Introdução

A disciplina de Estágio Supervisionado compõe a grade curricular do curso de Engenharia Elétrica da Universidade Federal de Campina Grande. O propósito desta disciplina é permitir aos alunos que apliquem os conhecimentos adquiridos no decorrer do curso de graduação e tenham seu primeiro contato com o universo profissional.

O estágio foi realizado no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM), parte integrante do Departamento de Engenharia Elétrica (DEE) da Universidade Federal de Campina Grande (UFPG), no período de 15 de Fevereiro de 2016 a 09 de Maio de 2016. A carga horária semanal das atividades desenvolvidas foi de 30 horas, somando uma carga horária total de 364 horas.

1.1 Motivação

A topologia do Conversor Fonte Z foi proposta por (PENG, 2003). Com algumas vantagens consideráveis em relação às topologias comuns com chaves em ponte, ela vem se popularizando, principalmente para aplicação que envolvem energias renováveis.

No entanto, pouco se falou até agora dos problemas presentes nesta topologia e como evitá-los ou mitigá-los. O problema de sobretensão nas chaves após o período de *shoot-through* — etapa fundamental da operação deste conversor — é um exemplo disso. Apesar dos relatos sobre o problema, não existem trabalhos que discutam esse fenômeno especificamente, até o momento. Dentre os relatos, um ocorreu no próprio LEIAM com, o então aluno de doutorado, Lucas Hartmann, quando uma das chaves do conversor que ele utilizava chegou a explodir por ter sido subdimensionada pois não se antecipava a ocorrência da sobretensão. Outro caso do mesmo problema ocorreu na Universidade Federal do Rio Grande do Norte, quando o Professor Doutor Ricardo Lúcio de Araujo Ribeiro trabalhava com a mesma topologia.

1.2 Objetivos

O principal objetivo durante esse estágio foi justamente fazer experimentações de diferentes estratégias PWM (*Pulse Width Modulation* - Modulação por Largura de Pulso) e observar como elas afetam esse fenômeno das sobretensões. Para tal, houve uma etapa de estudo da topologia propriamente dita, seguida de uma etapa de simulação no *software* OrCAD[®] Capture, desenvolvido pela Cadence, e, por fim, uma etapa experimental, fazendo uso de uma plataforma disponível no LEIAM. Para a etapa experimental, foi implementado

o controle de chaveamento por meio do DSP (*Digital Signal Processor* - Processador Digital de Sinais) TMS320F28377S, da Texas Instruments.

1.3 Organização do Texto

Este trabalho encontra-se dividido em 6 capítulos. No Capítulo 2 é falado um pouco do local onde foi realizado o estágio, o Laboratório de Eletrônica Industrial e Acionamento de Máquinas. No Capítulo 3 é apresentada a topologia do conversor em estudo, seu princípio de funcionamento e problemas de operação. Na sequência, no Capítulo 4 são apresentadas diferentes estratégias PWM para serem aplicadas ao Conversor Fonte Z. O Capítulo 5 descreve como e quais foram as simulações realizadas, além de apresentar seus resultados. No Capítulo 6, é descrita a utilização do DSP, os ensaios experimentais e seus resultados. Por último, o Capítulo 7 traz as conclusões seguido das referências bibliográficas e os apêndices.

2 Laboratório de Eletrônica Industrial e Acionamento de Máquinas

O Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM) foi criado em 1976, a partir de pequenos projetos desenvolvidos num outro Laboratório, o de Máquinas Elétricas.

Localizado no bloco CH da Universidade Federal de Campina Grande (UFCG) e pertencente ao Departamento de Engenharia Elétrica (DEE), atualmente, são desenvolvidos projetos nas áreas de qualidade de energia, fontes alternativas de energia e acionamento e controle de máquinas elétricas. O LEIAM dispõe de uma infraestrutura laboratorial distribuída numa área de 330 m². Essa infraestrutura é dividida em ambientes com diferentes propósitos, sendo um desses ambientes o Laboratório de Acionamento de Máquinas.

O Laboratório de Acionamento de Máquinas possui bancadas de estrutura flexível para ensaios experimentais e desenvolvimento de sistemas de acionamento de alto desempenho, cada bancada dispõe de um conversor de potência conectado a uma máquina elétrica e um computador com placas de controle e aquisição de dados. Este foi o local onde foi implementada a etapa experimental do trabalho.

3 Conversor Fonte Z

No ano de 2003 foi proposta a topologia do Conversor Fonte Z, vista na Figura 1, funcionando como inversor de frequência (PENG, 2003). O Inversor Fonte Z (ZSI) trás como principal vantagem a possibilidade de elevar o nível tensão da sua saída sem a necessidade de um estágio de *boost* intermediário. Esta capacidade de elevar tensão é devida a uma associação de capacitores e indutores situada entre a fonte de entrada e a ponte chaveada (MORETTI, 2007). A combinação da função de *boost* e inversor de tensão numa única topologia faz do Conversor Fonte Z uma opção bastante viável para aplicações de energias alternativas, como a geração fotovoltaica, que necessita de um estágio de elevação seguido de inversão de tensão, para que seja conectado à rede.

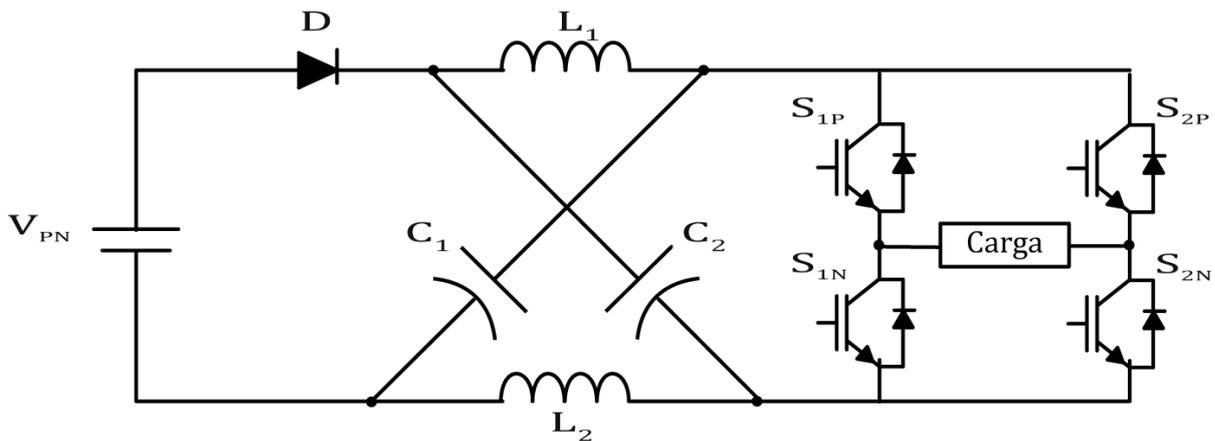


Figura 1 – Conversor Fonte Z com ponte H.

Apesar desta topologia ter sido proposta, inicialmente, para utilização como inversor, ela pode ser operada também como um conversor CC-CC, e, além da característica de *boost*, é possível utilizá-la também como um *buck*. Estas modificações são todas feitas a partir do controle das chaves por meio de diferentes estratégias de PWM. Toda essa flexibilidade é outra grande vantagem do Conversor Fonte Z, visto que, com uma única montagem, e uma única topologia, é possível se obter tensões na saída das mais distintas características modificando apenas a estratégia de controle PWM utilizada.

Inicialmente sugerido para utilização em sistemas trifásicos, nada impede que a ponte trifásica seja substituída, por exemplo, por uma ponte H. Isto é possível graças ao princípio de funcionamento do Conversor Fonte Z. A impedância composta pela associação de capacitores e indutores é a responsável por elevar a tensão e aplicá-la sobre os terminais da ponte, qualquer que seja o tipo da ponte, contanto apenas que sejam seguidas as

particularidades de controle de chaves que serão citadas posteriormente.

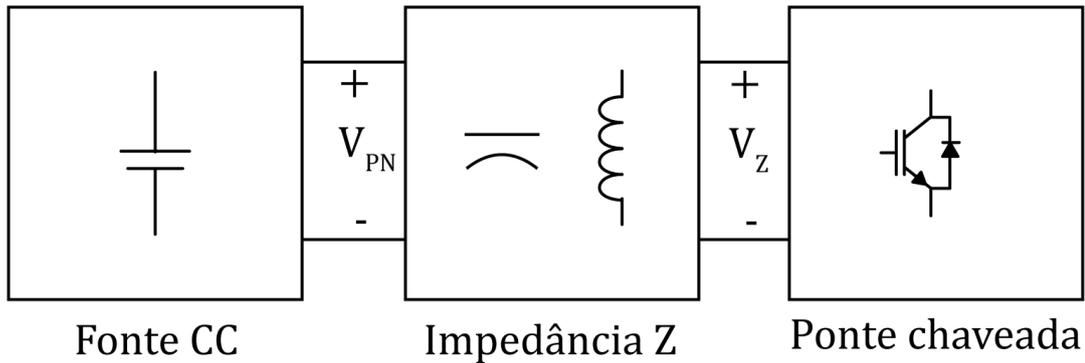


Figura 2 – Conversor Fonte Z generalizado.

3.1 Princípio de Funcionamento

Nas topologias mais comuns que contam com pontes chaveadas, uma das maiores preocupações é em evitar um curto-circuito de um dos braços da ponte, que pode ser extremamente danoso ao sistema. Já no Conversor Fonte Z, este evento, conhecido como *shoot-through*, é um dos pilares que possibilitam a característica elevadora do circuito. Graças à presença da impedância Z, a fonte de alimentação fica protegida do curto-circuito e é nesse instante que a etapa de *boost* acontece. No entanto, este evento só deve ocorrer nos momentos em que a carga estiver num estado nulo (com tensão nula entre seus terminais) pois, desta forma, não importa à carga se há um curto-circuito em um dos braços, em todos ou em nenhum. Dentro do intervalo de um estado nulo, o *shoot-through* pode ocorrer em parte dela ou na sua totalidade. As implicações desse tempo de duração do *shoot-through* no ganho de tensão e até nos perigos de operação serão citados mais adiante.

É importante, ainda, ter atenção com a escolha do diodo D , visto que será exigido dele que alterne entre estados de bloqueio e condução diversas vezes num único período. O diodo D desempenha papel importante no efeito *boost* e na proteção do barramento de alimentação.

Antes de prosseguir, é válido ressaltar que, para todos os casos estudados, a malha Z foi projetada de maneira simétrica — $C_1 = C_2 = C_Z$ e $L_1 = L_2 = L_Z$ — e essa escolha de projeto será adotada neste trabalho.

Dentre as várias combinações possíveis relativas aos estados das chaves, é possível classificá-las em: estados ativos; estados nulos; e estados de *shoot-through*. Nos estados ativos — quando há tensão nos terminais da carga — as possibilidades são que a tensão na fonte seja maior, igual ou menor que as tensões nos capacitores da impedância Z. Caso ela seja maior, a corrente da fonte é dividida para alimentar os capacitores e a carga. Para o caso em que as tensões são iguais, a corrente da fonte alimenta apenas a carga. Por fim,

caso a tensão dos capacitores seja maior que a da alimentação, a tensão nos indutores é negativa ($v_L = v_{PN} - v_C$) e eles fornecem parte da corrente à carga. Em todas as situações o diodo conduz (BRADASCHIA, 2012).

Se é aplicado um estado nulo sobre as chaves, não há corrente fornecida à carga (seja pelos elementos da malha Z, seja pela fonte). Mais uma vez, existem três possíveis situações. Se a tensão da fonte é maior que a dos capacitores, ela fornece corrente para os capacitores; se a tensão da fonte é igual ou menor que a dos capacitores, a corrente é mantida no mesmo sentido, caso exista, pelo esforço dos indutores (BRADASCHIA, 2012).

Por fim, quando aplicado nas chaves um estado de *shoot-through*, o circuito equivalente é mostrado na Figura 3. Quando num regime permanente e dada a velocidade alta dos chaveamentos, a tensão nos capacitores tem valor médio igual ou superior à tensão da fonte. Desta maneira, no momento do *shoot-through*, o diodo D será reversamente polarizado, entrando em bloqueio e deixando apenas dois circuitos LC isolados.

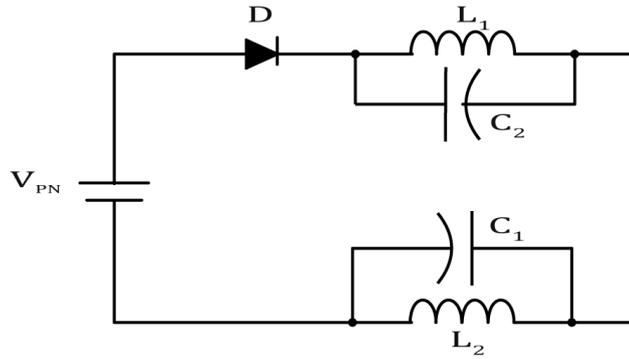


Figura 3 – Circuito equivalente do Conversor Fonte Z durante período de *shoot-through*.

Analisando os circuitos em todos os possíveis estados, observa-se que o valor da tensão nos indutores é ($v_L = v_{PN} - v_C$) em todos os estados, menos os de *shoot-through*, e ($v_L = v_C$) durante o período onde ocorre curto-circuito em um dos braços. Sabendo que a tensão média no indutor é igual a zero, chamando o tempo total de *shoot-through* durante um período de T_{ST} , o tempo total de estados ativos e nulos durante um período de $T_{A,N}$ e o período do sinal de saída do conversor de T_S , tem-se:

$$\bar{v}_L = \frac{T_{A,N} \cdot (v_{PN} - v_C) + T_{ST} \cdot v_C}{T_S} \quad (3.1)$$

Desta maneira, é simples deduzir que:

$$\frac{v_C}{v_{PN}} = \frac{T_{A,N}}{T_{A,N} - T_{ST}} \quad (3.2)$$

Ainda, fazendo $\tau_{ST} = \frac{T_{ST}}{T_s}$ e chamando a relação $\frac{v_C}{v_{PN}}$ de G_C

$$G_C = \frac{1 - \tau_{ST}}{1 - 2 \cdot \tau_{ST}} \quad (3.3)$$

G_C , e é o ganho de tensão nos capacitores da malha Z em relação à tensão da fonte de entrada. Evita-se que o valor de τ_{ST} seja maior que 0,5, pois isso resultaria numa ganho negativo, e que seja muito próximo de 0,5, visto que o *boost* tende ao infinito e isto pode ser perigoso durante a operação (BRADASCHIA, 2012).

O fator de *boost*, B , é a razão entre a tensão de saída na malha z, v_Z , e a tensão de entrada do circuito. Observando que a tensão vista pela ponte chaveada é dada por ($v_Z = 2 \cdot v_C - v_{PN}$), calcula-se o valor de B pela seguinte relação:

$$B = 2 \cdot \frac{v_C}{v_{PN}} - 1 = \frac{1}{1 - 2 \cdot \tau_{ST}} \quad (3.4)$$

Outro fator a ser levado em conta, para se prever a tensão na saída do conversor e, se desejado, utilizar o conversor como *buck*, é o índice de modulação em amplitude, m_a . Neste ponto, é possível visualizar o conjunto da fonte de entrada e da malha Z como uma só coisa, e então o índice de modulação pode ser aplicado como seria a um inversor comum.

3.2 Sobretensão nas chaves

Após o momento de *shoot-through*, quando o conversor volta a um estado ativo ou nulo, as correntes nos ramos capacitivos podem ser bruscamente alteradas. A princípio, considerando elementos ideais, este não seria um problema. No entanto, capacitores e condutores possuem uma indutância parasita, e esta, apesar de pequena, pode acarretar em valores altos de sobretensão, a depender de quão brusca foi essa variação de corrente.

O grande problema é que estas sobretensões são transferidas às chaves dos braços, podendo trazer prejuízos, em caso da inutilização de uma ou mais chaves, e até mesmo riscos à saúde das pessoas ao redor, dependendo do nível de tensão com que se está trabalhando.

Pouco se fala neste problema, talvez porque ele não é visível em todas modulações. A depender da estratégia utilizada, o problema ocorre ou não, e em maior ou menor escala. No próprio LEIAM, o então aluno de doutorado, Lucas Hartmann, enfrentou esse problema quando operou um ZSI.

Na intenção de observar o fenômeno e talvez isolar modulações onde o problema surge ou não, algumas estratégias PWM disponíveis na literatura foram implementadas e aplicadas a um Conversor Fonte Z desenvolvido no LEIAM.

4 Estratégias PWM

Como citado anteriormente, o Conversor Fonte Z é extremamente versátil e, portanto, existe uma imensa gama de estratégias PWM que podem ser aplicadas a ele, adaptando das topologias convencionais e inserindo o período de *shoot-through*. Durante as atividades deste estágio foram selecionadas algumas modulações disponíveis na literatura e outras foram adaptadas para utilização nas simulações e ensaios experimentais.

4.1 SPWM

Esta versão de SPWM (*Sinusoidal Pulse Width Modulation* - Modulação Senoidal por Largura de Pulso) foi proposta em (PENG, 2003) em conjunto com a própria topologia. Ela foi ligeiramente adaptada da original — uma versão trifásica — para uso com uma ponte H monofásica.

Ela se baseia em um SPWM convencional modulado por portadora, porém com duas referências, acima e abaixo, da senoide modulada. A comparação da onda triangular com estas referências gera os períodos de *shoot-through*. Quando a onda triangular é maior que a referência superior, ocorre o *shoot-through* acionando as chaves superiores. Já quando a modulante triangular é menor que a referência inferior, é aplicado o *shoot-through* nas chaves inferiores (Figura 4).

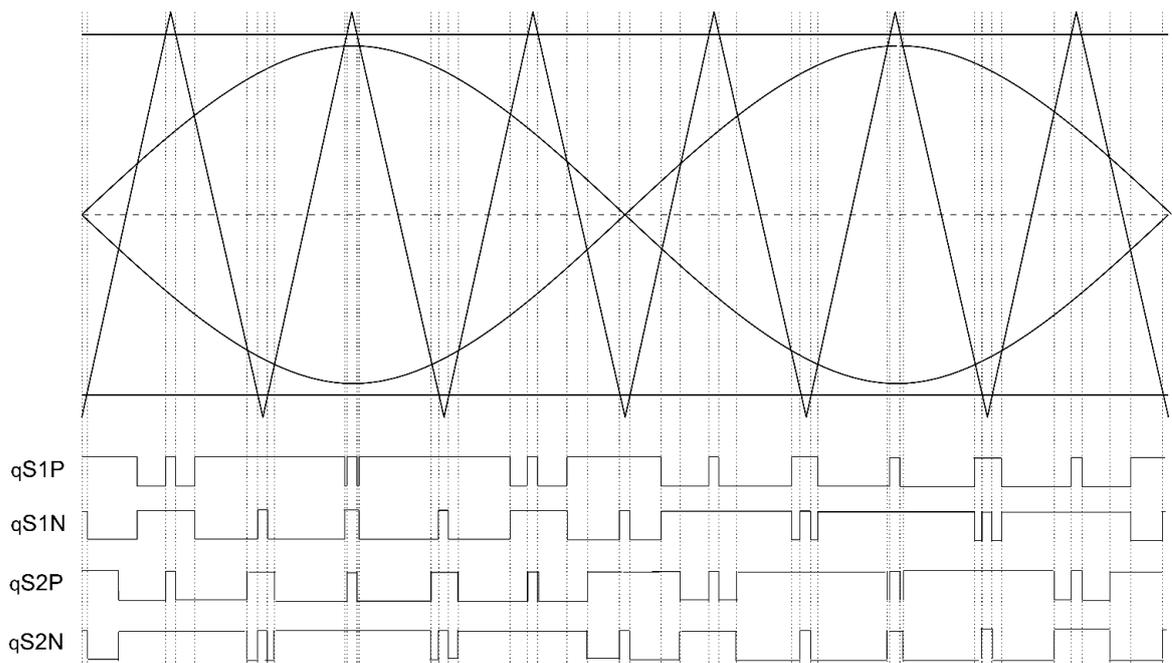


Figura 4 – SPWM Simples.

4.2 Modulações CC-CC

4.2.1 Bipolares

As modulações bipolares a seguir foram propostas em (VINNIKOV et al., 2015) e apresentam ligeiras mudanças de um para a outra em relação à duração de *shoot-through*, fase entre os braços, e execução do *shoot-through* para um ou dois braços.

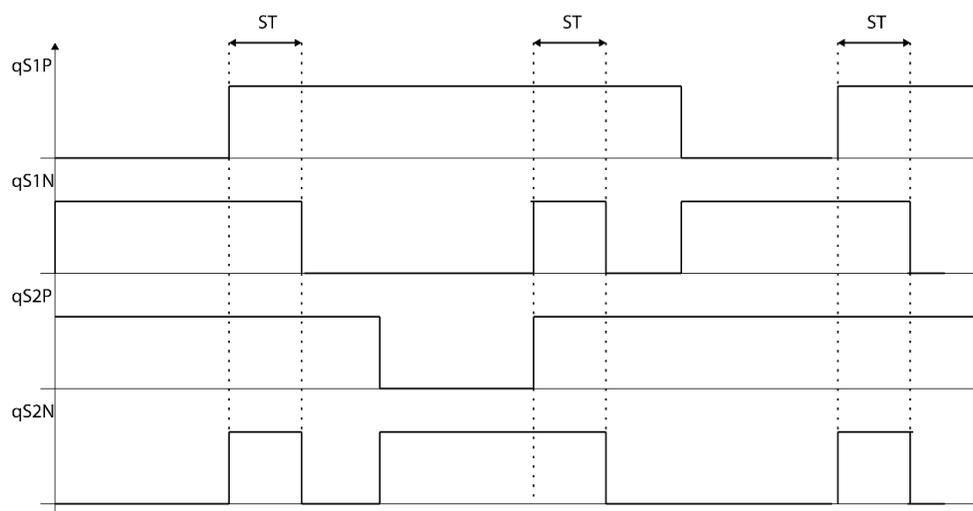


Figura 5 – Modulação Bipolar A.

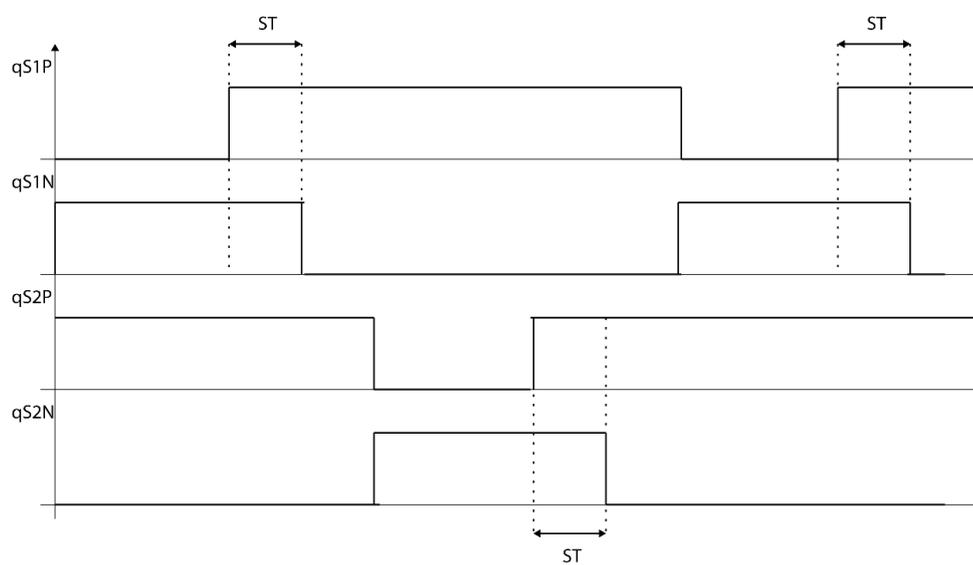


Figura 6 – Modulação Bipolar B.

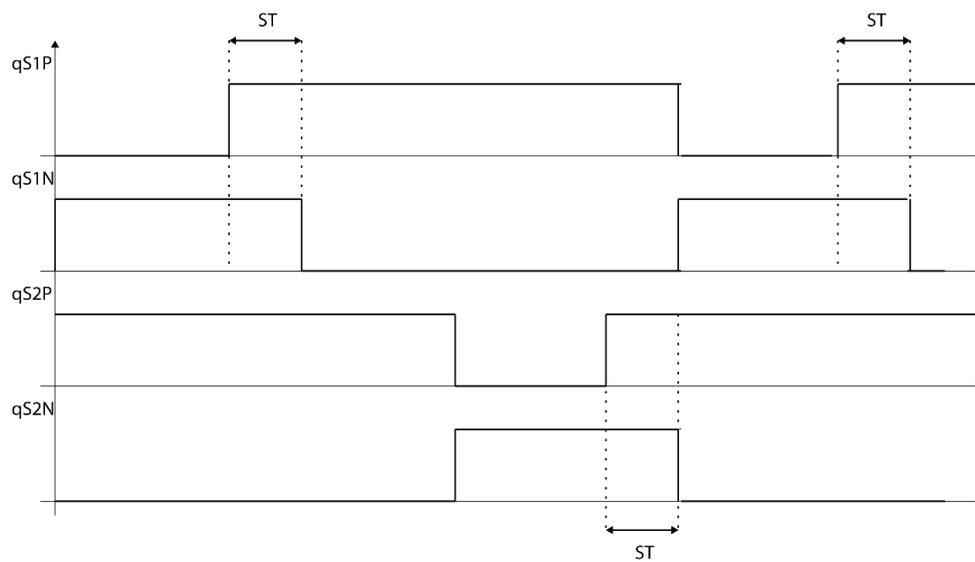


Figura 7 – Modulação Bipolar C.

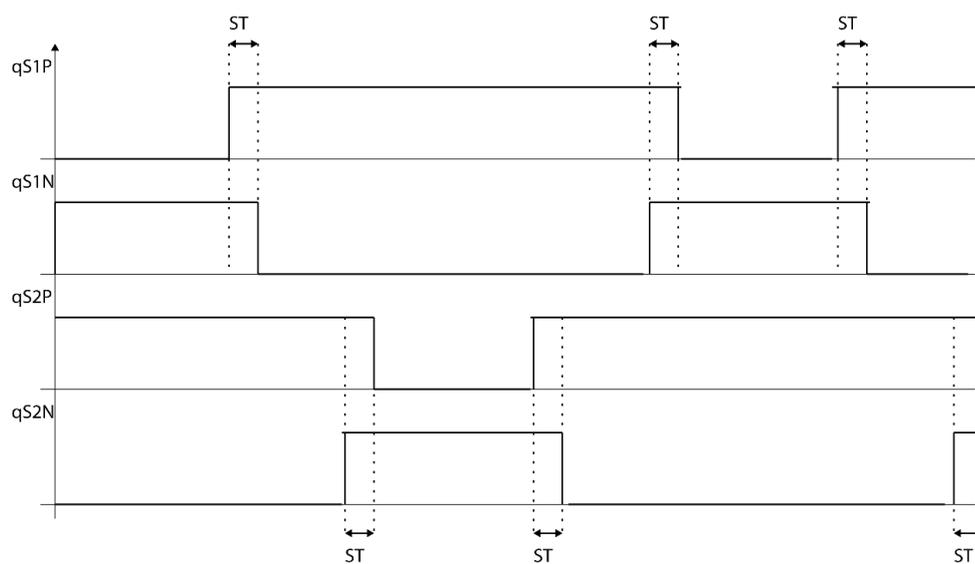


Figura 8 – Modulação Bipolar D.

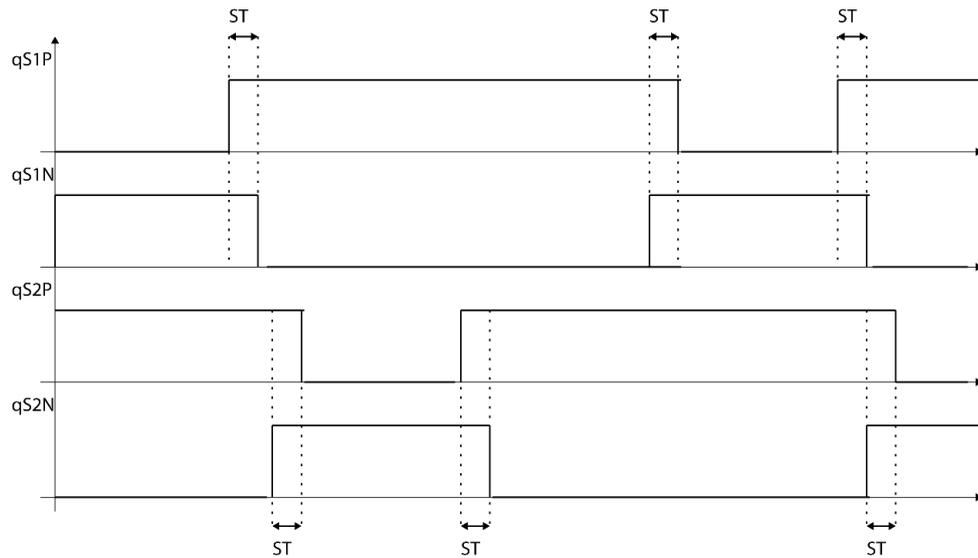


Figura 9 – Modulação Bipolar E.

4.2.2 Unipolares

Esta modulação unipolar se baseia na modulação unipolar convencional por portadora, mas com adição do *shoot-through* que ocorre utilizando os mesmos critérios do SPWM. Duas referências — v_P e v_N — são colocadas acima e abaixo dos sinais de controle e, no momento em que a modulante triangular tem valor superior à referência v_P ou inferior a v_N , ocorre o curto-circuito no braço. Neste caso, existem várias possíveis combinações em relação a onde adicionar, ou não, cada sinal de *shoot-through*. A figura 10 mostra uma das possibilidades, adicionando o *shoot-through* da referência v_P à chave S_{1P} e o da referência v_N à chave S_{2N} .

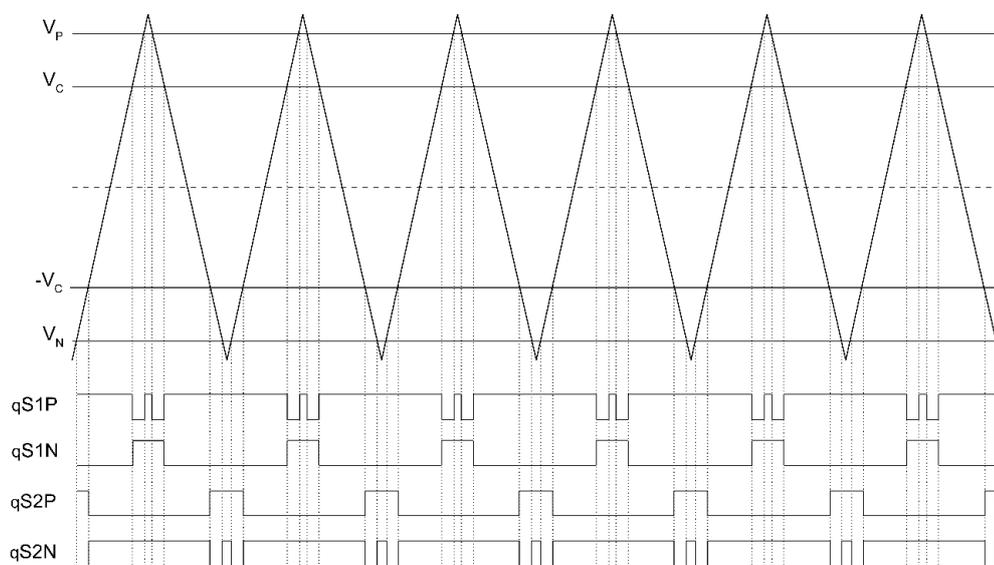


Figura 10 – Modulação Unipolar.

5 Simulações

As simulações foram realizadas no *software* OrCAD[®] Capture para todas as modulações citadas no Capítulo 4. O foco foi observar a ocorrência ou não das sobretensões nas chaves no ambiente de simulação. Os parâmetros utilizados para simulação foram todos relativos à montagem experimental que viria a ser utilizada. Os capacitores da malha Z, os indutores, os valores da carga e até a frequência de chaveamento, índices de modulação e tempos de *shoot-through*. Existem, no entanto, algumas diferenças em relação às referências de alguns componentes, como as chaves, que na simulação são IGBTs (*Insulated-Gate Bipolar Transistors*), mas na prática foram utilizados MOSFETs (*Metal-Oxide-Semiconductor Field-Effect Transistor*). O diodo utilizado na entrada da malha Z também foi substituído por um similar de acordo com a disponibilidade de componentes no LEIAM. Ainda, na tentativa de simular uma elevação mais suave da tensão de entrada para evitar sobrecorrentes iniciais, a fonte utilizada na simulação eleva a tensão na forma de uma rampa até atingir 50 V, onde ela se mantém. A duração desta etapa de rampa é de 5 ms.

Na Figura 11, o circuito montado para simulação no OrCAD[®] Capture. Como na prática foi utilizado um DSP, não serão apresentados os circuitos de comando utilizados nas simulações pois os mesmos foram implementados de maneira adaptada, por meio de circuitos analógicos, para o seu funcionamento no ambiente de simulação. Para todas as simulações, o passo de cálculo foi configurado para $1\mu\text{s}$ e a duração da simulação para 50 ms.

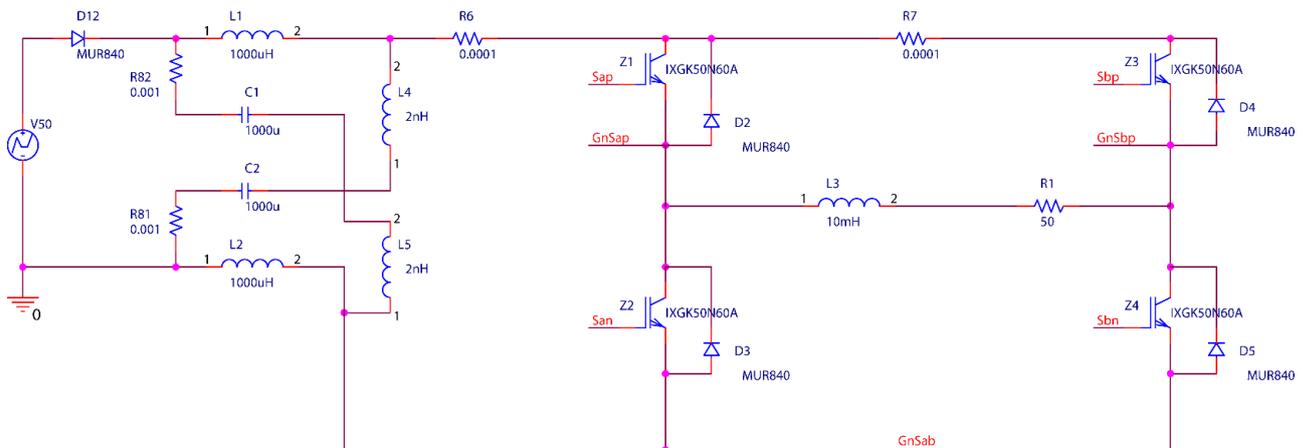


Figura 11 – Conversor Fonte Z simulado.

5.1 SPWM

Os resultados na Figura 12 são, na ordem de cima para baixo, respectivamente: tensão na carga; tensão na chave S_{1P} ; tensão na chave S_{1N} ; tensão na chave S_{2P} ; e tensão na chave S_{2N} .

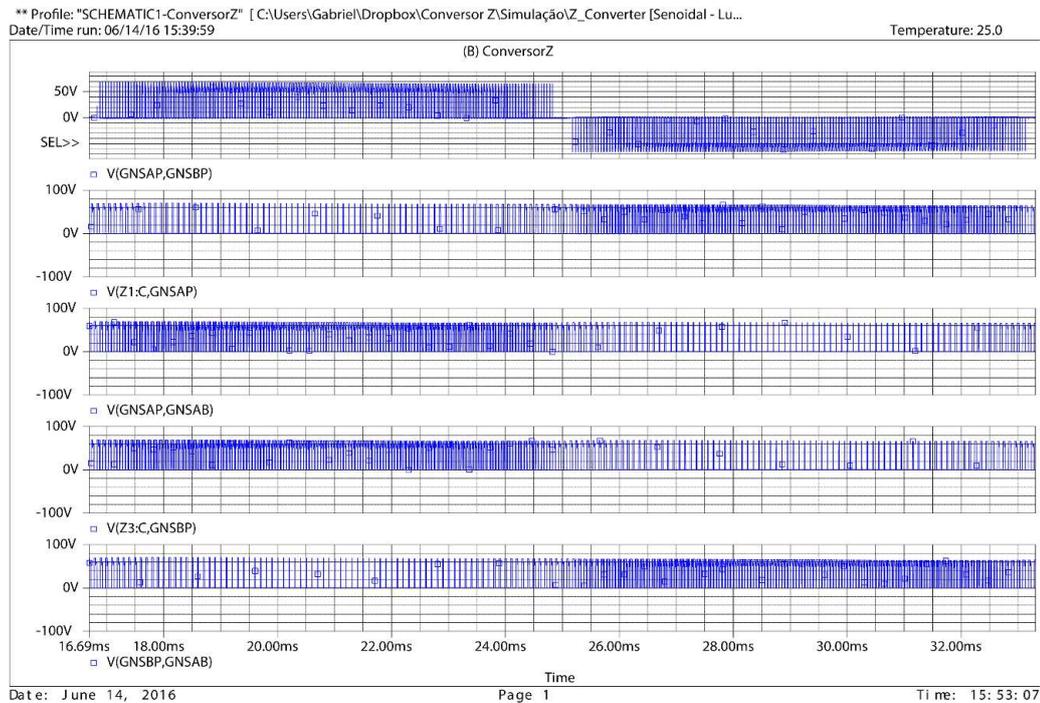


Figura 12 – Resultados da simulação do Conversor Fonte Z utilizando modulação SPWM.

5.2 Modulações CC-CC

Os resultados de todas as simulações a seguir são, na ordem de cima para baixo, respectivamente: tensão na carga; tensão na chave S_{1P} ; tensão na chave S_{1N} ; tensão na chave S_{2P} ; e tensão na chave S_{2N} .

5.2.1 Bipolares

5.2.1.1 Modulação Tipo A

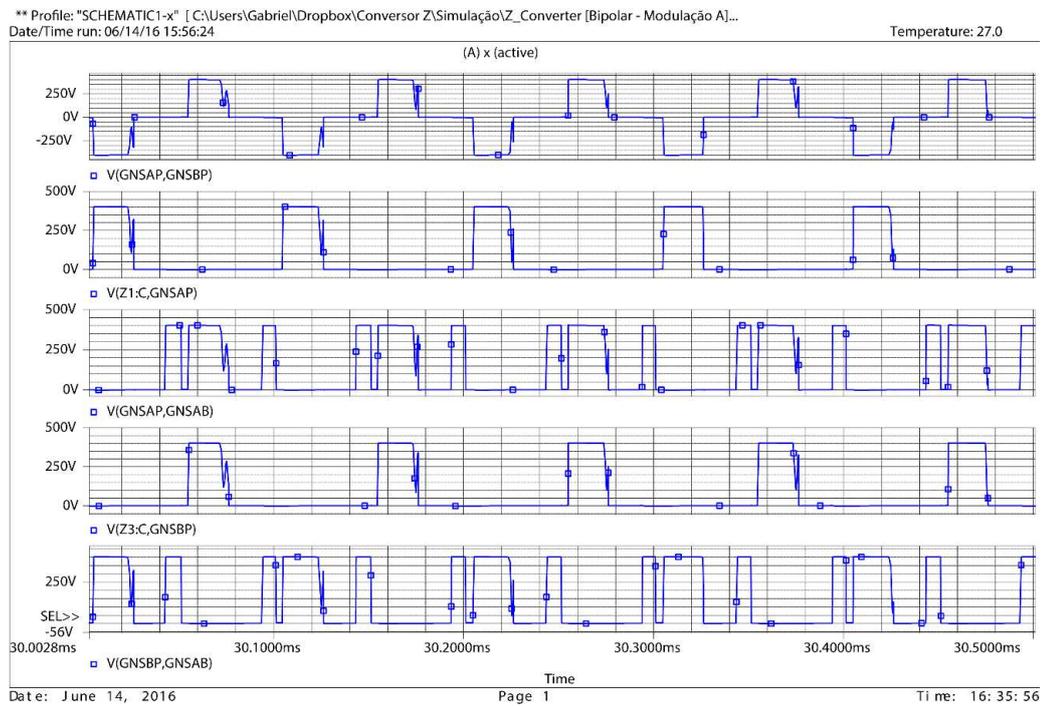


Figura 13 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo A.

5.2.1.2 Modulação Tipo B

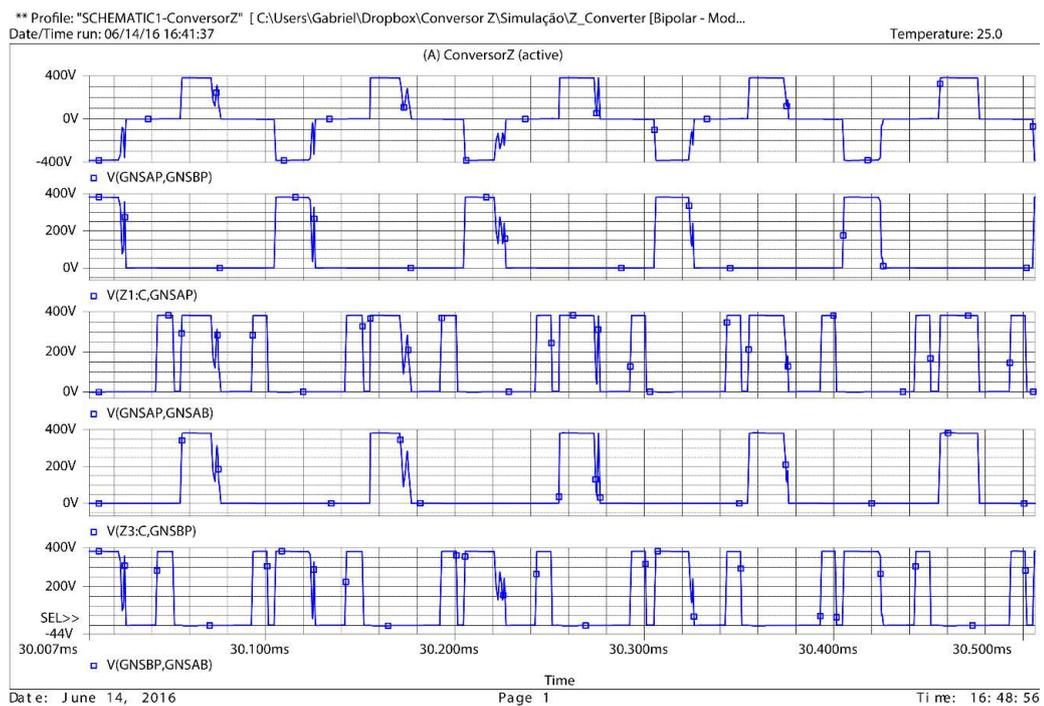


Figura 14 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo B.

5.2.1.3 Modulação Tipo C

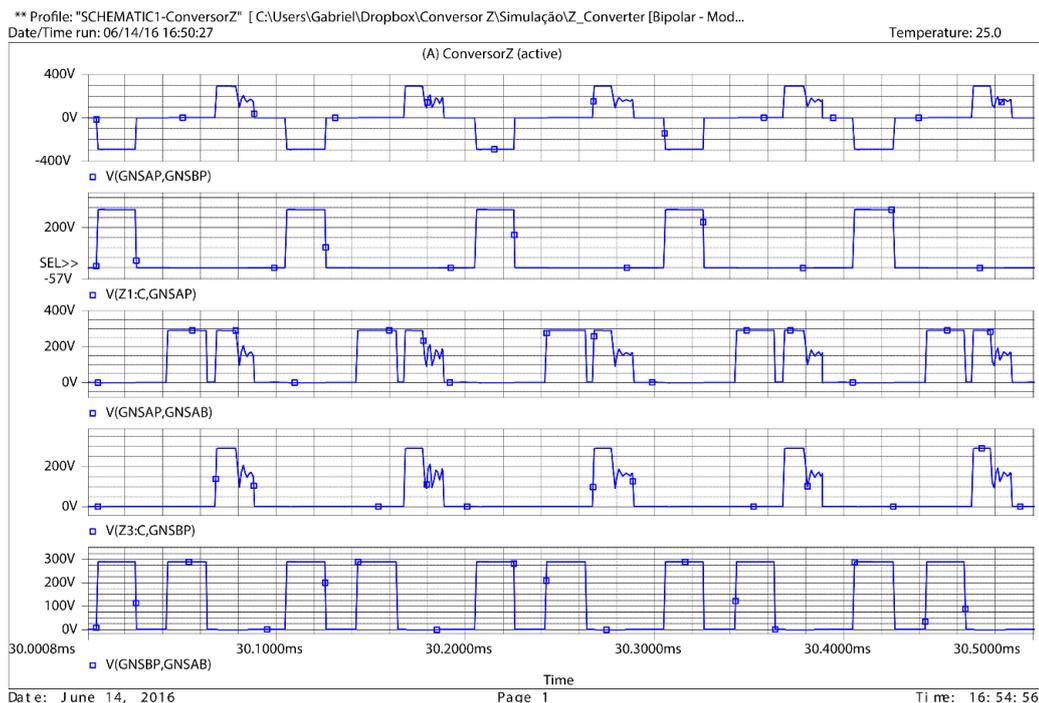


Figura 15 – Resultados da simulação do Convensor Fonte Z utilizando modulação bipolar tipo C.

5.2.1.4 Modulação Tipo D

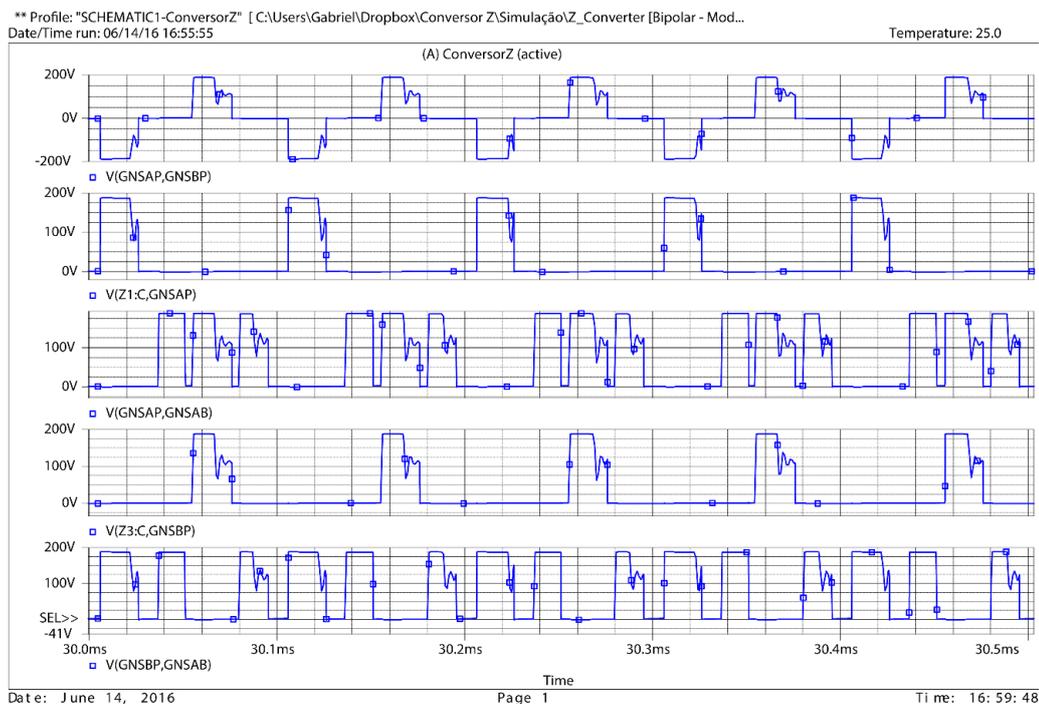


Figura 16 – Resultados da simulação do Convensor Fonte Z utilizando modulação bipolar tipo D.

5.2.1.5 Modulação Tipo E

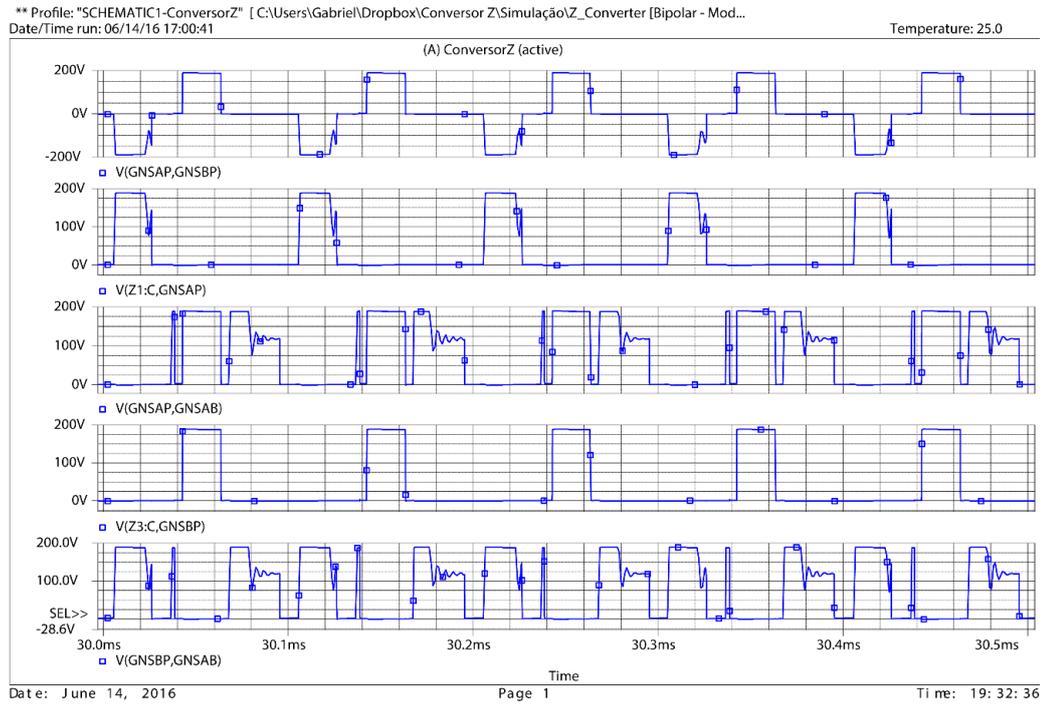


Figura 17 – Resultados da simulação do Conversor Fonte Z utilizando modulação bipolar tipo E.

5.2.2 Unipolares

Os resultados na Figura 18 são, na ordem de cima para baixo, respectivamente: tensão na carga; tensão na chave S_{1P} ; tensão na chave S_{1N} ; tensão na chave S_{2P} ; e tensão na chave S_{2N} .

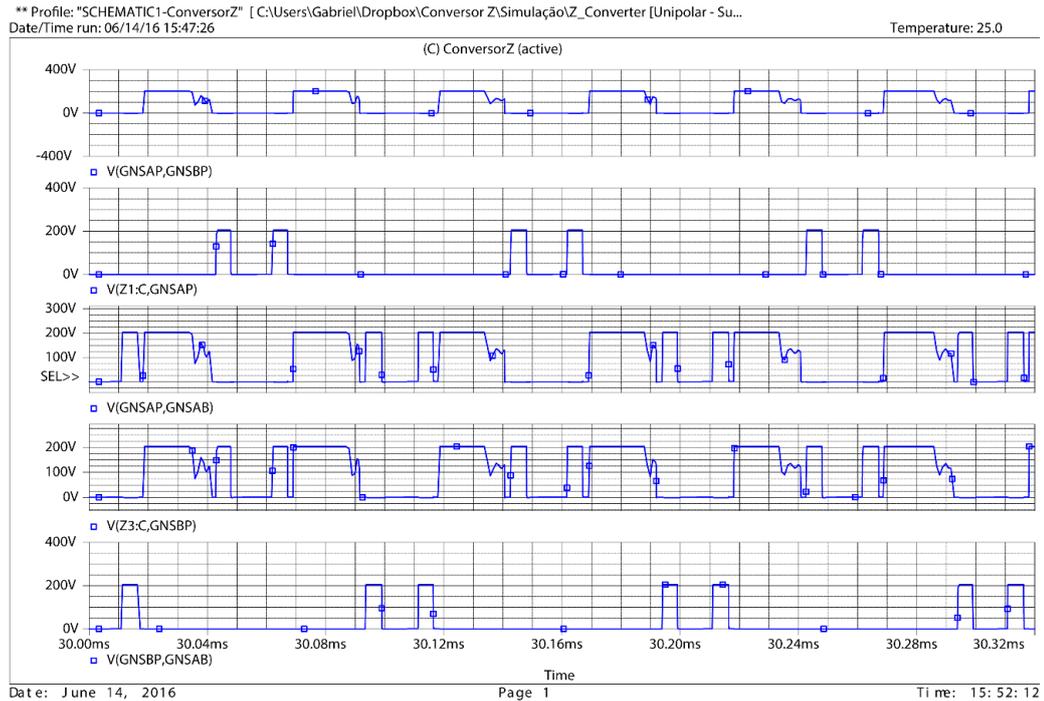


Figura 18 – Resultados da simulação do Convorsor Fonte Z utilizando modulação unipolar.

5.3 Conclusões

Apesar da precisão do simulador e dos seus modelos, e até mesmo da inserção de um pequeno indutor no ramo do capacitor da malha Z para simular a indutância parasita, nenhuma das simulações mostrou ocorrência de sobretensão sobre as chaves.

6 Etapa Experimental

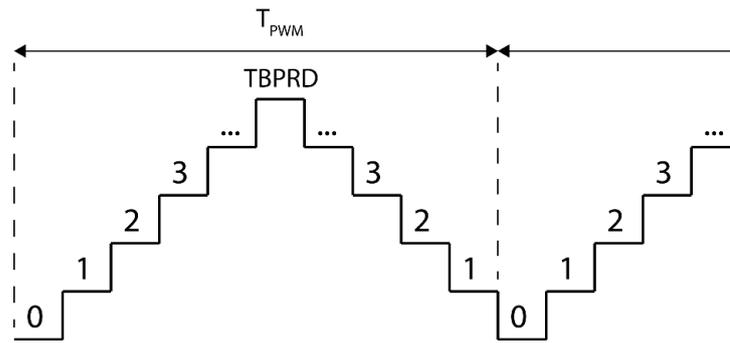
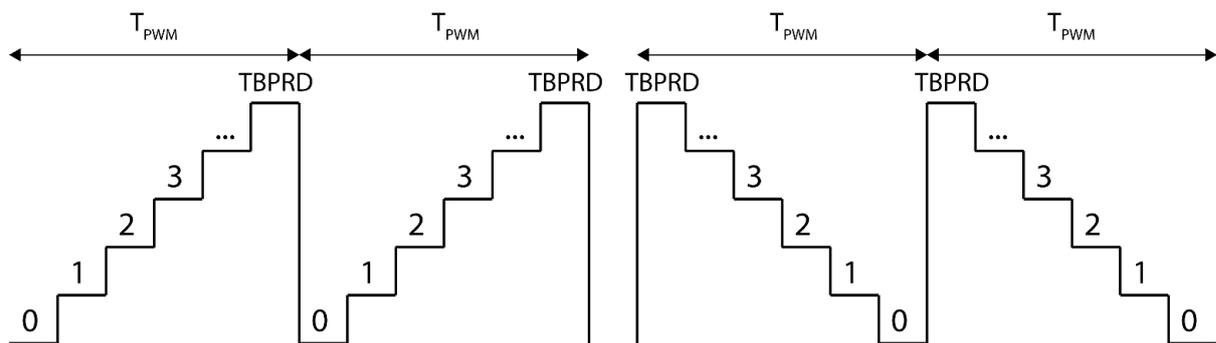
Nesta etapa, foram, de fato, aplicadas as modulações a um conversor real. O conversor utilizado foi desenvolvido pela aluna Luciana Joviniano Nóbrega (NÓBREGA, 2016) no próprio LEIAM. Por mais que não tenha sido projetado o conversor durante o estágio, serão listados aqui alguns dados importantes sobre a montagem. Os capacitores da malha Z eram, cada um, uma associação de quatro capacitores eletrolíticos de $4700 \mu\text{F}$ em série, aproximando o valor da capacitância para algo em torno de 1 mF . Os indutores da malha Z também foram obtidos por meio de uma associação em série. Para cada indutor da malha, foram utilizados dois indutores de $470 \mu\text{H}$ em série, aproximando a indutância resultante de 1 mH . A carga foi composta por um resistor de potência de resistência 50Ω e um indutor de 10 mH . O diodo na entrada da malha era de recuperação ultra-rápida e as chaves utilizadas foram MOSFETs de referência SPA20N60CFD, fabricado pela Infineon Technologies. Esse modelo de MOSFET possui 600 V de máxima tensão suportada entre *drain* e *source* e pode conduzir até $20,7 \text{ A}$ de corrente.

A geração dos PWMs foi feita utilizando um DSP modelo TMS320F28377S, da Texas Instruments. Mais precisamente, utilizou-se o *launchpad* LAUNCHXL-F28377S, que conta com o DSP citado. É importante ressaltar que, como existe a necessidade da adição dos momentos de *shoot-through* nas estratégias PWM, foi utilizado um circuito lógico, também desenvolvido pela aluna Luciana Joviniano Nóbrega (NÓBREGA, 2016), que contava com as portas lógicas necessárias para realizar esta tarefa.

6.1 DSP

O DSP F28377S, da Texas Instruments, conta com muitas funcionalidades especialmente úteis em aplicações de circuitos chaveados. Podendo trabalhar a altas frequências — até 200 MHz — e contando com diversos canais PWM, chamados ePWM (*Enhanced Pulse Width Modulation*), uma unidade de ponto flutuante, conversores analógico-digital, entre outros; é uma ferramenta extremamente poderosa para ser utilizada em aplicações de eletrônica de potência.

Para este caso, o módulo utilizado mais diretamente foi o ePWM, que permite a geração de sinais PWM por modulação em portadora. O processo é relativamente simples. O DSP dispõe de um contador para cada canal ePWM, e esse contador faz o papel da portadora triangular. Existem três modos de contagem: *Up-Down Count* (Figura 19), para PWMs simétricos; *Up Count* e *Down Count* (Figura 20), para geração de PWMs assimétricos (TEXAS INSTRUMENTS, 2015).

Figura 19 – Modo de contagem *Up-Down*.Figura 20 – Modo de contagem *Up e Down*.

O período desses contadores é configurável escrevendo no registrador TBPRD, que é o maior valor ao qual a contagem chega. Também é possível, e foi utilizado em alguns casos, inserir uma fase entre os contadores de diferentes canais ePWM, tendo algum deles como mestre, que gera um sinal de sincronia para os outros. Outra funcionalidade interessante é a de utilizar interrupções para eventos de ePWM como, por exemplo, a cada período. As interrupções foram utilizadas quando o sinal de comparação com a portadora não era fixo e precisava ser atualizado com frequência.

O processo de geração de sinais PWM se dá da seguinte maneira: com a portadora definida, são definidos também os sinais de referência que serão comparados à portadora: os registradores CMPA e CMPB daquele canal ePWM. Cada módulo PWM conta com dois canais (A e B), mas apenas uma portadora. Os canais A e B podem utilizar valores diferentes para comparar à portadora e até mesmo se comportar diferente face a cada evento. Os principais possíveis eventos são: na borda de subida do contador, atingir o valor de comparação; na borda de descida do contador, atingir o valor de comparação; contador atingir o zero; se passar um período do contador. Para cada evento desses é possível se configurar uma ação: SET, para levar a saída do PWM a 1; CLEAR, para levá-la a 0; TOGGLE para invertê-la; ou, ainda, ignorar. A Figura 21 exemplifica este funcionamento.

A título de exemplo, a implementação da estratégia SPWM está disponível no Apêndice A.

Utilizando um analisador lógico, foram registrados os sinais PWM gerados no DSP.

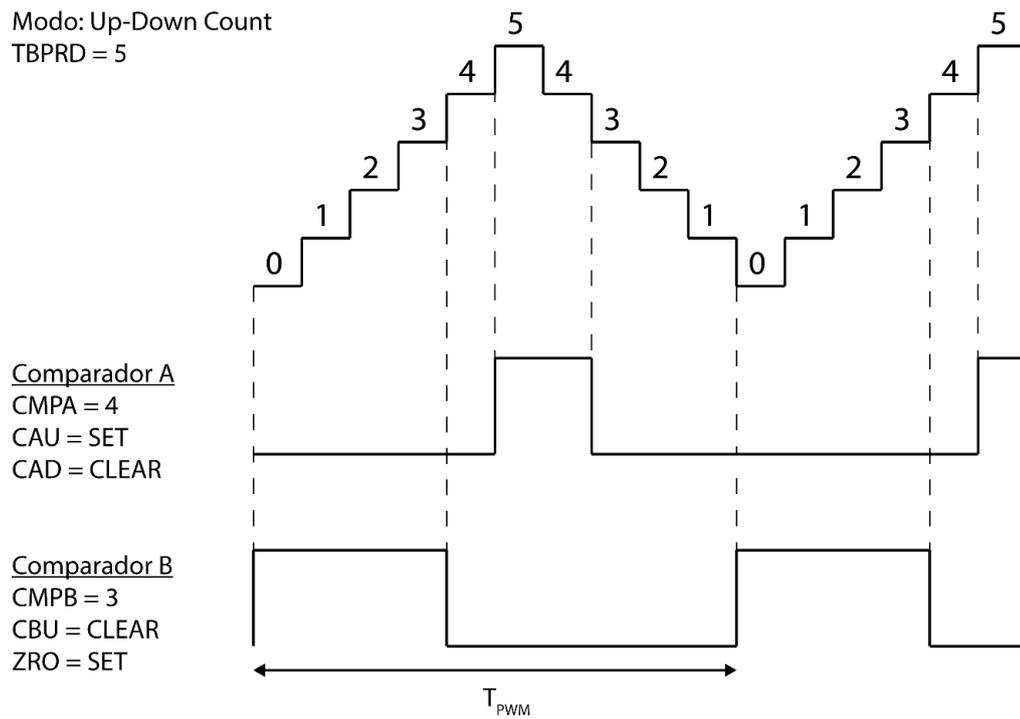


Figura 21 – Exemplo de ePWM operando no modo *Up-Down Count*.

Todos estão dispostos abaixo seguindo a seguinte ordem, de cima para baixo: PWM da chave S_{1P} ; PWM da chave S_{1N} ; PWM da chave S_{2P} ; PWM da chave S_{2N} ; e mais dois canais de adição de *shoot-through*, quando necessário.

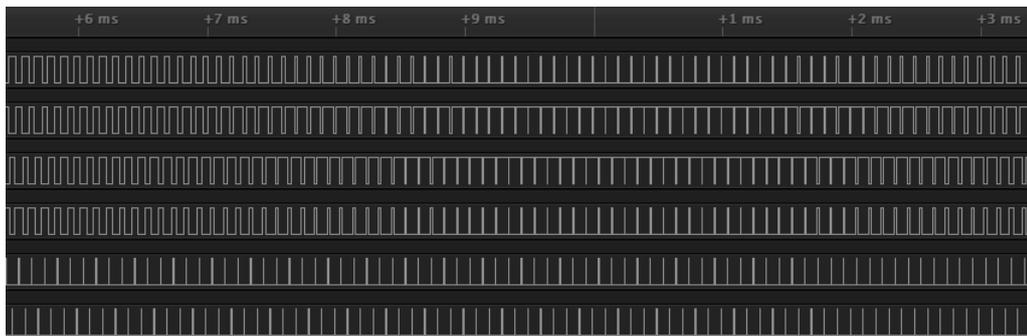


Figura 22 – SPWM gerado pelo DSP e visto no analisador lógico.

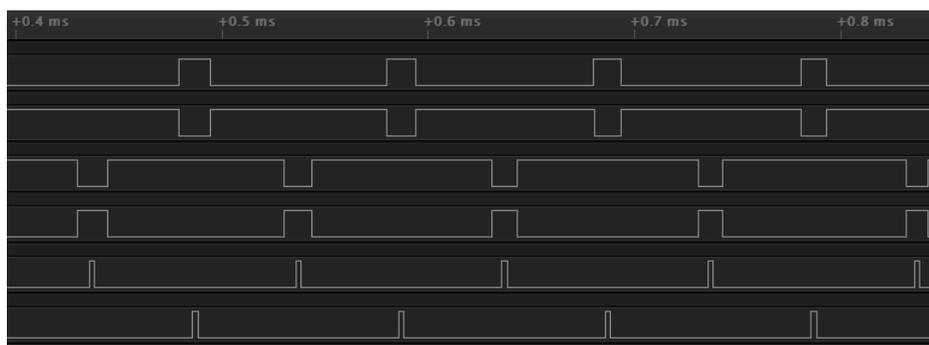


Figura 23 – SPWM gerado pelo DSP e visto no analisador lógico (aproximado).

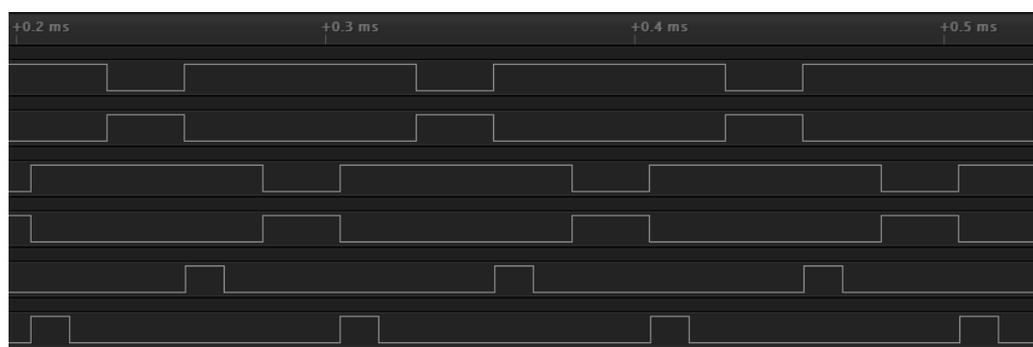


Figura 24 – PWM bipolar tipo A/B gerado pelo DSP e visto no analisador lógico.

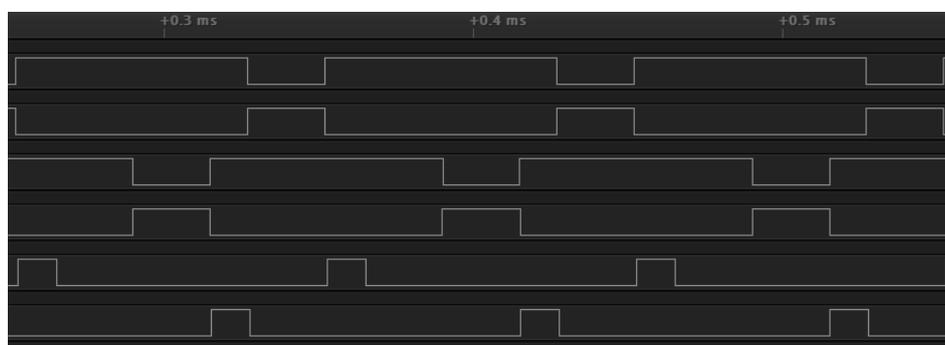


Figura 25 – PWM bipolar tipo C gerado pelo DSP e visto no analisador lógico.

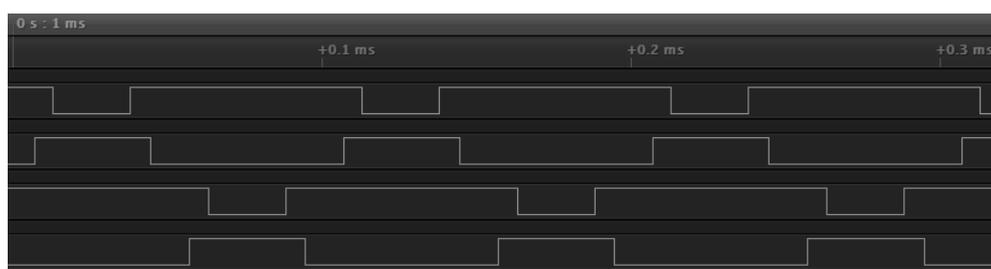


Figura 26 – PWM bipolar tipo D gerado pelo DSP e visto no analisador lógico.

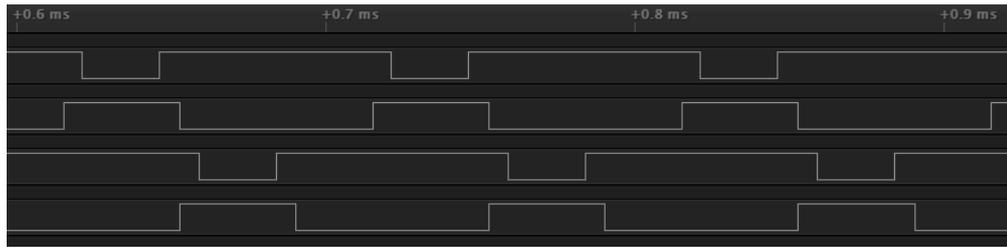


Figura 27 – PWM bipolar tipo E gerado pelo DSP e visto no analisador lógico.

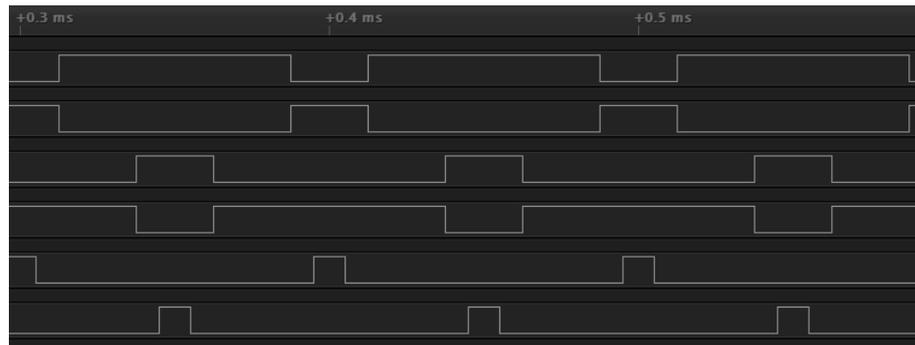


Figura 28 – PWM unipolar gerado pelo DSP e visto no analisador lógico.

6.2 Resultados Experimentais

Apesar de ter implementado e simulado várias modulações, apenas uma de cada tipo foi aplicada ao conversor. Foram elas: SPWM; Unipolar; e Bipolar tipo D, que supostamente causa maiores perdas em chaves (VINNIKOV et al., 2015). Na Figura 29 pode ser visualizada a montagem feita.

A primeira modulação a ser testada foi a unipolar. Infelizmente, não houve tempo hábil para o registro de qualquer resultado, pois a primeira chave queimou com apenas 30 V na saída da malha Z, o equivalente a cerca de 7 V na fonte de entrada. A chave queimada foi a chave S_{2P} , uma das chaves que, para essa modulação, mais tempo estava em seu estado aberto. Até o instante da queima da chave, observou-se o aparecimento da sobretensão nas chaves, em torno de duas ou três vezes o valor da tensão na carga. Além disso, outra característica fácil de observar era a quantidade de distorções de onda presentes nas formas de onda. Supõe-se que isso seja devido às indutâncias parasitas causadas pela montagem que tinha muitos fios. Essa característica distorcida foi presente durante todo processo experimental.

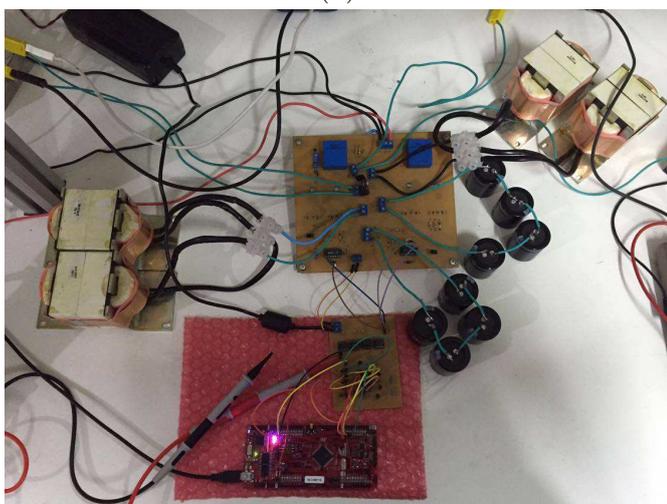
Substituída a chave, abandonou-se a modulação unipolar, dada a velocidade e baixa tensão de entrada em que a queima ocorreu, e se iniciaram os testes com a modulação bipolar tipo D. Durante os testes iniciais, era possível identificar a existência da sobretensão nas chaves, até que, mais uma vez, ocorreu a queima de, não uma, mas duas chaves do braço 2. Isso com menos de 25 V na entrada, 70 V na saída da malha Z. Mais uma vez,



(a)



(b)



(c)

Figura 29 – Montagem feita para realização do experimento.

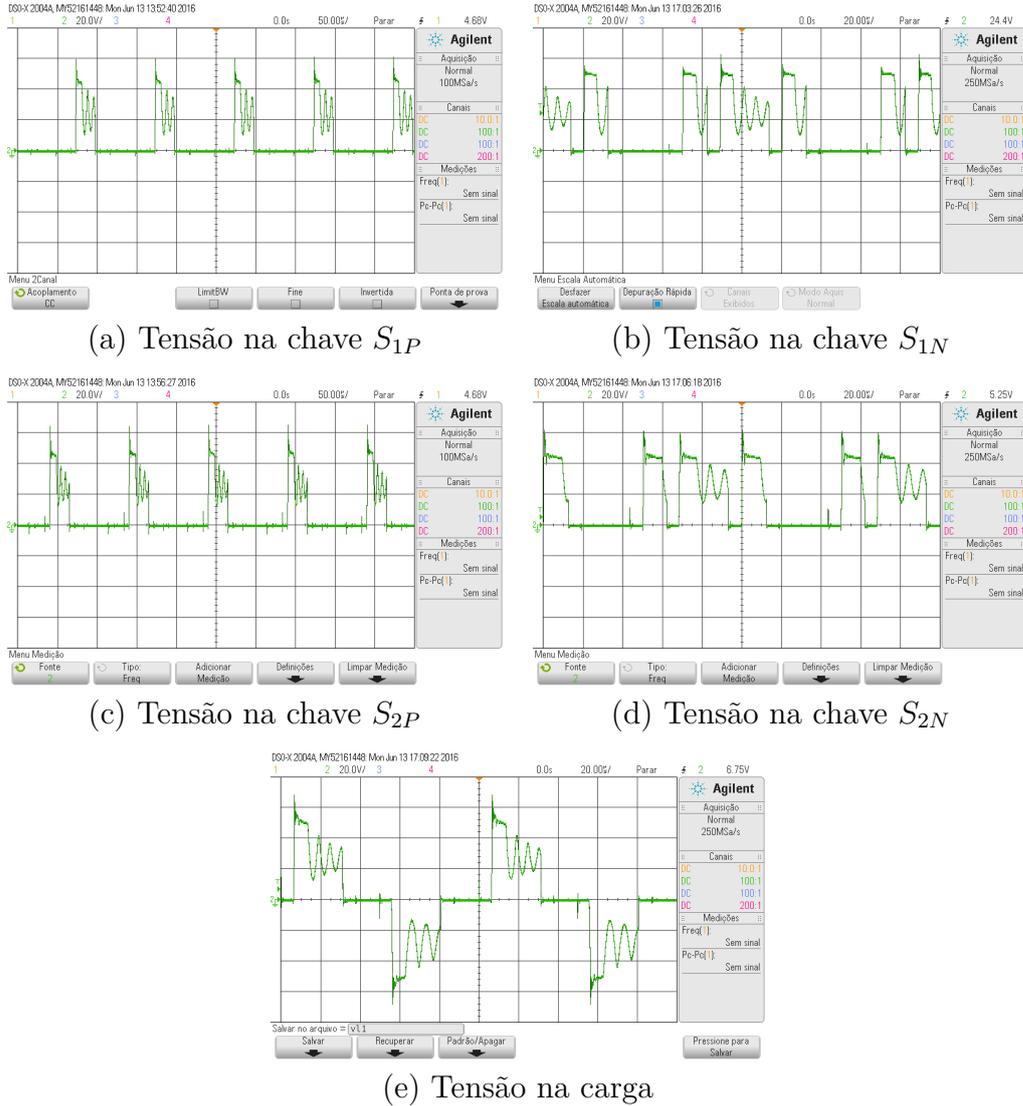


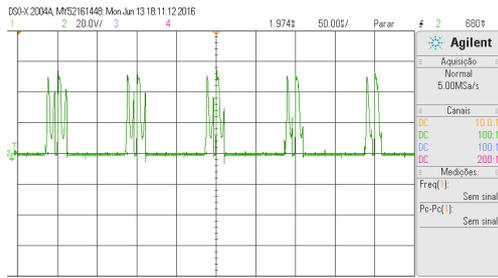
Figura 30 – [PWM Bipolar tipo D] $v_{PN} = 25 \text{ V}$ e $v_Z = 70 \text{ V}$

substituídas as chaves, voltou-se à mesma modulação bipolar tipo D. Os testes para a modulação bipolar tipo D foram repetidos, diferentemente do caso unipolar, pois a tensão atingida, tanto na entrada como na saída da malha Z, foram um pouco mais elevadas.

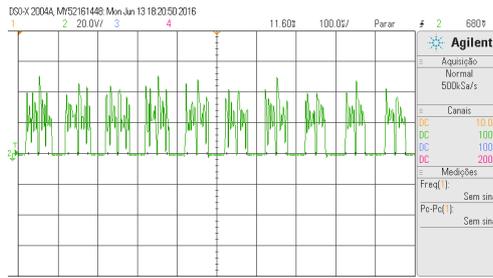
Atingindo novamente os 25 V de entrada, o que se traduzia em 70 V na saída da malha Z, registrou-se as formas de onda na carga e nas chaves mostradas na Figura 30. Observa-se que, desta vez, o resultado é bastante razoável e sem a ocorrência de sobretensões.

A próxima, e última, modulação testada foi o SPWM com períodos curtos de *shoot-through*. Esta modulação acabou por gerar mais resultados que as outras, pois mais valores de tensão na entrada foram testados. Inicialmente, com 12,5 V na entrada e 25 V na malha Z, os resultados estão na Figura 31.

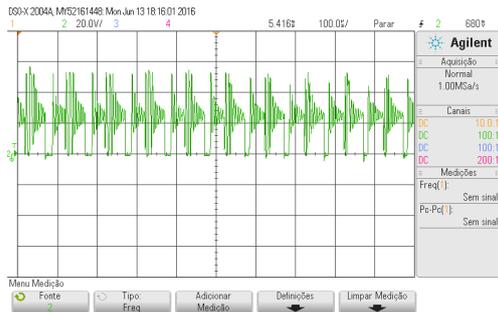
Apesar das distorções terem ficado mais visíveis, em termos de sobretensão nas chaves, não há nada absurdo e discrepante. Em seguida, repetiram-se as medições para



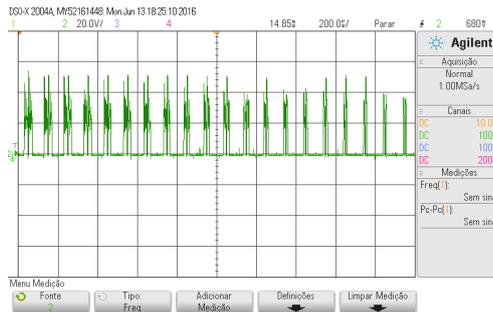
(a) Tensão na chave S_{1P}



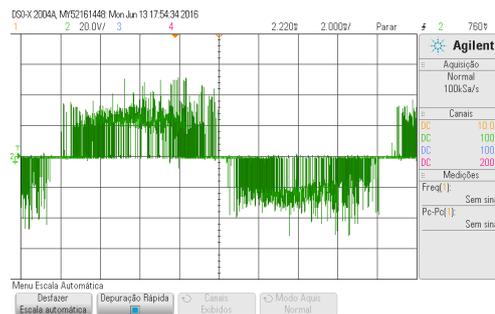
(b) Tensão na chave S_{1N}



(c) Tensão na chave S_{2P}



(d) Tensão na chave S_{2N}



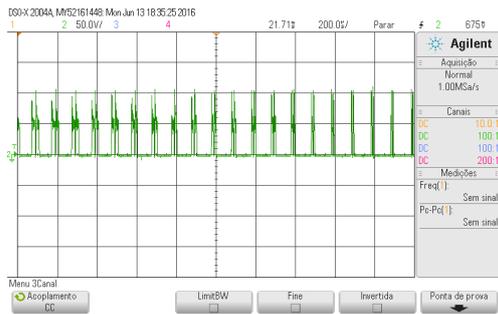
(e) Tensão na carga

Figura 31 – [SPWM] $v_{PN} = 12,5 \text{ V}$ e $v_Z = 25 \text{ V}$

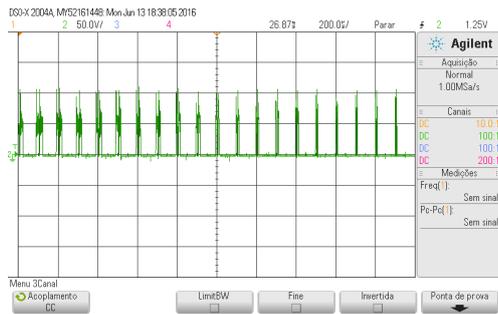
um novo valor de entrada.

Por fim, eleva-se a fonte de entrada até os 50 V pretendidos desde a simulação. Os resultados na Figura 33.

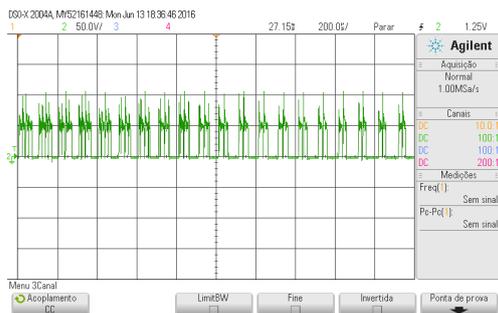
Esta última medição apresentou picos de tensão que ultrapassam em duas vezes o previsto em simulação. As tensões na carga e nas chaves são, inclusive, maiores que a saída da malha Z — medida com multímetro. Observando mais de perto, fica claro que a distorção começa a tomar proporções absurdas e o pico que se vê é em decorrência dela. O valor após o amortecimento da distorção, apesar de ainda superior, se torna menos discrepante do previsto em simulação.



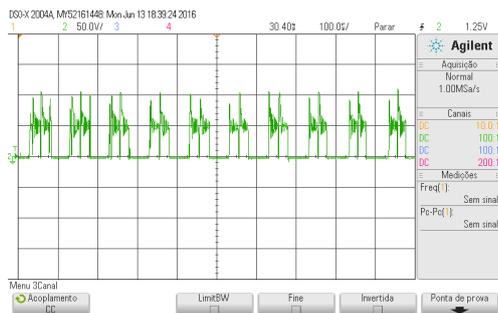
(a) Tensão na chave S_{1P}



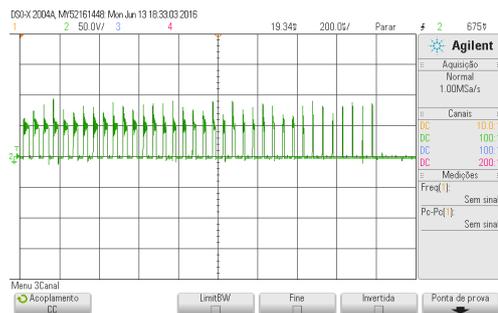
(b) Tensão na chave S_{1N}



(c) Tensão na chave S_{2P}



(d) Tensão na chave S_{2N}

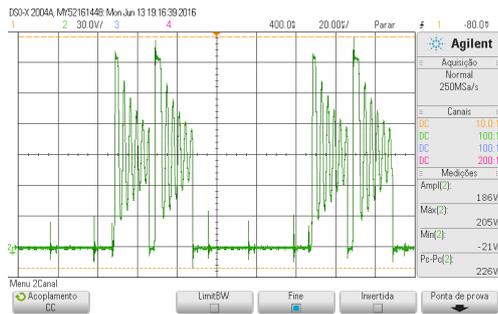


(e) Tensão na carga

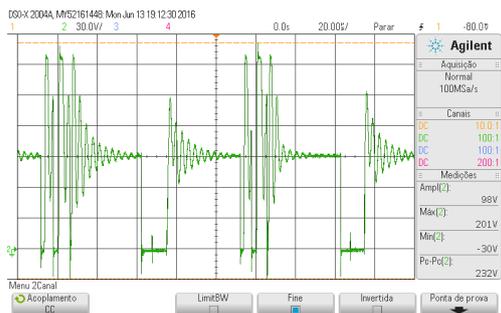
Figura 32 – [SPWM] $v_{PN} = 25\text{ V}$ e $v_Z = 67\text{ V}$



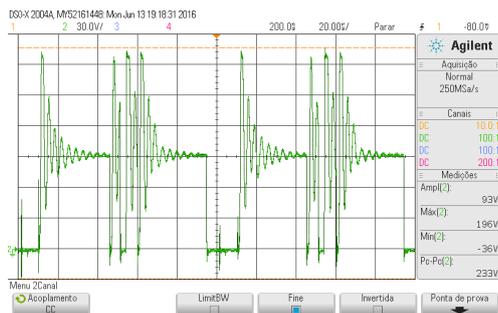
(a) Tensão na chave S_{1P}



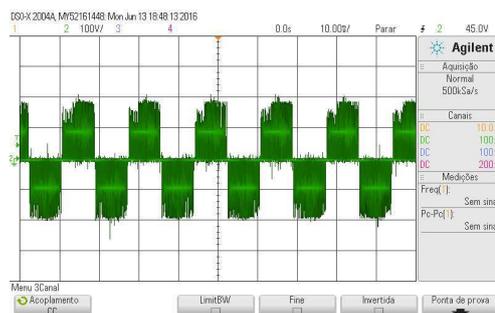
(b) Tensão na chave S_{1N}



(c) Tensão na chave S_{2P}



(d) Tensão na chave S_{2N}



(e) Tensão na carga

Figura 33 – [SPWM] $v_{PN} = 50 \text{ V}$ e $v_Z = 175 \text{ V}$

7 Conclusão

O estágio no LEIAM possibilitou o aprofundamento de tópicos chave vistos durante o curso de graduação, especialmente Eletrônica de Potência e Arquitetura de Sistemas Digitais.

O Conversor Fonte Z apresentou tanto as vantagens antecipadas quanto as desvantagens. Mesmo com pequenos períodos de *shoot-through*, o efeito *boost* já se tornava claro e justificava sua aplicação em sistemas que possam fazer uso da combinação de elevação de tensão e inversão de frequência, como a geração de energia fotovoltaica para conexão à rede elétrica.

Nos últimos ensaios realizados, aplicando sobre as chaves a estratégia SPWM, são identificadas ocorrências das sobretensões, que chegaram ao dobro da tensão nominal de operação. Apesar da detecção do problema para este caso, não foi possível isolá-lo. Ainda não é possível afirmar exatamente a causa deste problema, nem quais estratégias de modulação podem potencializá-lo. É fato, no entanto, que o problema é crítico.

Nas possibilidades de trabalhos futuros, seria recomendado, antes de mais nada, um estudo teórico que possa identificar o fenômeno da sobretensão de maneira a guiar melhor os procedimentos experimentais. Uma vez feito isso, é possível selecionar melhor as estratégias PWM relevantes a esse estudo. Outra sugestão possível cujo estudo parece ser válido para aplicar como técnica de mitigação dos problemas de sobretensão é a utilização de circuitos *snubber*.

Referências

- BRADASCHIA, F. *Conversores Fonte Z para Sistemas Fotovoltaicos e Monofásicos-Trifásicos*. Tese — Universidade Federal de Pernambuco, Recife, Fevereiro 2012. Citado 2 vezes nas páginas 19 e 20.
- MORETTI, R. de S. *Estudo e Implementação de um Conversor CC-CC - Baseado no Inversor Z-Source - Alimentado por Células a Combustível*. Dissertação — Universidade Federal de Santa Catarina, Florianópolis, Junho 2007. Citado na página 17.
- NÓBREGA, L. J. *Desenvolvimento de Plataforma de Teste para Conversor Z*. 2016. Universidade Federal de Campina Grande. Trabalho de Conclusão de Curso. Citado na página 31.
- PENG, F. Z. Z-source inverter. *IEEE Transactions on Applications and Industry*, v. 39, n. 2, Março/Abril 2003. Citado 3 vezes nas páginas 14, 17 e 21.
- TEXAS INSTRUMENTS. *TMS320F2837xD Dual-Core Delfino Microcontrollers Technical Reference Manual*. Dallas, 2015. Citado na página 31.
- VINNIKOV, D. et al. Four novel pwm shoot-through control methods for impedance source dc-dc converters. *Journal of Power Electronics*, v. 15, n. 2, p. 299–308, Março 2015. Citado 2 vezes nas páginas 22 e 35.

Apêndices

APÊNDICE A – Implementação de Estratégias PWM no DSP

Código A.1 – Modulação SPWM

```

#include "F28x_Project.h"
#include <math.h>

#define PI 3.14159265359

// Control sinusoid frequency
const Uint16 MAX_PRD_CTR = 166; // 60 Hz | 10 kHz

typedef struct
{
    volatile struct EPWM_REGS *EPwmRegHandle;
    Uint16 EPwmTimerIntCount;
    Uint16 EPWM_TIMER_TBPRD;
    Uint16 EPwmMaxCMP;
    Uint16 EPwmControlSinInt;
    float EPwmControlSinPhase;
    float EPwmControlSin;
}EPWM_SIN_INFO;

// Prototype statements for functions found within this file.
void InitEPwmLegA(void);
void InitEPwmLegB(void);
void InitEPwmST(void);
__interrupt void epwmLegA_isr(void);
__interrupt void epwmLegB_isr(void);
void update_sin_compare(EPWM_SIN_INFO*);

// Global variables used in this example
EPWM_SIN_INFO epwmLegA_info;
EPWM_SIN_INFO epwmLegB_info;

// Configure the period for each timer
const Uint16 EPWM_TIMER_TBPRD = 2000; // Period register

// LEG A
const Uint16 EPWM_LEG_A_MAX_CMP = 900;
const float EPWM_LEG_A_SIN_PHASE = 0;

// LEG B
const Uint16 EPWM_LEG_B_MAX_CMP = 900;
const float EPWM_LEG_B_SIN_PHASE = PI;

// Vp
const Uint16 EPWM_VP_CMP = 1950;

// Vn
const Uint16 EPWM_VN_CMP = 50;

void main(void)

```

```

{
    // Initialize System Control:
    // PLL, WatchDog, enable Peripheral Clocks
    // This example function is found in the F2837xS_SysCtrl.c file.
    InitSysCtrl();

    // Enable PWM2, PWM6 and PWM7
    CpuSysRegs.PCLKCR2.bit.EPWM2=1;
    CpuSysRegs.PCLKCR2.bit.EPWM6=1;
    CpuSysRegs.PCLKCR2.bit.EPWM7=1;

    // Init GPIO pins for ePWM2, ePWM6, ePWM7
    // These functions are in the F28M36x_EPwm.c file
    InitEPwm2Gpio();
    InitEPwm6Gpio();
    InitEPwm7Gpio();

    // Clear all interrupts and initialize PIE vector table:
    // Disable CPU interrupts
    DINT;

    // Initialize the PIE control registers to their default state.
    // The default state is all PIE interrupts disabled and flags
    // are cleared.
    // This function is found in the F2837xS_PieCtrl.c file.
    InitPieCtrl();

    // Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;

    // Initialize the PIE vector table with pointers to the shell Interrupt
    // Service Routines (ISR).
    // This will populate the entire table, even if the interrupt
    // is not used in this example. This is useful for debug purposes.
    // The shell ISR routines are found in F2837xS_DefaultIsr.c.
    // This function is found in F2837xS_PieVect.c.
    InitPieVectTable();

    // Interrupts that are used in this example are re-mapped to
    // ISR functions found within this file.
    EALLOW; // This is needed to write to EALLOW protected registers
    PieVectTable.EPWM2_INT = &epwmLegA_isr;
    PieVectTable.EPWM6_INT = &epwmLegB_isr;
    EDIS; // This is needed to disable write to EALLOW protected registers

    // Initialize the ePWM
    EALLOW;
    CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 0;

    EDIS;

    InitEPwmLegA();
    InitEPwmLegB();
    InitEPwmST();

    EALLOW;
    CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1;

    EDIS;

```

```

// Enable CPU INT3 which is connected to EPWM1-3 INT:
IER |= M_INT3;

// Enable EPWM INTn in the PIE: Group 3 interrupt
PieCtrlRegs.PIEIER3.bit.INTx2 = 1;
PieCtrlRegs.PIEIER3.bit.INTx6 = 1;

// Enable global Interrupts and higher priority real-time debug events:
EINT; // Enable Global interrupt INTM
ERIM; // Enable Global realtime interrupt DBGM

// IDLE loop.
while(true) { }
}

__interrupt void epwmLegA_isr(void)
{
// Update the CMPA and CMPB values
update_sin_compare(&epwmLegA_info);

// Clear INT flag for this timer
EPwm2Regs.ETCLR.bit.INT = 1;

// Acknowledge this interrupt to receive more interrupts from group 3
PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}

__interrupt void epwmLegB_isr(void)
{
// Update the CMPA and CMPB values
update_sin_compare(&epwmLegB_info);

// Clear INT flag for this timer
EPwm6Regs.ETCLR.bit.INT = 1;

// Acknowledge this interrupt to receive more interrupts from group 3
PieCtrlRegs.PIEACK.all = PIEACK_GROUP3;
}

void InitEPwmLegA()
{
// Setup TBCLK
EPwm2Regs.TBPRD = EPWM_TIMER_TBPRD; // Set timer period
EPwm2Regs.TBPHS.bit.TBPHS = 0x0000; // Phase is 0
EPwm2Regs.TBCTR = 0x0000; // Clear counter

// Set Compare values
EPwm2Regs.CMPA.bit.CMPA = 0; // Set compare A value
EPwm2Regs.CMPB.bit.CMPB = 0; // Set Compare B value

// Setup counter mode
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up and down
EPwm2Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm2Regs.CMPCCTL.bit.SHDWAMODE = CC_SHADOW;

```

```

EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm2Regs.CMPCTL.bit.LOADEMODE = CC_CTR_ZERO;

// Set actions
// A+
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm2Regs.AQCTLA.bit.CAD = AQ_SET;

// A-
EPwm2Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm2Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values
EPwm2Regs.ETSEL.bit.INTSEL = ET_CTR_ZERO; // Select INT on Zero event
EPwm2Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm2Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 1st event

// Information about ePWM
epwmLegA_info.EPwmTimerIntCount = 0; // Zero the interrupt counter
epwmLegA_info.EPwm_TIMER_TBPRD = EPWM_TIMER_TBPRD;
epwmLegA_info.EPwmRegHandle = &EPwm2Regs; // Set the pointer to the ePWM module
epwmLegA_info.EPwmMaxCMP = EPWM_LEG_A_MAX_CMP; // Setup max CMP
epwmLegA_info.EPwmControlSinPhase = EPWM_LEG_A_SIN_PHASE;
}

void InitEPwmLegB()
{
// Setup TBCLK
EPwm6Regs.TBPRD = EPWM_TIMER_TBPRD; // Set timer period
EPwm6Regs.TBPHS.bit.TBPHS = 0x0000; // Phase is 0
EPwm6Regs.TBCTR = 0x0000; // Clear counter

// Set Compare values
EPwm6Regs.CMPA.bit.CMPA = 0; // Set compare A value
EPwm6Regs.CMPB.bit.CMPB = 0; // Set Compare B value

// Setup counter mode
EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UPDOWN; // Count up and down
EPwm6Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1;

// Setup shadowing
EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm6Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
EPwm6Regs.CMPCTL.bit.LOADEMODE = CC_CTR_ZERO;

// Set actions
// B+
EPwm6Regs.AQCTLA.bit.CAU = AQ_CLEAR;
EPwm6Regs.AQCTLA.bit.CAD = AQ_SET;

// B-
EPwm6Regs.AQCTLB.bit.CBU = AQ_SET;
EPwm6Regs.AQCTLB.bit.CBD = AQ_CLEAR;

// Interrupt where we will change the Compare Values

```

```

EPwm6Regs.ETSEL.bit.INTSEL = ET_CTR_PRD; // Select INT on Period event
EPwm6Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm6Regs.ETPS.bit.INTPRD = ET_1ST; // Generate INT on 1st event

// Information about ePWM
epwmLegB_info.EPwmTimerIntCount = 0; // Zero the interrupt counter
epwmLegB_info.EPwm_TIMER_TBPRD = EPWM_TIMER_TBPRD;
epwmLegB_info.EPwmRegHandle = &EPwm6Regs; // Set the pointer to the ePWM module
epwmLegB_info.EPwmMaxCMP = EPWM_LEG_B_MAX_CMP; // Setup max CMP
epwmLegB_info.EPwmControlSinPhase = EPWM_LEG_B_SIN_PHASE;
}

void InitEPwmST()
{
    // Setup TBCLK
    EPwm7Regs.TBPRD = EPWM_TIMER_TBPRD; // Set timer period
    EPwm7Regs.TBPHS.bit.TBPHS = 0x0000; // Phase is 0
    EPwm7Regs.TBCTR = 0x0000; // Clear counter

    // Set Compare values
    EPwm7Regs.CMPA.bit.CMPA = EPWM_VP_CMP; // Set compare A value
    EPwm7Regs.CMPB.bit.CMPB = EPWM_VN_CMP; // Set Compare B value

    // Setup counter mode
    EPwm7Regs.TBCTL.bit.CIRMODE = TB_COUNT_UPDOWN; // Count up and down
    EPwm7Regs.TBCTL.bit.PHSEN = TB_DISABLE; // Disable phase loading
    EPwm7Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
    EPwm7Regs.TBCTL.bit.CLKDIV = TB_DIV1;

    // Setup shadowing
    EPwm7Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
    EPwm7Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
    EPwm7Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO;
    EPwm7Regs.CMPCTL.bit.LOAEBMODE = CC_CTR_ZERO;

    // Set actions
    // Vp
    EPwm7Regs.AQCTLA.bit.CAU = AQ_SET;
    EPwm7Regs.AQCTLA.bit.CAD = AQ_CLEAR;

    // Vn
    EPwm7Regs.AQCTLB.bit.CBU = AQ_CLEAR;
    EPwm7Regs.AQCTLB.bit.CBD = AQ_SET;
}

void update_sin_compare(EPWM_SIN_INFO *epwm_info)
{
    // Increment interrupt counter
    epwm_info->EPwmTimerIntCount++;

    // Complete period
    if(epwm_info->EPwmTimerIntCount > MAX_PRD_CTR)
        epwm_info->EPwmTimerIntCount = 0;

    // Calculate sin and digitalize it
    epwm_info->EPwmControlSin = sin(2*PI*((float) epwm_info->EPwmTimerIntCount)
        /((float) MAX_PRD_CTR) + (epwm_info->EPwmControlSinPhase));
    epwm_info->EPwmControlSinInt = (int) ((epwm_info->EPwmControlSin)
        *(epwm_info->EPwmMaxCMP) + (epwm_info->EPwm_TIMER_TBPRD)/2);
}

```

```
// Assign sine point to de compare registers
epwm_info->EPwmRegHandle->CMPA.bit.CMPA = epwm_info->EPwmControlSinInt;
epwm_info->EPwmRegHandle->CMPB.bit.CMPB = epwm_info->EPwmControlSinInt;

return ;
}
}
```