



RELATÓRIO DE ESTÁGIO

BRAFITEC 2015/2017

Título do projeto

Comunicação RF do tipo *broadcast* entre um controlador e uma matriz de interruptores de potência isolados

Nome e endereço da empresa

CEA-Grenoble

DRT / LETI / DACLE / SCCI / LGECA

17 rue des Martyrs

38054 Grenoble CEDEX 9

França

Nome do estagiário

Hamilton Emmanuel Querino De Carvalho



Período de estágio	De 06 de fevereiro de 2017 a 04 de agosto de 2017
Tutor da empresa	Eng. Pesquisador Dominique BERGOGNE, PhD
Tutor UFCG	Prof. Gutemberg Gonçalves Jr., PhD



RELATÓRIO DE ESTÁGIO

BRAFITEC 2015/2017

Palavras-chave

Eletrônica de potência, RF, Transistores de Potência, Comando sem fio, *Driver* RF, Comutação por RF, Transmissão ponto-a-ponto, *FPGA*, *ASIC*

Resumo:

A eletrônica de potência defronta atualmente uma profunda mudança em direção à miniaturização, desencadeada pela ascensão de novas tecnologias de transistores de potência e impulsionada principalmente pelo mercado automobilístico e pela chegada maciça do motor elétrico. Neste contexto, este estágio se propõe a direcionar a problemática da integração do comando de potência sem fio numa conjuntura de aplicações necessitantes de numerosos interruptores de potência, como por exemplo no caso de novas arquiteturas de conversores de potência. Em um laboratório especializado na concepção de sistemas eletrônicos integrados em silício, este estágio tem como objetivo avaliar as soluções de tecnologias sem fio existentes e de conceber um primeiro demonstrador à partir de componentes disponíveis, a fim de suscitar, em seguida, um conjunto de especificações para desenvolvimento em circuito integrado do tipo sistema sobre chip, à partir de tecnologias híbridas.



INTERNSHIP REPORT

BRAFITEC 2015/2017

Keywords :

Power Electronics, RF, Power Transistors, Control

Wireless Power, RF Driver, RF Switching, Point-to-Point Transmission, FPGA, ASIC

Abstract :

Power electronics are now undergoing a major shift towards miniaturization, driven by the arrival of new power transistor technologies, in particular by the automotive market and the massive arrival of the electric motor. In this context, this internship proposes addressing the problem of the integration of the wireless power control, in a context of applications requiring numerous power switches, as for example in the case of new power converter architectures. In a laboratory centered on the design of integrated electronic systems on silicon, this internship aims to evaluate the solutions of existing wireless technologies and to develop a first demonstrator using existing components, in order to arrive at a specification for a development of a system-on-chip based on hybrid technologies.

AVISO

Este relatório contém uma versão geral das tarefas desenvolvidas durante o estágio. Os detalhes técnicos compõem um segundo relatório de caráter mais técnico, complexo e **confidencial**.

AGRADECIMENTOS

Em primeiro lugar, gostaria de agradecer à Sra. Stephanie Robinet por ter-me aceitado e recebido no *LGECA (Laboratoire Gestion d'Énergie, Capteurs et Actionneurs)*, o qual administra.

Agradeço ao pessoal do *Service Centre de Conception et Plateforme* do departamento, especialmente ao Sr. Rat Venceslass, pela formação *Altium* e orientações importantes durante testes e montagem *PCB* no laboratório de testes, ao Sr. Sylvain Dumas pela ajuda durante o manuseio e testes no *SCCP*, e a Aubin Detrez durante o desenvolvimento do *FPGA*.

Gostaria de agradecer ao Sr. Sylvain Bouquet por seus auxílios em computação e desenvolvimento de *FPGA*.

Agradeço a Elisa Dina, Adrian Morel, Yasser Moursy, George Gouliarmis-Philianou, Khalid Lamharras, Guilherme Magliato, Ayrat Galisultanov e Yohan Wanderoild pelas encontros de revisão em microeletrônica.

Agradeço ao Sr. Cédric Dehos, do laboratório LAIR por haver disponibilizado os *kits FPGA* que utilizei durante o estágio.

Eu agradeço especialmente ao meu supervisor no *CEA*, o Sr. Dominique Bergogne, que esteve muito disponível e aberto durante todo o meu estágio e me fez descobrir e amar o mundo da eletrônica de potência e da pesquisa. Sua ajuda e conselhos me permitiram aprender muito sobre o campo da microeletrônica, eletrônica de potência, desenvolvimento *FPGA* e RF, e contribuiu para tornar este estágio particularmente enriquecedor.

Finalmente, gostaria de agradecer a todo o pessoal do laboratório *LGECA*, pelo seu constante bom humor, pelas suas piadas e pela sua ajuda e aconselhamento sobre o meu tema de estágio.

NOTAS DO AUTOR

Caro leitor, alguns detalhes ...

Este documento foi escrito inicialmente em francês da França e em seguida traduzido para o português do Brasil.

Este estágio foi executado no âmbito de um duplo diploma entre a Escola Nacional Superior de Engenheiros de Sistemas Avançados e Redes (ESISAR) do Instituto Nacional Politécnico de Grenoble INP (Grenoble INP) e a UFCG (Campus Campina Grande), financiado inteiramente pela Coordenação de Aprimoramento de Pessoal de Ensino Superior (CAPES), a qual devo a minha gratidão por ter-me proporcionado esta incrível experiência.

A elaboração deste documento, inicialmente em Francês, foi feita levando em conta as recomendações contidas em:

- *Scientific and Technical Reports – Preparation, Presentation, and Preservation* (R2010) do American Standards Institute (ANSI) ;
- *Guide de rédaction du rapport de fin d'études* da Escola Superior de Tecnologia da Universidade do Quebec.

Em um espírito de desenvolvimento sustentável, a impressão deste documento será feita em ambos os lados.

O esboço deste documento segue o formato solicitado pelo serviço de estágio da ESISAR, escola de engenharia do Grenoble INP. Além disso, este documento contém mais de 30 páginas de conteúdo não-anexo, conforme solicitado.

No final deste documento, encontraremos todas as siglas e definições, em ordem alfabética, da maioria dos termos técnicos usados no documento.

No interesse de disseminar cultura e conhecimento, o autor fez o máximo esforço para localizar os detentores dos direitos autorais de qualquer material usado neste documento, fornecendo possíveis ajustes subseqüentes se, inadvertidamente, a identificação de alguns deles foi omitida.

Tenho a impressão de ter sido uma criança brincando à beira-mar, divertindo-me em descobrir uma pedrinha mais lisa ou uma concha mais bonita que as outras, enquanto o imenso oceano da verdade continua misterioso diante de meus olhos.

(Sir Isaac Newton)



SUMÁRIO

Aviso	5
Agradecimentos	6
Notas do autor	7
Sumário	9
Introdução	11
Os autores do projeto	11
Um <i>briefing</i> do tema em eletrônica de potência	12
Problématique du sujet de stage	Erro! Indicador não definido.
Cahier des Charges¹	17
Partie logique programmable	Erro! Indicador não definido.
Partie radiofréquence	Erro! Indicador não definido.
Partie électronique de puissance	Erro! Indicador não definido.
Contexte et enjeux stratégiques au sein de l'entreprise	Erro! Indicador não definido.
Cadre du stage ¹	19
Le leti : un acteur clé au service de l'innovation ²	20
Développement du sujet de stage	Erro! Indicador não definido.
Planification du projet	Erro! Indicador não definido.
Vision générale de l'ensemble des parties	Erro! Indicador não definido.
Partie électronique de puissance	Erro! Indicador não definido.
Partie logique programmable	Erro! Indicador não definido.
Développement logiciel	Erro! Indicador não definido.
Développement FPGA	Erro! Indicador não definido.
Développement RF	Erro! Indicador não definido.



RELATÓRIO DE ESTÁGIO



Investissement et retour sur investissement attendu	_____	<i>Erro! Indicador não definido.</i>
Frais de personnel ¹	_____	39
Achat matériel	_____	<i>Erro! Indicador não definido.</i>
Résume des coûts	_____	<i>Erro! Indicador não definido.</i>
Retour sur investissement attendu	_____	<i>Erro! Indicador não definido.</i>
Conclusion et perspectives	_____	<i>Erro! Indicador não definido.</i>
Bibliographie	_____	<i>Erro! Indicador não definido.</i>
Annexe I	_____	48
Acronymes et définitions	_____	<i>Erro! Indicador não definido.</i>
Annexe II	_____	51
Glossaire	_____	<i>Erro! Indicador não definido.</i>
Annexe III	_____	57
Annexe IV	_____	58
Simulations avec le CLT caractérisé auparavant	_____	60
Annexe V	_____	66
Mesures de la Température Sur Les Capas Céramiques en Régime AC	_____	66
Annexe VI	_____	71
Procédure pour programmer la mémoire non-volatile du kit KC705	_____	71
Annexe VII	_____	79
Description des dossiers dans la sauvegarde des données du stage	_____	79

INTRODUÇÃO

Este documento tem como objetivo descrever o estágio em seus aspectos técnicos gerais, bem como o ambiente de estágio e suas características especiais.

OS AUTORES DO PROJETO

Abaixo apresentamos as pessoas diretamente envolvidas durante o desenvolvimento deste projeto.

Este assunto estágio foi proposto e conduzido pelo Sr. Dominique Bergogne no âmbito de suas pesquisas de eletrônica de potência no LGECA, laboratório pertencente a CEA-Grenoble1 / DRT2 / LETI3 / DACLE4 / SCCI5. O Sr. Bergogne é um especialista sênior em eletrônica de potência, eletrônica de potência para alta temperatura, concepção e design de circuitos analógicos, gate *drivers* para transistores de potência GaN e SiC, eletrônica de potência integrada etc. Ele possui habilitação para dirigir pesquisas (HDR) e tem participado como diretor científico de vários projetos, incluindo estudantes de doutorado, trabalho colaborativo e contratual com industriais. Desde 2014, o Sr. Bergogne dedica suas atividades ao LGECA como pesquisador, trazendo sua *expertise* no campo de eletrônica de potência. Anteriormente, ele dedicou suas atividades como professor na Universidade de Lyon 1 e pesquisador no Laboratório Ampère, também em Lyon.

O desenvolvimento desse tema foi feito por mim mesmo, Hamilton E. Querino de Carvalho, estudante de engenharia em duplo diploma entre a Universidade Federal de Campina Grande - UFCG (Brasil) e a ESISAR (França). Na ESISAR, seguindo uma formação em Sistemas de Comunicação Digital e na UFCG seguindo uma formação em Engenharia Elétrica. Durante meu treinamento, consegui adquirir os conhecimentos científicos e técnicos necessários no campo da ciência da computação, eletrônica de baixa e alta potência, sistemas embarcados e

radiofrequência (RF). Para o registro, vou deixar no apêndice a última versão do meu CV.

UM BRIEFING DO TEMA EM ELETRÔNICA DE POTÊNCIA

Até 2030, 80% de toda a energia elétrica será processada pela eletrônica de potência. Os benefícios comerciais continuam a crescer no mercado técnico e portanto é necessário entender os fundamentos e requisitos técnicos dos modernos sistemas de conversão de energia para poder oferecer soluções cada vez mais ótimas ⁷. Um dos esforços neste campo é focado no desenvolvimento de circuitos de comando (*drivers*).

A principal função de um *driver* é comutar um componente semiconductor do estado desligado para o estado condutor e vice-versa. Na maioria das situações, o projetista procura um circuito de *driver* de baixo custo que minimize os tempos de início e atraso para que o dispositivo de energia gaste um curto período de tempo percorrendo a região ativa onde a dissipação instantânea de energia é mais importante. No estado operacional, o circuito de controle deve fornecer energia de acionamento adequada (por exemplo, uma corrente para a base de um BJT ou uma voltagem de porta para um MOSFET) para manter o interruptor de energia no estado operacional, onde as perdas de condução são baixas. Muitas vezes, o *driver* deve fornecer polarização reversa aos terminais de controle do interruptor de energia para minimizar o tempo de corte e garantir que o dispositivo permaneça em um estado de desligamento e não seja disparado por sinais transitórios espúrios gerados pelas comutações de outros dispositivos elétricos.

Como explica [4] em seu livro, o processamento de sinais e circuitos de controle que geram os sinais de controle de nível lógico usados para ligar e desligar o interruptor não são considerados parte do *driver*. O circuito de controle é a interface entre o controle e o interruptor de energia. O controlador amplifica os sinais de controle para os níveis necessários para acionar o interruptor de alimentação e proporcionar isolamento elétrico onde necessário entre o interruptor de potência e o sinal de circuitos de processamento / controle de nível lógico. Frequentemente, o *driver* possui recursos de energia significativos em comparação com os circuitos de

controle de nível / processamento de sinal lógico. Muitas vezes, há uma necessidade de isolamento elétrico entre os sinais de controle de nível lógico e os circuitos de controle. A maioria dos acionadores eletricamente isolados também requer fontes de alimentação DC isoladas. Esses pontos são ilustrados na Fig. 1 para o caso de um conversor de meia-ponte BJT ter uma fonte de alimentação monofase como entrada, com o fio neutro ligado à terra.

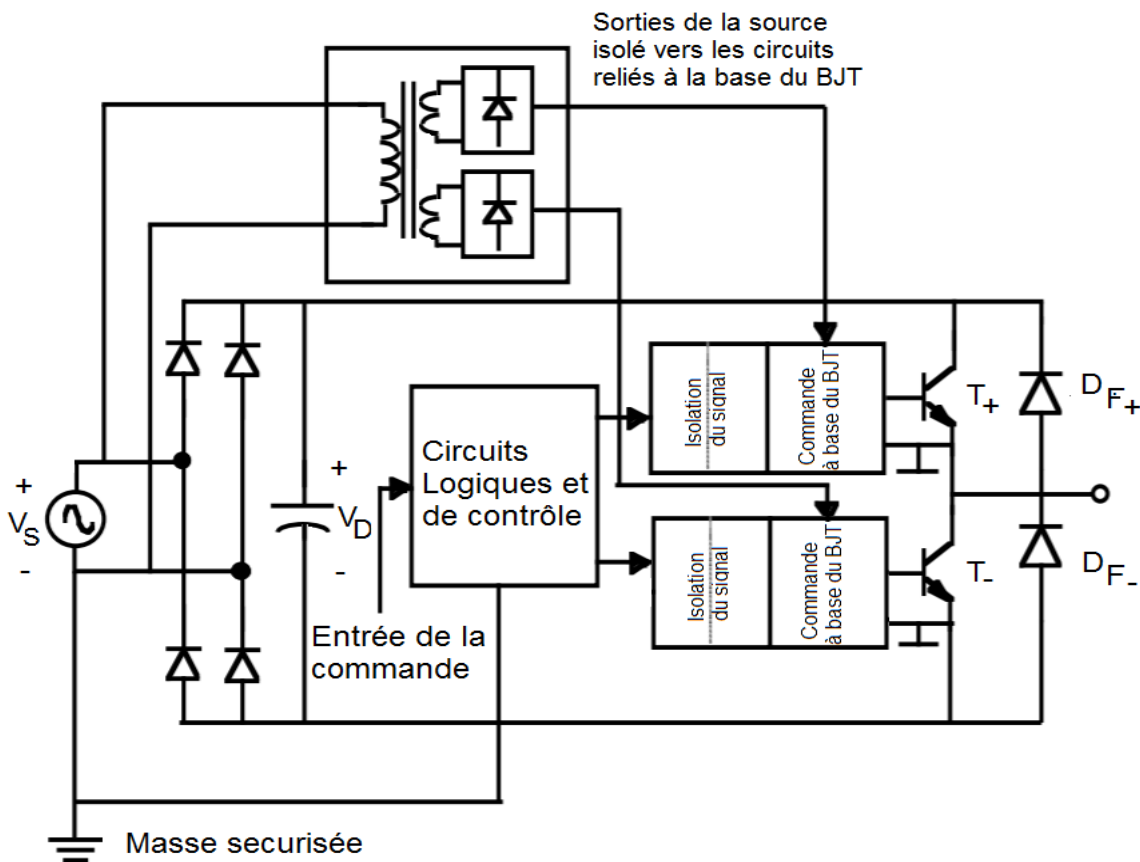


Figura 1 - Sistema de controle baseado em BJT (Bipolar Junction Transistor) mostra a necessidade de isolamento elétrico entre circuitos de controle básico e circuitos de controle de nível lógico⁸.

Na locomotiva elétrica, por exemplo, o uso de conversores de energia acionados diretamente pelas catenárias revela o problema do isolamento do estágio dos *drivers*. De fato, com uma tensão de catenária de 25 kV, as tecnologias padrão não são adaptadas às tecnologias usuais de isolamento e novas estruturas devem ser desenvolvidas para a realização de *drivers* isolados de alta tensão. Assim, a transmissão de sinais através de uma barreira de isolamento é um desafio técnico em um grande número de aplicações. As soluções geralmente adotadas são a fibra ótica, o optoacoplador e o transformador de pulso. Estas soluções são exibidas na fig. 2:

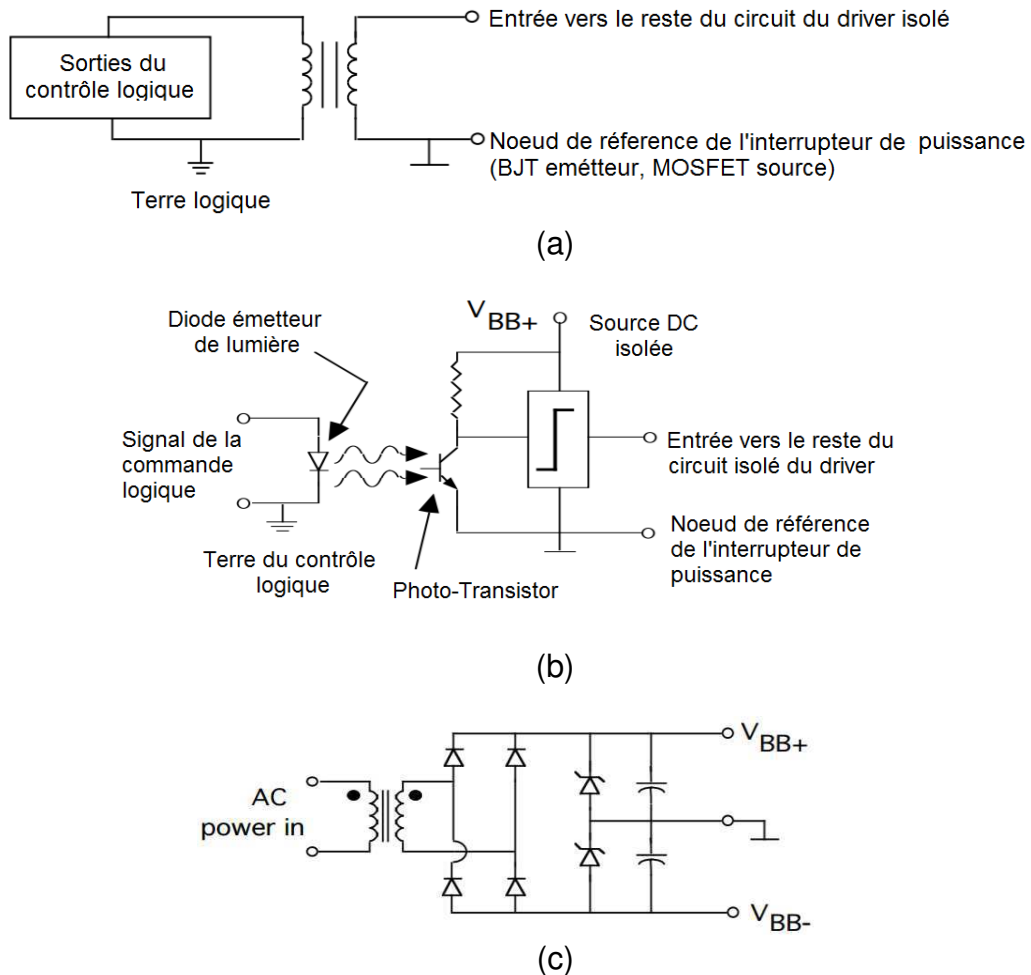
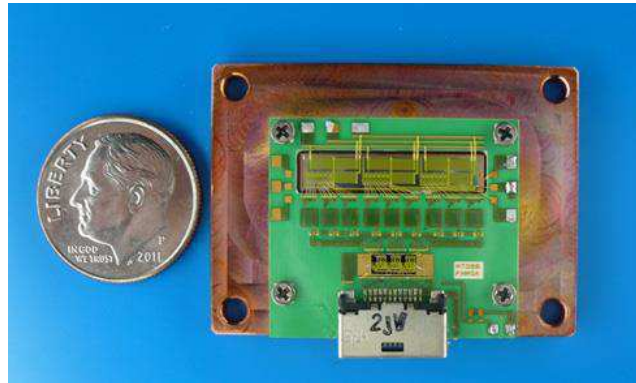


Figura 2 - a) Isolamento do transformador b) Isolamento do optoacoplador c) Fonte DC isolada para os circuitos do acionador.

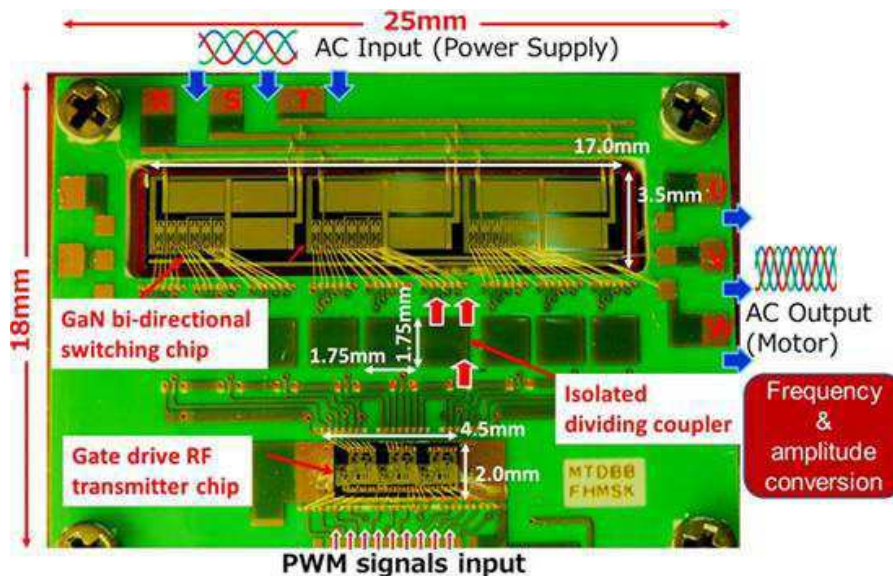
Esses sistemas devem ser compactos porque, nas arquiteturas de conversores de alta tensão, o número de chaves pode se tornar significativo⁹.

PROBLEMÁTICA DO TEMA DE ESTÁGIO

Este tema de estágio foi extraído de uma especificação de um pedido de um dos parceiros industriais da LGECA (DACLE / LGECA). O assunto deste estágio está relacionado com ligações digitais e isolamento em sistemas de eventos discretos com restrição de tempo. Este é, por exemplo, o caso de drivers de energia, em que os comandos de comutação não podem acomodar incertezas temporais. As restrições relacionadas a esses sistemas são múltiplas: integração extrema, isolamento necessário vis-à-vis do alto dV/dt e dE/dx , gerenciamento de comandos de matriz etc. A resposta a esse problema, portanto, requer a fusão de habilidades interfuncionais, como o projeto de comunicações por radiofrequência, o projeto do sistema de energia e o projeto integrado. Um exemplo do estado da arte é mostrado na fig. 3. Esta é a solução de transmissão ponto-a-ponto da Panasonic para comandos de comutação de ondas de RF, tecnologia GaN:



(a)



(b)

Figura 3 - a) Foto do protótipo do novo conversor de potência GaN. b) Módulo protótipo do novo conversor de potência (conversor de matriz 3X3 GaN com Drive-by-Microwave® a 5 GHz). (Direitos autorais: Panasonic)

¹ Commissariat à l'Énergie Atomique et aux Énergies Alternatives / ² Direction de Recherche Scientifique / ³ Laboratoire d'Électronique et de Technologies de l'Information / ⁴ Département d'Architecture Conception et Logiciels Embarqués / ⁵ Service Capteurs, Communication, Intégration / ⁶ Laboratoire Gestion d'Énergie, Capteurs et Actionneurs / ⁷ University of Colorado Boulder / ⁸ Power Electronics, 3th ed. MOHAN, Ned et al. / ⁹ Stéphane Bréhaut et François Costa.

TERMOS DE REFERÊNCIA ¹

Como parte deste estágio, o aluno terá que explicar as restrições relacionadas à "transmissão de comandos de controle de interruptores com isolamento nas arquiteturas de eletrônica de potência". Os aspectos do protocolo de comunicação terão que ser levados em conta na estrutura de ligação do aplicativo. Um estudo de viabilidade será conduzido com um esquema de aplicação proposto, e a simulação da solução será feita. O aluno também participará do projeto de um demonstrador se o progresso do estágio permitir. Abaixo, consta a decomposição do assunto em três partes temáticas.

PARTE LÓGICA PROGRAMÁVEL

O link de transmissão é um link serial sem " *acknowledge* ", portanto, deve ser seguro. A informação transmitida terá que ser decodificada localmente para cada interruptor. A prototipagem será do tipo demoboard Zynq, Virtex ou Cyclone III, por exemplo. É exigida precisão em ordens de comutação melhor que 10ns, absolutamente zero taxa de erro.

PARTE RADIOFREQUÊNCIA

Será uma conexão proprietária a ser definida para ter a maior precisão temporal possível. Para a prototipagem, duas opções serão possíveis: a implementação de um chip desenvolvido no LETI que já permitiu a transmissão de vídeo em tempo real ou o uso de módulos de rádio comerciais, com uma redução no desempenho bruto (banda de frequência mais baixa). A conexão de rádio, que também fornece a função de isolamento, permitirá que ambas as opções verifiquem experimentalmente o sistema completo. Bandas de frequência de RF: 433 MHz, 900 MHz e GHz.

PARTE ELETRÔNICA DE POTÊNCIA

Para demonstrar a viabilidade do conceito, será necessário desenvolver um conversor de demonstração, pelo menos um braço inversor. Existem duas opções: construir um sistema modular que permita usar *drivers* existentes ou projetar um sistema em uma placa independente com energia e *drivers* com suas fontes de alimentação. As especificações do inversor são: tensão de entrada 48 Vcc, corrente comutada 5 A, frequência de comutação em torno de 1 MHz no mínimo.

As três partes são independentes e podem ser aprofundadas de diferentes maneiras, dependendo do perfil do candidato.

¹ Escrito por Dominique Bergogne

CONTEXTO E QUESTÕES ESTRATÉGICAS NA EMPRESA

Âmbito do estágio

Laboratório do CEA, o LETI é agora um dos maiores laboratórios de P & D na Europa no campo da eletrônica, microeletrônica e micro-tecnologias em geral. O LETI desenvolveu cerca de duas atividades principais: tecnologias futuras para a indústria de semicondutores e o projeto de sistemas eletrônicos avançados. Sua finalidade é ajudar os fabricantes a aumentar sua competitividade por meio da inovação técnica e da transferência de seu *know-how* tecnológico. Sua atividade é dedicada em mais de 85% para pesquisas finalizadas com mais de 200 parceiros industriais e 350 contratos por ano. O LETI suscitou a criação de quase 30 start-ups de alta tecnologia, incluindo a Soitec, líder mundial na geração e manufatura de materiais semicondutores de alta performance. O LEIT registra cerca de 180 patentes por ano e administra um portfólio de 2.800 patentes, o que ajuda a fortalecer a competitividade de seus parceiros industriais. Com mais de 250 alunos envolvidos em atividades de pesquisa, o LETI é uma fonte de habilidades dedicadas à inovação.



Figura 4 - Centro Minatec do CEA-LETI Grenoble

O LETI: UMA PEÇA CHAVE A SERVIÇO DA INOVAÇÃO

Tecnologias que se tornam produtos

Sensores de Pesagem Terraillon, Sensores de Impacto Airbag Freescale, Sensores de Visão Noturna, Geradores de Imagem de Telefones Nokia, Processadores de Baixa Potência STMicroelectronics, Analisador Rápido de Vírus da Gripe Aviária, Sensor de Imagem Digital de Raio X, muitos exemplos de tecnologias LETI que se tornaram produtos comerciais.



Startups se tornam líderes mundiais

Com uma forte atividade na criação de empresas, o LETI é um dos institutos de pesquisa mais prolíficos do mundo em termos de *start-ups* tecnológicas: SOITEC, SOFRADIR, ULIS, MOVEA, Tecnologia APIX, HELIODEL e outras em desenvolvimento.

Infraestruturas de pesquisa de primeira linha em nível mundial

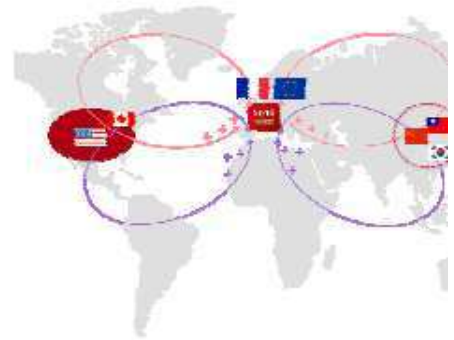
Para pesquisas mais próximas possível das exigências industriais, o LETI consolidou recursos tecnológicos raros: plataforma de nano-caracterização, linhas de 300mm e 200mm dedicadas à nano eletrônica e MEMS, linha de integração 3D, em 8.000 m² de salas limpas.





Um papel de relevância mundial

O LETI constitui, juntamente com outros 32 institutos de pesquisa, a rede de Institutos Carnot, fortemente comprometida com os industriais para promover a inovação e o dinamismo econômico. O LETI desenvolveu parcerias internacionais estreitas, formando a Hi-Tech Alliance com Fraunhofer (GE), CSEM (CH) e Mountain Bike (FI), criando a NanoVLSI Alliance com a Caltech, em parceria com a IBM e ST em nano eletrônica, ou em consórcio industrial com Microsystems (MMC) no Japão.



Desenvolvimento do tema do estágio

Como mencionado acima, este tema de estágio é composto por três seções temáticas. Neste capítulo, discutiremos todas as partes enquanto explicamos de maneira global o sistema e depois detalharemos cada parte de forma independente.

Durante este estágio, vários relatórios de procedimentos técnicos foram desenvolvidos para realizar os testes, para o uso do kit de desenvolvimento, escolha de componentes, etc. Falaremos com menos detalhes aqui sobre esses relatórios de procedimentos e deixaremos em anexo os documentos completos de acordo com esses procedimentos.

PLANEJAMENTO DO PROJETO

O planejamento do estágio foi baseado em três eixos principais: Eletrônica de Potência, Lógica Programável e Radiofrequência. Até o presente momento, podemos contar alguns atrasos em decorrência de alguns problemas de informática e entrega de placas eletrônicas. O gráfico de Gantt da programação é mostrado abaixo:

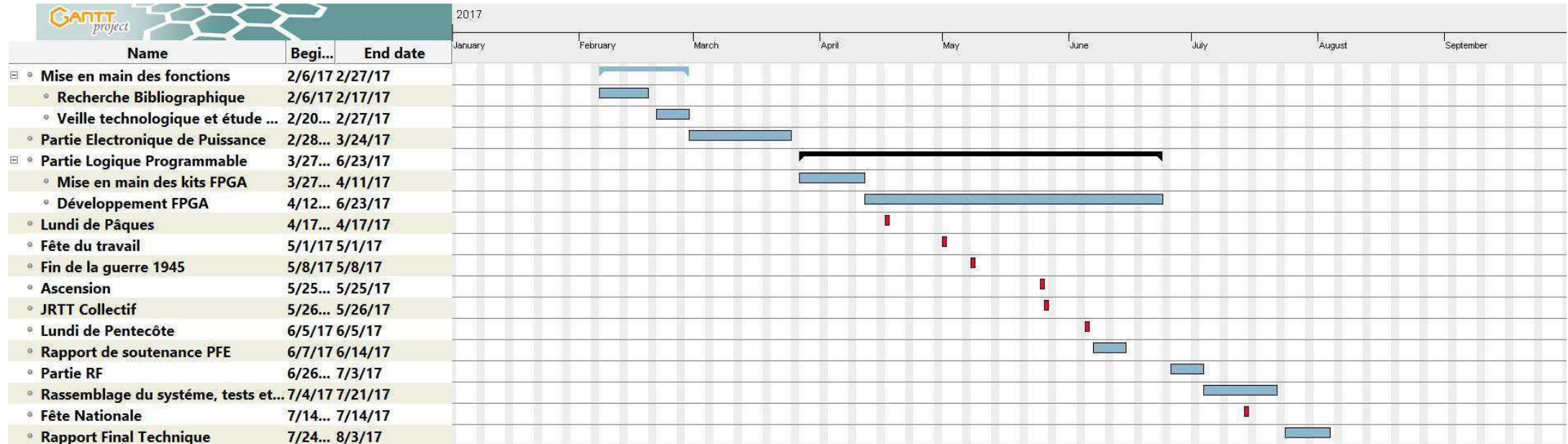
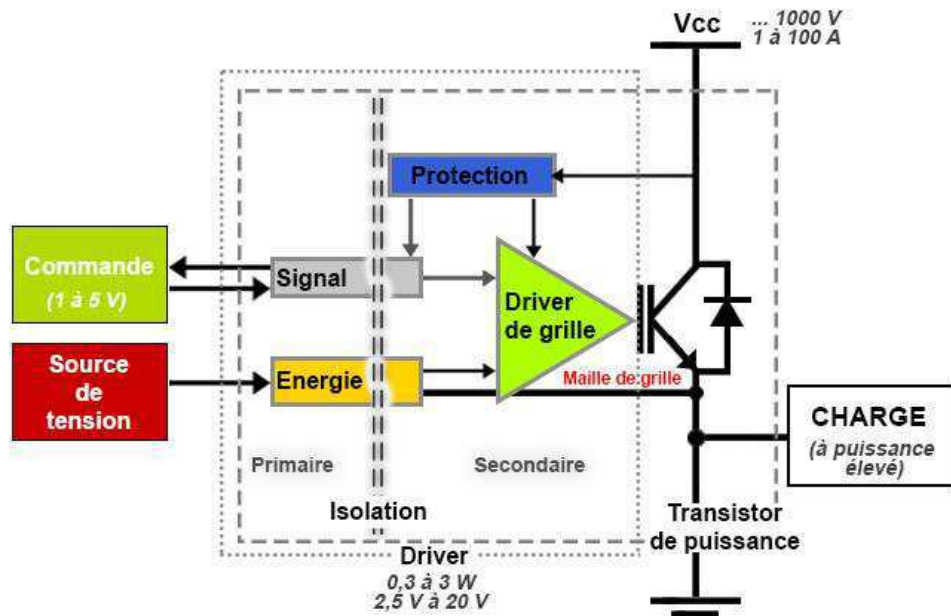


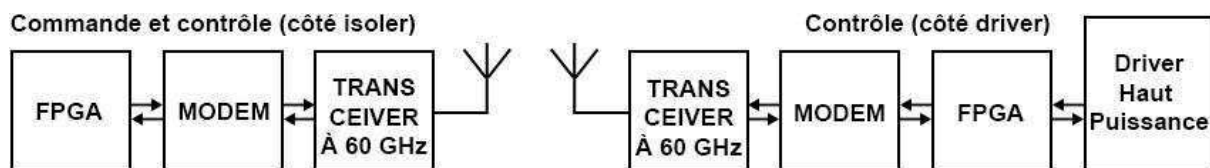
Figura 5 - Diagrama de Gantt do estágio.

VISÃO GERAL DO CONJUNTO DAS PARTES

Na fig. 6 fazemos um lembrete do driver em seu ambiente, bem como a representação em blocos descrevendo as partes da solução para o problema:



(a)



(b)

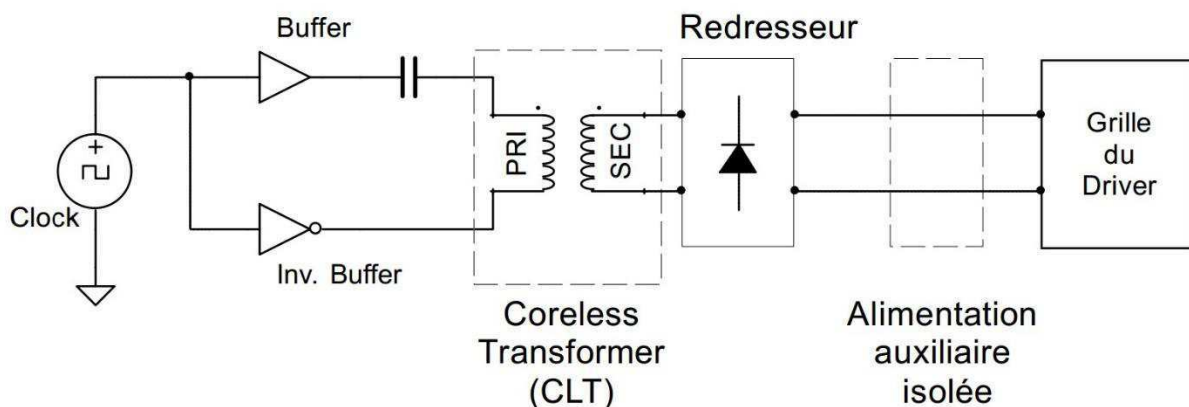
Figura 6 – a) Driver em seu ambiente de funcionamento; b) Esquema das partes do sistema.

Na fig. 6 (b) o bloco FPGA refere-se à parte da Lógica Programável do Conjunto de Especificações. Os blocos MODEM e Transceptor são referenciados à parte de RF. No bloco High Power Driver está implícita a parte isolada da fonte de

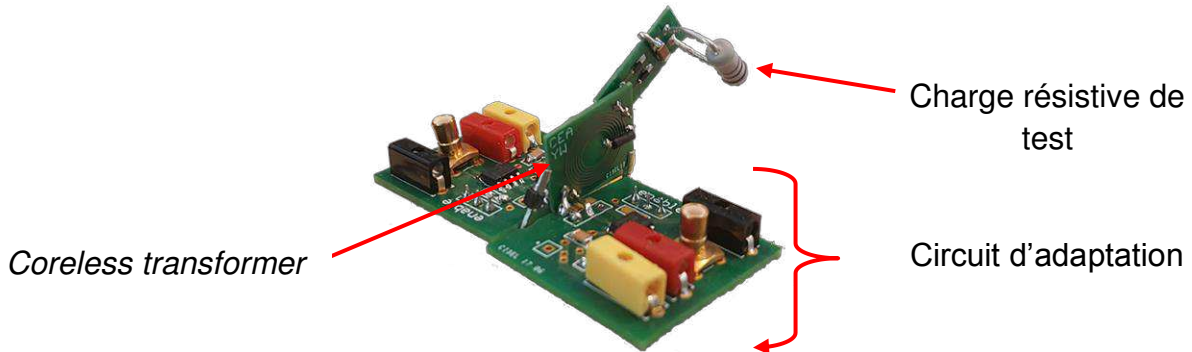
alimentação do *driver* também solicitada no Conjunto de Especificações. Nas páginas seguintes, você encontrará o progresso do estágio, bem como a descrição técnica das tarefas em cada parte.

PARTE SOBRE ELETRÔNICA DE POTÊNCIA

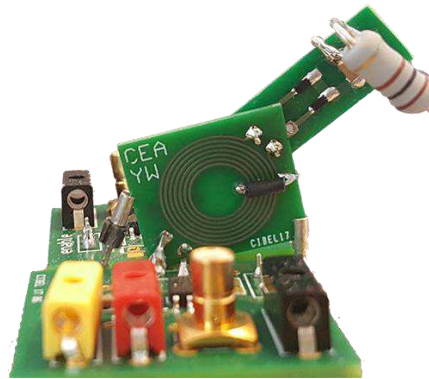
Inicialmente, fez-se uma grande quantidade de pesquisas científicas que serviram de base para o planejamento da alimentação isolada. A fonte de alimentação isolada consiste em um circuito primário, um *Coreless Transformer* (CLT), um circuito secundário com e um retificador. O *coreless transformer* utilizado na alimentação faz parte do tema de pesquisa de doutorado do orientando do sr. D. Bergogne. Na fig. 7 são mostrados o diagrama da fonte de alimentação isolada e a PCB:



(a)



(b)



(c)



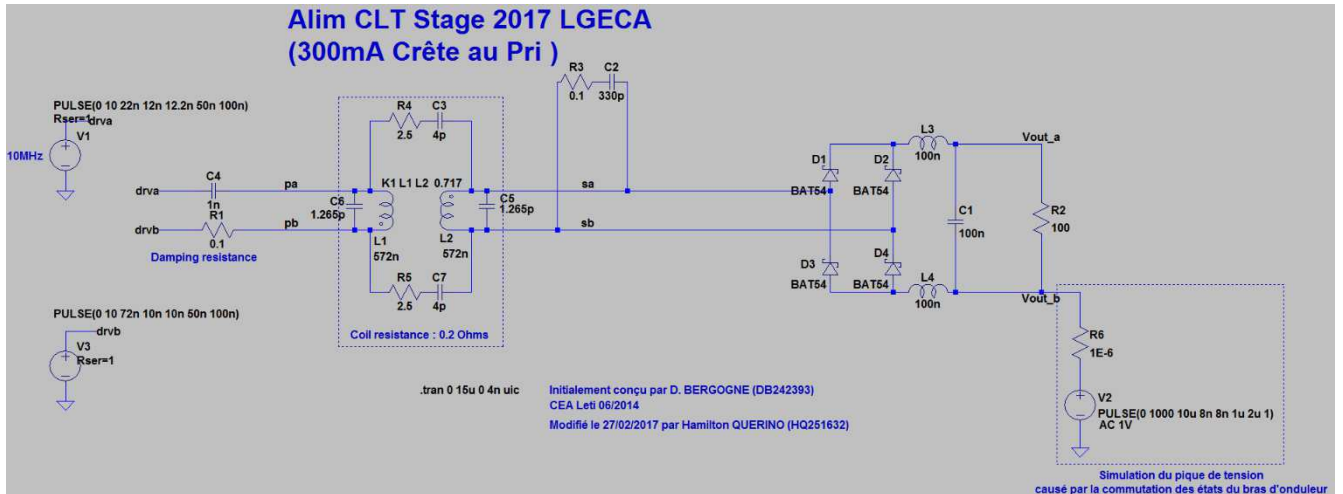
(d)

Figura 7 – a) Esquema do circuito de alimentação; b) Descrição da alimentação; c) Vista frontal da alimentação; c) Vista frontal do CLT.

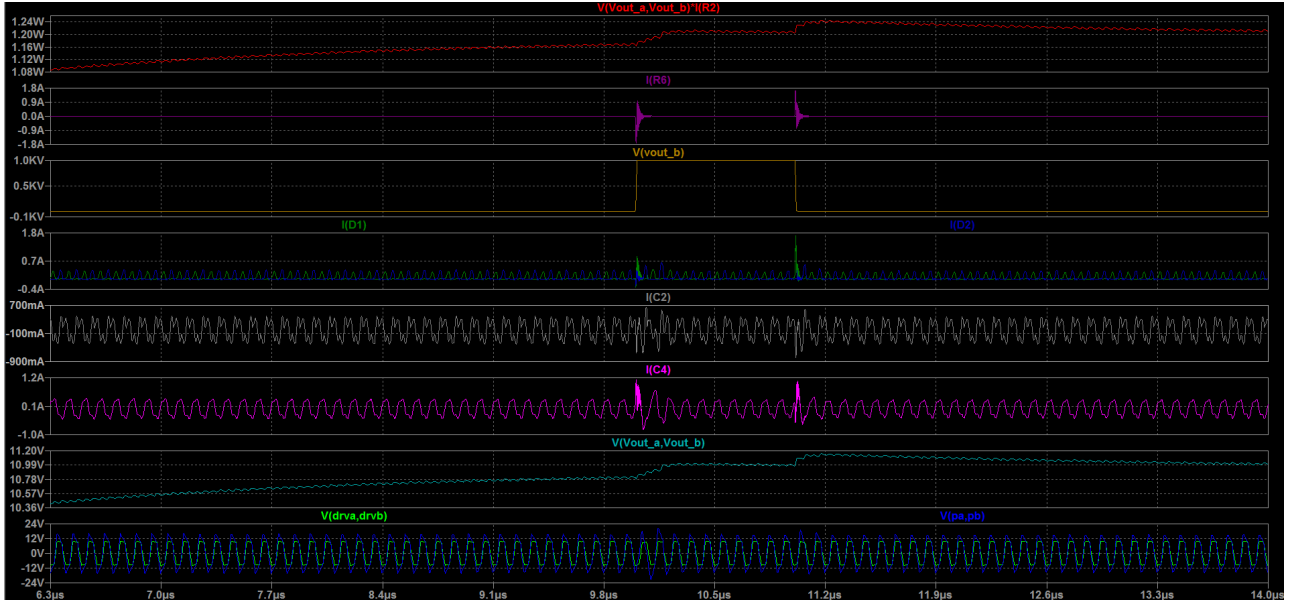
Para encontrar os parâmetros do circuito de adaptação da fonte de alimentação, baseei-me nos trabalhos de pesquisa do doutorando Yann Wanderold e nas simulações feitas no LTspice. Na fig. 8 são exibidas as medidas que foram feitas para comparar o CLT fabricado e os modelos simulados em computador.



(a)



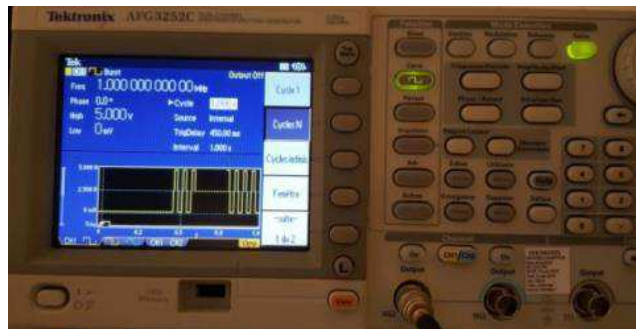
(b)



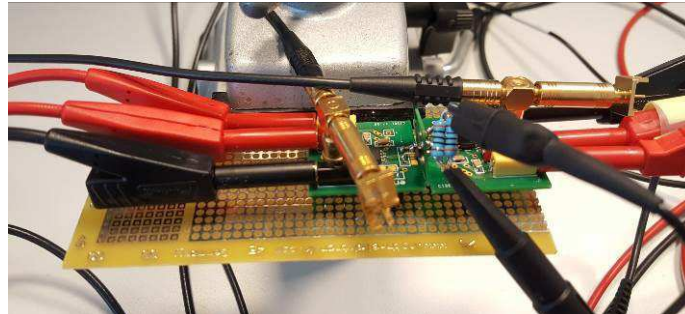
(c)

Figura 8 – a) Medidas realizadas por um Impedance Analyser; b) Modelo do circuito analisado; c) Resultados das simulações.
(PS. : Na proibição do uso de pen drives, fotos foram tiradas).

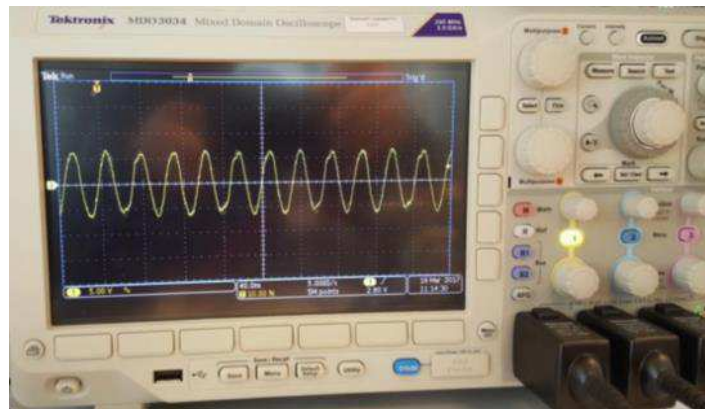
As manipulações que foram feitas para testar o CLT com fio com todos os parâmetros são mostradas na fig. 9.



(a)



(b)



(c)

Figura 9 – a) Geração de sinais de teste; b) Montagem do circuito; c) Resultados das simulações.

(PS. : Na proibição do uso de pen drives, fotos foram tiradas).

Foi feito um documento específico para a caracterização da fonte de alimentação fabricada e para as simulações. Este documento pode ser consultado no Anexo IV.

Os capacitores presentes na placa frontal foram escolhidos em relação ao seu desempenho de temperatura, uma vez que ter alta corrente fluindo no circuito requer capacitores com bom desempenho de temperatura. Os testes de temperatura foram feitos com o uso de uma câmera de imagem térmica FLIR. Na fig. 10, são exibidas

algumas figuras do documento contendo o teste completo. O documento que contém o procedimento de teste, bem como os resultados, está disponível no Anexo V.

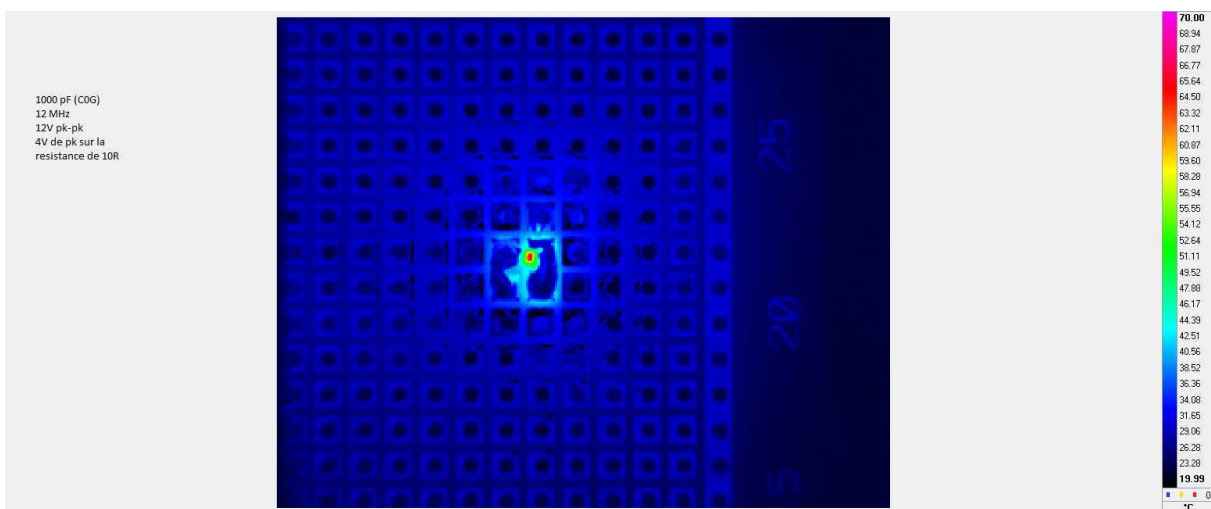
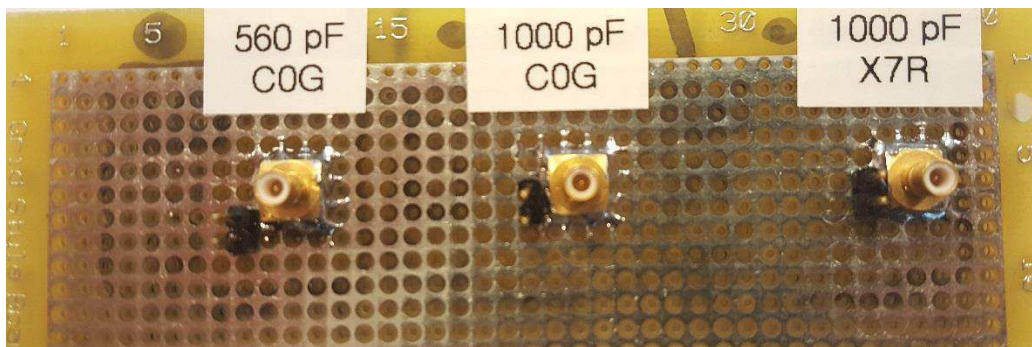
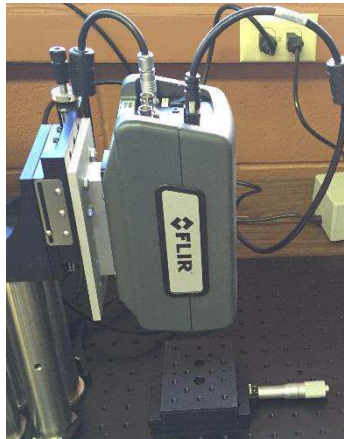


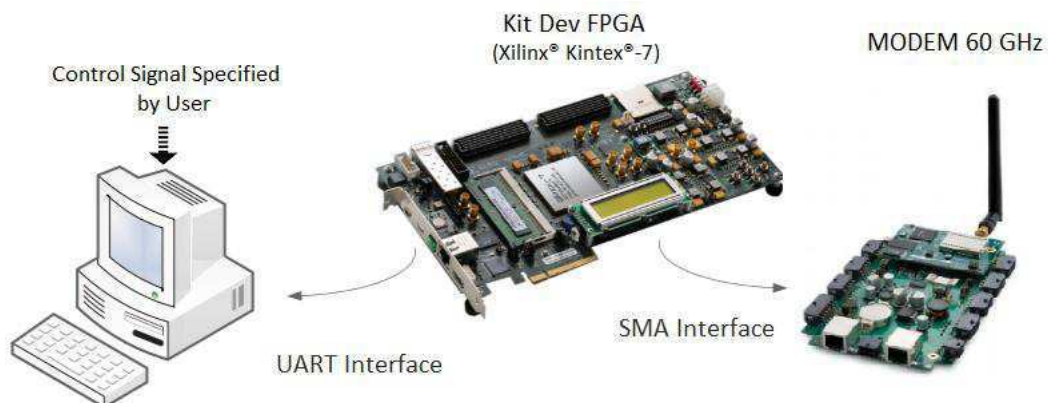
Figura 10 – a) Similar da câmera térmica utilizada; b) Capacitores soldados; c) Imagem capturada pela câmera.

PARTE SOBRE LÓGICA PROGRAMÁVEL

Esta parte é composta por desenvolvimento de FPGA e desenvolvimento de software. O desenvolvimento da FPGA é muito complexo e ocupou uma boa parte do desenvolvimento do projeto.

DESENVOLVIMENTO DE SOFTWARE

Uma das idéias iniciais para o primeiro demonstrador que iremos construir é modificar os *frames* de controle enviados via FPGA / MODEM para acionar o transistor de alta potência. Isso torna o sistema mais flexível e autônomo, uma vez que não é necessário reprogramar o FPGA toda vez que precisar carregar o formato do quadro de controle. Para os testes, precisaríamos alterar os parâmetros do quadro, como o *duty cycle* e os endereços dos transistores. É mostrado na fig. 11 a integração do computador em todo o sistema.



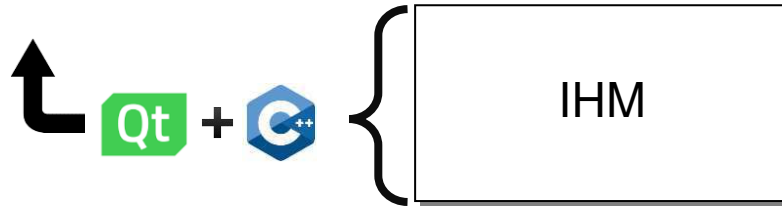


Figura 11 – Descrição do papel do computador.

A HMI (*Human Machine Interface*) foi feita com a ajuda do Qt e escrito em C++. O resultado final do software usado para enviar comandos de controle para o FPGA é mostrado na FIG. 12.



Figura 12 – Human Machine Interface para se comunicar com o FPGA.

O código-fonte assim como projeto Qt do software desenvolvido estará disponível no fichário virtual do projeto, que será devolvido no final do estágio.

DESENVOLVIMENTO DE FPGA

A necessidade do FPGA / VHDL é gerar quadros de controle com alta frequência, bem como descrever no circuito digital os blocos necessários para montar um sistema de controle dos transistores de RF. Desta forma, podemos visualizar alguns aspectos chave antes de prosseguir para a solução ASIC.

Durante a implementação do FPGA, o Kit de Avaliação *Xilinx* KC705 é usado. Este kit FPGA é uma poderosa ferramenta de prototipagem, em particular porque metade do chip embutido XC7K325T, núcleo do kit KC705, é dedicado aos *Giga Transceivers*. Isso torna o KC705 uma ferramenta otimizada para prototipagem rápida de aplicativos de transceptor serial de alto desempenho. O uso deste kit pode ser muito complexo e demorado. É exibido na fig. 13 o kit KC705 da *Xilinx*.

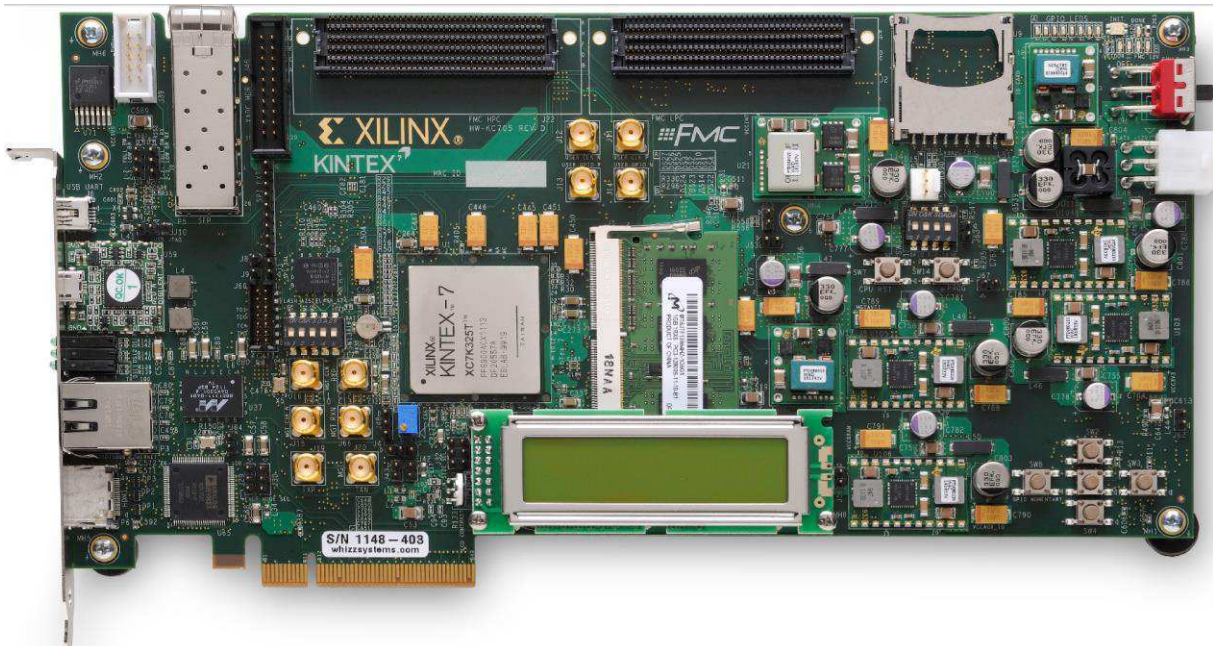


Figura 13 – Xilinx KC705.

Na parte FPGA, seria necessário desenvolver um circuito para estabelecer uma comunicação entre a placa de desenvolvimento FPGA e o PC. Esta comunicação é feita pela UART. Este circuito foi feito em VHDL e o diagrama da síntese RTL (Register-Transistor-Level) é mostrado na fig. 14.

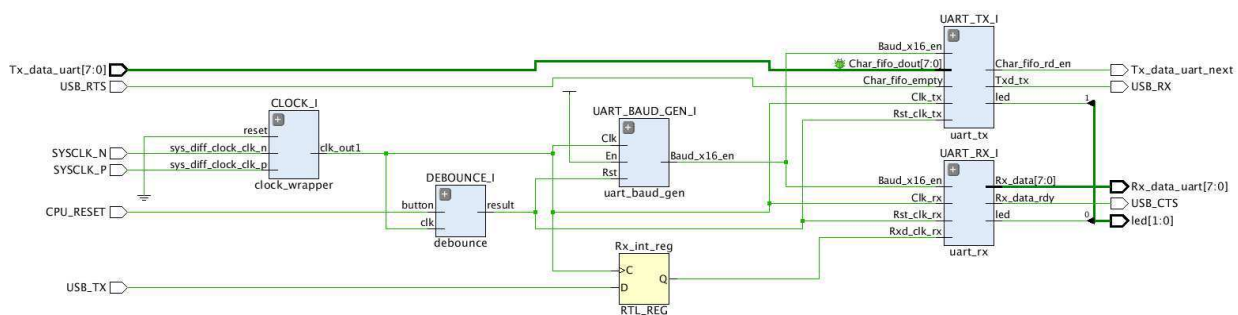


Figura 14 – Síntese RTL da comunicação UART.

A conexão do kit KC705 e do Modem é feita pelo conector SMA de cabo coaxial. O modem de 60 GHz precisa de uma taxa de bits mínima de 0,5 Gbps. Para os testes, foi definida uma taxa de transferência de dados de 1 Gbps. Para garantir essa conexão, a camada física M-PHY-MIPI e o protocolo 8b / 10b são usados a partir do IP *Xilinx Aurora 8B/10B*.

O M-PHY é uma tecnologia de interface de *clock* serial integrado com recursos de largura de banda ultra alta, desenvolvidos especificamente para desempenho extremo e baixos requisitos.

O IP *Xilinx Aurora 8B/10B* é projetado para interfaces ponto-a-ponto de próxima geração e redes de componentes de alta velocidade usando arquiteturas simples. Esse IP serve como uma interface para o MGT (Multi Giga Transceivers) na FPGA *Xilinx*. Esse IP adiciona uma camada de abstração sobre os MGTs, dando ao usuário uma maneira de enviar dados usando os transceptores, independentemente de quaisquer configurações de transceptor. Na fig.15 o circuito que foi desenvolvido para testar o uso do IP Aurora 8B/10B é exibido.

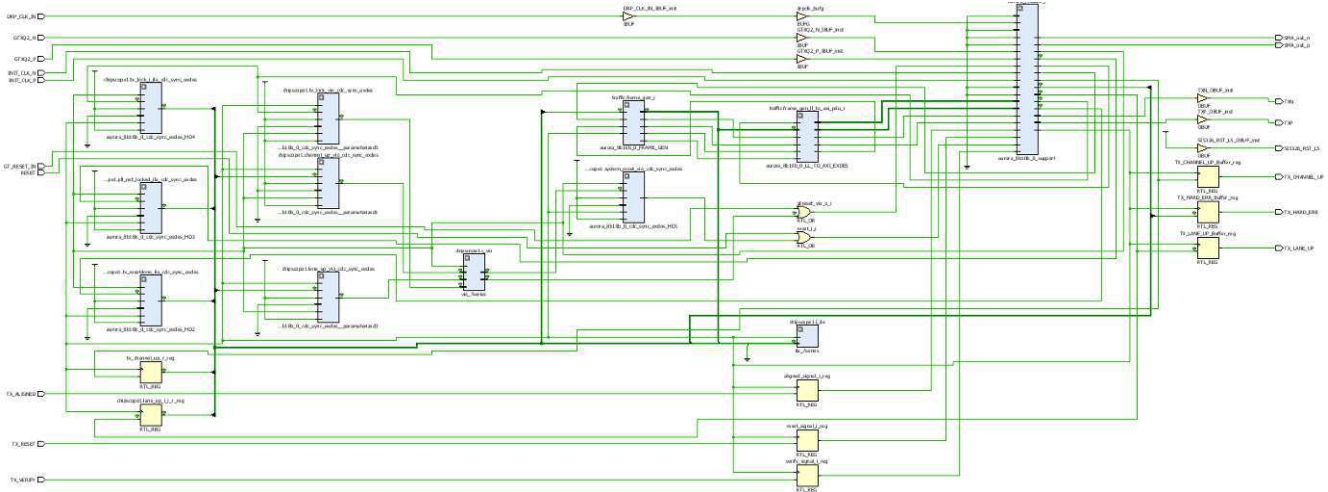


Figura 15 – Circuito sintetizado para testar o Aurora 8B/10B.

Na fig. 16 é exibido o uso do kit KC705 durante testes de transferência de dados em banda larga.

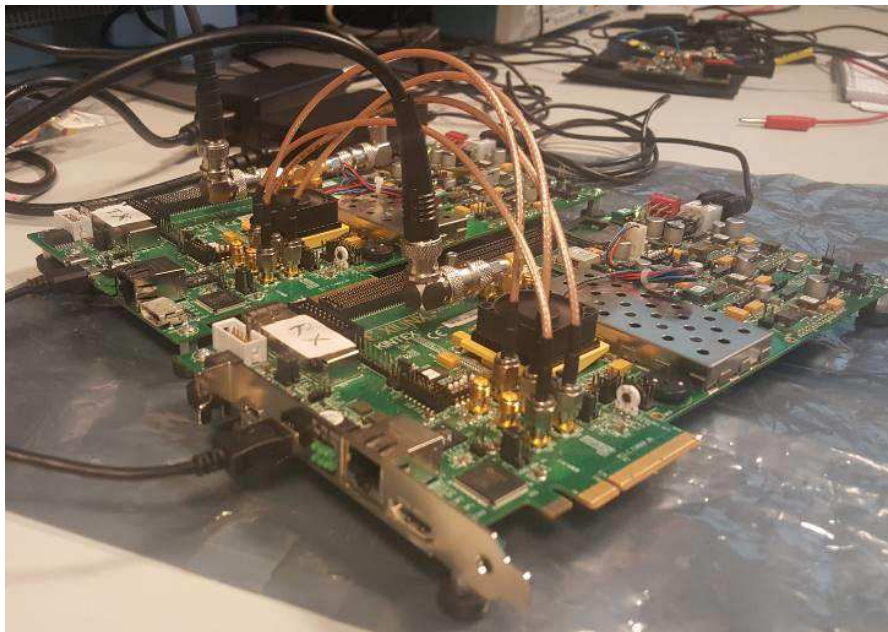
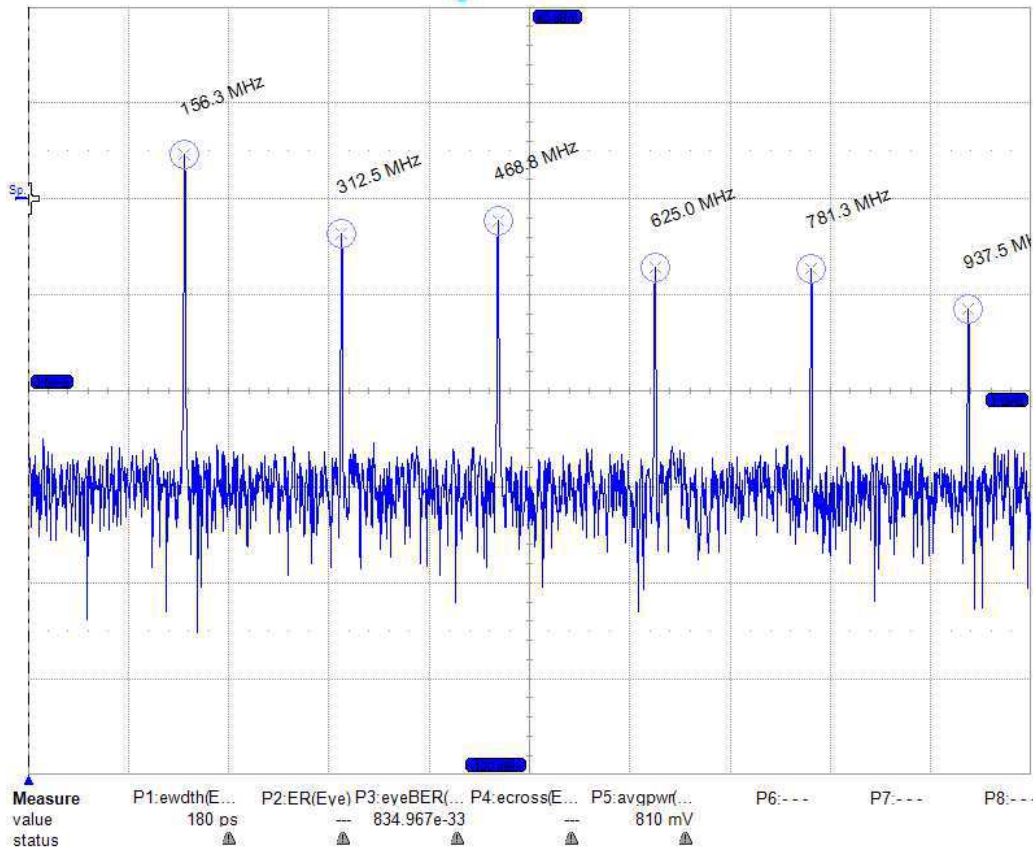
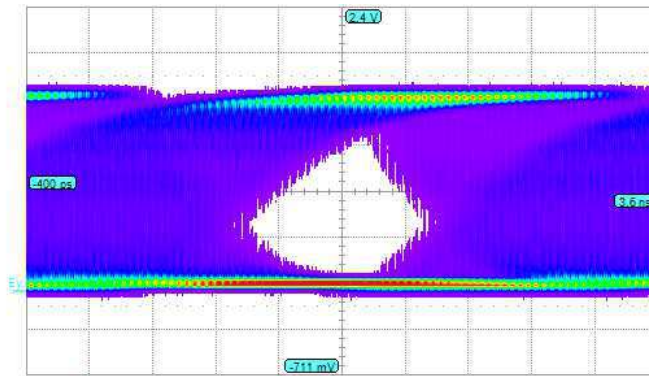


Figura 16 – Testes realizados para verificar a integridade dos dados durante a transmissão em alta taxa de transferência.

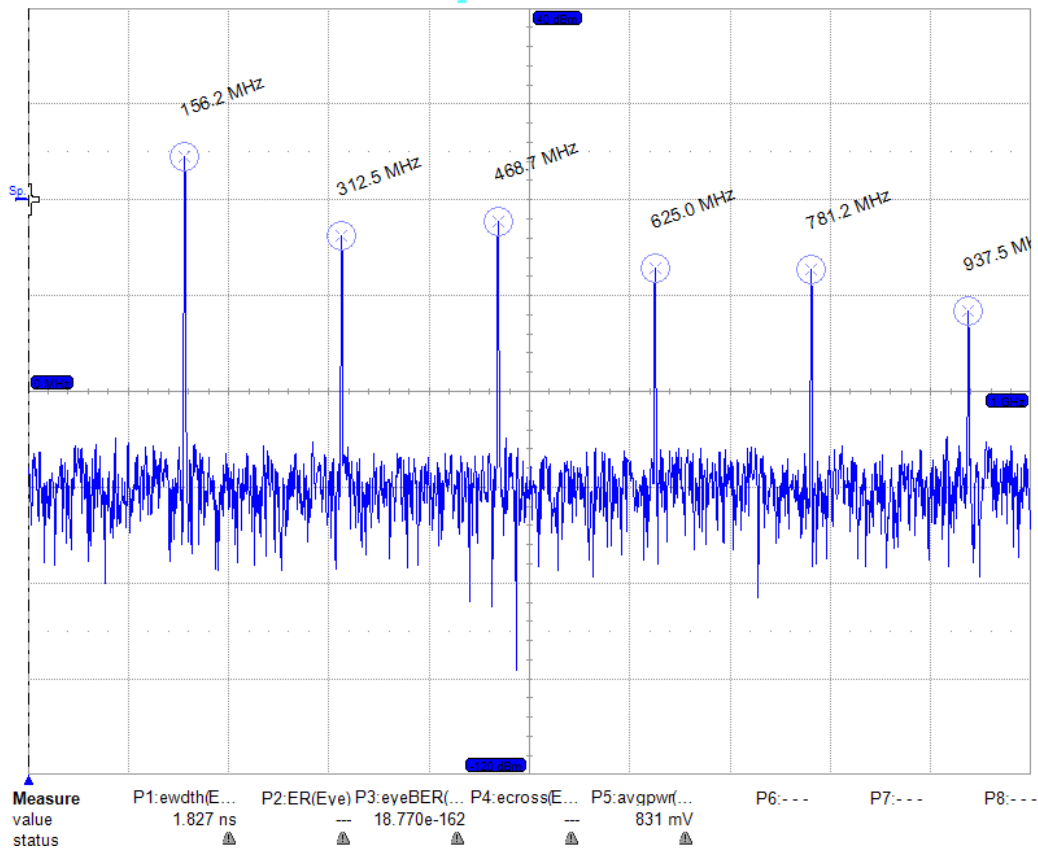
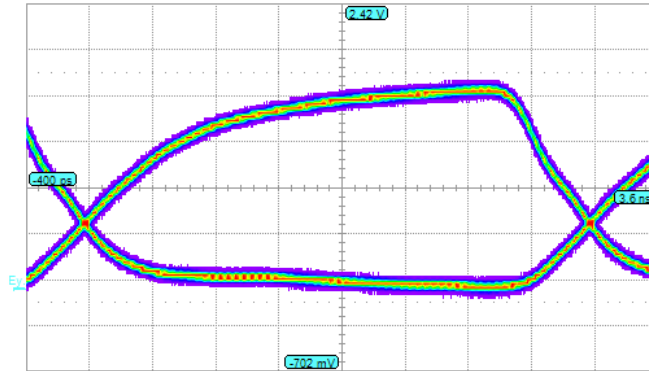
Para comunicação em alta velocidade é necessário o uso de *clocks* com atenuação de *jitter* muito importante. Durante o desenvolvimento, uma solução foi implementada para atenuar o *jitter* do sinal de clock que entra nos blocos *Giga Transceivers* do chip XC7K325T. Na fig. 17 é exibido os testes e resultados de atenuação de *jitter*.

SpecAn	Freq.	Amplitude
1	156.25 MHz	9.1 dBm
2	468.75 MHz	-4.6 dBm
3	312.50 MHz	-7.3 dBm
4	625.01 MHz	-14.3 dBm
5	781.26 MHz	-14.6 dBm
6	937.51 MHz	-23.0 dBm



(a)

SpecAn	Freq.	Amplitude
1	156.25 MHz	9.1 dBm
2	468.75 MHz	-4.6 dBm
3	312.50 MHz	-7.4 dBm
4	625.00 MHz	-14.4 dBm
5	781.24 MHz	-14.6 dBm
6	937.49 MHz	-23.2 dBm



(b)

Figura 17 – a) O diagrama de olho e análise espectral do sinal sem atenuação de jitter;
b) O diagrama de olho e análise espectral do sinal com atenuação de jitter.

O próximo passo no desenvolvimento do FPGA será a integração de kits com placas Modem de 60 GHz e teste de envio e recebimento de dados.

DESENVOLVIMENTO RF

Para o primeiro demonstrador, direcionaremos a transmissão RF de 60 GHz. Esta escolha é baseada em:

- Alta taxa de transmissão (as características dos transistores de potência, por exemplo, GaNs) podem ser maximizadas;
- Disponibilidade de chips de 60 GHz no DACLE;
- Alta segurança de transmissão de dados: pequenos tamanhos de feixe acoplados às propriedades de absorção de oxigênio do espectro de 60 GHz tornam o sinal altamente seguro;
- Com a absorção de oxigênio no ar do espectro de 60 GHz, temos a vantagem sobre os problemas de crosstalk;
- Banda ISM livre na Europa (ECC/ERC RECOMMENDATION 70-03, sub-band n1 de 57-64 GHz for NON-SPECIFIC SHORT RANGE DEVICES) ;
- Capacidade de adicionar algoritmos para aumentar a segurança e fazer correções de erros (uma vez que nos movemos amplamente da frequência de comutação máxima do transistor com a transmissão de 60 GHz, podemos fazer o processamento e ainda assim sermos capazes de para alternar transistores em altas frequências;
- Tamanhos menores de antenas.

Por enquanto não temos resultados para mostrar aqui. O desenvolvimento de RF começará assim que a parte da Lógica Programável for concluída.

INVESTIMENTO E RETORNO ESPERADO

CUSTOS DE PESSOAL¹

Uma gratificação mensal fixa é concedida aos estagiários de ensino superior. Seu valor (entre o mínimo legal e 1300 €) varia de acordo com o nível de diploma preparado e a duração do estágio.

Os estágios são classificados em três categorias, com base nos níveis de graduação preparados:

- a categoria 1 é reservada para cursos de primeiro ano em cursos de engenharia e mestrado

- a categoria 2 é reservada para as escolas de engenharia: INSA, ECAM, ESIM, ENI, ENSSAT, EPF, IST, ESIEA, ESSI, ISIMA, ISTG, ESIA, ENSM (de DOUAIS) ...

- A categoria 3 é reservada para escolas de engenharia: ECP, ENSTA, EP, ENSAM, EC Lille, ECL, ENP, ENSMP, SUPAERO, EMN, EMSE, ENSAIS, ISRA, UTC, ENSEEG, ENSEEIHT, ENSEM ENSHMG, ENSIEG, ENSIMAG, ENSPM, ENSPS, ENSPG, ENSIAME ...

Os valores dos elementos mensais correspondentes a cada categoria de estágio são os seguintes

Niveau d'études préparées	Diplôme préparé	Catégorie	Durée du stage	Gratification mensuelle	Prime mensuelle maxi
Bac +2 Bac +3	BTS, DUT, Licence Pro...	1	≤ à 3 mois	150 €	15 €
Bac +5	1 ^{ère} année d'étude pour toutes les écoles d'ingénieur		> à 3 mois	398,13 €	39,81 €
	Master 1 et 2	2	-----	700 €	70 €
	Classement < à E1-456		3	< à 4 mois	1000 €
	Classement ≥ à E1-456	≥ à 4 mois		1300 €	130 €
stages enseignement secondaire et stages non rémunérés		4	-----	XXX	XXX

Tabela 1 – Gratificação mensal de acordo com classificação.

No CEA, há uma discrepância entre as escolas INP de Grenoble em termos de bônus de estágio. Um estudante de engenharia da EPE da ESISAR recebe quase metade da gratificação de um estudante de engenharia com o mesmo nível de educação, mas proveniente da ENSIMAG ou da PHELMA. Mesmo levando em conta um estágio de mais de 4 meses, visível na Tabela 1. É, portanto, absurdo ter uma diferença tão grande entre as escolas da mesma instituição. Os alunos da ESISAR são classificados na Categoria 2 recebendo 700 € Bruto / Mês e os alunos da Phelma ou ENSIMAG recebem 1.300 € Bruto / Mês.

Este estágio tem uma duração de 6 meses, resultando em um montante de aproximadamente 4.200 € bruto. O departamento de RH foi questionado sobre o valor exato do custo do estágio. Até hoje, quinta-feira, 8 de junho de 2017, esta informação ainda não está disponível.

CUSTOS COM MATERIAL

A maioria dos materiais e componentes utilizados no curso foram adquiridos anteriormente durante os outros numerosos projetos do departamento e foram utilizados ao máximo para reduzir o custo do projeto. Podemos citar como custos, na verdade:

- 4 placas Diolan DLN-4M MULTI PROTOCOL MASTER ADAP : 400 €
 - Um par de sondas de osciloscópio LeCroy : 2000 €
 - Resistores, Capacitores, Indutores, CI : 80 €
- Total 2480 €

RESUMO DOS CUSTOS

Abaixo consta uma tabela com o resumo dos custos do estágio:

Description	Coût
Custo com pessoal	4200€
Custo com materiais	2480€
Total :	6680€

Tabela 2 - Custo do estágio.

RETORNO ESPERADO DOS INVESTIMENTOS

O retorno deste investimento não é direto, isto é, dez euros de entrada para dez euros de saída, mas poderemos, a curto prazo, conseguir uma patente e uma publicação. Isso está acima do que é geralmente esperado em um estágio de médio prazo. Mesmo assim, um dos nossos parceiros industriais já comunicou que os clientes industriais no campo de energia estavam interessados no resultado deste estágio. Então, já se prevê retornos a longo prazo.



RAPPORT DE PROJET DE FIN D'ETUDES



¹ Baseado nas informações contidas no documento « PROCEDURE D'ACCUEILS DES STAGIAIRES AU CEA ». Disponible sur : http://www.u-psud.fr/_resources/BSE/Publications/Catalogues%20de%20stages/accueil%20stagiaires.pdf.

CONCLUSÃO E PERSPECTIVAS

Este estágio reúne uma ampla gama de conhecimentos em diversas áreas da engenharia elétrica. Devido a sua complexidade, esse estágio foi muito enriquecedor e instrutivo.

O desenvolvimento das tarefas e os conhecimentos necessários para levar a cabo este projeto no futuro serão muito bem explicados no relatório técnico final.

A expectativa é ter, até o final de julho de 2017, um protótipo para demonstrar que o conceito de controle de transistores de alta potência com isolamento de RF pode ser considerado uma solução em aplicações industriais.

REFERÊNCIAS

- [1] BERGOGNE, Dominique. Lyon : Université Claude Bernard, Lyon 1. Faculté des Sciences et Techniques, 2014, 123 p.
Habilitation à Diriger des Recherches : *Commande des Composants à grille, Conception et Sécurisation.*
- [2] BERGOGNE, Dominique et. al. Power Electronics and Applications (EPE), 2013 15th European Conference, Sept. 2013
Integrated Coreless Transformer for High Temperatures Design and Evaluation
- [3] CHAPEL, Antoine. Lyon : Université Claude Bernard, Lyon 1. Faculté des Sciences et Techniques, 2015, 51p.
Convertisseur embarqué très haute fréquence, très haute tension, très haute température. Rapport de PFE en génie électrique.
- [4] MOHAN, Ned et. al. Hoboken: John Wiley & Sons Inc., 2002, 824p. ISBN: 978-0-471-22693-2
Power Electronics: Converters, Applications, and Design, 3rd Edition.
- [5] Texas Instruments. Dallas: Texas Instruments, 2002, 158p.
LVDS Application and Data Handbook: High-Performance Linear Products Technical Staff.
- [6] SiTime. Santa Clara, CA: SiTime Corporation, April 2003, 16 p.
Probing Oscillator Output
- [7] SiTime. Santa Clara, CA: SiTime Corporation December 2013, 13 p.
Frequency Measurement Guidelines for Oscillators
- [8] BLACK-SCHAFFER, David. Stanford : Stanford University. Publications Stanford, Cours, 2003, 25p. Disponible sur :

<https://web.stanford.edu/class/ee183/handouts_spr2003/lecture5_spring2003.pdf>
(Consulté le 15/04/2017)

Advanced Logic Design Lab: Lecture 5: Timing. [En ligne].

- [9] Xilinx. San Jose: Xilinx, 2016, 81p. Disponible sur : <https://www.xilinx.com/support/documentation/user_guides/ug933-Zynq-7000-PCB.pdf> (Consulté le 05/03/2017)
Zynq-7000 All Programmable SoC PCB Design Guide. User Guide UG933 [en ligne].
- [10] GUO, Nan et. al. EURASIP Journal on Wireless Communications and Networking, 2007, Article ID 68253, 8 p.
Research Article: 60-GHz Millimeter-Wave Radio: Principle, Technology, and New Results.
- [11] RAPPAPORT, Theodore S. et. al. Proceedings of the IEEE, vol. 99, No. 8, August 2011.
State of the Art in 60-GHz Integrated Circuits and Systems for Wireless Communications.
- [12] ECC CEPT. Tromsø, 2017, 85p.
Relating to the use of Short Range Devices (SRD). ERC Recommendation 70-03.
- [13] ECC CEPT. Europe, 2016, 277 p.
The European table of frequency allocations and applications in the frequency range 8.3 kHz to 3000 GHz (eca table).
- [14] GERRITS, T.; van Eerd, M.J.M. Proceedings of the IEEE Young Researchers Symposium, 29-30 march 2010, 7p.
FPGA based modular control platform for switched mode power converters.
- [15] ZHAO, Jonsenser. EDN Network, July 2010, 4 p.
A new calculation for designing multilayer planar spiral inductors
- [16] HURLEY, William Gerard et. al. IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, VOL. 46, NO. 2, APRIL 1999.

Impedance Formulas for Planar Magnetic
Structures with Spiral Windings

- [17] A. MAJID, H.B.Kotte et. al. 8th International Conference on Power Electronics - ECCE Asia May 30-June 3, 2011, The Shilla Jeju, Korea
High Frequency Half-Bridge Converter using Multilayered Coreless Printed Circuit Board Step-Down Power Transformer
- [18] SALEEM, Jawad et. al. 20th European Conference on Circuit Theory and Design (ECCTD), 2011, 4 p.
High Frequency Full Bridge Converter Using Multilayer Coreless Printed Circuit Board Step Up Power Transformer
- [19] CARPENTER, Michael T. et. al. Australasian Universities Power Engineering Conference, AUPEC 2014, Curtin University, Perth, Australia, 28 September – 1 October 2014
Design of coreless PCB transformers for power and signal isolation in a modular ADC system for power quality data acquisition
- [20] C. Fernández et. al. Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE
Design Issues of a Core-less Transformer for a Contact-less Application
- [21] E. Dallago et. al. 2004 IEEE International Conference on Industrial Technology (ICIT).
Design and Optimization of a High Insulation Voltage D O C Power Supply with Coreless PCB Transformer
- [22] S. C. Tang et. al. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 15, NO. 5, SEPTEMBER 2000
Coreless Planar Printed-Circuit-Board (PCB) Transformers—A Fundamental Concept for Signal and Energy Transfer
- [23] S. C. Tang et. al. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 15, NO. 6, NOVEMBER 2000.
Characterization of Coreless Printed Circuit Board (PCB) Transformers

- [24] S. Y. (Ron) Hui et. al. IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 15, NO. 4, JULY 2000
Some Electromagnetic Aspects of Coreless PCB Transformers
- [25] NYMAN, Jeremia. Examensarbete utfört i Elektroteknik vid Tekniska högskolan vid Linköpings universitet, Linköping, 2013.
High Speed IO using Xilinx Aurora
- [26] CONTU, Francesco. High Speed Digital Design & Validation Seminars, France, Italy, BeNeLux, 2013.
The Do's and Don'ts of High Speed Serial Design in FPGAs
- [27] STOJANOVIĆ, Vladimir. Integrated Systems Group, Massachusetts Institute of Technology
High-speed serial links: Design Trends and Challenges
- [28] Lattice Semiconductor Corporation. Application Note AN8085, July 2011.
Scalable Low-Voltage Signaling with LatticeSC/M Devices

ANEXO I

ACRÔNIMOS E DEFINIÇÕES

CEA	Commissariat à l'Énergie Atomique et aux énergies alternatives
DACLE	Département Architecture Conception Logiciels Embarqués
LETI	Laboratoire Electronique Technologies Informations
LGECA	Laboratoire Gestion Energie Capteurs Actionneurs
AMBA®	<i>Advanced Microcontroller Bus Architecture</i>
ASIC	<i>Application Specific Integrated Circuit</i>
AXI	<i>Advanced eXtensible Interface</i>
Bias	(Peut-être) Niveau de référence électrique
CAO	Conception Assistée par Ordinateur
CFGBVS	<i>Configuration bank voltage select</i>
CLT	<i>Coreless Transformer</i>
CPLD	<i>Complex Programmable Logic Device</i>
CTS	<i>Clear to Send</i>
DBM	<i>Driver-by-Microwave</i>
DCM	<i>Digital Clock Manager</i>



RAPPORT DE PROJET
DE FIN D'ETUDES



DECAP	<i>Decoupling capacitor</i>
DRP	<i>Dynamic Reconfiguration Port</i>
EMI	<i>Electromagnetics Interferences</i>
ES	<i>Engineering Sample</i>
ESL	<i>Equivalent Series Inductance</i>
ESR	<i>Equivalent Series Resistance</i>
GBT	<i>Giga Bit Transceiver</i>
GMII	<i>Gigabit Media Independent Interface</i>
GT	<i>Gigabit Transceivers</i>
HSTL	<i>High-Speed Transistor Logic</i>
IC	<i>Circuit intégré</i>
LFSR	<i>Linear Feedback Shift Register</i>
LVC MOS	<i>Low Voltage Complementary Metal Oxide Semiconductor</i>
LVDS	<i>Low-voltage differential signaling</i>
LVDS	<i>Low Voltage Differential Signaling</i>
LVTTL	<i>Low Voltage Transistor-Transistor Logic</i>
MGT	<i>Multi-Gigabit Transceiver</i>
MII	<i>Media Independent Interface</i>
MMCM	<i>Mixed-Mode Clock Manager</i>



Laboratoire d'électronique et de technologie de l'information



RAPPORT DE PROJET DE FIN D'ETUDES



Pblocks	<i>Physical Blocks</i>
PLL	<i>Phase-Locked Loop</i>
PS	<i>Production Silicon</i>
PSIC	<i>Power Specific Intelligent Component</i>
RTS	<i>Ready to Send</i>
RX	<i>Receive</i>
SCR	<i>Silicon Controlled Rectifier</i>
SerDes	<i>Serializer/Deserializer</i>
SFP	<i>Small Form-Factor Pluggable</i>
TMDS	<i>Transition Minimized Differential Signaling</i>
TNS	<i>Total Negative Slack</i>
TTL	<i>Transistor-Transistor Logic. Uma família lógica precoce.</i>
TX	<i>Transmit</i>
UART	<i>Universal Asynchronous Receiver Transmitter</i>
UCF	<i>User Constraint File</i>
UPSs	<i>Alimentations sans interruption (uninterruptible power supplies)</i>
WHS	<i>Worst Hold Slack</i>
WNS	<i>Worst Negative Slack</i>



Laboratoire d'électronique et de technologie de l'information

ANEXO II

GLOSSÁRIO

Bank	Nos FPGAs Xilinx, um banco é um grupo de pinos de E / S que compartilham um recurso comum, como uma única fonte de energia ou uma referência de corrente de saída. Isso torna o FPGA mais fácil de fabricar (mais barato) e pode reduzir o número de pinos de dispositivos, mas também limita sua escolha de tipos de E / S programáveis com base nos pinos escolhidos.
Baud rate	A taxa de transmissão é uma medida da rapidez com que a transmissão ocorrerá.
BUFG	<i>Buffer</i> global para gerar uma rede de relógio global a partir de um sinal interno.
CLK	(<i>Clock</i>) um circuito em um computador que usa um cristal de quartzo para gerar uma série de pulsos regulares que são enviados para a CPU. O relógio é a pulsação do computador. As operações de comutação no computador são feitas quando o relógio envia um pulso. Quanto mais rápida a velocidade do clock, maior o número de instruções por segundo que os computadores podem executar
Converter	(Conversor) O termo genérico para se referir a um único estágio de conversão de energia pode executar uma das funções AC / DC, CC / CA, CC / CC e CA / CC.

DC-balanced	Uma forma de onda sem um componente DC é chamada de DC-balanced. Sinais com DC-balanced são usados em sistemas de comunicação para evitar erros de bit ao comutar circuitos acoplados capacitivos ou transformadores. Erros de bit podem ocorrer quando uma série de 1 cria um nível DC que carrega o capacitor do filtro passa alta usado como o acoplador CA, resultando na entrada incorreta do sinal em um nível baixo (nível 0).
Dead-time	(Tempo limite) o tempo que os dois transistores permanecem desligados durante a mudança de estado ON-OFF entre os dois.
ESL	<i>Effective Series Inductance</i> . O indesejável, mas real, indutivo de um capacitor.
ESR	<i>Effective Series Resistance</i> . A resistência indesejável, mas real, de um capacitor.
Ethernet	Um protocolo de rede local comum.
Eye pattern	O modelo formado quando uma sequência de instantâneos de uma forma de onda de bits aleatórios e o mesmo comprimento de onda é sobreposto um ao outro.
FIFO	<i>First-in, first-out</i> (o oposto de LIFO – <i>last-in, first-out</i>). Uma estrutura de dados ou um <i>buffer</i> de hardware em que os elementos são da mesma ordem em que são inseridos.
IBUFG	<i>Buffer</i> de entrada global para gerar uma rede de relógio global a partir de uma entrada externa.

ILA	<i>Integrated Logic Analyzer (ILA)</i> é um kernel de análise lógica personalizável que pode ser usado para monitorar os sinais internos de um projeto.
Inverter	(Inversor) Refere-se ao conversor quando o fluxo de energia médio é de CC para o lado CA
IOSTANDARD	O atributo IOSTANDARD está disponível para escolher os valores de um padrão de entrada / saída para todos os buffers de entrada / saída.
Jitter	Variação da transição da transição ideal; A diferença entre o cruzamento zero ideal e o cruzamento zero real.
Lane	Canal físico unidirecional com sinal único.
LOC	(FPGA) Restrição de localização (LOC) especifica o posicionamento absoluto de um elemento de design na FPGA. Pode ser um único local, uma variedade de locais ou uma lista de locais. Você pode especificar o LOC do arquivo de design e também direcionar o posicionamento com instruções em um arquivo de restrição
ODDR	<i>Output Double Data Rate register.</i> A saída DDR pode transmitir uma cópia do relógio para a saída. Isto é útil para a propagação de um relógio e dados DDR com atrasos idênticos e para geração de múltiplos relógios, onde cada carga de relógio inclui um único acionador de clock. Isso é feito anexando-se a entrada D1 da primitiva ODDR Alta e a entrada D2 Baixa. A <i>Xilinx</i> recomenda usar este esquema para transportar relógios da lógica do FPGA para os pinos de saída.

PLL	<i>Phased-Locked Loop</i> . Um circuito que recebe um relógio de referência e um sinal de entrada e cria um novo relógio bloqueado no sinal de entrada.
Primitives	Primitivos são componentes básicos que fazem um FPGA, por ex. <i>Flip-Flops</i> , <i>Lookup-Tables</i> , <i>Shift Registers</i> e <i>RAMs</i> .
Random jitter	O componente de <i>jitter</i> resultante de processos estocásticos, diferenciais e comuns, como ruído de fonte de alimentação e ruído térmico. Também conhecido como <i>rj</i> , <i>RJ</i> e chamado <i>jitter</i> indeterminístico
Rectifier	(Retificador) refere-se a um conversor quando o fluxo de energia médio é do lado AC para o lado CC
Reliability	Confiabilidade = 1 - Probabilidade de falha.
Rise time	O tempo que leva um sinal para ir de zero a um.
RS-232	Padrão recomendado 232. Este é o padrão de fato para comunicação via portas seriais de PC. Pode se referir a cabos e portas que suportam o padrão RS-232.
RTL	Um tipo de linguagem de descrição de hardware (HDL) usada para descrever os registros de um computador ou sistema eletrônico digital e como os dados são transferidos entre eles. Um código intermediário para uma máquina com um número infinito de registros.
Serializer	Leva <i>n</i> bits de dados paralelos mudando para a taxa <i>y</i> e os transforma em um fluxo serial a uma taxa de <i>n</i> vezes <i>y</i> .

SLVS (high-speed)	<i>Scalable Low-Voltage Signaling</i> . SLVS é um protocolo de sinalização chip-a-chip que foi projetado desde o início para desempenho máximo e consumo mínimo de energia.
S-parameter	Descrição textual do comportamento de um circuito, traços de cardas ou conectores de frequência muito alta. Originalmente usado no design de microondas, os parâmetros agora são usados para modelar de forma mais eficaz conjuntos de placa e conector de alta velocidade. Os parâmetros S descrevem a difusão e reflexão de ondas em uma linha de transmissão.
SPICE models	Descrição textual do comportamento de um circuito. Muito preciso, também revela detalhes sobre a construção de um circuito.
SPICE Simulators	<i>(Simulated Program with Integrated Circuits Emphasis)</i> é um software de simulação de circuito analógico. É uma poderosa ferramenta de teste e prevê o comportamento do circuito contendo circuitos integrados, transistores, resistores, capacitores, diodos e outros componentes elétricos e eletrônicos.
SUB-LINK	Uma coleção de faixas, tudo em um sentido.
Th	O tempo de espera é o tempo que a entrada D (flip-flop) deve ser mantida após as amostras Flip-Flop.
Tpd	Atraso de propagação é o tempo que leva para a entrada D (flip-flop D) amostrada para propagar para a saída Q.
Tsu	O tempo de configuração é o tempo que a entrada (flip-flop D) deve ser válida antes das amostras Flip-Flop.

UART	<i>Universal Asynchronous Receiver Transmitter.</i>
VCCO	<i>Output Drive Source Voltage.</i> A tensão IO é chamada "VCCO" para Xilinx e "VCCIO" para Altera. Ele é usado para energizar os blocos de E / S (= pinos) do FPGA. Esta tensão deve coincidir com o que outros dispositivos conectados ao FPGA esperam.
VIO	<i>O Virtual Input / Output (VIO)</i> é um núcleo personalizável que pode monitorar e gerar sinais FPGA internos em tempo real.
XAUI	Interface de 4 canais (carga útil de 2,5 Gb / se velocidade de 3,125 nos fios) para 10 Gigabit Ethernet.

ANEXO III



HAMILTON DE CARVALHO

Brésilien, célibataire, 25 ans

CONTACTS

+33 06 63 22 46 66

hamilton.carvalho@etu.esisar.grenoble-inp.fr

10 rue Hippolyte Muller, Appart 3
38100 Grenoble



ÉDUCATION

Master en ingénierie électrique 2011 à 2015
Université Fédérale de Campina Grande (UFCG), Brésil



Double diplôme en Ingénierie électronique et systèmes embarqués 2015 à Aujourd'hui
Grenoble INP / ESISAR, Valence, France



Triple diplôme en Management & Administration des Entreprises et (MAE) 2016 à Aujourd'hui
Grenoble IAE, Valence, France



EXPÉRIENCES PROFESSIONELLES

NCI Informatique du Nord-est (João Pessoa, Brésil)
De 2008 à 2010



Professeur d'informatique dans les formations de Webdesign, opérateur en microinformatique, montage et réparation d'ordinateurs, design graphique.

Elaborare Agence web (João Pessoa, Brésil)
De 2011 à 2014



Manager et développeur de projets comme des sites, des systèmes pour la plateforme Web

Suna Ingénierie (Campina Grande, Brésil)
De Juin 2014 à juillet 2015



Technicien logiciel et électronique :

- Développement de la schématique (Eagle PCB CAD, KICAD) et montage de circuit imprimé simple face et double face
- Développement des programmes en langage C/C++ avec interface graphique pour surveillance des variables de champ dans l'industrie
- Installations électriques de faible puissance
- Planification et développement de circuits électroniques pour l'automatisation des tâches.

Projet Industriel: Solution d'accès long range LoRa à un réseau ZigBee des objets connectés



De janvier à juin 2016

Développements techniques et gestion de projet :

- Analyse des besoins du client et rédaction du cahier des charges
- Relation cliente permanente afin de maintenir les indices qualité
- Veille concurrentielle et technologique sur le marché M2M
- Réalisation de la schématique Hardware sur KiCad, design de la partie RF qui respectent la norme EN 300-220 de la bande ISM 868 MHz
- Implantation logicielle sur cible STM32 du LoRa point-à-point
- Mesures des paramètres RF des cartes développées pendant le projet

Liaison de type Broadcast entre un contrôleur et une matrice d'interrupteurs d'haute tension isolées
De février à août 2017 (en cours)



Transmission des ordres de commande des interrupteurs de puissance avec isolation dans les architectures de l'électronique de puissance. Cela, c'est possible avec une solution mixte qui contient une partie logique programmable, une partie radiofréquence et une partie électronique de puissance. Le développement consiste à étudier (recherche scientifique), concevoir (développement pratique) et mettre au point l'ensemble des briques de chacune des parties.

EXPÉRIENCE ACADÉMIQUE

Assistant de professeur en théorie électromagnétique

De 2012 à 2013

- Encadrement de séances de travaux dirigés
- Médiation technique entre les enseignants et les étudiants
- Participation à des activités dans la discipline, tels que des formations courtes et conférences
- Aide aux enseignants dans l'orientation des élèves, expliquer et répondre aux questions dans les activités de classe.

Participation dans un projet de développement à l'ESISAR en partenariat avec ST Microelectronics

De septembre 2016 à décembre 2016

Développement d'une solution pour récupérer données GPS à partir d'une carte Nucleo STM32 et un Shield LoRa et après stockage des données via Node-RED pour utiliser avec applications en PHP et Java



COMPÉTENCES GÉNÉRALES

Windows	1	2	3	4	5
WinServer & Linux	1	2	3	4	5
Réseaux	1	2	3	4	5
XBee(protocolo ZigBee)	1	2	3	4	5
Matlab	1	2	3	4	5
Wolfram Mathematica	1	2	3	4	5
C, C++	1	2	3	4	5
Visual Studio, C#	1	2	3	4	5
Qt Framework	1	2	3	4	5
Multisim Circuits	1	2	3	4	5
IRIS / Proteus	1	2	3	4	5
Eagle CAD & KiCad	1	2	3	4	5
PHP, HTML, CSS	1	2	3	4	5
MySQL / phpMyAdmin	1	2	3	4	5
Photoshop, CorelDraw	1	2	3	4	5
Arduino, mBed	1	2	3	4	5
Raspberry PI	1	2	3	4	5
Adobe Flash	1	2	3	4	5
MS Office	1	2	3	4	5
FTP (protocolo)	1	2	3	4	5
Javascript	1	2	3	4	5
Layout de circuit imprimé	1	2	3	4	5
Soudure PCB	1	2	3	4	5
Git, Doxygen	1	2	3	4	5
Gestion de projet	1	2	3	4	5
FPGA, VHDL	1	2	3	4	5

Langues

Portugais, Français, Anglais, Espagnol

INFORMATIONS SUPPLÉMENTAIRES

- Article publié : « Electrostatic energy: A possible source of interference »

Publié par :
Microwaves, Communications, Antennas and Electronic Systems (COMCAS),
IEEE International Conference on 2015.
Tel Aviv, Israel.



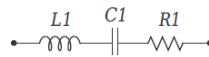
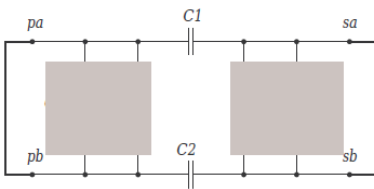
ANEXO IV

Caracterização CLT CEA YW



Figura 1- *Coreless Transformer* (CLT) concebido por Yohan WANDEROILD durante sua tese no LGECA.

Medição de Capacitância Parasitas:

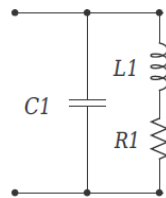
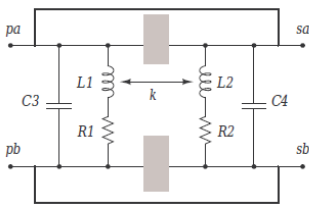


$$\begin{cases} R1 = 5 \Omega \\ C1 = 8 pF \\ L1 = 10 nH \end{cases}$$

*L1 = D0 à l'inductance du fil et des pistes du circuit (Négliger L1)

**Freq. Sweep: 100 Hz – 120 MHz

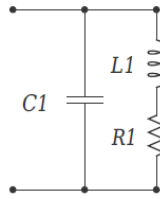
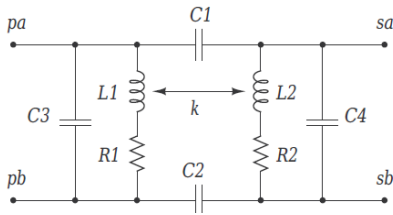
Medição a ressonância própria:



$$\begin{cases} R1 = 163,50 m\Omega \\ C1 = 2,53 pF \\ L1 = 71,26 nH \end{cases}$$

**Freq. Sweep: 100 Hz – 120 MHz

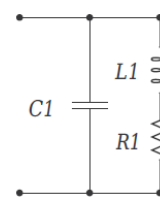
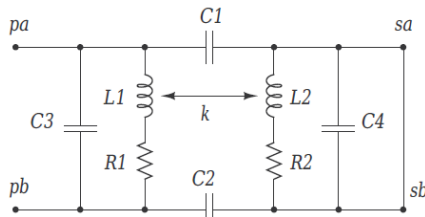
Medição de circuito aberto:



$$\begin{cases} R1 = 159,73 \text{ m}\Omega \\ C1 = 1,01 \text{ pF} \\ L1 = 490,89 \text{ nH} \end{cases}$$

**Freq. Sweep: 500 kHz – 120 MHz

Medição de circuito aberto:



$$\begin{cases} R1 = 217,62 \text{ m}\Omega \\ C1 = 895,57 \text{ fF} \\ L1 = 238,84 \text{ nH} \end{cases}$$

**Freq. Sweep: 500 kHz – 120 MHz

*Resonância calculada: $f_{sr} = \frac{1}{2\pi\sqrt{2,53 \cdot 10^{-12} \cdot 490,89 \cdot 10^{-9}}} = 142,81 \text{ MHz}$

, $k = \sqrt{\frac{(490,89 - 238,84) \cdot 10^{-9}}{490,89 \cdot 10^{-9}}} = 0,717$, $L1 = L2 = \frac{2(1-k)}{1-k^2} 491 \cdot 10^{-9} = 571,92 \text{ nH}$

**Aparelho de medição : *Keysight Impedance Analyzer 120 MHz*

*** Medidas obtidas em 27/02/2017 por Hamilton QUERINO DE CARVALHO (hq251632)

$$C = \frac{1}{L_{eq}(2\pi f_{sr})^2} \quad \text{with} \quad L_{eq} = \frac{1-k^2}{2(1-k)} L1 \quad k = \sqrt{\frac{L_{oc} - L_{sc}}{L_{oc}}}$$

**** Fórmulas utilizada :

[Integrated Coreless Transformer for High Temperatures Design and Evaluation. Par D BERGOGNE et al.]

SIMULAÇÕES COM O CLT CARACTERIZADO ANTERIORMENTE

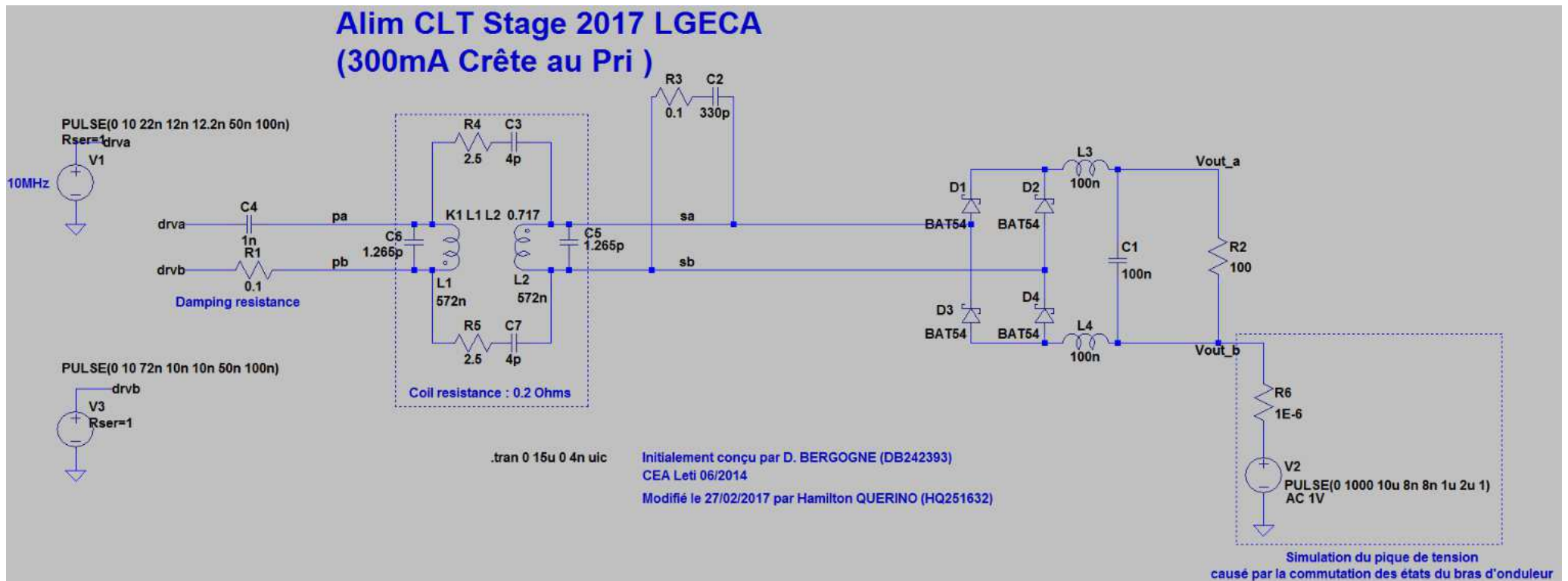


Figura 2 Circuito 1 – Esquemático.

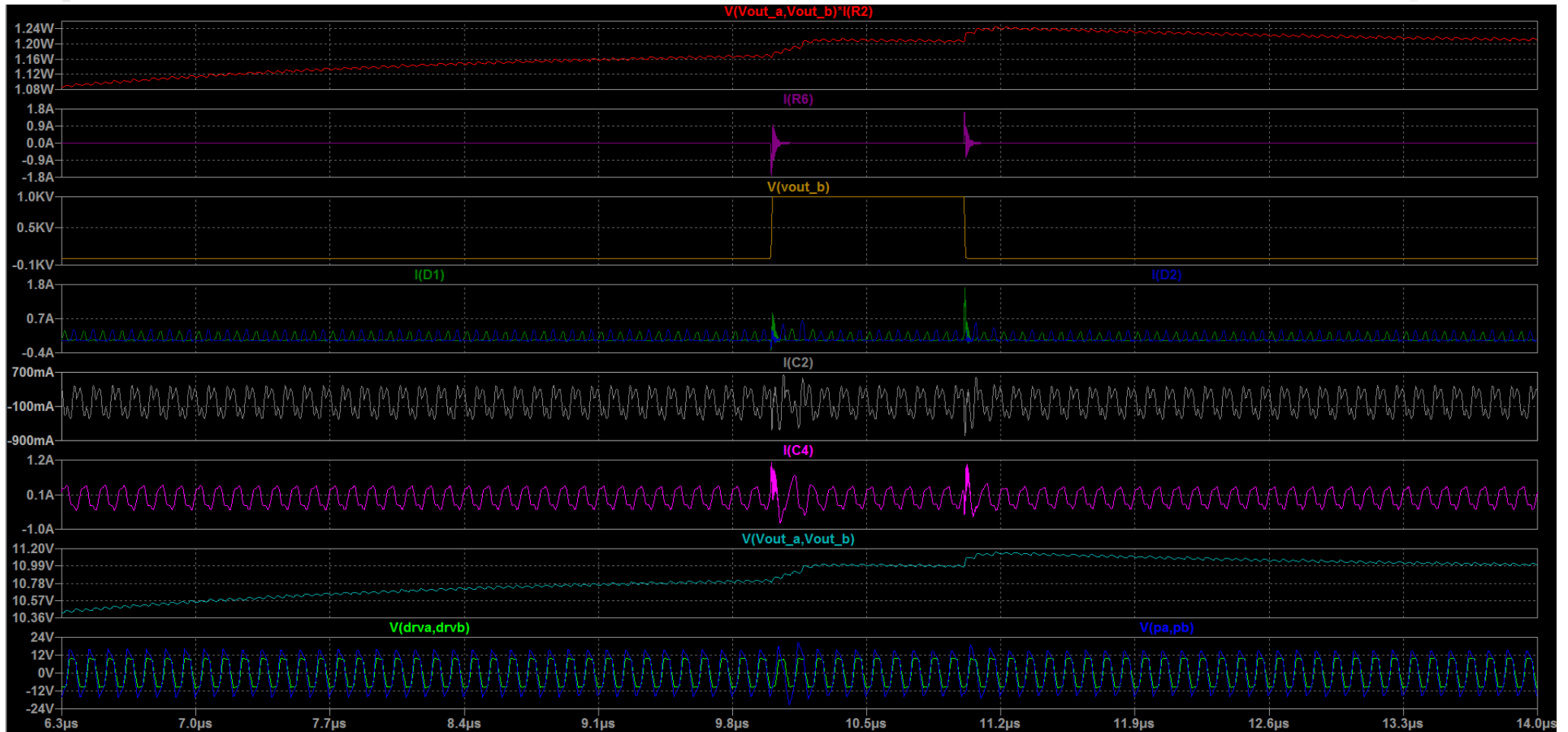


Figura 3 Circuito 1 - Simulação.

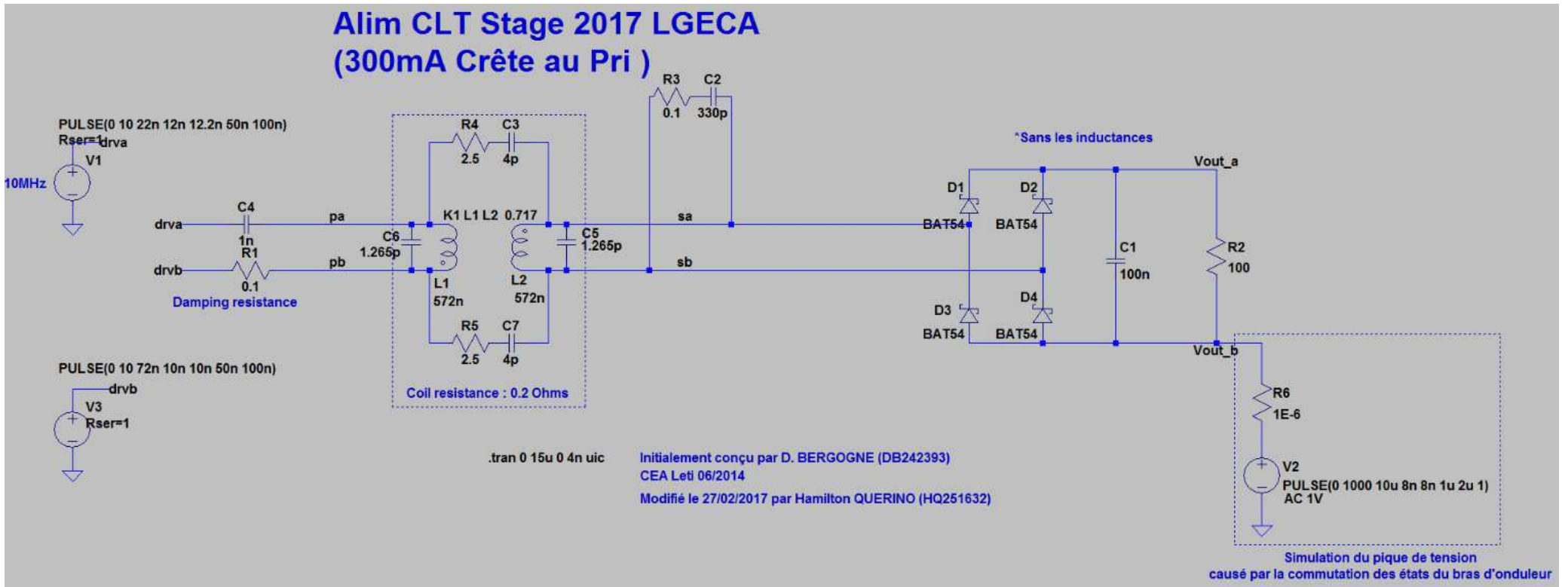


Figura 4 Circuito 2 - Esquemático (sem as indutâncias após os diodos).

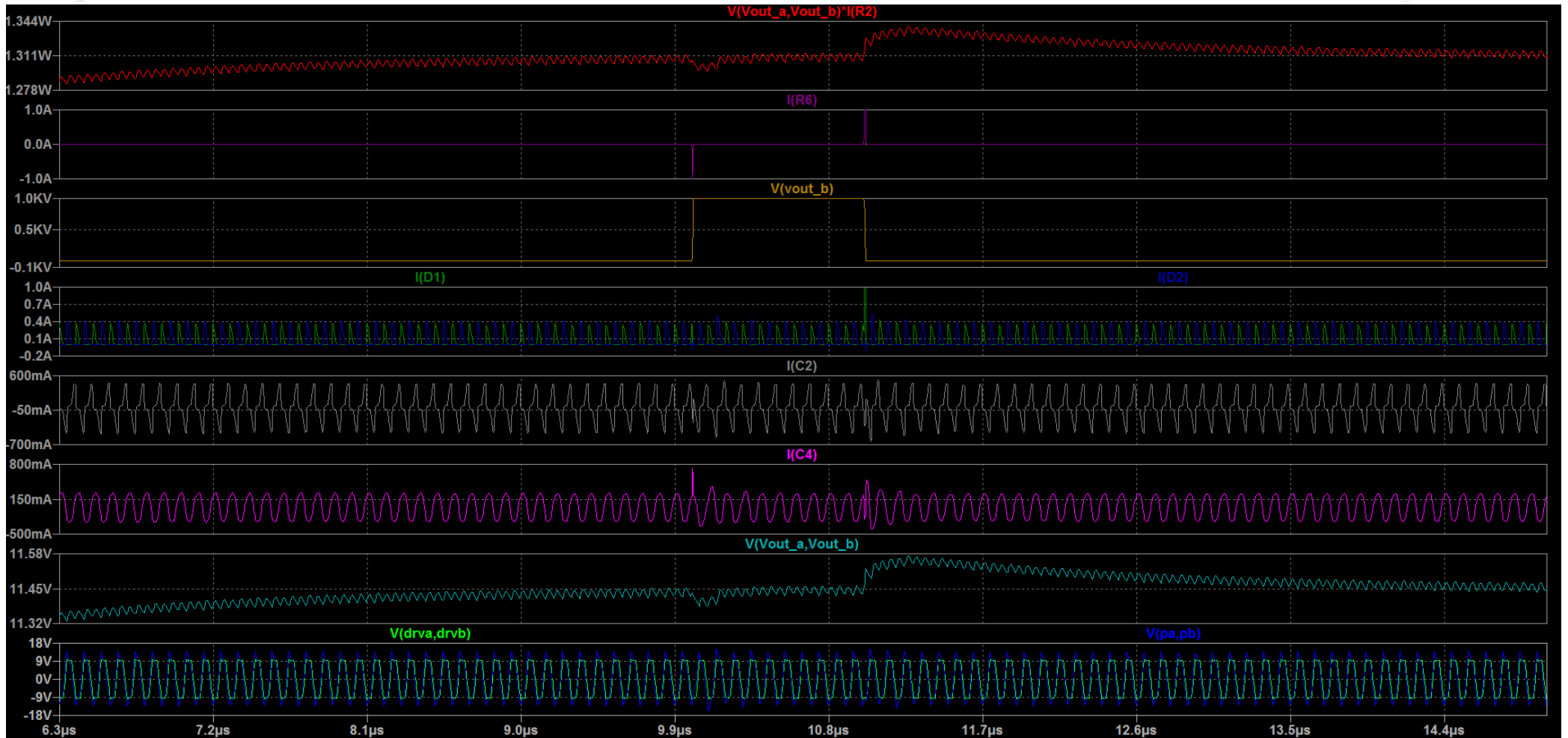


Figura 5 Circuito 2 - Simulações.

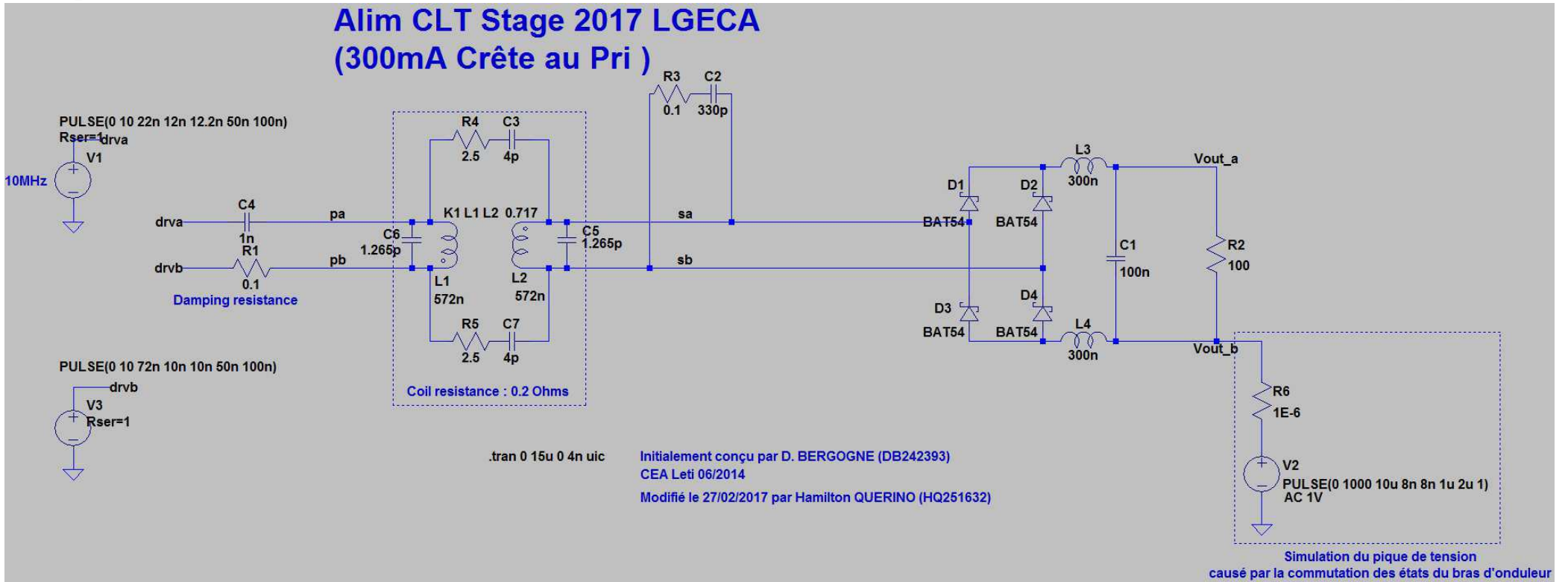


Figura 5 Circuito 3 - Esquemático (aumento de L3 e L4).



Figura 7 Circuito 3 - Simulações.

ANEXO V

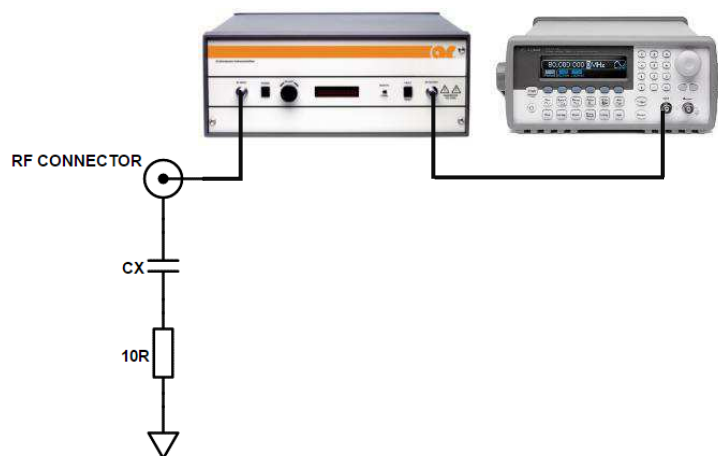
MEDIDAS DE TEMPERATURA DOS CAPACITORES DE CERÂMICA EM REGIME AC

Introdução :

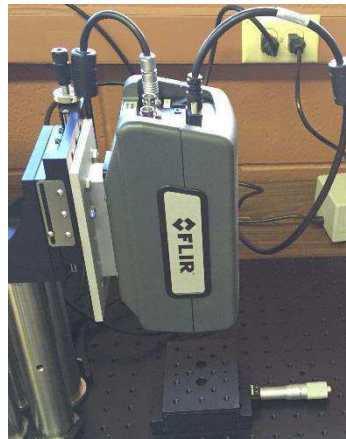
Na montagem do circuito *Coreless* é necessário utilizar capacitâncias em valores diferentes. Nas folhas de dados, às vezes encontramos as especificações de *ripple current*, mas falta na maioria dos casos os testes de classificação no regime AC.

Objetivo :

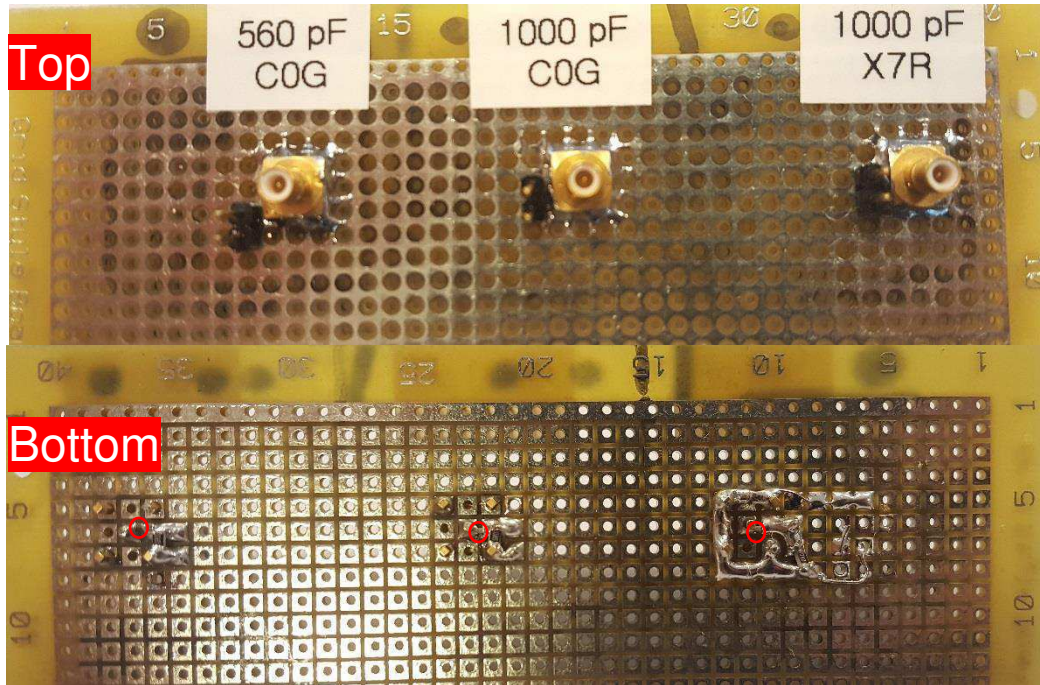
O objetivo aqui é testar as capas de baixa ESR do aquecimento causadas pela passagem de uma corrente CA nas capas durante alguns minutos. As capas a serem testadas serão de composição cerâmica X7R e C0G, os valores de capacitância são 560 pF (0402 *inch*) e 1000 pF (0805 *inch*). O circuito usado durante os testes é exposto em frente:



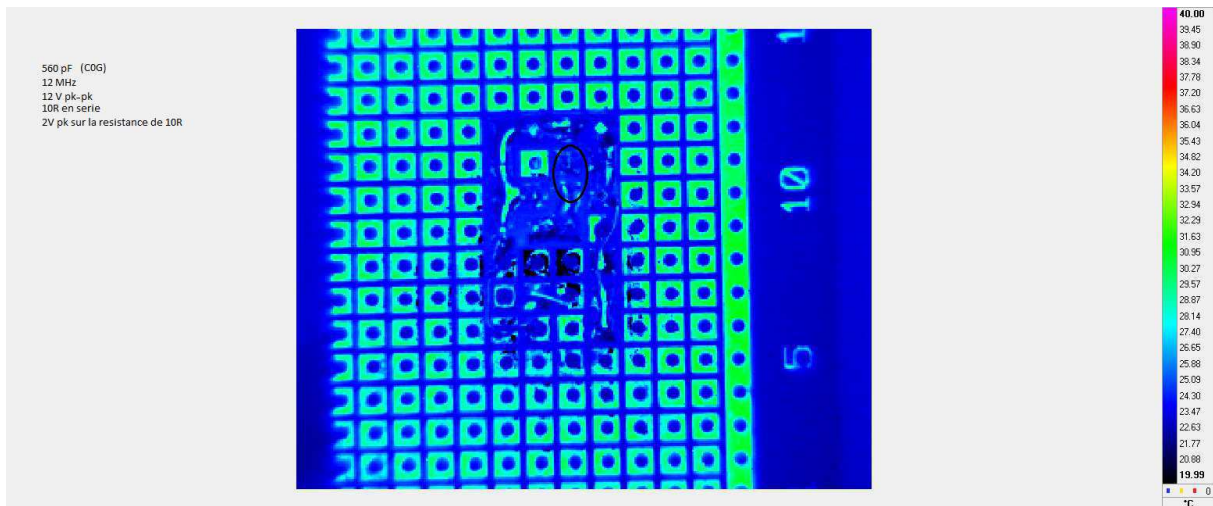
Para medições de temperatura, é utilizada uma câmara de mesa térmica FLIR. Abaixo é exibido um modelo similar ao modelo utilizado.

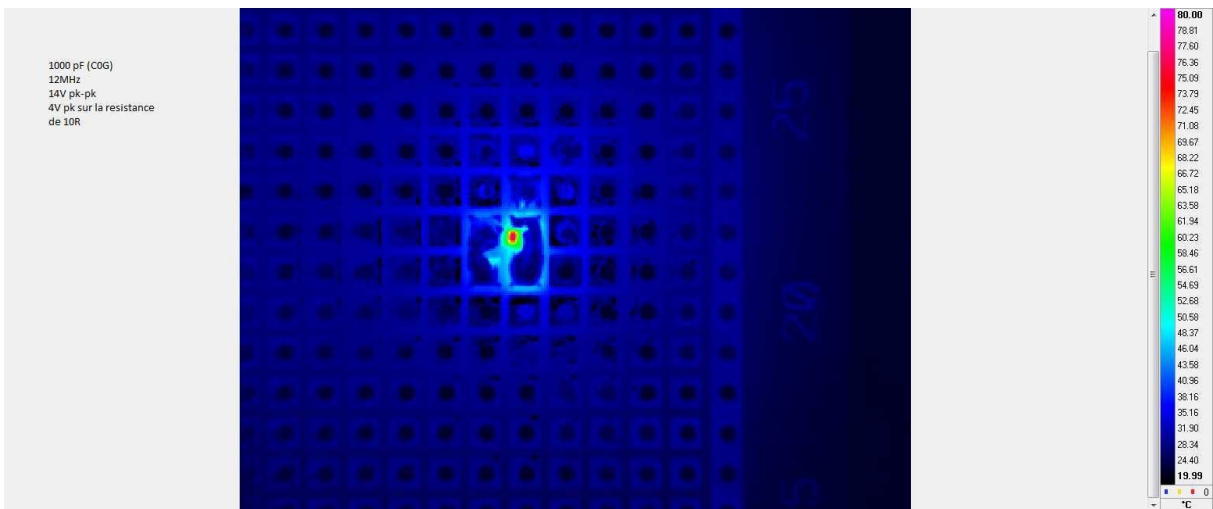
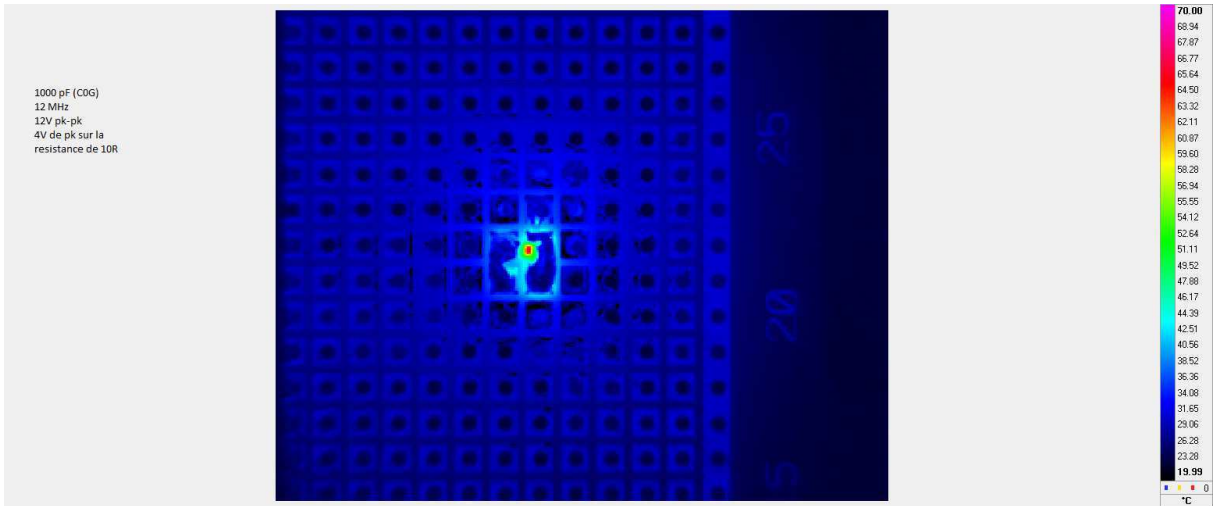
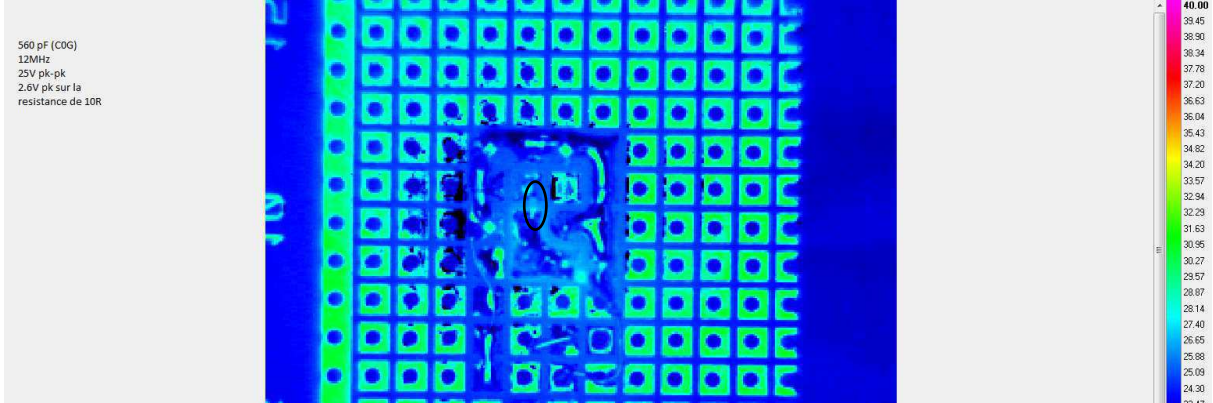


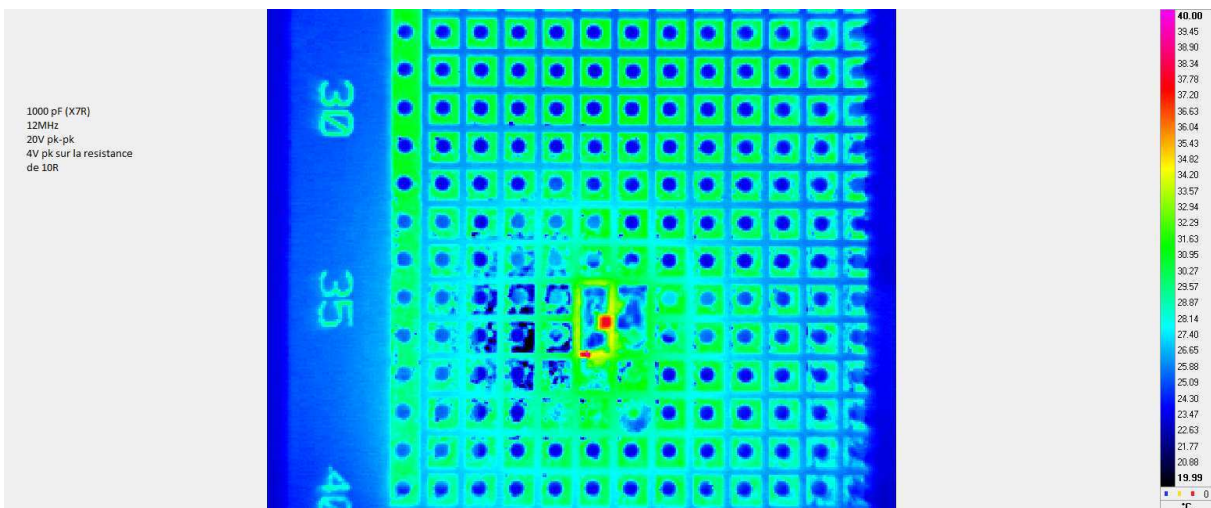
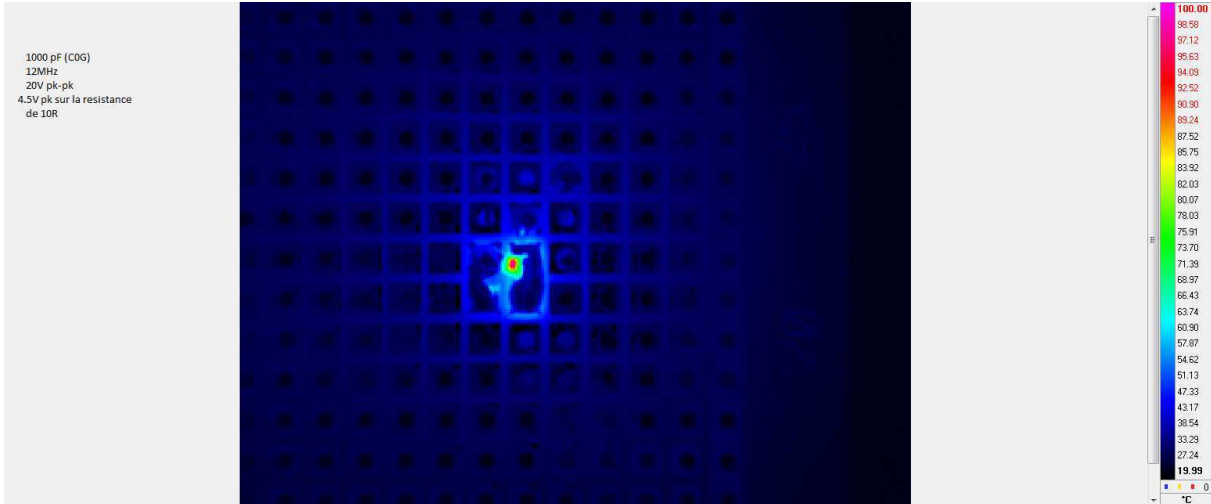
Abaixo do circuito soldado para os testes:



Medidas :







Conclusão :

Para a capacitância de acoplamento de 1000 pF (serial), usaremos o X7R porque ele teve um desempenho melhor durante os testes. Houve um aumento significativo na temperatura do capacitor de 1000 pF (COG).

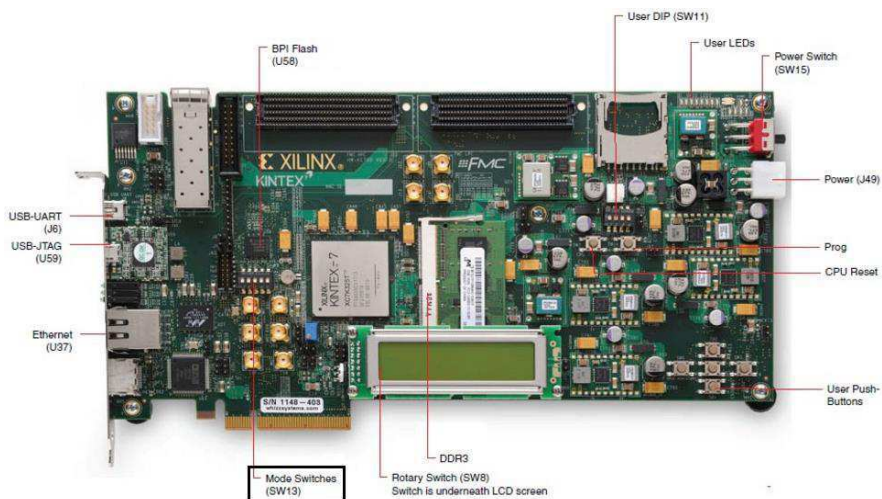
Para desacoplamento de capas de 560 pF (COG), não foi encontrada diferença significativa na temperatura. Mesmo se usarmos o 560 pF de XR7 *low ESR*.

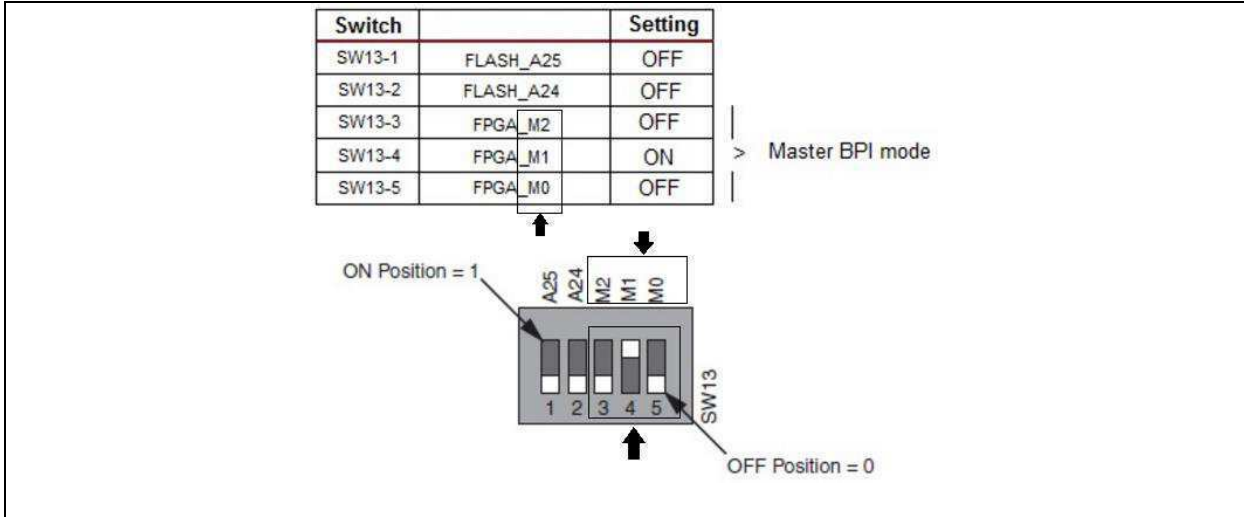
ANEXO VI

PROCEDIMENTO PARA PROGRAMAR A MEMÓRIA NÃO VOLÁTIL DO KIT KC705

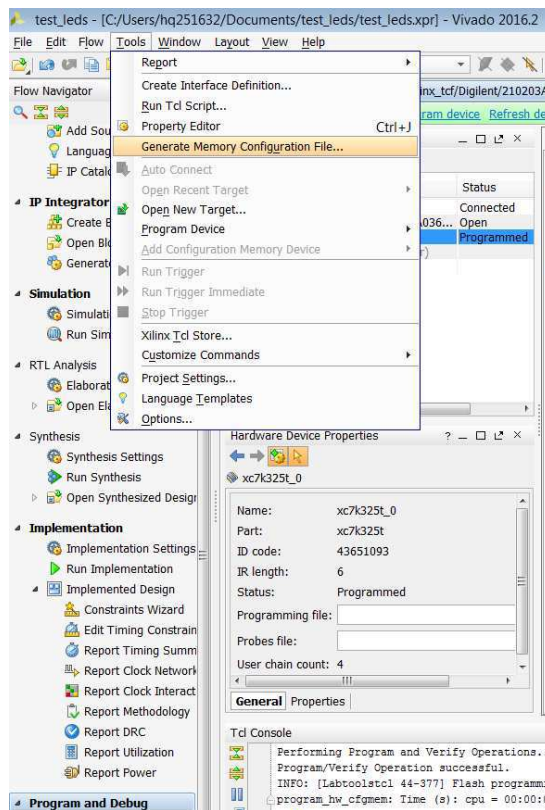
Escrito por Hamilton Querino de Carvalho (hq251632)

1. Deve-se primeiro colocar o SW13 em BPI Master:

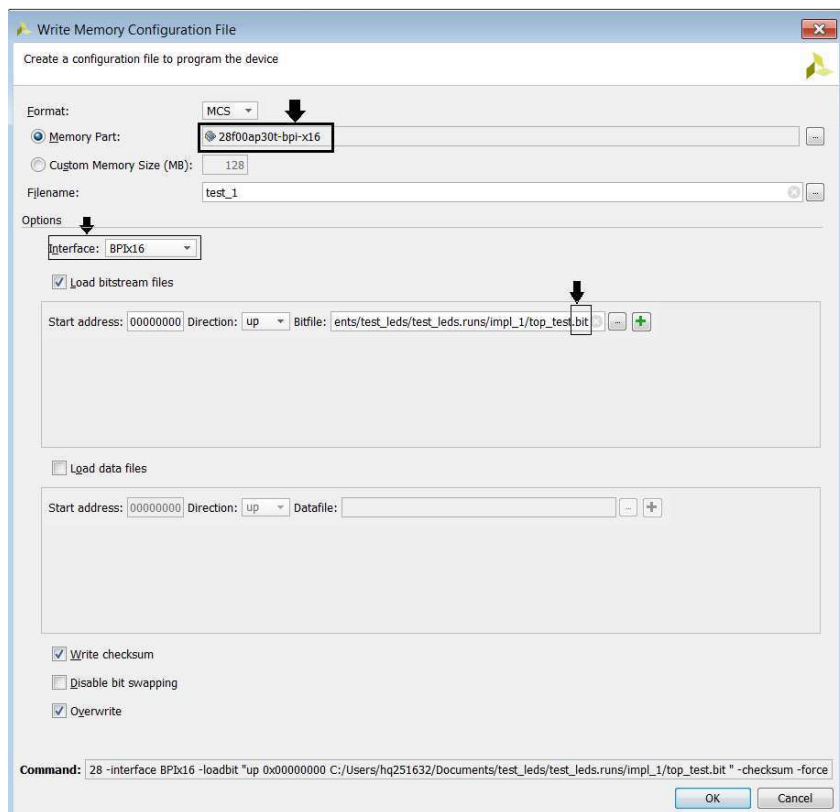




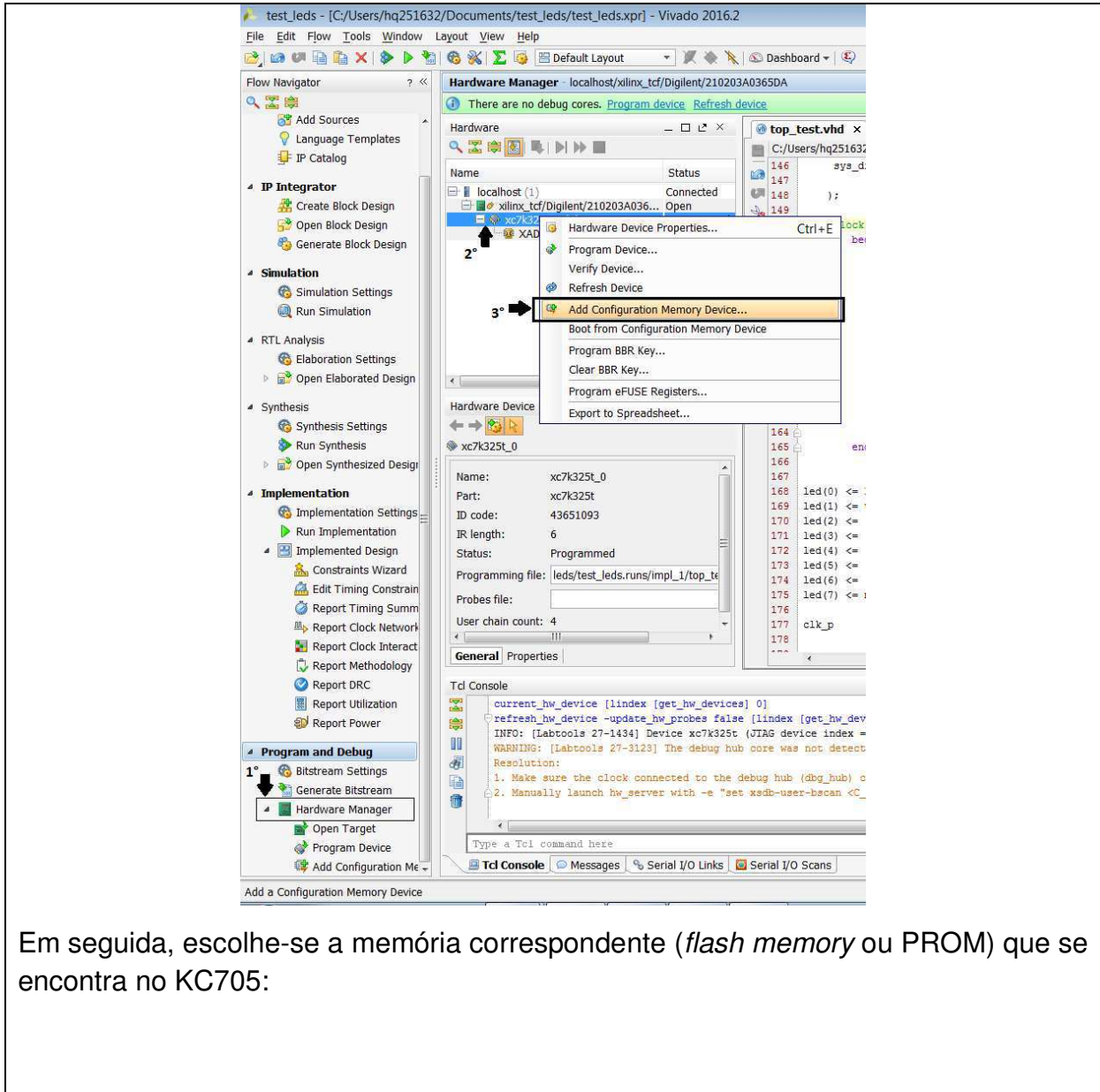
2. Gera-se o *Bitstream* e em seguida clica-se no menu *Tools*, e depois em *Generate Memory Configuration File*:

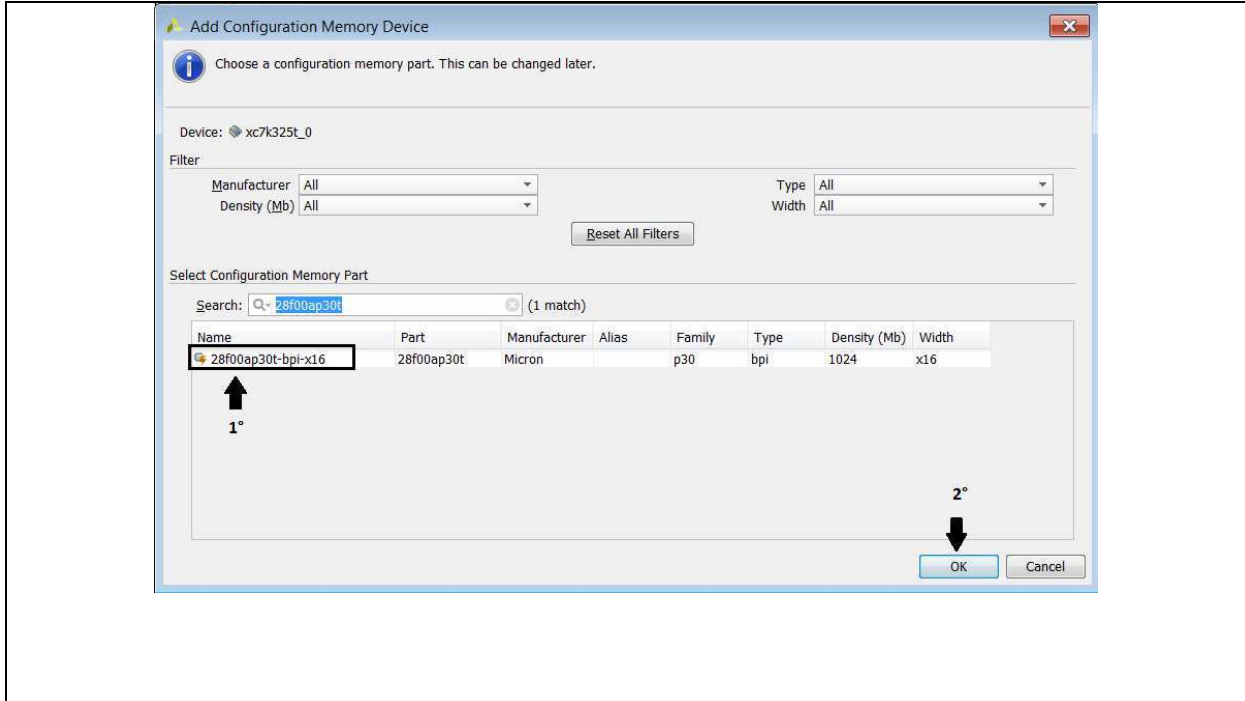


Na janela que se abrirá, configuramos:

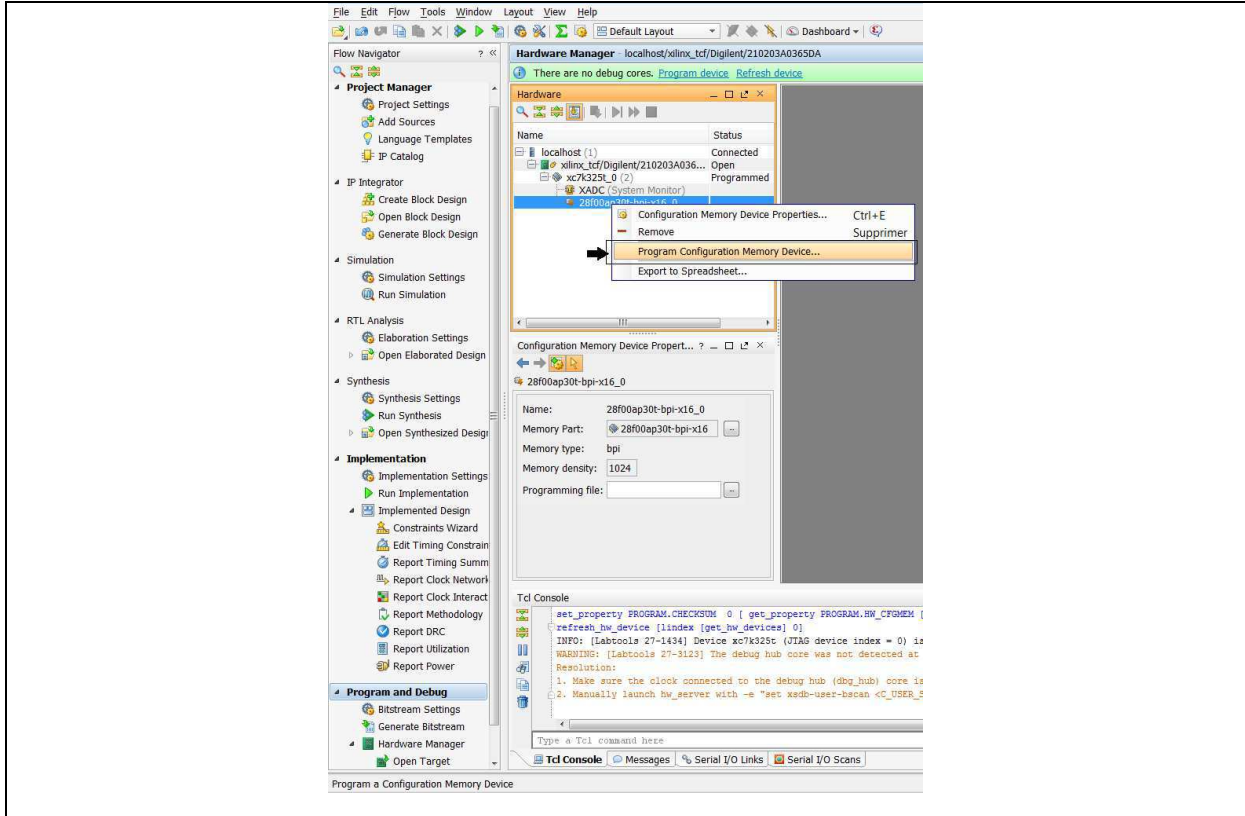


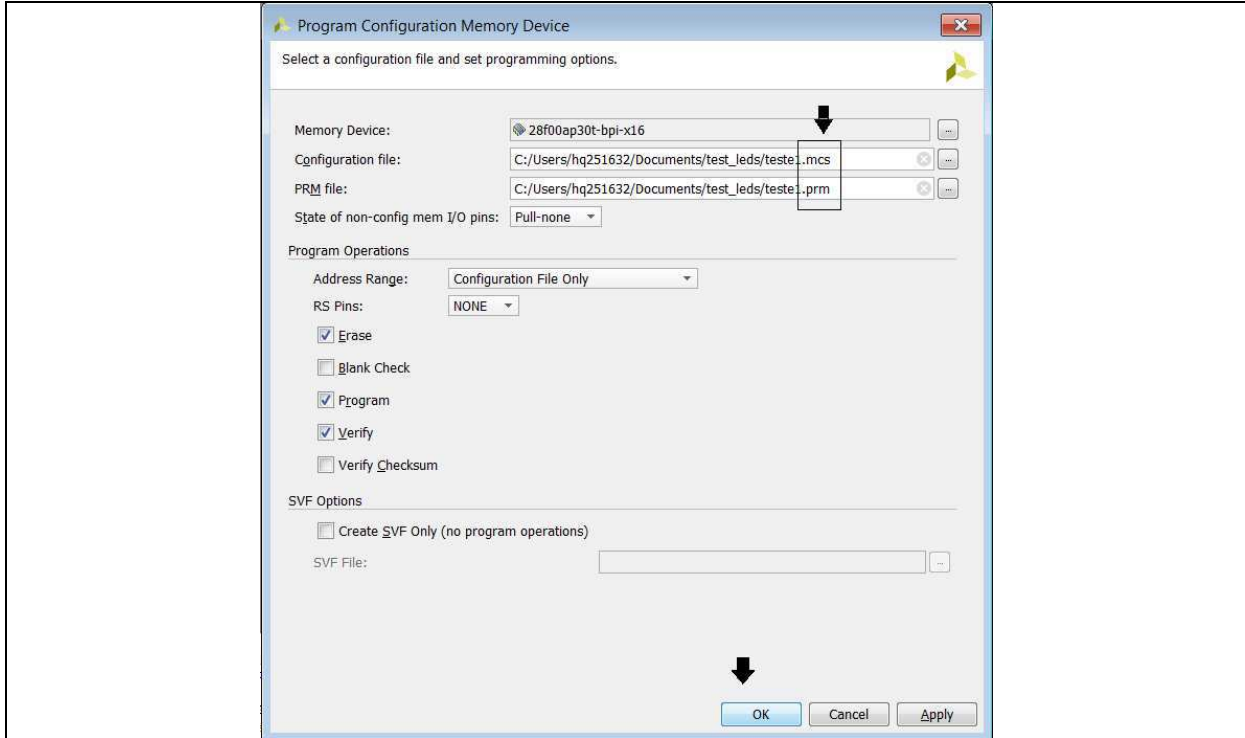
3. Uma vez gerado o arquivo de configuração, deve-se abrir o *Hardware Manager* para adicionar a configuração do dispositivos de memória:





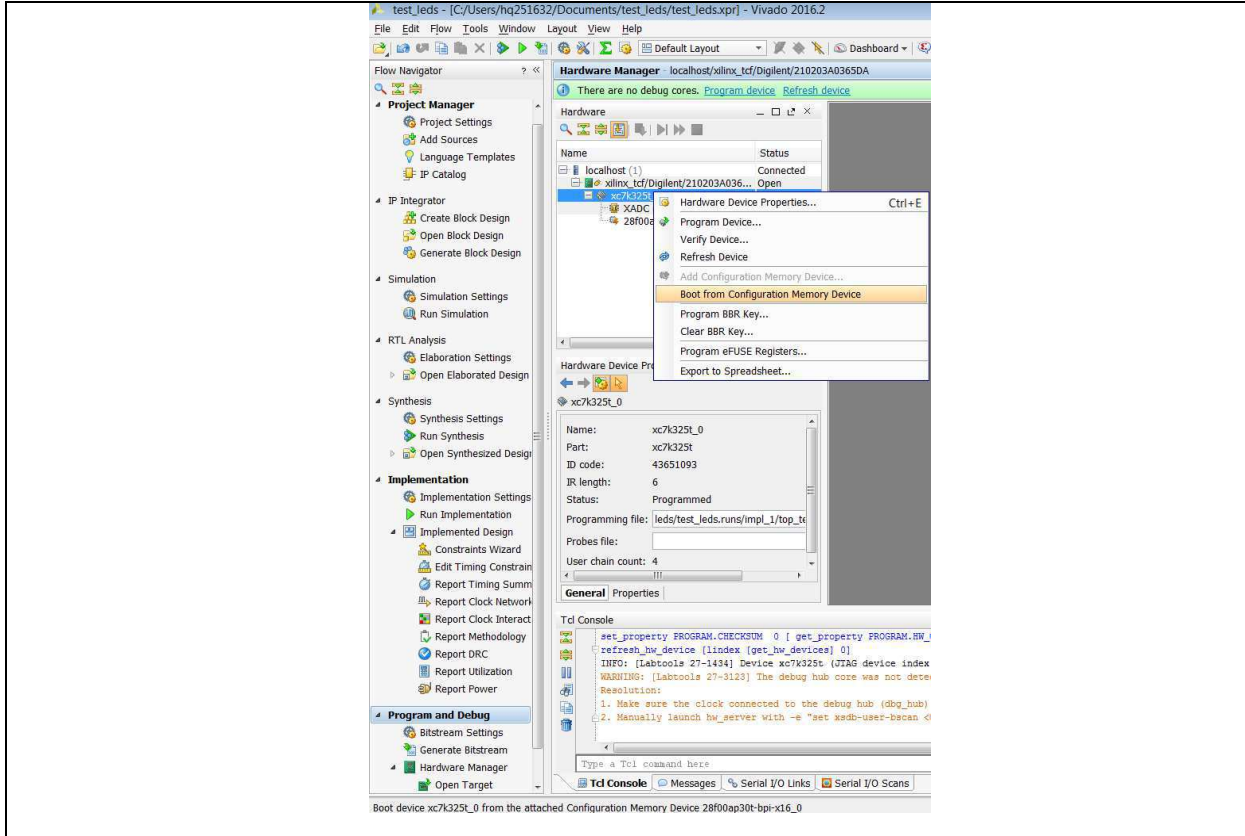
4. Em seguida, programa-se a memória configurada:





A memória será programada e verificada depois da programação.

5. Uma vez programada a memória, a cada vez que a placa é ligada ao PC, pode-se inicializar a partir da memória:



ANEXO VII

DESCRIÇÃO DOS DOCUMENTOS SALVOS NO FICHÁRIO DIGITAL DO ESTÁGIO

Os documentos:

