



Universidade Federal  
de Campina Grande

Centro de Engenharia Elétrica e Informática  
Departamento de Engenharia Elétrica

JOSÉ IURI BARBOSA DE BRITO

RELATÓRIO DE ESTÁGIO SUPERVISIONADO  
LABORATÓRIO DE EXCELÊNCIA EM MICROELETRÔNICA DO NORDESTE - XMEM

Campina Grande  
2020

JOSÉ IURI BARBOSA DE BRITO

RELATÓRIO DE ESTÁGIO SUPERVISIONADO  
LABORATÓRIO DE EXCELÊNCIA EM MICROELETRÔNICA DO NORDESTE - XMEM

*Relatório de Estágio Supervisionado submetido à Coordenação do Curso de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Bacharel em Ciências no Domínio da Engenharia Elétrica.*

Orientador:

Marcos Ricardo de Alcântara Morais, D. Sc.

Campina Grande

2020

JOSÉ IURI BARBOSA DE BRITO

RELATÓRIO DE ESTÁGIO SUPERVISIONADO  
LABORATÓRIO DE EXCELÊNCIA EM MICROELETRÔNICA DO NORDESTE - XMEM

*Relatório de Estágio Supervisionado submetido à Coordenação do Curso de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Bacharel em Ciências no Domínio da Engenharia Elétrica.*

Aprovado em                    /                    /

---

Marcos Ricardo de Alcântara Morais, D. Sc.  
UFCG

---

Antônio Marcus Nogueira Lima, D. Sc.  
UFCG

Campina Grande  
2020

*Dedico este trabalho aos meus pais, Antônio Macêdo de Brito (in memoriam) e Glaucijane Ferreira Barbosa, sem o apoio dessas almas jamais chegaria até onde estou ou seria quem eu sou.*

# AGRADECIMENTOS

Gostaria de utilizar esse espaço para agradecer a todos que contribuíram de alguma forma para a realização desse estágio.

Gostaria de agradecer a minha família, em especial a minha mãe, Glaucijane e meu irmão José Ítalo por todo o apoio que me deram durante esse período, em especial pela necessidade de mudança de moradia.

Aos professores, Marcos Morais, Gutemberg Júnior e Jaidilson Souza que me acompanharam durante a realização do estágio, sempre dispostos a ajudar e fornecer o apoio necessário. As pessoas que fazem parte dos parceiros comerciais que atuaram em conjunto para a realização desse trabalho, em especial Dennis e Carlos.

Aos colegas de laboratório que estiveram comigo nesse período de estágio: Pedro, Klynger e Matheus. Sempre é um prazer trabalhar junto com pessoas tão capacitadas e prestativas.

Também gostaria de agradecer a todos aqueles que não foram citados aqui, mas que contribuíram para este trabalho.

*“Quand le calme du silence monte en vous et que le feu sacré pétille seul, loin du tintamarre des routes, et quand la paix, qui est la tranquillité de l’ordre, établit l’ordre des pensées, des sentiments, des recherches, vous êtes en ultime disposition d’apprendre, vous pouvez assembler, puis créer; vous êtes strictement à pied d’oeuvre: ce n’est pas le moment d’accueillir des misères, de vivoter tandis que le temps coule et de vendre le ciel pour des riens.*

*(Antonin-Gilbert Sertillanges)*

# RESUMO

Neste relatório, descrevem-se as atividades que foram realizadas durante o período de estágio supervisionado na área de Microeletrônica no Laboratório de Excelência em Microeletrônica do Nordeste. O foco deste trabalho foi na verificação de blocos desenvolvidos pelos parceiros do laboratório. Para que isto fosse possível, foi necessário o entendimento do funcionamento de um Processador de Sinais Digitais (DSP) como um todo e um estudo mais profundo quanto à funcionalidade dos blocos verificados.

**Palavras-chave:** Microeletrônica, Verificação, DSP, Relatório de Estágio.

# LISTA DE ILUSTRAÇÕES

Figura 1 – Instalações do Laboratório de Excelência em Microeletrônica do Nordeste - XMEN . . . . .	11
Figura 2 – Equipe de verificação do Laboratório XMEN . . . . .	12
Figura 3 – Exemplo de divisão em um sistema de comunicação utilizando WDM .	13
Figura 4 – Esquemático da construção de um <i>laser</i> semiconductor . . . . .	14
Figura 5 – Blocos componentes de um DSP dentro de um sistema óptico coerente.	15
Figura 6 – Representação das etapas do DSP com os sinais em cada etapa. . . . .	16
Figura 7 – Arquitetura genérica de <i>testbench</i> . . . . .	17
Figura 8 – Fluxo típico de verificação com método CDM. . . . .	20
Figura 9 – Efeito da dispersão cromática no sinal óptico. . . . .	21
Figura 10 – Utilização do método <i>overlap add</i> . . . . .	22
Figura 11 – Exemplo de constelação mapeada. . . . .	23
Figura 12 – Exemplo de modulação PAM de quatro níveis. . . . .	24
Figura 13 – Exemplo de sinal modulado com PAM de quatro níveis acometido pelo efeito de <i>jitter</i> . . . . .	25



# LISTA DE ABREVIATURAS E SIGLAS

UFCG	Universidade Federal de Campina Grande
DEE	Departamento de Engenharia Elétrica
DSP	Processador Digital de Sinais
ASIC	circuitos Integrados de Aplicação E específica

# SUMÁRIO

	<b>Lista de ilustrações</b> . . . . .	<b>7</b>
<b>1</b>	<b>INTRODUÇÃO</b> . . . . .	<b>10</b>
<b>1.1</b>	<b>Laboratório de Excelência em Microeletrônica do Nordeste</b> . . . . .	<b>11</b>
<b>2</b>	<b>EMBASAMENTO TEÓRICO</b> . . . . .	<b>13</b>
<b>2.1</b>	<b>Comunicações Ópticas e WDM</b> . . . . .	<b>13</b>
<b>2.2</b>	<b>DSP Aplicado em Sistemas ópticos coerentes</b> . . . . .	<b>14</b>
<b>2.3</b>	<b>SystemVerilog para Verificação</b> . . . . .	<b>15</b>
<b>2.4</b>	<b>Verificação Funcional e UVM</b> . . . . .	<b>16</b>
<b>2.5</b>	<b>Métodos Ágeis e <i>Scrum</i></b> . . . . .	<b>18</b>
<b>3</b>	<b>ATIVIDADES DESENVOLVIDAS</b> . . . . .	<b>20</b>
<b>3.1</b>	<b>Verificação de blocos</b> . . . . .	<b>21</b>
3.1.1	Bloco de equalização estática . . . . .	21
3.1.2	Mapeamento de constelação, formatação de pulso e pré-ênfase . . . . .	22
3.1.3	Correção de frequência . . . . .	23
3.1.4	Decisão de Frequência . . . . .	24
3.1.5	Estimação do <i>Jitter</i> . . . . .	25
<b>3.2</b>	<b>Reuniões e prática do <i>Scrum</i></b> . . . . .	<b>26</b>
<b>4</b>	<b>CONSIDERAÇÕES SOBRE DA PRÁTICA DO ESTÁGIO NA UFCG</b>	<b>27</b>
<b>5</b>	<b>CONCLUSÕES</b> . . . . .	<b>29</b>
	<b>REFERÊNCIAS</b> . . . . .	<b>30</b>

# 1 INTRODUÇÃO

As comunicações e conectividade atualmente são largamente impulsionados pelo avanço da necessidade crescente pela alta velocidade e baixa latência. O advento das novas tecnologias em especial o 5G criou a necessidade de uma estrutura de comunicações complexa e diversa. Uma nova previsão da International Data Corporation (IDC) estima que haverá 41,6 bilhões de dispositivos conectados à IoT, gerando 79,4 zettabytes (ZB) de dados em 2025 (MACGILLIVRAY; REINSEL, 2019). Nesse contexto espera-se da infraestrutura que acomode essa demanda, em especial os *data centers*, deva estar capacitada para receber e transmitir essa enorme quantidade de dados em uma alta velocidade.

Nesse contexto o presente documento refere-se ao relato das atividades desenvolvidas pelo seu autor no âmbito do Laboratório de Excelência em Microeletrônica do Nordeste exercendo a função de estagiário, sob a orientação do Professor Marcos Ricardo de Alcântara Morais e supervisão do Professor Jaidilson Jó da Silva. O estágio foi realizado no período de 28 de Setembro a 2 de Novembro de 2020, com uma carga horária de 40 horas semanais, totalizando 205 horas totais.

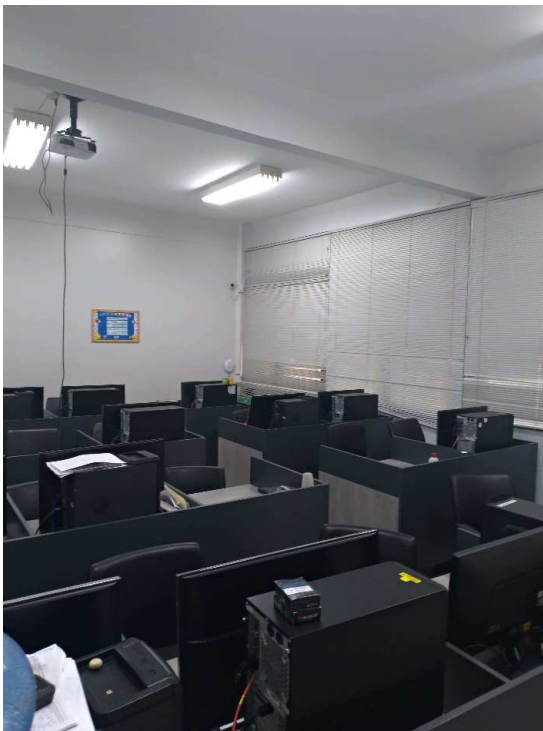
Durante o curso do estágio, o estagiário atuou no setor de Verificação do laboratório, em que foram atribuídas as atividades relacionadas ao fluxo de verificação funcional de circuitos digitais, mais especificamente ASIC DSP, inserido num contexto do fluxo completo de microeletrônica. Em termos gerais, as atividades de verificação funcionam buscam garantir a correta implementação de um circuito digital com vista aos critérios funcionais previamente estabelecidos. Tendo em vista o exposto as atividades atribuídas ao estagiário foram as seguintes:

- Planejar atividades de verificação funcional;
- Desenvolver ambientes de verificação funcional utilizando a *Universal Verification Methodology*;
- Executar testes e regressões para verificação de blocos digitais para aplicações ópticas

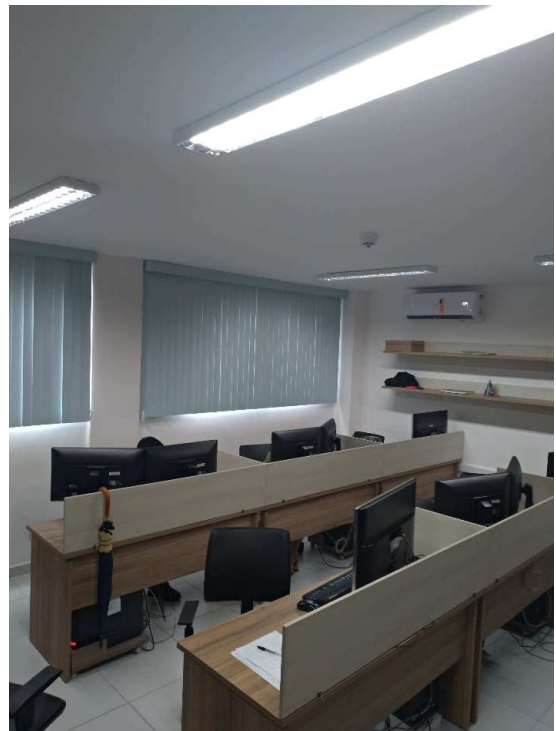
Em relação a estrutura textual, o presente documento, é composto por esta parte introdutória, em seguida um capítulo acerca do embasamento teórico necessário para melhor compreender as atividades desenvolvidas. O terceiro capítulo trata das atividades realizadas propriamente ditas, o que foi planejado para elas e os resultados que foram alcançados. O quarto capítulo tratará de algumas considerações sobre a prática de estágio na UFCG e por fim as conclusões são apresentadas no capítulo 6.

## 1.1 LABORATÓRIO DE EXCELÊNCIA EM MICROELETRÔNICA DO NORDESTE

O Laboratório de Excelência em Microeletrônica do Nordeste nasceu junto com o projeto PEM (Projetos para Excelência em Microeletrônica) em maio de 2016, nesse período ainda pertencente ao Laboratório de Sistemas Embarcados e Computação Pervasiva - Embedded. Nos primeiros anos do projeto visou-se o estabelecimento de um modelo de formação de recursos humanos, pesquisa, desenvolvimento e inovação na área de microeletrônica no país, com foco principal na região nordeste.



(a)



(b)

Figura 1 – Instalações do Laboratório de Excelência em Microeletrônica do Nordeste - XMEN

Fonte – Própria

Durante a execução do Projeto PEM foi desenvolvido um SoC (*System on Chip*) utilizando um processador RISC-V, com suporte dedicado a comunicação pela rede elétrica (PLC), criptografia e controle, em que foi feito o fluxo completo de microeletrônica chegando até o *chip* físico em silício.

A atuação do laboratório além do setor de desenvolvimento, também existe as atividades no campo de capacitação e formação de recursos humanos para o setor de microeletrônica. Com constante ingresso de alunos de graduação no programa de capacitação, onde são fornecidos o treinamento em todas as áreas do fluxo de microeletrônica,

o laboratório tornou-se capaz de desenvolver projetos e desenvolver soluções de *hardware*.

Nos anos seguintes, com o fim da execução financeira para o projeto PEM, os projetos foram executados em parceria com o VIRTUS e demais parceiras em projetos de P&D. Nesse contexto está inserido o Projeto MEDSP no qual o estagiário desempenhou suas atividades.



Figura 2 – Equipe de verificação do Laboratório XMEN

Fonte – Própria

## 2 EMBASAMENTO TEÓRICO

No presente capítulo será apresentada uma pequena introdução teórica que tornará mais compreensível as atividades desenvolvidas pelo estagiário durante o curso do estágio.

### 2.1 COMUNICAÇÕES ÓPTICAS E WDM

Com o aumento crescente na demanda por banda de transmissão, devido à popularização da Internet e a utilização cada vez maior de aplicações multimídia, as redes de dados estão superando em tráfego as redes de voz. Com essa situação os principais avanços em telecomunicações tornaram-se voltados para a transmissão de dados. Inserido nesses avanços estão as redes de comunicação óptica que diferem dos sistemas de radio-frequência principalmente pela faixa de frequência da portadora tornando a capacidade de transmissão dos sistemas ópticos bem superior aos sistemas de microondas (SOARES, 2005).

As técnicas de comunicações comumente utilizadas em fibras ópticas são as técnicas de multiplexação por divisão no tempo (TDM) e multiplexação pela divisão em comprimentos de onda (WDM), esse último divide a largura de banda de uma fibra óptica num grande número de comprimentos de onda, cada um dos quais carregando informações a taxas de aproximadamente 10 Gbps.



Figura 3 – Exemplo de divisão em um sistema de comunicação utilizando WDM

Fonte – (CARVALHO, 2002)

Para o entendimento dos efeitos que acometem os sistemas de transmissão óptica é importante entender os dispositivos chamados *lasers*. Um *laser* é um dispositivo que produz radiação eletromagnética com características muito especiais: ela é monocromática (possui comprimento de onda muito bem definido), coerente (todos os fótons que compõem o feixe emitido estão em fase) e colimada (propaga-se como um feixe de ondas

praticamente paralelas). Um tipo de dispositivo dessa categoria é o do tipo semicondutor. Os *lasers* semicondutores são diodos bombeados eletricamente. A recombinação de elétrons e buracos criados pela corrente aplicada introduz ganho óptico. A reflexão das extremidades do cristal forma um ressonador óptico, embora o ressonador possa ser externo ao semicondutor em alguns projetos.

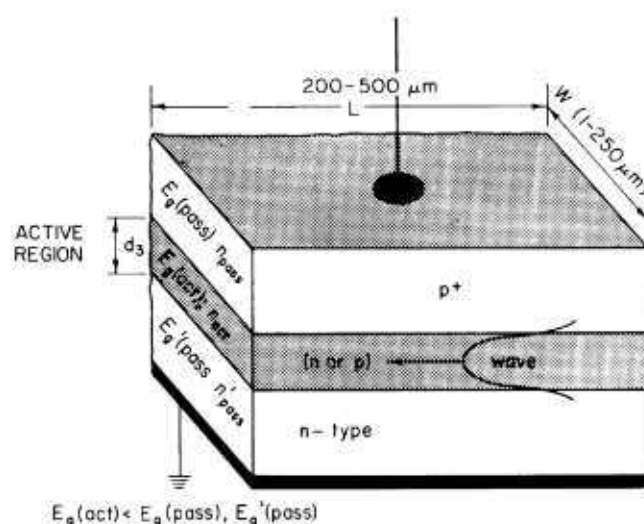


Figura 4 – Esquemático da construção de um *laser* semicondutor

Fonte – (KRESSEL, 2012)

## 2.2 DSP APLICADO EM SISTEMAS ÓPTICOS COERENTES

Em um sistema óptico de comunicação coerente, quem que a informação pode estar em diversas características do sinal óptico, o sinal recebido é convertido por um conversor analógico-digital (AD) e é processado por um Processador Digital de Sinais a fim de reduzir os efeitos que são inseridos ao sinal pela propagação na fibra óptica.

Como demonstrado na Figura 5, após a conversão do sinal para o domínio digital, o primeiro componente corrige o efeito de *skew*, adicionado ao sinal pela conversão analógico-digital, compensando dessa forma o atraso temporal e além disso irá corrigir uma possível alteração na ortogonalidade das polarizações do sinal.

O próximo estágio do DSP é a equalização estática. Esse componente é o responsável por corrigir o efeito da dispersão óptica (chamada também de dispersão cromática por causa das diferentes cores associadas aos comprimentos de onda) é um resultado direto da refração que é o fenômeno que ocorre na propagação de campos eletromagnéticos (EM) em meios materiais, causando atrasos na propagação desses campos. Diferentes naturezas de interação causam diferentes efeitos de dispersão. O equalizador dinâmico é o responsável por corrigir a quantidade remanescente de dispersão cromática que passou

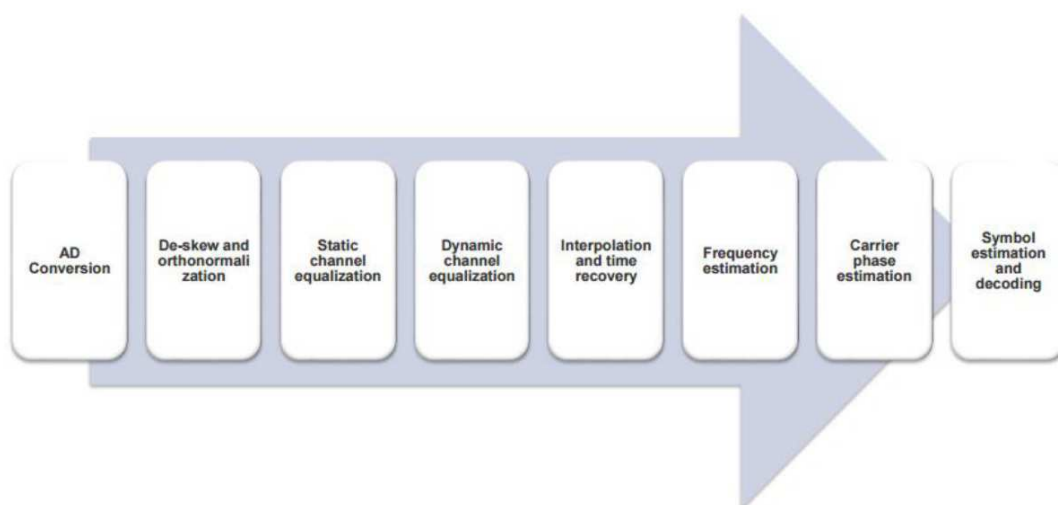


Figura 5 – Blocos componentes de um DSP dentro de um sistema óptico coerente.

Fonte – (FORMIGA, 2017)

pelo equalizador estático, além dessa correção, há também a correção parcial de outros efeitos como a dispersão de modo de polarização (PMD).

O componente de interpolação e recuperação de *time* é o responsável pela correção de erro de timing, isto é, quando um símbolo amostrado não é recebido na quantidade de clocks esperada, que é seguido por um bloco para estimar o desvio de frequência entre o sinal do laser transmissor e o oscilador local para posterior correção e outro para estimação e correção de fase do sinal. Por fim o sinal é recuperado por meio de uma estimação e decodificação dos símbolos em uma sequência de *bits*.

O processo completo é ilustrado na Figura 6 em que é mostrado o sinal em cada etapa:

## 2.3 SYSTEMVERILOG PARA VERIFICAÇÃO

No final da década de 90, a linguagem de descrição de *hardware* mais utilizada para simulação e síntese entre as companhias do setor era o Verilog Hardware Description Language. Entretanto a capacidade dessa linguagem para testes é bastante limitada, de forma que diversas HVLs (*Hardware Verification Language*) surgiram, a exemplo da OpenVera, e *e*. Essa situação gerou uma crise de produtividade no setor de forma que cada companhia desenvolvia sua própria linguagem de verificação de *hardware* para evitar a aquisição de ferramentas de uma empresa externa, desperdiçando dessa forma muitas horas de trabalho e recursos humanos (SPEAR, 2008).

Para resolver a problemática de produtividade (junto com outra semelhante no lado do design) ocorreu a criação da Accellera, um consórcio de empresas e usuários de



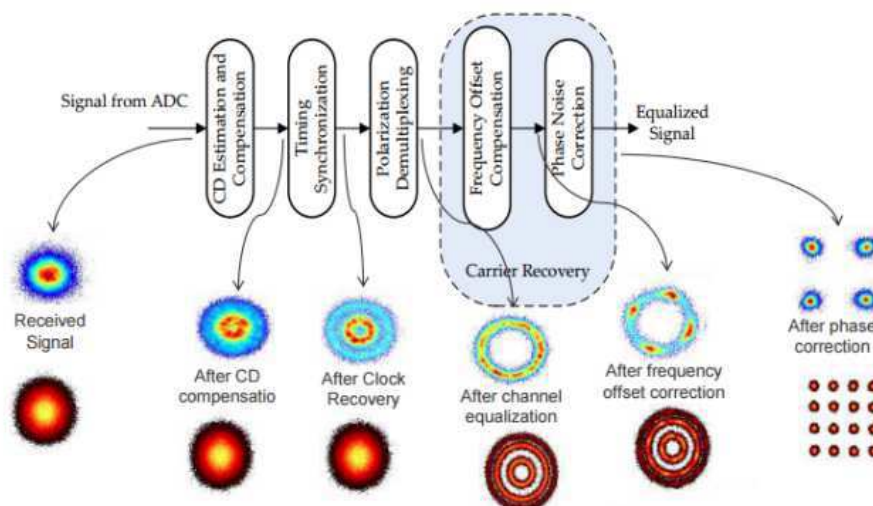


Figura 6 – Representação das etapas do DSP com os sinais em cada etapa.

Fonte – (FORMIGA, 2017)

EDA (*Electronic design automation*) que queria criar a próxima geração da Verilog. A doação da linguagem OpenVera formou a base para os recursos HVL do SystemVerilog. A meta da Accellera foi atingida em novembro de 2005 com a adoção do IEEE padrão P1800-2005 para SystemVerilog, IEEE (2005).

Com a criação do SystemVerilog, ocorreu pela primeira vez a unificação da linguagem em que o *design* é construído e a linguagem no qual ele é testado, trazendo uma série de outros benefícios. Ao incluir o *design*, o *testbench* e os *assertions* em uma única linguagem o testbench tem fácil acesso a todas as partes do ambiente sem exigir APIs especializadas. O valor de um HVL é sua capacidade de criar testes flexíveis de alto nível, não suas construções de loop ou estilo de declaração. SystemVerilog é baseado nas construções da Verilog que os engenheiros têm usado por décadas facilitando a criação de testes complexos e muito flexíveis.

## 2.4 VERIFICAÇÃO FUNCIONAL E UVM

A verificação funcional pode ser definida de acordo como o processo utilizado para demonstrar a correta funcionalidade de um circuito (BERGERON, 2012). A argumentação em favor dessa técnica advém de que se tanto o *hardware* descrito, como os modelos que reproduzem a mesma funcionalidade foram feitos de forma independente e todos produzem as mesmas respostas para o mesmo teste é extremamente provável que estejam corretos. Portanto a tarefa da verificação funcional é escrever a estrutura dos testes que permitem a correta comparação entre os modelos.

A *Metodologia Universal de Verificação* (UVM) é uma metodologia padronizada

para verificação de circuitos digitais. Os principais objetivos do UVM são a reutilização dos componentes para reduzir o tempo de colocação no mercado e tem como objetivo verificar sistemas de conceitos pequenos a grandes e estabelecer um padrão na engenharia da indústria e de verificação. Os principais benefícios da metodologia são um amplo suporte à biblioteca de classes base, padrão IEEE 1800.2 - 2017, que pode executar verificação aleatória de restrição orientada a cobertura, além de fornecer fluxo de verificação prático e eficiente, reutilizando os *IP testcases* e o *testbench* e por fim a padronização independente do fornecedor (PAVITHRAN; BHAKTHAVATCHALU, 2017).

O *testbench* UVM é composto por componentes de verificação reutilizáveis, que consiste em um conjunto completo de elementos para estimular, verificar e coletar informações de cobertura para um protocolo ou projeto específico. Estes componentes de verificação são aplicados ao DUT para o verificar. O *testbench* deve ser feito em camadas para resolver o problema da verificação em pedaços gerenciáveis com o intuito de controle da complexidade.

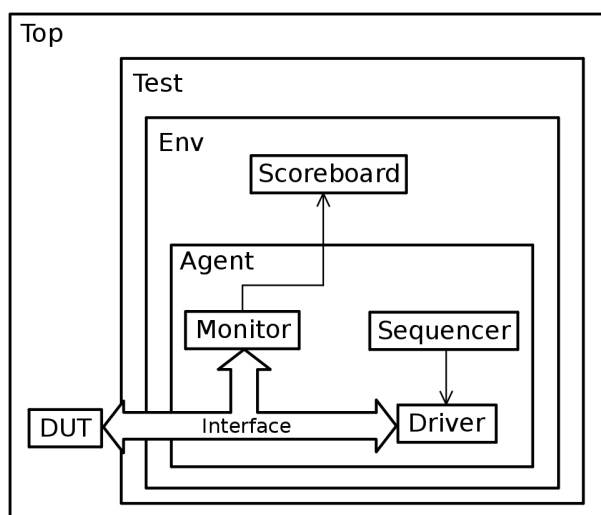


Figura 7 – Arquitetura genérica de *testbench*.

Fonte – Própria

No tocante ao ambiente em que é realizado a verificação, pode adotar inúmeras topologias, mas todas seguem a mesma ideia de manter sempre o DUT (*Device Under test*) sobre constante monitoramento. Para isto, a topologia necessita de um *driver* que irá injetar os estímulos no DUT, de um *monitor*, responsável pelo monitoramento dos sinais de saída, de um *checker*, que realiza a comparação com modelo que está sendo seguido, de um *scoreboard*, no qual são contabilizados os erros encontrados pelo *checker*, de uma sequência, que descreve como os estímulos serão criados, um sequenciador que gera as sequências e as manda para o driver e de uma interface, que serve como conexão entre o DUT e o ambiente de verificação. Alguns desse componentes podem ser agrupados em um único componente, não deixando de existir, mas passando sua funcionalidade para

dentro de outro bloco. O esquema geral de uma arquitetura de *testbench* é mostrada na Figura 7

## 2.5 MÉTODOS ÁGEIS E SCRUM

Com o aumento da demanda por *softwares* emergiu na década de 90, os tradicionais métodos de desenvolvimento dirigidos a planos, a exemplo do modelo em "cascata", passaram a ser substituídos por outras abordagens, mudando o foco dos modelos de desenvolvimento já consolidados, dando início aos chamados "métodos ágeis"

Nos modelos tradicionais, o foco do desenvolvimento é maior na análise de requisitos, de modo que após a definição do escopo o projeto seguia em formato de cascata, ou seja, em um grande período de duração em uma malha aberta. Esse modelo passou a ser problemático em diversos contextos de projetos de pequeno e médio porte em que uma simples mudança de requisito ou especificação fazia com que o desenvolvimento reiniciasse sem aproveitamento do trabalho feito anteriormente. Nesse contexto, outros modelos de desenvolvimento passaram a surgir, esses modelos mudaram a abordagem do desenvolvimento e passaram a priorizar o produto em si, deixando de lado um pouco a documentação e a definição de escopo. O objetivo desses métodos era a entrega mais rápida do produto ao cliente de modo que fosse feita a avaliação de quais requisitos deveriam ser mudados ou adicionados.

O *Scrum* é talvez a abordagem mais utilizada quando se fala de métodos ágeis. O modelo Scrum é baseado em três componentes principais: funções, processos e artefatos. (CERVONE, 2011). Em termos de funções existem tipicamente o *Scrum master* que é o responsável por habilitar a prática do *scrum* e remover os impedimentos a execução das atividades, normalmente o líder do projeto ocupa essa posição. O *Product owner* é o papel desempenhado por aqueles que conhecem o produto e seus requisitos e como ele deve ser construído no contexto do projeto. Por fim tem os desenvolvedores que são aqueles que cumprem as atividades de desenvolvimento.

O processo dentro da metodologia *Scrum* é dividido em 5 atividades: o *Kickoff*, o planejamento do *sprint*, o *sprint*, o *Scrum* diário e a reunião de revisão do *sprint*. A reunião de planejamento do *sprint* é uma reunião da equipe *Scrum*, do *Scrum master* e do *product owner* no início de cada *sprint* (iteração). Essas reuniões, que podem levar até um dia, consiste em duas partes. Na primeira parte do encontro, ocorrem duas atividades principais. Primeiro, o grupo define o *backlog* do produto, que é basicamente uma lista dos requisitos do projeto. Depois disso, o grupo determina a meta do *sprint*, que são o(s) resultado(s) que são desejáveis ao final do *sprint* específico. Na segunda parte da reunião, o foco do trabalho está na criação do *backlog* do *sprint*. A reunião inicial é estruturada de forma semelhante à reunião de planejamento do *sprint*, com a principal diferença sendo

que o grupo define o *backlog* de alto nível para o projeto e os principais objetivos do projeto. (CERVONE, 2011)

### 3 ATIVIDADES DESENVOLVIDAS

Essa seção tem como objetivo detalhar as atividades desenvolvidas durante o curso do estágio no Laboratório de Excelência em Microeletrônica do Nordeste. As atividades foram desenvolvidas dentro do fluxo típico de verificação com metodologia CDM (*Coverage-Driven Methodology*) apresentado na Figura 8. Durante o estágio foram feitas todas as etapas do fluxo com o fechamento de cobertura atingido em alguns dos blocos que foram verificados.

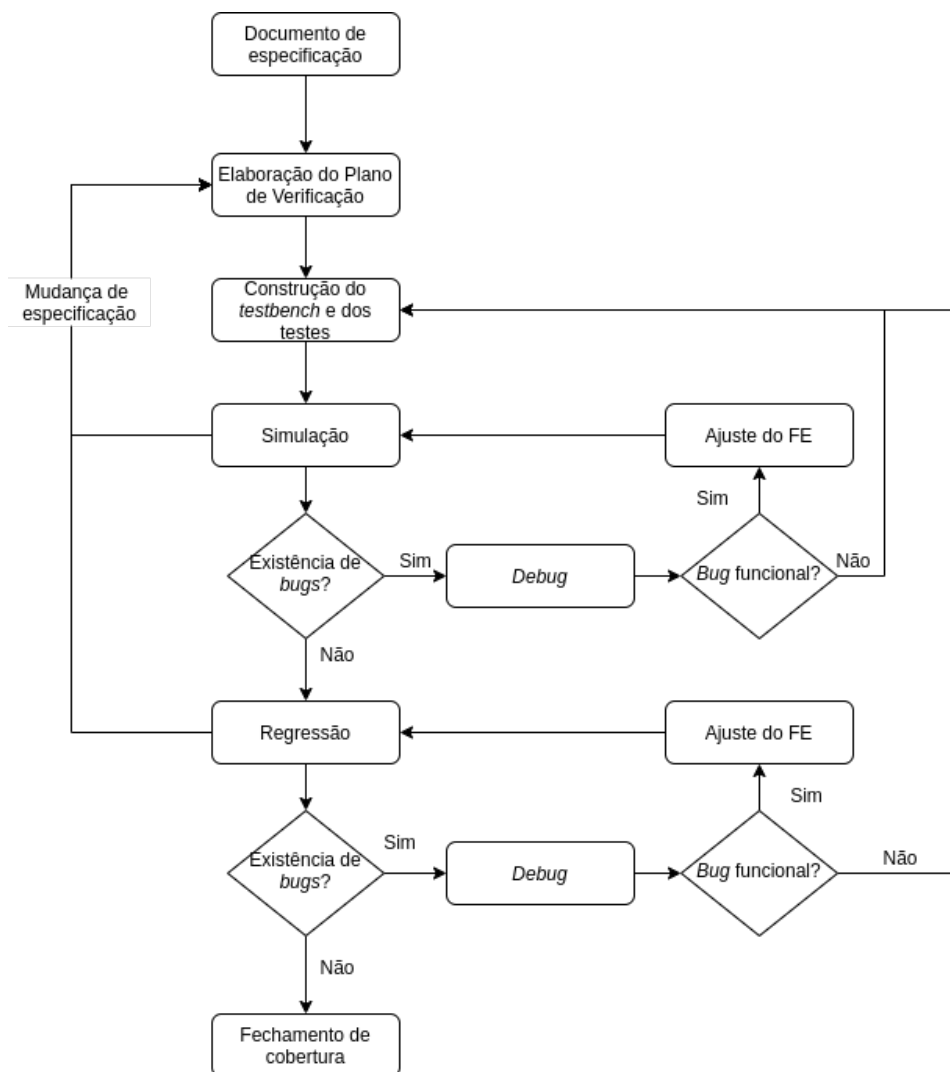


Figura 8 – Fluxo típico de verificação com método CDM.

Fonte – Própria

## 3.1 VERIFICAÇÃO DE BLOCOS

Das atividades desenvolvidas pelo estagiário, a principal dentre elas foi a verificação funcional de blocos pertencentes ao DSP-Core feito com parceiros comerciais, esses blocos foram os blocos de equalização estática; Mapeamento de constelação, formatação de pulso e pré-ênfase; Correção de frequência; Decisão de frequência; Estimação de *jitter* e *Shifter* de dados.

### 3.1.1 BLOCO DE EQUALIZAÇÃO ESTÁTICA

Um dos trabalhos do estagiário foi verificar um bloco responsável pela equalização estática e eliminação da dispersão cromática. O efeito da dispersão cromática no sinal é demonstrado na Figura 9. O bloco tratou-se de um filtro simples com os coeficientes externos. Em blocos desse tipo como a filtragem é feita em frequência é comum que os blocos sejam grandes e contenham transformações de domínio do sinal para o domínio da frequência de modo que torne possível a filtragem de forma correta.

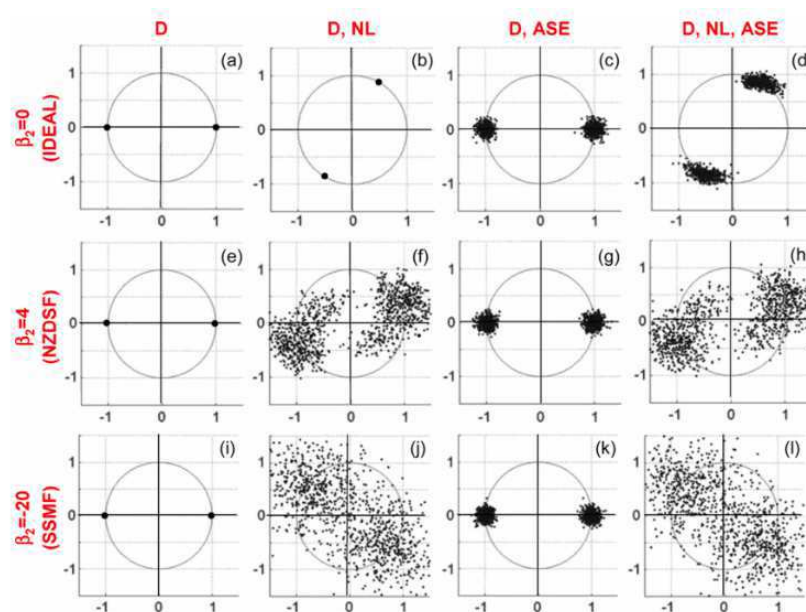


Figura 9 – Efeito da dispersão cromática no sinal óptico.

Fonte – (AHMED et al., 2011)

Como em qualquer DSP o fluxo de dados é constante é natural que utiliza-se um dos métodos de transformação para o domínio da frequência que permita a análise em blocos de amostra, de forma que dado o tamanho do bloco a saída correspondente aquele bloco de amostras seja apenas um conjunto fixo de amostras com o sinal corrigido. A técnica mais utilizada nesses casos é o *overlap add* que é ilustrado na Figura 10

Durante a vigência do estágio não foi alcançado o fechamento de cobertura do bloco devido a *bugs* encontrados no RTL que não foram solucionados, portanto dentro do

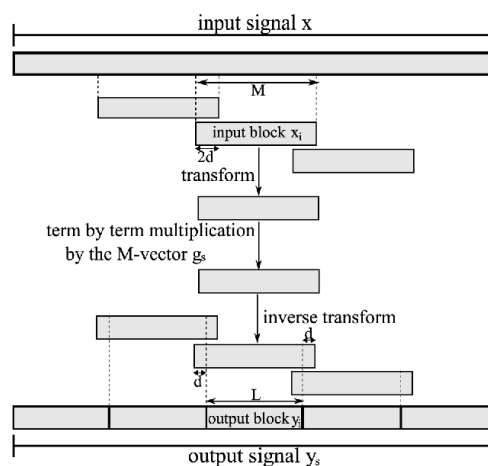


Figura 10 – Utilização do método *overlap add*.

Fonte – (DAHER et al., 2010)

fluxo apenas a etapa de regressão foi alcançada, mas sem fechamento de cobertura.

### 3.1.2 MAPEAMENTO DE CONSTELAÇÃO, FORMATAÇÃO DE PULSO E PRÉ-ÊNFASE

Se tratando de transmissão de dados, a informação deve ser mapeada na constelação de forma a formar as amostras na modulação correta, Figura 11. Além do mapeamento correto na constelação o mesmo bloco é utilizado para aumentar a frequência de amostras. Se tratando de blocos da transmissão é importante notar que a informação codificada a ser transmitida deve se tornar valores discretos modulados sem a perda da informação, para isso é importante verificar o correto comportamento do bloco ao realizar o aumento da taxa de amostragem do sinal gerado. Esse aumento da taxa de amostragem é importante para garantir que os demais blocos componentes da parte do transmissor funcionem corretamente.

Para a verificação desse bloco foi utilizado um *checker* duplo, além do modelo em alto nível, comum ao fluxo tradicional de verificação funcional, também foi utilizado um outro *checker* de BER (*Bit Error Rate*) que desfazia a operação de *upsampling* e calculava a taxa de erro em relação aos *bits* de entrada do bloco.

A verificação funcional desse componente foi completada na vigência do estágio, de modo que o fluxo completo de verificação foi exercitado e completado, incluindo o refinamento e fechamento de cobertura que envolveu a colaboração do estagiário com a equipe responsável pelo *design* bloco para realizar a análise dos pontos de cobertura que não foram atingidos devido a aspectos funcionais ou não-funcionais, ao fim toda a cobertura funcional foi atingida.

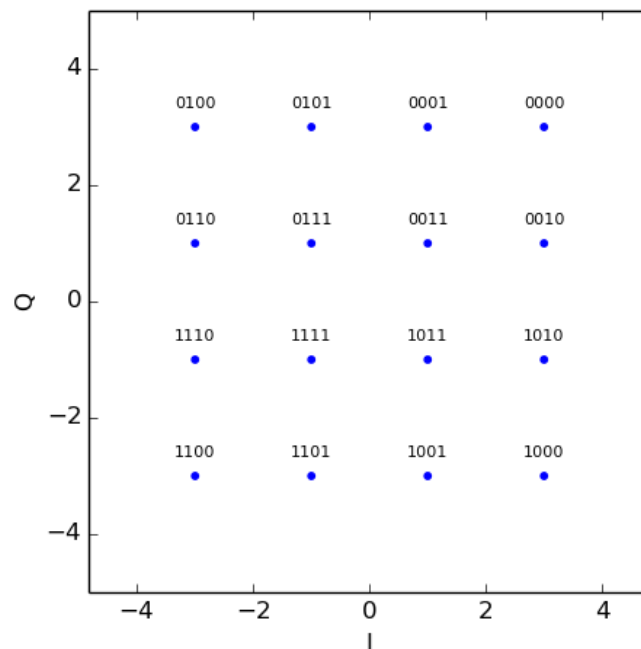


Figura 11 – Exemplo de constelação mapeada.

Fonte – Própria

### 3.1.3 CORREÇÃO DE FREQUÊNCIA

No processo de comunicação entre um transmissor e um receptor faz-se necessário que o último transforme o sinal óptico em um sinal elétrico para poder ser processado pelo DSP, esse processo é feito por meio de *lasers* que operam em uma frequência local, que pode ser diferente da frequência do *laser* do transmissor. Então faz-se necessário compensar o deslocamento da frequência portadora entre o oscilador local e o laser do transmissor, e isso é feito com blocos que corrigem a frequência.

Assim como no caso do mapeamento de constelação, para checar a correta operação do módulo foi necessário a utilização de um *checker* adicional que destruía a informação da portadora e analisava o *offset* no domínio da frequência de maneira constante ao longo dos testes. Portanto, diferente do fluxo tradicional, a equivalência entre o modelo de referência e o *design* testado não é garantia da correta funcionalidade do bloco, apenas com a análise da informação de frequência de deslocamento era possível garantir a funcionalidade do bloco.

A verificação desse componente foi competada durante o período de estágio, em que houve a correção de *bugs* que foram encontrados tanto no *design* quanto no modelo de referência. Os problemas encontrados no modelo de referência foram detectados pelo *checker* adicional implementado, caso ele não existisse o bloco passaria pela verificação funcional, mas sendo um falso positivo, já que o bloco não funcionava como deveria.



### 3.1.4 DECISÃO DE FREQUÊNCIA

Além do lado óptico do transmissor ou do receptor há também o lado elétrico em que o ASIC DSP faz o *link* com os demais componentes do *data center* para codificar e então transmitir a informação pelo lado óptico. É bastante comum que essa fatia do DSP utilize o esquema de modulação chamado de modulação de linha, ou código de linha. O mais comum e mais largamente utilizado nessas aplicações é o PAM (*Pulse-Amplitude Modulation*, mais especificamente o PAM de quatro níveis, que é ilustrado na Figura 12.

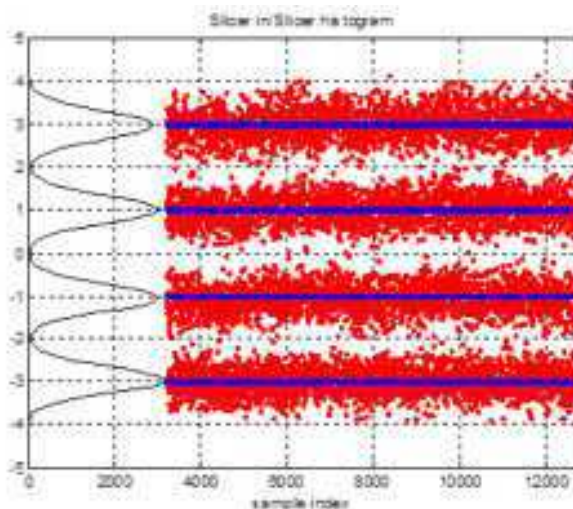


Figura 12 – Exemplo de modulação PAM de quatro níveis.

Fonte – (SADOT et al., 2015)

Assim como no lado óptico a transmissão pela rede causa uma série de problemas que devem ser mitigados para que a informação recebida seja corretamente decodificada. Para corrigir alguns efeitos associados a rede elétrica alguns blocos causam o espelhamento das amostras recebidas de modo que o dado serial não corresponda mais a informação transmitida. Devido a esse efeito inserido já na recepção é necessário que exista um bloco que remova as amostras espelhadas e faça a decisão dos símbolos seriais, ou seja faça a decisão da frequência da portadora.

A verificação desse componente exigiu o entendimento correto do novo protocolo, que mostrou-se bastante diferente das amostras que eram recebidas pelo lado óptico, principalmente pois o bloco de amostras recebidas representavam um dado serial e não paralelo como o lado óptico. A criação de um *checker* nesse bloco foi necessária para a identificação da correta decisão sobre os símbolos recebidos, e assim como no mapeamento de constelação foi utilizada o cálculo de BER.

A verificação desse componente foi completada durante o período do estágio. Diferente dos demais blocos não foram encontrados *bugs* na implementação da solução o que facilitou o fechamento da cobertura e da verificação funcional do módulo.

### 3.1.5 ESTIMAÇÃO DO *JITTER*

Ainda nos componentes do DSP pertencentes ao lado elétrico um dos principais problemas associados a transmissão pela linha é o *jitter* senoidal que causa um ruído na amostra fazendo com que ela desloque da região de decisão correta, Figura 13, causando o erro na decodificação desse símbolo. Esse efeito é dinâmico e ao longo do tempo altera seu valor, de modo que a correção desse efeito necessita de ser dinâmica e constante.

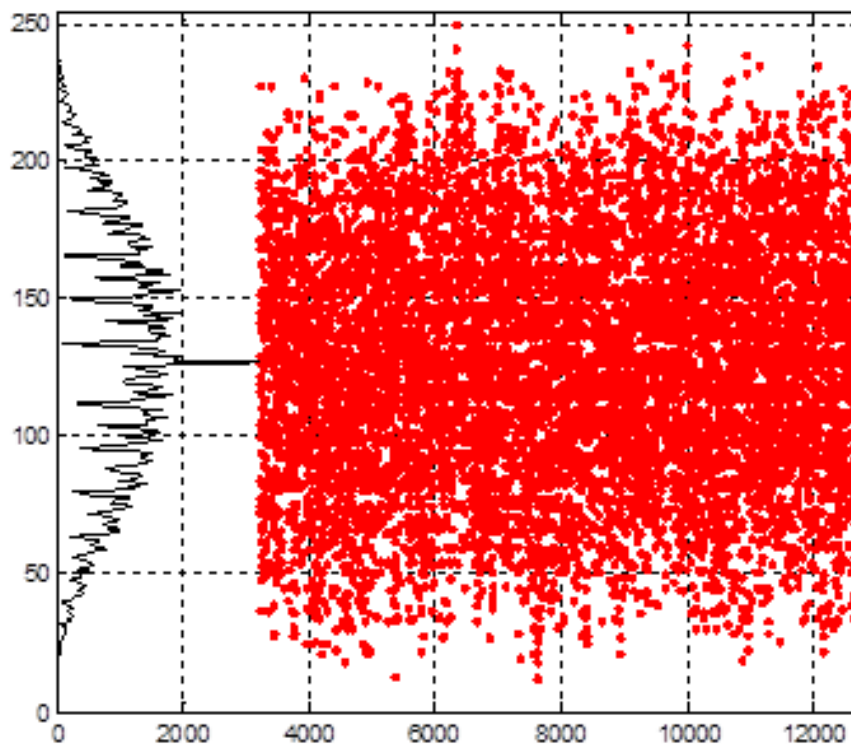


Figura 13 – Exemplo de sinal modulado com PAM de quatro níveis acometido pelo efeito de *jitter*.

Fonte – (SADOT et al., 2015)

Para solucionar esse problema é necessário que exista um componente estime continuamente o valor do *jitter* ou forneça os coeficientes continuamente para a correção ativa do efeito. Portanto para a verificação do bloco é instanciado ambos os componentes, o que estima ou fornece os coeficientes e o bloco que recebe esses coeficientes e realiza a correção do efeito.

A verificação desse bloco também foi concluída no curso do estágio. Assim como os demais blocos houve a necessidade de um *checker* adicional para verificar a correta convergência dos coeficientes gerados na saída. Devido a necessidade de *loop-back* (múltiplos *designs* em um mesmo ambiente de verificação) houve a colaboração com outro membro da equipe para que ambos os blocos fossem verificados corretamente.

## 3.2 REUNIÕES E PRÁTICA DO SCRUM

No decorrer do período de estágio, o presente autor, como parte da equipe de verificação o estagiário participou de reuniões diárias (*daily scrum*) e as demais reuniões relativas a prática do *scrum* e utilizou ferramentas próprias para a gestão de projetos utilizando o *scrum*.

As reuniões diárias ocorriam às 9:30 da manhã diariamente em conjunto com a equipe de verificação e o gerente de projeto (*scrum master*), Antônio Agripino, sendo na sexta-feira a reunião com todas as equipes do laboratório. Além da função de *scrum master* o gerente de projeto, também acumulou a função de *product owner*. Além das reuniões diárias, as quintas ocorriam a reunião de projeto em conjunto com o parceiro e a equipe de verificação da empresa, liderada pelo responsável técnico do setor de verificação na companhia.

Os *sprints* duraram regularmente duas semanas, iniciando as quartas-feiras e encerrando as terças. Ao fim de cada *sprint* havia uma reunião para discutir como foi o andamento da iteração e as práticas que correram bem e as que não ocorreram. Ao iniciar uma *sprint* havia a reunião inicial em que o time definia o *backlog* que seria inserido, discutindo dessa forma a quantidade de pontos de cada tarefa (os pontos definiam a dificuldade e o tempo de execução das atividades e eram valores que deviam seguir a escala de Fibonacci).

A comunicação com as outras equipes, em especial a equipe de *front-end* se dava por meio da ferramenta JIRA, software desenvolvido pela Atlassian para gestão de projetos, em que as atividades e a comunicação se dava por *tickets* na ferramenta em que eles eram caracterizados de acordo com o tipo, sendo eles: *Story*, que se tratava de uma tarefa própria que era encaixada nas sprints e *bugs* que era a forma de relatar um problema encontrado durante a verificação dos blocos, esses *tickets* entravam no *backlog* da equipe de *front-end*.

## 4 CONSIDERAÇÕES SOBRE DA PRÁTICA DO ESTÁGIO NA UFCG

Durante a prática de estágio na Universidade Federal de Campina Grande foi possível perceber algumas situações que além de prejudicar o decorrer do estágio, também dificultaram o processo de formação integral do aluno da universidade. Apesar de já conhecida e evidenciada as diversas problemáticas que acometem os alunos, a pandemia de COVID-19 que ocorreu no presente ano, agravou ainda mais os problemas e revelou uma certa desorganização e despreparo do setor burocrático da universidade em lidar com situações de crise e regulamentar as práticas de estágio em ocasião que necessitam de flexibilização. Essas situações precisam ser enfrentadas pelas instâncias responsáveis da instituição, de modo que em próximas ocasiões as medidas de enfrentamento e o protocolo de atuação seja claro e contemple todas as necessidades dos alunos, professores e servidores.

Apesar de formalmente o período de estágio compreender os intervalos de 28 de setembro a 2 de novembro de 2020, o estágio, efetivamente, foi começado em março de 2020, em que só pode ser oficializado mediante regulamentação da UFCG sete meses depois. Essa situação se deu devido a crise sanitária vivida pela sociedade global, começando em Março do presente ano. As atividades de estágio foram suspensas junto com as demais atividades acadêmicas, não sendo reconhecidas nem as atividades presenciais nem em regime de teletrabalho.

A regulamentação que regeu a prática do estágio durante o período que perdurou a pandemia ocorreu com a publicação da Portaria de No 19, de 3 de Agosto de 2020. Nota-se que a quarentena começou por volta de 12 de Março e a suspensão das atividades na universidade ocorreu em 18 de Março, portanto essa regulamentação ocorreu com um certo tempo depois da interrupção das atividades.

É notável que, dado as datas que decorreram da suspensão das atividades e a regulamentação acerca da prática do estágio, houve problemas nos setores burocráticos da universidade que demoraram um período longo de tempo para regulamentar a prática da disciplina obrigatória de estágio para formação dos estudantes e sem a qual nenhum deles consegue obter a formação completa. Portanto, dada as experiências obtidas com a situação sanitária do presente ano, faz-se necessário que as próximas situações de emergência similares sejam respondidas de forma mais adequada e veloz.

Sobre a parte regulamentada do estágio, há de se notar que as atividades foram desenvolvidas presencialmente na Universidade Federal de Campina Grande, mesmo após

diversas empresas e setores públicos autorizarem a prática do teletrabalho. Essa obrigatoriedade, dentro de um contexto de crise sanitária, mesmo com a exigência do protocolo sanitário, colocou tanto os alunos como os supervisores em situação de risco desnecessário. Tendo em vista além do próprio horário de trabalho, o deslocamento para ir até o local de realização do estágio, o período de alimentação do almoço e diversas outras situações.

Por fim, dado as circunstâncias que envolveu a realização do estágio do presente autor, ficou notável a lentidão dos setores responsáveis da UFCG em lidar rapidamente com situações de crise e vulnerabilidade dos alunos que necessitavam de cursar a disciplina de estágio. Além disso, é igualmente notável como os setores responsáveis na universidade não conseguiram articular corretamente com as coordenações dos cursos sobre a forma em que os estágios deveriam ocorrer e qual o procedimento correto para que os mesmos pudessem ser realizados. Espera-se que em ocasiões futuras todas essas problemáticas estejam devidamente solucionadas e todos possam continuar os trabalhos sem maiores impactos.

## 5 CONCLUSÕES

Durante o período de execução do estágio, o estagiário obteve sucesso na execução das atividades a ele delegadas, auxiliando dessa forma ativamente a equipe de verificação do Laboratório de Excelência em Microeletrônica do Nordeste e seus respectivos parceiros. Nesse período o estagiário pode ser integrado a equipe e em colaboração com os mesmos desenvolver atividades técnicas que puderam impactar positivamente todos os envolvidos.

O ambiente de trabalho no Laboratório XMEN, mostrou-se bastante acolhedor e ativo. A colaboração entre os times e o acompanhamento das atividades permitiu que o estagiário cumprisse as atividades sob sua responsabilidade, ao mesmo tempo que desenvolvia as capacidades técnicas e de comunicação interpessoal. Os prazos e metas foram adequados ao trabalho e não sobrecarregaram o aluno, este que foi tratado igualmente com os demais colaboradores sem qualquer distinção.

Os conhecimentos adquiridos no decorrer da graduação mostraram-se insuficientes para a realização das atividades. Alguns dos conhecimentos necessários para as atividades foram obtidos com a participação em projetos de P&D que o estagiário participou durante a duração do curso. Portanto é necessário que dado as experiências faça-se possível buscar um maior alinhamento com as novas necessidades de conhecimento exigidas pelo mercado de trabalho e as novas tecnologias.

Faz-se necessário que a experiência de estágio seja tida com maior esmero pela universidade. Visando a necessidade dessa experiência é preciso que os setores responsáveis tratem o assunto com a devida importância e permita que de fato os alunos obtenham acesso a bons estágios, possibilitando a ele uma formação profissional completa e alinhada com as necessidades atuais da sociedade com relação ao papel do engenheiro electricista, seja ele no mercado de trabalho ou na academia.

Por fim, considero que toda a experiência adquirida no curso do estágio foi proveitosa e vital para a formação do profissional e também do humano que teve que aprender a conviver com colaboradores e cooperar com eles para alcançar metas e objetivos técnicos.

# REFERÊNCIAS

- AHMED, F. et al. Database based phase noise compensation in co-ofdm transmission. *Int J Eng Sci Technol*, v. 3, p. 866–70, 2011. 21
- BERGERON, J. Writing testbenches: functional verification of hdl models. Springer Science & Business Media, 2012. 16
- CARVALHO, J. P. P. de. Redes ópticas wdm. 2002. 13
- CERVONE, H. F. Understanding agile project management methods using scrum. *OCLC Systems & Services: International digital library perspectives*, Emerald Group Publishing Limited, 2011. 18, 19
- DAHER, A. et al. Overlap-save and overlap-add filters: Optimal design and comparison. *IEEE Transactions on Signal Processing*, IEEE, v. 58, n. 6, p. 3066–3075, 2010. 22
- FORMIGA, D. A. Est´gio integrado na brphotonics. *Universidade Federal de Campina Grande. Centro de Engenharia El´trica e Inform´tica. Departamento de Engenharia Elétrica*, 2017. 15, 16
- KRESSEL, H. *Semiconductor Lasers and Herterojunction LEDs*. [S.l.]: Elsevier, 2012. 14
- MACGILLIVRAY, C.; REINSEL, D. Worldwide global datasphere iot device and data forecast 2019–2023. *Int. Data Corp.(IDC), Framingham, MA, USA, Tech. Rep. US45066919*, 2019. 10
- PAVITHRAN, T.; BHAKTHAVATCHALU, R. Uvm based testbench architecture for logic sub-system verification. In: IEEE. *2017 International Conference on Technological Advancements in Power and Energy (TAP Energy)*. [S.l.], 2017. p. 1–5. 17
- SADOT, D. et al. Single channel 112gbit/sec pam4 at 56gbaud with digital signal processing for data centers applications. *Optics express*, Optical Society of America, v. 23, n. 2, p. 991–997, 2015. 24, 25
- SOARES, A. Comunicações ópticas. *Universidade de Brasília. Faculdade de Tecnologia. Departamento de Engenharia Elétrica. Setembro*, 2005. 13
- SPEAR, C. *SystemVerilog for verification: a guide to learning the testbench language features*. [S.l.]: Springer Science & Business Media, 2008. 15