

UNIVERSIDADE FEDERAL DE CAMPINA GRANDE

Centro de Engenharia Elétrica e Informática

Programa de Pós-Graduação em Engenharia Elétrica

**Contribuições para Algoritmos de Sincronização de
Conversores Estáticos Conectados à Rede Elétrica**

Nicolau Kellyano Leite Dantas

Campina Grande, Brasil

25 de setembro de 2018

Contribuições para Algoritmos de Sincronização de Conversores Estáticos Conectados à Rede Elétrica

Nicolau Kellyano Leite Dantas

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Área de Concentração:
Processamento da Energia

Maurício B. R. Correa
Antonio M. N. Lima
Orientadores

Campina Grande, Brasil
25 de setembro de 2018

D192c Dantas, Nicolau Kellyano Leite.
Contribuições para algoritmos de sincronização de conversores estáticos conectados à rede elétrica / Nicolau Kellyano Leite Dantas. – Campina Grande, 2018.
89 f. : il. color.

Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2018.
"Orientação: Prof. Dr. Maurício B. R. Correa, Prof. Dr. Antonio M. N. Lima".
Referências.

1. Conversores Estáticos – Energia Elétrica. 2. Sincronização. 3. *Phase Locked Loop* (PLL). 4. Controlador Proporcional Integral (PI). 5. Controlador Proporcional Ressonante (PR). 6. Banco de Filtros Adaptativos de Atraso (Filtro ADB). 7. Eliminação de Harmônicos. I. Correa, Maurício B. R. II. Lima, Antonio M. N. III. Título.

CDU 621.314.57(043)

**"CONTRIBUIÇÕES PARA ALGORITMOS DE SINCRONIZAÇÃO DE CONVERSORES
ESTÁTICOS CONECTADOS À REDE ELÉTRICA"**

NICOLAU KELLYANO LEITE DANTAS

DISSERTAÇÃO APROVADA EM 03/09/2018



MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Orientador(a)



ANTONIO MARCUS NOGUEIRA LIMA, Dr., UFCG
Orientador(a)



ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador(a)



GUTEMBERG GONCALVES DOS SANTOS JÚNIOR, Dr., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Este trabalho é dedicado a Deus, aos meus pais, a minha família, orientadores, amigos e em especial ao meu avô Domingos Viana Maia

Agradecimentos

Primeiramente agradeço a Deus por todas as coisas boas que Ele tem me proporcionado, pela minha saúde e pelas oportunidades que me surgiram.

A meus pais Francisco Gomes Dantas e Maria Aparecida Leite, por serem os melhores pais que um filho pode ter. Proporcionaram-me tudo do melhor, educação, saúde, carinho, amor, acompanharam-me em minha trajetória de estudos e em todas as minhas conquistas, a cada minuto, com muita força, torcida e carinho. Posso não ser o melhor filho todos os dias, mas tenho os melhores pais sempre.

Ao meu avô Domingos Viana Maia por sua amizade, companheirismo e por sempre ajudar nos momentos em que mais precisei.

A minha família, pelo apoio em tudo que fiz e em todas as decisões importantes da minha vida.

Agradeço aos meus orientadores Antonio Marcus Nogueira Lima e Maurício Beltrão Rossiter Corrêa pelos diversos conselhos e suportes, tanto em âmbito profissional e acadêmico quanto pessoal.

Aos amigos João, Phelipe Leal, Rayan, Louelson, Revson, Reuben e Kinas pelos momentos de descontração e estudos compartilhados. Em especial ao meu amigo Eduardo Gomes, por toda ajuda oferecida no decorrer deste trabalho.

A todos os professores, coordenador e funcionários do Departamento de Engenharia Elétrica da UFCG.

*“Só trazia a coragem e a cara
Viajando num pau-de-arara
Eu penei, mas aqui cheguei
Eu penei, mas aqui cheguei. ”
(Luiz Gonzaga)*

Resumo

Normalmente, para equipamentos conectados à rede como conversores de energia, filtros ativos, retificadores controlados e outros, os algoritmos *phase locked loop* (PLL) são usados para obter a sincronização entre a rede elétrica e o equipamento. No entanto, muitas vezes esses algoritmos de PLLs apresentam resposta dinâmica insatisfatória quando a rede elétrica apresenta distorções como harmônicos e degrau de fase. Neste trabalho, são discutidas melhorias de desempenhos no rastreamento de fase e frequência para algoritmos de PLLs. Inicialmente é proposto a utilização de um banco de filtros adaptativos de atraso (filtro ADB) para resolver o problema do erro de fase do PLL de onda quadrada (PLLOQ), quando a rede apresenta componentes harmônicas. Através dos testes de simulações e experimentais, foi verificado que o erro de fase causado por harmônicos pode ser eliminado. No entanto, a correção do erro introduziu um atraso de 10ms na dinâmica do PLLOQ. Ainda assim, esse PLL foi competitivo se comparado a outras estruturas, por exemplo, as que usam filtro notch adaptativo. Em seguida, é proposta a utilização do controlador proporcional ressonante (PR) ideal nas estruturas de PLLs. É apresentado um método sistemático para projetar os parâmetros de controle de um PLL utilizando o controlador PR. Comparações de desempenho do PLL clássico utilizando o controlador proporcional integral (PI) frente ao controlador PR são apresentadas através de simulações e resultados experimentais, e foi constatado que o PLL com controlador PR obteve uma resposta mais rápida na detecção da fase e frequência. Também foi verificada uma boa precisão (erro nulo em estado estacionário) na detecção dos parâmetros de interesse, além de obter resultados satisfatórios (conseguiu rastrear a fase e frequência) quando a rede apresentou distorções. Posteriormente, é comparado o desempenho dos seguintes PLLs: (1) PLL baseado na Transformação Inversa de Park (Park-PLL) utilizando os controladores PI e PR, (2) PLL baseado no Integrador Generalizado de Segunda Ordem (SOGI-PLL) utilizando o controlador PI e (3) Enhanced Phase Locked Loop (EPLL) com controlador PI. Através das análises, para diferentes cenários de rede, foi verificado que o melhor desempenho entre esses algoritmos ficou com o SOGI-PLL com controlador PI. O Park-PLL com controlador PR obteve o detector de fase mais rápido, enquanto que o EPLL com controlador PI obteve o detector de fase mais lento. Além disso, foi visto que esses algoritmos obtiveram erro nulo em estado estacionário, exceto quando a rede apresentou harmônicos. Por fim, foi realizada uma análise geral dos principais resultados obtidos neste trabalho, onde foram indicadas as melhores escolhas de PLLs para aplicações específicas.

Palavras-chave: *Phase locked loop* (PLL), controlador proporcional integral (PI), controlador proporcional ressonante (PR), banco de filtros adaptativos de atraso (filtro ADB), sincronização, eliminação de harmônicos.

Abstract

Normally, for equipments connected to the grid such as power converters, active filters, controlled rectifiers and others, phase locked loop (PLL) algorithms are used to obtain synchronization between the electric grid and equipment. However, these PLL algorithms often present unsatisfactory dynamic response when the electrical grid presents distortions such as harmonics and phase steps. In this work, it is discussed performance improvements in phase and frequency tracking for PLL algorithms. It is proposed the use of an adaptive delay bank filter (ADB filter) to solve the problem of square wave PLL (PLLOQ) phase error, when the grid presents harmonic components. Through simulation and experimental tests, it was verified that the phase error caused by harmonics can be eliminated. However, the error correction introduced a delay of 10ms in PLLOQ dynamics. Nevertheless, this PLL was competitive when compared to other structures, for example, those that use adaptive notch filter. Next, it is proposed to use the ideal resonant proportional (PR) controller in PLL structures. A systematic method for designing the control parameters of a PLL using the PR controller is presented. Performance comparisons of the classical PLL using the proportional integral (PI) controller versus PR controller are presented by means of simulation and experimental results, where it was verified that the PLL with the PR controller obtained a faster response in the phase and frequency detection. It was also verified, a good precision (null error in steady state) in the detection of the parameters of interest, besides obtaining satisfactory results (it tracked phase and frequency) when the grid presented distortions. Subsequently, the performances of the following PLLs are compared: (1) PLL based on the Park Inverse Transformation (Park-PLL) using the PI and PR controllers, (2) PLL based on the Generalized Second Order Integrator (SOGI-PLL) using the PI controller and (3) Enhanced Phase Locked Loop (EPLL) with PI controller. Through the analyzes, for different grid scenarios, it was verified that the best performance among these algorithms was that of the SOGI-PLL with PI controller. The Park-PLL with PR controller obtained the fastest phase detection, while the EPLL with PI controller obtained the slowest phase detector. Furthermore, it was observed that these algorithms obtained null error in steady state, except when the grid presented harmonics. Finally, a general analysis of the main results obtained in this work was carried out, where the best PLL choices for specific applications were indicated.

Keywords: Phase locked loop (PLL), proportional integral (PI) control, proportional resonant (PR) control, adaptive delay bank filter (ADB filter), synchronization, harmonics elimination.

Lista de ilustrações

Figura 2.1 – Estrutura básica de um PLL.	5
Figura 2.2 – Diagrama de blocos do PLL clássico.	6
Figura 2.3 – Modelo para pequenos sinais do PLL clássico.	7
Figura 2.4 – Fluxograma de projeto de um PLL [1].	10
Figura 2.5 – PLL baseado na geração de sinais em quadratura.	11
Figura 2.6 – PLL com bloco PD em quadratura e transformação de Park.	12
Figura 2.7 – PLL baseado na transformação inversa de Park.	13
Figura 2.8 – Estrutura do sistema ortogonal.	14
Figura 2.9 – Diagrama de Bode da função de transferência $H_d(s)$ para diferentes valores de k	14
Figura 2.10 – Diagrama de Bode da função de transferência $H_q(s)$ para diferentes valores de k	14
Figura 2.11 – Resposta ao degrau da função de transferência $H_d(s)$ para diferentes valores de k	14
Figura 2.12 – Estrutura do SOGI-PLL.	15
Figura 2.13 – Diagrama de blocos básico da estrutura EPLL.	16
Figura 2.14 – Diagrama de blocos básico para o PLL de onda quadrada.	17
Figura 2.15 – Onda quadrada e tensão de saída ν_o do PLL.	17
Figura 3.1 – Diagrama de blocos básico para o PLL de onda quadrada com filtro ADB.	20
Figura 3.2 – Diagrama de blocos básico do filtro ADB para eliminação seletiva de harmônicos.	21
Figura 3.3 – Harmônico fundamental do sinal da rede na entrada e na saída do filtro ADB.	23
Figura 3.4 – Diagrama de blocos básico do filtro ADB modificado.	24
Figura 3.5 – Gráfico do harmônico fundamental do sinal da rede na entrada e na saída do filtro ADB modificado.	24
Figura 3.6 – Diagrama de Bode dos sistemas em malha aberta pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$	25
Figura 3.7 – Diagrama de Bode dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$	25
Figura 3.8 – Lugar das Raízes dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$	26
Figura 3.9 – Resposta ao degrau dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$	26
Figura 3.10 – Saída do filtro ADB projetado para eliminação do terceiro harmônico.	27

Figura 3.11–Resultados de simulações para o caso de uma entrada senoidal sem distorções.	28
Figura 3.12–Resultados de simulações para o caso de uma entrada senoidal com injeção de 30% da terceira harmônica.	28
Figura 3.13–Resultados de simulações para o caso de uma entrada senoidal com injeção de 30% da terceira harmônica defasada de 90° da componente fundamental.	28
Figura 3.14–Foto da placa utilizada nos testes experimentais.	29
Figura 3.15–Resultados das simulações para uma rede com distorções. (a) Tensão de entrada com um degrau de fase de 90°. (b) Sinal de saída do PLL de onda quadrada. (c) Sinal de saída do PLL de onda quadrada com filtro ADB. (d) Sinal de erro dos PLLs.	30
Figura 3.16–Resultados das simulações para uma rede com afundamento de 30% na tensão. (a) Tensão de entrada com um afundamento de 30%. (b) Sinal de saída do PLL de onda quadrada. (c) Sinal de saída do PLL de onda quadrada com filtro ADB. (d) Sinal de erro dos PLLs.	33
Figura 3.17–Resultados experimentais do PLL de onda quadrada. Tensão de entrada (amarelo) e saída do PLL de onda quadrada (verde).	34
Figura 3.18–Resultados experimentais do PLL de onda quadrada. Referência senoidal de 50Hz (amarelo) e saída do PLL de onda quadrada (verde).	34
Figura 3.19–Resultados experimentais do PLL de onda quadrada com filtro ADB. Sinal de entrada (amarelo) e saída do filtro ADB (verde).	35
Figura 3.20–Resultados experimentais do PLL de onda quadrada com filtro ADB. Sinal de saída do PLL de onda quadrada com filtro ADB (verde) e referência senoidal de 50Hz (amarelo).	35
Figura 4.1 – Diagrama de Bode do controlador PR.	37
Figura 4.2 – Diagrama de blocos básico do PLL clássico com filtro MAF.	38
Figura 4.3 – Diagrama de Bode do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$	39
Figura 4.4 – Diagrama de Bode dos sistemas em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$	39
Figura 4.5 – Lugar das Raízes do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$	40
Figura 4.6 – Lugar das Raízes do sistema em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$	40
Figura 4.7 – Resposta ao degrau do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$	40
Figura 4.8 – Resposta ao degrau do sistema em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$	40

Figura 4.9 – Diagrama de Bode do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$	41
Figura 4.10–Lugar das raízes do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$	41
Figura 4.11–Resposta ao degrau do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$	41
Figura 4.12–Resultados das simulações para o PLL clássico quando a rede sofre um salto de fase. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 50\text{ms}$. (b) Saída do PLL clássico com controlador PR. (c) Frequência rastreada pelo PLL clássico com controlador PI e PR. (d) Sinal de erro do PLL clássico com controlador PI e PR.	43
Figura 4.13–Resultados das simulações para o PLL clássico quando a rede sofre um salto de fase. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 500\text{ms}$. (b) Frequência rastreada pelo PLL clássico com controlador PI e PR. (c) Sinal de erro do PLL clássico, com controlador PI e PR, antes da ocorrência do salto de fase. (d) Sinal de erro do PLL clássico, com controlador PI e PR, após o salto de fase.	48
Figura 4.14–Resultados das simulações para o PLL clássico quando a rede sofre um afundamento de tensão de 30%. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 50\text{ms}$. (b) Saída do PLL clássico com controlador PR. (c) Frequência rastreada pelo PLL clássico com controlador PI e PR. (d) Sinal de erro do PLL clássico com controlador PI e PR.	49
Figura 4.15–Resultados das simulações para o PLL clássico quando a rede sofre um afundamento de tensão de 30%. (a) Frequência rastreada pelo PLL clássico com controlador PI (projetado para $t_s = 500\text{ms}$) e PR. (b) Sinal de erro do PLL clássico com controlador PI (projetado para $t_s = 500\text{ms}$) e PR.	50
Figura 4.16–Resultados das simulações para o PLL clássico quando a rede contém harmônicos. (a) Rede elétrica com presença da componente de terceiro harmônico. (b) Frequência rastreada pelo PLL clássico com controlador PI e PR. (c) Sinal de erro do PLL clássico com controlador PI e PR.	50
Figura 4.17–Resultados das simulações para o PLL clássico quando a rede contém uma variação na frequência de 50 a 50,4Hz. (a) Sinal da rede elétrica. (b) Frequência rastreada pelo PLL clássico com controlador PI. (c) Frequência rastreada pelo PLL clássico com controlador PR.	51
Figura 4.18–Resultado experimental do PLL clássico com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).	52

Figura 4.19–Resultado experimental do PLL clássico com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).	52
Figura 4.20–Resultado experimental do PLL clássico com controlador PR para uma rede com a presença da componente de terceiro harmônico. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).	53
Figura 4.21–Resultado experimental do PLL clássico com controlador PR para uma rede com a presença da componente de terceiro harmônico. Sinal de referência senoidal (amarelo) e sinal de saída do PLL (verde).	53
Figura 5.1 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos para uma rede sem distorções. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.	57
Figura 5.2 – Resultados de simulações. Frequência rastreada pelos algoritmos para uma rede sem distorções. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.	58
Figura 5.3 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para teste de rede sem distorções. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.	63
Figura 5.4 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante o salto de fase. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.	64
Figura 5.5 – Resultados de simulações. Frequência rastreada pelos algoritmos durante o salto de fase. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.	65
Figura 5.6 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de salto de fase. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.	66
Figura 5.7 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante o afundamento de tensão. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.	67

Figura 5.8 – Resultados de simulações. Frequência rastreada pelos algoritmos durante o afundamento de tensão. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.	68
Figura 5.9 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de afundamento de tensão. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.	69
Figura 5.10 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante a distorção harmônica. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.	70
Figura 5.11 – Resultados de simulações. Frequência rastreada pelos algoritmos durante a distorção harmônica. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.	71
Figura 5.12 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de distorção harmônica. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.	72
Figura 5.13 – Resultados experimentais do Park-PLL com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).	73
Figura 5.14 – Resultados experimentais do Park-PLL com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).	73
Figura 5.15 – Resultados experimentais do SOGI-PLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).	74
Figura 5.16 – Resultados experimentais do EPLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).	74
Figura 5.17 – Resultados experimentais do Park-PLL com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do Park-PLL PI (verde).	75
Figura 5.18 – Resultados experimentais do Park-PLL com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do Park-PLL com controlador PR (verde).	75
Figura 5.19 – Resultados experimentais do SOGI-PLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do SOGI-PLL (verde).	76

Figura 5.20–Resultados experimentais do EPLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do EPLL (verde).	76
Figura B.1–Resultado da simulação: sinal de frequência rastreado pelo PLL clássico utilizando um controlador PI projetado para $t_s = 30\text{ms}$	89
Figura B.2–Resultado da simulação: sinal de erro do pelo PLL clássico utilizando um controlador PI projetado para $t_s = 30\text{ms}$	89

Lista de tabelas

Tabela 3.1 – Mudanças nos parâmetros do harmônico fundamental.	22
Tabela 3.2 – Parâmetros calculados para projeto do filtro ADB.	26
Tabela 5.1 – Ganhos utilizados nos testes.	55
Tabela 5.2 – Resultados de simulações. t_s , V_p e M_p para o teste da rede sem distorções.	60
Tabela 5.3 – Resultados de simulações. t_s , V_p e M_p para o teste da rede com um salto de fase.	60
Tabela 5.4 – Resultados de simulações. t_s , V_p e M_p para o teste da rede com um afundamento de tensão.	61
Tabela 5.5 – Resultados de simulações. Erros de pico a pico em estado estacionário para uma rede com presença de harmônicos.	61
Tabela 6.1 – Resumo dos principais resultados das simulações	79
Tabela 6.2 – Comparação de desempenho dos PLLs	79

Lista de abreviaturas e siglas

PLL	Phase Locked Loop
FPB	Filtro Passa Baixa
VCO	Oscilador Controlado por Tensão (Voltage-Controlled-Oscillator)
PD	Detector de Fase (Phase Detector)
LF	Loop Filter
PI	Proporcional Integral
PR	Proporcional Ressonante
SOGI	Integrador Generalizado de Segunda Ordem
DSP	Processador Digital de Sinal (Digital Signal Processor)
QSG	Geração de Sinal em Quadratura (Quadrature Signal Generator)
MAF	Filtro de Média Móvel (Moving Average Filter)
SRF	Quadro de Referência Síncrono (Synchronous Reference Frame)
FPGA	Arranjos de Portas Programáveis em Campo (Field-Programmable Gate Arrays)
ADB	Banco Adaptativo de Atraso (Adaptive Delay Bank)
CDSC	Cascata de Cancelamento de Sinal por Atraso (Cascaded Delayed Signal Cancellation)
IEEE	Institute of Electrical and Electronics Engineers
SOGI	Integrador Generalizado de Segunda Ordem
EPLL	Enhanced Phase Locked Loop
ANF	Filtro Notch Adaptativo (Filter Adaptive Notch)
FIR	Resposta de Impulso Finito (Finite-Impulse-Response)
SHE	Eliminação Seletiva de Harmônicos (Selective Harmonics Elimination)
ZCD	Detecção de Cruzamento por Zero (Zero Crossing Detection)

Sumário

1	INTRODUÇÃO	1
1.1	Apresentação do Tema	1
1.2	Objetivos	3
1.3	Organização da Dissertação	3
2	PHASE LOCKED LOOP MONOFÁSICOS	5
2.1	Introdução	5
2.2	Estrutura Básica de um PLL	5
2.3	Equações Básica de um PLL	6
2.4	Modelo Linearizado de um PLL para Pequenos Sinais	7
2.5	Metodologia de Projeto para um PLL	9
2.6	PLL Baseado na Transformação Inversa de Park	11
2.7	PLL Baseado no Integrador Generalizado de Segunda Ordem	13
2.8	O Enhanced Phase Locked Loop	15
2.9	PLL Baseado na Realimentação em Onda Quadrada	16
2.9.1	Filtro de Média Móvel	18
2.10	Conclusões Parciais	19
3	UTILIZAÇÃO DE BANCO DE FILTROS ADAPTATIVOS DE ATRASO EM ALGORITMO PHASE LOCKED LOOP	20
3.1	Introdução	20
3.2	Estrutura do PLL com Filtro ADB	20
3.3	Análise do Impacto do Filtro ADB sobre o Harmônico Fundamental do Sinal da Rede	21
3.4	Resultados de Simulações	24
3.4.1	Análise de Estabilidade e Resposta Dinâmica	25
3.4.2	Projeto do Filtro ADB para Eliminação de Terceiro Harmônico	26
3.4.3	Discretização	26
3.4.4	Testes em Estado Estacionário	27
3.4.5	Testes de Transitórios	29
3.5	Resultados Experimentais	30
3.5.1	Tensão da Rede com Presença de Componentes Harmônicas	31
3.6	Conclusões Parciais	31
4	UTILIZAÇÃO DO CONTROLADOR PROPORCIONAL RESSONANTE EM ALGORITMO PHASE LOCKED LOOP	36

4.1	Introdução	36
4.2	Controlador Proporcional Ressonante	36
4.3	Projeto dos Ganhos para o Controlador Proporcional Ressonante	37
4.4	Resultados de Simulações	38
4.4.1	Análise de Estabilidade e Resposta Dinâmica	39
4.4.2	Discretização	41
4.4.3	Testes em Estado Estacionário e Transitório	42
4.4.3.1	Salto de Fase	42
4.4.3.2	Afundamento de Tensão	44
4.4.3.3	Presença de Harmônicos	44
4.4.3.4	Degrau de Frequência	45
4.5	Resultados Experimentais	46
4.6	Conclusões Parciais	46
5	ANÁLISE DE DESEMPENHO DE ALGORITMOS PHASE LOCKED LOOP	54
5.1	Introdução	54
5.2	Testes de Desempenho	54
5.2.1	Discretização	56
5.2.2	Resultados de Simulações	56
5.2.2.1	Testes para uma Rede sem Distorções	56
5.2.2.2	Testes de Salto de Fase	56
5.2.2.3	Testes de Afundamento de Tensão	59
5.2.2.4	Testes de Distorção Harmônica	59
5.2.3	Resultados Experimentais	60
5.2.4	Síntese dos Resultados	60
5.3	Conclusões Parciais	62
6	CONCLUSÃO	77
6.1	Perspectivas de Trabalhos Futuros	80
	REFERÊNCIAS	81
	APÊNDICES	86
	APÊNDICE A – DESENVOLVIMENTO DO PROJETO PARA O CONTROLADOR PROPORCIONAL RESSONANTE	87
	APÊNDICE B – RESPOSTA DO PLL CLÁSSICO	89

1 Introdução

1.1 Apresentação do Tema

Os sistemas de geração de energia elétrica, baseados em fontes renováveis de energia, cada vez mais tem sido integrados aos sistemas de geração de energia elétrica de vários países. Isso ocorre devido aos benefícios técnicos e econômicos que esse tipo de sistema fornece. Tais benefícios podem ser:

- Redução de perdas do sistema;
- Economia nos custos de transmissão e distribuição;
- Redução do preço da eletricidade.

Visando a utilização de sistemas de geração de energia distribuída de baixa potência, utilizando fontes renováveis de energia, como turbinas eólicas e painéis fotovoltaicos, para o fornecimento de energia elétrica, faz-se necessária a interligação destes sistemas de geração às redes elétricas de distribuição. Para tal interligação, são utilizados conversores estáticos de energia, que irão adequar a energia gerada aos padrões operacionais das redes elétricas, notadamente, amplitude, frequência e fase.

De acordo com [2] uma parcela importante no controle de todos os conversores monofásicos é a unidade de sincronização, que é responsável pela conexão suave do conversor à rede elétrica, além de seu monitoramento. A informação fornecida pela unidade de sincronização (que é frequentemente fase, frequência e amplitude do harmônico fundamental da tensão da rede) é também de extrema importância para a estratégia de controle do conversor durante a condição de operação normal, particularmente para a geração da corrente de referência para o conversor.

Várias técnicas de sincronização têm sido propostas na literatura. Uma estratégia bastante utilizada é baseada no algoritmo *Phase-Locked-Loop* (PLL). O PLL é um sistema em malha fechada que trava sua saída com o sinal de entrada mantendo um erro de fase constante (idealmente zero) [3]. Todos os PLLs possuem três partes em comum: i) detector de fase (PD), responsável por gerar um erro de fase entre o sinal de entrada e o estimado. ii) *loop filter* (LF), responsável por eliminar distúrbios dentro do *loop* de controle do PLL. iii) oscilador controlado por tensão (VCO) responsável por gerar o sinal sincronizado com a entrada do PLL. Os requisitos de desempenho de um PLL são o erro de fase em regime permanente, a velocidade de resposta a distúrbios de frequência, fase e amplitude das tensões de entrada, a imunidade a harmônicos e no caso trifásico a imunidade ao

desbalanceamento de fases. Portanto, o sistema de PLL deve ser capaz de determinar o ângulo de fase do sinal mesmo para diversas distorções presentes no sistema elétrico.

Nos últimos anos, um grande número de PLLs monofásicos com diferentes estruturas e propriedades foram desenvolvidos na literatura técnica [4–17]. Em [2] é proposta uma classificação dos PLLs monofásicos em duas categorias principais: 1) PLLs baseados em energia (pPLLs) e 2) PLLs baseados na geração de sinais em quadratura (QSG-PLLs). A principal diferença entre essas duas categorias consiste no bloco PD dos PLLs.

A categoria dos pPLLs são caracterizados por terem um bloco PD do tipo produto. Devido a isso, o sinal de saída gerado pelo bloco PD contém termos oscilatórios com o dobro da frequência do sinal de entrada, gerando com isso um erro nas quantidades estimadas pelo pPLL padrão [2]. Devido a essa problemática, nos últimos anos vários pPLLs avançados foram projetados. A principal diferença entre eles, está relacionada a estratégia de filtragem para eliminar o termo de perturbação de frequência dupla [2]. Pode-se citar como exemplos dessas estratégias: filtro de média móvel (MAF), filtros notch, entre outros.

De acordo com [2], o grupo dos QSG-PLLs podem ser entendidos como a versão monofásica do PLL baseado no quadro de referência síncrono (SRF-PLL), que é uma versão padrão em aplicações de sistemas trifásicos. O que a maioria dos QSG-PLLs têm em comum é uma unidade para criar um sinal de quadratura fictício, que é necessário para transferir as informações para o quadro girante dq . Esta unidade pode ser implementada utilizando filtros, algoritmos, e etc.

É muito comum na literatura utilizar um controlador proporcional integral (PI) no bloco LF de um PLL, proporcionando um desempenho considerado satisfatório. No entanto, os controladores PI são propensos a desvantagens conhecidas, incluindo a incapacidade de rastrear uma referência senoidal sem erro de estado estacionário, além de problemas relacionados à filtragem harmônica de baixa ordem devido a limitações na largura de banda [18]. Algumas estratégias podem ser utilizadas para melhorar o desempenho do controlador PI, como aumento do ganho proporcional, resultando em uma largura de banda maior e pode reduzir os limites de estabilidade. O controlador proporcional ressonante (PR) pode ser usado no lugar do controlador PI para eliminar o erro de estado estacionário e fornecer seletividade de rejeição harmônica [18, 19].

Em [20] e [21] uma estrutura de PLL monofásica foi projetada para aplicações analógicas, onde o VCO foi implementado através de uma onda quadrada ao invés de usar uma onda senoidal. Este método não precisa de um multiplicador analógico no bloco PD e é adequado para implementações de hardware com entrada senoidal pura [22]. A estratégia de onda quadrada pode ser útil para PLLs implementados em microcontroladores, processadores de sinais digitais (DSPs) e arranjos de portas programáveis em campo (FPGA). Uma vantagem dessa estratégia em relação ao PLL clássico (VCO senoidal) é

reduzir o uso de memória associado às longas tabelas de busca que são necessárias para armazenar as formas de onda senoidais com precisão razoável [22]. De acordo com [21], o PLL de onda quadrada não é aplicável a sinais de entrada com harmônicos porque o erro de fase em estado estacionário não é zero.

A partir das colocações acima, neste trabalho é proposto: (1) a implementação do PLL de onda quadrada usando um banco de filtros adaptativos de atraso (filtro ADB) [23] baseado na estrutura em cascata de cancelamento de sinal por atraso (CDSC) [24–27] para resolver o problema do erro de fase, e (2) a implementação de estruturas de PLLs utilizando o controlador PR ideal para acrescentar robustez e melhorias na detecção da fase e frequência. Além disso, é proposto o projeto do controlador PR aplicado a PLLs.

1.2 Objetivos

O objetivo desse trabalho é contribuir com o estudo de algoritmos de sincronização para conversores estáticos conectados à rede elétrica monofásica. Para isso, sendo necessário o desenvolvimento dos seguintes objetivos específicos:

- Propor o uso do filtro ADB na estrutura do PLL de onda quadrada para corrigir o problema do erro de fase quando o sinal da rede contém harmônicos.
- Propor a implementação de estruturas de PLLs utilizando o controlador PR ideal para acrescentar robustez e melhorias na detecção da fase e frequência quando os PLLs estão submetidos a rede elétrica com presença de distorções.
- Propor uma metodologia de projeto para algoritmos de PLLs utilizando o controlador PR.

1.3 Organização da Dissertação

Esta dissertação está organizada da seguinte forma:

- No Capítulo 2, são apresentadas discussões e esclarecimentos fundamentais sobre PLLs monofásicos. Inicialmente, é apresentada a estrutura básica de um PLL. Em seguida, o modelo linearizado de um PLL para pequenos sinais é visto. Depois uma metodologia de projeto é apresentada e por fim, algoritmos de PLLs monofásicos são analisados tendo seus fundamentos esclarecidos.
- No Capítulo 3, é apresentada a implementação do PLL de onda quadrada utilizando um filtro ADB. É analisado o impacto do filtro ADB sobre o harmônico fundamental, além da análise de estabilidade e resposta dinâmica do algoritmo. Depois, é realizado

o projeto do filtro em estudo, e ao final, são realizadas simulações e experimentos para ilustrar conceitos e a operação do algoritmo apresentado.

- No Capítulo 4, é proposto a implementação do PLL clássico utilizando o controlador PR ideal, além disso é apresentado o projeto do algoritmo. Também é realizado um estudo da estabilidade e resposta dinâmica do PLL em questão. Ao final, são apresentadas simulações e experimentos com o objetivo de ilustrar conceitos e operações do algoritmo apresentado. Um estudo comparativo do PLL clássico com controlador PR frente ao PLL clássico com controlador PI é realizado.
- No Capítulo 5, é apresentado uma comparação de desempenho através de simulações e experimentos dos seguintes algoritmos monofásicos: PLL baseado na Transformação Inversa de Park (Park-PLL) utilizando os controladores PI e PR, o PLL baseado no Integrador Generalizado de Segunda Ordem (SOGI-PLL) e o *Enhanced Phase Locked Loop* (EPLL). Os algoritmos são testados para diferentes condições de rede. Neste mesmo Capítulo, os resultados simulados e experimentais são analisados e conclusões são obtidas a partir desta análise.
- No Capítulo 6, são apresentadas as conclusões e os trabalhos futuros.

2 Phase Locked Loop Monofásicos

2.1 Introdução

Neste capítulo, são apresentados conceitos básicos sobre PLLs e estes conceitos são utilizados como base para a análise de diferentes algoritmos monofásicos. Além disso, é apresentado uma metodologia de projeto para PLLs e o modelo linearizado para pequenos sinais.

2.2 Estrutura Básica de um PLL

Os algoritmos PLL são amplamente utilizados em aplicações como comunicações, computadores e eletrônicos modernos [28]. Eles podem gerar frequências estáveis sincronizadas com eventos periódicos externos, recuperar sinais relevantes de fontes distorcidas além de outras aplicações [28]. Um diagrama de blocos da estrutura PLL básica é ilustrado na Figura 2.1.

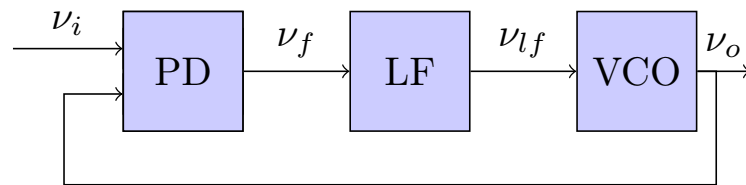


Figura 2.1 – Estrutura básica de um PLL.

O bloco PD tem como função a geração de um sinal de erro proporcional à diferença de fase entre o sinal de entrada ν_i , e o sinal gerado internamente pelo PLL, ν_o . O bloco LF apresenta uma característica de filtragem com função de remover distúrbios indesejáveis que possam afetar o comportamento do VCO. Tipicamente, este bloco é constituído por um controlador PI. Já o bloco VCO funciona como um oscilador interno do PLL, gerando um sinal senoidal na saída cuja frequência é deslocada de acordo com uma frequência central, ω_c , em função da tensão fornecida pelo bloco LF.

A estrutura da Figura 2.1 é comum na maioria dos algoritmos de PLL, o que muda é apenas a estratégia de implementação de cada um dos blocos discutidos anteriormente. A seguir, é analisada a implementação de um PLL clássico considerando o cenário de uma rede monofásica.

2.3 Equações Básica de um PLL

O diagrama de blocos do PLL clássico está ilustrado na Figura 2.2, sendo que os blocos referentes a cada estágio têm seus modelos de controle no domínio do tempo. Essa estrutura é de fundamental importância para a compreensão do funcionamento desse tipo de sistema, uma vez que estruturas mais elaboradas têm um funcionamento idêntico ao PLL clássico.

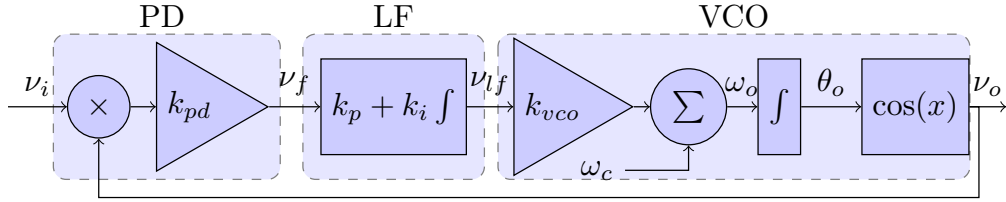


Figura 2.2 – Diagrama de blocos do PLL clássico.

Observa-se, da Figura 2.2, que o bloco PD é implementado por um simples multiplicador, o LF é baseado em um controlador PI e o VCO consiste em uma função senoidal cujo argumento é fornecido por um integrador. Considerando que o sinal aplicado na entrada do sistema seja dado por

$$\nu_i = A_1 \text{sen}(\omega_1 t + \phi_1), \quad (2.1)$$

em que ω_1 representa a frequência fundamental e, o sinal gerado pelo VCO é dado por

$$\nu_o = \cos(\omega_o t + \phi_o), \quad (2.2)$$

o sinal de erro gerado pelo multiplicador no bloco PD pode ser escrito como

$$\begin{aligned} \nu_f &= A_1 k_{pd} \text{sen}(\omega_1 t + \phi_1) \cos(\omega_o t + \phi_o) \\ &= \frac{A_1 k_{pd}}{2} \left[\underbrace{\text{sen}((\omega_1 - \omega_o)t + (\phi_1 - \phi_o))}_{\text{termos de baixa frequência}} + \underbrace{\text{sen}((\omega_1 + \omega_o)t + (\phi_1 + \phi_o))}_{\text{termos de alta frequência}} \right]. \end{aligned} \quad (2.3)$$

Considerando que os termos de alta frequência na saída do bloco PD são totalmente filtrados pelo bloco LF, restando apenas os termos de baixa frequência em (2.3), então o sinal de erro pode ser reescrito como

$$\nu_f = \frac{A_1 k_{pd}}{2} \text{sen}((\omega_1 - \omega_o)t + (\phi_1 - \phi_o)). \quad (2.4)$$

Considerando que o PLL entra em regime, isto é $\omega_o \approx \omega_1$, (2.4) pode ser simplificado obtendo

$$\nu_f = \frac{A_1 k_{pd}}{2} \text{sen}(\phi_1 - \phi_o). \quad (2.5)$$

Observando (2.5), verifica-se que o sinal de erro produzido pelo bloco PD é não linear devido à presença da função senoidal. Contudo, quando o erro for muito pequeno,

isto é $\phi_1 \approx \phi_o$, a saída do bloco PD pode ser linearizada em torno de um ponto de operação, desde que a seguinte condição seja satisfeita:

$$\text{sen}(\phi_1 - \phi_o) \approx \text{sen}(\theta_1 - \theta_o) \approx \theta_1 - \theta_o. \quad (2.6)$$

Portanto, em regime permanente, o termo relevante do erro é dado por:

$$\nu_f = \frac{A_1 k_{pd}}{2} (\theta_1 - \theta_o). \quad (2.7)$$

A equação (2.7) pode ser usada para representação do PLL através de um modelo linearizado para pequenos sinais. Por sua vez, a frequência média do VCO é determinada por:

$$\omega_o = (\omega_c + \Delta\bar{\omega}_o) = (\omega_c + k_{vco}\bar{\nu}_{lf}), \quad (2.8)$$

onde ω_c representa a frequência central do VCO e depende da faixa de frequência a ser detectada pelo PLL. Considerando apenas as variações de pequenos sinais, a frequência no VCO pode ser dada por:

$$\tilde{\omega}_o = k_{vco}\tilde{\nu}_{lf}. \quad (2.9)$$

Por fim, as variações de fase detectadas pelo PLL podem ser escritas como

$$\tilde{\theta}_o = \int \tilde{\omega}_o dt = \int k_{vco}\tilde{\nu}_{lf} dt. \quad (2.10)$$

2.4 Modelo Linearizado de um PLL para Pequenos Sinais

O modelo linearizado para pequenos sinais do PLL é de grande utilidade na análise quantitativa e na definição dos parâmetros do bloco LF do PLL. Aplicando a transformada de Laplace nas expressões desenvolvidas anteriormente e considerando $k_{pd} = k_{vco} = 1$ e $\omega_c = 0$, o modelo para pequenos sinais do PLL pode ser dado de acordo com a ilustração da Figura 2.3.

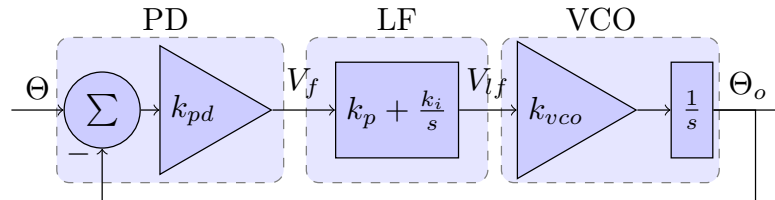


Figura 2.3 – Modelo para pequenos sinais do PLL clássico.

Pela Figura 2.3, é observado que os sinais de saída dos blocos PD, LF e VCO são dados por

$$V_f(s) = \frac{A_1}{2} (\Theta_1(s) - \Theta_o(s)), \quad (2.11)$$

$$V_{lf}(s) = \frac{sK_p + K_i}{s} V_f(s), \quad (2.12)$$

$$\Theta_o(s) = \frac{1}{s} V_{lf}(s). \quad (2.13)$$

Considerando $A_1 = 1$, as funções de transferência de malha aberta e malha fechada podem ser escritas como

$$H_{ma}(s) = \left(\frac{K_p s + K_i}{s} \right) \left(\frac{1}{s} \right), \quad (2.14)$$

$$H_{mf}(s) = \frac{H_{ma}(s)}{1 + H_{ma}(s)}, \quad (2.15)$$

$$H_{mf}(s) = \frac{K_p s + K_i}{s^2 + K_p s + K_i}. \quad (2.16)$$

De acordo com (2.14) e (2.16) pode-se tirar algumas conclusões preliminares sobre o desempenho do PLL da Figura 2.2. A função de transferência de malha aberta do PLL possui um par de polos na origem do plano complexo, o que garante erro de regime permanente nulo para entradas em degrau na fase do sinal de entrada. Por sua vez, a função de transferência de malha fechada do PLL apresenta uma característica de filtração passa-baixas de segunda ordem na detecção do ângulo de fase de entrada, que é uma característica muito útil para atenuar o erro de detecção de fase causado por possíveis ruídos e harmônicos de ordem elevada presentes no sinal de entrada [28].

Para o cálculo dos ganhos do controlador PI, pode-se comparar a função de transferência de malha fechada (2.16) por uma função de transferência de segunda ordem normalizada contendo um zero [29]:

$$H_\theta(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}, \quad (2.17)$$

em que, ω_n representa a frequência natural de oscilação e ξ representa o fator de amortecimento, que varia usualmente entre 0 e 1.

Comparando (2.16) e (2.17) obtém-se

$$K_p = 2\xi\omega_n, \quad (2.18)$$

$$K_i = \omega_n^2. \quad (2.19)$$

De acordo com [29], os parâmetros da função de transferência normalizada (2.17) podem-se correlacionar com a resposta no domínio do tempo, onde o tempo de estabelecimento para regime permanente é calculado como:

$$t_s = \frac{4,6}{\xi\omega_n}, \quad (2.20)$$

$$\omega_n = \frac{4,6}{\xi t_s}. \quad (2.21)$$

Fazendo a substituição de (2.21) em (2.18) e (2.19), obtém-se:

$$K_p = \frac{9,2}{t_s}, \quad (2.22)$$

$$K_i = \left(\frac{4,6}{\xi t_s} \right)^2. \quad (2.23)$$

De acordo (2.22) e (2.23), os ganhos do controlador PI podem ser calculados a partir do tempo de estabelecimento desejado para a malha fechada, de modo que o ganho proporcional ajusta a velocidade de resposta do PLL, pois quanto maior o ganho K_p , menor será o tempo de estabelecimento e mais rápida será a resposta do controlador. O ganho integral K_i ajusta o erro de regime permanente para que seja nulo.

É importante destacar que o valor do tempo de estabelecimento não deve ser muito pequeno, pois caso isso aconteça haverá uma banda passante grande, implicando em termos de alta frequência passando pelo bloco LF e com isso interferindo no desempenho do PLL. Logo o valor de t_s está diretamente relacionado a banda passante desejada para a malha fechada.

A banda passante de um sistema representa um intervalo de frequência no qual, o ganho em malha fechada está acima de -3 dB. De acordo com [28], a banda passante de (2.17) pode ser calculada da seguinte forma:

$$\omega_{cb} = \omega_n \left[1 + 2\xi^2 + \sqrt{(1 + 2\xi^2)^2 + 1} \right]^{1/2}, \quad (2.24)$$

em que ω_{cb} é a frequência de corte da banda passante.

Substituindo (2.21) em (2.24), resulta em:

$$\omega_{cb} = \frac{4,6}{\xi t_s} \left[1 + 2\xi^2 + \sqrt{(1 + 2\xi^2)^2 + 1} \right]^{1/2}. \quad (2.25)$$

De acordo com (2.25), verifica-se que quanto menor for o valor de t_s , maior será a banda passante de malha fechada do sistema, comprometendo assim a filtragem dos termos de alta frequência no bloco PD.

2.5 Metodologia de Projeto para um PLL

O PLL é um sistema complexo e difere na abordagem de projeto de outros circuitos. Por isso, é importante observar as diferentes etapas de projeto a fim de garantir que cada passo adiante seja baseado nos parâmetros corretos. É ilustrado na Figura 2.4 um fluxograma que descreve a metodologia de projeto do PLL.

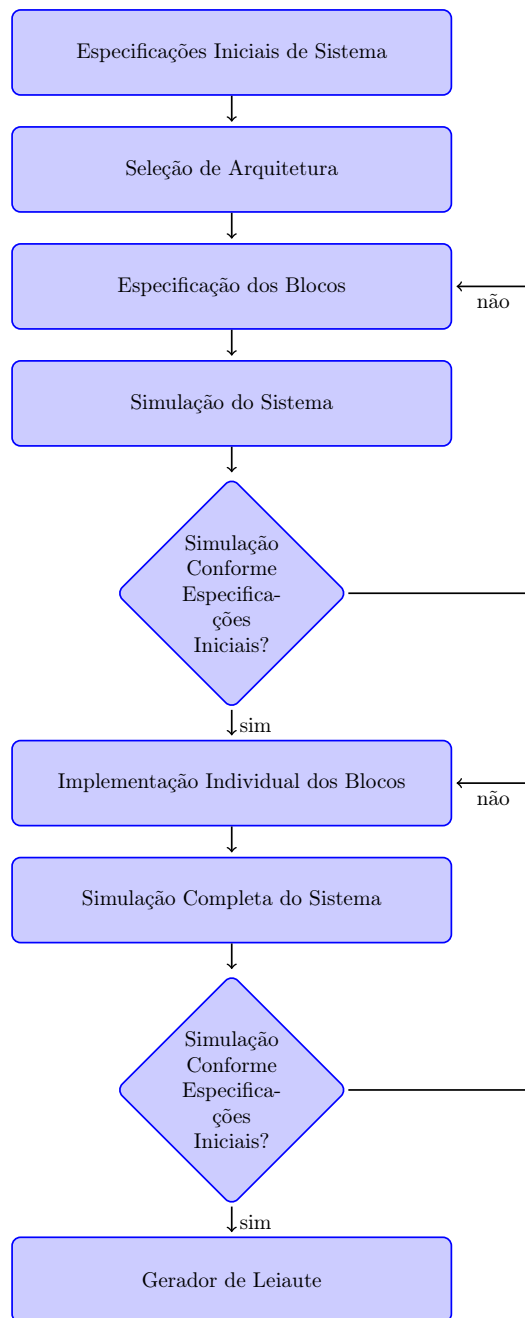


Figura 2.4 – Fluxograma de projeto de um PLL [1].

A primeira etapa é a determinação dos requisitos iniciais do sistema. Apesar do fato de que a lista de requisitos pode ser extensa, recomenda-se iniciar o projeto dando ênfase a alguns parâmetros importantes, por exemplo:

- Frequência de saída;
- Tempo de bloqueio do PLL;
- Especificação de ruído de fase dentro e fora da largura de banda do *loop*;
- Erro de fase.

A segunda etapa é escolher a arquitetura, levando em consideração as vantagens e desvantagens de cada uma para a aplicação em questão. Depois disso, as especificações de cada bloco devem ser determinadas. Para esse processo, é útil usar simultaneamente fontes derivadas de publicações científicas, datasheets e experiência de projetos anteriores.

Após o levantamento de dados do sistema e dos blocos individuais, é recomendado o uso de softwares de simulações, por exemplo o Matlab, para criar modelos executáveis do sistema. A vantagem dessa abordagem é que o projetista tem controle total sobre o número de variáveis que são introduzidas no processo e nos modelos utilizados.

Depois de executar as simulações, caso as especificações do sistema não tenham sido alcançadas, deve-se voltar na etapa referente a determinação das especificações dos blocos, ficando nesse laço até que a simulação gere os resultados esperados. Quando a simulação atingir as especificações do sistema, é possível iniciar o projeto de cada bloco separadamente com alto nível de detalhe, utilizando sempre ferramentas de simulações, a fim de atingir os requisitos dos blocos levantados anteriormente.

Com os blocos projetados individualmente em alto nível de detalhes, a simulação do sistema é novamente realizada. Caso a simulação não ocorra como esperado, deve-se voltar a etapa da implementação dos blocos individuais. Se o resultado da simulação for compatível com as especificações do sistema, o fluxo de projeto é finalizado.

2.6 PLL Baseado na Transformação Inversa de Park

A detecção de fase baseado na geração de sinais em quadratura melhora o desempenho dinâmico de estruturas PLL [30]. A Figura 2.5 ilustra uma configuração de PLL semelhante à apresentada na Figura 2.2, com a diferença de que no bloco PD foi utilizado um gerador de sinal em quadratura, ao invés de um simples multiplicador como encontrado na estrutura do PLL clássico. De acordo com [28] essa mudança no bloco PD contorna de forma simples e eficiente as limitações do PLL clássico com relação a detecção de fase.

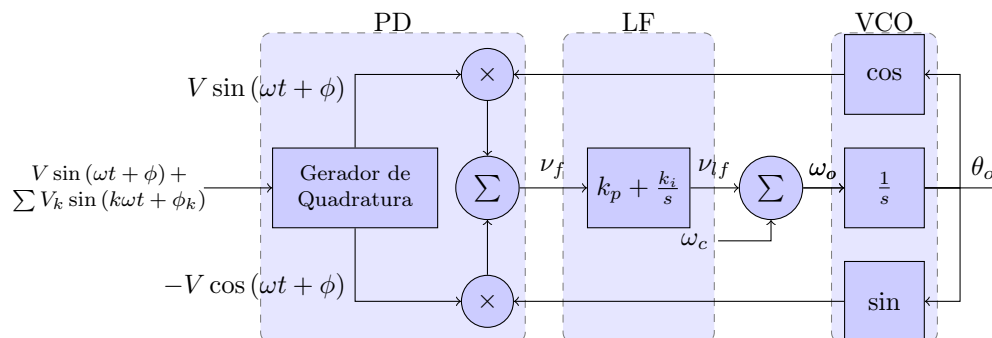


Figura 2.5 – PLL baseado na geração de sinais em quadratura.

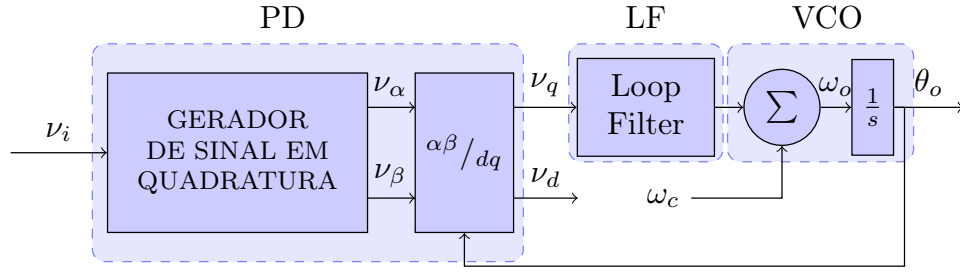


Figura 2.6 – PLL com bloco PD em quadratura e transformação de Park.

O sinal do erro de fase produzido pelo bloco PD, neste caso, será expresso por

$$\begin{aligned} \nu_f &= A_1 \text{sen}(\omega_1 t + \phi_1) \cos(\omega_o t + \phi_o) - A_1 \cos(\omega_1 t + \phi_1) \text{sen}(\omega_o t + \phi_o) \\ &= A_1 \text{sen}((\omega_1 - \omega_o)t + (\phi_1 - \phi_o)) = A_1 \text{sen}(\theta_1 - \theta_o). \end{aligned} \quad (2.26)$$

Observa-se de (2.26) que a saída do bloco PD, diferente do PLL clássico, não contém termos de alta frequência, assim não prejudicando o desempenho do controlador PI no bloco LF, de modo que, em regime permanente ($\omega_1 \approx \omega_o$), o sinal de saída estará totalmente sincronizado com o sinal de entrada quando o erro na saída do bloco PD for nulo.

A saída do bloco PD pode ser representada pela transformação de Park, obtendo também uma nova representação para o modelo apresentado na Figura 2.5. A transformação de Park consiste em converter um sistema do referencial estacionário $\alpha\beta$ em um sistema de referencial girante síncrono dq , cujas componentes resultantes são quantidades contínuas. A transformação direta de Park é representada por:

$$\begin{bmatrix} \nu_d \\ \nu_q \end{bmatrix} = \begin{bmatrix} \cos(\theta_o) & \text{sen}(\theta_o) \\ -\text{sen}(\theta_o) & \cos(\theta_o) \end{bmatrix} \begin{bmatrix} \nu_\alpha \\ \nu_\beta \end{bmatrix}. \quad (2.27)$$

O novo diagrama para o PLL baseado em sinais em quadratura é mostrado na Figura 2.6. Considerando uma entrada da forma $\nu = A_1 \text{sen}(\theta_1) = A_1 \text{sen}(\omega_1 t + \phi_1)$, a saída do gerador de sinal em quadratura pode ser expressa por

$$\nu_{(\alpha\beta)} = \begin{bmatrix} \nu_\alpha \\ \nu_\beta \end{bmatrix} = V \begin{bmatrix} \text{sen}(\theta_1) \\ -\cos(\theta_1) \end{bmatrix}. \quad (2.28)$$

E para um PLL sincronizado ($\omega_1 \approx \omega_o$), aplicando a transformação de Park resulta em

$$\nu_{(dq)} = \begin{bmatrix} \nu_d \\ \nu_q \end{bmatrix} = A_1 \begin{bmatrix} \text{sen}(\theta_1 - \theta_o) \\ -\cos(\theta_1 - \theta_o) \end{bmatrix}. \quad (2.29)$$

Em sistemas trifásicos, nos quais existem três tensões de fase, o bloco gerador de sinais em quadratura, explicado anteriormente, pode ser implementado utilizando a transformação de Clarke [31–34]. No entanto, em sistemas monofásicos, onde há apenas

um sinal de fase, a transformação de Clarke não pode ser utilizada. Existem na literatura varias formas de contornar esse problema, uma delas é utilizando a transformação inversa de Park representada por (2.30). Na Figura 2.7 é ilustrado o PLL baseado na transformação inversa de Park.

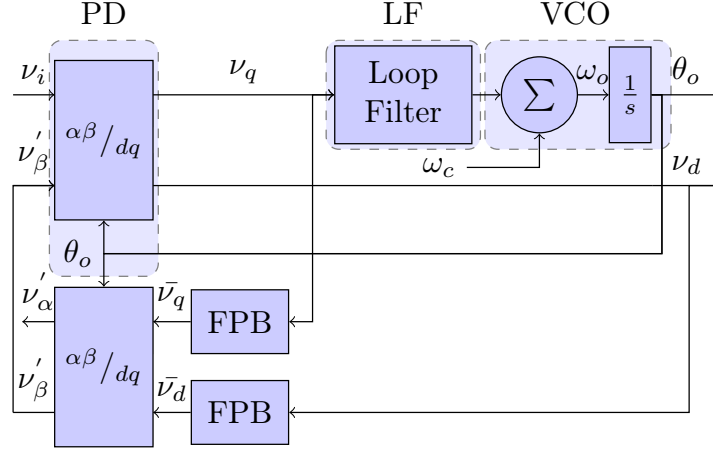


Figura 2.7 – PLL baseado na transformação inversa de Park.

$$\nu_{(\alpha\beta)} = \begin{bmatrix} \nu_\alpha \\ \nu_\beta \end{bmatrix} = V \begin{bmatrix} \cos(\theta_o) & -\text{sen}(\theta_o) \\ \text{sen}(\theta_o) & \cos(\theta_o) \end{bmatrix} \begin{bmatrix} \nu_d \\ \nu_q \end{bmatrix}. \quad (2.30)$$

Pode-se observar da Figura 2.7 que dois filtros passa baixa (FPB) são usados para atenuar as oscilações quando os sinais de entrada da transformação de Park ν_i e ν'_β não estão em quadratura e, assim, garantir que os sinais de saída da transformação inversa de Park ν'_α e ν'_β estejam em quadratura, embora ν_i e ν'_α não estejam em fase se o PLL não estiver perfeitamente sincronizado. À medida que o PLL rastreia o ângulo de fase do sinal de entrada, ν_i entrará em fase com ν'_α e em quadratura com ν'_β . A função de transferência dos filtros pode ser representada por:

$$H_F(s) = \frac{\omega_f}{s + \omega_f}, \quad (2.31)$$

onde ω_f representa a frequência de corte do filtro e pode ser calculada como $\omega_f = 2\xi\omega$.

2.7 PLL Baseado no Integrador Generalizado de Segunda Ordem

Na Figura 2.8 é ilustrado um sistema ortogonal que foi inicialmente apresentado em [30]. Como sinais de saída, são geradas duas ondas senoidais (ν' e $q\nu'$) com uma mudança de fase de 90° . A componente ν' apresenta mesma fase e magnitude da componente fundamental do sinal de entrada ν_i .

A estrutura apresentada é baseada no SOGI, que é definido como [30, 35–37]:

$$GI(s) = \frac{\omega_o s}{s^2 + \omega_o^2}, \quad (2.32)$$

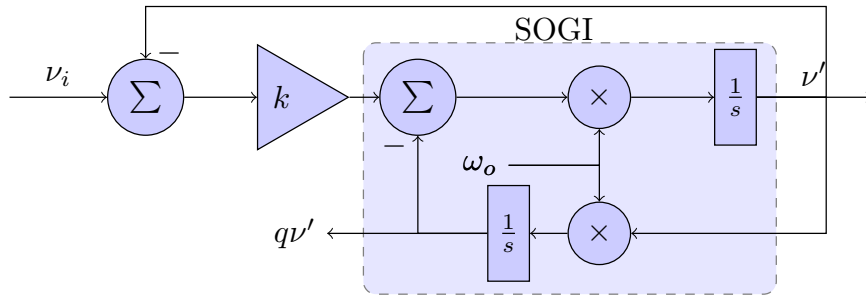


Figura 2.8 – Estrutura do sistema ortogonal.

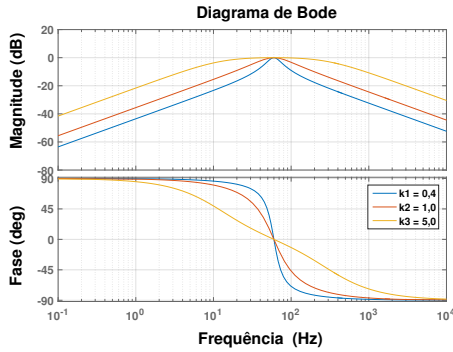


Figura 2.9 – Diagrama de Bode da função de transferência $H_d(s)$ para diferentes valores de k .

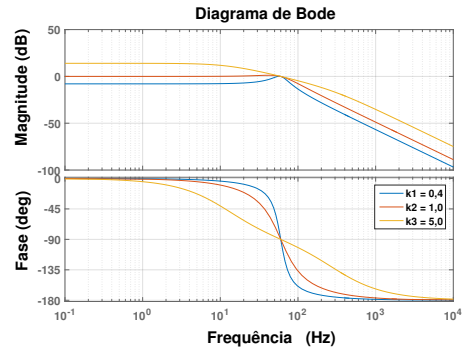


Figura 2.10 – Diagrama de Bode da função de transferência $H_q(s)$ para diferentes valores de k .

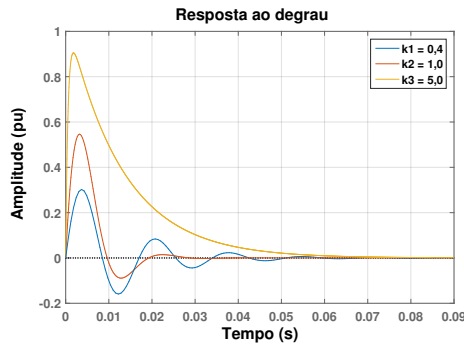


Figura 2.11 – Resposta ao degrau da função de transferência $H_d(s)$ para diferentes valores de k .

onde ω_o representa a frequência de ressonância do SOGI.

As funções de transferência de malha fechada $H_d(s) = \frac{\nu'(s)}{\nu_i(s)}$ e $H_q(s) = \frac{q\nu'(s)}{\nu_i(s)}$ da estrutura apresentada na Figura 2.8 são definidas como:

$$H_d(s) = \frac{\nu'(s)}{\nu_i(s)} = \frac{k\omega_o s}{s^2 + k\omega_o s + \omega_o^2} \quad (2.33)$$

$$H_q(s) = \frac{q\nu'(s)}{\nu_i(s)} = \frac{k\omega_o^2}{s^2 + k\omega_o s + \omega_o^2}, \quad (2.34)$$

onde k afeta a largura de banda do sistema de malha fechada.

Os diagramas de Bode das funções de transferência $H_d(s)$ e $H_q(s)$ para uma frequência ressonante de 60Hz e diferentes valores de k são ilustrados nas Figuras 2.9

e 2.10. Observando o gráfico da magnitude nas Figuras 2.9 e 2.10, verifica-se que há um ganho unitário para sinais cuja frequência angular tem o mesmo valor de ω_o ajustado nos ganhos do SOGI. Para frequências superiores à frequência angular de ajuste, observa-se que há um decaimento no ganho dos sinais, o que explica a atuação do SOGI como um filtro para possíveis harmônicos presentes no sinal de entrada. Observa-se também que o desempenho da filtragem aumenta com a diminuição dos valores de k , porém esta diminuição acarreta no aumento do tempo de estabelecimento do sistema como pode ser observado na Figura 2.11. Para a resposta da Figura 2.11 foi utilizado, uma entrada do tipo degrau na função de transferência $H_d(s)$. Verifica-se dos diagramas de fase que os sinais de saída estarão sempre em quadratura.

O sistema ortogonal (SOGI-QSG) da Figura 2.8 pode ser aplicado diretamente para implementar um PLL baseado na geração de sinais em quadratura, como é ilustrado na Figura 2.12, essa estrutura é conhecida como SOGI-PLL [28,30]. Este sistema tem uma dupla realimentação que é responsável por fornecer o ângulo de fase para a transformação de Park e a frequência central para o SOGI-QSG.

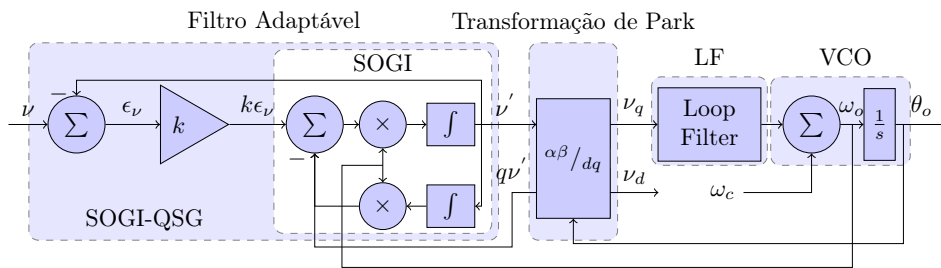


Figura 2.12 – Estrutura do SOGI-PLL.

O princípio de funcionamento do SOGI-PLL é similar ao que já foi apresentado para outras estruturas. Em regime permanente ($\omega_1 \simeq \omega_o$), o bloco SOGI-QSG gera os sinais em quadratura que por sua vez irá passar pelo bloco da transformação de Park onde ocorrerá a mudança do referencial estacionário $\alpha\beta$ para o referencial girante dq . Quando $\nu_q = 0$ o vetor tensão de entrada irá sobrepor o eixo d e na saída do PLL é rastreado o ângulo $\theta_o = \theta_1 - \frac{\pi}{2}$.

2.8 O Enhanced Phase Locked Loop

O EPLL é um algoritmo de sincronização que apresenta características diferentes se comparado ao PLL convencional. A principal diferença nessa configuração de PLL está na presença de um novo esquema do detector de fase, que é baseado na teoria do Filtro Notch Adaptativo (ANF).

Na Figura 2.13 é ilustrado a estrutura do EPLL. Nela observa-se que o bloco PD proposto é basicamente uma configuração do ANF. O funcionamento do EPLL pode ser

compreendido como a unificação das propriedades do ANF com as propriedades do PLL.

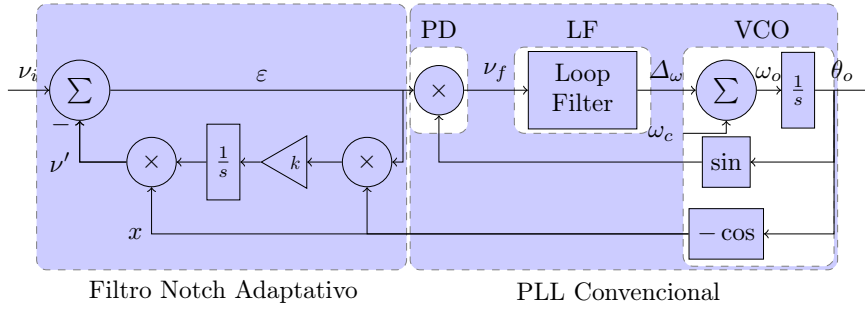


Figura 2.13 – Diagrama de blocos básico da estrutura EPLL.

A saída do bloco ANF da Figura 2.13 é nula quando a frequência e fase do sinal de referência gerado pelo VCO, $x = \cos(\theta_o)$, correspondem aos do sinal de entrada ν_i . Como resultado, as oscilações do sinal de saída do multiplicador do bloco PD são completamente canceladas e o ângulo de fase do sinal de entrada é detectado corretamente pelo PLL convencional. Vale ressaltar, no entanto, que há uma defasagem de 90° entre θ e θ_o quando o PLL entrar em regime permanente, isto é $\theta_o = \theta - \frac{\pi}{2}$, devido ao efeito do multiplicador do bloco PD [28].

A amplitude da componente fundamental do sinal de entrada é obtida através da realimentação negativa ν' no bloco ANF. Quando o sistema entra em regime permanente, o erro da saída do sinal intermediário ε tende para zero, desta forma a amplitude da componente fundamental do sinal de entrada pode ser obtida através deste sinal de realimentação. O ganho k é responsável por controlar a velocidade de convergência de ν' .

2.9 PLL Baseado na Realimentação em Onda Quadrada

Na Figura 2.14 é ilustrado o PLL de onda quadrada (PLLOQ) monofásico. É observada uma semelhança com o PLL clássico apresentado na Figura 2.2, com a principal diferença de que o bloco PD é realimentado por uma onda quadrada (Figura 2.15), ao invés de usar uma tensão de $\nu_o = \cos(\omega_o t + \phi_o) = \cos(\theta_o)$. O sinal ν_{os} é obtido na saída do gerador de onda quadrada e depende do ângulo de fase θ_o de acordo com a função $f(\theta_o)$ definido na Figura 2.14. Uma característica dessa estrutura é que a avaliação das funções sen e cos é computada fora do *loop* do PLL e não influencia seu desempenho [22]. Uma vantagem de ter um VCO em onda quadrada é que o bloco PD se torna uma simples operação “multiplica por um” que pode ser implementado de forma simples. O bloco LPF na Figura 2.14 é implementado usando um filtro MAF [8, 38].

Expressando ν_{os} através das séries de Fourier

$$\nu_{os} = -\frac{4}{\pi} \sum_{j=1}^{\infty} (-1)^j \frac{\cos[(2j-1)\omega_o t + (2j-1)\phi_o]}{2j-1} \quad (2.35)$$

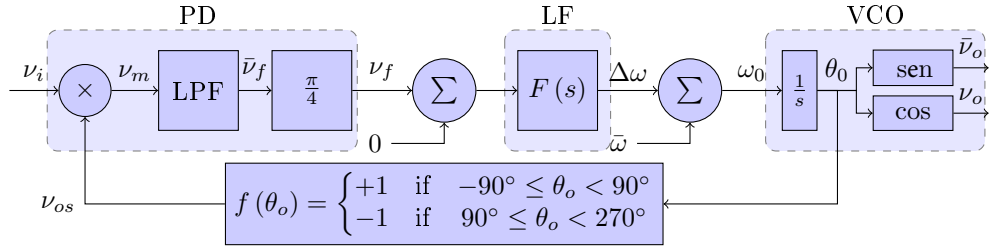
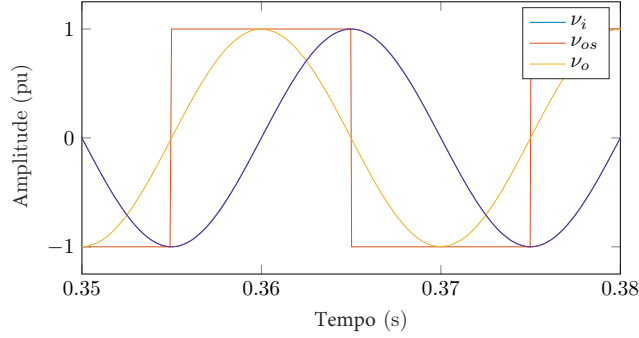


Figura 2.14 – Diagrama de blocos básico para o PLL de onda quadrada.


 Figura 2.15 – Onda quadrada e tensão de saída ν_o do PLL.

e considerando que a tensão de entrada do PLL de onda quadrada seja dada por uma tensão senoidal sem distorções, $\nu_i = A_1 \text{sen}(\omega_1 t + \phi_1)$, a saída do multiplicador $\nu_m = \nu_i \cdot \nu_{os}$ pode ser representada por (2.36), onde a mesma apresenta uma componente CC e termos oscilantes.

$$\nu_m = -\frac{2}{\pi} \left\{ \sum_{j=1}^{\infty} \frac{(-1)^j A_1}{2j-1} \left\{ \begin{array}{l} \text{sen}[(2-2j)\omega_1 t + \phi_1 - (2j-1)\phi_o] + \\ + \text{sen}[2j\omega_1 t + \phi_1 + (2j-1)\phi_o] \end{array} \right\} \right\}. \quad (2.36)$$

Supondo que os termos de alta frequência de ν_m sejam atenuados pelo bloco LPF, o sinal de filtragem $\bar{\nu}_f$ é representado por

$$\bar{\nu}_f = \frac{4}{\pi} \frac{A_1}{2} \text{sen}(\phi_1 - \phi_o), \quad (2.37)$$

onde é observado, uma semelhança com o sinal de (2.5), exceto por causa do ganho $4/\pi$.

Quando $\bar{\nu}_f$ for muito pequeno, isto é $\phi_1 \approx \phi_o$, $\text{sen}(\phi_1 - \phi_o) \approx \phi_1 - \phi_o$ e consequentemente

$$\bar{\nu}_f = \frac{4}{\pi} \frac{A_1}{2} (\phi_1 - \phi_o). \quad (2.38)$$

Considerando que a tensão de entrada contém componentes harmônicas

$$\nu_i = \sum_{k=1}^{\infty} A_k \text{sen}(k\omega_1 t + \phi_k), \quad (2.39)$$

a saída do multiplicador pode ser representada por (2.40), onde é notado a presença de uma componente CC e termos oscilantes. Supondo que o bloco LPF atenua os termos de alta frequência de (2.40), a saída do bloco PD é representada por (2.41).

$$\nu_m = -\frac{2}{\pi} \left\{ \sum_{k=1}^{\infty} \sum_{j=1}^{\infty} \frac{(-1)^j A_k}{2j-1} \left\{ \begin{array}{l} \text{sen}[(k-2j+1)\omega_1 t + \phi_k - (2j-1)\phi_o] + \\ + \text{sen}[(k+2j-1)\omega_1 t + \phi_k + (2j-1)\phi_o] \end{array} \right\} \right\}, \quad (2.40)$$

$$\bar{\nu}_f = \frac{2}{\pi} \left[A_1 \sin(\phi_1 - \phi_o) - \frac{A_3}{3} \sin(\phi_3 - 3\phi_o) + \dots - \frac{(-1)^j A_k}{2j-1} \sin[\phi_{2j-1} - (2j-1)\phi_o] \right]. \quad (2.41)$$

Comparando as expressões (2.37) e (2.41), verifica-se que a inclusão de harmônicos em ν_i resulta em novos termos de componentes CC. No entanto, supondo que o controlador force ν_f e $\bar{\nu}_f$ para zero, de acordo com (2.41), a inclusão de harmônicos em ν_i pode levar a $\phi_1 - \phi_o \neq 0$. Isso explica o erro de fase para o PLL de onda quadrada operando com ν_i distorcido. Em [22] é mostrado um exemplo e revisto aqui, onde é considerado uma entrada ν_i contendo a presença da terceira harmônica com amplitude de $A_3 = 0,3A_1$, e $\sin(\phi_3 - 3\phi_o) = \pm 1$. Isto resulta em $\bar{\nu}_f = \frac{2}{\pi} [A_1 \sin(\phi_1 - \phi_o) \pm \frac{0,3}{3} A_1]$. Quando o PLL está travado, $\bar{\nu}_f = 0$, o que resulta em um erro de fase igual a $\phi_1 - \phi_o = \sin^{-1}(\pm 0,3/3) = \pm 5,73^\circ$. No capítulo 3, é apresentada uma solução para esse problema.

2.9.1 Filtro de Média Móvel

Os MAFs são filtros de resposta de impulso finito de fase linear (FIR), que podem atuar como filtros passa baixa ideal, se determinadas condições persistirem [8, 38, 39]. Eles são econômicos em termos de carga computacional e fáceis de implementar na prática.

O MAF com um sinal de entrada $y(t)$ e um sinal de saída $\bar{y}(t)$ pode ser descrito no domínio de tempo contínuo por

$$\bar{y}(t) = \frac{1}{T_j} \int_{t-T_j}^t y(\tau) d\tau, \quad (2.42)$$

onde T_j representa o tamanho da janela. A partir de (2.42), a função de transferência do MAF pode ser obtida como:

$$H_{MAF}(s) = \frac{\bar{y}(s)}{y(s)} = \frac{1 - e^{-T_j s}}{T_j s}. \quad (2.43)$$

Observa-se da função de transferência (2.43) que quanto maior o comprimento de janela, mais lenta será a resposta transitória do MAF.

Substituindo $s = j\omega$ em (2.43), as expressões de magnitude e fase do MAF podem ser dadas por:

$$H_{MAF}(j\omega) = \left| \frac{\sin(\omega T_j/2)}{\omega T_j/2} \right| \angle -\omega T_j/2. \quad (2.44)$$

De (2.44), verifica-se que, o MAF fornece ganho nulo nas frequências $f = n/T_j$ ($n = 1, 2, 3, \dots$) em hertz e ganho de unidade na frequência zero. Isso significa que o MAF passa a componente CC e bloqueia completamente as componentes de frequência de múltiplos inteiros de $1/T_j$ em hertz [8].

Para implementar o filtro MAF na prática, é necessária uma definição de tempo discreto. Assumindo que o tamanho da janela do MAF contém N amostras (N sendo

um número inteiro) do seu sinal de entrada, ou seja, $T_j = NT_s$ onde T_s é o tempo de amostragem, a descrição de tempo discreto do filtro MAF pode ser obtida, com base em (2.42),

$$\bar{y}(k) = \frac{1}{N} \sum_{i=0}^{N-1} y(k-i) \quad (2.45)$$

onde $y(k)$ é a amostra atual.

Escrevendo (2.45) no domínio Z temos:

$$\begin{aligned} \bar{Y}(z) &= H_{MAF}(z)Y(z) \\ &= \frac{1}{N}(Y(z) + z^{-1}Y(z) + \dots + z^{-(N-1)}Y(z)) \\ &= \left(\frac{1}{N} \sum_{i=0}^{N-1} z^{-i} \right) Y(z) \\ &= \frac{1}{N} \frac{1 - z^{-N}}{1 - z^{-1}} Y(z). \end{aligned} \quad (2.46)$$

A equação (2.46) representa a função discreta do MAF, onde N determina a ordem do filtro.

2.10 Conclusões Parciais

Neste capítulo, foram apresentados os conceitos básicos e principais parâmetros dos algoritmos de PLLs monofásicos. Além disso, foram apresentadas as modelagens de cinco algoritmos de PLL, sendo estes: PLL clássico, Park-PLL, SOGI-PLL, EPLL e PLL de onda quadrada. Foi visto, uma metodologia para projetar algoritmos de PLLs e o modelo linearizado do PLL para pequenos sinais, sendo este último, útil para projetar ganhos para o controlador utilizado no *loop filter*.

3 Utilização de Banco de Filtros Adaptativos de Atraso em Algoritmo Phase Locked Loop

3.1 Introdução

Neste capítulo, é apresentada a estrutura do PLL de onda quadrada utilizando o filtro ADB. É explicado o funcionamento do filtro ADB e como realizar seu projeto para a eliminação seletiva de harmônicos. Além disso, é apresentada uma análise da estabilidade e resposta dinâmica do PLL de onda quadrada e do PLL de onda quadrada com filtro ADB. Resultados de simulações e experimentais são realizados para validar as abordagens teóricas.

3.2 Estrutura do PLL com Filtro ADB

Conforme discutido na seção 2.9, se ν_i e ν_{os} tiverem harmônicos de mesma ordem, eles contribuem para a componente CC de ν_m resultando em um erro de fase. Uma solução para isto, consiste em eliminar todos os harmônicos relevantes que existem na tensão de entrada ν_i . Para isto é inserido um filtro ADB na estrutura do PLL de onda quadrada como ilustrado na Figura 3.1 [40].

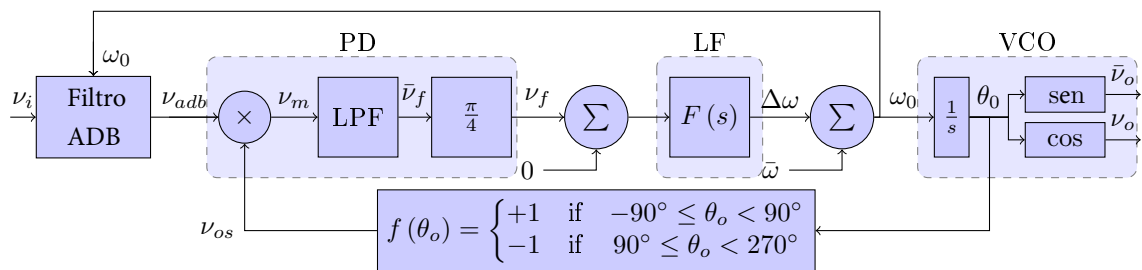


Figura 3.1 – Diagrama de blocos básico para o PLL de onda quadrada com filtro ADB.

O filtro ADB consiste em vários blocos de filtros, cada um com a função de eliminar um harmônico específico conforme ilustra a Figura 3.2. A harmônica de k -ésima ordem ($k = 2, 3, \dots$) que deve ser eliminada é adicionada à sua própria imagem atrasada para $T/2k$, onde T é o período da componente fundamental do sinal da rede. Então, se o terceiro harmônico deve ser eliminado ($k = 3$), ele deve ser adicionado à sua própria imagem atrasada de $t_{3d} = T/6$, para a eliminação da quarta harmônica é necessário um atraso de $t_{4d} = T/8$, e assim por diante.

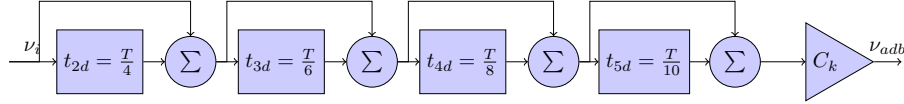


Figura 3.2 – Diagrama de blocos básico do filtro ADB para eliminação seletiva de harmônicos.

Existem dois sinais na entrada do filtro ADB, um deles é o sinal da rede ν_i que deve ser filtrado, e o outro é o valor da frequência da rede estimada pelo PLL (ω_o). A frequência obtida pelo PLL é usada para o cálculo do período da componente fundamental estimada da rede ($T_o = 2\pi/\omega_o$) necessário para determinar o tempo de atraso $T_o/2k$ para cada bloco do filtro.

Embora a utilização do filtro ADB para eliminar a influência de harmônicos de alta ordem no erro de fase ($\omega - \omega_o$) da estrutura do PLL de onda quadrada parece ser atraente e de fácil implementação, esse método tem suas limitações. Na seção seguinte, é apresentada uma análise detalhada do impacto do filtro ADB na fase e amplitude da componente fundamental do sinal da rede.

3.3 Análise do Impacto do Filtro ADB sobre o Harmônico Fundamental do Sinal da Rede

Assumindo que o filtro ADB consiste em três blocos de filtros para a eliminação do 2º, 3º e 4º harmônico. Como cada bloco do filtro ADB elimina apenas um harmônico desejado, mas não o harmônico fundamental, a soma de dois sinais não amortecidos de harmônicos fundamentais, cuja frequência é $\omega_1 = 2\pi/T$, aparecerá na saída do bloco ADB para eliminar o k -ésimo harmônico, dado por:

$$\nu_k^1(t) = V_{k-1}^1 \text{sen}(\omega_1 t - \phi_{k-1}) + V_{k-1}^1 \text{sen}\left(\omega_1 t - \phi_{k-1} - \frac{\pi}{k}\right), k \geq 2 \quad (3.1)$$

em que V_{k-1}^1 e ϕ_{k-1} é a amplitude e fase do harmônico fundamental na entrada do filtro ADB para a eliminação do k -ésimo harmônico. Aplicando identidades trigonométricas:

$$\text{sen}(\alpha) + \text{sen}(\beta) = 2 \text{sen}\left(\frac{\alpha + \beta}{2}\right) \cos\left(\frac{\alpha - \beta}{2}\right) \quad (3.2)$$

em (3.1), obtém-se:

$$\nu_k^1(t) = 2 \cos\left(\frac{\pi}{2k}\right) V_{k-1}^1 \text{sen}\left(\omega_1 t - \left(\phi_{k-1} + \frac{\pi}{2k}\right)\right). \quad (3.3)$$

Substituindo em (3.3) a ordem do harmônico para eliminação, por exemplo $k = 2$, e assumindo que a fase inicial do harmônico fundamental é $\phi_1 = 0$, (3.3) pode ser escrito como:

$$\nu_2^1(t) = 2 \cos\left(\frac{\pi}{4}\right) V_1^1 \text{sen}\left(\omega_1 t - \left(\frac{\pi}{4}\right)\right) = \sqrt{2} V_1^1 \text{sen}\left(\omega_1 t - \frac{\pi}{4}\right), \quad (3.4)$$

em que V_1^1 é a amplitude do harmônico fundamental na entrada do filtro ADB.

Observa-se de (3.4) que a amplitude do harmônico fundamental na saída do bloco ADB para a eliminação do segundo harmônico multiplicou por $\sqrt{2}$ e que sua fase foi deslocada (atrasada) para $\frac{\pi}{4}$ em relação à fase inicial ($\phi_1 = 0$) antes de entrar no bloco do filtro ADB.

Assim, na saída do filtro ADB, a amplitude do harmônico fundamental é multiplicada e sua fase é atrasada comparando com o sinal do harmônico fundamental na entrada do filtro ADB. A equação geral para o sinal da componente fundamental na saída do filtro ADB para a eliminação do k - ésimo harmônico, é representada por:

$$\nu_k(t) = C_k V_1 \text{sen}(\omega_1 t - \phi_k) \quad (3.5)$$

em que C_k é o coeficiente de multiplicação da amplitude e ϕ_k é o atraso de fase da componente fundamental na saída do banco para a eliminação do k -ésimo harmônico. C_k e ϕ_k podem ser calculados por:

$$C_k = \prod_{n=2}^k \left(2 \cos \left(\frac{\pi}{2n} \right) \right) \quad (3.6)$$

$$\phi_k = \phi_1 + \sum_{n=2}^k \frac{\pi}{2n}. \quad (3.7)$$

São mostrados na Tabela 3.1 os coeficientes C_k de multiplicação da amplitude do harmônico fundamental, assim como seu atraso de fase no domínio do ângulo ϕ_k e no domínio do tempo t_k para um filtro ADB composto de três blocos em cascata para eliminação do 2°, 3° e 4° harmônico.

Tabela 3.1 – Mudanças nos parâmetros do harmônico fundamental.

Ordem do harmônico para eliminação	2°	3°	4°
C_k	1,4142	2,4495	4,5261
ϕ_k	45°	75°	97,5°
t_k [ms]	2,5	4,1667	5,4167

Na Figura 3.3 é ilustrado o harmônico fundamental do sinal da rede (amplitude normalizada $V_1^1 = 1\text{pu}$) na entrada e sua imagem modificada na saída do filtro ADB projetado para eliminar o 2°, 3° e 4° harmônico. Observa-se que na saída do filtro ADB a amplitude foi multiplicada por $C_4 = 4,5261$ e a fase atrasada de $\phi_{total} = \phi_4 = 97,5^\circ$ ou $t_{total} = t_4 = 5,4167\text{ms}$, conforme calculado na Tabela 3.1. A partir da análise realizada e da Figura 3.3, pode-se concluir que:

- Passando por cada um dos blocos do filtro ADB, a amplitude do primeiro harmônico é multiplicado pelo coeficiente C_k . Para o caso do filtro ADB projetado para a

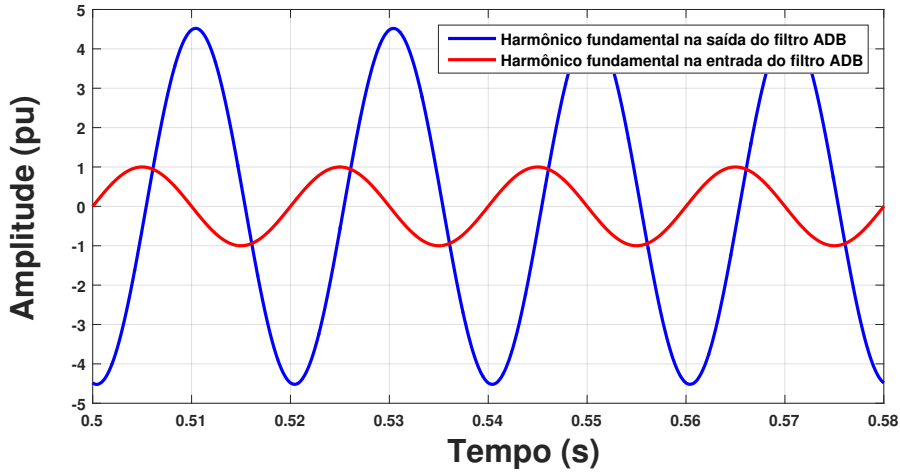


Figura 3.3 – Harmônico fundamental do sinal da rede na entrada e na saída do filtro ADB.

eliminação do 2°, 3° e 4° harmônico, o coeficiente de multiplicação da amplitude é $C_4 = 4,5261$ (Tabela 3.1).

- Passando através de cada um dos blocos do filtro ADB, a mudança de fase no harmônico fundamental é dado pelo seu atraso total de fase/tempo sendo igual a soma dos atrasos através de cada bloco individual do ADB. Para o filtro ADB mencionado anteriormente, o harmônico fundamental do sinal tem um atraso total de fase/tempo de $\phi_{total} = \phi_4 = 97,5^\circ$ ou $t_{total} = t_4 = 5,4167\text{ms}$.

Para fazer a estrutura do PLL da Figura 3.1 corretamente, sem o problema da amplitude e atraso de fase na saída do filtro ADB, [23] propôs alterações na estrutura do filtro ADB da seguinte maneira:

- Para que a amplitude do harmônico fundamental permaneça inalterada depois de passar pelo banco de filtros, ela deve ser dividida pelo coeficiente C_k correspondente na saída do banco.
- Para eliminar o atraso de fase causado pela passagem do sinal pelo banco de filtros, é necessário que o harmônico fundamental seja atrasado para o intervalo ângulo/tempo:

$$\phi_{add} = \begin{cases} \pi - \phi_k & \text{para } \phi_k \leq \pi \\ 2\pi - \phi_k & \text{para } \phi_k > \pi \end{cases} \quad (3.8)$$

$$t_{add} = \begin{cases} T/2 - t_k & \text{para } t_k \leq T/2 \\ T - t_k & \text{para } t_k > T/2 \end{cases} \quad (3.9)$$

e multiplicado por -1 , o que implica a rotação do harmônico fundamental para um ângulo adicional de π , se $\phi_k \leq \pi$. Isso é equivalente a multiplicação do harmônico fundamental pelo coeficiente $-1/C_k$ em vez de $1/C_k$.

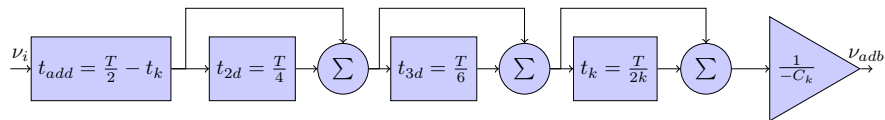


Figura 3.4 – Diagrama de blocos básico do filtro ADB modificado.

O diagrama de blocos do filtro ADB modificado é mostrado na Figura 3.4. No caso particular do filtro ADB dado, o atraso adicional de ângulo/tempo é $82,5^\circ$ ou $4,5833\text{ms}$.

É mostrado na Figura 3.5 o comportamento do filtro ADB modificado com três blocos de filtros para a eliminação do 2° , 3° e 4° harmônico. A partir da Figura 3.5, fica evidente que, após a resposta transitória com duração inferior a um período do sinal da rede, o harmônico fundamental passa pelo filtro ADB modificado sem distorções.

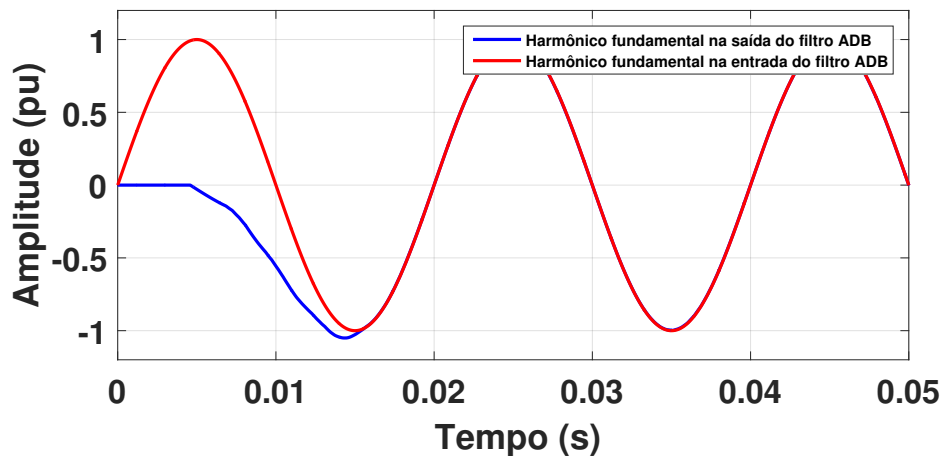


Figura 3.5 – Gráfico do harmônico fundamental do sinal da rede na entrada e na saída do filtro ADB modificado.

3.4 Resultados de Simulações

Nesta seção, o desempenho dos PLLs é avaliado através de simulações digitais considerando diferentes cenários para a rede elétrica. A frequência do harmônico fundamental utilizada nas simulações foi de 50Hz . Para o projeto do PLL de onda quadrada e do PLL de onda quadrada com filtro ADB foi utilizado um controlador PI no bloco LF. Neste trabalho, os projetos para os PLLs devem atender ao fluxograma apresentado na Figura 2.4.

Os valores dos ganhos do controlador PI determinam a dinâmica e a eficiência do sistema. Por isso, seu projeto deve levar em consideração as condições nas quais o PLL será aplicado. Alguns autores têm se dedicado na discussão desse problema [41–47]. Para este trabalho, as principais especificações de desempenho requeridas para os sistemas em questão foram:

- (1) Velocidade de travamento entre 0 – 250ms. Essa velocidade representa o tempo que o PLL leva para rastrear a fase e frequência do sinal da rede elétrica;
- (2) Faixa de erro de 2%.

Logo, para garantir as especificações de desempenho acima, foram calculados os ganhos do controlador PI utilizando as equações (2.22) e (2.23) considerando um tempo de estabelecimento de 100ms e um fator de amortecimento de $\xi = 0,707$.

3.4.1 Análise de Estabilidade e Resposta Dinâmica

Através de simulações, os diagramas de Bode (resposta em frequência), a resposta ao degrau e o lugar das raízes foram desenvolvidos com o propósito de analisar a estabilidade e a dinâmica dos sistemas de PLLs em estudo.

Nas Figuras 3.6, 3.7, 3.8 e 3.9 é ilustrado o comportamento dos sistemas projetados para um tempo de estabelecimento de 100ms e um fator de amortecimento de $\xi = 0,707$ ($K_p = 92$ e $K_i = 4232$).

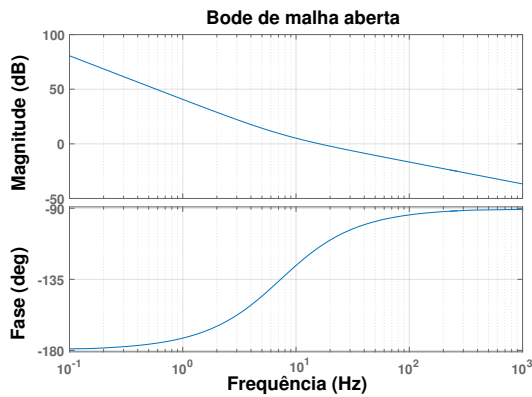


Figura 3.6 – Diagrama de Bode dos sistemas em malha aberta pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$.

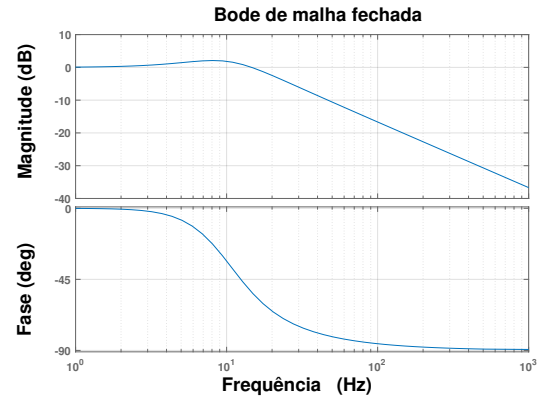


Figura 3.7 – Diagrama de Bode dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$.

Na Figura 3.7, observa-se a característica de filtragem dos sistemas através do diagrama de Bode em malha fechada, onde está mostrada a atenuação para a frequência de segundo harmônico. Na Figura 3.8, tem-se o lugar das raízes para o sistema, onde percebe-se a alocação dos zeros e polos próximos à origem. Nota-se também a estabilidade do sistema pelo fato de não haver raízes no semiplano direito do gráfico. Na Figura 3.9, nota-se a presença de um overshoot de aproximadamente 20% e que não há erro de estado estacionário.

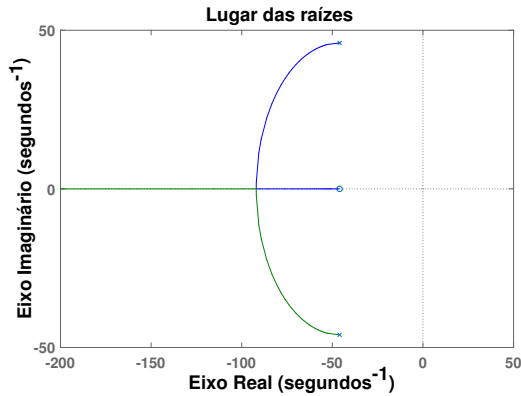


Figura 3.8 – Lugar das Raízes dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$.

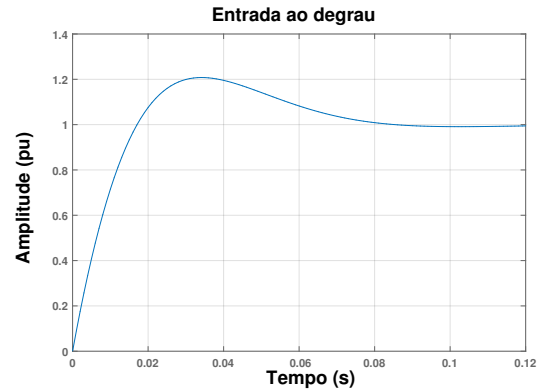


Figura 3.9 – Resposta ao degrau dos sistemas em malha fechada pelo método canônico com $t_s = 100\text{ms}$ e $\xi = 0,707$.

3.4.2 Projeto do Filtro ADB para Eliminação de Terceiro Harmônico

Para as simulações e experimentos realizados nesse trabalho, foi utilizado um filtro ADB projetado para a eliminação do terceiro harmônico. O coeficiente C_k e o atraso adicional de ângulo/tempo são calculados de acordo com (3.6), (3.8) e (3.9). Na Tabela 3.2 são mostrados os valores obtidos.

Tabela 3.2 – Parâmetros calculados para projeto do filtro ADB.

Ordem do harmônico para eliminação	3°
C_k	1,7321
ϕ_k	30°
t_k [ms]	1,6667
ϕ_{add}	150°
t_{add} [ms]	8,3333

É ilustrado na Figura 3.10 a saída do filtro ADB projetado para eliminação do terceiro harmônico. Observa-se da Figura 3.10, que após a resposta transitória, o harmônico fundamental passa pelo filtro ADB sem distorções.

3.4.3 Discretização

Neste trabalho, é realizada a discretização individual de cada um dos componentes dos PLLs, para logo após, implementar a sua malha. Para a modelagem discreta dos PLLs, serão utilizados os seguintes parâmetros:

- Mapeamento com aproximação de Tustin;
- Frequência de amostragem $f_s = 25\text{kHz}$.

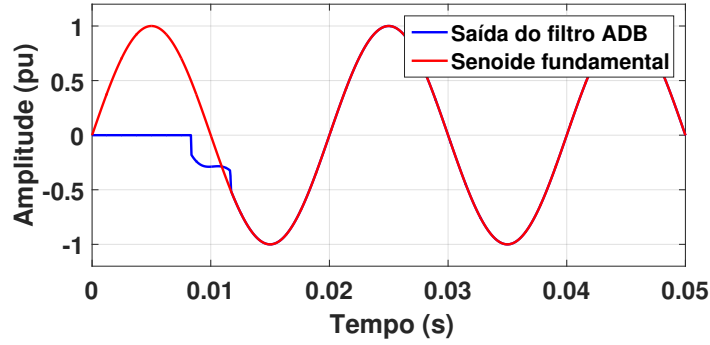


Figura 3.10 – Saída do filtro ADB projetado para eliminação do terceiro harmônico.

A função de transferência do controlador PI é dada por:

$$H_{PI}(s) = \frac{K_p s + K_i}{s}. \quad (3.10)$$

Substituindo $s = \frac{2}{T_s} \frac{(z-1)}{z+1}$ na função de transferência do controlador PI, obtêm-se:

$$H_{PI}(z) = \frac{U_{PI}(z)}{E_{PI}(z)} = \frac{(2K_p + K_i T_s) + (K_i T_s - 2K_p)z^{-1}}{2 - 2z^{-1}}. \quad (3.11)$$

Aplicando-se a transformada Z inversa em (3.11), é possível chegar à equação a diferenças do controlador PI:

$$u_{PI}(k) = \frac{(2K_p + K_i T_s)e_{PI}(k) + (K_i T_s - 2K_p)e_{PI}(k-1) + 2u_{PI}(k-1)}{2}. \quad (3.12)$$

Analogamente, pode-se realizar o mesmo desenvolvimento para o integrador:

$$H_{INT}(z) = \frac{U_{INT}(z)}{E_{INT}(z)} = \frac{T_s(1+z^{-1})}{2(1-z^{-1})}, \quad (3.13)$$

$$u_{INT}(k) = \frac{T_s(e_{INT}(k) + e_{INT}(k-1) - 2u_{INT}(k-1))}{2}. \quad (3.14)$$

Para o filtro MAF, foi utilizada a expressão (2.46) considerando um comprimento de janela $T_j = 0,01$. A equação a diferenças do filtro MAF é representada pela equação (2.45).

A partir das equações (3.12), (3.14) e (2.45), é possível estabelecer o modelo digital para os dois PLLs apresentados nas seções 2.9 e 3.2.

3.4.4 Testes em Estado Estacionário

São ilustradas nas Figuras 3.11, 3.12 e 3.13 as formas de ondas simuladas para o sinal de entrada v_i e para o sinal de saída v_o , para o PLL de onda quadrada e para o PLL de onda quadrada com filtro ADB. O caso ideal, no qual o sinal de entrada é uma

tensão senoidal com ângulo de fase zero, é mostrado na Figura 3.11. Como esperado, os resultados para os dois PLLs foram iguais, com erro de fase em estado estacionário zero entre ν_o e ν_i .

Na Figura 3.12 é ilustrado o efeito da injeção de um componente de terceiro harmônico com amplitude igual a $A_3 = 0,3$ em fase com a componente fundamental. Mais uma vez, os PLLs atingiram erro nulo em estado estacionário.

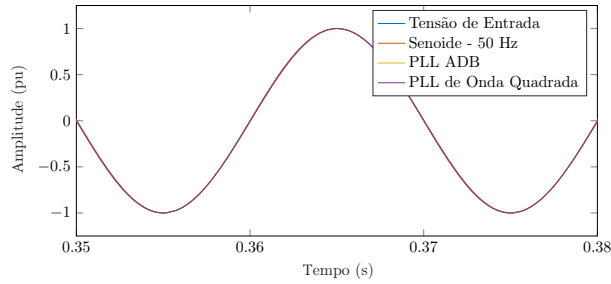


Figura 3.11 – Resultados de simulações para o caso de uma entrada senoidal sem distorções.

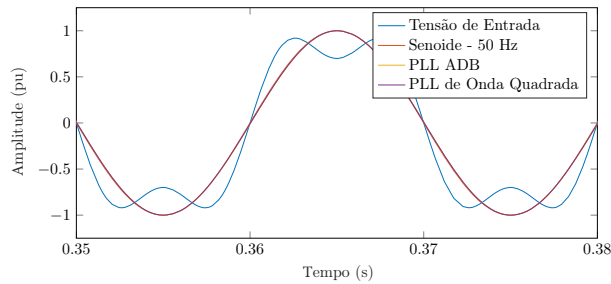


Figura 3.12 – Resultados de simulações para o caso de uma entrada senoidal com injeção de 30% da terceira harmônica.

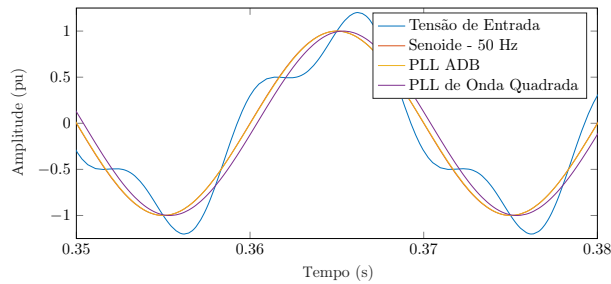


Figura 3.13 – Resultados de simulações para o caso de uma entrada senoidal com injeção de 30% da terceira harmônica defasada de 90° da componente fundamental.

Considerando que o componente de terceiro harmônico de ν_i , injetado anteriormente, esteja defasado em 90° da componente fundamental. Como é possível ver na Figura 3.13, o PLL de onda quadrada apresentou um erro de estado estacionário calculado na seção 2.9, i.e., $\phi_1 - \phi_o = -5,73^\circ$, onde o ângulo negativo significa uma tensão fundamental em atraso. Para o PLL de onda quadrada com filtro ADB, observa-se que esse problema não existiu, ou seja, o PLL atingiu erro de fase nulo em estado estacionário. Isso ocorreu porque o filtro ADB eliminou o harmônico específico sem permitir que ele fosse adicionado à saída do bloco PD.

3.4.5 Testes de Transitórios

Na Figura 3.15 são ilustrados alguns gráficos representativos descrevendo o desempenho dos PLLs das Figuras 2.14 e 3.1 ao sincronizar com uma rede elétrica monofásica de amplitude 1pu afetada por um salto de fase 90° no instante de $t = 0, 2s$.

Na Figura 3.15a é ilustrada a tensão da rede, na Figura 3.15b a saída do PLL de onda quadrada, a Figura 3.15c a saída do PLL de onda quadrada com filtro ADB e na Figura 3.15d é ilustrado o sinal de erro dos PLLs. Observa-se que os PLLs apresentaram comportamentos semelhantes porque possuem o mesmo ganho de malha fechada. No estado estacionário, a saída do bloco PD (ν_f) dos PLLs aproxima-se de zero.

É confirmado nos gráficos da Figura 3.15, que os PLLs atingem uma resposta de estado estável, com erro de fase nulo, após um tempo de estabilização próximo de 100ms para o PLL de onda quadrada e 110ms para o mesmo PLL com filtro ADB. Verifica-se que após a ocorrência do distúrbio na fase, o PLL de onda quadrada demorou aproximadamente 220ms para bloquear a nova fase e o PLL com filtro ADB demorou aproximadamente 230ms. Deve-se notar que a duração da resposta transitória do PLL de onda quadrada com filtro ADB envolve um atraso total do filtro ADB dado por $T/2 = 10ms$, onde T é o período do harmônico fundamental do sinal, juntamente com o tempo adicional necessário para a estrutura do PLL de onda quadrada estimar a fase da rede que é aproximadamente 100ms.

Inserindo o filtro ADB na estrutura do PLL de onda quadrada, ocorre um atraso de fase/tempo indesejável de $\phi_k + \phi_{add} = 180^\circ$, ou $t_k + t_{add} = T/2$ no período do harmônico fundamental do sinal, que geralmente degrada o desempenho da estrutura do PLL de onda quadrada.

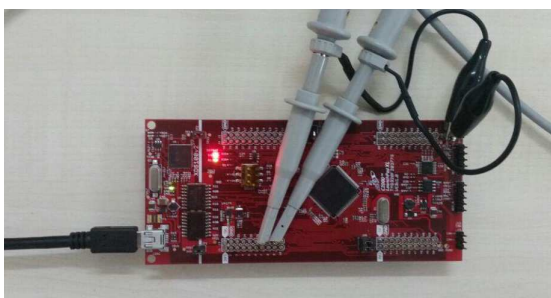
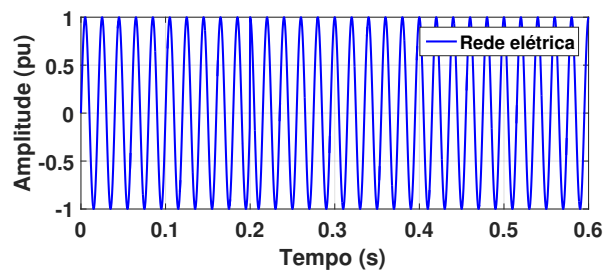
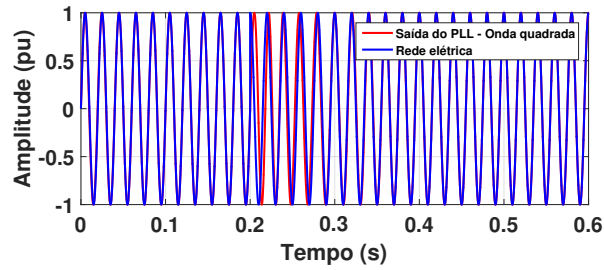


Figura 3.14 – Foto da placa utilizada nos testes experimentais.

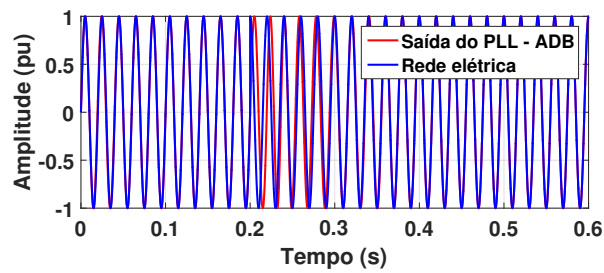
De modo a avaliar o desempenho dos PLLs à variação de amplitude no sinal da rede, é aplicado no intervalo de $t = 0, 2s$ um afundamento de tensão de 30%. Na Figura 3.16 é ilustrado a resposta dos PLLs para esse tipo de distúrbio, onde pode ser vista a baixa sensibilidade dos PLLs às variações de amplitude do sinal de entrada.



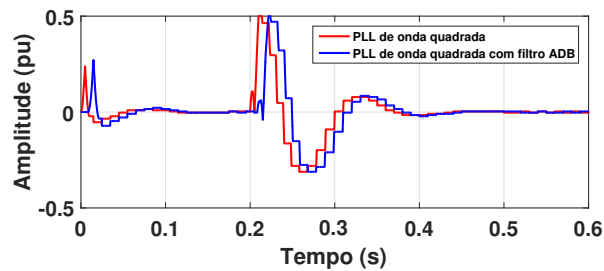
a



b



c



d

Figura 3.15 – Resultados das simulações para uma rede com distorções. (a) Tensão de entrada com um degrau de fase de 90° . (b) Sinal de saída do PLL de onda quadrada. (c) Sinal de saída do PLL de onda quadrada com filtro ADB. (d) Sinal de erro dos PLLs.

3.5 Resultados Experimentais

Os resultados dos testes experimentais apresentados neste trabalho foram obtidos utilizando uma placa de processamento de sinal digital vista na Figura 3.14. Um processador de sinal digital DSP TMS320F28377S - 200MHz fabricado pela *Texas Instruments*

foi empregado para executar os dois algoritmos de PLLs e para gerar os sinais de entrada.

Para validar a viabilidade dos algoritmos de sincronização apresentados, foram realizados testes experimentais considerando um cenário em que a rede elétrica contém harmônicos. Foi Utilizada uma frequência de amostragem de 25kHz (período de $40\mu\text{s}$). Os tempos de conversão do sistema analógico para digital e digital para analógico ($0,3\mu\text{s}$) são desprezíveis quando comparados ao período de amostragem. Para o processo de discretização, foi utilizada a aproximação de Tustin, fornecendo equivalência de fase para representações contínuas e discretas. Todos os algoritmos foram codificados em aritmética de ponto flutuante. Para os experimentos foram utilizados os mesmos parâmetros das simulações.

3.5.1 Tensão da Rede com Presença de Componentes Harmônicas

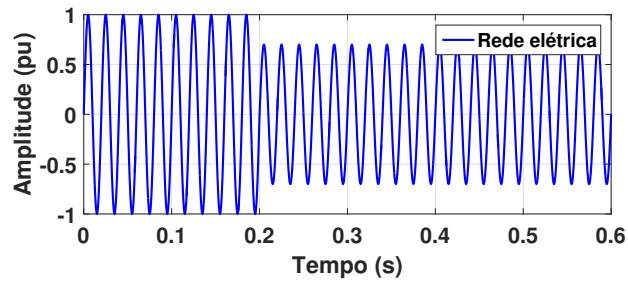
É ilustrado na Figura 3.17 a saída do PLL de onda quadrada e a tensão de entrada v_i com a presença do terceiro harmônico com uma amplitude de 0,3pu e defasado 90° da componente fundamental. A Figura 3.18 compara a saída do PLL de onda quadrada com uma função senoidal de 50Hz. Observa-se um erro de fase em estado estacionário de -5° , que é próximo ao erro de fase obtido na simulação e discutido na seção 2.9. Isso confirma a ineficiência do PLL de onda quadrada para uma rede com essas características. Na Figura 3.19 é ilustrado o sinal de entrada (amarelo) e a saída do filtro ADB (verde). A partir da Figura 3.19, observa-se que após a resposta transitória de menos de um período do sinal da rede, a componente fundamental passou pelo filtro ADB modificado sem qualquer distorção. Na Figura 3.20 é comparado a saída do PLL com uma função senoidal de 50Hz. Para este caso, verificou que o PLL atingiu erro nulo no estado estacionário, conforme obtido na simulação.

3.6 Conclusões Parciais

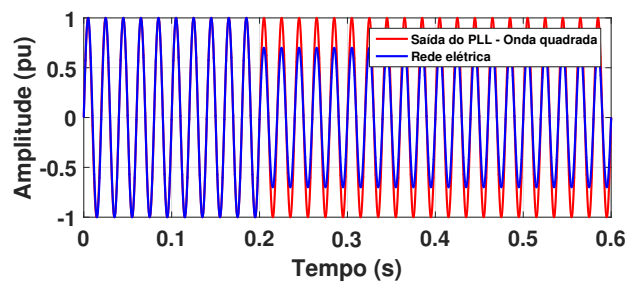
Neste capítulo, foi mostrado que o efeito indesejado de perturbações harmônicas no PLL de onda quadrada pode ser eliminado (obtendo erro de fase nulo). Por outro lado, a correção deste efeito introduz um atraso, proporcionado pelo filtro ADB, de $T/2 = 10\text{ms}$, no tempo de bloqueio do PLL, e esse é o preço que deve ser pago para eliminar o erro de fase em estado estacionário causado por presença de harmônicos no sinal da rede. No entanto, comparando com estruturas de PLLs que usam algoritmos de detecção de cruzamento por zero (ZCD), eliminação seletiva de harmônicos (SHE) ou estruturas ANF para eliminação de harmônicos de ordem alta, a estrutura de PLL com filtro ADB apresenta desempenho comparável em termos de tempo total requerido para estimação de fase, frequência e amplitude da tensão da rede.

Os PLLs foram simulados e implementados em um DSP para gerar resultados

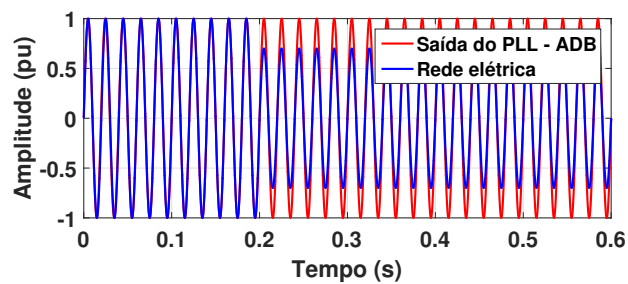
experimentais que foram comparados. Testes em estado estacionário e estado transitório para tensões da rede com distorções por presença de harmônicos, afundamentos de tensão e saltos de fase foram realizados para validar o algoritmo. Além disso, é mostrado por meio de simulações e resultados experimentais que o filtro MAF de janela fixa implementado nos PLLs é robusto para falhas de rede, incluindo quedas de tensão e saltos de fase.



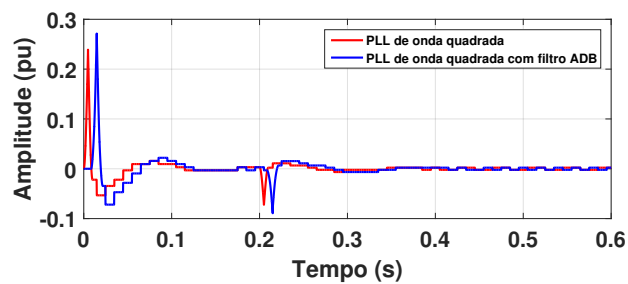
a



b



c



d

Figura 3.16 – Resultados das simulações para uma rede com afundamento de 30% na tensão. (a) Tensão de entrada com um afundamento de 30%. (b) Sinal de saída do PLL de onda quadrada. (c) Sinal de saída do PLL de onda quadrada com filtro ADB. (d) Sinal de erro dos PLLs.

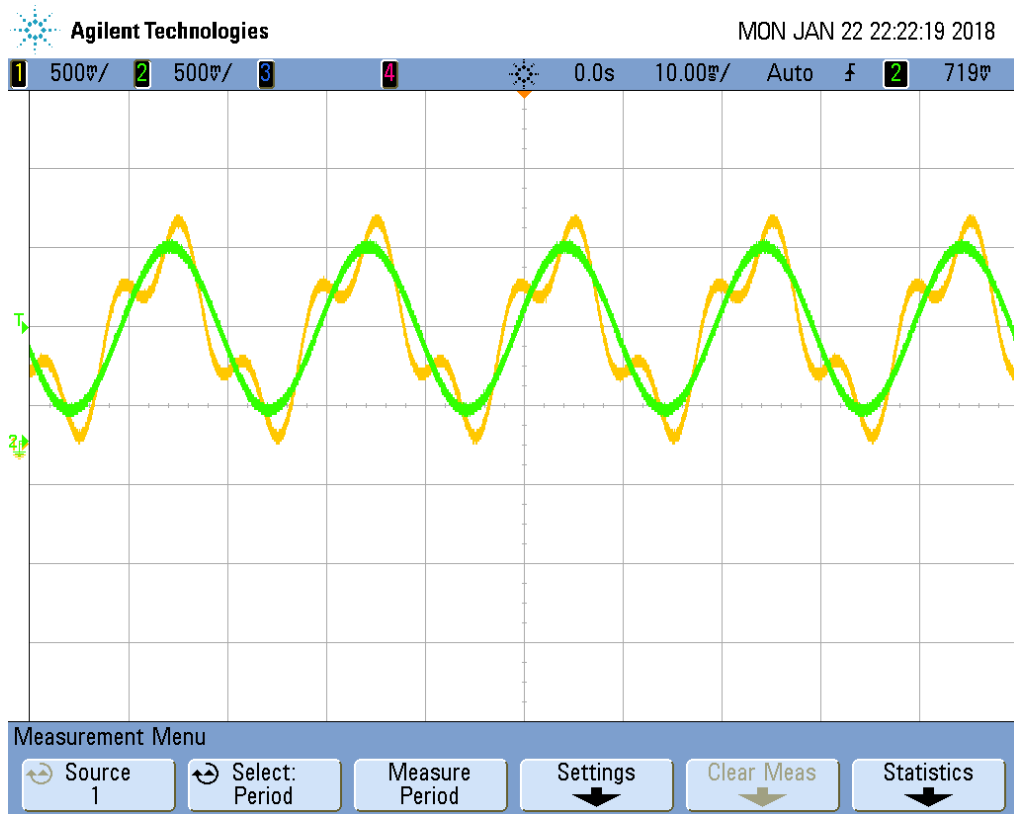


Figura 3.17 – Resultados experimentais do PLL de onda quadrada. Tensão de entrada (amarelo) e saída do PLL de onda quadrada (verde).

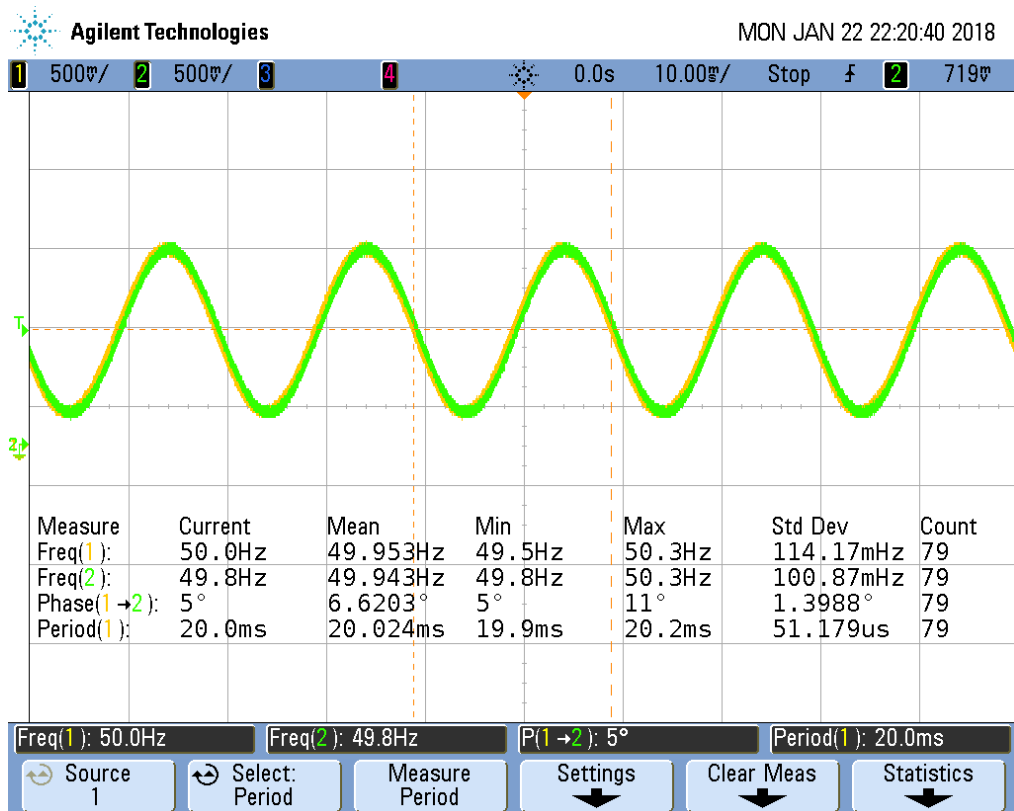


Figura 3.18 – Resultados experimentais do PLL de onda quadrada. Referência senoidal de 50Hz (amarelo) e saída do PLL de onda quadrada (verde).

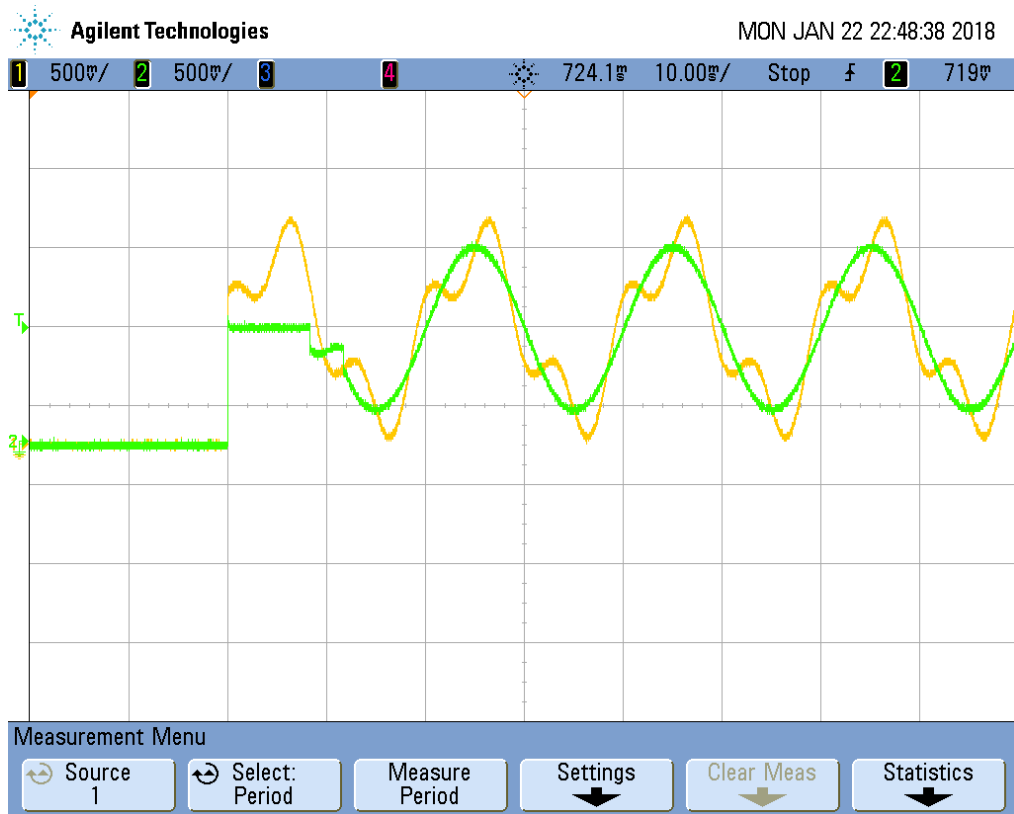


Figura 3.19 – Resultados experimentais do PLL de onda quadrada com filtro ADB. Sinal de entrada (amarelo) e saída do filtro ADB (verde).

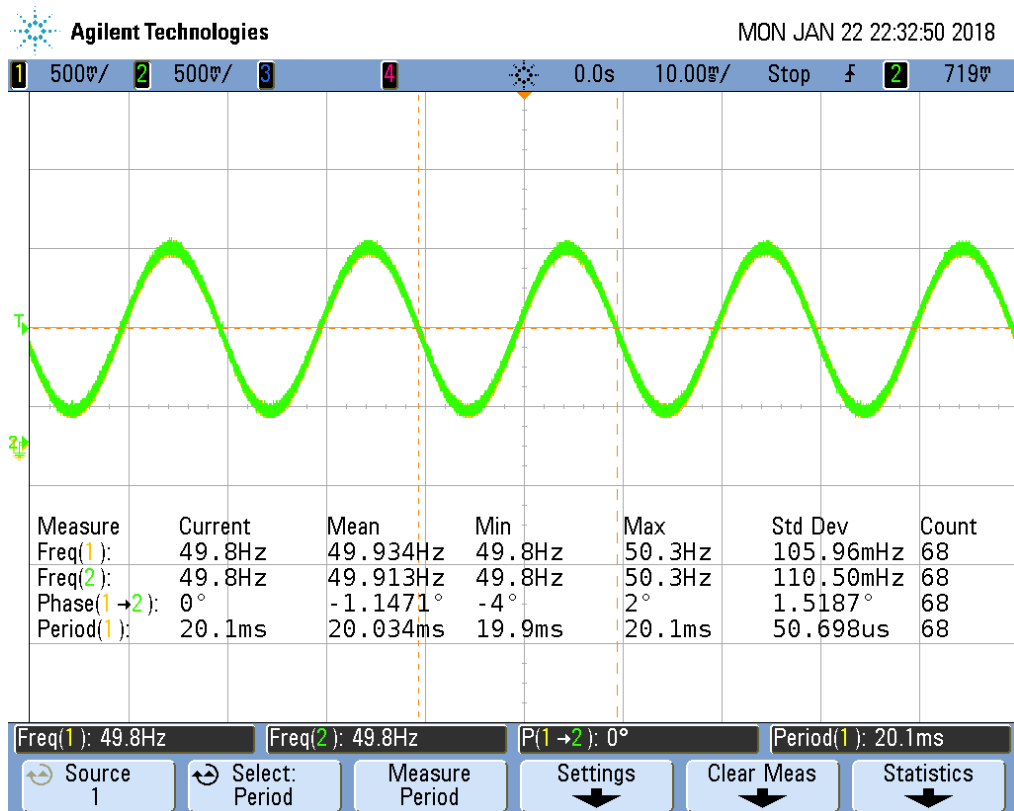


Figura 3.20 – Resultados experimentais do PLL de onda quadrada com filtro ADB. Sinal de saída do PLL de onda quadrada com filtro ADB (verde) e referência senoidal de 50Hz (amarelo).

4 Utilização do Controlador Proporcional Ressonante em Algoritmo Phase Locked Loop

4.1 Introdução

Neste capítulo, é apresentado um estudo teórico e experimental da estrutura de PLL clássica. Neste estudo, é comparada a versão convencional do PLL clássico, que utiliza o controlador PI, e uma versão proposta em que o controlador PI é substituído pelo controlador PR ideal. Nas análises, o tempo de estabilização, a rejeição harmônica, o sinal de erro e o overshoot de frequência são usadas como figuras de mérito. Um modelo de projeto para o PLL com controlador PR também é realizado. Simulações e experimentos são realizados sob diferentes condições de distorções na rede elétrica para verificar o desempenho do PLL.

4.2 Controlador Proporcional Ressonante

O controlador PR é definido como [18]:

$$G_{PR}(s) = K_p + K_i \frac{s}{s^2 + \omega^2} \quad (4.1)$$

onde ω é a frequência fundamental do sistema em rad/s, K_p é o ganho proporcional e K_i é o ganho integral. O diagrama de Bode do controlador PR é ilustrado na Figura 4.1 para $K_p = 1$, $\omega = 2\pi 60 \text{ rad/s}$ e $K_i = 100$.

Observa-se na Figura 4.1 que o controlador possui um alto ganho em uma banda de frequência estreita centrada em torno da frequência de ressonância, e que não há ganhos em outras frequências. A largura da banda de frequência depende da constante de tempo integral K_i . Um K_i baixo leva a uma banda muito estreita, enquanto um alto K_i leva a uma banda mais larga. Observa-se também que o integrador do controlador PR integra apenas frequências muito fechadas na frequência de ressonância e não apresentará erro estacionário ou mudança de fase [18].

Uma das vantagens de usar o controlador PR é fornecer a compensação harmônica seletiva, que pode ser feita usando uma combinação de vários controladores ressonantes. A dinâmica não é afetada pelo uso de vários controladores ressonantes porque eles são usados perto da frequência de ressonância. A compensação harmônica seletiva é dada por

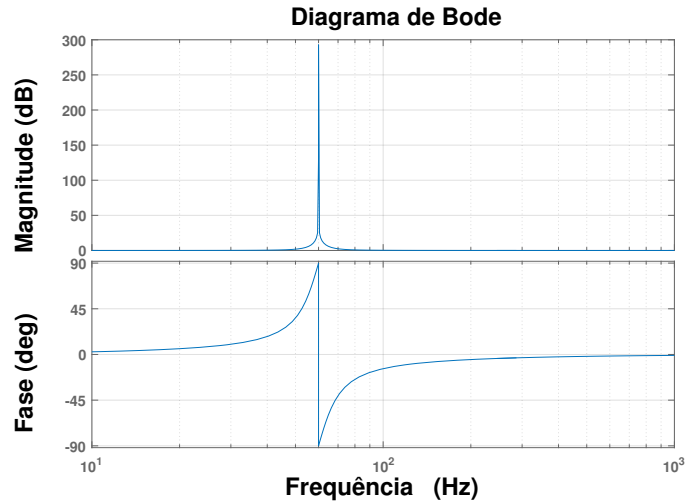


Figura 4.1 – Diagrama de Bode do controlador PR.

$$G_{PR}(s) = K_p + \sum_{h=3,5,7\dots} \frac{K_{ih}s}{s^2 + (h\omega)^2} \quad (4.2)$$

onde h é a ordem da harmônica compensada.

4.3 Projeto dos Ganhos para o Controlador Proporcional Ressonante

A metodologia aplicada para determinar os ganhos do controlador PR é baseada na utilização do polinômio de Naslin conforme descrito em [48–51]. A partir da função de transferência em malha aberta do sistema controlado, a forma canônica da equação característica pode ser escrita como:

$$P(s) = a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0. \quad (4.3)$$

De acordo com [48], os coeficientes deste polinômio, que contêm as constantes do controlador, são usados para definir a constante de tempo global $\tau = \frac{a_1}{a_0}$ e as relações de característica: $\alpha_i = \frac{a_i^2}{a_{i-1} \cdot a_{i+1}}$, $\forall 0 < i < n-1$. As razões α_i e os coeficientes do polinômio característico são calculados tendo em conta o desempenho dinâmico requerido.

Considerando, por exemplo, um polinômio característico de segunda ordem como referência, a fórmula para a relação característica é $\alpha = 4\xi^2$, onde ξ é o fator de amortecimento [48]. Como exemplo, um fator de amortecimento $\xi = 0,7$ fornece uma razão $\alpha \cong 2$.

Para projetar o controlador PR, foram determinadas inicialmente as funções de transferência de malha aberta e de malha fechada do modelo linearizado de pequenos

sinais (Figura 2.3 considerando $A_1 = 1$),

$$H_{ma}(s) = \left(K_p + \frac{sK_i}{s^2 + \omega^2} \right) \left(\frac{1}{s} \right), \quad (4.4)$$

$$H_{mf}(s) = \frac{K_p s^2 + K_i s + K_p \omega^2}{s^3 + K_p s^2 + (K_i + \omega^2)s + K_p \omega^2}. \quad (4.5)$$

Para o cálculo dos ganhos do controlador PR, pode-se comparar a função de transferência de malha fechada (4.5) com o polinômio de Naslin de terceira ordem.

$$P_{Naslin}(s) = a_o \left(1 + s\tau + s^2 \frac{\tau^2}{\alpha} + s^3 \frac{\tau^3}{\alpha^3} \right). \quad (4.6)$$

Comparando as equações (4.5) e (4.6), os ganhos K_p e K_i para o controlador PR são descritos como (maiores detalhes do desenvolvimento algébrico encontra-se no Apêndice A):

$$\tau = \frac{\sqrt{\alpha}}{\omega}, \quad (4.7)$$

$$K_p = \omega \frac{\alpha^2}{\sqrt{\alpha}}, \quad (4.8)$$

$$K_i = \omega^2(\alpha^2 - 1). \quad (4.9)$$

4.4 Resultados de Simulações

Nesta seção, o desempenho do controlador PR como *loop filter* do PLL clássico é avaliado através de simulações. Na Figura 4.2 é ilustrado o PLL clássico com controlador PR implementado nas simulações [40]. Observa-se da Figura 4.2 a inclusão do filtro MAF com comprimento de janela T_j para eliminar o termo oscilante múltiplo da frequência fundamental ω_1 . De acordo com (2.3), o termo oscilante gerado pelo multiplicador no bloco PD (ν_f) é duas vezes a frequência fundamental ($2\omega_1$), logo um MAF com comprimento de janela $T/2$ pode ser usado para filtrar o termo indesejado.

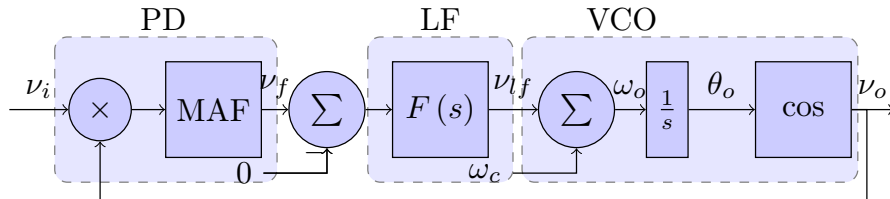


Figura 4.2 – Diagrama de blocos básico do PLL clássico com filtro MAF.

A frequência do harmônico fundamental utilizada para o sinal de entrada (rede elétrica) é de 50Hz. Para discretizar o sistema contínuo, o método de Tustin foi utilizado

mais uma vez. O valor da tensão da rede elétrica monofásica considerada nas simulações é de 1pu. As principais especificações de desempenho requeridas para os sistemas foram apresentadas na seção 3.4. Logo, os ganhos do controlador PI foram projetados para: (1) verificar a melhor velocidade de travamento para o PLL clássico utilizando o modelo de pequenos sinais. (2) observar o comportamento do PLL para um tempo de estabelecimento longo. Os valores dos ganhos do controlador PI foram calculados de acordo com as equações (2.22) e (2.23) considerando dois tempos de estabelecimento ($t_s = 50\text{ms}$ e $t_s = 500\text{ms}$) e um fator de amortecimento de $\xi = 0,707$. Para o cálculo dos ganhos do controlador PR foram utilizadas as equações (4.8) e (4.9) considerando $\alpha = 1,000001$. Os projetos para o controlador PI e para o controlador PR, têm como objetivo atender as especificações requeridas.

4.4.1 Análise de Estabilidade e Resposta Dinâmica

Os diagramas de Bode (resposta em frequência), o lugar das raízes e a resposta ao degrau foram desenvolvidos com o propósito de analisar a estabilidade e a dinâmica do PLL clássico utilizando o controlador PI e o controlador proposto PR. Pode-se observar o comportamento do sistema utilizando o controlador PI nas Figuras 4.3, 4.5 e 4.7, para $t_s = 50\text{ms}$ e $\xi = 0,707$, e nas Figuras 4.4, 4.6 e 4.8, para $t_s = 500\text{ms}$ e $\xi = 0,707$.

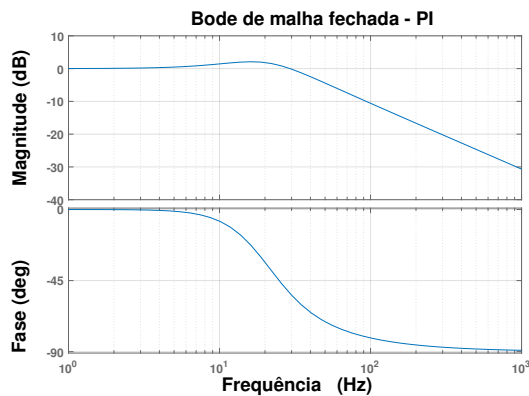


Figura 4.3 – Diagrama de Bode do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$.

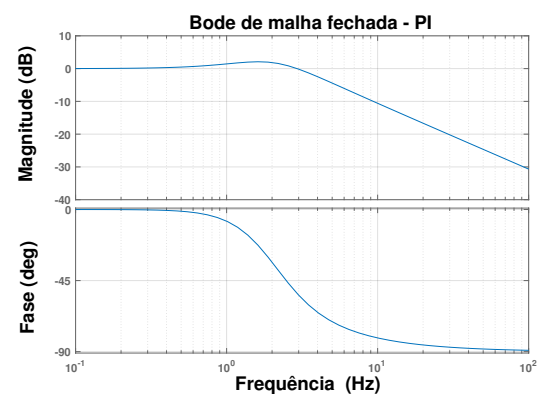


Figura 4.4 – Diagrama de Bode dos sistemas em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$.

Nas Figuras 4.3 e 4.4, vê-se a característica de filtragem do sistema em seu diagrama de Bode em malha fechada, onde está mostrada a atenuação para a frequência de segundo harmônico. Observa-se, uma boa atenuação para essa frequência, principalmente na Figura 4.4, o que mostra uma boa capacidade de filtragem para esse caso. Nas Figuras 4.5 e 4.6, tem-se o lugar das raízes para o sistema, onde é verificado a alocação dos zeros e polos próximos à origem. Além disso, nota-se a estabilidade do sistema pelo fato de não haver raízes no semiplano direito do gráfico. É observado que a variação do parâmetro t_s não altera de maneira significativa a forma de alocação, mas somente o valor dos polos e zeros.

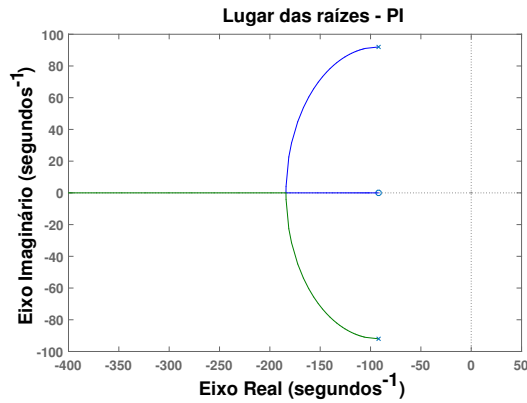


Figura 4.5 – Lugar das Raízes do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$.

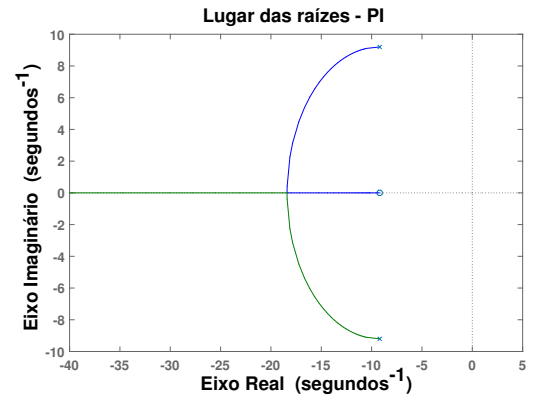


Figura 4.6 – Lugar das Raízes do sistema em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$.

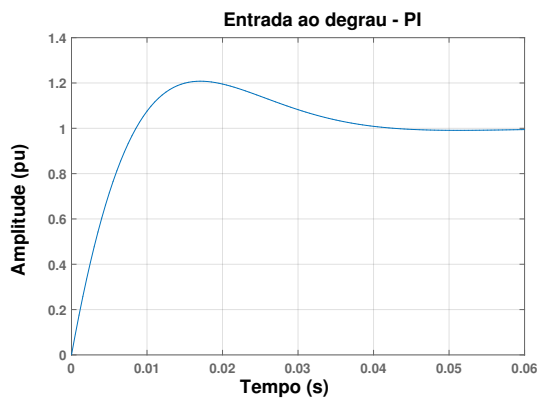


Figura 4.7 – Resposta ao degrau do sistema em malha fechada pelo método canônico com $t_s = 50\text{ms}$ e $\xi = 0,707$.

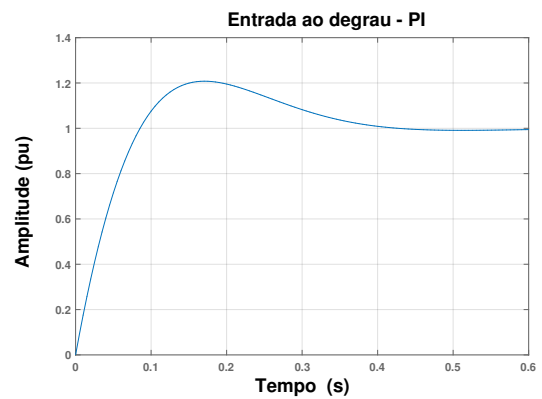


Figura 4.8 – Resposta ao degrau do sistema em malha fechada pelo método canônico com $t_s = 500\text{ms}$ e $\xi = 0,707$.

Nas Figuras 4.7 e 4.8, nota-se a presença de um overshoot e que não há erro em estado estacionário. Observa-se também, que a resposta do sistema é mais lenta na Figura 4.8.

Nas Figuras 4.9, 4.10 e 4.11 é ilustrado o comportamento do sistema utilizando um controlador PR. Na Figura 4.9, observa-se a característica de filtragem do sistema em malha fechada, onde está mostrada a atenuação para a frequência de segundo harmônico. Para este caso, é observada uma atenuação próxima de -8dB . Na Figura 4.10, tem-se o lugar das raízes para o sistema, onde percebe-se mais uma vez, a alocação de zeros e polos próximos à origem e que o sistema é estável pelo fato de não haver raízes no semiplano direito do gráfico. Na Figura 4.11, é verificado que não há overshoot, a resposta do sistema é rápida e não há erro de estado estacionário.

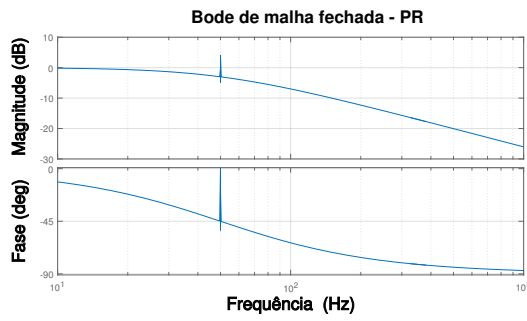


Figura 4.9 – Diagrama de Bode do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$.

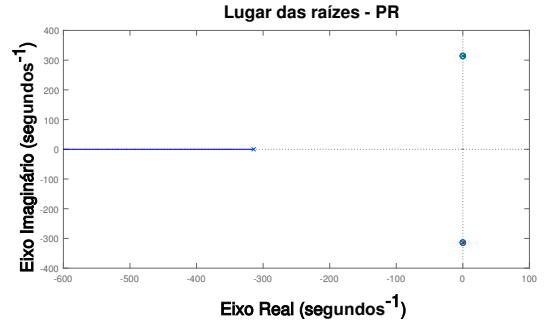


Figura 4.10 – Lugar das raízes do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$.

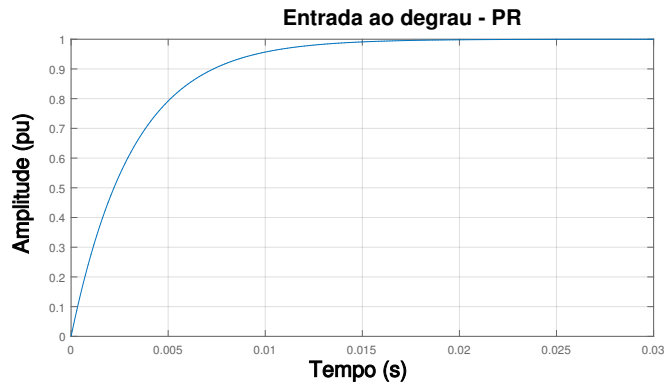


Figura 4.11 – Resposta ao degrau do sistema em malha fechada pelo método de Naslin polinomial com $\alpha = 1,000001$.

4.4.2 Discretização

Para a modelagem discreta do PLL clássico utilizando os controladores PI e PR, serão utilizados os seguintes parâmetros: mapeamento com aproximação de Tustin e frequência de amostragem $f_s = 25\text{kHz}$. Será realizado a discretização individual de cada um dos componentes da Figura 4.2, para logo após, implementar a sua malha.

A função de transferência do controlador PR discretizada é representada por:

$$G_{PR}(z) = \frac{A_1 - A_2 z^{-1} + A_3 z^{-2}}{A_4 - A_5 z^{-1} + A_6 z^{-2}}, \quad (4.10)$$

em que:

$$A_1 = 4K_p + 2K_i T_s + K_p \omega^2 T_s^2, \quad (4.11)$$

$$A_2 = 2K_p \omega^2 T_s^2 - 8K_p, \quad (4.12)$$

$$A_3 = 4K_p + K_p \omega^2 T_s^2 - 2K_i T_s, \quad (4.13)$$

$$A_4 = 4 + \omega^2 T_s^2, \quad (4.14)$$

$$A_5 = 2\omega^2 T_s^2 - 8, \quad (4.15)$$

$$A_6 = 4 + \omega^2 T_s^2. \quad (4.16)$$

Aplicando a transformada Z inversa na equação (4.10), obtém-se:

$$u_{PR}(k) = \frac{A_1}{A_4} e_{PR}(k) + \frac{A_2}{A_4} e_{PR}(k-1) + \frac{A_3}{A_4} e_{PR}(k-2) - \frac{A_5}{A_4} u_{PR}(k-1) - \frac{A_6}{A_4} u_{PR}(k-2). \quad (4.17)$$

As funções de transferência discretizada do controlador PI, integrador e filtro MAF encontram-se nas seções 3.4.3 e 2.9.1. A partir das equações (4.17), (3.12), (3.14) e (2.45), é possível estabelecer o modelo digital para o PLL clássico.

4.4.3 Testes em Estado Estacionário e Transitório

Para verificar o desempenho dos controladores PI e PR no PLL clássico, faz-se necessária a análise de desempenho dos algoritmos frente a diferentes condições de rede. Os dois sistemas foram submetidos aos seguintes testes: (1) salto de fase, (2) afundamentos de tensão, e (3) presença de harmônicos. Todas as simulações têm um intervalo de tempo de 3s, o que é comprovado o suficiente para observar todas as características desejadas.

4.4.3.1 Salto de Fase

Na Figura 4.12 é ilustrado o desempenho do PLL clássico, utilizando os controladores PI e PR, ao sincronizar com uma rede monofásica de 1pu afetada por um salto no ângulo de fase de 90° no instante $t = 0,6s$. Neste caso, o tempo de estabelecimento ajustado para o controlador PI é de $t_s = 50ms$ com um fator de amortecimento $\xi = 0,707$.

Na Figura 4.12a é ilustrado a saída do PLL clássico utilizando o controlador PI, na Figura 4.12b é ilustrado a saída do PLL clássico utilizando o controlador PR, na Figura 4.12c a frequência rastreada pelo PLL com controlador PI (vermelho) e a frequência estimada pelo PLL com controlador PR (azul) e por último na Figura 4.12d é ilustrado o sinal de erro do PLL com controlador PI (vermelho) e para o PLL com controlador PR (azul). Pode-se observar nesses gráficos que o PLL independente do controlador utilizado, obtém erro nulo em estado estacionário, além de obter a frequência com precisão. É verificado na Figura 4.12c que o PLL com controlador PR rastreia a frequência, antes do salto de fase, em aproximadamente 3 ciclos (60ms), enquanto que o PLL com controlador PI rastreia a frequência em aproximadamente 6 ciclos (120ms). Após o salto de fase, o PLL com controlador PR leva aproximadamente 4 ciclos (80ms) para rastrear a frequência

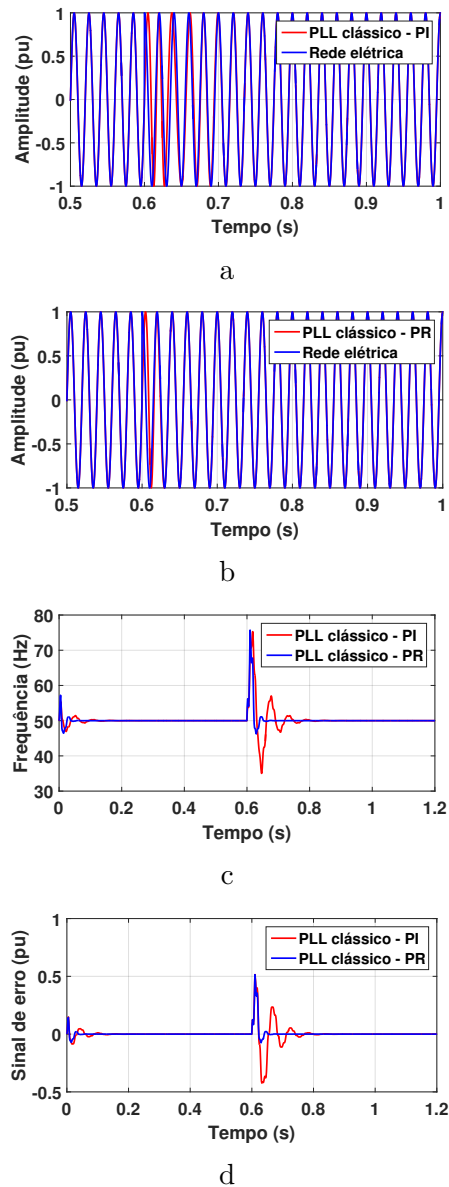


Figura 4.12 – Resultados das simulações para o PLL clássico quando a rede sofre um salto de fase. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 50$ ms. (b) Saída do PLL clássico com controlador PR. (c) Freqüência rastreada pelo PLL clássico com controlador PI e PR. (d) Sinal de erro do PLL clássico com controlador PI e PR.

novamente, e o PLL com controlador PI leva aproximadamente 10 ciclos (200ms). É observado que a resposta do PLL com controlador PR é precisa e mais rápida do que a resposta do PLL com controlador PI. A partir dos resultados, algumas observações podem ser feitas do PLL com controlador PR: (1) a freqüência é estimada com precisão. (2) a resposta transitória da freqüência é aproximadamente 3 ciclos antes de ocorrer o salto de fase, e dura aproximadamente 4 ciclos após ocorrer o salto fase. (3) o transitório na freqüência atinge um valor de pico cerca de 57Hz antes do salto de fase, e 75,5Hz após o salto de fase. (4) o transitório no sinal de erro atinge um máximo de 0,15pu antes do distúrbio e de 0,52pu após o distúrbio.

Na Figura 4.13 é ilustrado o desempenho do PLL clássico com controlador PI e PR. Para este caso, o tempo de estabelecimento ajustado para o controlador PI é de $t_s = 500\text{ms}$ com um fator de amortecimento $\xi = 0,707$.

De acordo com os resultados da Figura 4.13, quanto maior o tempo de estabelecimento utilizado para projetar os ganhos do controlador PI, menor será o valor de pico da frequência durante o transitório. No entanto, o tempo de rastreamento da frequência torna-se mais lento, principalmente após o degrau de fase. O PLL com controlador PI atinge uma resposta de estado estável, com erro nulo, após um tempo de estabilização de aproximadamente 22,5 ciclos ($t_s = 450\text{ms}$) antes do degrau de fase, e de aproximadamente 60 ciclos (1200ms) após o degrau de fase. Observa-se um desempenho bastante inferior no tempo de detecção de fase e frequência se comparado com o PLL utilizando o controlador PR.

4.4.3.2 Afundamento de Tensão

Na Figura 4.14 é ilustrado o desempenho do PLL clássico, utilizando os controladores PI e PR, ao sincronizar com uma rede monofásica de 1pu afetada por um afundamento de 30% na tensão no instante $t = 0,6\text{s}$. Neste caso, o tempo de estabelecimento ajustado para o controlador PI é de $t_s = 50\text{ms}$ com um fator de amortecimento $\xi = 0,707$.

A partir dos resultados, algumas observações sobre o PLL com controlador PR são feitas: (1) a queda de tensão é estimada com precisão. (2) a resposta transitória da frequência após a queda de tensão foi de aproximadamente 2,5 ciclos (50ms), enquanto que para o controlador PI durou aproximadamente 10 ciclos (200ms). (3) a resposta transitória da frequência atinge um valor de pico máximo cerca de 50,8Hz após o afundamento de tensão. (4) a resposta transitória do sinal de erro atinge um valor de pico máximo cerca de 0,02pu após o afundamento de tensão.

Na Figura 4.15 é ilustrado, mais uma vez, o desempenho do PLL clássico com controlador PI e PR. Para este caso, o tempo de estabelecimento ajustado para o controlador PI é de $t_s = 500\text{ms}$ com um fator de amortecimento $\xi = 0,707$.

A partir dos resultados da Figura 4.15 verifica-se, mais uma vez, que o PLL com controlador PI projetado para $t_s = 500\text{ms}$, obtém picos de frequência menores durante o transitório. No entanto, o tempo de rastreamento da frequência e fase torna-se muito lento comparado com a versão com o controlador PR.

4.4.3.3 Presença de Harmônicos

Para a execução da simulação da rede elétrica com presença de componentes harmônicas, o componente de terceiro harmônico com amplitude de 0,05pu foi adicionado ao sinal de entrada do PLL clássico, no instante $t = 0,6\text{s}$, totalizando assim uma

distorção harmônica individual de 5%, que é considerada pelo padrão IEEE 519-2014 o valor máximo tolerado para a tensão nominal de barramento abaixo de $1kV$. Para este caso, o controlador PI foi projetado para um tempo de estabelecimento $t_s = 50ms$.

Na Figura 4.16 são apresentados os resultados da simulação para este cenário. Os harmônicos pouco influenciaram o PLL clássico graças ao filtro MAF. É verificado que o PLL com controlador PI e PR atingem erro nulo. Mais uma vez, observa-se que o desempenho do PLL com controlador PR foi superior no quesito tempo de rastreamento para a frequência e fase do sinal de entrada.

4.4.3.4 Degrau de Frequência

De modo a avaliar a resposta transitória e a robustez à variação de frequência do PLL clássico utilizando os controladores PI e PR, é aplicado um intervalo de frequência de 50 a 50,4Hz na tensão de entrada (ν_i) no tempo de $t = 0,6s$, como mostrado na Figura 4.17a. Esse teste, está dentro dos padrões IEEE 1547 e IEC 1727 que permite variações de frequência em um sistema fotovoltaico de $\pm 1Hz$ na Europa (IEC 1727) e $\pm 0,5Hz$ na América do Norte (IEEE 1547). A tensão de entrada tem amplitude de 1pu.

Na Figura 4.17 é ilustrado o comportamento dos sistemas em estudo. Uma vez que a resposta de frequência do filtro MAF depende da frequência fundamental da rede, os termos oscilantes na saída do multiplicador não serão completamente cancelados quando operando longe da frequência nominal do filtro MAF. Eles aparecerão na saída do detector de fase (ν_f) e na saída do *loop filter* (ν_{lf}) quando a frequência de ν_i não for 50Hz. Após a resposta transitória, observa-se que a frequência rastreada pelo PLL com os controladores PI e PR é estabelecida em 50,4Hz. No entanto, a frequência rastreada é oscilatória.

Em aplicações onde esta oscilação não é aceitável, uma janela adaptativa para o MAF pode ser utilizada [22]. Entretanto, para sistemas de potência interconectados e para a geração distribuída, é permitida uma pequena variação da frequência fundamental [22]. Observa-se, que o PLL clássico com os controladores PI e PR utilizando o filtro MAF ainda garante uma atenuação boa em ν_f . De acordo com [22], sistemas de geração distribuída não podem ter reconexão se a frequência do sistema de potência estiver na faixa de 59,3 a 60,5Hz por um período de estabilização de até 5min (60Hz de frequência nominal), o mesmo raciocínio ocorre para sistemas com frequência nominal de 50Hz. Ainda de acordo com [22], para os sistemas de potência interconectados, essa variação é limitada até $\pm 1\%$ da frequência nominal. Logo, a frequência rastreada pelo PLL com os controladores PI e PR está dentro dos limites aceitáveis por norma.

4.5 Resultados Experimentais

Os resultados experimentais apresentados nesta seção, foram obtidos utilizando a placa de processamento digital ilustrada na Figura 3.14. Para validar os algoritmos de sincronização, foram realizados testes experimentais considerando dois cenários: (1) a rede elétrica sofre um salto de 90° na fase, e (2) a rede elétrica contém a presença de uma componente de terceira harmônica com amplitude de 0,3pu. A frequência de amostragem utilizada foi de 25kHz. Para o processo de discretização foi utilizada a aproximação de Tustin, garantindo equivalência de fase para representações contínuas e discretas. Os ganhos para o controlador PI foram obtidos utilizando um tempo de estabelecimento de $t_s = 50\text{ms}$ e $\xi = 0,707$, para o controlador PR os ganhos foram obtidos considerando $\alpha = 1,000001$.

É ilustrado na Figura 4.18 a saída do PLL clássico com controlador PI (sinal senoidal verde) e a tensão de entrada ν_i (sinal senoidal amarelo) com a presença do salto de fase. Já na Figura 4.19, é ilustrada a saída do PLL clássico com controlador PR (sinal senoidal verde) e a tensão de entrada ν_i (amarelo) com a presença do salto de fase. Verifica-se através dos resultados que ambos os métodos obtiveram uma resposta estável. Observa-se que o PLL com controlador PR teve boa dinâmica, alta precisão e obteve um tempo de travamento mais rápido que a versão com controlador PI, confirmando os resultados obtidos nas simulações.

Na Figura 4.20 é ilustrada a saída do PLL clássico com controlador PR e a tensão de entrada ν_i com a presença da componente de terceiro harmônico. Na Figura 4.21 é comparado a saída do PLL clássico com controlador PR (verde) com uma referência senoidal de 50Hz (amarelo). Verifica-se pelas Figuras 4.20 e 4.21 que mesmo com a componente de terceiro harmônico adicionado ao sinal de entrada, o PLL clássico com controlador PR conseguiu rastrear o ângulo de fase do harmônico fundamental com precisão. O sistema de fato trabalhou como um filtro passa-baixas havendo uma redução de harmônicos no sinal de saída em relação ao sinal de entrada. Para este caso, verifica-se que o PLL atinge erro de fase nulo em estado estacionário.

4.6 Conclusões Parciais

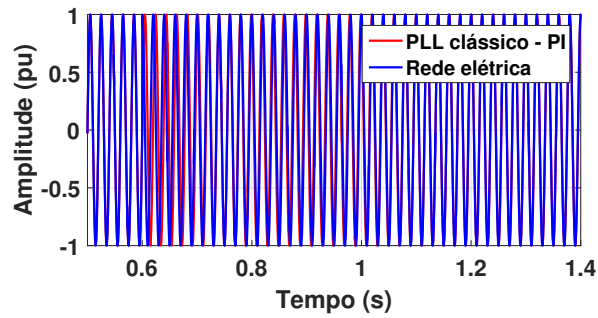
Neste capítulo, foi apresentada uma análise detalhada e comparação de desempenho da estrutura clássica de PLL utilizando o controlador PI e o controlador PR proposto. Através dos resultados apresentados, observou-se que o uso do controlador PR no *loop filter* do PLL clássico apresentou uma resposta mais rápida na detecção da fase e frequência. Simulações e resultados experimentais foram apresentados, os quais verificam o bom desempenho do sistema na presença de harmônicos, afundamentos de tensão, variação de frequência e mudanças de fase na tensão da rede.

Observa-se, que a inclusão do filtro MAF de janela fixa na estrutura clássica de PLL elimina o problema do termo oscilante (segundo harmônico) gerado pelo multiplicador no bloco PD, além de deixar a estrutura mais robusta para falhas na rede, incluindo presença de harmônicos, salto de fase, afundamentos de tensão e variação de frequência de até 0,4Hz.

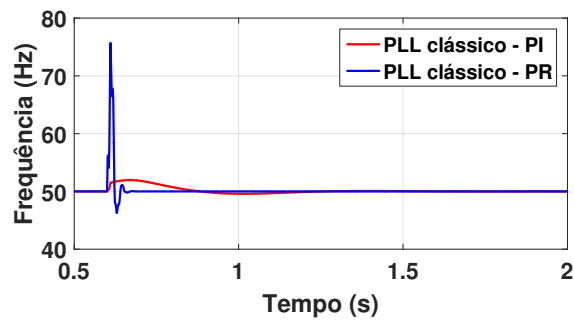
Foi constatado, através de resultados experimentais, que a metodologia de projeto para o PLL clássico utilizando o controlador PR obteve bons resultados uma vez que, os ganhos obtidos proporcionaram uma resposta estável e rápida na detecção da fase e frequência para o algoritmo de PLL em questão.

Foi verificado, que o PLL clássico utilizando o controlador PI obteve um dos melhores resultados, no quesito velocidade de resposta, quando foi projetado para $t_s = 50\text{ms}$. A medida que o tempo de estabelecimento ficava menor, por exemplo $t_s = 30\text{ms}$, a resposta do PLL piorava (figuras no Apêndice B). Para um $t_s = 500\text{ms}$, verificou que o tempo de resposta do PLL ficou muito lento, ou seja, a capacidade de filtragem do PLL é melhorada, porém a velocidade de travamento é penalizada.

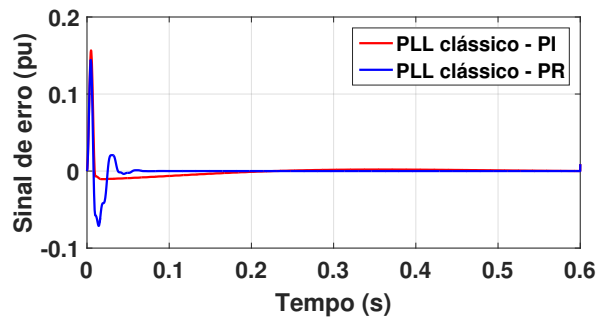
Por fim, considerando as perturbações apresentadas, verifica-se que o uso do controlador PR no *loop filter* do PLL clássico apresenta resposta rápida e boa precisão na detecção de fase e frequência do sinal de entrada, além de alta rejeição contra distorções. Assim, espera-se que o projeto do *loop filter* com controlador PR seja uma boa escolha para aplicações de PLLs.



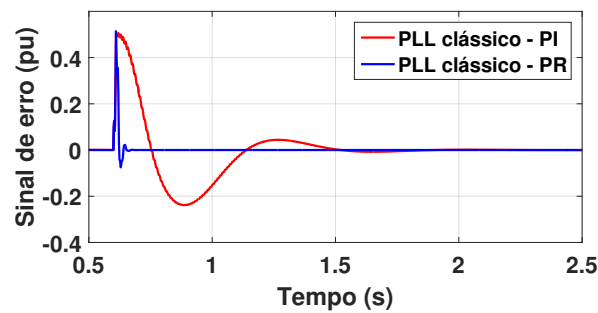
a



b

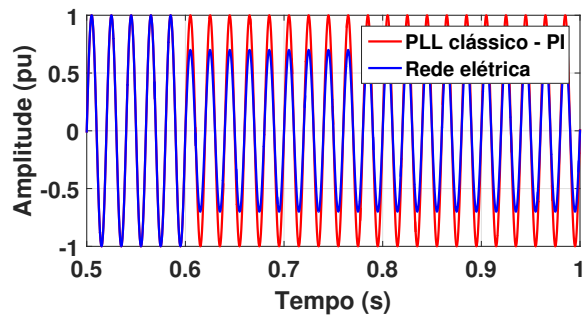


c

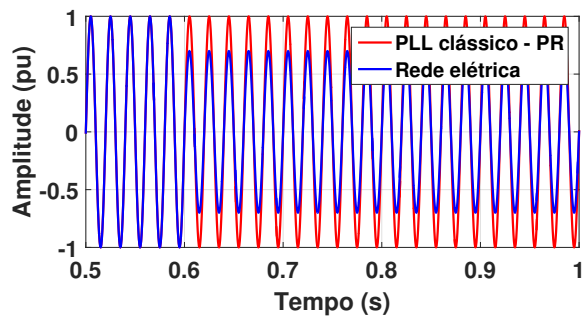


d

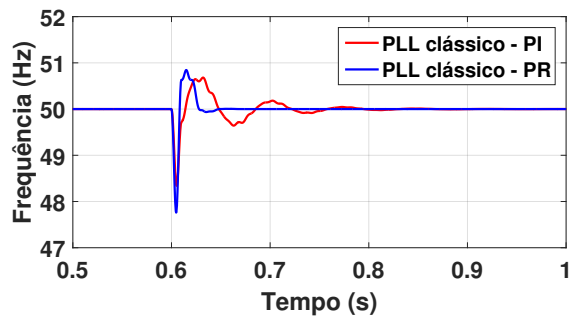
Figura 4.13 – Resultados das simulações para o PLL clássico quando a rede sofre um salto de fase. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 500$ ms. (b) Frequência rastreada pelo PLL clássico com controlador PI e PR. (c) Sinal de erro do PLL clássico, com controlador PI e PR, antes da ocorrência do salto de fase. (d) Sinal de erro do PLL clássico, com controlador PI e PR, após o salto de fase.



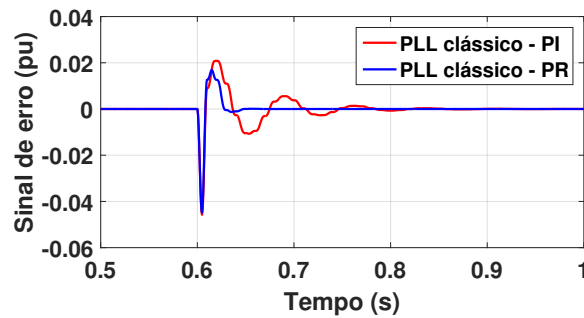
a



b

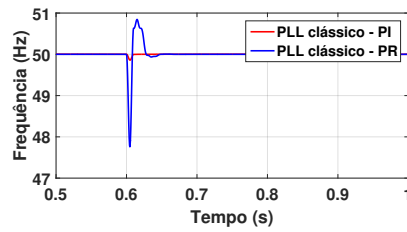


c

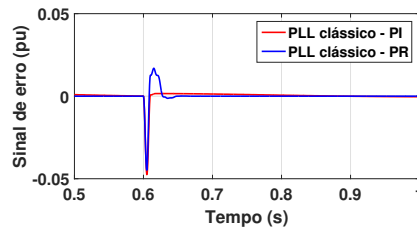


d

Figura 4.14 – Resultados das simulações para o PLL clássico quando a rede sofre um afundamento de tensão de 30%. (a) Saída do PLL clássico com controlador PI ajustado para $t_s = 50\text{ms}$. (b) Saída do PLL clássico com controlador PR. (c) Frequência rastreada pelo PLL clássico com controlador PI e PR. (d) Sinal de erro do PLL clássico com controlador PI e PR.

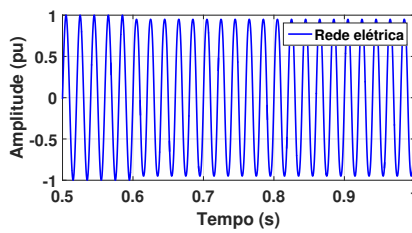


a

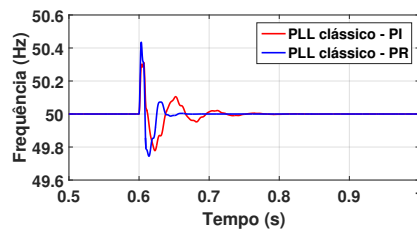


b

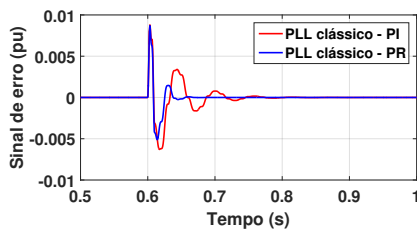
Figura 4.15 – Resultados das simulações para o PLL clássico quando a rede sofre um afundamento de tensão de 30%. (a) Freqüência rastreada pelo PLL clássico com controlador PI (projetado para $t_s = 500\text{ms}$) e PR. (b) Sinal de erro do PLL clássico com controlador PI (projetado para $t_s = 500\text{ms}$) e PR.



a

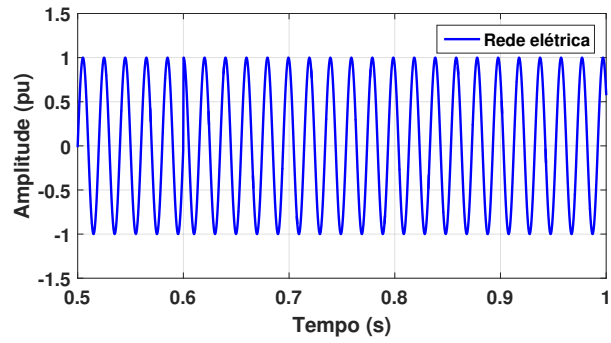


b

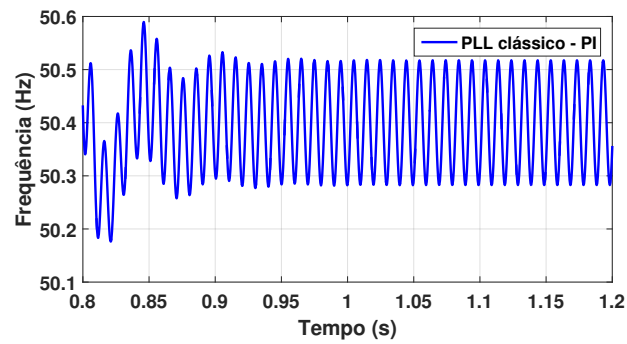


c

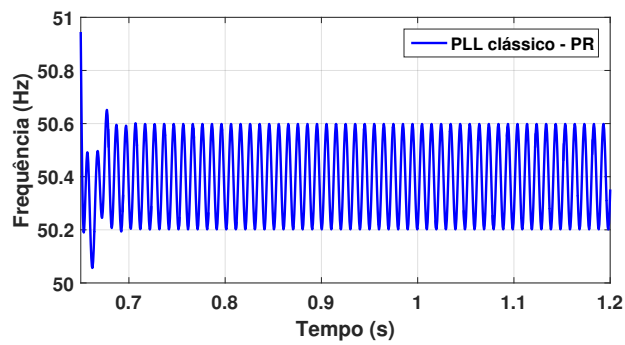
Figura 4.16 – Resultados das simulações para o PLL clássico quando a rede contém harmônicos. (a) Rede elétrica com presença da componente de terceiro harmônico. (b) Freqüência rastreada pelo PLL clássico com controlador PI e PR. (c) Sinal de erro do PLL clássico com controlador PI e PR.



a



b



c

Figura 4.17 – Resultados das simulações para o PLL clássico quando a rede contém uma variação na frequência de 50 a 50,4 Hz. (a) Sinal da rede elétrica. (b) Frequência rastreada pelo PLL clássico com controlador PI. (c) Frequência rastreada pelo PLL clássico com controlador PR.

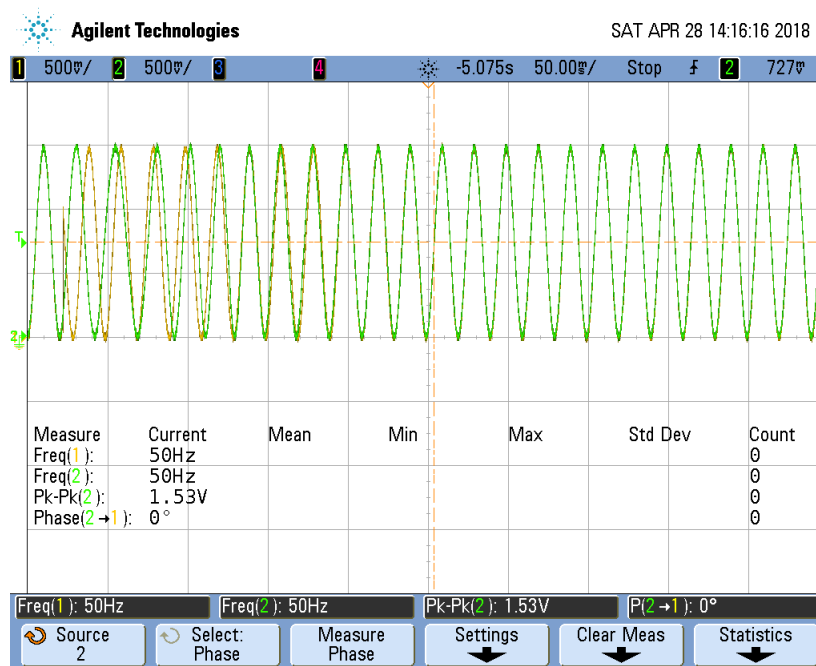


Figura 4.18 – Resultado experimental do PLL clássico com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).

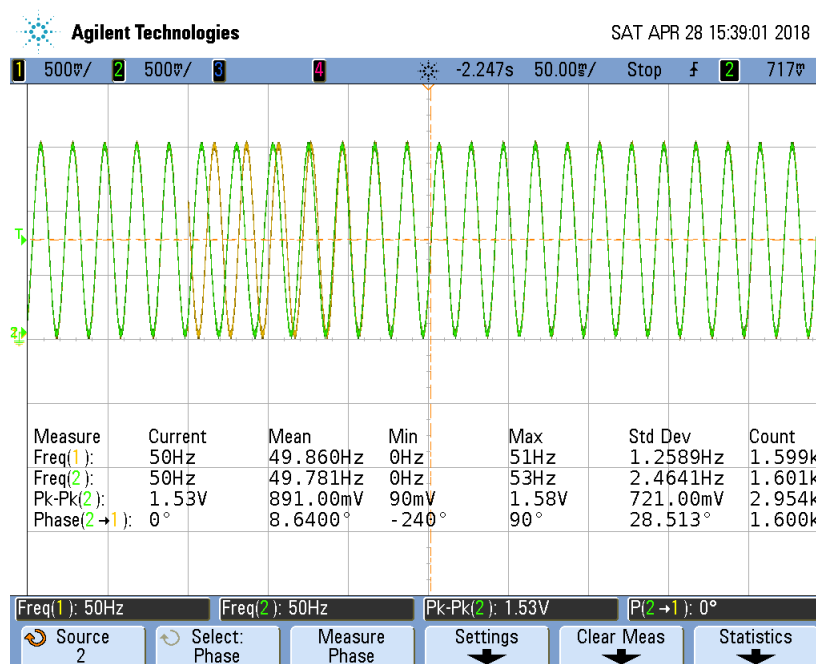


Figura 4.19 – Resultado experimental do PLL clássico com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).

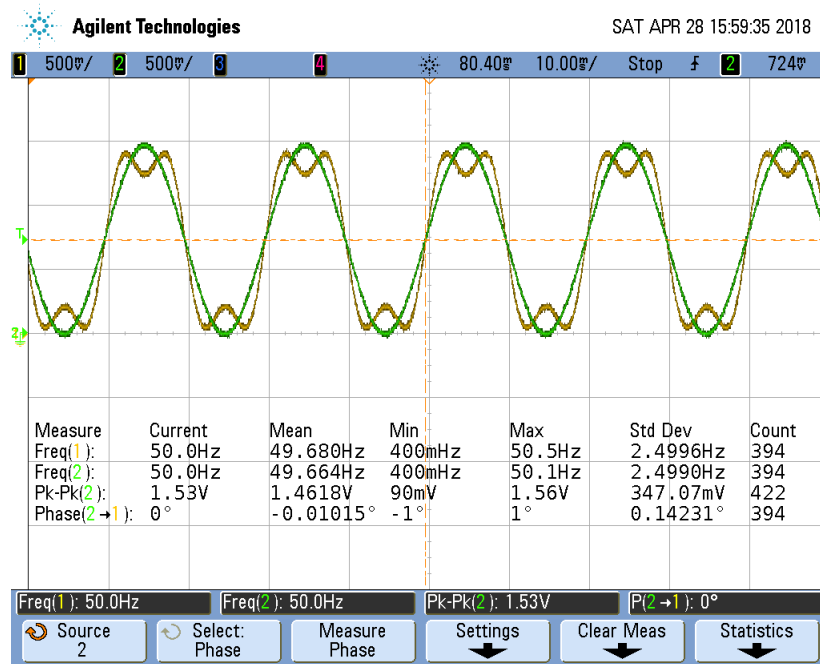


Figura 4.20 – Resultado experimental do PLL clássico com controlador PR para uma rede com a presença da componente de terceiro harmônico. Tensão de entrada (amarelo) e sinal de saída do PLL (verde).

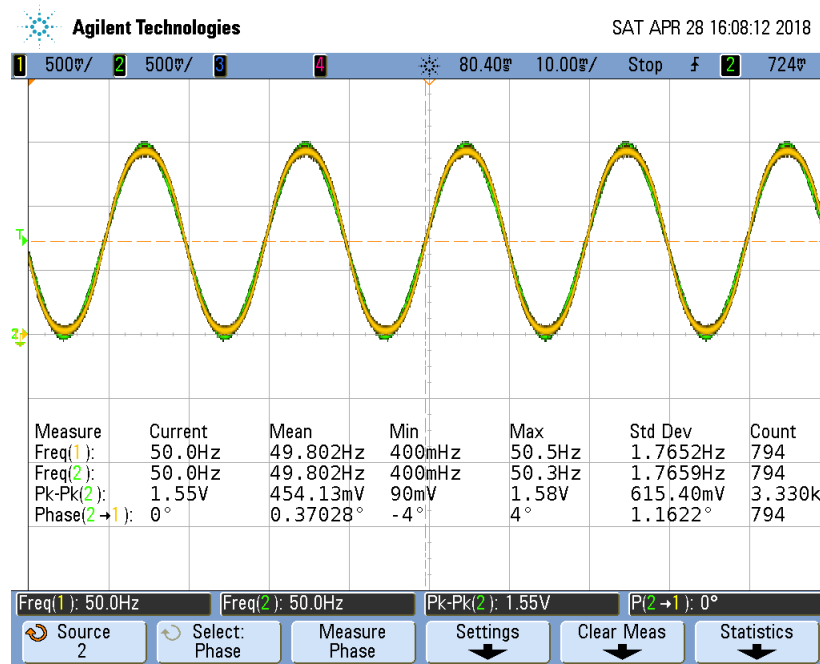


Figura 4.21 – Resultado experimental do PLL clássico com controlador PR para uma rede com a presença da componente de terceiro harmônico. Sinal de referência senoidal (amarelo) e sinal de saída do PLL (verde).

5 Análise de Desempenho de Algoritmos Phase Locked Loop

5.1 Introdução

Neste capítulo, é apresentado uma comparação através de simulações e resultados experimentais do desempenho dos algoritmos Park-PLL com controlador PI, Park-PLL com controlador PR, SOGI-PLL e EPLL. Os algoritmos são testados para diferentes condições de rede, tais como: (1) rede sem distorções, (2) salto de fase, (3) afundamentos de tensão, e (4) injeção de harmônicos. Posteriormente, com a síntese dos resultados, será analisado para quais aplicações em particular cada algoritmo pode ser mais adequadamente empregado.

5.2 Testes de Desempenho

Os desempenhos do Park-PLL com PI, Park-PLL com PR, SOGI-PLL e EPLL foram comparados por meio de simulações e experimentos. A parte experimental foi realizada usando uma placa de processamento de sinal digital vista na Figura 3.14. Um processador de sinal digital DSP *TMS320F28377S* - 200MHz fabricado pela *Texas Instruments* foi empregado para executar os algoritmos de PLLs e gerar os sinais de entrada nos testes experimentais. Deve-se ressaltar que esta análise comparativa é de cunho qualitativo e quantitativo. Os índices de desempenho como tempo de estabelecimento, valor de pico e sobressinal máximo serão observados ao longo das comparações. No entanto, estes valores não serão o único foco da análise.

Ocorre nos sistemas elétricos vários tipos de perturbações e, logo, faz-se necessária uma análise de desempenho dos algoritmos de PLLs frente a diferentes condições da rede elétrica. Os quatros sistemas foram submetidos aos seguintes testes separadamente:

- Salto de fase;
- Afundamento de tensão;
- Distorção harmônica.

Em aplicações específicas, pode acontecer de não ocorrer uma das condições de rede apresentadas acima. Assim os ganhos dos algoritmos de PLLs poderiam ser ajustados para obter respostas mais eficientes, dependendo da rede à qual estão conectados e do tipo de

perturbação que pode ocorrer. Por causa dos diferentes tipos de perturbações, os ganhos dos controladores tendem a ser menos robustos durante as simulações e experimentos, o que pode comprometer os índices de desempenho como tempo de estabelecimento e sobressinal, por exemplo. No entanto, esta limitação nos ajustes pode ser considerada como um fator de análise comparativa, uma vez que aborda condições de rede para as quais os respectivos PLLs terão sua utilização recomendada.

Os ganhos para o controlador PI foram determinados pelas expressões (2.22) e (2.23) utilizando um tempo de estabelecimento de $t_s = 50\text{ms}$ e um fator de amortecimento de $\xi = 0,707$. Já, os ganhos calculados para o controlador PR foram obtidos utilizando (4.8) e (4.9) para $\alpha = 1,0000007$. Estes ganhos, uma vez determinados, foram utilizados para todos os testes. Os projetos para os controladores PI e PR, têm como objetivo atender as especificações de desempenho apresentadas na seção 3.4. Nas simulações e experimentos foram observados parâmetros como erros na estimativa da frequência e fase do sinal da rede. Comparações com a referência senoidal também são apresentadas, para observar a sincronização dos algoritmos quanto para a observação de erros de estimação. A Tabela 5.1 apresenta os ganhos utilizados nas simulações e experimentos.

Tabela 5.1 – Ganhos utilizados nos testes.

Controlador	PI	PR
	$K_p = 184$	$K_p = 377$
	$K_i = 16928$	$K_i = 0,2$

As condições nominais de testes para as simulações e experimentos são:

- Tensão com amplitude de 1pu;
- Frequência de 60Hz;
- Fase inicial de 0rad/s.

O tempo de estabelecimento (t_s), o sobressinal máximo (M_p) e o valor de pico (V_p) são índices de desempenho que serão analisados nos testes. O tempo de estabelecimento corresponde ao tempo necessário para a resposta alcançar e permanecer dentro de uma faixa em torno de 2% do valor final. O cálculo do sobressinal máximo utilizado nesse trabalho é dado pela equação (5.1). Nesta equação, c_{\max} corresponde ao valor máximo de saída e c_{final} corresponde ao valor de saída em regime permanente.

$$M_p = \frac{c_{\max} - c_{\text{final}}}{c_{\text{final}}} \times 100\%. \quad (5.1)$$

Para os testes, o tempo de estabelecimento será analisado como o tempo em que o erro em regime permanente leva para se estabilizar em zero. Nos testes, o valor de pico

de erro será analisado. O valor de pico é definido como o valor máximo de saída durante o regime transitório.

5.2.1 Discretização

Para a modelagem discreta dos PLLs em questão, será utilizado o mapeamento com aproximação de Tustin e frequência de amostragem $f_s = 25\text{kHz}$. A discretização das funções de transferência do controlador PI, controlador PR e integrador já foram descritas nas seções anteriores. Logo, resta apenas a discretização do filtro passa baixa utilizado no Park-PLL. A função de transferência discreta do filtro é dada por:

$$H_F(z) = \frac{U_F(z)}{E_F(z)} = \frac{\omega_f T_s + (\omega_f T_s)z^{-1}}{(\omega_f T_s + 2) + (\omega_f T_s - 2)z^{-1}}. \quad (5.2)$$

Aplicando-se a transformada Z inversa em (5.2), é possível obter a equação a diferenças do filtro passa-baixa:

$$u_F(k) = \frac{\omega_f T_s e(k) + \omega_f T_s e(k-1) - (\omega_f T_s - 2)u(k-1)}{(\omega_f T_s + 2)}. \quad (5.3)$$

5.2.2 Resultados de Simulações

5.2.2.1 Testes para uma Rede sem Distorções

Para verificar o desempenho dos PLLs foram realizadas simulações onde deseja-se sincronizar o sinal de saída dos PLLs com a tensão senoidal da rede elétrica. Na Figura 5.1 é ilustrado o sinal de erro dos PLLs. Observa-se que o Park-PLL com os controladores PI e PR obtiveram o melhor tempo de estabelecimento entre os PLLs, aproximadamente 60ms. O SOGI-PLL obteve tempo de estabelecimento de aproximadamente 70ms e o EPLL obteve tempo de estabelecimento de aproximadamente 130ms. No estado estacionário verifica-se que os quatros PLLs atingem erro nulo. Na Figura 5.2 é ilustrada a frequência rastreada pelos PLLs, onde é visto que o SOGI-PLL obteve menor valor de pico durante o transitório, aproximadamente 66, 2Hz. O Park-PLL com controlador PR obteve o maior valor de pico no rastreo da frequência, sendo esse de aproximadamente 87Hz.

Na Figura 5.3 é ilustrada a comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos. Verifica-se que os PLLs atingem uma resposta de estado estável após um tempo de estabilização.

5.2.2.2 Testes de Salto de Fase

Para a execução do teste de salto de fase foi aplicado um salto de $\pi/2$ na tensão de entrada. Este salto é aplicado no instante $t = 0, 4\text{s}$. Na Figura 5.4, são apresentados os sinais de erros dos PLLs para este teste. Verifica-se, através desta figura que o Park-PLL com controlador PR obteve o menor tempo de estabelecimento, uma vez que em $t = 50\text{ms}$

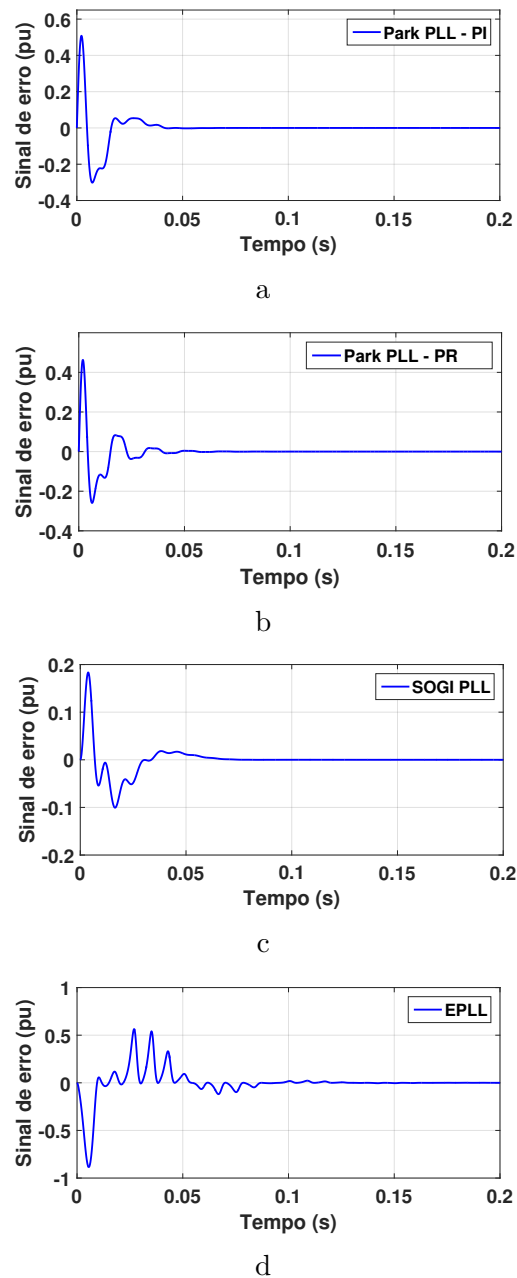
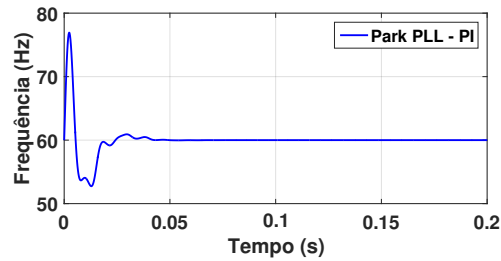


Figura 5.1 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos para uma rede sem distorções. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.

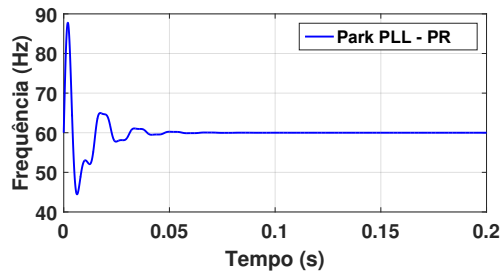
o sinal de erro do PLL já estava estabilizado em zero. Já o Park-PLL com controlador PI obteve o segundo melhor tempo de estabelecimento, aproximadamente $t = 70\text{ms}$.

O SOGI-PLL apresentou o terceiro melhor desempenho no quesito velocidade de resposta, uma vez que o mesmo atinge seu regime em aproximadamente $t = 90\text{ms}$. O sinal de erro do EPLL se estabiliza em aproximadamente 170ms. O SOGI-PLL apresentou, no sinal de erro, o menor valor de pico, sendo esse de aproximadamente 0,4pu.

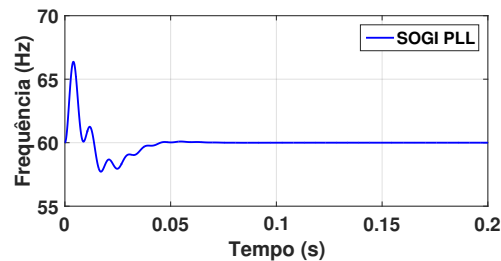
Na Figura 5.5 é apresentada a frequência estimada pelos PLLs. Verifica-se que o SOGI-PLL tem menor valor de pico de frequência durante o transitório, sendo esse de



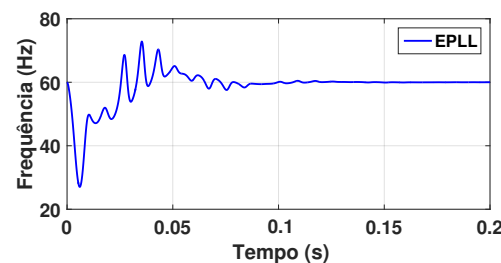
a



b



c



d

Figura 5.2 – Resultados de simulações. Frequência rastreada pelos algoritmos para uma rede sem distorções. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.

aproximadamente 77Hz. O park-PLL com controlador PR obteve o maior valor de pico de frequência, aproximadamente 120Hz. Os quatro PLLs estimaram a frequência corretamente. No entanto, os picos de frequência atingidos durante o transitório são elevados.

Na Figura 5.6 é ilustrada a comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos. Nestas figuras, observa-se que após o período do transitório o sinal de saída dos PLLs está sincronizado com a referência.

5.2.2.3 Testes de Afundamento de Tensão

Com o intuito de avaliar o comportamento dinâmico dos PLLs frente a variação da amplitude do sinal de entrada, considera-se agora uma situação em que há uma redução de 30%, no instante de 0,4s, na amplitude do sinal de entrada. Na Figura 5.7 é ilustrado os sinais de erro dos PLLs. O Park-PLL com controlador PR obteve o melhor tempo de estabelecimento, aproximadamente 40ms. O Park-PLL com controlador PI, SOGI PLL e o EPLL obtiveram tempo de estabelecimento de aproximadamente 70ms, 80ms e 120ms, respectivamente. É verificado que os quatro PLLs apresentam erro nulo em estado estacionário. Na Figura 5.8 é apresentada a frequência estimada pelos algoritmos. O SOGI-PLL obteve o menor valor de pico de frequência durante o transitório, aproximadamente 60,5Hz. O EPLL obteve aproximadamente 61Hz de pico, o Park-PLL com controlador PI atingiu aproximadamente 62,5Hz de pico, e o pior caso ficou com o Park-PLL com controlador PR, que obteve aproximadamente 67Hz.

Na Figura 5.9 é ilustrada a comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos. Verifica-se que os PLLs conseguem rastrear a frequência e fase da rede com precisão, mesmo com a ocorrência do afundamento de tensão.

5.2.2.4 Testes de Distorção Harmônica

Para a execução da simulação da rede com presença de componentes harmônicas, foram somadas ao sinal de entrada dos PLLs a componente de terceiro harmônico, com amplitude de 0,05pu, totalizando assim uma distorção harmônica individual da tensão de 5% (valor máximo tolerado pelo padrão IEEE 519-2014 para tensão nominal de barramento abaixo de 1kV). Este teste poderia conter harmônicos de ordens e níveis variados.

Na Figura 5.10 é apresentado o erro de cada algoritmo durante o teste de distorção harmônica. O SOGI-PLL apresentou menor nível de erro neste teste, sendo este menor que 0,01pu de pico. Os outros três PLLs apresentaram erro aproximadamente de 0,05pu de pico. Na Figura 5.11, a frequência estimada por cada algoritmo é apresentada. Nesta figura, observa-se que o SOGI-PLL apresentou menores erros de frequência estimada, sendo aproximadamente de 0,2Hz seu valor máximo. O Park-PLL com controlador PR apresentou o pior erro de frequência estimada, sendo esse de aproximadamente 2,0Hz. O Park-PLL com controlador PI e o EPLL apresentaram variações máxima de frequência de aproximadamente 1,2Hz.

Na Figura 5.12 é ilustrada a comparação entre o sinal de referência (senoide de 60Hz) e o sinal estimado pelos algoritmos. Observa-se, nesta figura, que os algoritmos permanecem sincronizados frente às distorções.

5.2.3 Resultados Experimentais

Nas Figuras 5.13, 5.14, 5.15 e 5.16 são ilustrados os sinais de erro dos PLLs para um salto no ângulo de fase de 90° na tensão de entrada. Observa-se, nestas figuras, que o SOGI-PLL, Park-PLL com controlador PI e Park-PLL com controlador PR obtiveram o mesmo tempo de estabelecimento, aproximadamente 50ms. O EPLL obteve tempo de estabelecimento de aproximadamente 80ms, sendo entre os quatros PLLs o mais lento. É verificado que os PLLs atingem erro nulo em estado estacionário conforme a simulação.

Nas Figuras 5.17, 5.18, 5.19 e 5.20 são ilustradas as saídas dos PLLs. Nestas figuras, verifica-se que após o período do transitório as saídas dos PLLs estão sincronizadas com a rede elétrica.

5.2.4 Síntese dos Resultados

Os resultados obtidos durante os testes são exibidos nas Tabelas 5.2, 5.3, 5.4 e 5.5. Nelas, são mostrados os resultados relacionados aos parâmetros: tempo de estabelecimento (t_s), valor de pico (V_p), sobressinal máximo (M_p), erro em estado estacionário (sinal de erro) e erro de frequência estimado (erro de frequência). Os resultados presentes nas tabelas correspondem aos piores níveis encontrados ao longo das simulações.

Tabela 5.2 – Resultados de simulações. t_s , V_p e M_p para o teste da rede sem distorções.

Algoritmo	t_s do erro (ms)	V_p do erro (pu)	M_p frequência (%)
Park-PLL PI	50	0,5	28,3
Park-PLL PR	50	0,42	46,7
SOGI-PLL	70	0,18	10,83
EPLL	130	0,53	20

Tabela 5.3 – Resultados de simulações. t_s , V_p e M_p para o teste da rede com um salto de fase.

Algoritmo	t_s do erro (ms)	V_p do erro (pu)	M_p frequência (%)
Park-PLL PI	70	1	63,3
Park-PLL PR	50	1	100
SOGI-PLL	90	0,4	26,7
EPLL	130	1	63,3

Com base nos resultados apresentados na Tabela 5.5, o SOGI-PLL seria a escolha mais adequada para a aplicação em redes com distorção harmônica. A observação dos resultados indica o menor nível de erro na estimação da frequência em estado estacionário quando o SOGI-PLL é submetido as distorções harmônicas. Isso acontece graças as propriedades de filtragem desse PLL.

Tabela 5.4 – Resultados de simulações. t_s , V_p e M_p para o teste da rede com um afundamento de tensão.

Algoritmo	t_s do erro (ms)	V_p do erro (pu)	M_p frequência (%)
Park-PLL PI	70	0,13	5
Park-PLL PR	40	0,13	11,67
SOGI-PLL	90	0,02	0,67
EPLL	130	0,04	1,67

Tabela 5.5 – Resultados de simulações. Erros de pico a pico em estado estacionário para uma rede com presença de harmônicos.

Algoritmo	signal de erro (pu)	erro de frequência (Hz)
Park-PLL PI	0,09	2,5
Park-PLL PR	0,09	4,4
SOGI-PLL	0,015	0,5
EPLL	0,06	2,3

No teste de simulação para uma rede com presença de salto de fase, observa-se que o Park-PLL com o controlador PR obteve o menor tempo de estabelecimento, porém, este PLL atingiu um alto valor de pico no sinal de erro durante o transitório, além do pior sobressinal na estimação da frequência, chegando a 100%. O SOGI PLL obteve o melhor desempenho nos quesitos sobressinal e menor valor de pico no sinal de erro, no entanto, obteve apenas o terceiro melhor tempo de estabelecimento. Logo, analisando a Tabela 5.3, é sugerido a utilização do SOGI-PLL para aplicações em que o sinal da rede contenha saltos de fase.

Para o teste de afundamento de tensão, verifica-se que o SOGI-PLL obteve o menor valor de pico no sinal de erro, o menor sobressinal na estimação da frequência e o terceiro melhor tempo de estabelecimento. Logo, o SOGI-PLL torna-se a escolha mais adequada quando a rede apresenta afundamentos de tensão. É verificado que o Park-PLL com controlador PR obteve o melhor tempo de estabelecimento (40ms), no entanto obteve o pior desempenho no quesito sobressinal na estimação da frequência.

Foi mostrado, por meio da análise dinâmica que o EPLL teve o bloco PD mais lento se comparado aos demais PLLs. Além disso, o sinal de saída do bloco PD oscila muito no segundo harmônico durante condições transitórias, portanto, pode ser necessária alguma filtragem nessa frequência, dependendo da aplicação. O bloco PD do Park-PLL possui uma filtragem inerente, mas sua saída também oscila na segunda harmônica durante o transitório. A velocidade de resposta desses dois PLLs às perturbações no sinal de entrada pode ser aumentada ao custo de menor rejeição harmônica. No caso da estrutura do

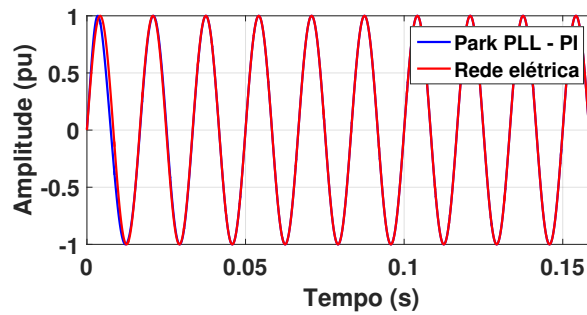
SOGI-PLL, pode-se ajustar o ganho no bloco QSG que, sendo reduzido para aumentar a filtragem, comprometeria o tempo de resposta do sistema.

5.3 Conclusões Parciais

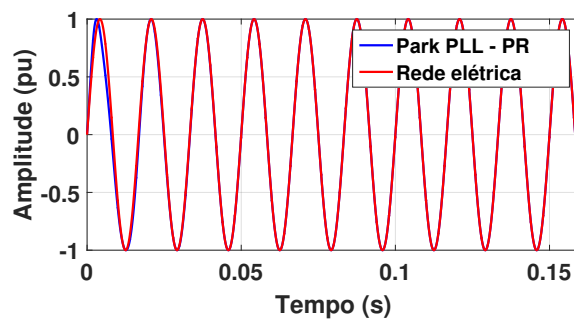
Neste capítulo, realizou-se uma análise de desempenho dos seguintes PLLs: Park-PLL com controlador PI, Park-PLL com controlador PR, SOGI-PLL e EPLL. Resultados de simulações e experimentais foram realizados para validar os algoritmos em estudo. É mostrado que todos os algoritmos permitem a extração da informação requerida do sinal de entrada, mesmo quando o sinal de entrada apresenta distorções.

A partir dos testes, foi percebido que o SOGI-PLL apresentou o melhor desempenho para uma rede sem distorções e quando a mesma apresentava afundamentos de tensão, saltos de fase e presença de harmônicos. Também foi verificado que o Park PLL com controlador PR obteve o bloco PD mais rápido. Já o EPLL apresentou o bloco PD mais lento, além de ter oscilações no segundo harmônico durante o transitório.

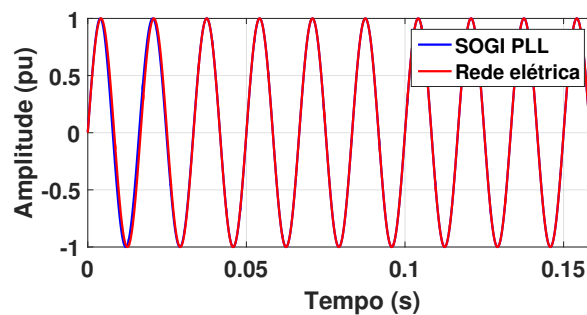
É visto através das comparações que todos os PLLs implementados são capazes de se recuperar dentro de falhas ocorridas na rede. Verifica-se que os PLLs obtiveram erro nulo para os testes de uma rede sem distorções e para o teste quando a rede apresenta saltos de fase e afundamentos de tensão. Para o caso da rede com presença de harmônicos, os PLLs apresentam sinal de erro e sinal de frequência oscilatórios. Esse problema pode ser resolvido através da inclusão de um estágio de pré-filtragem no bloco PD ou no bloco LF do PLL.



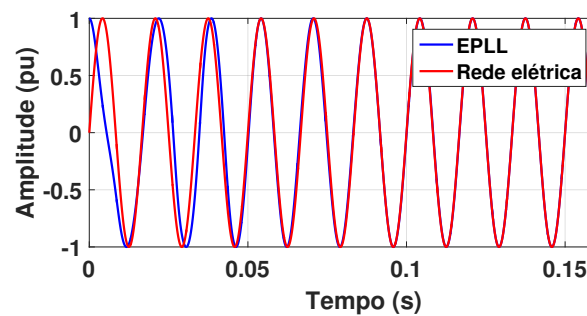
a



b

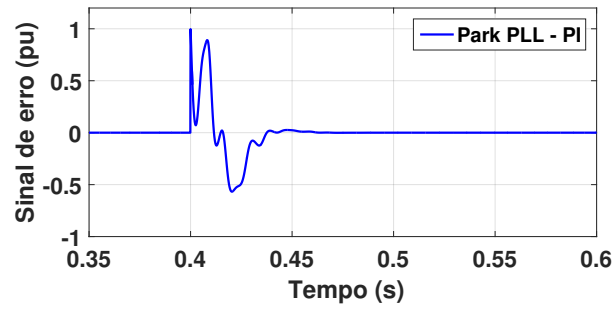


c

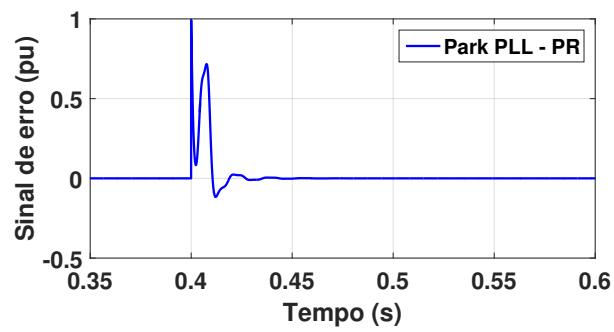


d

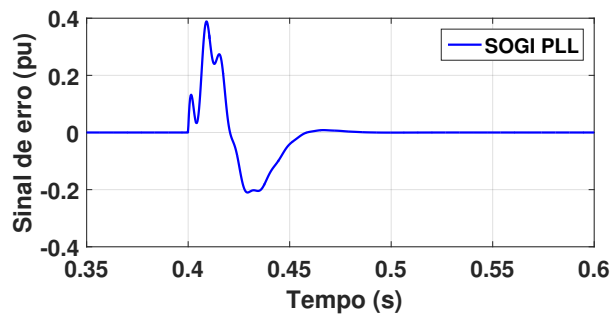
Figura 5.3 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para teste de rede sem distorções. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.



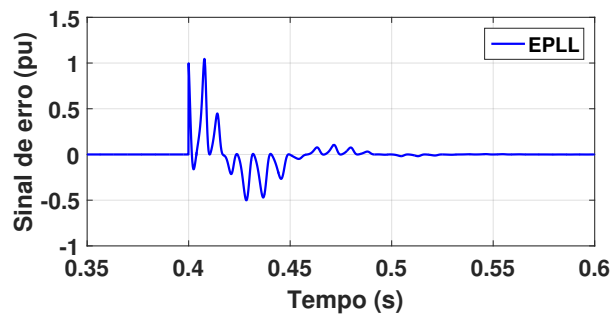
a



b

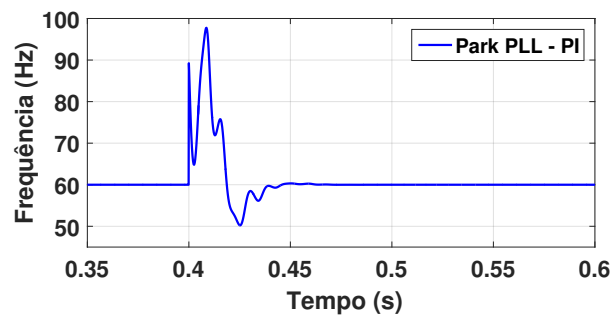


c

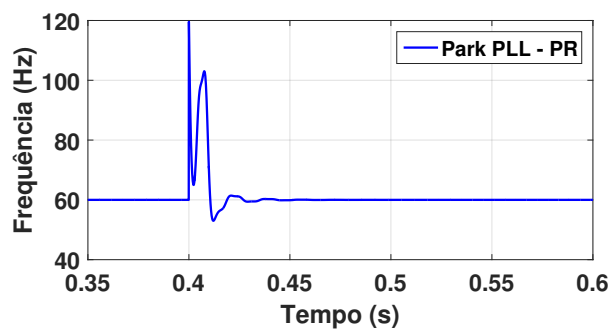


d

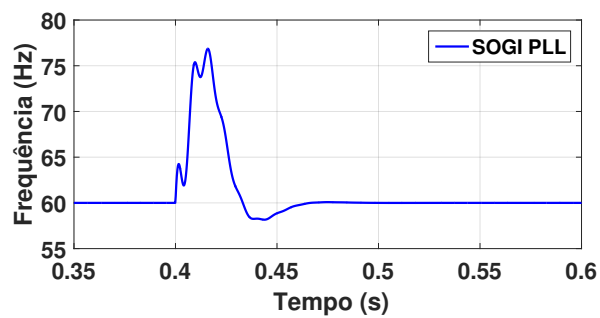
Figura 5.4 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante o salto de fase. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.



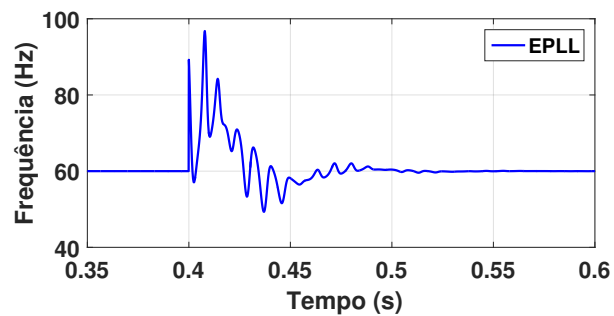
a



b

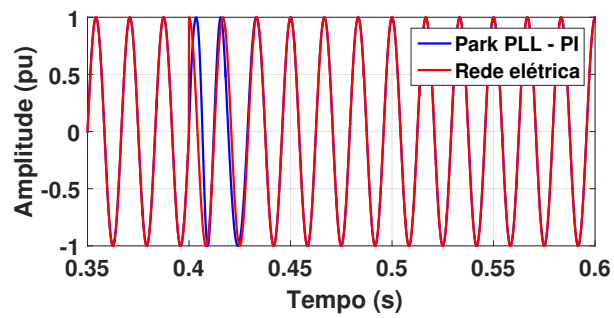


c

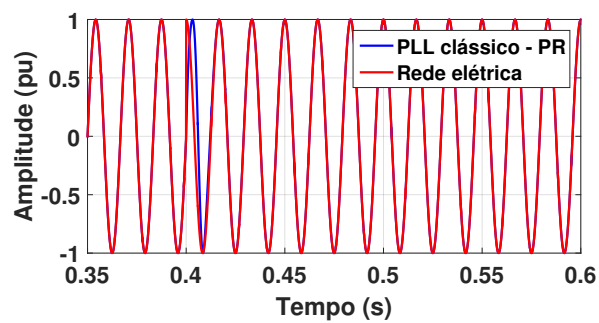


d

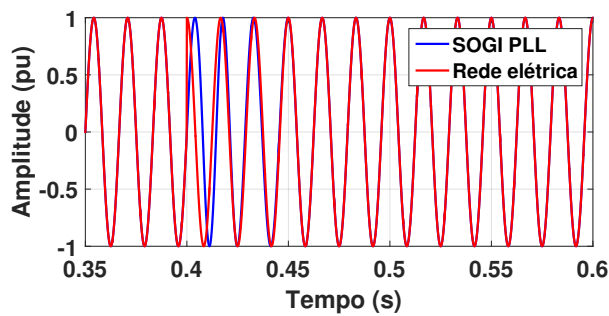
Figura 5.5 – Resultados de simulações. Frequência rastreada pelos algoritmos durante o salto de fase. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.



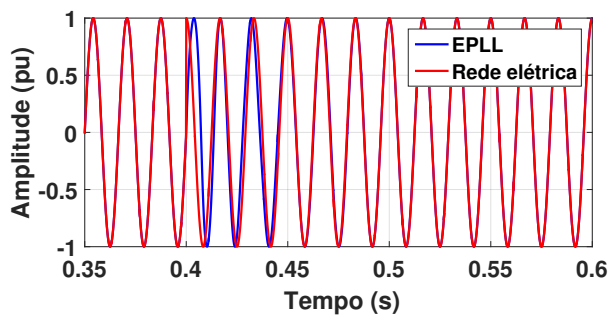
a



b

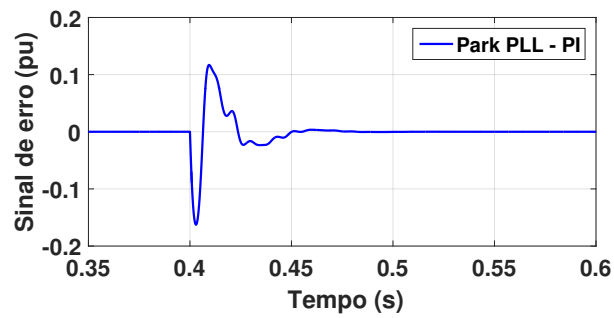


c

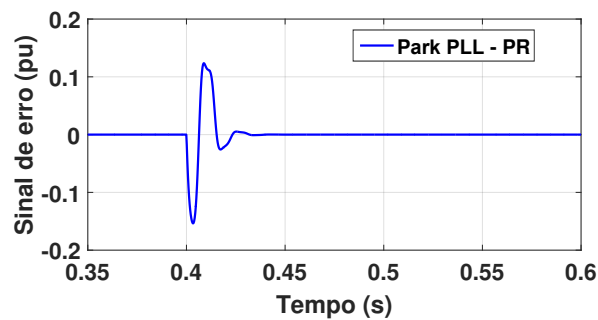


d

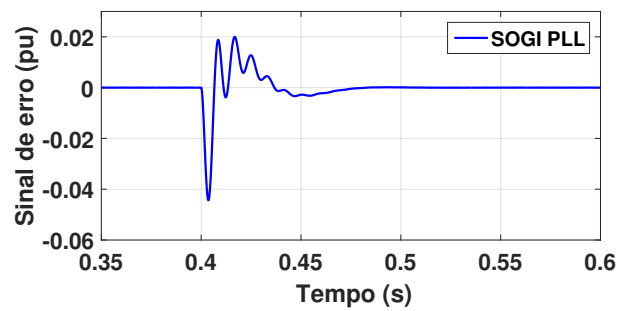
Figura 5.6 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de salto de fase. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.



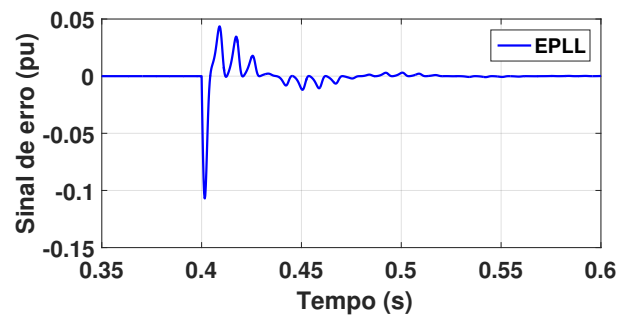
a



b

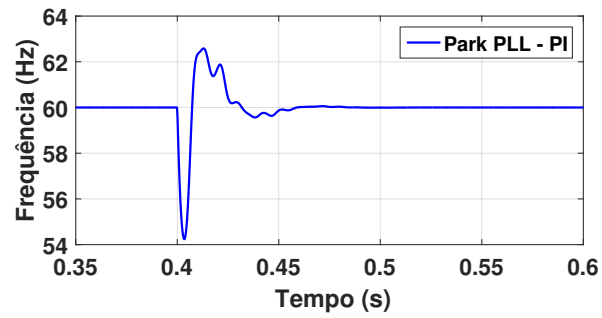


c

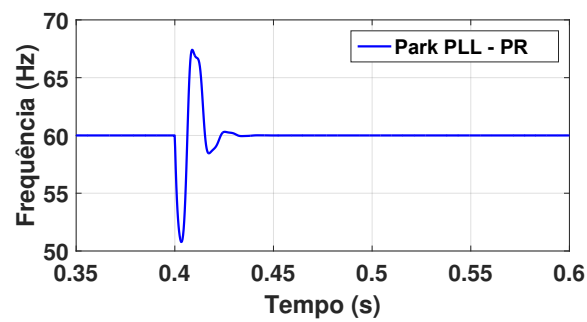


d

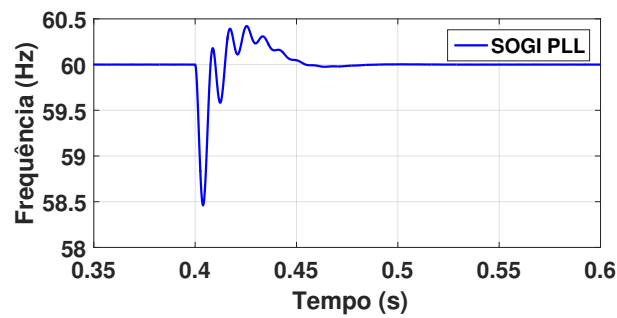
Figura 5.7 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante o afundamento de tensão. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.



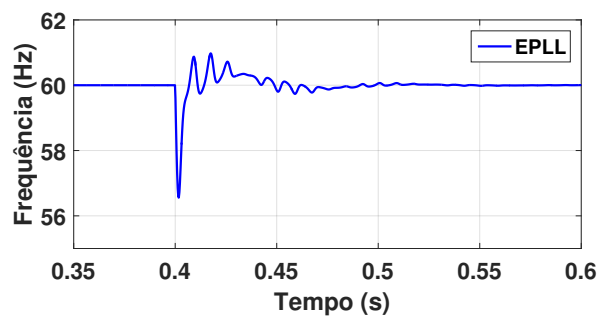
a



b

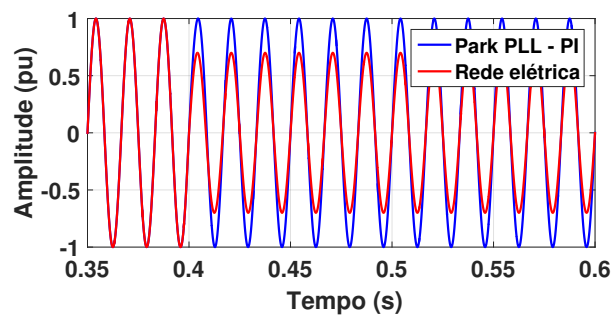


c

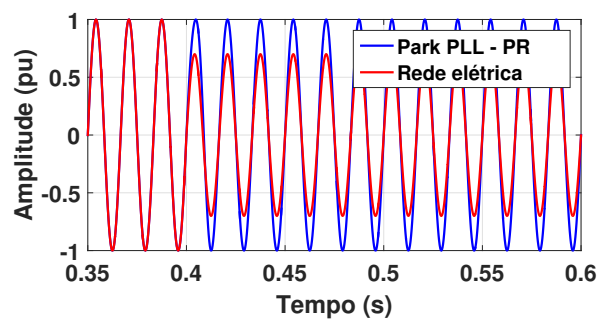


d

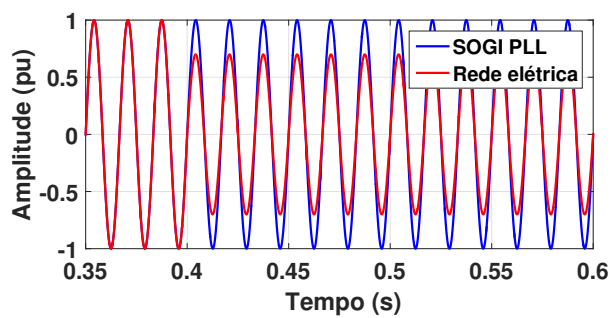
Figura 5.8 – Resultados de simulações. Frequência rastreada pelos algoritmos durante o afundamento de tensão. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.



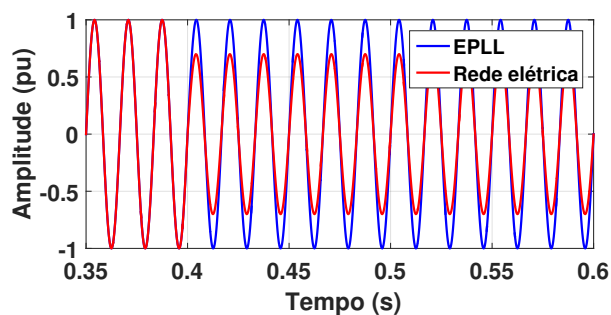
a



b

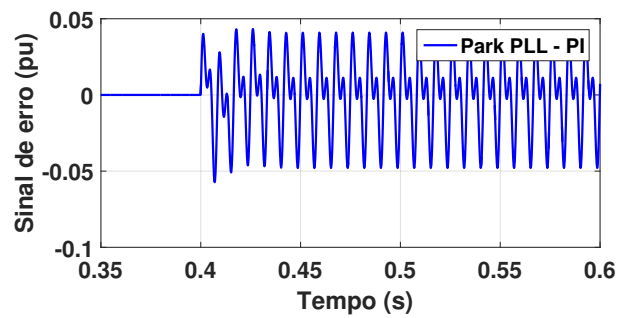


c

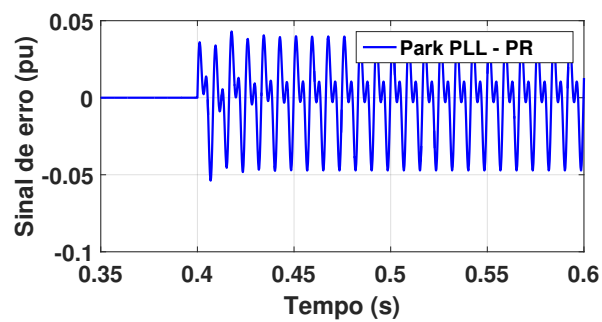


d

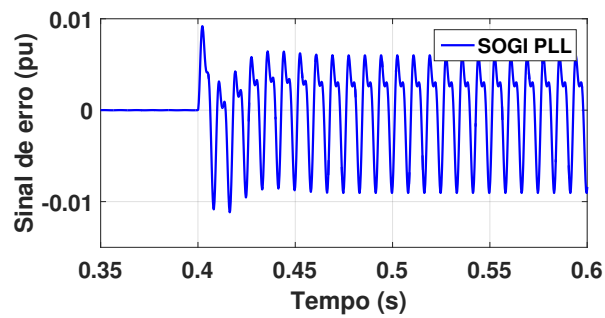
Figura 5.9 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de afundamento de tensão. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.



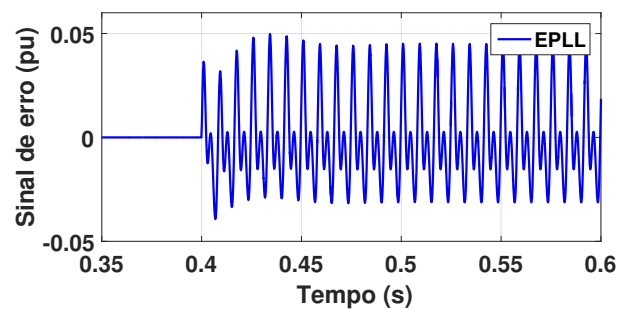
a



b

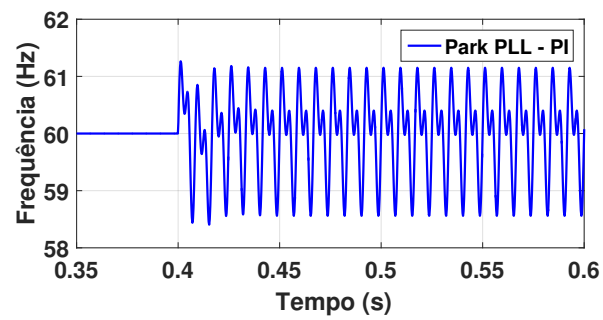


c

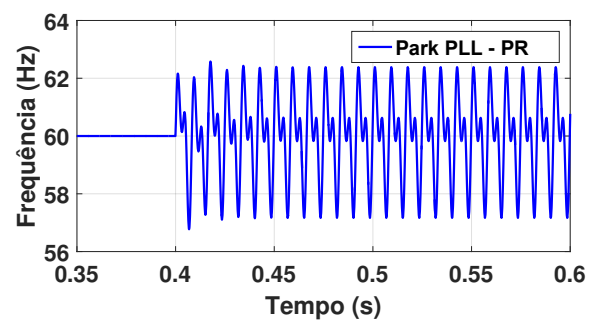


d

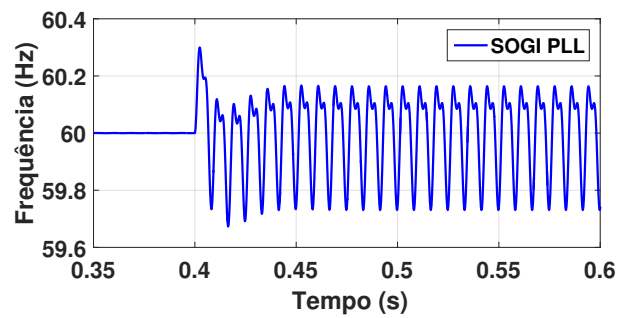
Figura 5.10 – Resultados de simulações. Comparação entre os sinais de erros dos algoritmos durante a distorção harmônica. (a) Sinal de erro do Park PLL - PI. (b) Sinal de erro do Park PLL - PR. (c) Sinal de erro do SOGI PLL. (d) Sinal de erro do EPLL.



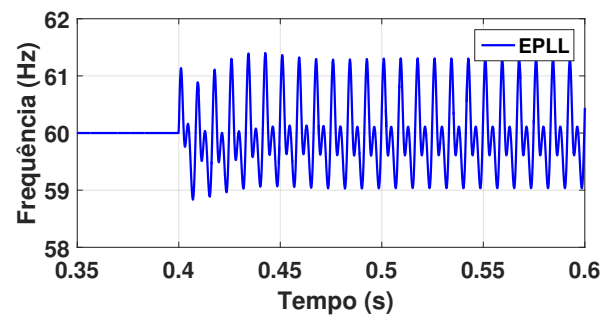
a



b

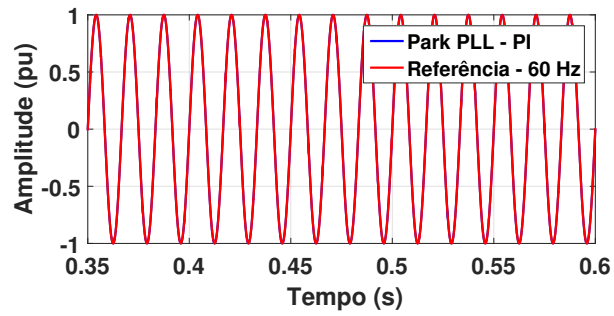


c

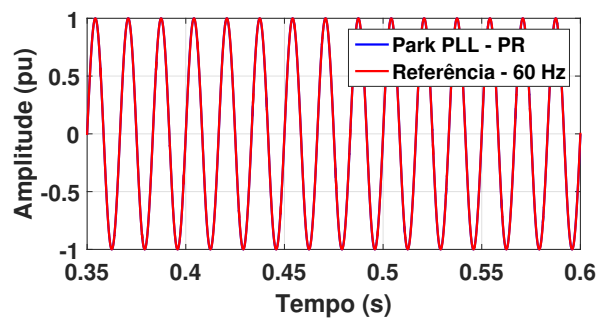


d

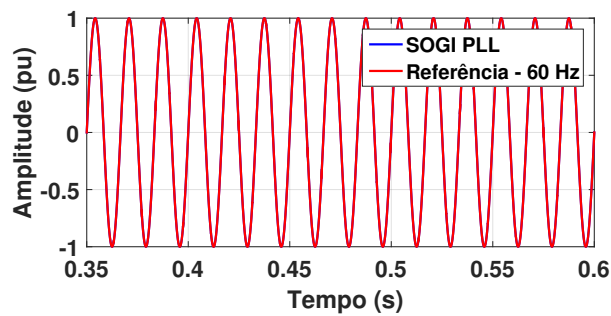
Figura 5.11 – Resultados de simulações. Frequência rastreada pelos algoritmos durante a distorção harmônica. (a) Frequência rastreada pelo Park PLL - PI. (b) Frequência rastreada pelo Park PLL - PR. (c) Frequência rastreada pelo SOGI PLL. (d) Frequência rastreada pelo EPLL.



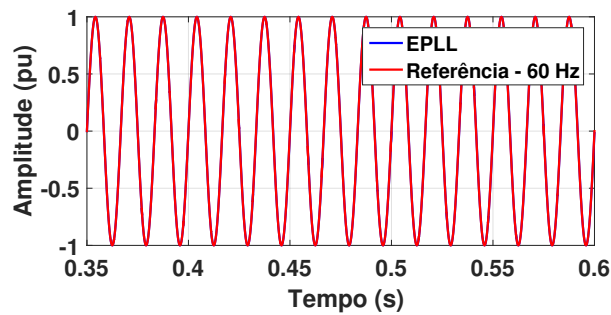
a



b



c



d

Figura 5.12 – Resultados de simulações. Comparação entre o sinal da rede (referência) e o sinal estimado pelos algoritmos para o teste de distorção harmônica. (a) Sinal de saída do Park PLL - PI e referência. (b) Sinal de saída do Park PLL - PR e referência. (c) Sinal de saída do SOGI PLL e referência. (d) Sinal de saída do EPLL e referência.

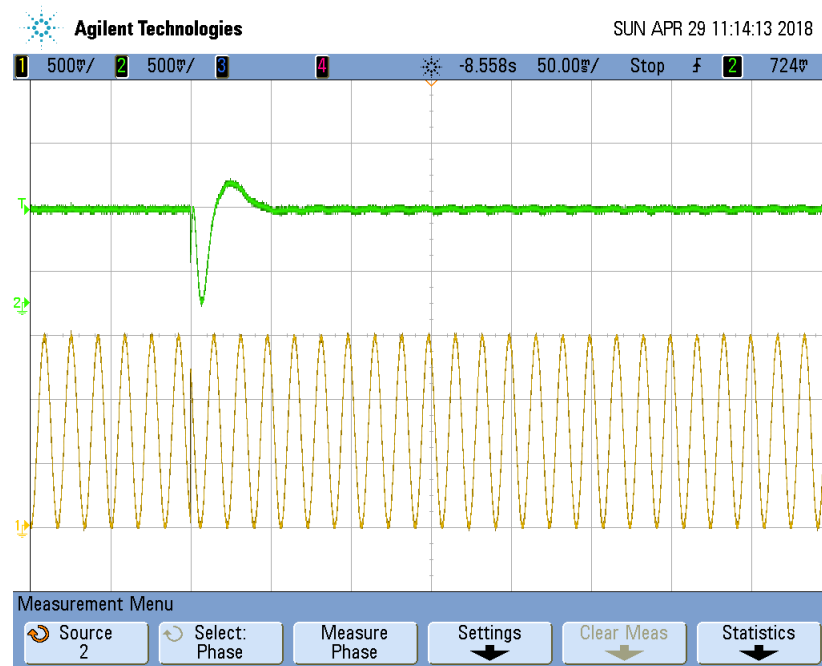


Figura 5.13 – Resultados experimentais do Park-PLL com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).

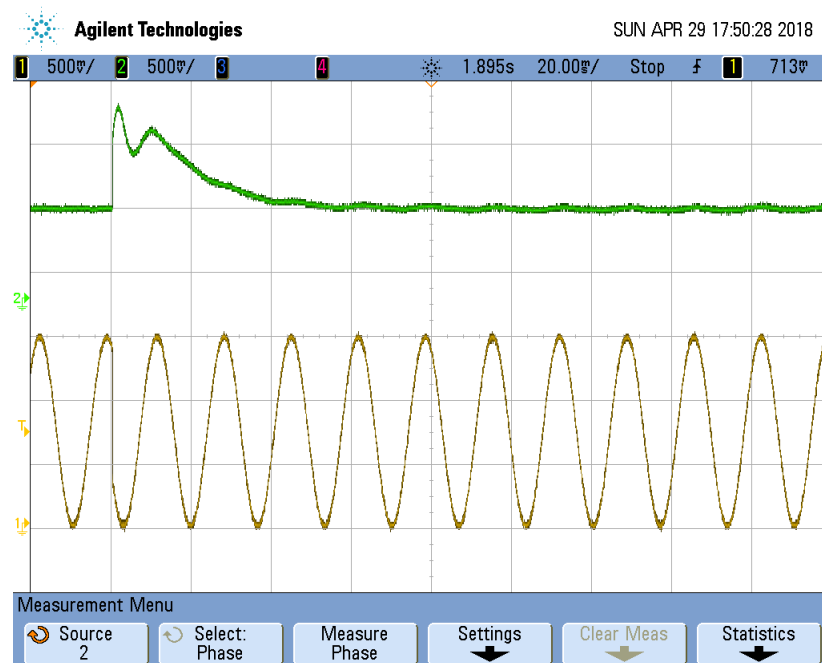


Figura 5.14 – Resultados experimentais do Park-PLL com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).



Figura 5.15 – Resultados experimentais do SOGI-PLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).

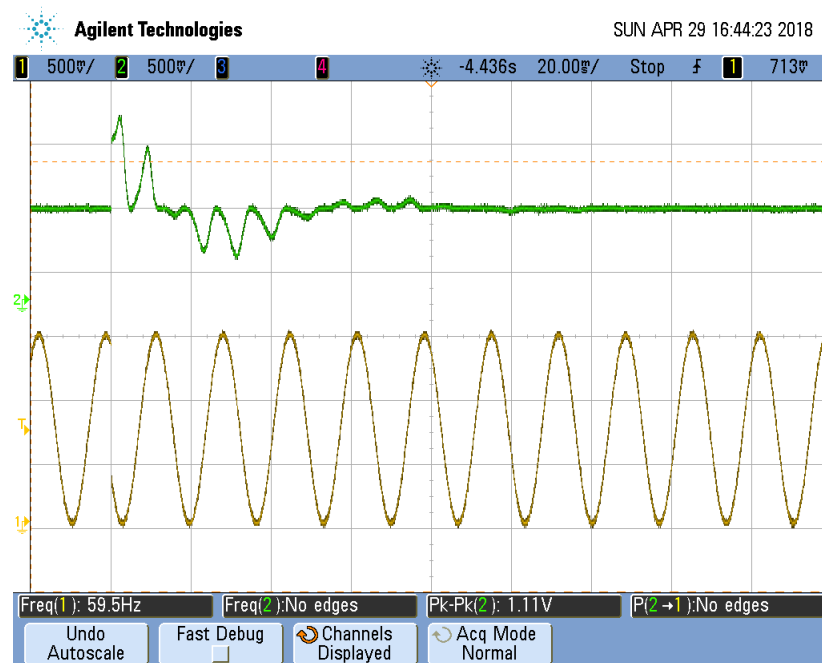


Figura 5.16 – Resultados experimentais do EPLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de erro (verde).

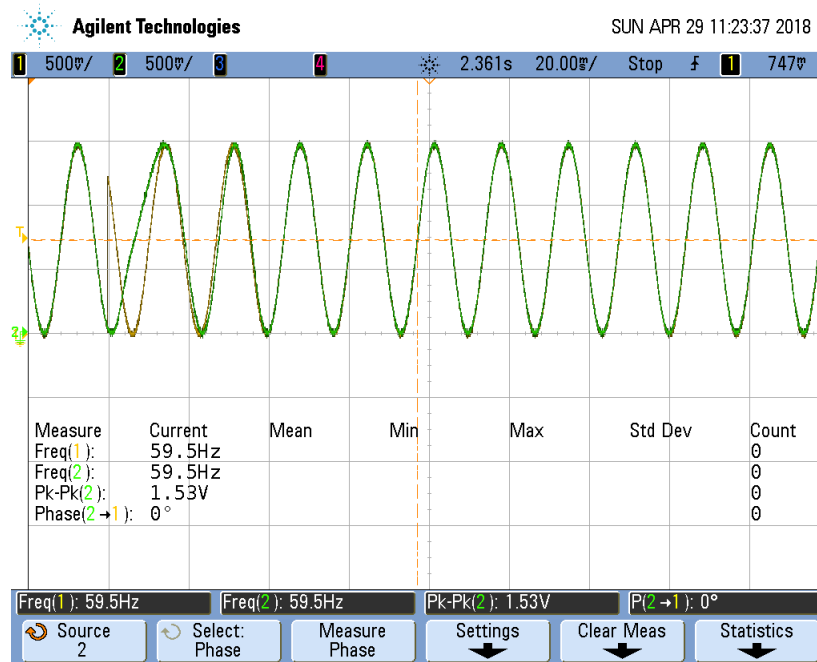


Figura 5.17 – Resultados experimentais do Park-PLL com controlador PI durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do Park-PLL PI (verde).

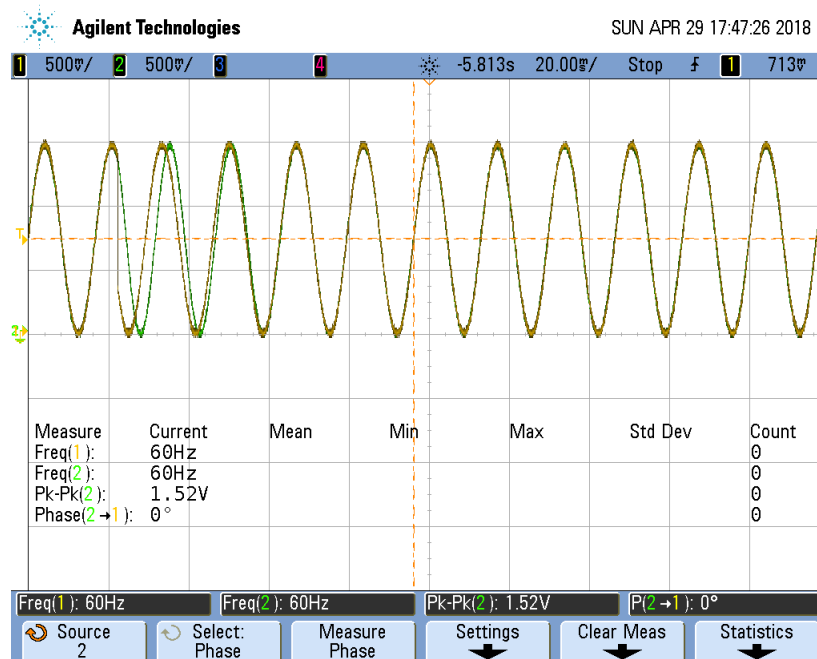


Figura 5.18 – Resultados experimentais do Park-PLL com controlador PR durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do Park-PLL com controlador PR (verde).

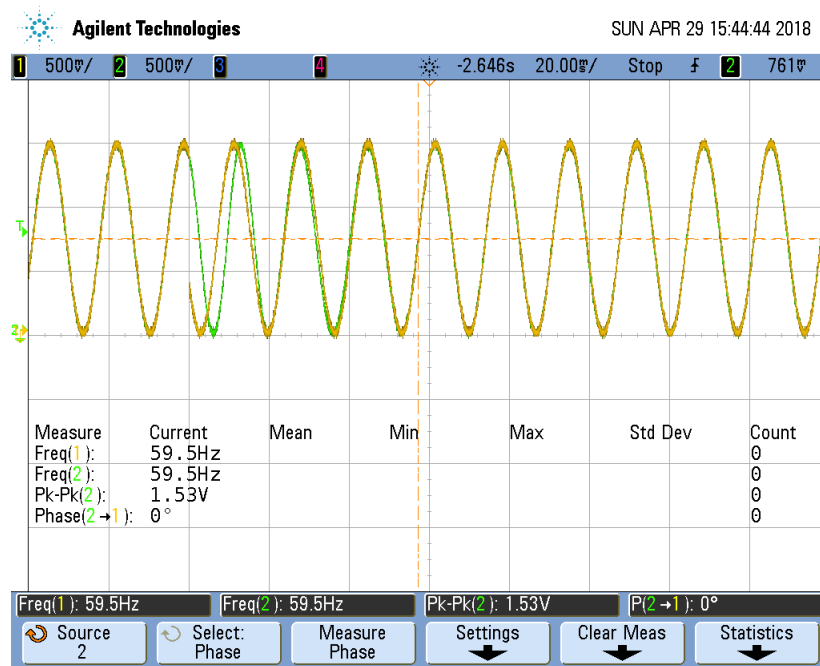


Figura 5.19 – Resultados experimentais do SOGI-PLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do SOGI-PLL (verde).

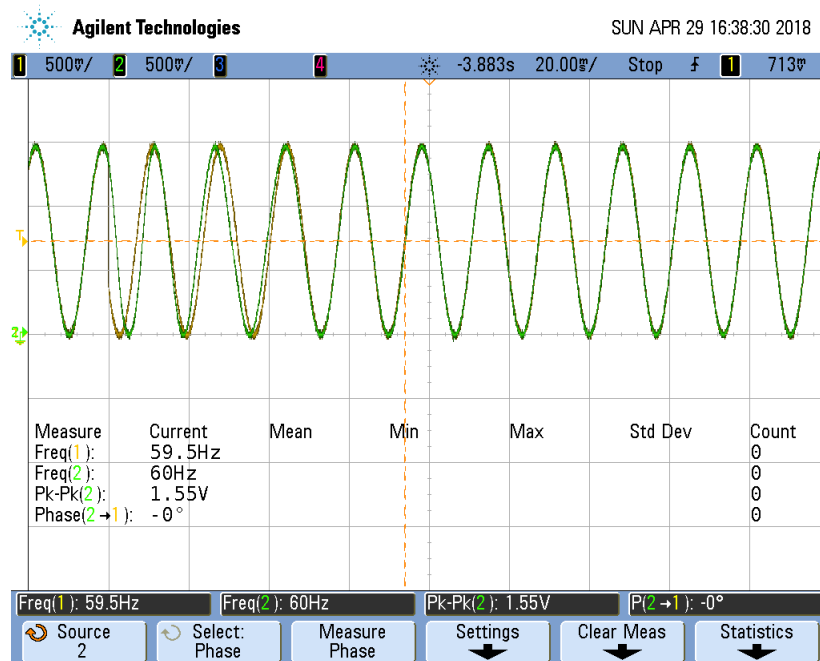


Figura 5.20 – Resultados experimentais do EPLL durante o salto de fase. Tensão de entrada (amarelo) e sinal de saída do EPLL (verde).

6 Conclusão

Um dos objetivos neste trabalho foi o estudo de PLLs monofásicos utilizando os controladores proporcional integral e proporcional ressonante ideal bem como processos de sintonia para a obtenção de ganhos adequados para os controladores. Cinco estruturas de PLLs foram analisadas e seus resultados experimentais foram apresentados.

Foi realizada a implementação do PLL de onda quadrada monofásico utilizando um filtro ADB para eliminação seletiva de harmônicos. Foi visto que, o PLL com filtro ADB elimina o erro de fase em estado estacionário inerente ao PLL de onda quadrada quando o sinal de entrada contém harmônicos.

O PLL de onda quadrada e o PLL de onda quadrada com filtro ADB foram simulados e implementados em um DSP para gerar resultados que foram comparados. Testes de transitórios e em estado estacionário para diferentes cenários de redes foram apresentados para validar o algoritmo. Os testes demonstraram que o problema do erro de fase para o PLL de onda quadrada pode ser eliminado, neste caso, obtendo erro de fase nulo. No entanto, a correção desse problema produz um atraso, proporcionado pelo filtro ADB, de $T/2 = 10\text{ms}$ no tempo de bloqueio do PLL, onde T é o período da componente fundamental do sinal de entrada do PLL. Ainda assim, comparado com estruturas de PLLs que usam, por exemplo, filtro notch adaptativo para eliminação de harmônicos de alta ordem, a estrutura de PLL com filtro ADB apresenta desempenho comparável no rastreamento dos dados do sinal de entrada.

Foi apresentada uma comparação de desempenho do PLL clássico utilizando os controladores PI e PR ideal. Para as condições de testes apresentadas, observa-se que o PLL clássico com controlador PR obteve melhor resposta no tempo de detecção da fase e frequência do sinal de entrada. Além disso, foi verificado que o controlador PR apresentou boa precisão, na detecção da fase e frequência, e alta rejeição contra distorções. Os testes de simulações e experimentais foram realizados para diferentes condições de rede elétrica.

Também foi constatado, que a presença do filtro MAF no PLL clássico elimina o problema do termo oscilatório, com frequência dupla, gerado pelo detector de fase. Outra vantagem de ter usado o filtro MAF na estrutura clássica de PLL é garantir o erro nulo quando a rede apresentava harmônicos.

Uma metodologia de projeto para PLLs utilizando o controlador PR foi apresentada. Através dos resultados experimentais, foi verificado que a metodologia de projeto obteve bons resultados uma vez que, os ganhos obtidos proporcionaram uma resposta rápida e estável na detecção da fase e frequência pelos algoritmos estudados neste trabalho.

Uma comparação de desempenho dos algoritmos Park-PLL com controlador PI e PR, SOGI-PLL e EPLL foi realizada através de simulações e resultados experimentais. Os PLLs foram submetidos a diferentes perturbações presentes no sistema de potência. Através da análise comparativa, algumas conclusões são apresentadas:

1. O SOGI-PLL obteve o melhor desempenho considerando a rede sem distorções, e quando a mesma apresentava afundamentos de tensão, saltos de fase e presença de harmônicos.
2. Todos os PLLs obtiveram erro nulo, exceto quando a rede apresentava distorção harmônica.
3. O Park-PLL com controlador PR obteve o detector de fase mais rápido. Já o EPLL obteve o detector de fase mais lento.

As Tabelas 6.1 e 6.2 apresentam um resumo dos principais parâmetros de resposta e outras características encontradas nos resultados de simulações para os PLLs. Com base nesses resultados, observa-se que a resposta dinâmica do PLL clássico com controlador PI não é muito satisfatória. Logo, esse PLL pode não ser uma boa escolha quando a aplicação exigir velocidade rápida no rastreamento de fase e frequência. O Park-PLL PI, Park-PLL PR, SOGI-PLL e EPLL são boas opções somente quando a tensão da rede é sem (ou com pouca) distorção harmônica. Isso ocorre porque esses PLLs têm uma capacidade limitada de filtragem harmônica. As melhores escolhas possíveis são provavelmente o PLL clássico com controlador PR, SOGI-PLL e Park-PLL com os controladores PR e PI, principalmente porque fornecem um compromisso satisfatório entre a resposta dinâmica e capacidade de filtragem harmônica. Esses PLLs também podem ser melhor projetados para condições de rede adversas.

Por fim, pode-se verificar que os resultados da pesquisa apresentado nesse trabalho são úteis para selecionar algoritmos de sincronização adequados para os conversores conectados à rede e para os sistemas de energia renováveis como fotovoltaica e eólica.

Tabela 6.1 – Resumo dos principais resultados das simulações

	Rede sem distorções	30% Afundamento de tensão	Degrau de fase
Park-PI			
Tempo de estabelecimento	50ms	70ms	70ms
Sobressinal de frequência	28,3%	5%	63,3%
Park-PR			
Tempo de estabelecimento	50ms	40ms	50ms
Sobressinal de frequência	46,7%	11,67%	100%
SOGI-PI			
Tempo de estabelecimento	70ms	90ms	90ms
Sobressinal de frequência	10,83%	0,67%	26,7%
EPLL-PI			
Tempo de estabelecimento	130ms	130ms	130ms
Sobressinal de frequência	20%	1,67%	63,3%
PLL clássico-PI			
Tempo de estabelecimento	120ms	200ms	200ms
Sobressinal de frequência	14%	1,2%	51%
PLL clássico-PR			
Tempo de estabelecimento	60ms	50ms	80ms
Sobressinal de frequência	14%	1,6%	51%
PLLOQ-PI			
Tempo de estabelecimento	100ms	80ms	220ms
Pico do sinal de erro	0,24pu	0,01pu	0,5pu
PLLOQ ADB-PI			
Tempo de estabelecimento	110ms	90ms	230ms
Pico do sinal de erro	0,27pu	0,02pu	0,5pu

Tabela 6.2 – Comparação de desempenho dos PLLs

	Rejeição de distúrbio de dupla frequência	Resposta dinâmica	Filtragem harmônica
Park-PI	Bom ¹	Rápido ²	Média ⁷
Park-PR	Bom	Rápido	Média
SOGI-PI	Bom	Rápido	Média
EPLL-PI	Bom	Médio ³	Média
PLL clássico-PI	Bom	Lento ⁴	Boa ⁶
PLL clássico-PR	Bom	Rápido	Boa
PLLOQ-PI	Bom	Médio	Boa
PLLOQ ADB-PI	Bom	Médio	Boa

¹ O termo **bom** significa que o distúrbio de dupla frequência é eliminado totalmente, e o PLL consegue atingir erro nulo em estado estacionário (regime permanente).

² O termo **rápido** significa que a média da velocidade de rastreamento do PLL para todas as respostas (com ou sem distúrbio) é entre 0 – 100ms.

³ O termo **médio** significa que a média da velocidade de rastreamento do PLL para todas as respostas (com ou sem distúrbio) é maior que 100ms e menor ou igual a 150ms.

⁴ O termo **lento** significa que a média da velocidade de rastreamento do PLL para todas as respostas (com ou sem distúrbio) é maior que 150ms e menor ou igual a 200ms.

⁵ O termo **muito lento** significa que a média da velocidade de rastreamento do PLL para todas as respostas (com ou sem distúrbio) é maior que 200ms.

⁶ O termo **boa** em filtragem harmônica, significa que o PLL consegue filtrar as harmônicas do sinal de entrada garantindo erro nulo em estado estacionário.

⁷ O termo **média** em filtragem harmônica, significa que o PLL não consegue filtrar totalmente as harmônicas do sinal de entrada, gerando um sinal de erro de pico a pico entre $-0,05pu$ e $0,05pu$.

⁸ O termo **ruim** em filtragem harmônica, significa que o PLL não consegue filtrar totalmente as harmônicas do sinal de entrada, gerando um sinal de erro de pico a pico maior que o intervalo definido pelo termo **média**.

6.1 Perspectivas de Trabalhos Futuros

Possíveis trabalhos futuros compreendem:

- Complemento e melhoria dos resultados experimentais obtidos.
- Implementação experimental dos PLLs em um sistema de controle para inversores conectados à rede elétrica.
- Aprofundamento das análises dos algoritmos de PLLs estudados, considerando outras figuras de mérito.
- Definir um método de escolha do melhor PLL, tendo em vista as restrições previstas em norma para os conversores estáticos.
- Determinação de ganhos ótimos para os controladores PI e PR.

Referências

- 1 QUEMADA, C.; BISTUÉ, G.; ADIN, I. *Design methodology for RF CMOS phase locked loops*: Artech House, 2008. Citado 2 vezes nas páginas viii e 10.
- 2 GOLESTAN, S.; GUERRERO, J. M.; VASQUEZ, J. C. Single-phase PLLs: A review of recent advances. *IEEE Transactions on Power Electronics*, v. 32, n. 12, p. 9013–9030, Dec 2017. ISSN 0885-8993. Citado 2 vezes nas páginas 1 e 2.
- 3 GARDNER, F. M. *Phaselock techniques*: John Wiley & Sons, 2005. Citado na página 1.
- 4 FREIJEDO, F. D.; DOVAL-GANDOY, J.; LOPEZ, O.; ACHA, E. Tuning of phase-locked loops for power converters under distorted utility conditions. *IEEE Transactions on Industry Applications*, v. 45, n. 6, p. 2039–2047, Nov 2009. ISSN 0093-9994. Citado na página 2.
- 5 FILHO, R. M. S.; SEIXAS, P. F.; CORTIZO, P. C.; TORRES, L. A. B.; SOUZA, A. F. Comparison of three single-phase PLL algorithms for ups applications. *IEEE Transactions on Industrial Electronics*, v. 55, n. 8, p. 2923–2932, Aug 2008. ISSN 0278-0046. Citado na página 2.
- 6 FREIJEDO, F. D.; DOVAL-GANDOY, J.; LOPEZ, O.; CABALEIRO, J. Robust phase locked loops optimized for DSP implementation in power quality applications. In: *2008 34th Annual Conference of IEEE Industrial Electronics*, 2008. p. 3052–3057. ISSN 1553-572X. Citado na página 2.
- 7 ELRAYYAH, A.; SOZER, Y.; ELBULUK, M. Robust phase locked-loop algorithm for single-phase utility-interactive inverters. *IET Power Electronics*, v. 7, n. 5, p. 1064–1072, May 2014. ISSN 1755-4535. Citado na página 2.
- 8 GOLESTAN, S.; RAMEZANI, M.; GUERRERO, J. M.; FREIJEDO, F. D.; MONFARED, M. Moving average filter based phase-locked loops: Performance analysis and design guidelines. *IEEE Transactions on Power Electronics*, v. 29, n. 6, p. 2750–2763, June 2014. ISSN 0885-8993. Citado 3 vezes nas páginas 2, 16 e 18.
- 9 CARUGATI, I.; DONATO, P.; MAESTRI, S.; CARRICA, D.; BENEDETTI, M. Frequency adaptive PLL for polluted single-phase grids. *IEEE Transactions on Power Electronics*, v. 27, n. 5, p. 2396–2404, May 2012. ISSN 0885-8993. Citado na página 2.
- 10 ROHTEN, J.; ESPINOZA, J.; VILLARROEL, F.; MUÑOZ, J.; MELÍN, P.; BAIER, C.; PEREZ, M. Discrete synchronism methods for polluted single phase and unbalanced three-phase systems. In: *2014 IEEE 23rd International Symposium on Industrial Electronics (ISIE)*, 2014. p. 1347–1352. ISSN 2163-5137. Citado na página 2.
- 11 GOLESTAN, S.; MONFARED, M.; FREIJEDO, F. D.; GUERRERO, J. M. Design and tuning of a modified power-based PLL for single-phase grid-connected power conditioning systems. *IEEE Transactions on Power Electronics*, v. 27, n. 8, p. 3639–3650, Aug 2012. ISSN 0885-8993. Citado na página 2.

- 12 GOLESTAN, S.; GUERRERO, J. M. An analysis of modified demodulation-based grid voltage parameter estimator. *IEEE Transactions on Power Electronics*, v. 30, n. 12, p. 6528–6533, Dec 2015. ISSN 0885-8993. Citado na página 2.
- 13 GOLESTAN, S.; GUERRERO, J. M.; ABUSORRAH, A.; AL-HINDAWI, M. M.; AL-TURKI, Y. An adaptive quadrature signal generation-based single-phase phase-locked loop for grid-connected applications. *IEEE Transactions on Industrial Electronics*, v. 64, n. 4, p. 2848–2854, April 2017. ISSN 0278-0046. Citado na página 2.
- 14 HADJIDEMETRIOU, L.; YANG, Y.; KYRIAKIDES, E.; BLAABJERG, F. A synchronization scheme for single-phase grid-tied inverters under harmonic distortion and grid disturbances. *IEEE Transactions on Power Electronics*, v. 32, n. 4, p. 2784–2793, April 2017. ISSN 0885-8993. Citado na página 2.
- 15 YANG, Y.; ZHOU, K.; BLAABJERG, F. Virtual unit delay for digital frequency adaptive $t/4$ delay phase-locked loop system. In: *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, 2016. p. 2910–2916. Citado na página 2.
- 16 GOLESTAN, S.; MONFARED, M.; FREIJEDO, F. D.; GUERRERO, J. M. Dynamics assessment of advanced single-phase PLL structures. *IEEE Transactions on Industrial Electronics*, v. 60, n. 6, p. 2167–2177, June 2013. ISSN 0278-0046. Citado na página 2.
- 17 GUAN, Q.; ZHANG, Y.; KANG, Y.; GUERRERO, J. M. Single-phase phase-locked loop based on derivative elements. *IEEE Transactions on Power Electronics*, v. 32, n. 6, p. 4411–4420, June 2017. ISSN 0885-8993. Citado na página 2.
- 18 TEODORESCU, R.; BLAABJERG, F. Proportional-resonant controllers. A new breed of controllers suitable for grid-connected voltage-source converters. In: *Proceedings of The 9th International Conference on Optimization of Electrical and Electronic Equipments, Optim 2004*, 2004. v. 3, p. 9–14. Citado 2 vezes nas páginas 2 e 36.
- 19 YADA, H. K.; MURTHY, M. S. R. Phase locked loop techniques for power quality improvement in polluted grids. In: *Power Electronics, Intelligent Control and Energy Systems (ICPEICES), IEEE International Conference on*, 2016. Citado na página 2.
- 20 BEST, R. E. *Phase Locked Loops-Design, Simulation and Applications*. 5th. ed: McGraw Hill, 2003. Citado na página 2.
- 21 GARDNER, F. M. *Phaselock Techniques*. 3th. ed: Wiley, 2005. Citado 2 vezes nas páginas 2 e 3.
- 22 AMA, N. R. N.; MARTINZ, F. O.; MATAKAS, L.; KASSAB, F. Phase-locked loop based on selective harmonics elimination for utility applications. *IEEE Transactions on Power Electronics*, v. 28, n. 1, p. 144–153, Jan 2013. ISSN 0885-8993. Citado 5 vezes nas páginas 2, 3, 16, 18 e 45.
- 23 LUBURA, S.; ŠOJA, M.; LALE, S.; RISTOVIĆ, M.; IKIĆ, M. Adaptive delay bank filter for selective elimination of harmonics in SRF-PLL structures. In: *2015 IEEE 15th International Conference on Environment and Electrical Engineering (EEEIC)*, 2015. p. 308–312. Citado 2 vezes nas páginas 3 e 23.

- 24 WANG, Y. F.; LI, Y. W. Grid synchronization PLL based on cascaded delayed signal cancellation. *IEEE Transactions on Power Electronics*, v. 26, n. 7, p. 1987–1997, July 2011. ISSN 0885-8993. Citado na página 3.
- 25 NASCIMENTO, P. S. B.; SOUZA, H. E. P. de; NEVES, F. A. S.; LIMONGI, L. R. FPGA implementation of the generalized delayed signal cancellation–phase locked loop method for detecting harmonic sequence components in three-phase signals. *IEEE Transactions on Industrial Electronics*, v. 60, n. 2, p. 645–658, Feb 2013. ISSN 0278-0046. Citado na página 3.
- 26 NEVES, F. A. S.; SOUZA, H. E. P. de; CAVALCANTI, M. C.; BRADASCHIA, F.; BUENO, E. J. Digital filters for fast harmonic sequence component separation of unbalanced and distorted three-phase signals. *IEEE Transactions on Industrial Electronics*, v. 59, n. 10, p. 3847–3859, Oct 2012. ISSN 0278-0046. Citado na página 3.
- 27 SVENSSON, J.; BONGIORNO, M.; SANNINO, A. Practical implementation of delayed signal cancellation method for phase-sequence separation. *IEEE Transactions on Power Delivery*, v. 22, n. 1, p. 18–26, Jan 2007. ISSN 0885-8977. Citado na página 3.
- 28 TEODORESCU, R.; LISERRE, M.; RODRÍGUEZ, P. *Grid Converters for Photovoltaic and Wind Power Systems*. 1st. ed: John Wiley & Sons, 2011. ISBN 978-0-470-05751-3. Citado 6 vezes nas páginas 5, 8, 9, 11, 15 e 16.
- 29 OGATA, K. *Modern Control Engineering*. 5th. ed: Pearson, 2009. 912 p. ISBN 0136156738. Citado na página 8.
- 30 CIOBOTARU, M.; TEODORESCU, R.; BLAABJERG, F. A new single-phase PLL structure based on second order generalized integrator. In: *2006 37th IEEE Power Electronics Specialists Conference*, 2006. p. 1–6. ISSN 0275-9306. Citado 3 vezes nas páginas 11, 13 e 15.
- 31 WU, F.; ZHANG, L.; DUAN, J. A new two-phase stationary-frame-based enhanced PLL for three-phase grid synchronization. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 62, n. 3, p. 251–255, March 2015. ISSN 1549-7747. Citado na página 12.
- 32 LIU, B.; ZHUO, F.; ZHU, Y.; YI, H.; WANG, F. A three-phase PLL algorithm based on signal reforming under distorted grid conditions. *IEEE Transactions on Power Electronics*, v. 30, n. 9, p. 5272–5283, Sept 2015. ISSN 0885-8993. Citado na página 12.
- 33 LICCARDO, F.; MARINO, P.; RAIMONDO, G. Robust and fast three-phase PLL tracking system. *IEEE Transactions on Industrial Electronics*, v. 58, n. 1, p. 221–231, Jan 2011. ISSN 0278-0046. Citado na página 12.
- 34 GOLESTAN, S.; GUERRERO, J. M.; VASQUEZ, J. C. Three-phase PLLs: A review of recent advances. *IEEE Transactions on Power Electronics*, v. 32, n. 3, p. 1894–1907, March 2017. ISSN 0885-8993. Citado na página 12.
- 35 YUAN, X.; MERK, W.; STEMMLER, H.; ALLMELING, J. Stationary-frame generalized integrators for current control of active power filters with zero steady-state error for current harmonics of concern under unbalanced and distorted operating conditions. *IEEE Transactions on Industry Applications*, v. 38, n. 2, p. 523–532, Mar 2002. ISSN 0093-9994. Citado na página 13.

- 36 TEODORESCU, R.; BLAABJERG, F.; BORUP, U.; LISERRE, M. A new control structure for grid-connected LCL PV inverters with zero steady-state error and selective harmonic compensation. In: *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, 2004. v. 1, p. 580–586 Vol.1. Citado na página 13.
- 37 FUKUDA, S.; YODA, T. A novel current-tracking method for active filters based on a sinusoidal internal model [for PWM invertors]. *IEEE Transactions on Industry Applications*, v. 37, n. 3, p. 888–895, May 2001. ISSN 0093-9994. Citado na página 13.
- 38 ROBLES, E.; CEBALLOS, S.; POU, J.; MARTIN, J. L.; ZARAGOZA, J.; IBANEZ, P. Variable-frequency grid-sequence detector based on a quasi-ideal low-pass filter stage and a phase-locked loop. *IEEE Transactions on Power Electronics*, v. 25, n. 10, p. 2552–2563, Oct 2010. ISSN 0885-8993. Citado 2 vezes nas páginas 16 e 18.
- 39 FREIJEDO, F. D.; DOVAL-GANDOY, J.; LÓPEZ, .; ACHA, E. A generic open-loop algorithm for three-phase grid voltage/current synchronization with particular reference to phase, frequency, and amplitude estimation. *IEEE Transactions on Power Electronics*, v. 24, n. 1, p. 94–107, Jan 2009. ISSN 0885-8993. Citado na página 18.
- 40 DANTAS, N. K. L.; CORREA, M. B. R.; LIMA, A. M. N.; PEREIRA, E. G.; MÉLLO, J. P. R. A. Melhoria do desempenho de algoritmos de sincronização utilizando controlador proporcional ressonante e banco de filtros adaptativos de atraso. In: *XXII Congresso Brasileiro de Automática, 2018 (CBA 2018)*, 2018. Citado 2 vezes nas páginas 20 e 38.
- 41 SHI, Z.; TANG, Z.; WU, H.; CAI, H. A low noise and wide tuning range integrated phase-locked loop. In: *2016 IEEE 7th Annual Information Technology, Electronics and Mobile Communication Conference (IEMCON)*, 2016. p. 1–6. Citado na página 24.
- 42 HADJIDEMETRIOU, L.; KYRIAKIDES, E.; BLAABJERG, F. An adaptive tuning mechanism for phase-locked loop algorithms for faster time performance of interconnected renewable energy sources. *IEEE Transactions on Industry Applications*, v. 51, n. 2, p. 1792–1804, March 2015. ISSN 0093-9994. Citado na página 24.
- 43 ROLIM, L. G. B.; COSTA, D. R. da; AREDES, M. Analysis and software implementation of a robust synchronizing PLL circuit based on the pq theory. *IEEE Transactions on Industrial Electronics*, v. 53, n. 6, p. 1919–1926, Dec 2006. ISSN 0278-0046. Citado na página 24.
- 44 AWAD, H.; SVENSSON, J.; BOLLEN, M. J. Tuning software phase-locked loop for series-connected converters. *IEEE Transactions on Power Delivery*, v. 20, n. 1, p. 300–308, Jan 2005. ISSN 0885-8977. Citado na página 24.
- 45 KAURA, V.; BLASKO, V. Operation of a phase locked loop system under distorted utility conditions. *IEEE Transactions on Industry Applications*, v. 33, n. 1, p. 58–63, Jan 1997. ISSN 0093-9994. Citado na página 24.
- 46 ZHAN, C.; FITZER, C.; RAMACHANDARAMURTHY, V. K.; ARULAMPALAM, A.; BARNES, M.; JENKINS, N. Software phase-locked loop applied to dynamic voltage restorer (DVR). In: *2001 IEEE Power Engineering Society Winter Meeting. Conference Proceedings (Cat. No.01CH37194)*, 2001. v. 3, p. 1033–1038 vol.3. Citado na página 24.

- 47 CHUNG, S.-K. A phase tracking system for three phase utility interface inverters. *IEEE Transactions on Power Electronics*, v. 15, n. 3, p. 431–438, May 2000. ISSN 0885-8993. Citado na página 24.
- 48 DUMITRESCU, A. M.; GRIVA, G.; BOJOI, R.; BOSTAN, V.; MAGUREANU, R. Design of current controllers for active power filters using naslin polynomial technique. In: *2007 European Conference on Power Electronics and Applications*, 2007. p. 1–7. Citado na página 37.
- 49 KIM, D.-K.; KIM, H.-S. Advanced pole placement methodology for non-overshooting condition. In: *7th Korea-Russia International Symposium on Science and Technology, Proceedings KORUS 2003. (IEEE Cat. No.03EX737)*, 2003. v. 2, p. 462–467 vol.2. Citado na página 37.
- 50 KIM, Y. C.; KEEL, L. H.; BHATTACHARYYA, S. P. Transient response control via characteristic ratio assignment. *IEEE Transactions on Automatic Control*, v. 48, n. 12, p. 2238–2244, Dec 2003. ISSN 0018-9286. Citado na página 37.
- 51 KIM, D.; KIM, H.; CHOI, W. A new design method for transient response control. In: *SICE 2003 Annual Conference (IEEE Cat. No.03TH8734)*, 2003. v. 2, p. 2255–2260 Vol.2. Citado na página 37.

Apêndices

APÊNDICE A – Desenvolvimento do Projeto para o Controlador Proporcional Ressonante

Inicialmente são determinadas as funções de transferências de malha aberta e de malha fechada do modelo linearizado de pequenos sinais conforme as expressões abaixo:

$$H_{ma}(s) = \left(K_p + \frac{sK_i}{s^2 + \omega^2} \right) \left(\frac{1}{s} \right) \quad (\text{A.1})$$

$$H_{mf}(s) = \frac{K_p s^2 + K_i s + K_p \omega^2}{s^3 + K_p s^2 + (K_i + \omega^2)s + K_p \omega^2}. \quad (\text{A.2})$$

O polinômio de Naslin é dado por:

$$P_{Naslin}(s) = a_o \left(1 + s\tau + s^2 \frac{\tau^2}{\alpha} + s^3 \frac{\tau^3}{\alpha^3} \right). \quad (\text{A.3})$$

Comparando (A.2) e (A.3) obtém-se:

$$\frac{\tau^3 a_o}{\alpha^3} = 1 \quad (\text{A.4})$$

$$a_o = \frac{\alpha^3}{\tau^3}. \quad (\text{A.5})$$

O ganho proporcional é dado por:

$$K_p = \frac{\tau^2 a_o}{\alpha}. \quad (\text{A.6})$$

Por sua vez, o ganho integral é representado por:

$$K_i = \tau a_o - \omega^2. \quad (\text{A.7})$$

Comparando mais um termo de (A.2) e (A.3), obtém-se a seguinte expressão:

$$K_p \omega^2 = a_o. \quad (\text{A.8})$$

Substituindo (A.6) em (A.8) obtém-se:

$$\frac{\tau^2}{\alpha} \omega^2 a_o = a_o \quad (\text{A.9})$$

$$\tau = \frac{\sqrt{\alpha}}{\omega}. \quad (\text{A.10})$$

Substituindo (A.5) em (A.6) resulta em:

$$K_p = \frac{\tau^2 \alpha^3}{\alpha \tau^3} \quad (\text{A.11})$$

$$K_p = \frac{\alpha^2}{\tau}. \quad (\text{A.12})$$

Substituindo (A.10) em (A.12) resulta em um ganho K_p igual a:

$$K_p = \frac{\omega \alpha^2}{\sqrt{\alpha}}. \quad (\text{A.13})$$

Substituindo (A.5) em (A.7)

$$K_i = \frac{\alpha^3}{\tau^2} - \omega^2. \quad (\text{A.14})$$

E por último, substituindo (A.10) em (A.14) resulta em um ganho K_i dado por:

$$K_i = \omega^2(\alpha^2 - 1). \quad (\text{A.15})$$

APÊNDICE B – Resposta do PLL Clássico

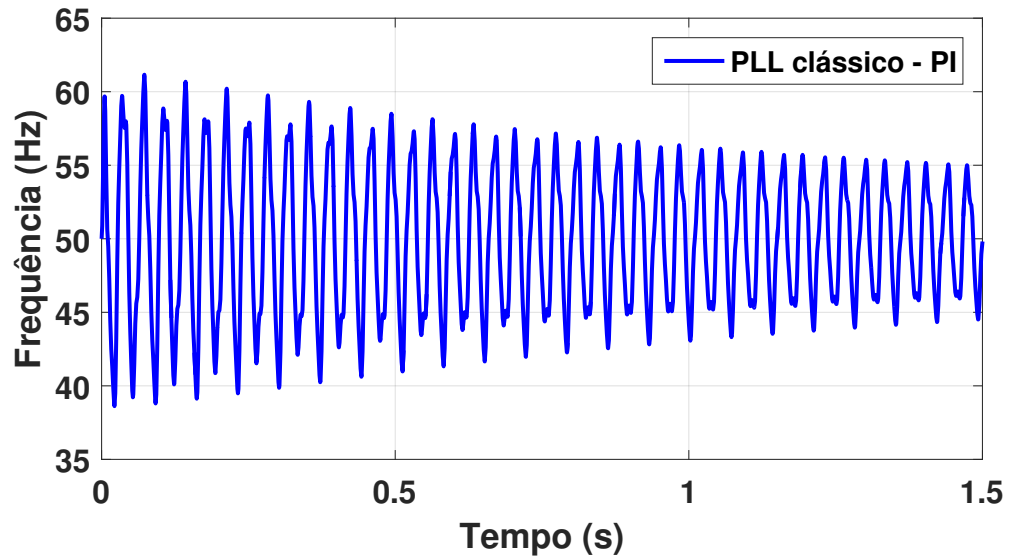


Figura B.1 – Resultado da simulação: sinal de frequência rastreado pelo PLL clássico utilizando um controlador PI projetado para $t_s = 30\text{ms}$.

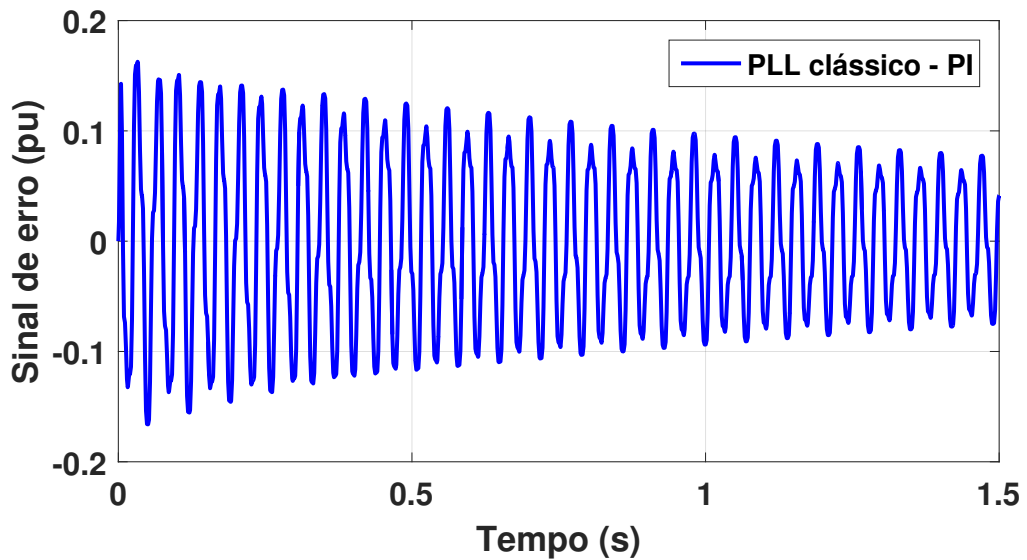


Figura B.2 – Resultado da simulação: sinal de erro do pelo PLL clássico utilizando um controlador PI projetado para $t_s = 30\text{ms}$.