

ANALISADOR LÓGICO DE SISTEMAS DIGITAIS

P O R

MARIA LUCENEIDE MOTA REVOREDO

TESE DE MESTRADO:

Apresentada à Coordenação dos Programas de Pós-Graduação e Pesquisa do Centro de Ciências e Tecnologia da Universidade Federal da Paraíba, em cumprimento às exigências para obtenção do Grau de Mestre em Ciências.

ORIENTADOR: Prof. William Lloyd Brandt

Campina Grande, dezembro de 1978.

Ao meu esposo e meus pais



R459a Revoredo, Maria Luceneide Mota.
Analisador lógico de sistemas digitais / Maria Luceneide Mota Revoredo. - Campina Grande, 1978.
95 f.

Dissertação (Mestrado em Ciências) - Universidade Federal da Paraíba, Centro de Ciências e Tecnologia, 1978.
"Orientação : Prof. Dr. William Lloyd Brandt".
Referências.

1. Sistemas Digitais. 2. Analisador Lógico de Tempo. 3. Dissertação - Ciências. I. Brandt, Lloyd William. II. Universidade Federal da Paraíba - Campina Grande (PB). III. Título

CDU 004.3(043)

AGRADECIMENTOS

- Ao Dr. William Lloyd Brandt, professor do Centro de Ciências e Tecnologia da Universidade Federal da Paraíba, por sua ajuda valiosa na orientação, desenvolvimento e correção deste trabalho.

- Ao professor Misael Elias de Moraes por sua colaboração.

- Aos funcionários deste Centro.

RESUMO

Este trabalho consiste no projeto e montagem de um Analisador Lógico de Tempo, de 8 canais, com capacidade de 2048 bits de informação e dois tipos de entradas: TTL e CMOS.

A finalidade deste Analisador é testar sistemas digitais, sendo gatilhado na entrada por qualquer estado do sistema, a escolha do usuário, que se deseja tomar como referência na análise.

ABSTRACT

This project consists of the design and construction of an 8 - channel Logic Analyzer, with timing diagram output for display on a conventional laboratory oscilloscope. It accepts either TTL or CMOS input, and has a memory of 2048 bits.

The purpose of this Analyzer is the testing of digital systems. It has a trigger word, user selected, to serve as a reference state in this testing.

LISTA DE FIGURAS

<u>FIGURAS</u>		<u>PÁGINA</u>
Fig. 2.1	- Diagrama de Blocos do Sistema Proposto	13
Fig. 3.1	- Esquema Geral Simplificado	25
Fig. 3.2	- Adaptação para Escolha do Nível de Entrada	26
Fig. 3.3	- Comparador Digital de Palavra e Chaves de Palavra para um Canal	27
Fig. 3.4	- Contador Programável e Circuitos Adicionais para o Controle do R/W	29
Fig. 3.5	- Circuito de Pulso de Sincronismo	30
Fig. 4.1	- Conversor D/A Projetado	42
Fig. 4.2	- Saída do Conversor D/A	43
Fig. 4.3	- Multiplexador, Contador de Multiplexador e Conversor D/A	43
Fig. 4.4	- Circuito de Paginação	45
Fig. 4.5	- Circuito para Intensificar o "Gatilho"	46
Fig. 4.6	- Circuito para Gerar o "CLOCK" do Sistema	47
Fig. 5.1	- Todos os Canais com a mesma Informação	54
Fig. 5.2	- Cada Canal ligado a cada Saída de um Contador Binário de 8 bits	54
Fig. 5.3	- Fotografias da Montagem	55
Fig. A.1	- Multiplexador de 4 Bits	67
Fig. A.2	- Símbolo do Multiplexador de 8 Bits	67
Fig. A.3	- Correspondência entre as Variáveis de Multiplex e as Variáveis de Seleção	68

<u>FIGURAS</u>	<u>PÁGINA</u>
Fig. A.4 - (A) Latch com Gate NOR	68
(B) Latch com Gate NAND	68
Fig. A.5 - (A) Latch com NAND e Inversores	68
(B) Símbolo do Latch	68
Fig. A.6 - Esquema do Flip-Flop Master-Slave	69
Fig. A.7 - (A) Flip-Flop RS	69
(B) Símbolo Lógico	69
Fig. A.8 - (A) Flip-Flop JK Master-Slave	71
(B) Símbolo Lógico	71
Fig. A.9 - (A) Flip-Flop D Implementado com Flip-Flop RS	72
(B) Flip-Flop D Implementado com Flip-Flop JK	72
(C) Símbolo Lógico para o Flip-Flop D	72
Fig. A.10 - (A) Flip-Flop T feito com Flip-Flop JK	72
(B) Flip-Flop T feito com Flip-Flop RS	72
(C) Símbolo Lógico	72
Fig. A.11 - Contadores Módulo 2	83
Fig. A.12 - Contador Binário "Down-Counter"	83
Fig. A.13 - Contador Binário "Vai um Simultâneo"	84
Fig. A.14 - Contador Binário Reversível, Módulo 16, "Vai um Simultâneo"	85
Fig. A.15 - Contador Binário "Vai um Simultâneo" , Módulo 5	86
Fig. A.16 - Conversor D/A Básico	86
Fig. A.17 - Conversor D/A com gates lógicos individuais como chaves	87

<u>FIGURAS</u>		<u>PÁGINA</u>
Fig. A.18	- Conversor D/A de 5 Bits com inversores Coletor - Aberto como Chaves	87
Fig. A.19	- (A) Conversor D/A com Chaves Ideais (B) Saída do Circuito (A)	88 88

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso 832 - Tel (083) 321-7222-R 355
58.100 - Campina Grande - Paraíba

LISTA DE TABELAS

<u>TABELAS</u>		<u>PÁGINA</u>
Tab. 3.1	- Tabela Verdade da Memória	26
• Tab. 3.2	- Funcionamento do Comparador Digital com cada Canal	27
Tab. 3.3	- Tabela de Reset e Contagem	28
Tab. 3.4	- Funcionamento do Flip-Flop D	28
Tab. 3.5	- Inicialização do Sistema	29
Tab. 3.6	- Funcionamento do Latch	30
Tab. 4.1	- Tabela Verdade do Multiplexador	41
Tab. 4.2	- Tabela Verdade do Contador de Multiplexador	42
Tab. 4.3	- Tabela de Conversão D/A Para o Conversor Utilizado	42
Tab. 4.4	- Adaptação da Chave para Divisão em Páginas (Bits Sublinhados)	44
Tab. 4.5	- Funcionamento do Monestável	44
Tab. A.1	- Tabela Característica do Latch com Gates NOR	69
Tab. A.2	- Funcionamento do Flip-Flop JK	70
Tab. A.3	- (A) Flip-Flop JK	70
	- (B) Tabela de Excitação	70
Tab. A.4	- Flip-Flop D	71
Tab. A.5	- Flip-Flop T	71

SUMÁRIO

	<u>PÁGINA</u>
CAPÍTULO I - INTRODUÇÃO	1
1.1 - INSTRUMENTOS PARA DEPURAÇÃO DE HARDWARE	1
1.1.1 - TESTADORES LÓGICOS	2
a - Logic Probe	2
b - Pulsador Lógico	2
c - Logic Clip	2
d - Comparador Lógico	3
1.1.2 - ANALISADORES LÓGICOS	3
a - Analisadores Lógicos de Tempo	3
b - Analisadores Lógicos de Estado	4
1.2 - OBJETIVO	4
1.3 - SISTEMAS EXISTENTES	5
CAPÍTULO II - DESCRIÇÃO FUNCIONAL DO SISTEMA PROPOSTO	8
2.1 - ETAPA DE ESCRITA (GRAVAÇÃO)	8
2.2 - ETAPA DE LEITURA	10
2.2.1 - CIRCUITO DE PAGINAÇÃO	11
2.2.2 - CIRCUITO PARA INTENSIFICAR O "GATILHO" NA TELA DO OSCILOSCÓPIO	12
CAPÍTULO III - DESCRIÇÃO MINUCIOSA DA ETAPA DE ESCRITA	14

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso 832 - Tel. (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

PÁGINA

3.1	- ESCOLHA DO NÍVEL DE ENTRADA (SELEÇÃO DA ENTRADA)	14
3.2	- AS MEMÓRIAS	16
3.3	- O COMPARADOR DIGITAL DE PALAVRA E AS CHAVES DE PALAVRA	16
3.4	- O CONTADOR BINÁRIO	18
3.5	- O CONTADOR PROGRAMÁVEL E OS VÁRIOS ELEMENTOS NECESSÁRIOS PARA A ARMAZENAGEM DE DADOS	19
3.6	- COMO SE PROCESSA A ARMAZENAGEM DE DADOS	21
3.7	- O LATCH I E O COMPARADOR DIGITAL I	23
CAPÍTULO IV	- DESCRIÇÃO MINUCIOSA DA ETAPA DE ESCRITA	31
4.1	- O MULTIPLEXADOR DIGITAL E O CONTADOR DE MULTIPLEXADOR	31
4.2	- O CONVERSOR DIGITAL/ANALÓGICO	32
4.3	- O CIRCUITO DE PAGINAÇÃO	35
4.4	- O CIRCUITO PARA INTENSIFICAR O "GATILHO" NA TELA DO OSCIOSCÓPIO	37
4.5	- O CIRCUITO DE GERAÇÃO DO CLOCK DO SISTEMA	39
CAPÍTULO V	- CONCLUSÕES	48
5.1	- PROBLEMAS APRESENTADOS	48
5.1.1	- MÁXIMAS FREQUÊNCIAS DE GRAVAÇÃO E LEITURA	49
5.2	- O CIRCUITO ANALISADO	50
5.3	- ESTIMATIVA DO CUSTO DO SISTEMA PROPOSTO	51

5.3.1 - CARACTERÍSTICAS GERAIS DO SISTEMA PRO - POSTO	51
5.3.2 - RELAÇÃO DE MATERIAL	52
APÊNDICE A - CIRCUITOS DIGITAIS (REVISÃO)	56
A.1 - MULTIPLEXADORES DIGITAIS	56
A.1.1 - CONVERSÃO PARALELO - SÉRIE	58
A.1.2 - SELEÇÃO SEQUENCIAL DE DADOS	59
A.2 - LATCHES	59
A.3 - FLIP-FLOPS	61
A.3.1 - FLIP-FLOP ASSÍNCRONO E SÍNCRONO	62
A.3.2 - CLOCK	62
a - Acoplamento AC	62
b - Acoplamento DC	62
c - Master-Slave	63
A.3.3 - TIPOS DE FLIP-FLOPS	63
a - Flip-Flop RS	63
b - Flip-Flop JK	64
c - Flip-Flop D	65
d - Flip-Flop T	66
A.3.4 - FUNÇÕES DOS FLIP-FLOPS	66
A.4 - CONTADORES	73
A.4.1 - CONTADORES BINÁRIOS	73
A.4.2 - CONTADORES NÃO-BINÁRIOS	75
A.5 - BUFFERS	76
A.6 - COMPARADOR DIGITAL	76
A.7 - MEMÓRIAS SEMICONDUTORAS	77

	<u>PÁGINA</u>
A.7.1 - TIPOS DE MEMÓRIAS	77
A.7.2 - ENDEREÇAMENTO	80
A.7.3 - TEMPO DE ACESSO E TEMPO DE CICLO	80
A.8 - CONVERSORES DIGITAL/ANALÓGICOS	80
APÊNDICE B - ALGUMAS CARACTERÍSTICAS DO OSCILOSCÓPIO UTILIZADO	89
B.1 - A ENTRADA VERTICAL (AMPLIFICADOR VERTI- CAL)	89
B.2 - A ENTRADA DE SINCRONISMO EXTERNO	90
B.3 - A ENTRADA EIXO Z	90
REFERÊNCIAS BIBLIOGRÁFICAS	92

CAPÍTULO I

INTRODUÇÃO

1.1 - INSTRUMENTOS PARA DEPURAÇÃO DE HARDWARE

No mercado atual há vários tipos de instrumentos para depuração de hardware, em sistemas digitais. Basicamente, estes instrumentos se podem dividir em dois grupos. O grupo mais tradicional, que consta dos instrumentos sem memória, simples e baratos como "logic probe", "logic clips", comparadores lógicos e pulsadores lógicos. Estes instrumentos mostram o estado atual de um ponto ou elemento de circuito digital. Eles permitem seguir um sinal lógico através do circuito, ou verificar o funcionamento de uma pastilha de circuito integrado. O outro grupo é o grupo do instrumento com memória e múltiplas entradas paralelas, cujo desenvolvimento foi estimulado pelo uso crescente de sistemas orientados a vias. A utilidade destes instrumentos é baseada em armazenamento dos estados dos sinais durante um trecho de tempo. Is

to permite a subsequente examinação do comportamento do sistema antes e depois do comparecimento de um determinado padrão de bits na via sob examinação (1).

1.1.1 - TESTADORES LÓGICOS

a) Logic Probe

O "Logic Probe" é um instrumento simples, equipado de uma ponta de prova e de um diodo emissor de luz (LED). Os níveis de luminosidade do LED indicam os níveis do sinal sob a ponta de prova.

b) Pulsador Lógico

O Pulsador Lógico é um instrumento que consta de um gerador de pulso, gatilhado por um botão. Usa-se junto com um "Logic Probe" para verificar o comportamento de um circuito integrado.

A aplicação é simples: a ponta de prova se aponta contra a entrada de um circuito integrado sob examinação, e um "Logic Probe" se liga com a saída do mesmo circuito. O botão de pulsador é apertado, gerando um pulso de duração curta (algumas centenas de nano segundo), e de potência suficientemente forte para forçar o pino a nível oposto ao nível existente. O LED do "Logic Probe" indica se o circuito sob teste respondeu da maneira desejada.

c) Logic Clip

O "Logic Clip" é um conjunto de "logic pro -

bes" montados juntos em um dispositivo que permite a ligação rápida com a pastilha do circuito integrado. Os LEDs do "Logic clip" indicam o estado de todos os pinos do circuito integrado sob teste.

d) Comparador Lógico

O Comparador Lógico implementa a seguinte idéia de testagem; a comparação de comportamento de um circuito integrado suspeito com o comportamento de um circuito do mesmo tipo que trabalha bem. Se tiver diferenças nos níveis de saída, o circuito sob teste é evidentemente defeituoso. O instrumento mesmo consta de um cabo com o "clip" para ligação rápida com os circuitos a serem testados, e uma caixa com soquete e conjunto de LEDs que indicam níveis diferentes. Este instrumento é vendido com uma coleção de circuitos integrados verificados (1).

1.1.2 - ANALISADORES LÓGICOS

UNIVERSIDADE FEDERAL DA PARAÍBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 832 - Tel (083) 321 7222-R 355
58.100 - Campina Grande - Paraíba

a) Analísadores Lógicos de Tempo

Um Analísador Lógico de Tempo parece com um Osciloscópio com muitos canais. Há algumas diferenças principais: O Analísador é gatilhado por um padrão dos níveis nas entradas chamada de "gatilho" do sistema, determinado pelo usuário. Este gatilho é o estado do circuito sob análise que se deseja tomar como referência, podendo ser qualquer parte do circuito. As amostras do estado nas entradas durante o tempo determinado antes e depois do comparecimento do gatilho são armazenados em memórias internas. O conteúdo destas memórias é repetidamente

amostrado no TRC (Tubo de Raios Catódicos) do Analisador (ou, mais comumente, no TRC de um osciloscópio convencional exterior, no caso de instrumentos menos caros). Isto permite um exame demorado de relacionamentos de "timing" entre as linhas individuais e o exame dos eventos que precederem e seguiram o gatilho do sistema.

b) Analisadores Lógicos de Estado

Um Analisador Lógico de Estado funciona da mesma maneira que um Analisador de Tempo. A única diferença está no formato de informação de saída: em vez da forma tensão versus tempo, há display codificado em dígitos binários, octais ou hexadecimais (1).

1.2 - OBJETIVO

O objetivo principal deste trabalho é o projeto e montagem de um Analisador Lógico de Tempo que possa ser adaptável a um Osciloscópio Convencional. O sistema proposto dispõe de 8 canais de informações, e estas são armazenadas em 8 memórias, cada uma com capacidade de 256 palavras de um bit (a cada canal corresponde uma memória), formando um total de 2048 bits de informação para cada análise.

A palavra de "gatilho" do sistema, que é o estado do circuito que se deseja tomar como referência para a análise, pode ser vista em qualquer ponto desejado da tela do

osciloscópio através de um circuito apropriado para este fim, que será mostrado em capítulos posteriores. Uma outra característica importante do sistema proposto é a de possuir um circuito de detecção do "gatilho" que tem a finalidade de intensificá-lo na tela do osciloscópio em qualquer lugar que ele se localize. O sistema proposto também possui um controle na entrada dos canais que possibilita a análise de circuitos digitais, tanto da família CMOS como da TTL, sendo que, na saída deste controle tem-se o nível TTL que predominará em todo o sistema.

A finalidade deste projeto é fazer um sistema para testar circuitos digitais em geral, e embora exista limitação de canais (só se pode analisar 8 pontos distintos de um circuito, simultaneamente), não deixa de ter grande utilidade nas análises dos referidos circuitos.

A família TTL foi preferida devido a sua alta velocidade, fácil reposição e popularidade, mas a CMOS teve também participação em situações mais convenientes.

1.3 - SISTEMAS EXISTENTES

A maior parte dos Analisadores Lógicos de Tempo (LOGIC - TIMING ANALYZERS) amostra sinais digitais como réplicas de funções tensão versus tempo e são bastante utilizados para analisar o funcionamento de sistemas digitais.

Os Analisadores Lógicos de Estado (LOGIC -

STATE ANALYZERS) são similares, mas amostram sinais na forma binária (1's e 0's) sobre o TRC, muito embora o tipo de "display" possa variar entre o binário simples, o octal e o hexadecimal.

De uma maneira geral, os Analisadores Lógicos existentes, possuem quase que as mesmas características do sistema proposto, mesmo admitindo outras técnicas de projeto, embora nem todos possuam um circuito de intensificação do "gatilho" citado anteriormente. São vários os tipos, mas todos com o mesmo objetivo: analisar circuitos digitais complexos (2, 3, 4).

Enquanto que os mais populares Analisadores Lógicos de Tempo existentes amostram sinais digitais em frequências entre 10 MHz e 20 MHz, alguns tipos não podem exceder a 1 ou 2 MHz. Existe ainda um tipo especial: o modelo 8200 da BIOMATION, que pode amostrar em frequências acima de 200 MHz (5, 6).

Existe também uma grande variação com relação ao número de canais que comportam. Geralmente possuem 8, 16, 24 e 32 canais. As memórias para a armazenagem de dados são em torno de 256, 512 e 1024 palavras que variam de 4 a 16 bits cada palavra.

Alguns Analisadores são "plug-ins" e só podem ser usados com uma família particular de osciloscópios. O modelo 1601 A (Analisador Lógico de Tempo, de 16 canais) da HEWLETT-PACKARD (HP), por exemplo, é um tipo "plug-in" com osciloscópios da série 180, e o modelo LA-501 da TEKTRONIX exige osciloscópios da série TM-500.

Por outro lado, já existem Analisadores Lógicos que possuem a própria tela para amostrar os dados gravados,

mas estes tipos são bastante caros, como é o caso dos modelos 1607 A da HP e o 810-D da BIOMATION (3, 7). Alguns modelos da HP mais conhecidos são os seguintes: o 5000 A, o 1601 L, o 1600 A, o 1607 e o 1615. (Este último combina análises de estado e de tempo) (2, 4). Da TEKTRONIX, o mais citado é o modelo LA-501 (já frisado anteriormente). Da BIOMATION citam-se os modelos 8200, 810-D e o 920-D. (Este último tem frequência de 20 MHz, 9 canais e ainda display opcional) (2). Já foram lançados no mercado recentemente pela PARATRONICS modelos de Analisadores Lógicos para testar Sistemas de Computadores que apresentam falhas, como é o caso do modelo 150 BUS GRABBER (5). Uma outra firma estrangeira, a KENMARK DEVELOPMENT GROUP INC (New York) também fabrica Analisadores Lógicos para diversas finalidades (5).

No Brasil ainda não se tem conhecimento de fabricação deste tipo de instrumento. Os Analisadores Lógicos disponíveis no mercado por serem importados se tornam bastante caros.

CAPÍTULO II

DESCRIÇÃO FUNCIONAL DO SISTEMA PROPOSTO

Nos próximos capítulos serão desenvolvidos detalhadamente todos os blocos do sistema proposto. Contudo, para possibilitar uma visualização mais global, será apresentado inicialmente na forma de diagrama de blocos, descrevendo-se superficialmente a função de cada uma das partes.

A Fig. 2.1 mostra o Diagrama de Blocos do Sistema Proposto. O funcionamento do Analisador Lógico de Tempo proposto consiste em duas etapas: uma de armazenagem da informação em memórias (gravação), e uma outra de leitura, onde a informação gravada será mostrada na tela de um osciloscópio convencional.

2.1 - ETAPA DE ESCRITA (Gravação)

Os 8 canais disponíveis do sistema proposto

enviam as informações do circuito digital que está sendo analisado para as memórias, através de um circuito que pode selecionar na entrada, por meio de uma chave, o nível TTL ou o CMOS.

No Capítulo III serão dados maiores detalhes com relação ao uso desses dois tipos de entrada.

Os endereços das memórias são controlados por um Contador Binário. O Circuito de Paginação (divisão da memória em páginas), representado na Fig. 2.1, só interessará na etapa de leitura, quando será falado a respeito.

O Comparador Digital de Palavra é controlado por 8 chaves externas denominadas "Chaves de Palavra", nas quais é colocado o estado do circuito digital que se deseja tomar como referência na análise. Este estado de referência é comparado então com as informações que vêm dos canais imediatamente após a seleção da entrada conveniente, até que ocorra a igualdade, quando então será gerado um pulso na saída do Comparador Digital de Palavra, indicando que ocorreu o gatilhamento do sistema. (O estado de referência do circuito digital sob análise colocado nas Chaves de Palavra do Comparador de "gatilho"). Com a chegada da palavra de "gatilho" o Contador Programável começa a contar e após o número de ciclos do CLOCK escolhido pelo usuário, manda o sistema passar da etapa de gravação para a de leitura. Deve ser acrescentado também que as Chaves de Palavra têm 3 posições: "1", "0" e "X" (don't care). Isto porque se se desejar analisar menos que 8 pontos de um circuito digital, implicaria na utilização de um menor número de canais, e logicamente os canais inativos seriam denotados por "don't care".

A função do Contador Programável é permitir a gravação de mais informações após o gatilho. Para tanto, são usados Chaves de Controle (Ver Fig. 2.1) nas entradas do mesmo que permitirão esta escolha de acordo com o desejo do usuário. Qualquer número (em binário) colocado nestas chaves equivalerá a quantidade de bits de informação que ainda serão gravados nas memórias, após o gatilho ter sido gravado. O Contador Programável é importante para o sistema devido ao fato de poder dispor o gatilho, em posições que facilita a análise de muitos bits antes e após a ocorrência do mesmo.

2.2 - ETAPA DE LEITURA

Uma vez gravadas as informações nas memórias o Contador Programável se encarregará de fazer com que seja inibida a gravação e ativada a leitura (controle do READ/WRITE).

O circuito Latch I e Comparador Digital I (Ver Fig. 2.1), que também é controlado pelo Contador Programável, tem a função de gravar (Latch) o endereço da última informação armazenada nas memórias. Cada vez que a informação armazenada neste endereço é lida, aparecerá um pulso na saída do Comparador Digital I, o qual denominar-se-á "Pulso de Sincronismo" e será colocado na Entrada de Sincronismo Externo do Osciloscópio (gatilhamento externo) a fim de que o início da varredura aconteça sempre no mesmo ponto.

O Pulso de Sincronismo servirá também de

CLOCK para o Contador de Multiplexador, cuja frequência é muito menor que a frequência do sistema na etapa de gravação. (Mais precisamente será comentado no Capítulo IV quando será tratado deste assunto). Sabe-se, no entanto, que esta frequência foi escolhida de tal maneira que haja uma seleção sequencial de dados (Ver Apêndice A), ou seja, toda a informação da primeira memória é multiplexada, depois da segunda memória, etc.

O Conversor Digital/Analógico (Ver Apêndice A), que também é controlado pelo Contador de Multiplexador, vai gerar os 8 níveis de tensão DC na tela do Osciloscópio, e as informações já multiplexadas se distribuirão nestes níveis, de maneira que, no primeiro nível, ficarão apenas as informações da primeira memória; no segundo nível, as informações da segunda memória, etc. (É mister frisar que cada canal enviará informação para cada memória, individualmente).

2.2.1 - CIRCUITO DE PAGINAÇÃO

Tendo em vista que o Osciloscópio Convencional (Ver Apêndice B) utilizado possui uma tela de apenas 10 centímetros de largura, torna-se difícil visualizar muitos bits (um total de 256) em cada um dos 8 níveis. Sentiu-se então a necessidade de dividir as memórias em páginas, a fim de facilitar a análise minuciosa das informações, sem que tal dificuldade seja sentida. Com o Circuito de Paginação, conseqüentemente, é necessário um outro Pulso de Sincronismo para o Osciloscópio, que deverá aparecer quando se estiver mostrando o conteúdo de cada página.

No Capítulo IV serão dados maiores detalhes a este respeito.

2.2.2 - CIRCUITO PARA INTENSIFICAR O "GATILHO" NA TELA DO OSCILOSCÓPIO

O Circuito para Intensificar a palavra de "Gatilho" na tela do Osciloscópio é formado apenas por um "Latch" e um Comparador Digital. (Na Fig. 2.1 estão mostrados: Latch II e Comparador Digital II).

Logo que o gatilho é detetado pelo Comparador Digital de Palavra (da maneira citada na seção 2.1), seu endereço é gravado no Latch II. O Comparador Digital II vai comparando os endereços de todas as informações até que ocorra a igualdade. Quando esta acontece, é gerado um pulso negativo na saída do Comparador II. Este pulso negativo é injetado na Entrada Eixo Z do Osciloscópio (Ver Apêndice B), e tem a finalidade de intensificar a palavra de gatilho.

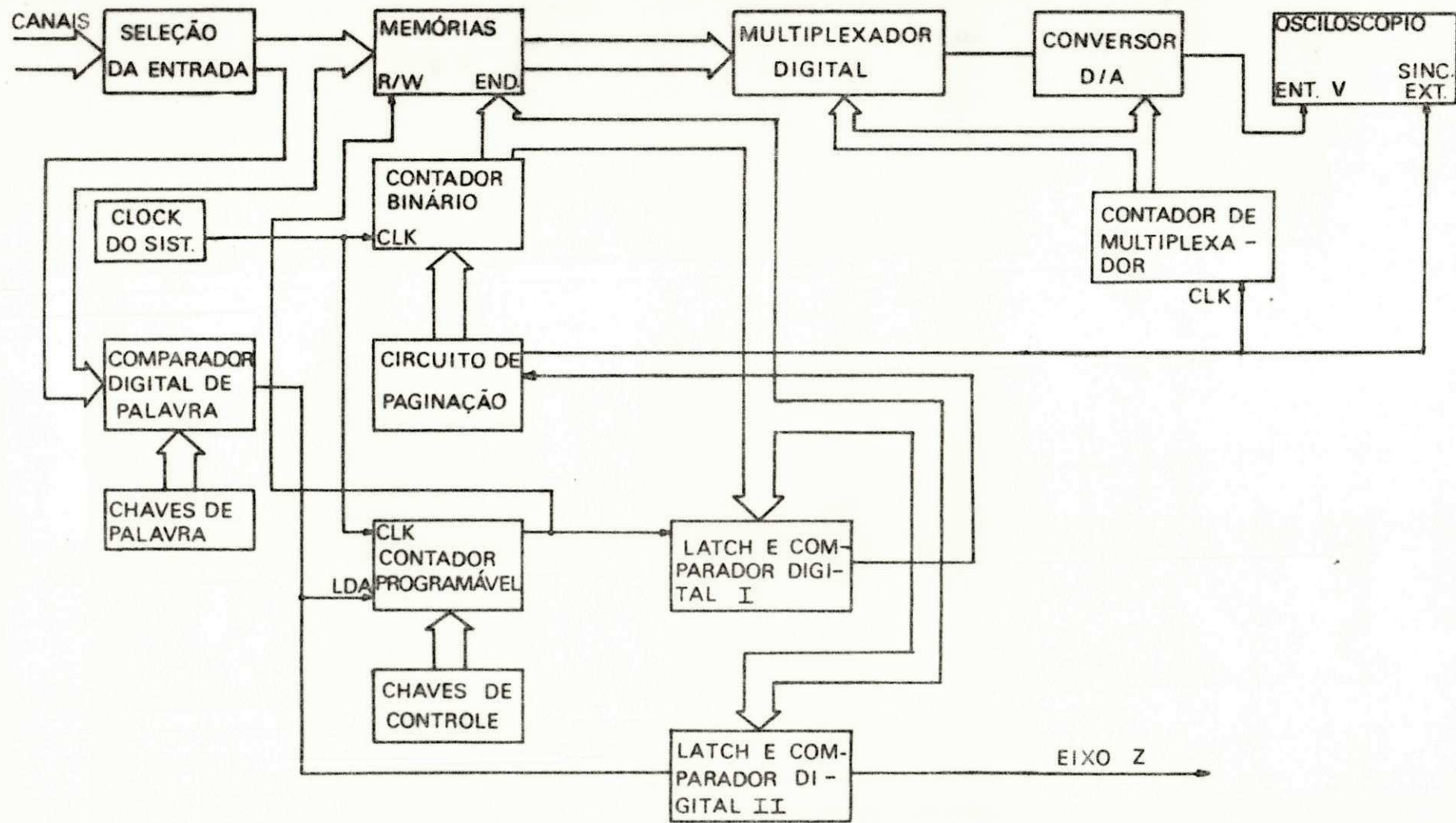


FIG. 2.1 - DIAGRAMA DE BLOCOS DO SISTEMA PROPOSTO.

CAPÍTULO III

DESCRIÇÃO MINUCIOSA DA ETAPA DE ESCRITA

Para se ter uma idéia mais global do Analisador Lógico proposto, é mostrado na Fig. 3.1 o seu esquema geral simplificado. Contudo, com as análises subseqüentes que serão feitas sobre cada bloco individualmente, espera-se uma melhor compreensão de seu funcionamento como um todo.

Neste Capítulo será mostrado de que maneira as informações do sistema a ser analisado vão ser armazenadas nas memórias e quais os controles necessários para esta finalidade.

3.1 - ESCOLHA DO NÍVEL DE ENTRADA (Seleção da Entrada)

Na entrada de cada canal tem-se acesso a dois tipos de níveis lógicos (TTL e CMOS), que podem ser escolhidos

através de simples chaves de duas posições. Este circuito de seleção, mostrado na Fig. 3.2 para um canal, apresenta a saída em nível TTL.

A escolha do nível de entrada é feita de acordo com o circuito digital a ser analisado, muito embora a opção TTL leva uma vantagem com relação a maior rapidez. O nível TTL na entrada não deve ultrapassar a + 5 Volts, enquanto que o CMOS pode ir até + 15 V. Na escolha do nível CMOS, logo na entrada é feita a conversão de CMOS para TTL através do buffer não-inversor, que funciona como um conversor de nível CMOS para TTL (8).

Se o controle da chave é acionado para o nível TTL, o ponto A (Ver Vig. 3.2) do circuito ficará em um nível lógico "1" e conseqüentemente a entrada do gate AND ligada a esse ponto também terá esse nível. Caso a informação na entrada esteja no nível "1", a saída do AND 1 também terá esse nível. Por outro lado, tendo-se a chave acionada da maneira citada, equivale dizer que para a outra posição (CMOS) está desligada. Nesse caso, tem-se ambas as entradas do gate AND 2 em nível "0", produzindo uma saída nível "0" para esse gate. A saída resultante (S) do circuito estará em um nível "0", ou seja, é a informação da entrada (do canal) invertida. Mas, como o tipo de memória utilizado no projeto armazena o dado invertido, na saída desta, recupera-se a informação real. Conclusões similares serão obtidas caso a informação na entrada esteja no nível "0". (Os circuitos integrados que formaram o circuito de Seleção da Entrada foram polarizados com fonte simples de + 5 volts).

3.2 - AS MEMÓRIAS

O tipo de memória utilizado é RAM - RANDOM ACCESS MEMORY (Ver Apêndice A), bipolar, com capacidade igual a 256×1 , ou seja, 256 palavras de 1 bit cada. Foram usados 8 memórias, cada uma armazenando as informações de um canal apenas. É um tipo bastante rápido, tendo um tempo de acesso de 30 n seg. São compatíveis com TTL e funcionam com fonte simples de alimentação de + 5 V (10). Essas memórias possuem apenas um terminal de dados (D_{IN}) e, conseqüentemente, uma saída (D_{OUT}). Possuem 8 terminais de endereços e um terminal de controle do READ/WRITE.

A Tabela 3.1 é a tabela verdade para este tipo de memória e mostra as características de gravação e leitura. Os terminais CHIP ENABLE (CE) é que determinam se a memória está ativa (CE em nível "0") ou não (um ou mais CE em nível "1") (10, 11).

3.3 - O COMPARADOR DIGITAL DE PALAVRA E AS CHAVES DE PALAVRA

No Capítulo II, foi dada uma idéia básica da função do Comparador Digital de Palavra no sistema. Todavia, maiores detalhes com relação a implementação e funcionamento serão dados nesta seção.

A implementação para este circuito é feita

somente com BUFFERS inversores e um gate NAND de 8 entradas, onde cada entrada vai corresponder a simulação para cada canal. A Fig. 3.3 mostra a implementação do Comparador Digital de Palavra e Chaves de Palavra para o Canal 1 apenas. (Logicamente para os 8 canais tem-se 8 implementações iguais, onde cada uma será ligada a uma entrada do NAND).

Como citado no Capítulo anterior, as 8 Chaves de Palavra (que correspondem aos 8 canais) possuem 3 posições: "1", "0" e "X". O "gatilho" para o Analisador (que é o estado escolhido do circuito digital sob teste), é colocado nas chaves, em termo de nível lógico "1" ou "0" (ou "X" no caso de não se estar usando determinado canal), sendo que em cada canal está um bit do gatilho, podendo este ser formado por até 8 bits, no máximo.

Os níveis "1" e "0" na chave (Ver Fig. 3.3) são apenas subtendidos, pois vão depender da informação que vier do canal, ou seja, o gate AND (de 8 entradas) só será gatilhado quando todas as 8 entradas forem iguais a "1", que é quando o "gatilho" colocado nas 8 chaves aparecerá em S_1 (nível "1" em S_1).

A posição "X" (don't care) de cada chave deve ficar permanentemente em "1" para que o gate AND seja gatilhado mesmo quando não se estiver usando um ou mais canais (canais inativos).

Tomando-se o Canal 1 mostrado para um exemplo, tem-se o seguinte; supondo-se um nível "1" no canal 1 e a chave acionada para a posição que indica "1", no ponto B' (saída do

circuito de seleção) tem-se o nível "0", mas devido a ligação de um buffer inversor para esta posição da chave tem-se "1" em B (polo da chave), indicando que houve coincidência de bit colocado na chave com o bit da entrada do canal. Supondo-se uma coincidência desse tipo nos 8 canais, o circuito será gatilhado, ou seja, em S_1 aparecerá o gatilhamento do Analisador.

Para o mesmo exemplo anterior (nível "1" no Canal 1), supondo-se agora a chave acionada para a posição que indica "0" é fácil verificar que o gatilho não irá ocorrer, pois B' estando em um nível "0", tem-se B também em "0", indicando que não houve coincidência entre o bit colocado na chave ("0") e o da entrada do canal ("1"). Desta forma, não há gatilhamento do sistema.

A Tabela 3.2 mostra o funcionamento do Comparador Digital de Palavra com cada canal, individualmente. O ponto B em "1" indica a coincidência de informação do canal com a colocada na chave e ocorrerá o "gatilhamento" do sistema. (Todos os circuitos integrados da Fig. 3.3 foram polarizados com + 5 V).

3.4 - O CONTADOR BINÁRIO

O Contador Binário é o elemento que controla os endereços das Memórias. É um contador de 8 bits e é acionado com o mesmo CLOCK do sistema. Tem várias funções dentro do sistema a respeito das quais será falado a medida que forem surgindo.

A Tabela 3.3 mostra a Tabela do RESET para ativar ou inibir o contador. (A referida Tabela é para um contador de 4 bits. No projeto foram usados dois desses contadores, em cascata) (9).

3.5 - O CONTADOR PROGRAMÁVEL E OS VÁRIOS ELEMENTOS NECESSÁRIOS PARA A ARMAZENAGEM DE DADOS

Como já falado no Capítulo anterior, o objetivo principal do Contador Programável é permitir a gravação de mais informações após o gatilho ter sido gravado. Consegue-se isso através de 8 chaves de controle que acionam as entradas deste contador com a quantidade de pulsos desejada, podendo ser colocado nas chaves qualquer número de 0 a 255. (As 8 chaves de controle possuem apenas duas posições: "1" e "0").

O Contador Programável utilizado é do tipo reversível (Ver Apêndice A), mas foi programado para contar em ordem decrescente (apenas por questão de opção) até 0, a partir do número (em binário) colocado nas chaves de controle. Além das saídas normais, este tipo de Contador possui mais dois terminais de saída denominados CARRY e BORROW que são utilizados de acordo com a programação feita. Na contagem decrescente a saída utilizada é o BORROW (o BORROW dá um pulso de largura igual ao pulso aplicado na contagem decrescente, a cada transição de 0 para 255). Na contagem crescente a saída utilizada é o CARRY e o pulso produzido pelo CARRY acontece na transição de 255 para 0 (9).

O CLOCK para o Contador Programável é o mesmo


do sistema e é controlado por um Flip-Flop D (Ver Apêndice A) e dois gates, NAND e AND respectivamente, sendo que sãõ acontecereã quando o sistema for gatilhado ($S_1 = 1$) (Ver Fig. 3.1).

Consegue-se a inibiçãõ do Contador Programã - vel quando este apresentar as saídas zeradas aproveitando-se a transiçãõ do BORROW (de "1" para "0") citada anteriormente, pa - ra inibi-lo. (Nessa transiçãõ, o BORROW permanecerã em "0" atẽ que o sistema seja inicializado novamente). Desde que o CLEAR esteja inativo (aterrado) o Contador ã controlado pela entrada LOAD que dependendo do nãvel aplicado farã o Contador contar ou nãõ.

Do diagrama de estados para este tipo de con - tador tem-se: (9).

CLEAR em "0"
COUNT UP em "1"
CLOCK em "1"
(COUNT DOWN)
LOAD EM "0"

As entradas passam para as saídas

CLEAR em "0"
COUNT UP em "1"
CLOCK 
(COUNT DOWN)
LOAD EM "1"

Contagem Decrescente

Quando LOAD e CLEAR estãõ inativos, o Conta -

UNIVERSIDADE FEDERAL DA PARAIBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprigio Veloso, 882 - Tel (083) 321-7222-R 355
58.100 - Campina Grande - Paraíba

dor é carregado com o número colocado nas entradas (chaves de controle). No momento em que o LOAD vai para "1" (CLEAR permanecendo inativo) e o CLOCK aparece, dá-se o início da contagem até que o Contador seja inibido ao chegar em zero.

Os dois Flip-Flops D (controlados por uma chave) é que comandam tanto a gravação das informações quanto a amostragem das mesmas. A chave S_W estando em "0" (inicializar a gravação) indica que os controles CLEAR de ambos os Flip-Flops estão aterrados, e tanto Q_1 como Q_2 estão em "0" (Ver Tabela 3.4). Nesta situação as Memórias estão gravando. Quando a chave S_W for colocada em "1" e a palavra do "gatilho" for detetada pelo Comparador Digital de Palavra (fazendo com que haja mudança de estado nos Flip-Flops) o Contador Programável começa a contar e após o número de ciclos do CLOCK escolhido ele é inibido fazendo com que o sistema passe da etapa de gravação para a de leitura.

3.6 - COMO SE PROCESSA A ARMAZENAGEM DE DADOS

Esta seção é melhor compreendida com um exemplo. Seja um Contador Binário de 8 bits, o circuito que se deseja analisar. Cada saída deste contador é ligada a cada entrada do sistema (a cada canal).

Nas 8 Chaves de Palavra (Ver Fig. 3.4) é colocado em binário o estado do contador que se deseja tomar como referência na análise (gatilho). Supondo-se o estado 10100000 (160_{10}) como "gatilho" e deseje-se situá-lo, por conveniência mais ou menos na metade da tela do Osciloscópio (ou seja, o gatilho deve ser gravado na metade dos 256 bits que as Memórias comportam), aciona-se as chaves de controle do "Con-

tador Programável com o número 128 em binário, ou seja, 10000000 (O esquema da Fig. 3.4 juntamente com a Tabela 3.5, esclarecem melhor as explicações que seguem).

A armazenagem de dados é iniciada tão logo se acione o CLOCK do sistema. A chave S_W estando aterrada mesmo que a palavra de gatilhamento seja detetada pelo Comparador Digital de Palavra ($S_1 = 1$) ambos os Flip-Flops permanecerão em "0" ($Q_1 = Q_2 = 0$), continuando a gravação dos dados nas memórias. Nesta situação tem-se LOAD em "0", CLOCK em "1" (BORROW em "1"), e como mostrado na seção anterior as entradas do contador passam para a saída, ficando pronto para contar. O BORROW juntamente com o CLOCK do sistema que também controla o Contador de Endereços, passando através de um gate NAND, produzem a saída de controle para o READ/WRITE das Memórias, de tal maneira que só vai permitir a gravação após a estabilização do endereço, evitando assim que sejam gravados dados incorretos. (A parte do circuito que indica ENABLE do Latch I será mostrada com mais detalhes na seção seguinte).

Acionando-se a chave S_W para "1" logo que a palavra de gatilhamento for detetada ($S_1 = 1$) haverá a inversão da situação anterior (Ver Tabela 3.5) : Q_2 vai para "1", conseqüentemente Q_1 também vai para "1" e o LOAD (que depende de Q_1) vai para "1". Como no Contador Programável aparece o CLOCK, este irá contar em ordem decrescente, 128 pulsos até chegar em zero, quando será inibido na transição (de "1" para "0") do BORROW.

É fácil perceber que enquanto o contador estiver contando a situação de gravação de dados continua (BORROW

permanece em "1"). No momento em que o contador for inibido pela transição do BORROW para "0", esse "0" é também sentido pelo NAND, cuja saída (que controla o READ/WRITE) passa para "1" fazendo com que o sistema passe da etapa de gravação para a de leitura (Ver Tabela 3.1). Nesta situação o CLOCK do Contador Programável será "0" porque o BORROW permanece em "0" (9). (Utilizou-se dois Contadores Programáveis de 4 bits, em cascata).

3.7 - O LATCH I E O COMPARADOR DIGITAL I

O circuito Latch I e Comparador Digital I (Ver figura 3.1) tem a finalidade de gravar (Latch) o endereço da última informação armazenada nas Memórias e ir comparando (Comparador) com todos os outros até que ocorra a igualdade, a qual produzirá um pulso na saída do Comparador, denominado "Pulso de Sincronismo", que por sua vez vai gatilhar o Osciloscópio para que a varredura seja sempre iniciada no mesmo ponto.

O Latch utilizado é importante para o armazenamento temporário (na forma binária) e é controlado para gravar ou não através de um terminal ENABLE, cujo estado controla o Latch. (O Latch utilizado tem 8 bits).

A Tabela 3.6 mostra o funcionamento do Latch.

O Comparador Digital I é implementado com gates OU-EXCLUSIVO, NOR e AND. O circuito de gravação do endereço da última informação armazenada nas memórias (Latch I e Compara

dor Digital I) é mostrado na Fig. 3.5. Quando o endereço gravado no Latch coincidir com o endereço na entrada do Comparador, na saída S_2 aparecerá o Pulso de Sincronismo. (É fácil verificar, pois neste caso, tem-se ambas as entradas de cada OU-EXCLUSIVO iguais, produzindo uma saída "0" em cada OU-EXCLUSIVO e, conseqüentemente, cada saída NOR em "1", que ligadas a um gate AND produz o pulso de sincronismo já citado).

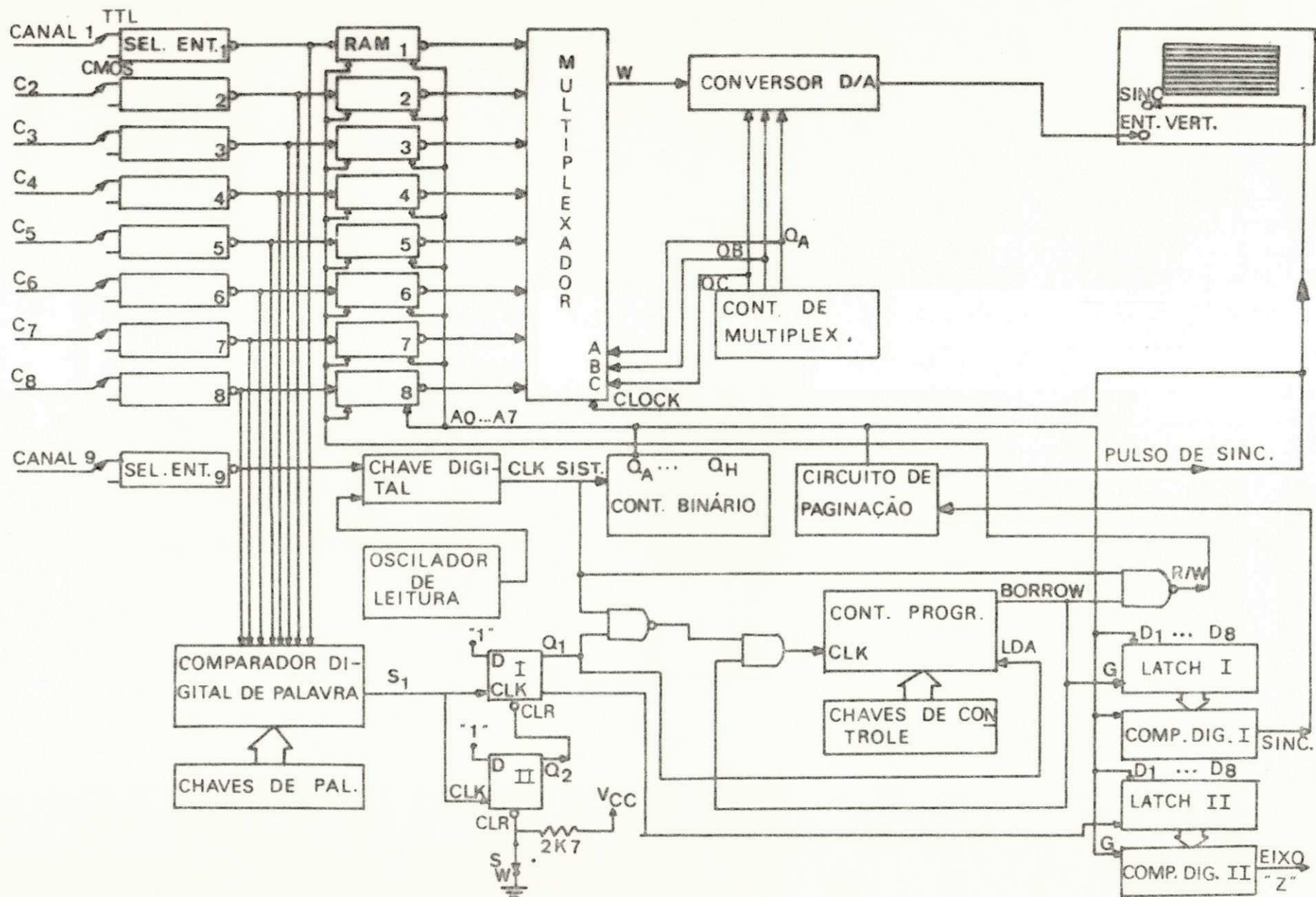


FIG. 3.1 - ESQUEMA GERAL SIMPLIFICADO.

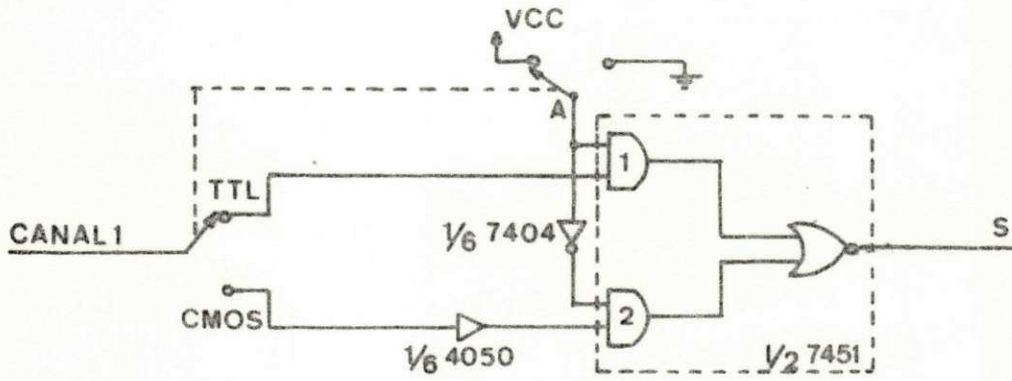


FIG.3.2- ADAPTAÇÃO PARA ESCOLHA DO NÍVEL DE ENTRADA.

MODO	\overline{CE}	\overline{WE}	D_{IN}	82S16
				D_{OUT}
READ	0	1	X	STORED DATA
WRITE '0'	0	0	0	1
WRITE '1'	0	0	1	0
DISABLED	1	X	X	HIGH-Z

(*) '0' = TODAS AS ENTRADAS \overline{CE} LOW.
 '1' = UMA OU MAIS ENTRADA \overline{CE} HIGH.
 X = DON'T CARE.

TAB.3.1- TABELA VERDADE DA MEMÓRIA.

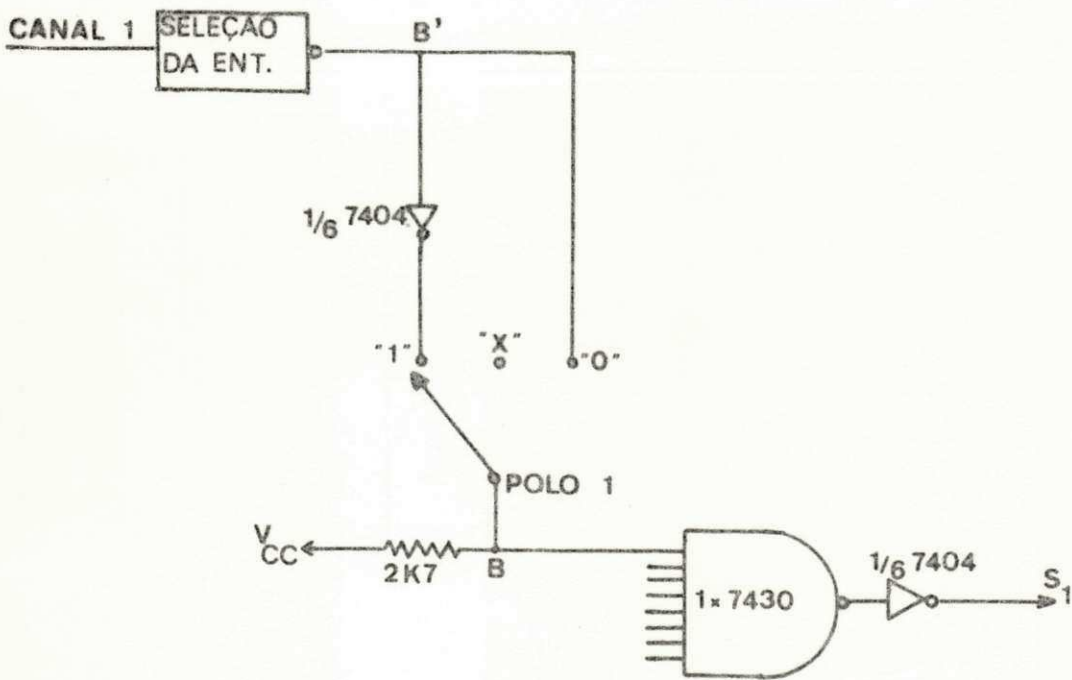


FIG. 3.3 - COMPARADOR DIGITAL DE PALAVRA E CHAVES DE PALAVRA PARA UM CANAL.

INFORMAÇÃO DO CANAL	POSIÇÃO DA CHAVE	PONTO B'	PONTO B
0	0	1	1
1	0	0	0
0	1	1	0
1	1	0	1
0	X	1	1
1	X	0	1

TAB. 3.2 - FUNCIONAMENTO DO COMPARADOR DIGITAL COM CADA CANAL.

ENT. RESET		SAÍDAS			
$R_0(1)$	$R_0(2)$	Q_d	Q_c	Q_b	Q_a
1	1	0	0	0	0
0	1	CONTA			
X	0	CONTA			

TAB. 3.3 - TABELA DE RESET E CONTAGEM.

CHAVE S_W	ENTRADAS				SAÍDAS	
	CLR	PRESET	CLK	D	Q	\bar{Q}
0	0	1	X	1	0	1
1	1	1	↑	1	1	0
	1	1	0	1	Q_0	\bar{Q}_0

TAB. 3.4 - FUNCIONAMENTO DO FLIP-FLOP D.

(*) PERMANECE O ESTADO ANTERIOR.

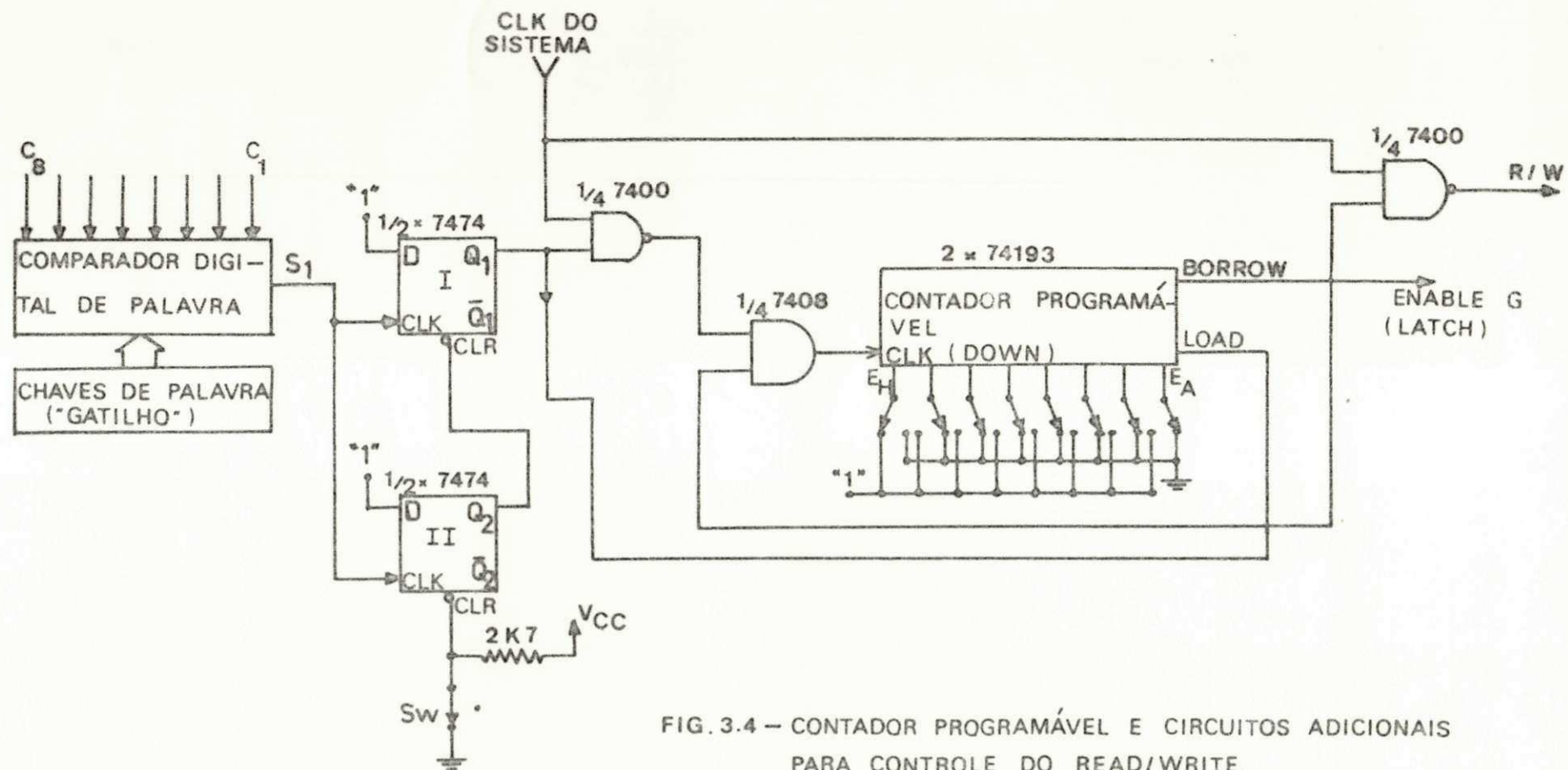


FIG. 3.4 – CONTADOR PROGRAMÁVEL E CIRCUITOS ADICIONAIS PARA CONTROLE DO READ/WRITE.

CHAVE Sw	S ₁	Q ₁	Q ₂	LOAD	CLOCK	BORROW	R / W	G (LATCH)
0	X	0	0	0	1 (INIBIDO)	1		1
1	1	1	1	1	(CONTA)		1	0

TAB. 3.5 – INICIALIZAÇÃO DO SISTEMA.

ENTRADAS		SAÍDAS	
D	G	Q	\bar{Q}
0	1	0	1
1	1	1	0
X	0	Q_0	\bar{Q}_0

TAB. 3.6 - FUNCIONAMENTO DO LATCH.

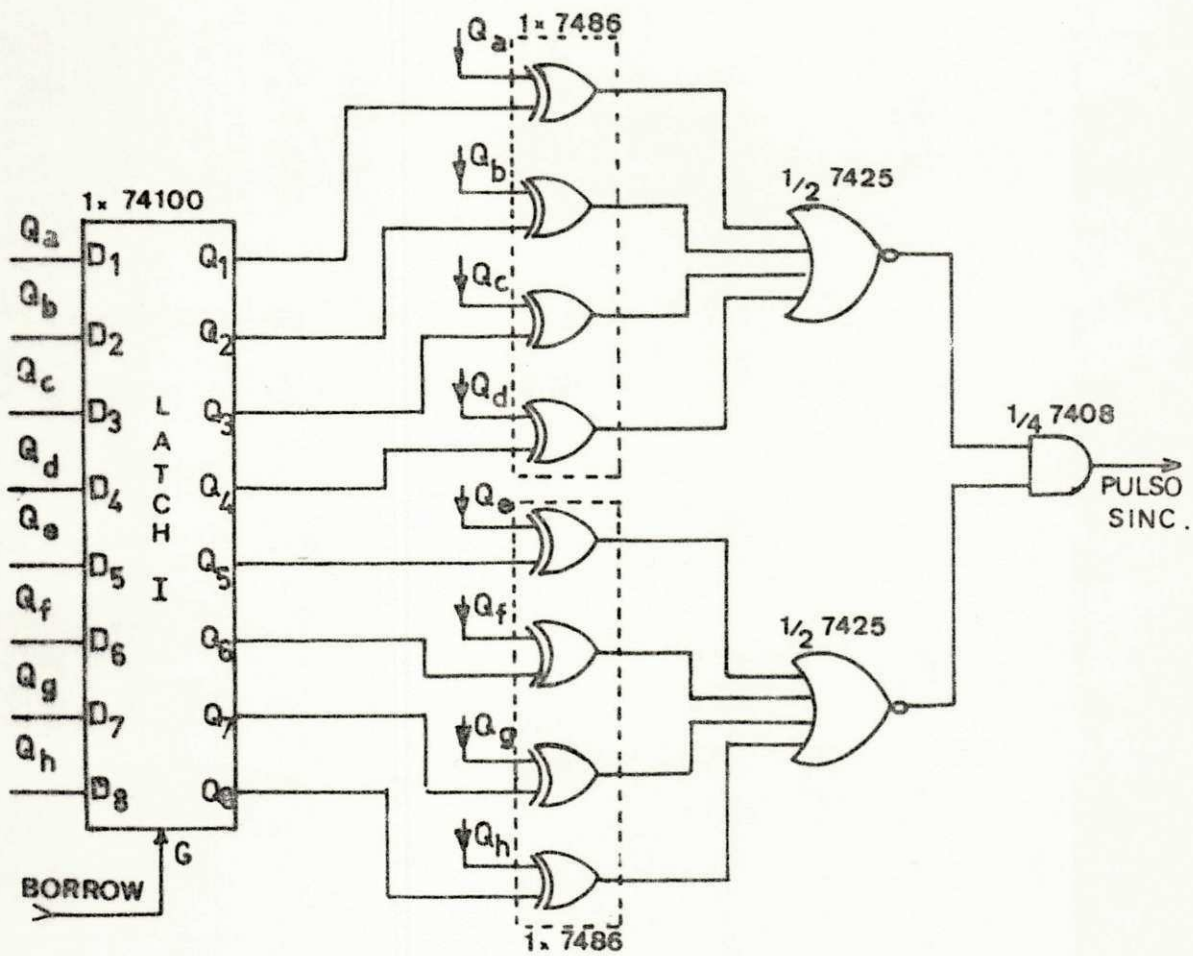


FIG. 3.5 - CIRCUITO DE PULSO DE SINCRONISMO.

CAPÍTULO IV

DESCRIÇÃO MINUCIOSA DA ETAPA DE LEITURA

Neste Capítulo serão mostrados detalhadamente todos os circuitos que compõem a parte da leitura. Todavia, os circuitos que estão relacionados, tanto com a gravação como com a leitura, não serão repetidos, devendo-se, quando necessário, revisá-los no Capítulo anterior. Será mostrado também um circuito que foi projetado para fornecer o CLOCK para o Sistema.

4.1 - O MULTIPLEXADOR DIGITAL E O CONTADOR DE MULTIPLEXADOR

O Multiplexador Digital permite a conexão de uma dentre todas as 8 entradas a uma única saída (W) da maneira desejada (Ver Apêndice A), bastando controlar o seletor de dados através de um Contador Binário denominado Contador de Multiplexador. O Contador de Multiplexador também controla o Conversor Digital/Analógico que gera os 8 níveis de tensão diferentes

sobre os quais as informações do circuito digital a serem analisadas se distribuirão na amostragem.

O controle da parte de leitura da informação obedece a uma seleção sequencial de tal maneira que a amostragem é feita por memória, onde o conteúdo de cada memória se distribuirá em cada nível de tensão diferente. Ou seja: o conteúdo da primeira memória no primeiro nível de tensão; da segunda memória no segundo nível, etc. Este controle é conseguido porque a frequência do Contador de Multiplexador é $1/256$ da frequência do sistema (isso sem considerar a divisão em páginas), fazendo com que o seletor de dados permaneça em 000 durante a multiplexação dos 256 bits da primeira memória, em 001 para os 256 bits da segunda memória, etc.

As Tabelas verdade para o Multiplexador e Contador de Multiplexador utilizados são respectivamente, Tabela 4.1 e 4.2 (8) (Ambos são da família CMOS, polarizados com fonte simples de + 5 V).

4.2 - O CONVERSOR DIGITAL/ANALÓGICO (12, 13, 14)

Visando principalmente a importância do baixo custo nos projetos atuais o Amplificador Operacional comumente utilizado na implementação de Conversores Digital/Analógicos foi substituído por um simples SOMADOR RESISTIVO. A Fig. 4.1 mostra o Conversor Digital/Analógico projetado. O SOMADOR RESISTIVO tanto vai melhorar a resposta em frequência do sistema como re-

duzir bastante o custo do Projeto com relação ao Amplificador Operacional.

Para a obtenção de um espaçamento entre cada nível de tensão de por exemplo, 20 mV, obtêm-se, o valor de R_A da maneira mostrada abaixo:

$$0,02 \text{ V} = \frac{V_{\text{saída cont.mux.}} \times 100\Omega}{R_A}$$

portanto,

$$R_A = \frac{5 \times 100}{0,02} = \frac{500}{0,02} = 25 \text{ K}\Omega$$

usar:

$$R_A = \underline{24 \text{ K}\Omega}$$

Para o balanceamento entre os resistores usa-se a equação abaixo:

$$\frac{R_A}{4} = \frac{R_B}{2} = \frac{R_1}{1} \quad (13)$$

$$R_A = 2R_B \quad \therefore \quad R_B = \frac{R_A}{2} = \underline{12 \text{ K}\Omega}$$

$$R_C = \frac{R_A}{4} = \underline{6 \text{ K}\Omega}$$

Sem sinal na entrada do Conversor ($Q_A = Q_B = Q_C = 0$) a saída do conversor está no nível zero. Então o primeiro nível de tensão está no nível zero. Como as tensões de refe-

rências (Q_A , Q_B e Q_C), são sempre valores positivos, obtêm-se uma rampa crescente, onde o primeiro nível está em zero e o oitavo nível em 140 mV (o espaçamento entre cada nível é de 20 mV, como citado anteriormente).

Com esta disposição dos níveis é fácil observar que o Canal 1 se situaria no nível zero e portanto seria o último nível mostrado na tela do Osciloscópio, e o oitavo nível seria o primeiro. Para se conseguir o inverso, ou seja, o Canal 1 no nível de 140 mV e o Canal 8 no nível 0 basta inverter as entradas do Multiplexador, ou seja, a saída (D_{OUT}) da primeira memória vai para a entrada 7 do Multiplexador, terminando com a saída da oitava memória ligada à entrada 0 do Multiplexador. Desta forma obtêm-se, como desejado, as informações do Canal 1 no primeiro nível (140 mV), e as do Canal 8 no oitavo nível que é 0.

A Tabela 4.3 é a tabela de conversão D/A para o Conversor Projetado, e a Fig. 4.2 mostra a escada crescente obtida na conversão.

O resistor R mostrado na Fig. 4.1 tem a finalidade de reduzir o nível dos pulsos de informação (de + 5 V na saída W do Multiplexador) para cerca de 10 mV (metade da distância entre cada nível). O valor para o resistor R será determinado da maneira abaixo:

$$0,01 \text{ V} = 5 \text{ V} \cdot \frac{100 \ \Omega}{R}$$

$$R = \frac{5 \times 100}{0,01} = \frac{500}{0,01} = 50 \text{ K}\Omega$$

Usar:

$$R = 47 \text{ K}\Omega$$

É mostrado na Fig. 4.3 um esquema do circuito composto por Multiplexador Digital, Contador de Multiplexador e Conversor D/A.

4.3 - O CIRCUITO DE PAGINAÇÃO

O Circuito de Paginação (divisão das memórias em páginas) é de grande utilidade para uma melhor visualização dos bits de informação na tela do osciloscópio. Dividiu-se, portanto, as memórias em 4 páginas, cada uma delas formada por apenas 64 bits, de tal maneira que na primeira estejam os bits de 0 a 63, na segunda de 64 a 127, na terceira, de 128 a 191 e na quarta página de 192 a 255.

Para tanto, utilizou-se uma chave rotativa de 5 posições, obedecendo a Tabela 4.4. Como já citado em capítulos anteriores, o Contador Binário é quem controla os endereços das memórias. Tornou-se necessário, entretanto, simulá-lo de maneira que nas 4 primeiras posições da chave o Contador só contasse 64 bits (de 0 a 63) e somente na quinta posição contasse na sua sequência normal (de 0 a 255). Os bits sublinhados nas

4 primeiras posições são os simulados na chave. Esses bits serão introduzidos nos dois últimos endereços de cada Memória e não vão depender de Q_G nem de Q_H . Na quinta posição da chave o Contador faz sua contagem normal, e os valores para A_6 e A_7 vão depender de Q_G e Q_H (Ver Tabela 4.4).

A Fig. 4.4 mostra a simulação do Contador de Endereços (Contador Binário) para a divisão das memórias em páginas. (A chave utilizada possui 3 polos).

O Monoestável ligado à saída Q_F tem a finalidade de produzir o pulso de sincronismo para o osciloscópio no caso de se estar mostrando cada página. Ele é gatilhado na descida do pulso, ou seja, quando o Contador chega ao número 63 (Q_A, Q_B, Q_C, Q_D, Q_E e Q_F todos iguais a 1) arma o monoestável que gatilhará no instante em que o Contador detectar o número 64 (Q_G vai para "1" e Q_F e os demais vão para 0) onde se dá a transição de Q_F de 1 para 0. A Tabela 4.5 é a tabela de funcionamento do monoestável utilizado. (A parte hachurada foi a projetada). Na transição de 1 para 0 a saída Q do monoestável gera um pulso que servirá para gatilhar o osciloscópio quando se estiver mostrando o conteúdo de cada página.

Como esse pulso de gatilhamento é apenas para disparar o osciloscópio, sua largura pode ser bem estreita, por exemplo, de aproximadamente 1μ segundo. Tem-se o relacionamento seguinte para a largura de pulso de saída ($t_{W(OUT)}$): (9)

$$t_{W(OUT)} = C_{ext.} \cdot R_T \cdot \ln 2 \cong 0,7 \cdot C_{ext.} \cdot R_T$$

Substituindo o valor de $t_{W(OUT)}$ e colocando um Capacitor ($C_{ext.}$) de aproximadamente 1 nF (9) tem-se:

$$R_T = \frac{1 \mu s}{0,7 \times 1 \text{ nF}} = \frac{1 \times 10^{-6}}{0,7 \times 10^{-9}} = \frac{1}{0,7} \times 10^3 = 1428,5 \Omega$$

Portanto, $R_T \cong 1 \text{ K } 5$ (O Monoestável utilizado foi o 74121)

Como mostrado na Fig. 4.4, na quinta posição da chave o gatilho do monoestável não é sentido. Esta quinta posição está ligada à saída do Comparador Digital I e o período do pulso de sincronismo é 256 vezes maior que o período do CLOCK do sistema. No caso da paginação, o período do pulso de sincronismo é apenas 64 vezes maior que o período do CLOCK do sistema (a frequência é 1/64 da frequência do CLOCK do sistema).

O polo 3 da chave rotativa (Ver Fig. 4.4) enviará o "Pulso de Sincronismo" para o Osciloscópio (está conectado à Entrada de Sincronismo Externo) em qualquer posição que a chave se encontre. Esse "Pulso de Sincronismo" também servirá de CLOCK para o Contador de Multiplexador, cuja multiplexação dos dados é feita da forma mostrada na seção 4.1.

4.4 - O CIRCUITO PARA INTENSIFICAR O "GATILHO" NA TELA DO OSCILOSCÓPIO

Já foi dado no Capítulo II uma idéia básica deste circuito. É formado por um Latch e um Comparador Digital,

denominados Latch II e Comparador Digital II mostrados na Fig. 3.1.

Do mesmo modo que o Comparador Digital I e Latch I vão gravar o endereço da última informação armazenada nas Memórias, citada no Capítulo III (seção 3.7), assim se fará neste caso, sendo que a transição na saída S_3 é acompanhada pelo circuito de acoplamento mostrado devido ao produto RC ser grande. (Notar que o circuito de acoplamento não tem nível DC. Portanto na transição em S_3 de "1" para "0" a saída S_4 vai de 0 a um certo valor negativo).

O Circuito de Intensificação do Gatilho na Tela do Osciloscópio é mostrado na Fig. 4.5. O Comparador Digital II é implementado em gates OU-EXCLUSIVO, NOR e NAND. As saídas do Contador Binário (que controla os endereços) são as entradas do Latch e também do Comparador. As saídas do Latch são constantemente comparadas com as entradas do Comparador.

Pela tabela de gravação do Latch mostrado no Capítulo anterior tem-se o seguinte: No instante em que o gatilho for detetado pelo Flip-Flop I, a saída \bar{Q}_1 (antes era "1") muda para o nível "0". O ENABLE G do Latch indo para "0" retém na saída o estado anterior a essa mudança, ou seja, o endereço do gatilho. Então, toda a vez que na entrada do Comparador aparecer o endereço do "gatilho" na saída do Comparador Digital II (S_4) ocorrerá um pulso negativo, que injetado na Entrada Eixo Z do Osciloscópio permite a intensificação apenas do "gatilho". (Ver Apêndice B).

4.5 - O CIRCUITO DE GERAÇÃO DO CLOCK DO SISTEMA

Foi introduzido no projeto um canal (denominado Canal 9) com a finalidade de fornecer o CLOCK para o Sistema. Isto porque a frequência de gravação poderá atingir valores bastante elevados (acima de 10 MHz) enquanto que a frequência na Leitura não atingirá frequências desta ordem, devido a própria limitação do Multiplexador e do Conversor D/A. O Contador de Multiplexador que controla os circuitos citados possui uma frequência típica para o "CLOCK" de 3 MHz, no máximo. Necessitou-se, portanto, projetar um circuito que durante a gravação dos dados ativasse o sistema com a mesma frequência colocada na entrada (Canal 9) e quando o sistema passasse da etapa de gravação para a de leitura o próprio circuito impedisse a passagem desta frequência alta e permitisse que uma frequência bem mais baixa (dada por um OSCILADOR DE LEITURA) controlasse o sistema.

O circuito mostrado na Fig. 4.6 tornou isto possível sem a necessidade de controle manual. O OSCILADOR DE LEITURA mostrado foi projetado para fornecer uma frequência de aproximadamente 250 KHz (em S_{CLK}) quando o sistema estiver na etapa de leitura. (No Capítulo V será mostrado porque foi escolhida essa frequência).

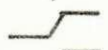


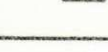
O nível de entrada do Canal 9 pode ser TTL ou CMOS. O circuito de Seleção da Entrada é o mesmo projetado para os outros canais (Fig. 3.2) mostrado no Capítulo III. Na etapa de gravação, como a entrada do gate AND 1 (que vem do ENABLE G do Latch) está no nível "1" e como a outra entrada desse mes-

mo gate tem o CLOCK do Canal 9 (invertido), a saída desse gate também o terá. Por outro lado, estando a entrada 1 do AND 1 em "1", a entrada 1 do AND 2 estará em "0" e mesmo o OSCILADOR DE LEITURA fornecendo um "CLOCK" de frequência igual a 250 KHz, na saída do AND 2 o nível é "0". Portanto, nesta situação, a saída S_{CLK} enviará para o Contador de Endereços o CLOCK introduzido pelo Canal 9.

Quando o sistema passar para a etapa de leitura (ENABLE G do Latch vai para "0") a situação anterior se inverterá: a saída do AND 1 irá para "0" e a do AND 2 será o "CLOCK" fornecido pelo OSCILADOR DE LEITURA. Nesta situação o CLOCK do sistema (S_{CLK}) terá uma frequência de 250 KHz.

C	B	A	INHIBIT	DISABLE	W
0	0	0	0	0	X 0
0	0	1	0	0	X 1
0	1	0	0	0	X 2
0	1	1	0	0	X 3
1	0	0	0	0	X 4
1	0	1	0	0	X 5
1	1	0	0	0	X 6
1	1	1	0	0	X 7

TAB. 4.1 - TABELA VERDADE DO MULTIPLEXA-
DOR.

CLOCK	RESET	ESTADO
0	0	NÃO MUDA
0	1	TODAS AS SAÍDAS BAIXAS
1	0	NAO MUDA
1	1	TODAS AS SAÍDAS BAIXAS
	0	NÃO MUDA
	1	TODAS AS SAÍDAS BAIXAS
	0	CONTA UM ADIANTE
	1	TODAS AS SAÍDAS BAIXAS

TAB. 4.2 - TAB. VERDADE DO CONTADOR DE MUL-
TIPLEXADOR.

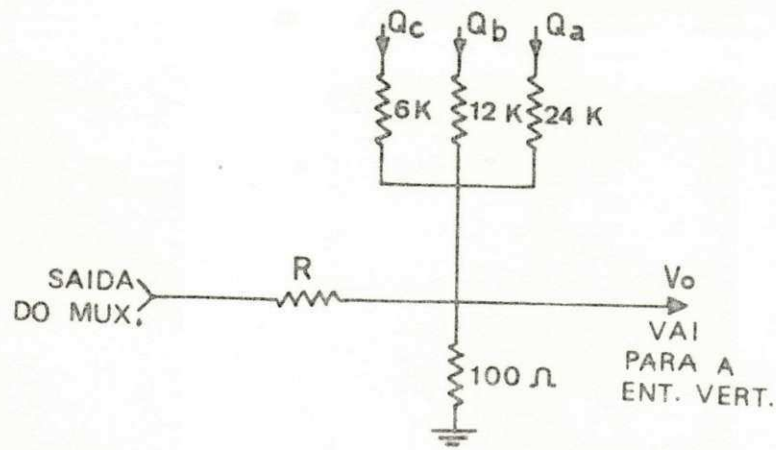


FIG.4.1 - CONVERSOR D/A PROJETADO.

Nº DE ESTADOS	Q_c	Q_b	Q_a	V_o (mV)
0	0	0	0	0
1	0	0	1	20
2	0	1	0	40
3	0	1	1	60
4	1	0	0	80
5	1	0	1	100
6	1	1	0	120
7	1	1	1	140

TAB. 4.3 - TAB. DE CONVERSÃO D/A PARA O CONVERSOR UTILIZADO.

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 832 - Tel. (83) 321 7222-R 355
 58.100 - Campina Grande - Paraíba

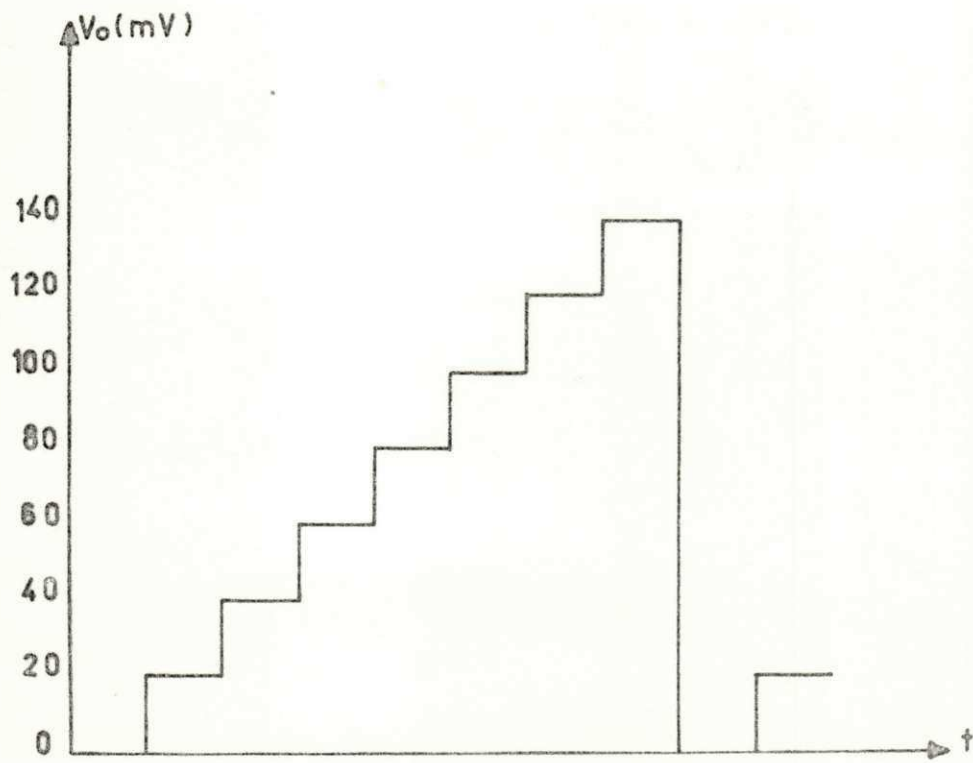


FIG. 4.2 - SAÍDA DO CONVERSOR D/A.

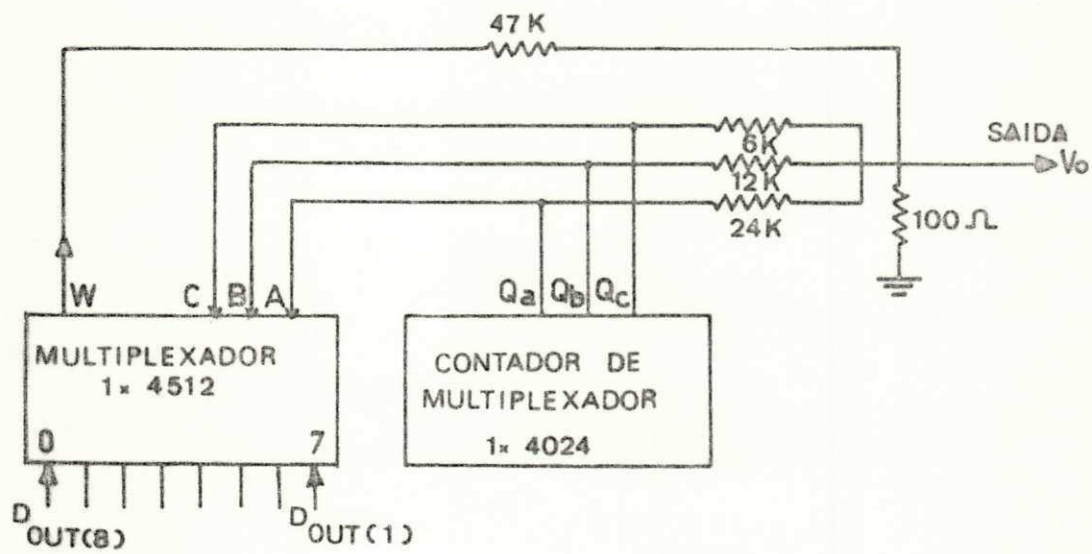












FIG. 4.3 - MULTIPLEXADOR, CONT. DE MULTIPLEX. E CONV. D/A.

	<u>A₇</u>	<u>A₆</u>	Q _f	Q _e	Q _d	Q _c	Q _b	Q _a	
POS. 1	<u>0</u>	<u>0</u>	0	0	0	0	0	0	0-63
	<u>0</u>	<u>0</u>	1	1	1	1	1	1	
POS. 2	<u>0</u>	<u>1</u>	0	0	0	0	0	0	64-127
	<u>0</u>	<u>1</u>	1	1	1	1	1	1	
POS. 3	<u>1</u>	<u>0</u>	0	0	0	0	0	0	128-191
	<u>1</u>	<u>0</u>	1	1	1	1	1	1	
POS. 4	<u>1</u>	<u>1</u>	0	0	0	0	0	0	192-225
	<u>1</u>	<u>1</u>	1	1	1	1	1	1	
POS. 5	Q _h	Q _g	Q _f	Q _e	Q _d	Q _c	Q _b	Q _a	0-255
	0	0	0	0	0	0	0	0	
	1	1	1	1	1	1	1	1	

TAB. 4.4-ADAPTAÇÃO DA CHAVE PARA DIVISÃO EM PÁGINAS.
(BITS SUBLINHADOS)

ENTRADAS			SAÍDAS	
A ₁	A ₂	B	Q	Q̄
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
<u>1</u>	↓	1		
↓	1	1		
↓	↓	1		
0	X	↑		
X	0	↑		

TAB. 4.5 - FUNCIONAMENTO DO MONOESTÁVEL.

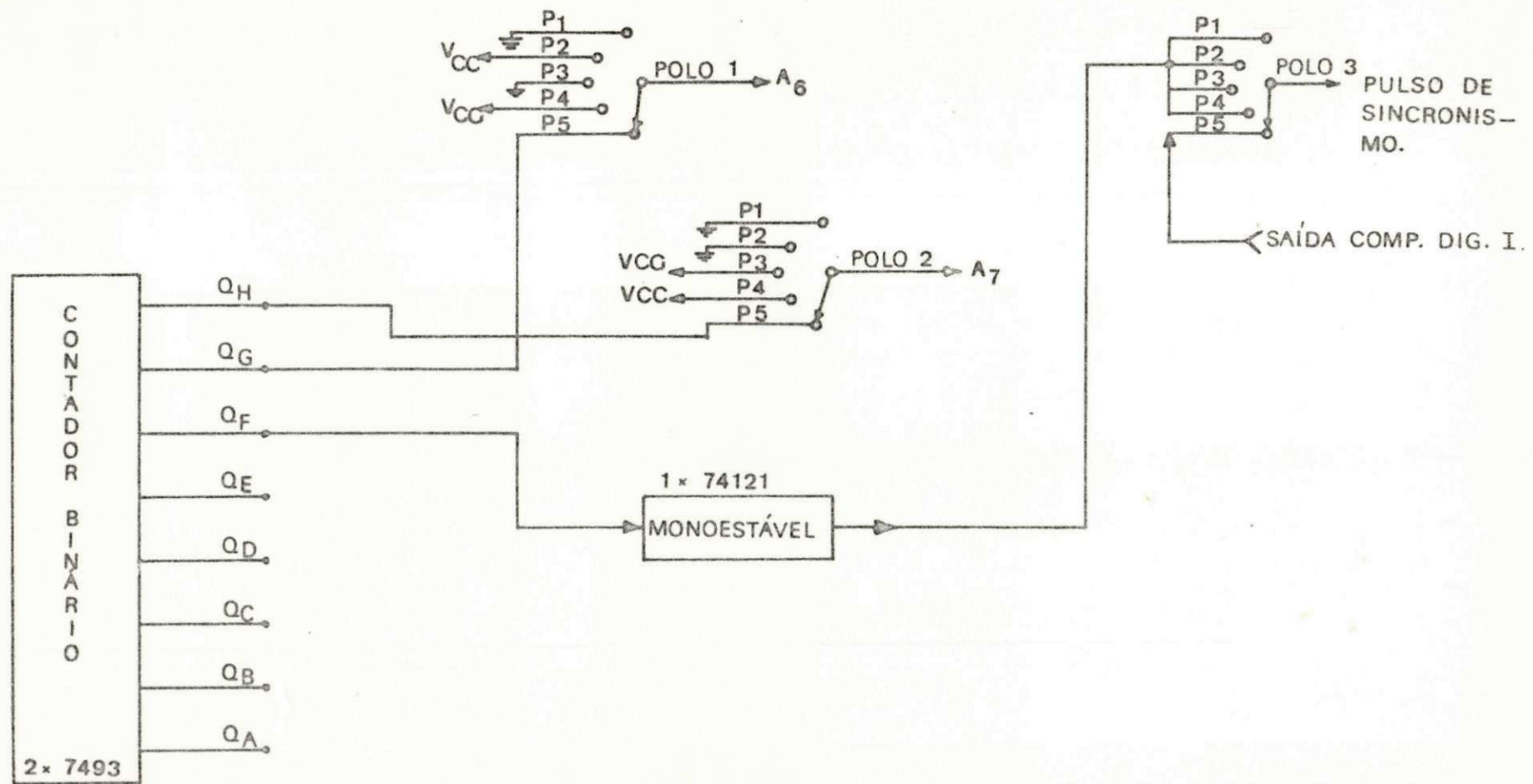


FIG. 4.4 - CIRCUITO DE PAGINAÇÃO.

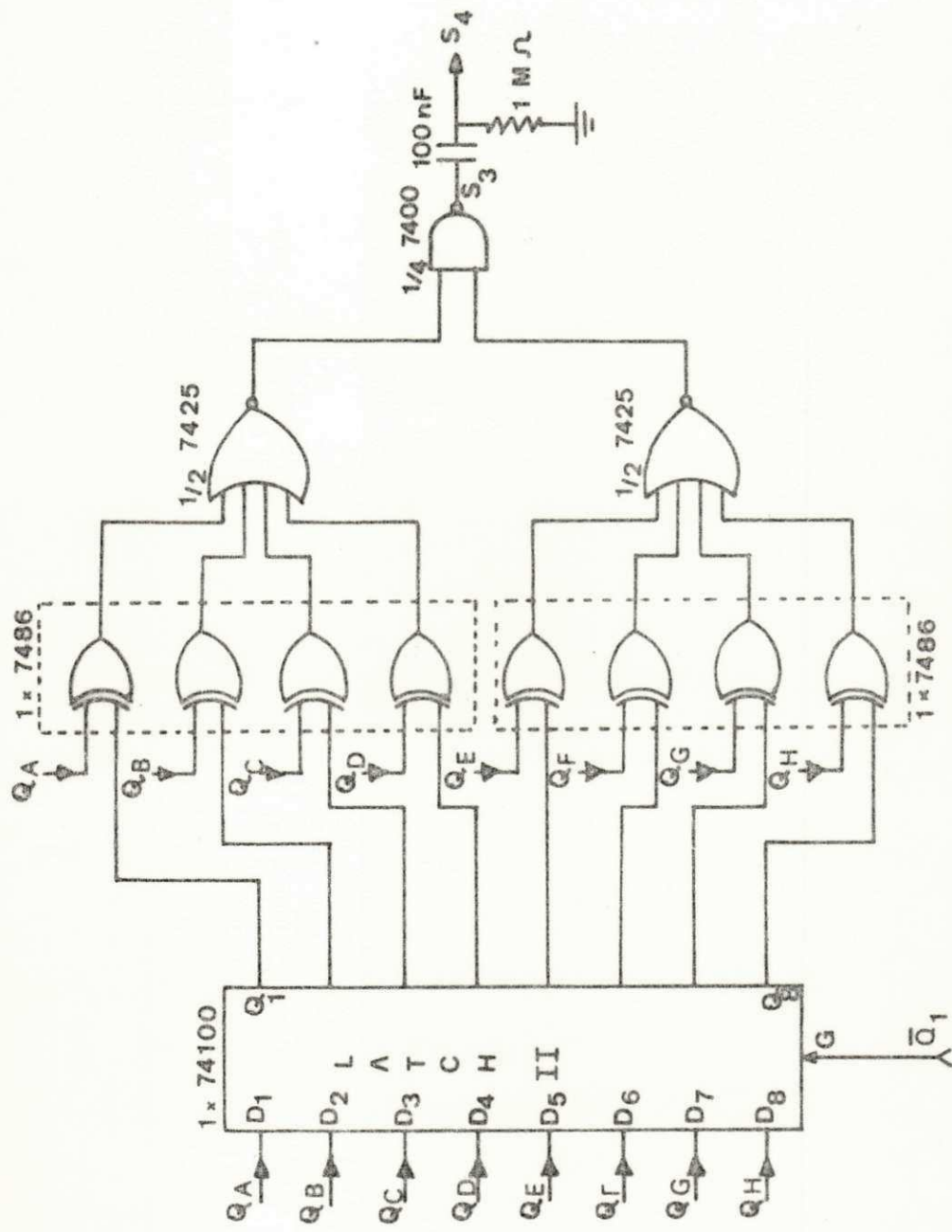


FIG. 4.5 - CIRCUITO PARA INTENSIFICAR O GATILHO.

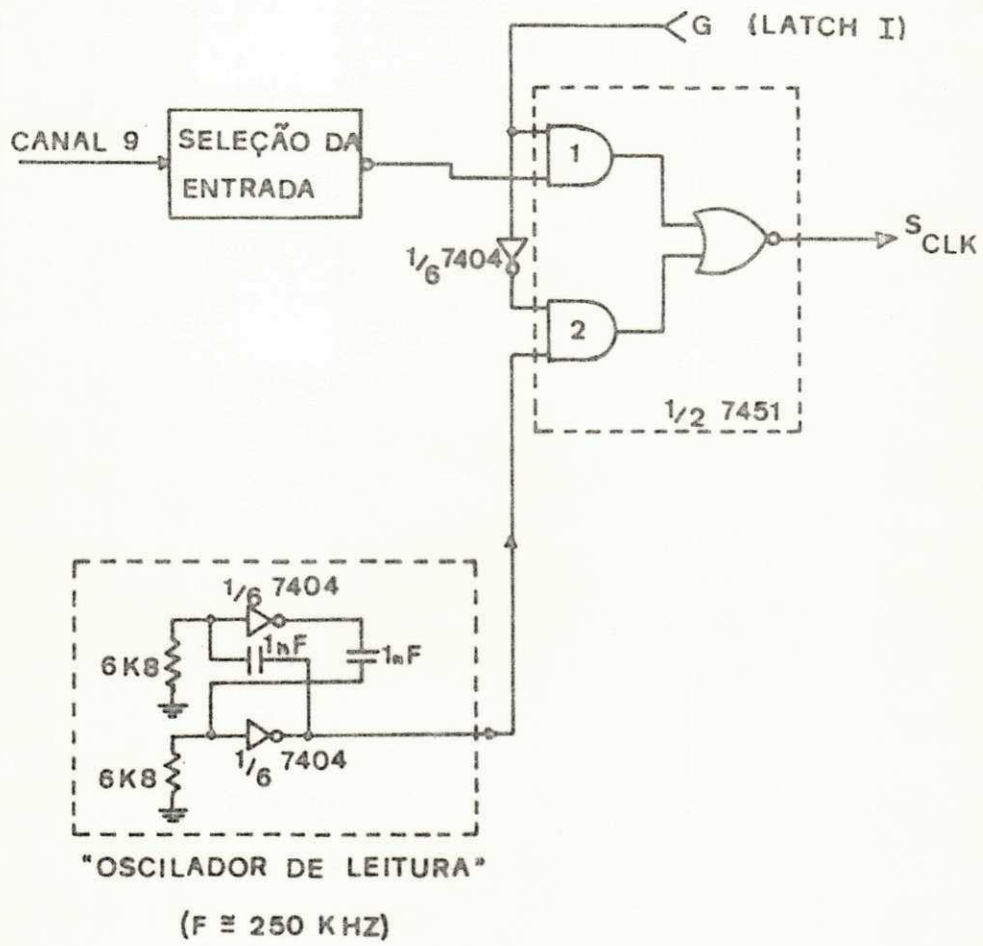


FIG. 4.6 - CIRCUITO PARA GERAR O CLOCK DO SISTEMA.

CAPÍTULO V

CONCLUSÕES

Este Capítulo mostra os resultados e conclusões de testes feitos com o sistema proposto. São citados os principais problemas apresentados pelo sistema devidos a vários fatores, inclusive com relação a máxima frequência de gravação e leitura. No final será dado uma estimativa do custo do sistema projetado apenas em termos de componentes e uma relação do Material utilizado.

5.1 - PROBLEMAS APRESENTADOS

As dificuldades encontradas durante os testes submetidos deram-se principalmente a ruídos introduzidos por partes de circuitos no sistema. Para se evitar ruídos intensos na saída do sistema, o desacoplamento da fonte tornou-se indis-

pensável. Grande parte dos ruídos foi eliminada utilizando-se capacitores de desacoplamento (da ordem de 10 a 100 nF) em determinados pontos do sistema tais como, no Multiplexador e Conversor D/A, sendo seu uso recomendado também nas Memórias.

Problemas de transições bastante acentuadas na amostragem devidos a cada mudança de endereço foram também minimizados utilizando-se Flip-Flops tipo D para fazer as ligações entre as Memórias e o Multiplexador, permitindo a leitura após a estabilização do endereço para que os dados não sejam lidos erradamente. Esta conexão obedeceu a Tabela 3.4 do Flip-Flop D apresentada no Capítulo III. A Saída de cada Memória (D_{OUT}) é ligada à entrada D de cada Flip-Flop cujo CLOCK é o mesmo do Contador Binário que controla os endereços, havendo portanto, uma sincronização entre a gravação do dado e a leitura.

Os resultados obtidos após a introdução dos elementos citados foram bastante satisfatórios.

5.1.1 - MÁXIMAS FREQUÊNCIAS DE GRAVAÇÃO E LEITURA

Com relação às frequências de Gravação e Leitura, os testes feitos apresentaram os resultados seguintes: Em frequências de até 1,2 MHz os resultados obtidos na gravação foram bastante satisfatórios, não havendo erros nos dados gravados. Em frequência acima de 2 MHz, as informações de alguns canais não foram gravadas corretamente, e a medida em que se aumenta a frequência (foi elevada até 10 MHz) o número de bits gravados erradamente aumenta.

Devido às várias gravações feitas em frequências de até 1,2 MHz pode-se afirmar que, até essa frequência, o sistema é confiável.

Com relação a máxima frequência de leitura, esta chegou até 500 KHz ou um pouco mais, embora frequências em torno de 100 e 250 KHz apresente resultados bem melhores.

De uma maneira geral, os resultados conseguidos foram bastante aceitáveis, muito embora se esperasse uma resposta em frequência bem mais elevada. Contudo, deve-se também levar em consideração as condições em que os testes foram feitos: o projeto foi testado ainda em super-strip, acarretando o aparecimento de capacitâncias parasitas introduzidas através de fios bastante longos nas ligações entre os circuitos integrados. Espera-se melhores resultados quando a montagem for transferida para o circuito impresso.

Por outro lado, devidos aos resultados conseguidos para a leitura das informações aqui mencionadas é que foi projetado o "Oscilador de Leitura" citado no Capítulo IV (Seção 4.5) centrado em uma frequência de aproximadamente 250 KHz que atuará na etapa de leitura. Logicamente esta frequência de 250 KHz poderá ser aumentada quando o projeto for posto em condições melhores.

5.2 - O CIRCUITO ANALISADO

Foi testado no Analisador Lógico um Contador

Binário de 8 bits. (O CLOCK do circuito a ser analisado é o mesmo do sistema).

Inicialmente colocou-se em todos os canais a mesma informação para que o funcionamento do projeto fosse comprovado. A Fig. 5.1 mostra os 8 canais de informação ligados à saída menos significativa do Contador. A frequência de gravação foi de 1,2 MHz.

A Fig. 5.2 mostra cada canal ligado a cada saída do Contador, ou seja, Canal 1 ligado à saída menos significativa e Canal 8 à saída mais significativa. A frequência de gravação foi também de 1,2 MHz. A Fig. 5.3 mostra fotografias da montagem.

5.3 - ESTIMATIVA DO CUSTO DO SISTEMA PROPOSTO

O custo do sistema projetado considerando apenas os componentes (Circuitos Integrados, Chaves, Resistores e Capacitores) é estimado em aproximadamente Cr\$ 5.500,00 em dezembro de 1978 .

5.3.1 - CARACTERÍSTICAS GERAIS DO SISTEMA

- Nível lógico na entrada : TTL e CMOS
- Alimentação : Fonte simples de + 5 V
- Capacidade : 2048 bits de informação
- Máxima Frequência de gravação conseguida : 1,2 MHz

UNIVERSIDADE FEDERAL DA PARAÍBA
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

- Máxima Frequência de Lei
tura conseguida : 500 KHz
- Tipo de "Display" : Diagrama de Estados

5.3.2 - RELAÇÃO DE MATERIAL

- 1 SN74121N - Monoestável Multivibrador
- 8 Memórias N82S16B - Memória RAM 256x1
- 2 DM 7493 N - Contador Binário de 4 bits
- 2 SN 74193 N - Contador Binário Programável de 4 bits
- 5 SN 7474 N - Flip-Flop tipo D
- 1 SCL 4512 A/BE - Multiplexador de 8 bits
- 1 SCL 4024 AE - Contador Binário de 7 estágios
- 2 CD 4050 AE - Buffers/Conversores (não-inversor)
- 5 DM 7451 N - Chave digital (gates AND-OR-INVERT)
- 4 DM 7404 N - Buffers Inversores
- 2 74100 N - Latches Biestáveis de 8 bits
- 4 SN 7486 N - Gates OU-EXCLUSIVO
- 2 7425 N - Gates NOR de 4 entradas
- 1 SN 7408 N - Gates AND de 2 entradas
- 1 SN 7400 N - Gates NAND de 2 entradas
- 1 DM 7430 N - Gate NAND de 8 entradas
- 8 CHAVES TIPO ALAVANCA (2 Polos x 3 Posições) (De preferência o tipo miniatura)
- 8 CHAVES TIPO HH (2 polos x 2 posições)
- 1 CHAVE ROTATIVA (3 polos x 5 posições) - NON SHORT STEATITE
- 1 CHAVE PUSHBUTTON (Contato Instantâneo)
- 5 Resistores de 12 K Ω x 1/4 W
- 1 Resistor de 47 K Ω x 1/4 W

- 1 Resistor de 100Ω x $1/8$ W
- 2 Resistores de $6,8\text{ K}\Omega$ x $1/4$ W
- 2 Capacitores de 1 nF
- 5 Capacitores de 47 nF
- 8 CHAVES TIPO ALAVANCA (1 polo x 2 posições). (De preferência o tipo miniatura).

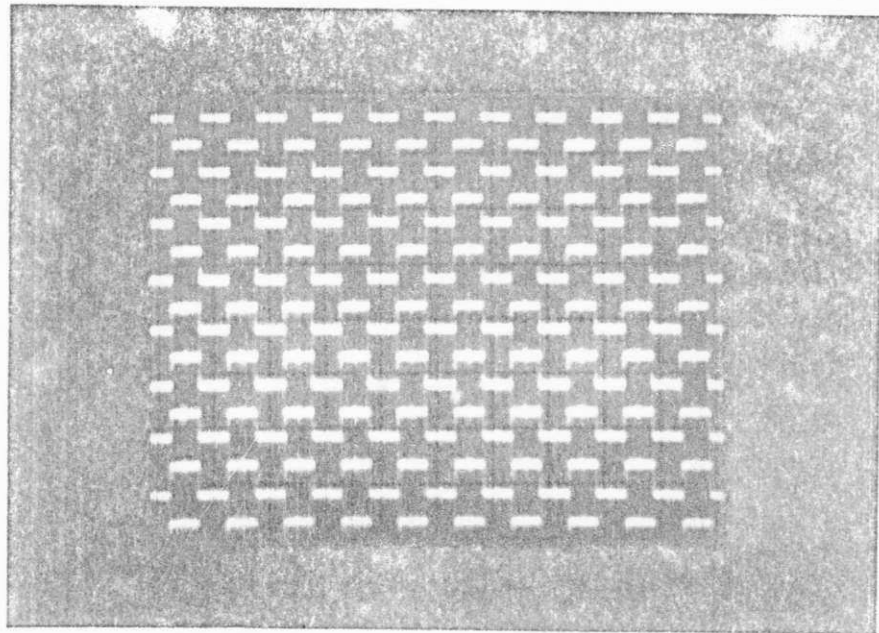


Fig. 5.1 - Todos os canais com a mesma informação

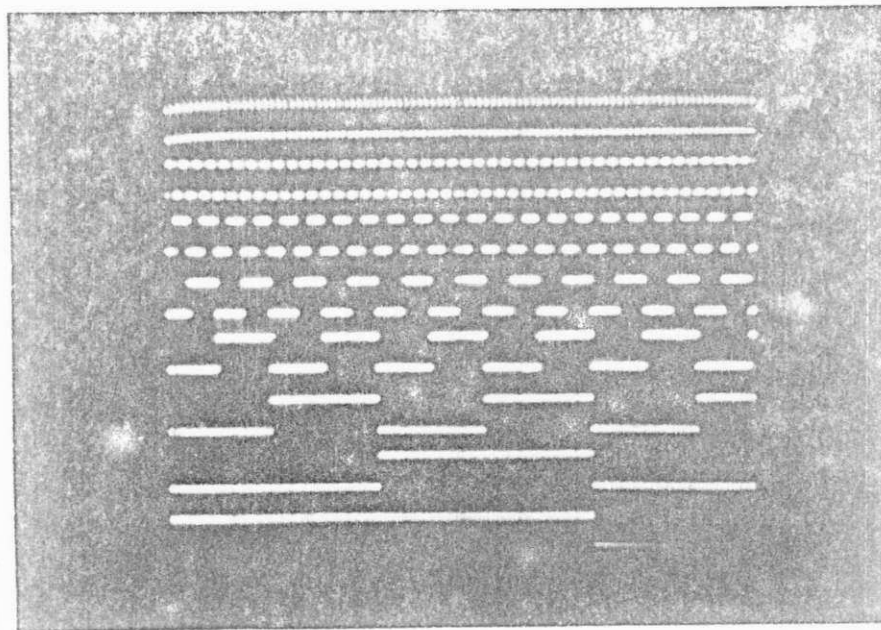


Fig. 5.2 - Cada canal ligado a cada saída de um contador de 8 bits

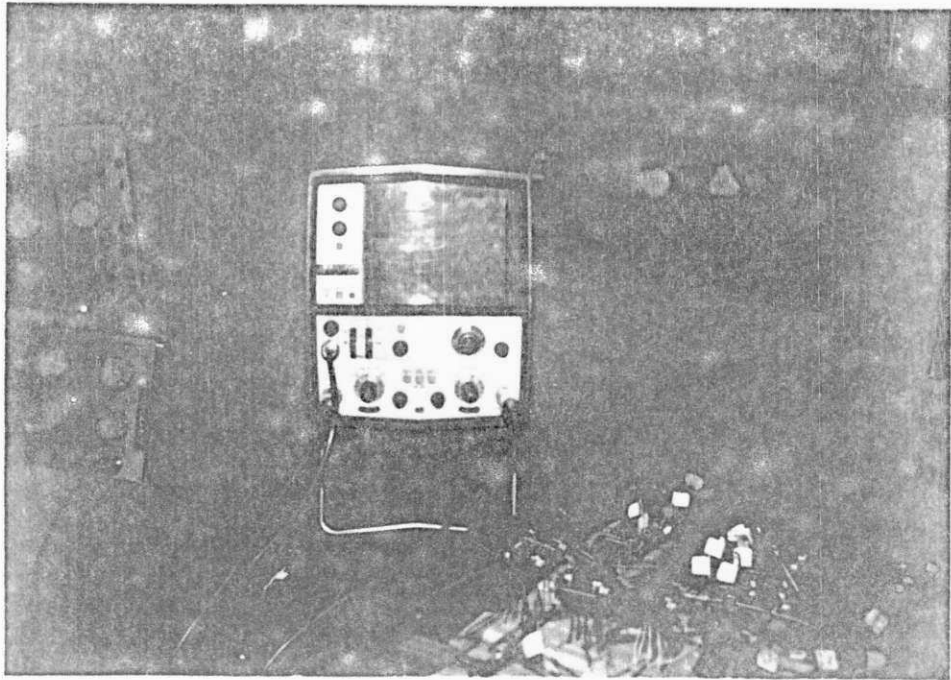
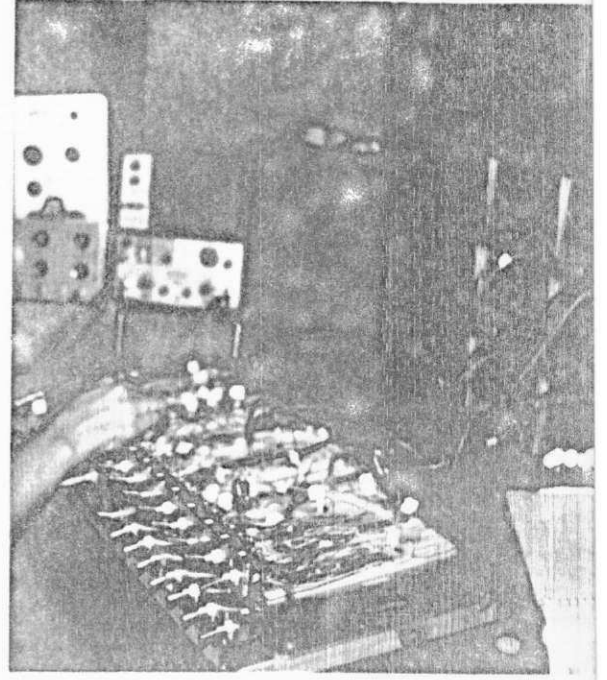
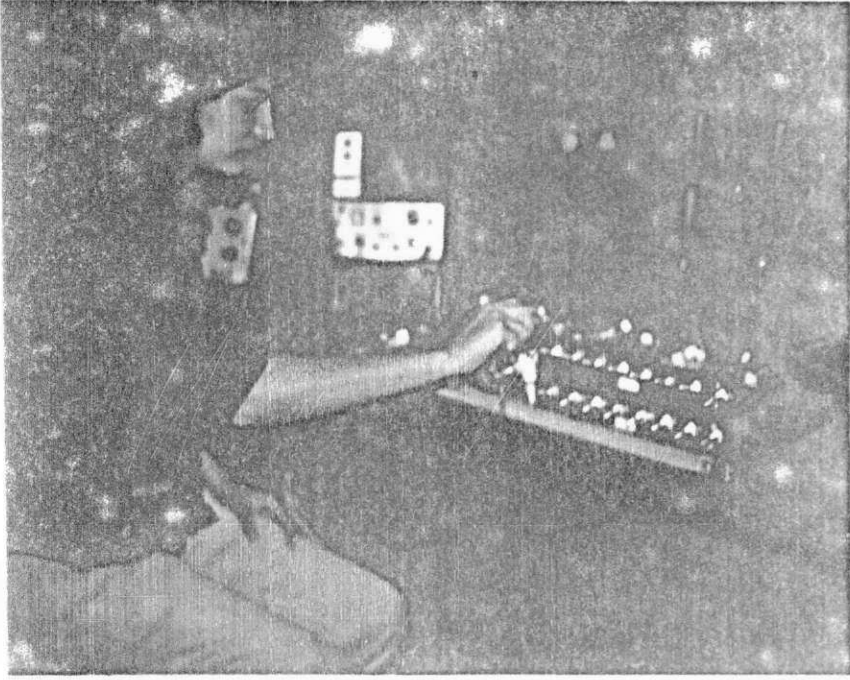


Fig. 5.3 - Fotografias da Montagem

APÊNDICE A

CIRCUITOS DIGITAIS (REVISÃO)

Neste Apêndice serão comentados de uma maneira geral alguns circuitos utilizados no projeto. Logicamente não serão mencionados com detalhes, ficando a cargo dos interessados a busca nas referências citadas.

A.1 - MULTIPLEXADORES DIGITAIS

O desenvolvimento espetacular da tecnologia de circuitos integrados, permitiu o desenvolvimento de subsistemas que permitem, dependendo da conexão de seus terminais externos ou então dependendo da sua programação prévia, a síntese de qualquer função booleana. Em outras palavras, um subsistema desse tipo opera como um bloco funcional universal. Nessas condições, preocupações com a minimização de funções booleanas se

tornam irrelevantes, pois a função que se deseja pode ser implementada em uma única pastilha de silício.

Um dos subsistemas que opera como um bloco funcional é o Multiplexador, também chamado de Seletor, porque tem a função de uma chave seletora. Um Multiplexador não é, em princípio, construído para operar como bloco funcional universal, mas para permitir a comutação intercalada no tempo 2^n linhas, cujo conteúdo é mostrado e aplicado em uma única linha de saída. Utilizando-se subsistemas desse tipo, é possível a síntese de famílias de funções booleanas, que dependem de um mesmo conjunto de variáveis de entrada, pois a própria tabela das combinações pode ser encarada como um tipo particular de tabela binária.

Um multiplexador, tem a finalidade de permitir a conexão de uma dentre 2^n entradas, a uma única saída Y , ou seja, permite a seleção de um dentre 2^n terminais. Digitalmente essa seleção é realizada, associando-se a cada entrada um determinado produto canônico de n variáveis booleanas. Como esses produtos são disjuntivos, em um determinado instante, temos apenas uma linha de entrada conectada à saída (15, 16).

O sistema lógico para um Multiplexador - seletor de dados de 4 linhas de entrada é mostrado na Figura A.1.

Para se analisar a forma como um Multiplexador pode operar como um bloco funcional universal é mister reportar-se à Figura A.2 onde se tem representado um multiplexador de três variáveis de seleção, e portanto oito entradas. No caso de n variáveis de seleção, 2^n entradas seriam necessárias.

Se em cada entrada se aplicasse simplesmente os valores 0 e 1, poder-se-ia dispor dois elementos em 2^n lugares, resultando daí 2^{2n} possibilidades. Em outras palavras, com um Multiplexador de três variáveis de seleção, pode-se gerar, sem qualquer auxílio externo qualquer função de três variáveis.

A Figura A.3 mostra um mapa de Veitch-Karnaugh, onde é estabelecida uma correspondência entre as variáveis de seleção e as entradas do Multiplexador, sendo o dígito menos significativo binário correspondente a variável a. Para estabelecer essa correspondência, não é necessário um mapa de Veitch-Karnaugh, podendo-se simplesmente montar uma tabela comum. O mapa de Veitch-Karnaugh foi desenhado mais por uma questão de hábito, advindo do seu emprego na síntese de circuitos construídos com componentes discretos e circuitos integrados em pequena escala (15).

A.1.1 - CONVERSÃO PARALELO-SÉRIE

UNIVERSIDADE FEDERAL DA PARAÍBA

Pró-Reitoria Para Assuntos do Interior

Coordenação Setorial de Pós-Graduação

Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355

58.100 - Campina Grande - Paraíba

Seja uma palavra de 16 bits disposta em paralelo, tal que x_0 apresenta 2^0 , x_1 , 2^1 , etc. Por meio de um contador (Seção A.4) é possível modificar o seletor de dados tal que ele seja 0000 para o primeiro T seg., 0001 para o segundo T seg., 0010 para o terceiro intervalo de tempo T, etc. Com a aceitação do endereço, a saída do Multiplexador será x_0 para o primeiro T seg., x_1 para o próximo intervalo T, x_2 para o terceiro período, etc. A saída Y, é uma forma de onda que representa em série, o dado binário aplicado em paralelo na entrada. Em

outras palavras, a conversão paralela para série é realizada. Esse processo leva, no caso, $16 T$ segundos (16).

A.1.2 - SELEÇÃO SEQUENCIAL DE DADOS

Através da mudança de endereço com um contador da maneira indicada no item anterior, é simulada a operação de chaveamento. Se os dados de entrada são trens de pulsos, essa informação aparecerá sequencialmente no canal de saída: em outras palavras, trem de pulso x_0 aparecerá para T seg., seguido por x_1 para o próximo T seg., etc. Se o número de entradas é M , então x_0 será novamente selecionada durante o intervalo: $MT < t < (M + 1) T$ (16).

A.2 - LATCHES

Os circuitos digitais em geral, tem a necessidade de elemento de memória, onde a informação digital seja armazenada tanto temporariamente como permanentemente. Esse é um tipo de circuito no qual a saída está relacionada com o sinal lógico de entrada em um determinado instante, e então "memoriza" o estado da entrada naquele instante mesmo que o sinal lógico possa variar subseqüentemente. Isso introduz o conceito de um circuito regenerativo e de um simples elemento de memória, o circuito biestável ou flip-flop, que na forma simples é chamada de Latch.

O Latch é o elemento básico de um circuito sequencial. Circuitos sequenciais são aqueles cuja saída depende dos valores atuais e dos valores anteriores da entrada. Tem uma espécie de memória interna. Se o circuito lógico tiver memória, então não bastará saber-se o estado das entradas atuais para se determinarem as saídas; será necessário também, conhecer-se o estado interno do circuito. Nos circuitos sequenciais, a sequência das mudanças das entradas influi no comportamento do circuito (17, 18).

A forma básica de um Latch é formada por dois gates lógicos acoplados, e tanto podem ser gates NOR como NAND. A Fig. A.4 mostra o circuito Latch implementado com gates NOR. A entrada S_L é a entrada SET, e a entrada R_L é a entrada RESET.

Da tabela característica (Tabela A.1), é visto que se SET e RESET forem iguais a "0", o Latch guarda o seu estado anterior. O estado do Latch é aquele dado pela saída Q. Se o sinal SET é "1" e o RESET é "0", a saída Q vai para "1" e diz-se que o Latch está SET. Inversamente, para SET igual a "0" e RESET igual a "1", a saída Q vai para "0" e o Latch está RESET. Quando ambas as entradas do Latch forem iguais a "1", a saída será indeterminada (18, 19).

Para a realização NAND de um Latch, é fácil descobrir-se que em toda parte, Q^* se igual a \bar{Q} exceto para a combinação $A = 0$ e $B = 0$. Nessa situação, ambas as saídas seriam iguais a "1". Evitando-se ter ambas as saídas simultaneamente iguais a "0", pode-se tratar as saídas como complementares. A Fig. A.5(a) mostra inversores colocados na frente das entradas

A e B. Novamente s̄ se usaria essa representaç̄o somente enquanto S_L e R_L n̄o fossem iguais a "1" (implicaria em $A = B = 0$).

Desde que nos diagramas l̄gicos n̄o s̄o geralmente conhecidos se o circuito interno de um Latch ̄ feito de gates NOR ou NAND, toma-se como guia a tabela caracter̄stica A.1; que quando ambas as entradas do Latch foram iguais a "1", a sāda ser̄ indeterminada (18).

A Fig. A.5(b) mostra o s̄mbolo l̄gico para um Latch.

A.3 - FLIP-FLOPS

O Flip-Flop, uma unidade de armazenamento fundamental em sistemas digitais, ̄ um elemento b̄sico, armazenando dois estados exclusivos: "1" e "0". ̄ um circuito biest̄vel, passando do primeiro estado para o segundo, pela aç̄o de um est̄mulo e permanecendo indefinidamente nesse segundo estado, mesmo ap̄s a cessaç̄o do est̄mulo, at̄ que seja forçado a voltar ao primeiro estado pela aç̄o de outro est̄mulo aplicado ou n̄o no mesmo ponto que o est̄mulo inicial. Em outras palavras, o flip-flop "memoriza" o estado para o qual foi setado, at̄ ser resetado. Portanto, ̄ um circuito regenerativo que, para tal, possui uma malha de realimentaç̄o positiva. Todos os flip-flops podem apresentar duas entradas denominadas Clear e Preset. Essas entradas s̄o de contr̄le assincrono uma vez que suas atuaç̄es independem de qualquer outro contr̄le (19, 20).

A.3.1 - FLIP-FLOP ASSÍNCRONO E SÍNCRONO

Os terminais de entrada de um flip-flop são terminais de controle Assíncrono, se a saída é modificada logo que os terminais de entrada forem mudados.

Os flip-flops com terminais síncronos são aqueles que reagem a presença de uma outra entrada de controle (denominada Clock), para gerar a variação de estado na saída. Os circuitos que utilizam o sinal de controle clock são chamados de Circuitos Sequenciais Síncronos (19).

A.3.2 - CLOCK

O clock pode ser obtido de diferentes formas:

a) Acoplamento AC

O clock de Acoplamento AC é bastante utilizado em DTL.

b) Acoplamento DC

Com o tipo de clock de Acoplamento DC pode-se ter os seguintes tipos de Flip-Flops: Flip-Flop sensível ao nível, Flip-Flop sensível à borda de subida e Flip-Flop sensível à borda de descida.

O Flip-Flop sensível ao nível é aquele que enquanto o pulso de clock se mantiver no nível de atuação, ele estará com suas entradas sensíveis.

O Flip-Flop sensível à borda é aquele que é operado durante uma das transições do pulso de clock. O Flip-Flop que é operado durante uma transição do pulso de clock do nível "0" para o nível "1" é o sensível à borda de subida; o que é operado na transição de "1" para "0" é o sensível à borda da descida.

c) Master-Slave (Mestre-Escravo)

O clock do tipo Master-Slave faz com que a saída só mude depois que a entrada ficar insensível. O diagrama geral simplificado para esse tipo de controle está na Fig. A.6. Os Flip-Flops 1 e 2 são sensíveis à borda de subida do pulso de clock. Então quando o pulso de clock sobe, o Master fica sensível à entrada de dados, enquanto o Slave fica insensível, uma vez que, por causa do inversor, no mesmo instante, o pulso de clock está descendo para o Flip-Flop 2. Quando o Flip-Flop 1 sente o pulso de clock descendo, o Master fica insensível e o Slave que sente o pulso subindo, copia o Master.

Apesar desse tipo apresentar a vantagem da segurança na transferência de dados, apresenta a desvantagem de ser muito lento (19, 20, 21).

A.3.3 - TIPOS DE FLIP-FLOPS **UNIVERSIDADE FEDERAL DA PARAÍBA**
 Pró-Reitoria Para Assuntos do Interior
 Coordenação Setorial de Pós-Graduação
 Rua Aprígio Veloso, 882 - Tel (083) 321-7222-R 355
 58.100 - Campina Grande - Paraíba

a) Flip-Flop RS

O Flip-Flop RS é o tipo mais simples de Flip-Flop já idealizado. É diferente do latch apenas no fato de pos

suir clock. Tal diferença proporciona-lhe maior desempenho. O único fator que limita o uso do Flip-Flop RS em aplicações atuais é a condição indeterminada da saída quando ambas as entradas R e S são iguais a 1 ($R = S = 1$). Desde que a saída não é prognosticada, é necessário evitar esta condição de entrada; quando isso não é possível, usa-se um Flip-Flop tipo JK.

A Fig. A.7 mostra um Flip-Flop RS feito com um Latch NOR e dois gates AND. Na mesma figura está o seu símbolo lógico (18, 20).

b) Flip-Flop JK

O Flip-Flop JK tem duas entradas, J e K, controladas pelo sinal de clock, com as duas saídas usuais dos elementos armazenadores binários Q e \bar{Q} . O funcionamento desse tipo de Flip-Flop está resumido na Tabela A.2. Entenda-se aqui que essa tabela supõe os valores das entradas J e K quando o controle as torna sensíveis. Observar que o funcionamento é parecido com o do Flip-Flop RS, com a grande diferença de que a situação indeterminada deste, no JK faz com que o Flip-Flop mude de estado ($J = K = 1$).

A tabela da verdade, Tabela A.3 mostra que os 4 estados possíveis das entradas geram estados definidos nas saídas. A tabela de aceitação do Flip-Flop JK, Tabela A.3(b), é basicamente gerada pela análise intuitiva da tabela verdade. Se o estado da saída Q_n anterior no clock é conhecido e ele é projetado para ter uma saída Q_{n+1} após o clock, a tabela mostra que dado de entrada é necessário.

O Flip-Flop JK é considerado o mais versátil dos Flip-Flops disponíveis no mercado, e existem os mais variados tipos, na sua maioria da classe dos master-slave. A Fig. A.8 mostra um Flip-Flop JK do tipo master-slave, e o símbolo lógico para o Flip-Flop JK em geral.

O Flip-Flop JK é o elemento preferido na família TTL, e pode ser usado em quase todas as aplicações que exigem Flip-Flops (19).

c) Flip-Flop D

O Flip-Flop D é caracterizado por um dado simples de entrada (D) e uma entrada de controle (clock). Apresenta duas saídas, Q e \bar{Q} , e pode ter ou não duas entradas assíncronas, Clear e Preset. A operação desse tipo de Flip-Flop é mostrada na Tabela A.4; o estado da entrada D é mostrado antes de ser ativado, e o estado da saída Q é mostrado após ser ativado.

O Flip-Flop D pode ser controlado por qualquer uma das técnicas do clock mencionados anteriormente, mas um caso especial de "edge-triggering" (gatilhamento de borda) muitas vezes é utilizado com esse tipo de Flip-Flop, que no caso é chamado de Latch tipo D. Nesse caso, o controle é feito sobre uma borda, mas enquanto o clock está HIGH, a entrada é acoplada diretamente à saída Q. Durante esse tempo, todas as mudanças na entrada D são imediatamente refletidas na saída Q. Quando o clock vai para Low a saída mantém o estado da entrada D anterior, até que o clock vá para HIGH novamente. O clock realmente opera tal como uma entrada "enable" para um Latch.

Esse tipo de Flip-Flop é vantajoso fundamentalmente na armazenagem de dados e aplicações de registradores, onde temporariamente a armazenagem de dados é requerida.

A Fig. A.9 mostra duas implementações do Flip-Flop D com outros tipos de Flip-Flop, e também o símbolo lógico de um Flip-Flop tipo D (19, 20).

d) Flip-Flop T

UNIVERSIDADE FEDERAL DA PARAIBA
Pró-Reitoria Para Assuntos do Interior
Coordenação Setorial de Pós-Graduação
Rua Aprígio Veloso, 882 - Tel (083) 321 7222-R 355
58.100 - Campina Grande - Paraíba

O Flip-Flop tipo T também tem somente um dado simples de entrada (T) e uma entrada de controle (clock). Pode ter também entradas de controle assíncronos, clear ou preset, ou ambas, e uma ou ambas as saídas Q e \bar{Q} . Podem ser usados também quaisquer uma das três técnicas de controle já conhecidas.

A Tabela A.5, tabela da verdade do Flip-Flop T, mostra que a operação desse tipo de Flip-Flop é bastante simples. Se a entrada T está em um nível lógico HIGH e o dispositivo é ativado, a saída mudará de estado independentemente de que saída existia antes. Isso é chamado de "toggling"; daí o nome Flip-Flop T. O Flip-Flop T atua como uma chave e como uma unidade de contadores devido a sua capacidade de dividir por dois.

A Fig. A.10 mostra duas implementações do Flip-Flop Tipo T com outros tipos, e também o seu símbolo lógico (18, 19, 22).

A.3.4 - FUNÇÕES DOS FLIP-FLOPS

Muitos circuitos funcionais TTL são feitos de

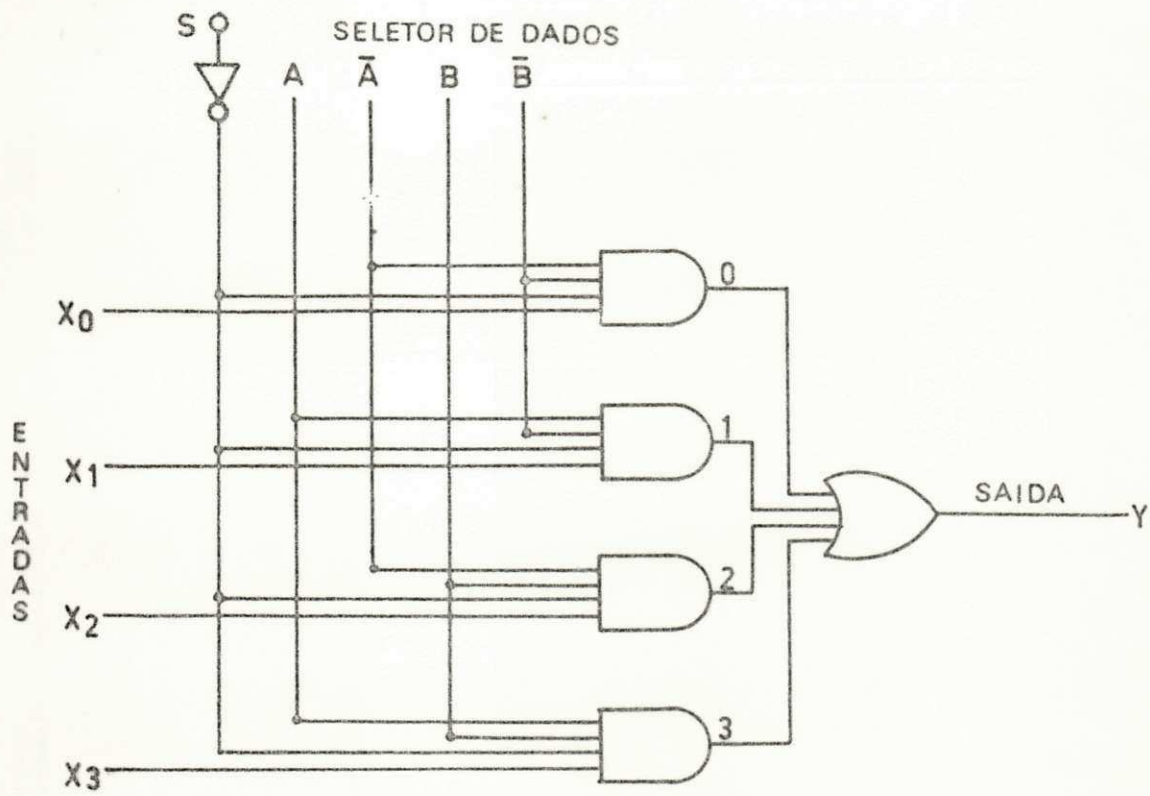


FIG. A. 1- MULTIPLEXADOR DE 4 BITS.

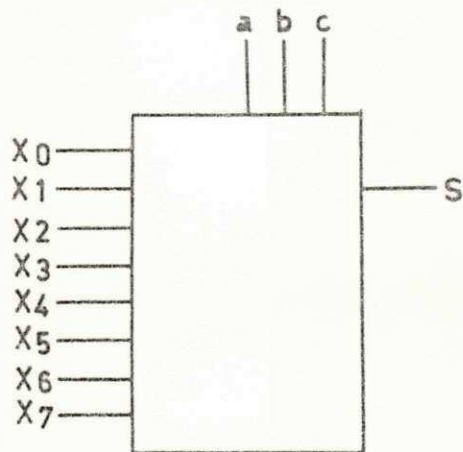


FIG. A. 2- SÍMBOLO DO MULTIPLEXADOR DE 8 BITS.

c	a	b	00	01	11	10
	d					
	00		X ₀	X ₄	X ₁₂	X ₈
	01		X ₁	X ₅	X ₁₃	X ₉
	11		X ₃	X ₇	X ₁₅	X ₁₁
	10		X ₂	X ₆	X ₁₄	X ₁₀

FIG. A-3- CORRESPONDÊNCIA ENTRE AS VARIÁVEIS DO MULTIPLEX E AS VARIÁVEIS DE SELEÇÃO.

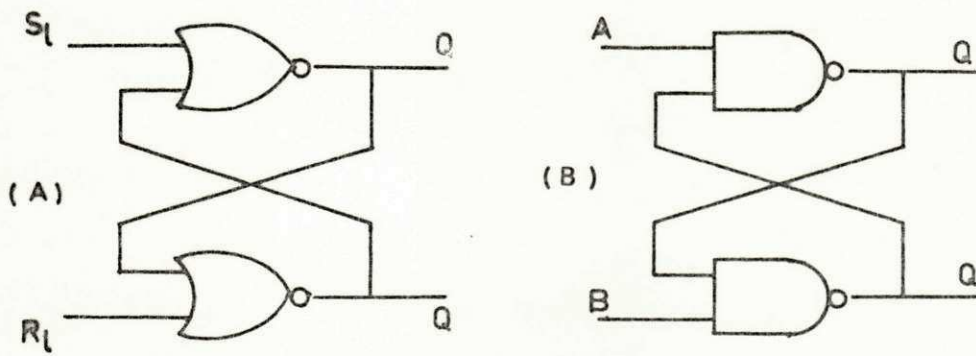


FIG. A-4 (A) - LATCH COM GATE NOR.

(B) LATCH COM GATE NAND.

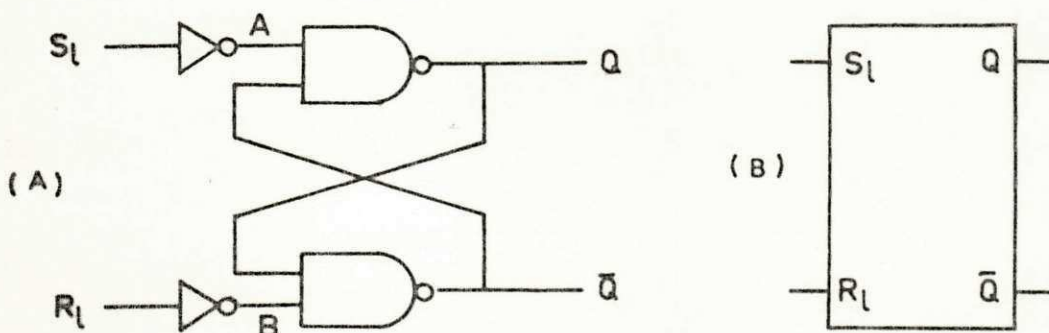


FIG. A-5-(A) LATCH COM NAND E INVERSORES.

(B) SÍMBOLO DO LATCH.

S_l	R_l	Q APÓS AS ENT. SEREM APLICADAS
0	0	Q ANTES DAS ENT. SEREM APLICADAS
0	1	0
1	0	1
1	1	ENTRADAS NÃO-VÁLIDAS

TAB. A.1- TAB. CARACT. DO LATCH COM GATES NOR.

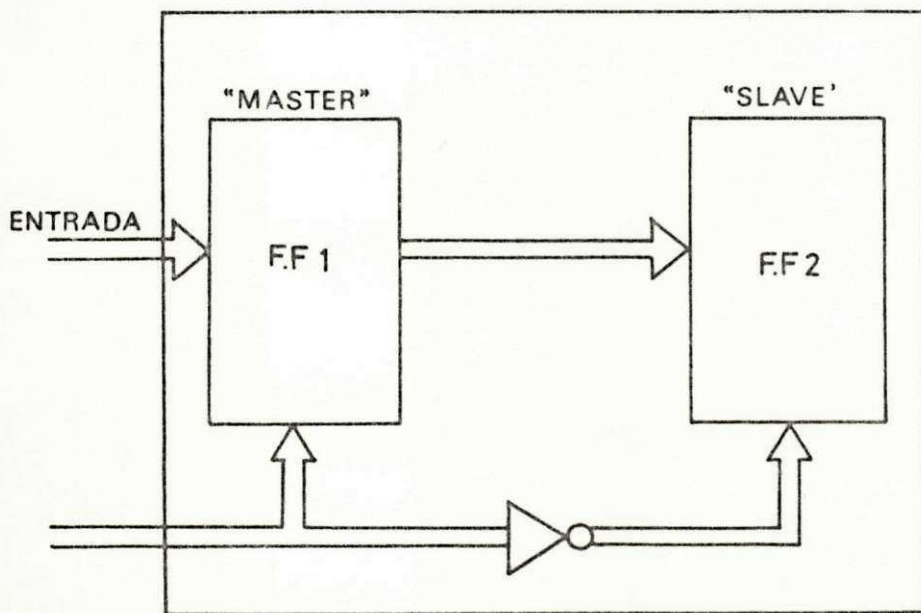


FIG. A.6- ESQUEMA DO FLIP-FLOP MASTER-SLAVE.

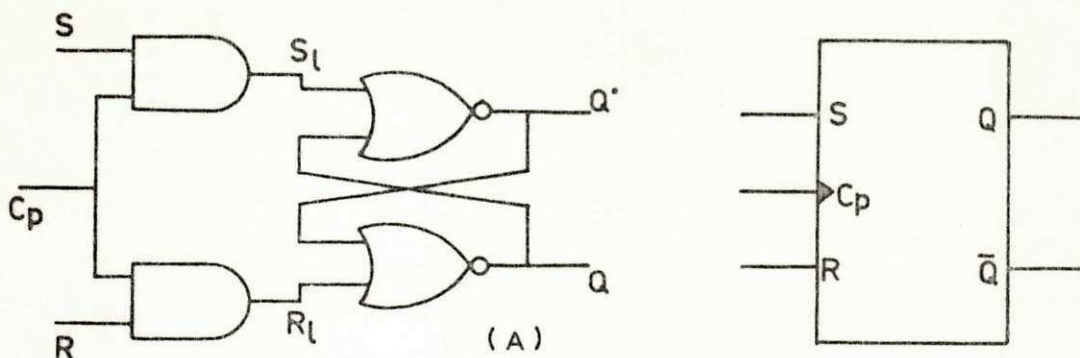


FIG. A.7-(A) FLIP-FLOP RS.

(B) SÍMBOLO LÓGICO.

J	K	Q	\bar{Q}
0	0	ESTÁVEL	
1	0	1	0
0	1	0	1
1	1	INVERTE O ESTADO	

TAB. A. 2-FUNIONAMENTO DO FLIP-FLOP JK.

TAB. VERDADE		
T_n		T_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

(A)

TAB. DE EXCITAÇÃO			
Q_n	Q_{n+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(B)

TAB. A. 3-(A) FLIP-FLOP JK.

(B) TAB. DE EXCITAÇÃO.

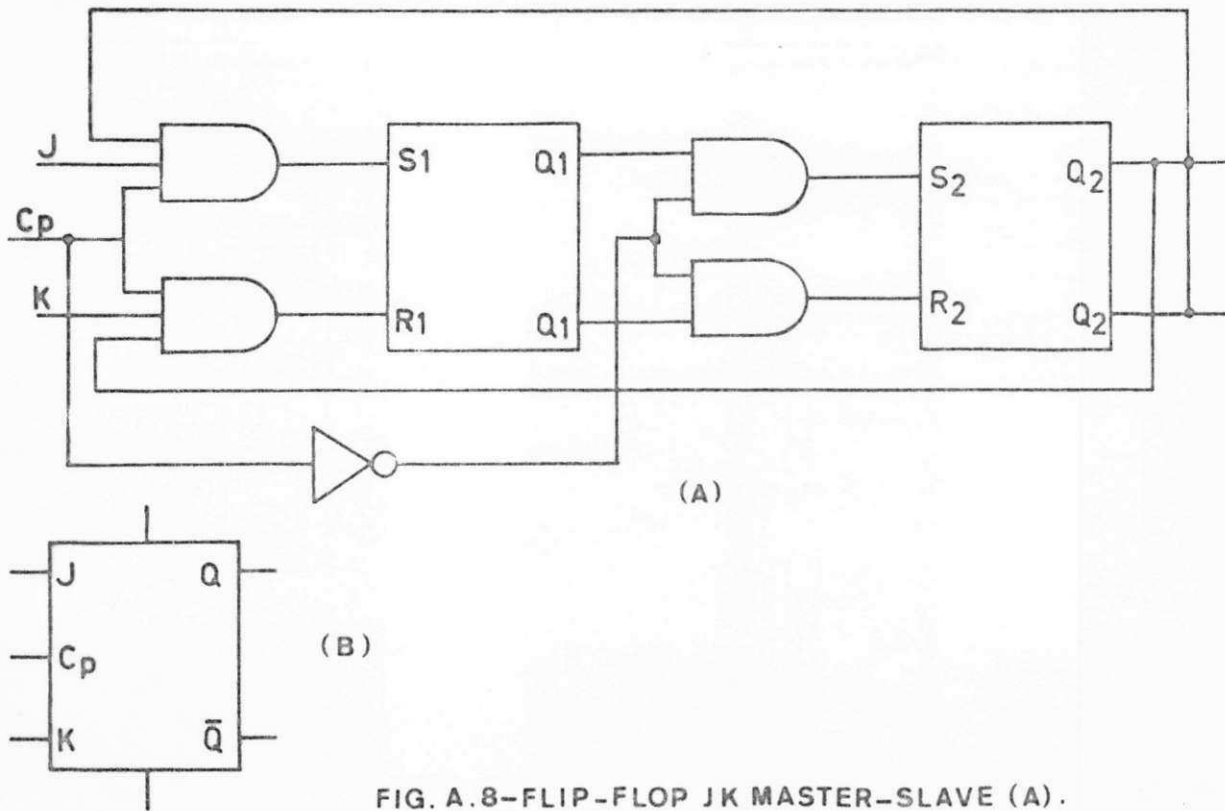


FIG. A.8-FLIP-FLOP JK MASTER-SLAVE (A).

(B) SÍMBOLO LÓGICO.

TAB. VERDADE	
t_n	t_{n+1}
D	Q
0	0
1	1

TAB. A.4-FLIP-FLOP D.

TAB. VERDADE	
t_n	t_{n+1}
T	Q
0	Q_n
1	\bar{Q}_n

TAB. A.5-FLIP-FLOP T.

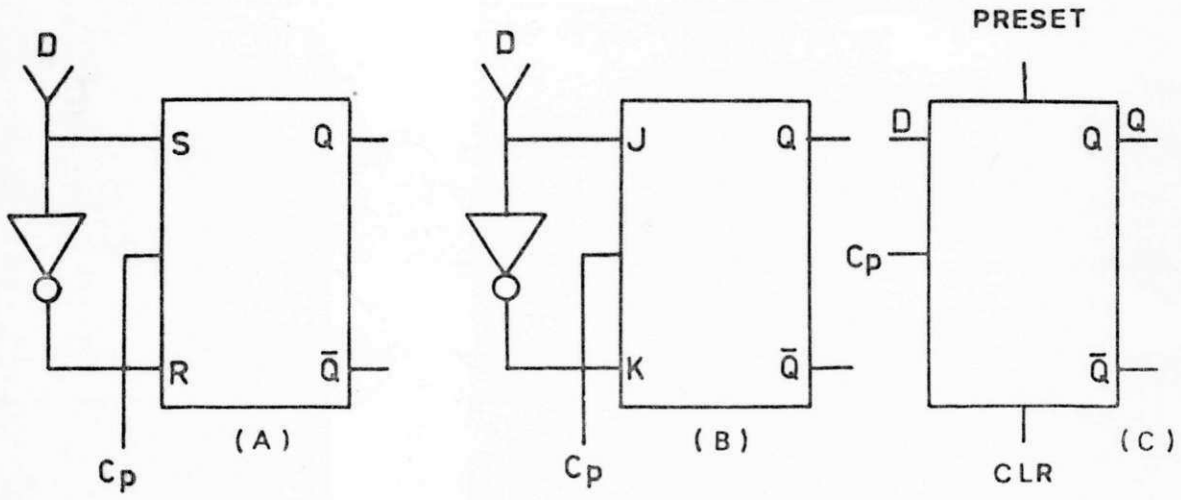


FIG. A.9-(A) FLIP-FLOP D IMPLEMENTADO COM FLIP-FLOP RS.
 (B) FLIP-FLOP D IMPLEMENTADO COM FLIP-FLOP JK.
 (C) SÍMBOLO LÓGICO PARA O FLIP-FLOP D.

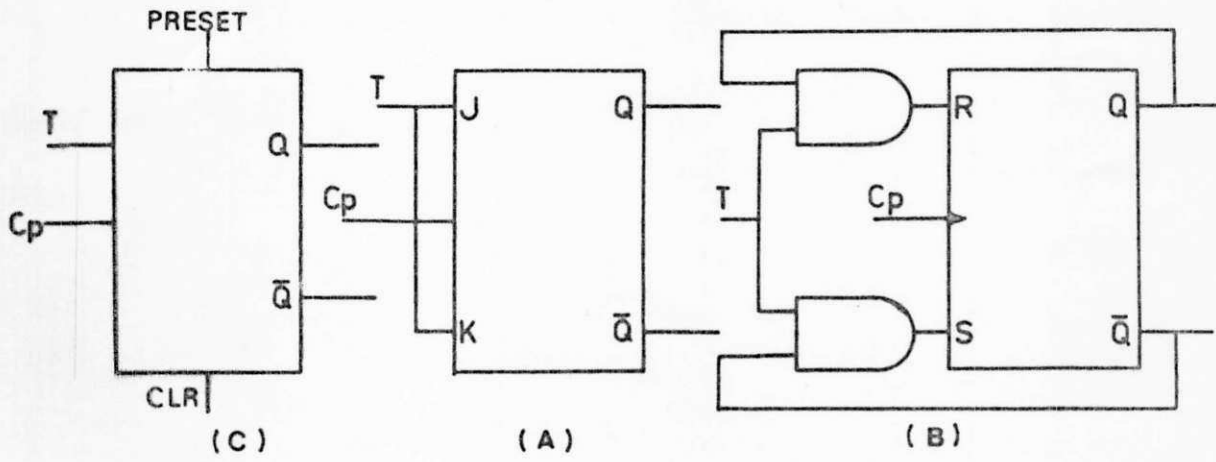


FIG. A.10-(A) FLIP-FLOP T FEITO COM FLIP-FLOP JK.
 (B) FLIP-FLOP T FEITO COM FLIP-FLOP RS.
 (C) SÍMBOLO LÓGICO.

combinações de variadas configurações de Flip-Flops. Uma lista de aplicações seria quase que interminável; as aplicações mais importantes dos Flip-Flops em geral são as seguintes: em Contadores, Shift Register, Elementos de Controle e Elementos de Memória (23).

A.4 - CONTADORES

Flip-Flops programados como contadores são encontrados em todos os tipos de equipamentos digitais. Eles são usados não somente para contar, mas também para sequências de aprovações em equipamentos, divisão de frequência, etc.

No sentido básico, contadores são sistemas de memórias onde são guardados o número de pulsos de clock que foram aplicados à entrada do circuito. A sequência na qual a informação é armazenada depende das condições de aplicação e a critério do projetista.

A.4.1 - CONTADORES BINÁRIOS

Um contador é um registrador que, com a chegada de um pulso de controle, incrementa (ou decrementa) um em seu conteúdo.

Um contador poderá ser construído de modo tal que, quando atingir um certo número $N-1$, ele volta a zero com o pulso seguinte; nesse caso, diz-se que o contador é módulo N , ou divide por N . Mais genericamente, contador módulo N é

um registrador que tem N estados internos e que, com a chegada de um pulso, muda de estado, de maneira que, com a chegada consecutiva de pulsos, o contador fica passando pelos seus N estados internos.

O tipo mais simples, talvez a unidade fundamental dos contadores, é composta de um Flip-Flop que, com a chegada de um pulso, muda de estado. São mostrados na figura A.11, contadores binários módulo 2, ou divide por 2.

Para contadores, é bastante útil a utilização de Flip-Flop tipo D sensível à borda de descida. Também comum é o uso do Flip-Flop JK master-slave.

A partir de contadores módulo 2, pode-se obter contadores módulo 4, 8, 16, etc., simplesmente ligando-se em cascata. Ligando-se n contadores módulo 2 em cascata, obtém-se um contador módulo 2^n .

Existem contadores "up counter" (para cima) que incrementam 1, e contadores "down-counter" (para baixo) que decrementam 1 com a chegada de um pulso na entrada Cp. A Fig. A.12 mostra um contador binário "down-counter".

Todos os contadores apresentados até agora são do tipo com propagação do "ripple carry counter" (vai um), às vezes chamado de Assíncrono. Esses contadores tem um inconveniente; o grande atraso de propagação. O atraso do contador será a soma dos atrasos dos Flip-Flops, o que limita a sua frequência de operação (18, 20).

Evita-se o atraso de propagação com estruturas do tipo apresentado na Fig. A.13 chamado "vai um simultâneo"

(simultaneous carry counter), às vezes chamado de Sincrono. O inconveniente desse tipo de estrutura é o uso de portas com tanto maior "fan-in" quanto maior for o número de Flip-Flops usados.

Dentro dessa mesma filosofia de contadores "vai um simultâneo", tem-se na Fig. A.14 um contador "down-counter" e "up-counter", muitas vezes chamado de reversível.

Para se conseguir contadores de módulo diferente de potências de 2, utiliza-se técnicas de realimentação. Por exemplo, um contador módulo 5 é obtido de um contador módulo 8, onde, através de uma realimentação, obriga-se o número 000 suceder o 100. Portanto, ele passa por 5 estados = 000, 001, 010, 011, 100 e volta para o início. A Fig. A.15 mostra um contador binário módulo 5 (18, 24).

Existem contadores binários PROGRAMÁVEIS que também são chamados de contadores módulo - N e podem ser programados logicamente para contar a partir de qualquer número, de 0 até o máximo módulo possível. Poderão contar para cima (up-counter) ou para baixo (down-counter), varrendo toda a sua sequência de contagem ou ainda em uma sequência diferente dependendo da necessidade do projetista (9, 25).

A.4.2 - CONTADORES NÃO-BINÁRIOS

Os contadores não-binários são aqueles que contam em outros códigos, tais como, o código Gray, BCD excesso de três, biquinário, etc. (20).

A.5 - BUFFERS

O "fan-out" de um bloco, é a quantidade máxima de entradas de blocos da mesma família que podem ser ligadas à sua saída. É um conceito ligado à potência de saída do circuito (capacidade de "driving") (26, 27).

O "buffer" é um elemento de circuito digital, usado para aumentar o fan-out ou para converter níveis de entrada ou saída para compatibilidade de níveis de sinal. (Também tem grande utilidade no isolamento de estágios de amplificadores operacionais) (25).

A.6 - COMPARADOR DIGITAL

Algumas vezes é necessário conhecer se um número binário A é maior, igual ou menor que um outro número binário B. O sistema para fazer essa determinação é chamado de Comparador Digital (ou Binário) de Magnitude (16).

O Comparador Digital é amplamente utilizado em muitos circuitos MSI. A saída F de um Comparador de bit simples com entradas A e B é dada por:

$$F = AB + \bar{A}\bar{B}$$

tal que, se $A = B = 0$ ou $A = B = 1$, então $F = 1$. Isso está relacionado no EXCLUSIVE-OR de A e B por

$$F = \bar{X} = \overline{A \oplus B}$$

Por isso desse relacionamento, essa função é algumas vezes chamada de EXCLUSIVE-NOR (28).

Os Comparadores Digitais comerciais são usados para checar se duas palavras de entrada são idênticas, e nesse caso o EXCLUSIVE-NOR ou coincidência de gates podem ser utilizadas. Lógica adicional também pode ser acrescentada para indicar se uma palavra é maior ou menor que outra (25).

A.7 - MEMÓRIAS SEMICONDUTORAS

Um elemento importante encontrado em computadores e sistemas digitais é a memória. Uma memória é requerida para a armazenagem de instruções (programa de computador), dados, e resultados obtidos em processamento de dados.

As memórias de núcleos de ferrite foram amplamente utilizadas, embora atualmente memórias semicondutoras tenham substituído as de núcleos de ferrite em muitos sistemas digitais. Na memória semicondutora, são usados Flip-Flops para armazenar os bits "0" ou "1". Os transistores nos Flip-Flops podem ser bipolar (BJT) ou efeito de campo (MOSFET) (27).

A.7.1 - TIPOS DE MEMÓRIAS

As memórias semicondutoras podem ser classificadas como:

- a) Read-Only - Memory (ROM) - Memória de Leitura apenas.
- b) Random-Access Memory (RAM) - Memória de Acesso Aleatório (Leitura e Escrita).

Na memória ROM, os dados são gravados apenas uma vez e depois disso não poderão ser modificados. Esse tipo de memória, por exemplo, pode ser usado para armazenar um programa de computador. Uma ROM nunca perde o seu conteúdo, e uma vez gravada jamais poderá ser destruída (Memória Fixa).

As informações armazenadas em uma RAM podem ser prontamente modificadas no processamento de dados. Uma memória RAM é aquela que pode ser gravada e lida várias vezes (Memória Temporária).

As memórias ROM podem ser classificadas nas categorias seguintes: Programadas-em-fábrica (MASK ROMs), Programadas-em-casa (PROMs) e Reprogramáveis (EPROMs) [17, 27].

As memórias ROM e RAM, sob a forma de circuito integrado variam o tipo de construção, a capacidade e a operacionalidade. Quanto a construção, as memórias podem ser: Bipolar, Mos, CosMos, TTL e SCHOTTKY. É praticamente impossível detalhar cada tipo de construção, pois elas variam de fabricante para fabricante e a sua constituição física não afeta a sua respectiva operacionalidade. Apenas os fatores como velocidade, temperatura, corrente, etc., podem eventualmente ser afetadas.

Todas as memórias possuem uma certa quantidade de bits, nos quais irão ser gravadas e lidas as informações. Essa quantidade de bits define a capacidade de uma memória e

pode ser especificada em bits ou bytes. As memórias pequenas são especificadas em bits e as grandes em bytes devido ao fato de tornar mais rápida a forma de se trabalhar com números. O bit, é o equivalente a um mínimo elemento dentro da memória capaz de armazenar informações. Byte, por sua vez, é uma certa quantidade de bits. Um byte varia de memória para memória e até hoje não se definiu corretamente, quantos bits tem um byte. Sabe-se, portanto, que existe bytes de 4, 8, 16, etc, bits. A tendência atual é estabelecer um byte igual a 8 bits devido à grande demanda de microprocessadores que utilizam 8 bits como 1 byte.

Devido a grande diversificação de tipos de memórias, os fabricantes especificam as memórias em número exatos e em número de bits. Tais especificações são dadas em 2 planos, ou seja, na largura e no comprimento das memórias. A largura da memória é a quantidade de bits necessárias para formar 1 byte. O comprimento da memória é a quantidade de bytes que formam uma memória. Mede-se a capacidade total de uma memória, multiplicando a largura pelo comprimento ou seja, o número de bits x o número de bytes.

Quanto a operacionalidade, uma memória pode ser Estática ou Dinâmica. Uma memória Estática não necessita de pulsos de clock constantes para manter a informação e não se faz necessário recirculá-la. Uma memória dinâmica necessita de pulsos de clock constantes, e a informação precisa ser recirculada dentro de um prazo de no mínimo, 1 m seg. Geralmente as memórias Dinâmicas são menos dispendiosas, e consomem menos energia que as memórias Estáticas (16, 27, 29).

A.7.2 - ENDEREÇAMENTO

O Endereçamento é a maneira de selecionar cada endereço, retirando o conteúdo gravado. O endereço de uma memória é a localização de cada byte ao longo da mesma. Portanto, em uma memória de 10 bytes existem 10 endereços, um para cada byte. O conteúdo da memória é a informação contida em cada byte.

O endereçamento das memórias é feito geralmente na forma binária (29).

A.7.3 - TEMPO DE ACESSO E TEMPO DE CICLO

O tempo de acesso (access time) e o tempo de ciclo (cycle time) são dois termos importantes na caracterização das memórias. O tempo de acesso, é o tempo necessário para se ler uma palavra da memória. O tempo de ciclo é igual a um sobre a taxa na qual a palavra pode ser selecionadas tanto para ser lida como para ser gravada (escrita) (27).

A.8 - CONVERSORES DIGITAL/ANALÓGICOS

Em sistemas de processamento de dados existe a necessidade de converter um sinal digital em um sinal analógico equivalente, ou vice-versa. Tomando-se como exemplo um volti

metro digital (DVM), tem-se o seguinte: para se ler uma tensão referente a um sinal analógico, a tensão é convertida para uma quantidade digital por meio de um conversor analógico-digital (A/D). Se a tensão é um sinal digital e se deseja convertê-lo em analógico, um conversor digital/analógico (D/A) é requerido (27).

O conversor digital/analógico produz uma saída analógica que é diretamente proporcional a sua entrada digital, que teoricamente pode ser em qualquer código, mas comumente é em binário simples ou BCD. A saída comum é corrente ou tensão, embora outras saídas sejam possíveis.

Existem vários circuitos práticos para conversores D/A (13, 16).

O conversor D/A básico, contém chaves de entrada, uma rede de resistores e um Amplificador Operacional que providencia o ganho a uma tensão analógica de saída, de baixa impedância. A figura A.16 mostra um conversor D/A básico. A entrada digital é geralmente alimentada por níveis lógicos padrão - por exemplo, por níveis TTL ou RTL (30, 31).

Podem ser usados também gates lógicos substituindo as chaves, como mostra a figura A.17, mas isso limita a resolução do conversor para cerca de 2 ou 3 bits, devido a uma acentuada variação que existe de gate para gate nos níveis lógicos de saída LOW e HIGH. (Isso não acontece em CMOS) (30).

Um conversor de 5 bits pode ser construído com 6 inversores coletor-aberto, como mostra a Fig. A.18, dando a função de chaveamento na entrada. Quando as entradas dos gates

coletor-aberto são LOW, cada gate tem uma impedância de carga de 500 ohms e as tensões de saturação emissor-coletor dos transistores de saída do gate são da ordem de milivolts para cada um. Quando as saídas são HIGH, cada transistor de saída está off e a rede de resistores é referenciada à fonte de alimentação V_{CC} (30).

Um exemplo prático de conversor D/A, usando chaves ideais está mostrado na Fig. A.19. Nesse exemplo, se a tensão de referência V_{ref} é de valor positivo, e as variáveis lógicas de entrada são oriundas de um contador de década "up-counter", uma escada decrescente é obtida na saída do conversor. A Tabela A.6 mostra a tabela de conversão para esse conversor D/A (13).

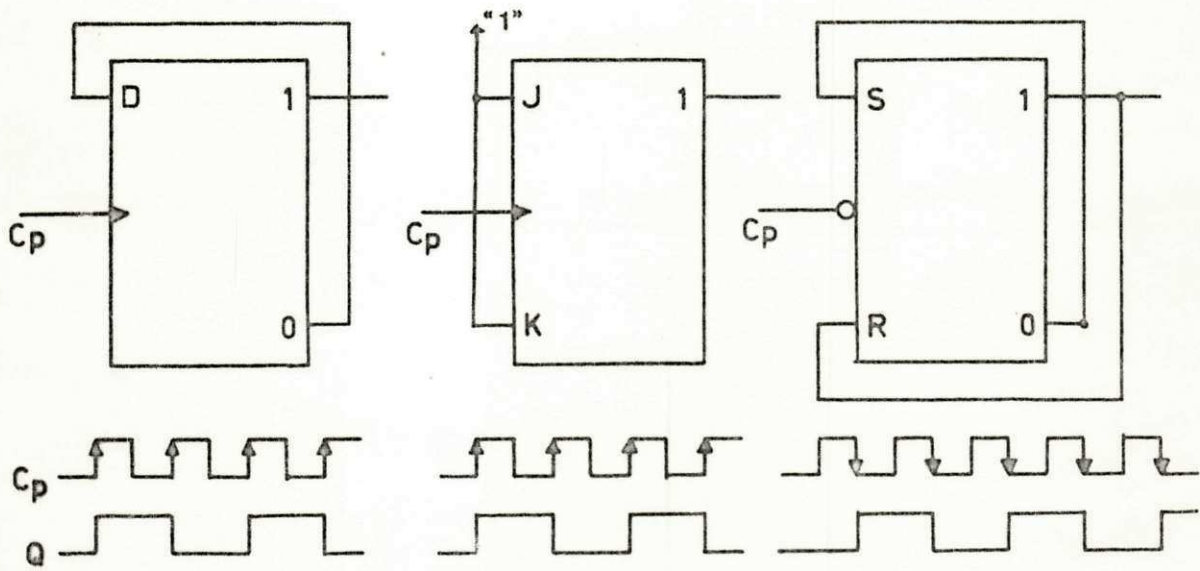


FIG A-11 - CONTADORES MÓDULO 2 :

(A) DIVIDE POR 2 COM FLIP-FLOP D SENSÍVEL Á BORDA .

(B) DIVIDE POR 2 COM FLIP-FLOP JK .

(C) DIVIDE POR 2 COM FLIP-FLOP RS MASTER-SLAVE .

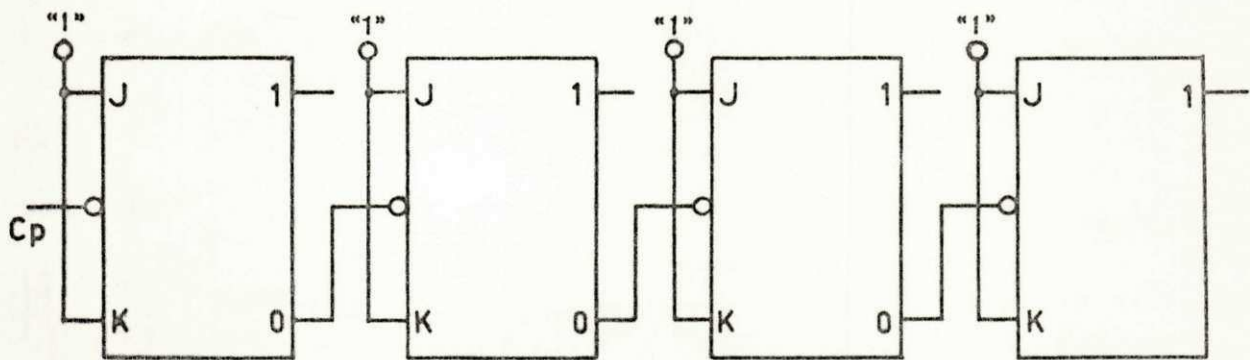


FIG A-12 - CONTADOR BINÁRIO "DOWN-COUNTER".

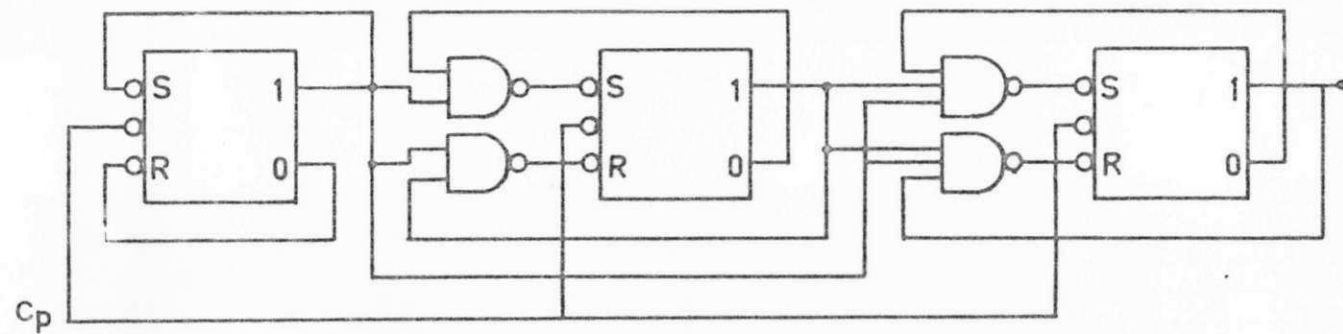


FIG. A.13-CONTADOR BINÁRIO "VAI UM SIMULTÂNEO".

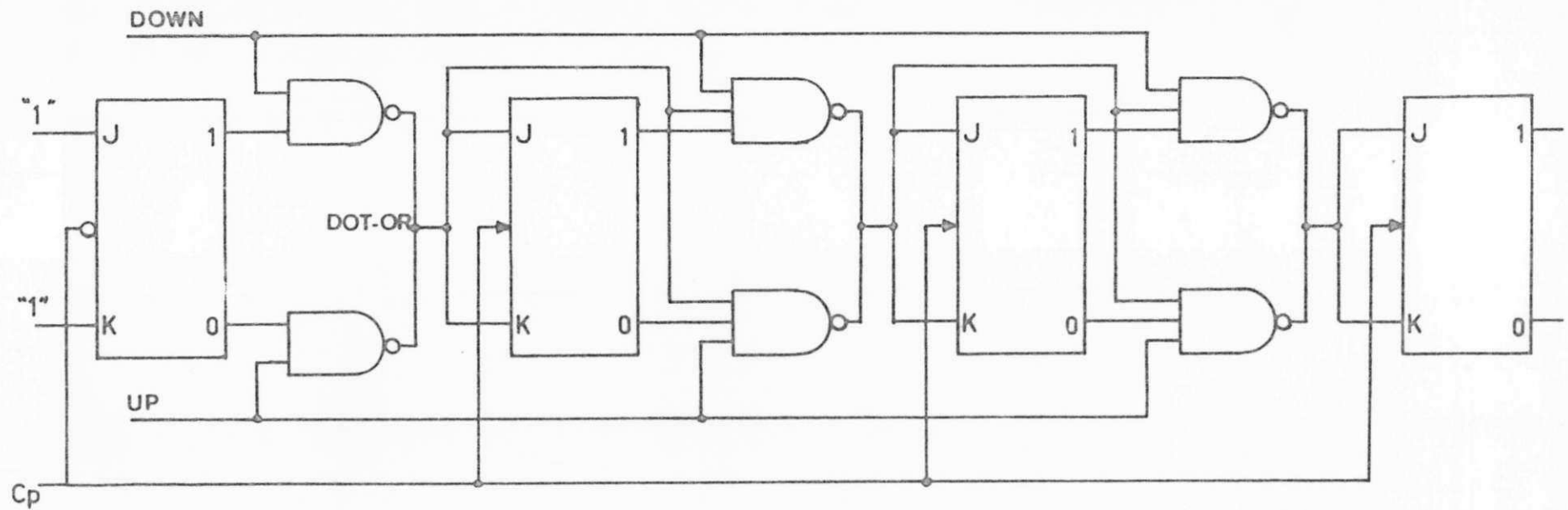


FIG. A.14-CONTADOR BINÁRIO REVERSÍVEL, MÓDULO 16, "VAI UM SIMULTÂNEO".

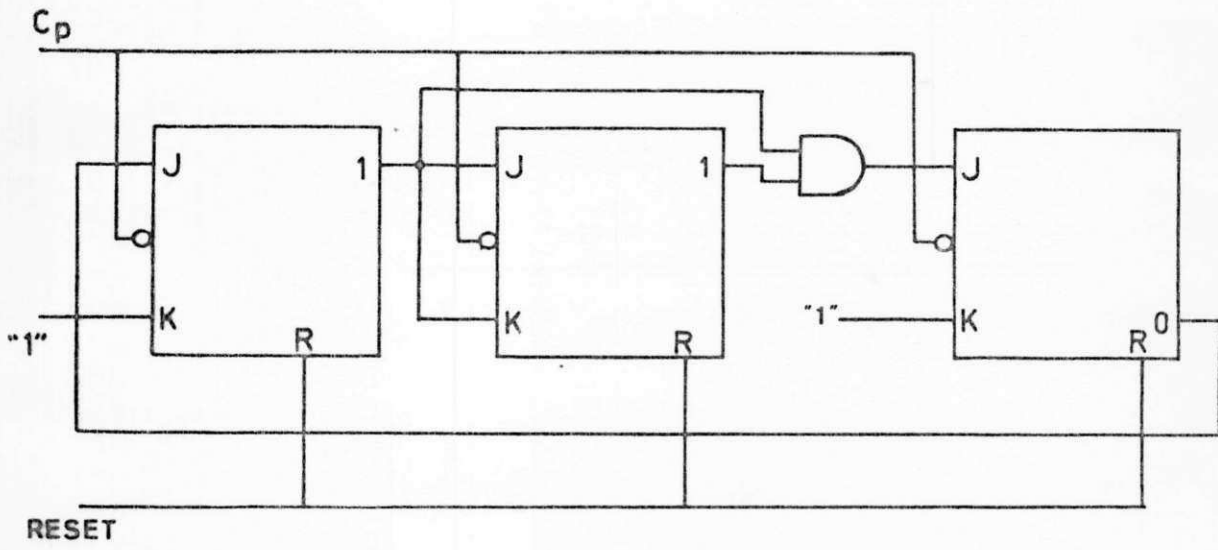


FIG. A.15 - CONT. BINÁRIO "VAI UM SIMULTÂNEO", MÓD. 5.

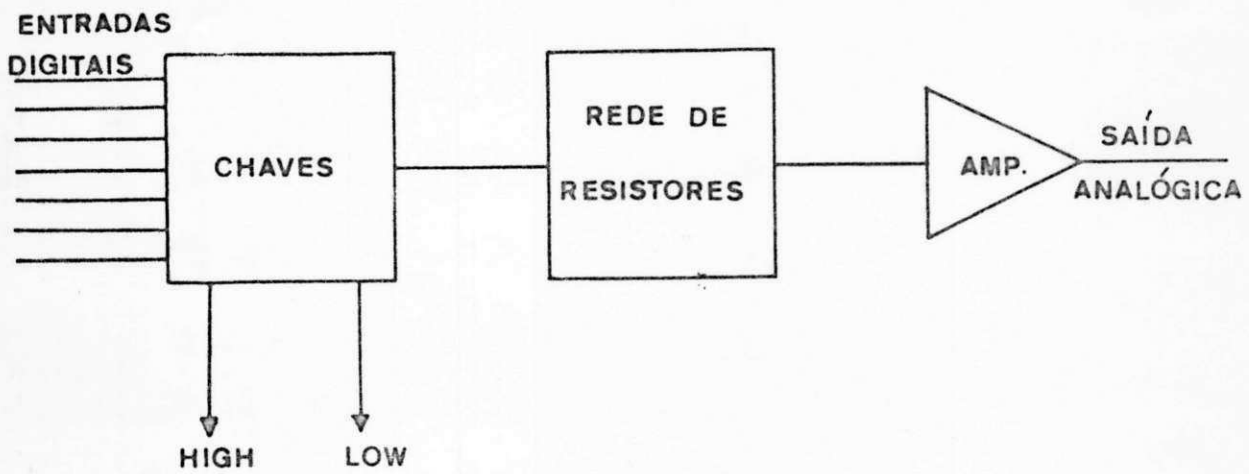


FIG. A.16 - CONVERSOR D/A BÁSICO.

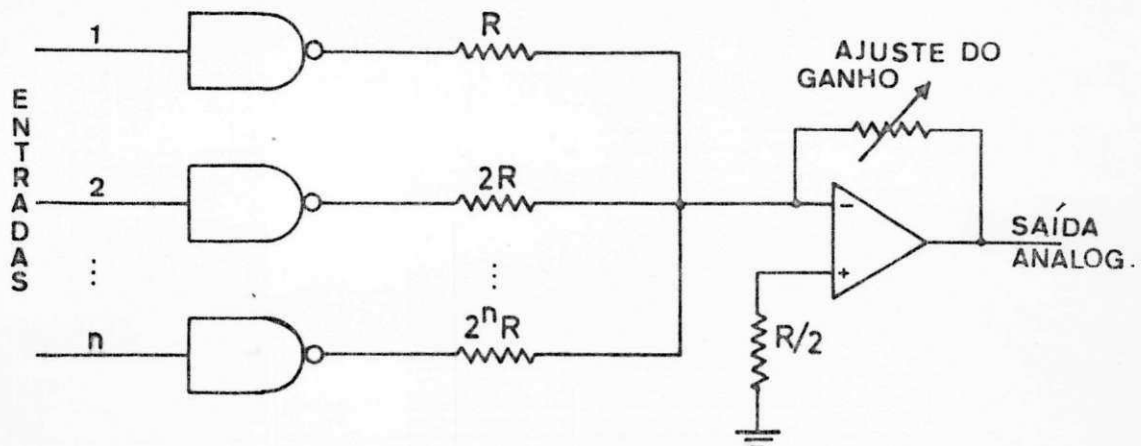


FIG. A. 17 - CONVERSOR D/A COM GATES LÓGICOS INDIVIDUAIS COMO CHAVES

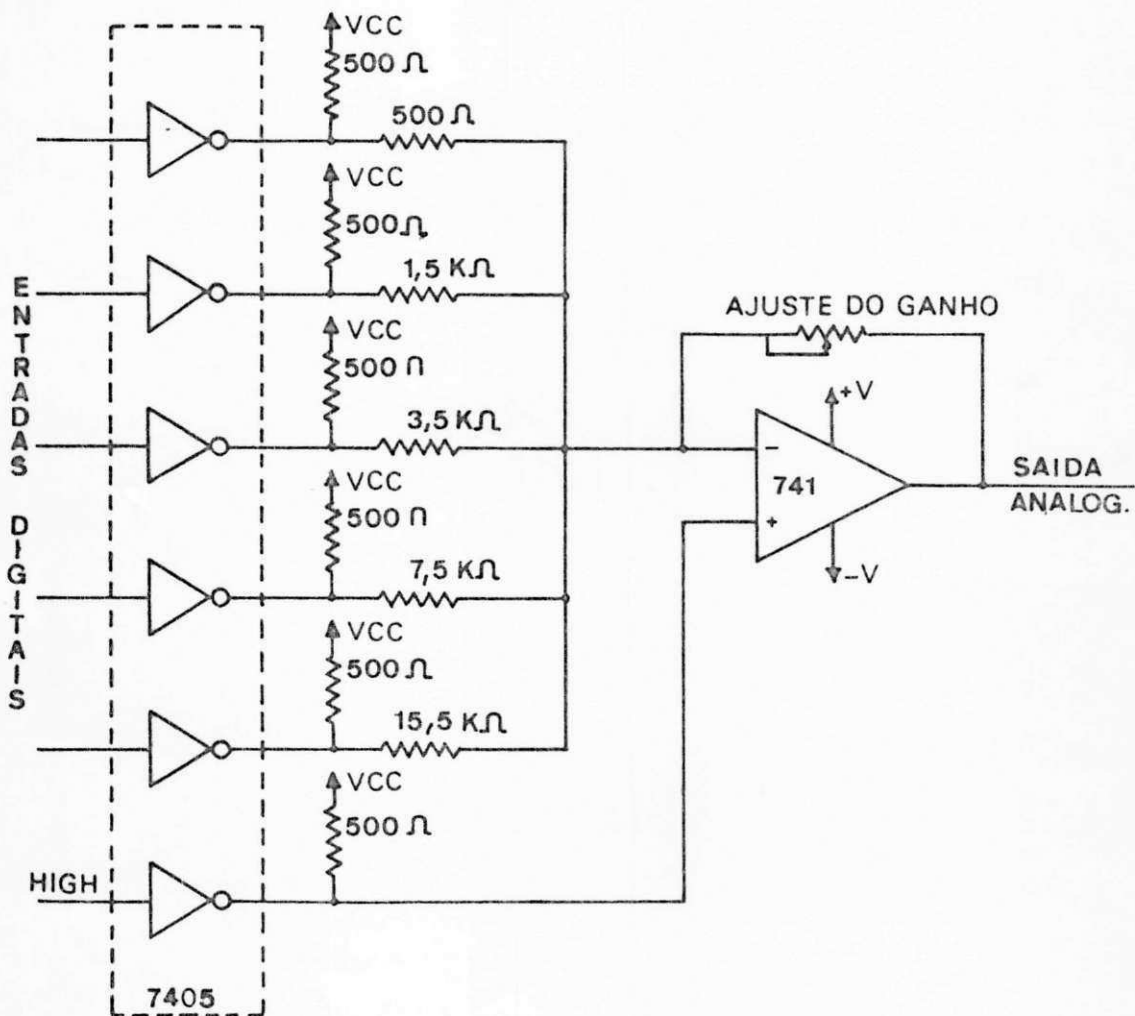
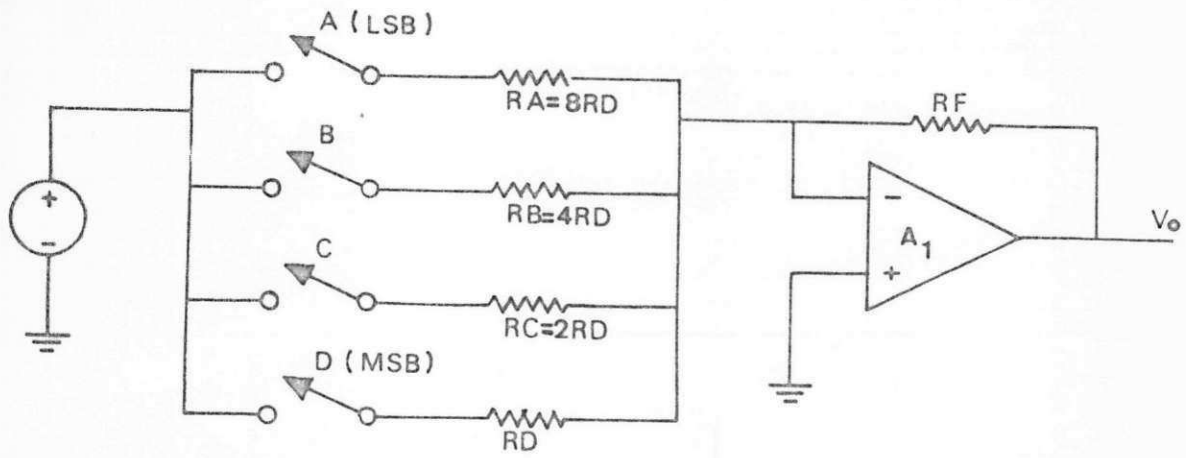
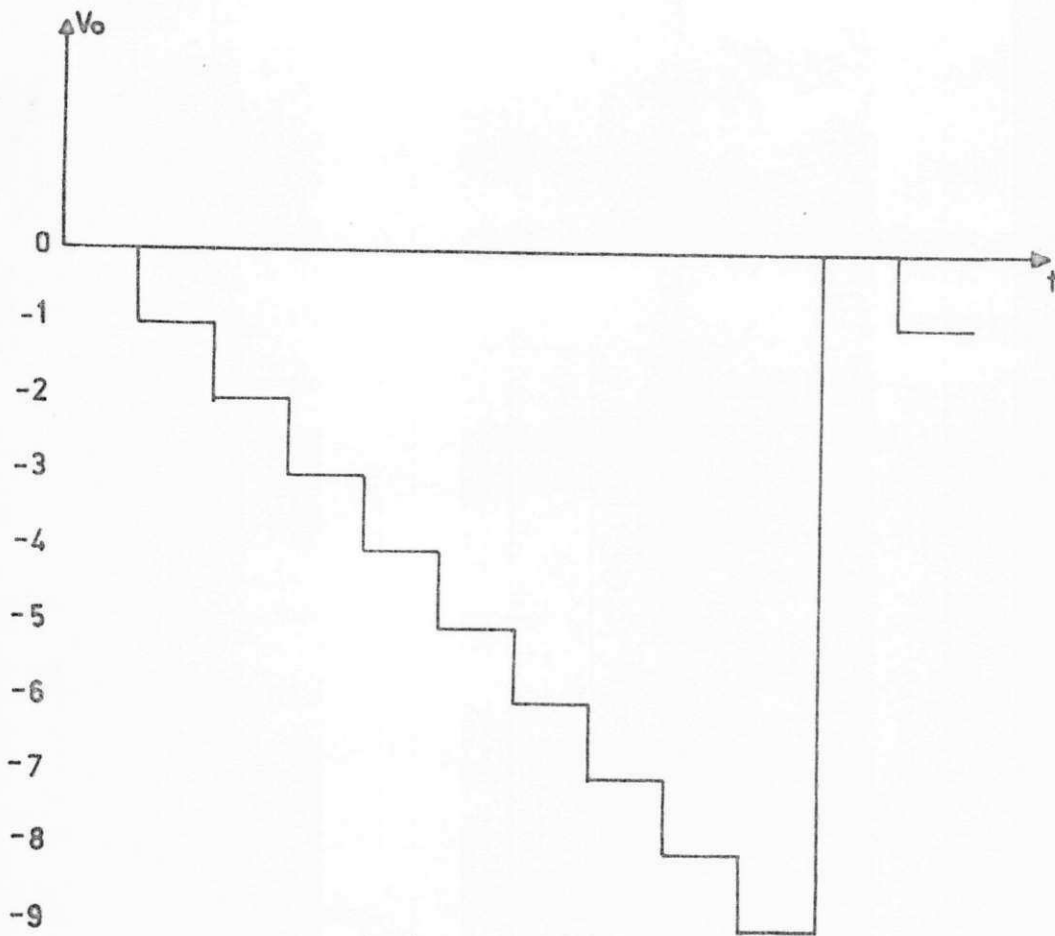


FIG. A. 18 - CONVERSOR D/A DE 5 BITS COM INVERSORES COLETOR-ABERTO COMO CHAVES



(A)



(B)

FIG. A.19-(A) CONVERSOR D/A COM CHAVES IDEAIS.

(B) SAÍDA DO CIRCUITO (A).

APÊNDICE B

ALGUMAS CARACTERÍSTICAS DO OSCILOSCÓPIO UTILIZADO

O osciloscópio utilizado nas experiências feitas foi o TEKTRONIX T 932, de dois canais, podendo aceitar frequências de até 35 MHz (32).

São mencionados neste Apêndice, apenas as principais características elétricas das entradas utilizadas pelo sistema projetado.

B.1 - A ENTRADA VERTICAL (Amplificador Vertical)

Algumas características elétricas importantes do Amplificador Vertical são: (32)

- Resposta em Frequência (Largura de Faixa)	DC em pelo menos 35 MHz
- Resistência de Entrada	Aproximadamente 1 MΩ
- Tensão Máxima de Entrada: Acoplamento DC	400 V (DC + Pico AC)
	800 V pp em 1 KHz ou menos
Acoplamento AC	400 V (DC + Pico AC)
	800 V pp em 1 KHz ou menos
- Capacitância de Entrada	Aproximadamente 30 pF

B.2 - A ENTRADA DO SINCRONISMO EXTERNO

A Entrada X (Trigger externo) é utilizada para o gatilhamento externo dos sinais, ou para sinais X em um modo X-Y (32).

Algumas características elétricas para esta entrada são mencionadas abaixo:

- Máxima Tensão de Entrada	400 V (DC + Pico AC)
	800 V pp (1 KHz ou menos)
- Resistência de Entrada	Aproximadamente 1 MΩ
- Capacitância de Entrada	Aproximadamente 30 pF
- Variação de Nível:	
EXT	(- 0,5 V a + 0,5 V)
EXT/10	(- 5 V a + 5 V)

B.3 - A ENTRADA EIXO Z

A Entrada Eixo Z (situada na parte posterior

do osciloscópio), tem a finalidade de intensificar o "display" do TRC quando um pulso negativo é aplicado na mesma.

Algumas características elétricas da Entrada Eixo Z são os seguintes: (32)

Sensibilidade	5 V causa perceptível modulação
Variação de Frequência útil	DC para 5 MHz
Tensão Máxima de Entrada	50 V (DC + Pico AC)
	50 V pp em 1 KHz ou menos
Impedância de Entrada	Aproximadamente 10 K Ω

REFERÊNCIAS BIBLIOGRÁFICAS

- (1) SEVIORA, R.E. Instrumentos para Depuração de Hardware. Apostila de Microprocessadores, Capítulo 9, Recife, julho de 1976.
- (2) FARNBACH, W. Troubleshooting in the Data Domain is simplified by Logic Analyzers. Electronics Mc Graw-Hill Publication, p. 103-108, 15 de maio de 1975.
- (3) SANTONI, A. Needed for Logic Testing: a new breed of instruments. Electronics Mc Graw-Hill Publication, Volume 48, Nº 19, p. 88-93, 18 de setembro de 1975.
- (4) SMALL, C.T. and MORRILL, J.S. The Logic State Analyzer, a Viewing Port for the Data Domain. Hewlett-Packard Company, p. 2-10, Agosto de 1975.
- (5) SANTONI, A. The Latest Logic Analyzers offer more functions and less cost. Electronic Design, Volume 26, Nº 3, p. 26-32, Hayden Publishing Co. INC, 1 de fevereiro de 1978.
- (6) FARLY, B. Logic Analyzers aren't all alike. Electronic Design, Volume 26, Nº 3, p. 70-76, Hayden Publishing Co. INC., 1 de fevereiro de 1978.
- (7) MUETHING, G., SPECTOR, I. and WONG, C. Low-Cost Digital

- Logic Analyzer. Popular Electronics, Volume 11, Nº 2, p. 40-48, Ziff-Davis Publishing Company, Fevereiro de 1977.
- (8) Solid State Scientific INC. CMOS Integrated Circuits, B Sêries, Novembro de 1976.
- (9) Texas Instruments. The TTL Data Book for Design Engineers, Second Edition, USA - 1976.
- (10) Bipolar Memories and Schottky MSI. Signetics Corporation, USA-1973.
- (11) FOLEY, P. Circulation Manager, IC UP DATA MASTER-USA - 1976.
- (12) HOESCHELE, D.F. Analog-to-Digital/Digital-to-Analog Conversion Techniques, Capítulo 5, John Wiley and Sons, Inc., 1968.
- (13) GRINICH, V.H. and JACKSON, H.G. Introduction to Integrated Circuits, Capítulo 10, Mc Graw-Hill Company, USA - 1975.
- (14) FINKEL, J. Computer-Aided Experimentation: Interfacing to Minicomputers, Capítulo 4, John Wiley and Sons, Inc., 1975.
- (15) ZUFFO, J.A. Sistemas Eletrônicos Digitais: Organização Interna e Projeto, Volume 1, Capítulo 1, Editora Edgard Blücher, 1976.
- (16) MILLMAN, J. and HALKIAS, C.C. Integrated Electronics: Analog and Digital Circuits and Systems, Capítulo 17, Mc Graw-Hill KOGAKUSHA LTD., 1972.

- (17) BLAKESLEE, T.R. Digital Design with Standard MSI and LSI, Capítulo 4, John Wiley and Sons INC, Woodside, CA-USA - 1975.
- (18) Referência (13), Capítulo 5.
- (19) MORRIS, R.L. and MILLER, J.R. Designing with TTL Integrated Circuits, Capítulo 7, Mc Graw-Hill KOGAKUSHA, LTD, 1971.
- (20) LANGDON, G.G. e FREGNI, E. Projeto de Computadores Digitais, Capítulo 5, Editora Edgard Blücher, 1977.
- (21) Referência (17), Capítulo 5.
- (22) BELOVE, C., SCHACTER, H. and SCHILLING, D.L. Digital and Analog Systems, Circuits and Devices, Capítulo 2, Mc Graw-Hill KOGAKUSHA LTD, 1973.
- (23) Referência (14), Capítulo 8.
- (24) HILL, F.J. and PETERSON, G.R. Introduction to Switching Theory and Logical Design, Capítulo 9, John Wiley And Sons, INC, USA - 1976.
- (25) Referência (13), Apêndice D.
- (26) Referência (20), Capítulo 1.
- (27) KAUFMAN, M. and SEIDMAN, A.H. Handbook for Electronics Engineering Technicians, Capítulo 15, Mc Graw-Hill, USA, 1976.
- (28) Referência (13), Capítulo 4.
- (29) ZUFFO, J.A. Circuitos Integrados em Média Escala e em Lar ga Escala, Série MICROPROCESSADORES, Capítulo 5, Editora Edgard Blücher, 1977.

(30) WEBER, S. Circuits for Electronics Engineers, Capítulo 14, Book Series, Mc Graw-Hill Publication Company, NY , 1977.

(31) Referência (12), Capítulo 1.

(32) Manual de Instrução dos Osciloscópios T 932/T 935 - Tektronix, INC. - USA - 1975.