

SINTETIZADOR DE FREQUÊNCIA PARA RECEPÇÃO AM

ORLANDO DOS SANTOS BRITO

SINTETIZADOR DE FREQUÊNCIA PARA
RECEPCÃO AM.

Dissertação apresentada à Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Paraíba em cumprimento parcial às exigências para obtenção do Grau de Mestre em Engenharia Elétrica.

ÁREA DE CONCENTRAÇÃO: Processamento da Informação

ORIENTADOR: PROF. WILLIAM LLOYD BRANDT

DIS
621.396.23(043)
B.8495

Campina Grande, PB, Setembro de 1983



B849s Brito, Orlando dos Santos
Sintetizador de frequencia para recepcao AM. / Orlando dos Santos Brito. - Campina Grande, 1983.
51 f.

Dissertacao (Mestrado em Engenharia Eletrica) - Universidade Federal de Campina Grande, Centro de Engenharia Eletrica e Informatica.

1. Ondas Medias - Sintetizador de Frequencia 2. Detectores de AM I. Paes, Juarez Benigno, Dr. II. Universidade Federal de Campina Grande - Campina Grande (PB) III. Título

CDU 621.376.23(043)

A minha esposa,
meus filhos e
meus pais.

A G R A D E C I M E N T O S

- Ao prof. WILLIAM LLOYD BRANDT, professor do Centro de Ciências e Tecnologia da Universidade Federal da Paraíba, por sua ajuda valiosa na orientação, desenvolvimento, redação e correção deste trabalho.
- Ao prof. GURDIP SINGH DEEP pela ajuda prestada na ausência temporária do prof. William L. Brandt.
- Ao prof. Robert Brandt pelo apoio prestado nos problemas de laboratório.
- Aos funcionários do CCT - UFPA.

ORLANDO DOS SANTOS BRITO

R E S U M O

Os aspectos do projeto de um sintetizador de frequência para aplicação na recepção de ondas médias, são apresentados e discutidos.

O sistema é implementado com tecnologia CMOS em torno do PLL monolítico CD - 4046. São apresentados os resultados obtidos com um protótipo montado em laboratório.

A B S T R A C T

Design aspects and performance characteristics of a Frequency Synthesizer for application in medium wave receivers are discussed.

The system is implemented with CMOS integrated circuits family around the Phase Locked Loop type 4046. Test results of an experimental prototype are presented.

SUMÁRIO

	Página
CAPÍTULO I	
INTRODUÇÃO	01
CAPÍTULO II	
SÍNTESE DE FREQUÊNCIA	04
2.1. Conceitos Básicos	04
2.1.1. Frequência Padrão	05
2.1.2. Resolução	05
2.1.3. Capacidade	05
2.2. Técnicas de Síntese de Frequência	05
2.2.1. Técnica Direta	06
2.2.2. Técnica Digital	06
2.2.3. Técnica "Phase - Lock"	07
2.3. Comparação entre as várias Técnicas	08
2.4. Conclusão	09
CAPÍTULO III	
OSCILADOR DE REFERÊNCIA	10
3.1. Estabilidade de Frequência	10
3.2. Osciladores a Cristal	11
3.3. O Circuito do Oscilador de Referência	13
3.4. Resultados Práticos.....	18

CAPÍTULO IV

SINTETIZADOR DE FREQUÊNCIA COM PLL	20
4.1. Fundamentos de Sintetizadores com PLL..	20
4.2. Descrição Técnica do PLL CD-4046	22
4.3. Projeto do Sintetizador	24
4.3.1. Filtro Passa - Baixas	27
4.3.2. Contador Programável	29

CAPÍTULO V

RESULTADOS E CONCLUSÕES	39
-------------------------------	----

APÊNDICE A

SELEÇÃO DOS COMPONENTES DO PLL	44
--------------------------------------	----

LISTA DE FIGURAS

	Página
FIGURA 3.1. MODELO E CURVA DE REATÂNCIA DE UM CRIS- TAL	12
FIGURA 3.2. CIRCUITOS OSCILADORES PRÁTICOS	14
FIGURA 3.3. FORMAS DE ONDA PARA O CIRCUITO DA FIG. 3.2(a)	16
FIGURA 3.4. DIVISOR DE FREQUÊNCIA	17
FIGURA 3.5. OSCILADOR DE REFERÊNCIA	19
FIGURA 4.1. SINTETIZADOR COM PLL	21
FIGURA 4.2. DIAGRAMA DE BLOCOS DO PLL CD-4046	21
FIGURA 4.3. CARACTERÍSTICA DO VCO DO PLL CD-4046 ..	26
FIGURA 4.4. GANHO DE CONVERSÃO DO VCO (K_1) VERSUS TENSÃO DE ALIMENTAÇÃO PARA O PLL CD- 4046	26
FIGURA 4.5. FILTROS PASSA-BAIXAS MAIS USADOS COM SISTEMAS PLL	28
FIGURA 4.6. CONTADOR SÍNCRONO	30
FIGURA 4.7. CIRCUITOS PARA REDUÇÃO DA LARGURA DO PULSO QUE EXCITA A ENTRADA "PRESET ENA- BLE	32
FIGURA 4.8. ENTRADA DO "PRESET ENABLE" CONTROLADA PELO "CLOCK"	34

FIGURA 4.9.	PROGRAMAÇÃO DO NÚMERO 5	34
FIGURA 4.10.	INDICADOR DE SINCRONISMO	35
FIGURA 4.11.	DIAGRAMA COMPLETO DO SINTETIZADOR.....	37

LISTA DE TABELAS

	Página
TABELA 1.1 - VANTAGENS E DESVANTAGENS DAS TÉCNICAS MODERNAS DE SÍNTESE DE FREQUÊNCIA	08
TABELA 4.1 - EXPRESSÕES PARA PROJETO COM O PLL 4046 USANDO COMPARADOR DE FASE II	25
TABELA 4.2 - CARACTERÍSTICAS DO SINTETIZADOR	38
TABELA 5.1 - RESULTADOS	42

CAPÍTULO I

INTRODUÇÃO

Em quase todos os campos da eletrônica depara-se com a necessidade da geração, transmissão e recepção de sinais de frequência precisa e estável. Para a geração de um sinal, com essas características necessita-se de uma fonte que imprima essas qualidades ao sinal gerado. Se n sinais distintos e simultâneos são desejados, são necessárias, à priori, n fontes distintas que forneçam esses sinais.

Uma fonte que gere sinais com elevado grau de precisão e estabilidade de frequência em relação às variações de temperatura e envelhecimento dos componentes, é um sistema caro. Se o número de sinais desejados é grande, o preço total do sistema torna-se excessivamente dispendioso e, para muitas aplicações, economicamente inviável.

A situação ideal, em termos de precisão e estabilidade de frequência, é que todos os sinais desejados possam ser obtidos de uma única fonte, desde que as característi-

cas dessa fonte geradora sejam incorporadas a cada um dos sinais produzidos. Um sistema capaz de executar essa tarefa é denominado sintetizador de frequência.

Sintetizadores de frequência são largamente utilizados, principalmente, no campo das comunicações. O sintetizador apresenta vantagens econômicas reais no controle preciso da frequência de cada canal de radiodifusão. A sua utilização permitiu construir equipamento com sintonia rápida e precisa para qualquer canal na faixa de H.F. ([1], pág. 5), [2]. O baixo peso, reduzido tamanho, baixo custo e alta confiabilidade tornou o sintetizador um sistema ideal para aplicações móveis, quer na área industrial, quer na militar [3], [4]. Em uma estação de radiodifusão é possível controlar com um único sintetizador vários transmissores que operam simultaneamente com portadoras diferentes ([1], pág. 6). O sintetizador permite ainda que vários transmissores de televisão operem no mesmo canal ([1], pág. 6). Em instrumentação eletrônica, ele é utilizado não só para gerar sinais de frequências-padrão como também na medição da função de transferência de um dispositivo ativo ou passivo, ou ainda para a medição direta de frequências ([1], pág. 6), [6]. A utilização de sintetizadores nas comunicações entre satélites e terminais móveis (avião, por exemplo) ([1], pág. 12), [7], comunicações por radar ([1], pág. 20) são algumas das suas aplicações mais recentes.

Proposto, neste trabalho, um sistema de geração de sinais de frequência que substitua o oscilador local de um receptor para a faixa de ondas médias (540kHz a 1600 kHz). Projeta-se, inicialmente, uma fonte de referência econômica, estável e precisa. Em seguida desenvolve-se um protóti-

po de sintetizador que gere pelo menos cento e sete frequências diferentes espaçadas entre si de 10 kHz, correspondentes aos cento e sete canais atualmente existentes na faixa de ondas médias. As vantagens que o sistema apresenta em relação a um oscilador local convencional são óbvias. Uma vez que as frequências geradas possuem a mesma estabilidade da fonte de referência, podem-se obter sinais altamente estáveis selecionando uma referência altamente estável. Uma outra vantagem é a facilidade de sintonia de uma determinada estação.

Antes de se iniciar a descrição do sistema proposto apresentam-se no capítulo 2 as técnicas de síntese de frequência atualmente em uso.

No capítulo 3 discute-se o projeto do oscilador de referência utilizado. São apresentados também os resultados obtidos com os protótipos montados em laboratório.

O projeto de um sintetizador de frequência tendo como base no PLL monolítico CD-4046 é discutido no capítulo 4.

No capítulo 5 são apresentados os resultados dos testes feitos com o protótipo do sistema, assim como as conclusões sobre o trabalho desenvolvido.

CAPÍTULO II

SÍNTESE DE FREQUÊNCIA

Neste capítulo são apresentadas as três técnicas básicas de síntese de frequência atualmente em uso. Não se pretende discutir como os três tipos de sintetizadores trabalham e sim apresentar as vantagens e desvantagens de cada técnica, assim como os pontos em que se baseou a escolha da técnica "Phase-Lock" para o desenvolvimento do presente trabalho.

2.1. Conceitos Básicos

Considerando-se que o sintetizador representa um sistema relativamente complexo, necessita-se especificar algumas características que caracterizem o seu desempenho. Entretanto, é bom esclarecer que não existe padrão uniforme para descrever ou medir seus parâmetros, uma vez que estes dependem, na maioria das vezes, da aplicação.

2.1.1. Frequência Padrão

A maior vantagem de um sintetizador de frequência é a sua capacidade de fornecer uma frequência de saída que é um múltiplo racional da frequência de referência ([1], pág. 1.2). Dessa forma, se a frequência de referência é obtida de uma fonte altamente estável, a estabilidade de frequência dos sinais de saída independe da estabilidade de frequência dos outros componentes do sintetizador (VCO, por exemplo).

2.1.2. Resolução

Este termo é usado para designar a diferença mínima de frequência entre quaisquer duas frequências de saída adjacentes. A resolução depende muito da aplicação, podendo ser tão baixa como 0,01 Hz para sistemas de rastreamento ou tão alta como 200 kHz para sistemas de comunicação em FM.

2.1.3. Capacidade

Entende-se por capacidade o número de sinais de frequências que podem ser geradas pelo sintetizador. Esse número está diretamente ligado à sua aplicação. Existem sintetizadores usados em instrumentos de testes, capazes de gerar 5×10^9 sinais de frequência diferentes ([1], pág. 1-2).

2.2. Técnicas de Síntese de Frequência

Existem três técnicas básicas de síntese de

frequência: direta, digital e "phase-lock".

2.2.1. Técnica Direta

Um contador é o bloco principal na técnica direta ([1], pág. 26). As frequências de saída são obtidas de uma frequência de referência gerando um espectro com espaçamento pré-estabelecido e, através de um banco de filtros ou osciladores sincronizados fixos, seleciona-se a componente de frequência desejada ([1], pág. 26-27).

A síntese direta apresenta como vantagens chaveamento de frequência muito rápido (da ordem de alguns microssegundos ou menos), resolução fina (passos de 10^{-2} Hz ou menos), boa supressão de ruído (60 a 100 dB), largura de faixa de centenas de megahertz ([1], pág. 30-31).

Para que um sintetizador de frequência, utilizando a técnica direta, apresente bom desempenho, exigem-se circuitos muito complexos, fato este, que de certa forma torna o sintetizador oneroso e de consumo de energia de alguns "watts".

2.2.2. Técnica Digital

Como na técnica anterior, as frequências de saída são obtidas diretamente da frequência de referência, através de implementação de operações matemáticas sem o uso de osciladores sincronizados ou malhas de realimentação ([1], pág. 39-41).

Apresenta como características principais um chaveamento muito rápido, incrementos de frequência muito pequenos e largura de faixa extremamente grande [8], [9]. Existe

ainda a possibilidade de ser construído essencialmente com circuitos integrados. À medida que o número de frequências de saída aumenta, a complexidade do sintetizador também aumenta. Para uma filtragem adequada, as amostras da frequência de saída devem chegar a taxas quatro vezes superiores à frequência desejada ([1], pág. 42-43). Isto faz com que o sintetizador apresente uma limitação na largura de faixa que é imposta pela capacidade de memória (milhares de bits) e pela velocidade (tempos de acesso de dezenas de microssegundos).

As exigências de rapidez, precisão, uniformidade e isenção de transitórios para manter a pureza espectral das amostras digitais no sinal de saída, pode fazer com que os conversores D/A se tornem um problema na utilização desta técnica.

2.2.3. Técnica "Phase-Lock"

É desenvolvida em torno de um dispositivo denominado PLL (Phase Locked Loop), o qual sincroniza com uma frequência de referência. As frequências de saída são determinadas, normalmente, por um comando que aciona um divisor programável. A resolução, para um sintetizador usando esta técnica, é igual à frequência de referência.

Apresenta como características principais simplicidade de projeto, baixo custo e possibilidade de utilização de circuitos integrados. A largura de faixa é limitada apenas pela faixa de sintonia do oscilador controlado por tensão (VCO) ([1], pág. 37). Contudo, esta largura de faixa pode ser expandida chaveando alguns VCO's, embora à custa de alguma

complexidade adicional.

Em relação às duas técnicas anteriores, apresenta chaveamento lento (0,1 a 10 ms) e resolução razoavelmente grande (1 a 200 kHz).

2.3. Comparação entre as Várias Técnicas

As principais vantagens e desvantagens de cada uma das três técnicas anteriormente descritas são apresentadas na tabela 2.1 para uma comparação rápida.

TABELA - 2.1.

TÉCNICA	VANTAGENS	DESVANTAGENS
DIRETA	<ul style="list-style-type: none"> - tempo de chaveamento rápido ($< 1 \mu s$) - boa supressão de ruído (60 a 100 dB) - largura de faixa de centenas de megahertz. 	<ul style="list-style-type: none"> - complexidade de circuitos para bom desempenho. - alto custo - consumo de energia de alguns "watts".
DIGITAL	<ul style="list-style-type: none"> - tempo de chaveamento muito rápido ($< 1 \mu s$) - alta resolução - possibilidade de utilização de circuitos integrados. - capacidade muito grande. 	<ul style="list-style-type: none"> - largura de faixa limitada pela capacidade e velocidade das memórias "ROM's" - Conversores D/A podem ser um problema.
"PHASE LOCK"	<ul style="list-style-type: none"> - simplicidade - baixo custo - possibilidade de utilização de circuitos integrados - largura de faixa grande. 	<ul style="list-style-type: none"> - tempo de chaveamento (0,1 a 10 ms). - resolução baixa (1 a 200 kHz)

2.4. Conclusão

Uma análise da tabela 1.1 mostra que as principais desvantagens da técnica "Phase Lock" são: tempo de chaveamento compreendido entre 0,1 e 10 ms e resolução de 1 a 200 kHz. Para o sistema de geração de sinais de frequência compreendida entre 540kHz e 1600 kHz, proposto neste trabalho, essas desvantagens não chegam a se constituir em desvantagens reais, pois como será visto na secção 3.3, a resolução desejada é de 10 kHz (separação entre canais de radiodifusão em ondas médias) e, um tempo de chaveamento de 10 ms (pior caso) é aceitável para sintonia em um receptor da chamada faixa popular. Dessa forma, foi escolhida a técnica "Phase Lock", principalmente pelo seu baixo custo e simplicidade. Como será visto em capítulos subsequentes, foi possível implementar o sistema com tecnologia CMOS, permitindo operação com baixo consumo de energia.

CAPÍTULO III

OSCILADOR DE REFERÊNCIA

Circuitos osciladores são largamente utilizados em sistemas de comunicação e instrumentação eletrônica.

Neste capítulo, apresenta-se a configuração do circuito oscilador de referência, assim como os resultados obtidos com os protótipos testados. Entretanto, primeiramente se discute a estabilidade de frequência de osciladores a cristal.

3.1. Estabilidade de Frequência

Um oscilador tendo sido, inicialmente, fixado em uma frequência particular, não manterá indefinidamente sua frequência inicial. Infelizmente, todos os componentes do circuito podem variar com o tempo (envelhecimento) e temperatura. Por outro lado, qualquer variação na tensão de alimentação pro

duzirá um deslocamento do ponto de operação, afetando os parâmetros do elemento ativo. Todos esses fatores concorrem para que exista um desvio de frequência em torno da frequência inicial.

De um modo geral, em um circuito oscilador, um elemento ou conjunto de elementos exerce ação predominante na determinação da frequência de saída do oscilador (rede seletiva). Quando isso ocorre, esses elementos possuem um efeito mais acentuado na estabilidade total. Dessa forma, a estabilidade de frequência do oscilador é medida pela estabilidade de frequência da rede seletiva.

O fator de estabilidade do oscilador, em função do fator de qualidade da rede seletiva (Q) é dado por [10]

$$|S| = 2Q \quad (3.1)$$

Uma análise desta expressão mostra que, quanto maior o Q da rede seletiva, maior será a imunidade do circuito às variações em frequência produzidas por elementos parasitas.

3.2. Osciladores a Cristal

Os osciladores que possuem circuito tanque (LC) como elemento oscilador de frequência dificilmente apresentam fatores de estabilidade de frequência superiores a 400. Uma grande melhoria na estabilidade é conseguida quando se substitui o circuito tanque por um cristal.

A utilização de ressoadores piezoelétricos (cristais) como elementos controladores de frequência tem

apresentado como a solução mais econômica para se obter um padrão de frequência estável e preciso. Os ressoadores piezoelétricos mais utilizados são os cristais de quartzo na sua forma natural ou obtidos artificialmente. O Q destes dispositivos é uma função da frequência podendo assumir valores superiores a 100.000 [11] .

Um cristal tanto pode operar como um circuito ressonante ou como um circuito anti-ressonante. Na fig. 3.1. apresenta-se o modelo, assim como a curva clássica de reatância

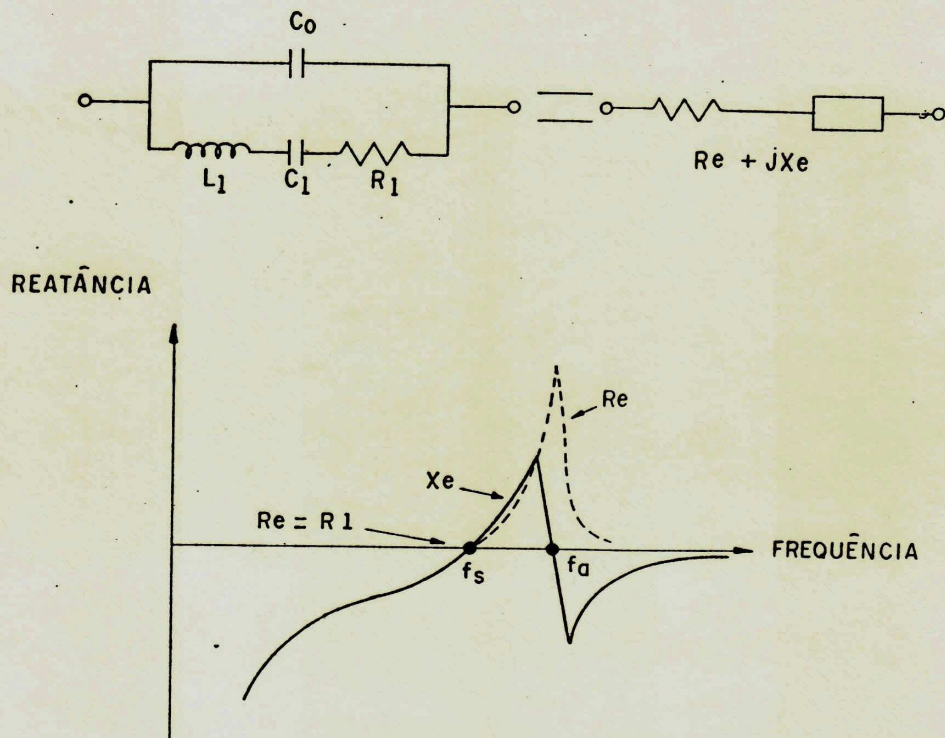


FIG. 3.1 — MODELO E CURVA DE REATÂNCIA DE UM CRISTAL

cias para um cristal. A análise dessa curva mostra que existem dois pontos de frequência em que a reatância é nula, isto é, o cristal nesses pontos apresenta-se puramente resistivo. A frequência inferior

é denominada frequência ressonante série (f_s) e a frequência superior, frequência anti-ressonante (f_a). Para $f=f_s$, o cristal apresenta uma resistência muito baixa, enquanto que em $f=f_a$ o cristal possui resistência muito elevada. A faixa de frequência compreendida entre f_s e f_a é denominada largura de faixa do cristal (LF).

Um modo bastante utilizado de implementar um oscilador a cristal, para aplicação em potência inferior a um "Watt", é usar um circuito CMOS como amplificador linear.

Algumas vantagens dos circuitos CMOS são:

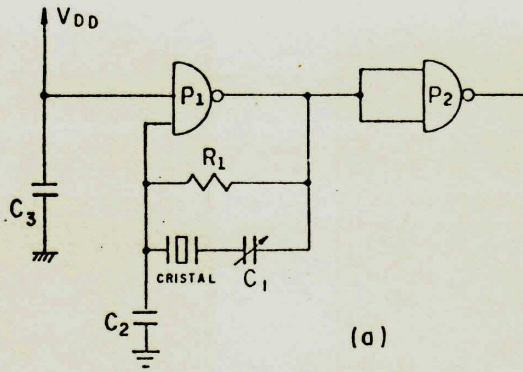
- Boa estabilidade em relação às variações da tensão de alimentação. Faixa de tensão de alimentação de +3V a +18 V.
- Faixa de frequência de oscilação de menos de 1Hz a 15 MHz.

3.3. O Circuito do Oscilador de Referência

Para a elaboração do projeto do oscilador de referência, deve-se levar em consideração não só a precisão e estabilidade de frequência, mas também o custo e o consumo de energia.

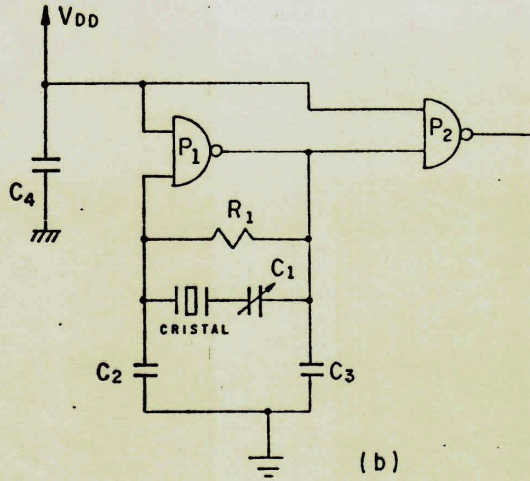
Levando em conta esses requisitos e tendo em mente o exposto nas seções 3.1. e 3.2., verifica-se que a melhor opção é reunir as propriedades do cristal às características dos circuitos CMOS, isto é, implementar um oscilador CMOS controlado por cristal.

Dentre os cristais de quartzo comercialmente disponíveis, os que apresentam maior estabilidade de frequência devido à geometria inferior e ao ângulo de corte, operam na



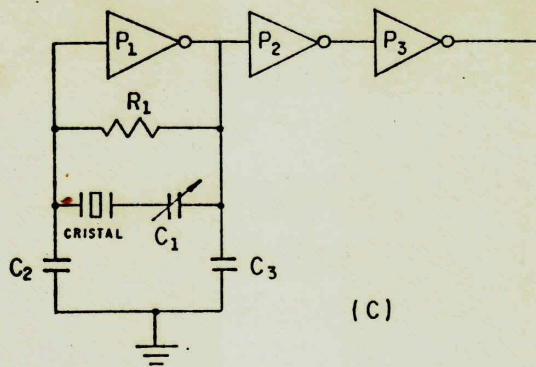
- P_1, P_2 - 1/4 CD 4011
- R_1 - 15 M Ω
- C_1 - 18 pF
- C_2 - 100 pF
- C_3 - 0.15 μ F

(a)



- P_1, P_2 - 1/4 CD 4011
- R_1 - 16,4 M Ω
- C_1 - 25 pF
- C_2 - 100 pF
- C_3 - 39 pF
- C_4 - 0.15 μ F

(b)



- P_1, P_2, P_3 - 1/6 CD 4069
- R_1 - 16,4 M Ω
- C_1 - 25 pF
- C_2 - 100 pF
- C_3 - 39 pF

(c)

FIG. 3.2 - CIRCUITOS OSCILADORES PRÁCTICOS

faixa de 2 a 10 MHz.

Uma vez que a precisão das frequências dos sinais de saída do sintetizador é uma função direta da precisão da frequência de referência, escolheu-se um circuito oscilador a cristal cuja frequência de oscilação é um múltiplo inteiro de 10 kHz, para que o fator de divisão do divisor de frequência seja um número inteiro. Dentre a disponibilidade existente no mercado, selecionou-se um cristal de 10 MHz.

Na fig. 3.2. são apresentados alguns osciladores práticos testados em laboratório. Para que a porta P_1 opere como amplificador linear é necessário que seja polarizada de tal modo que a tensão de saída seja igual a metade da tensão de alimentação. Isto se consegue com um resistor de polarização R_1 de valor suficientemente alto para evitar carregamento da rede de realimentação, ainda assim suficientemente baixo em relação à impedância de entrada do amplificador. Resistores de valores compreendidos entre 10 e 500 M Ω (|13|, pág. 2) satisfazem esta condição, contudo, valores de 15 M Ω são mais utilizados para permitir maior corrente de fuga de entrada sem grandes variações no ponto de polarização (|13|, pág. 2). Um cuidado especial deve ser tomado na utilização do primeiro desses circuitos, uma vez que ele apresenta restrições severas de frequência. Nos testes efetuados em laboratório, verificou-se que o efeito capacitivo das entradas de P_2 torna o circuito inadequado para operação em frequências superiores a 5MHz. Para minimizar esses problemas, o circuito deve ser modificado como mostrado na fig. 3.2 (b), isto é, uma das entradas de P_2 é colocada em nível lógico "1" (V_{dd}). Dos três circuitos práticos apresentados, foi escolhido o circuito da fig. 3.2(c) ,

não só pelas suas características de bom desempenho (idêntico ao do circuito da fig. 3.2(b) mas também pela necessidade da utilização de portas inversoras no divisor programável, como será visto na seção 4.3.2.

No presente sistema a frequência do sinal de referência é igual à resolução do sintetizador (seção 2.2.3) , isto é, o espaçamento dos canais. Atualmente, esse espaçamento na faixa de ondas médias é de 10 kHz. Dessa forma, o sinal de saída do oscilador deve ser dividido por um fator de 1000.

Talvez o aspecto mais aparente que diferencia os vários sintetizadores de frequência que utilizam PLL seja o divisor de frequência. Ele fornece a oportunidade de projeto criativo na minimização de custos, espaço ou consumo de energia sem deixar de atender as necessidades de velocidade de operação [14] . O método mais usado de divisão de frequência é o divisor digital. Para a sua implementação, deve-se levar em conta o número de circuitos integrados utilizados e o desempenho do mesmo.

Na fig. 3.3 mostra-se o divisor de frequência o qual é constituído por três circuitos integrados. O sinal de saída do oscilador (10MHz) atua como "clock" de um "flip-flop" JK (CK-4027), sendo reduzido a 5MHz, o qual excita um divisor por cinco implementado com um circuito integrado CD 4510. O sinal de 1MHz obtido na saída Q2 deste circuito integrado é usado como entrada de um divisor por cem implementado com um circuito integrado MC 14158. Na saída do último divisor tem-se um trem de pulsos de 10kHz.

Na fig. 3.4 apresentam-se as formas de onda de entrada e de saída para um ciclo completo do contador BCD ,

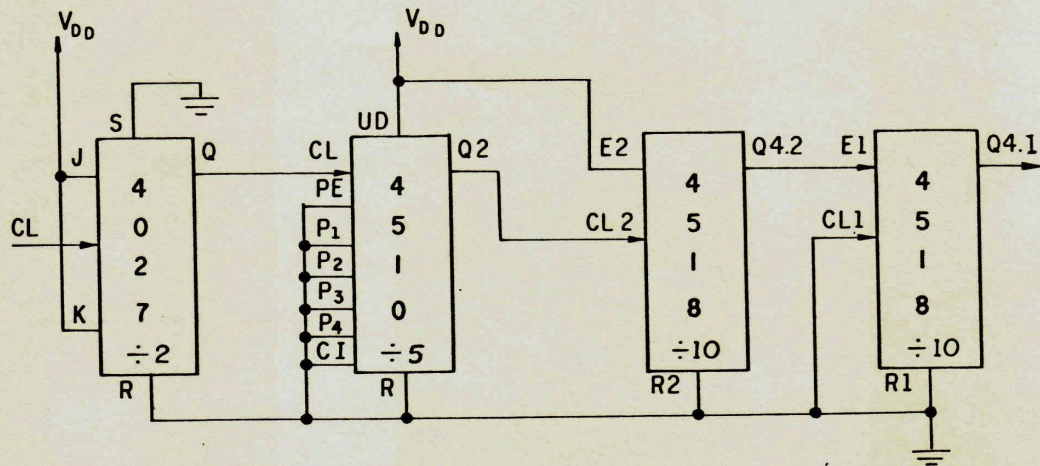


FIG. 3.3 — DIVISOR DE FREQUÊNCIA

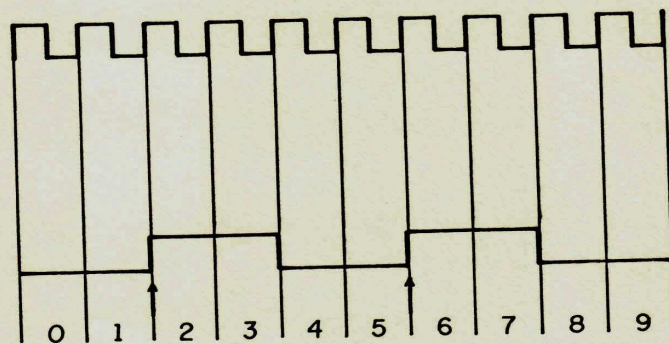


FIG. 3.4 — FORMAS DE ONDA DE ENTRADA E DE SAÍDA PARA O CONTADOR CD 4510, UTILIZADO NA FIG. 3.3

3.4- Resultados Práticos

O circuito completo do oscilador de referência é apresentado na fig. 3.5. Todos os circuitos integrados utilizados na sua implementação são circuitos CMOS.

Para medidas de desempenho foi utilizado um freqüencímetro digital HP-5245 L com base de tempo de 10 seg . Após o ajuste fino de frequência, efetuado com o capacitor C_1 , conseguiu-se uma leitura de $(10.000 \pm 0,0001)$ kHz, isto é, um desvio máximo de um décimo de hertz para a frequência desejada de 10 kHz. Pela leitura obtida, não se pode afirmar, à priori, se o desvio ocorrido no último dígito é produzido pelo circuito testado ou devido ao aparelho utilizado para medição.

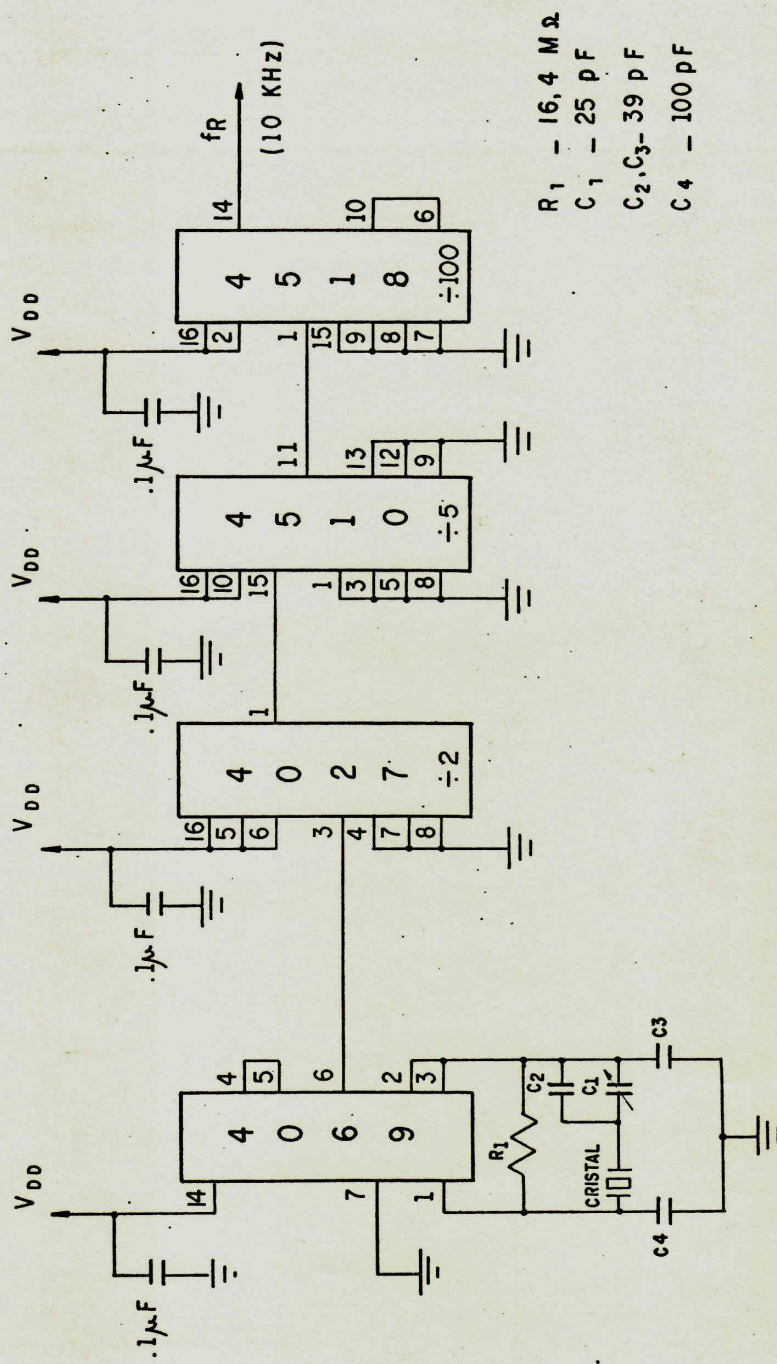


FIG. 3.5 - OSCILADOR DE REFERÊNCIA

CAPÍTULO IV

SINTETIZADOR DE FREQUÊNCIA COM PLL

A técnica de malha sincronizada por fase mais conhecida por PLL (Phase Locked Loop), é largamente utilizada desde que foi proposta em 1922 ([16], pág. 2/119). Para a geração de sinais de frequência de até algumas centenas de MHz, PLL's monolíticos tem grande aceitação devido principalmente ao seu baixo custo e bom desempenho.

4.1. Fundamentos de Sintetizadores com PLL

Um diagrama de blocos de um sintetizador de frequência com PLL é apresentado na fig. 4.1. Ele é constituído por um comparador de fase (CF), um filtro passa-baixas (FPB), um oscilador controlado por tensão (VCO) e um contador programável ($\div N$). Os estágios comparador de fase, filtro e oscilador controlado por tensão constituem um subsistema denominado

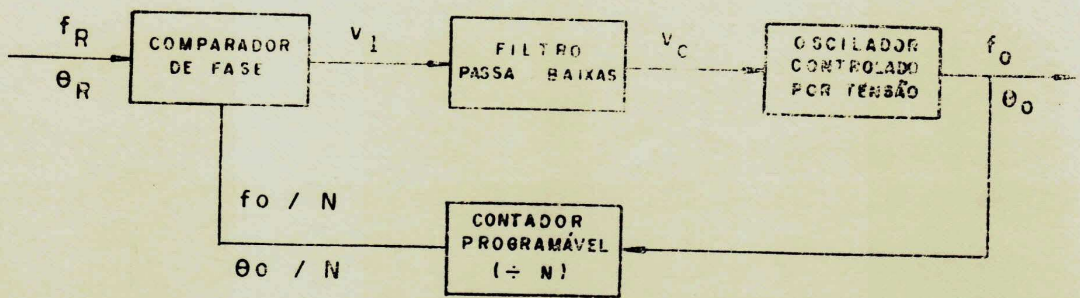


FIG. 4.1 — SINTETIZADOR COM PLL

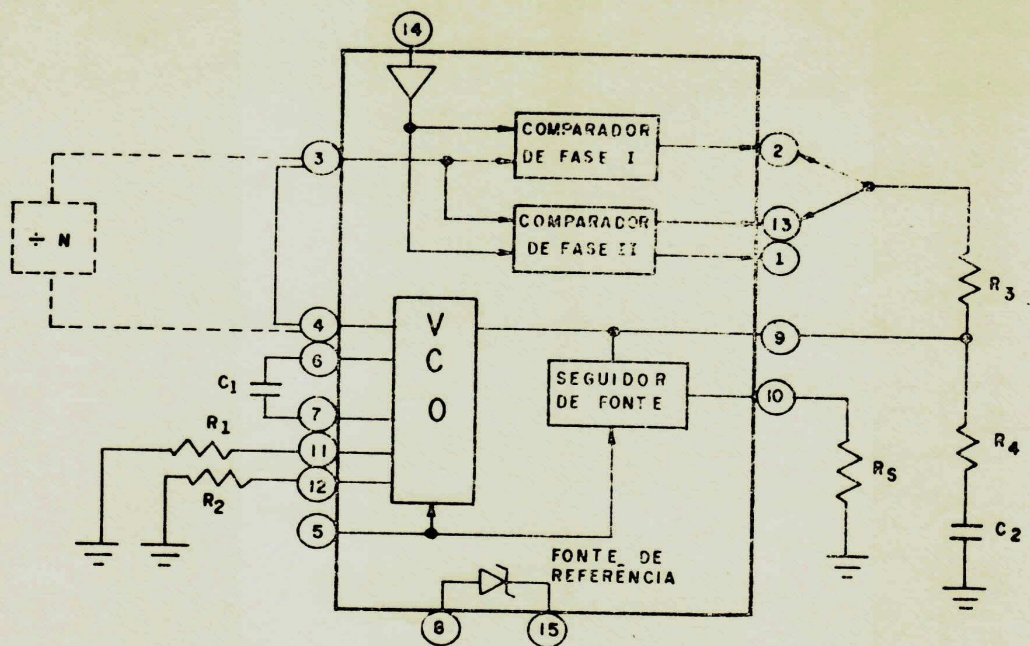


FIG. 4.2 — DIAGRAMA DE BLOCOS DO PLL CD 4046

PLL. Estes blocos estão conectados de modo a constituírem um sistema de malha fechada.

O sinal de saída do VCO, é realimentado a uma das entradas do comparador, após passar pelo contador programável, onde é comparado em fase e frequência com o sinal de referência. A saída do comparador apresenta-se uma tensão de erro que é função das diferenças de fase e frequência entre esses dois sinais. Esta tensão de erro, após filtrada, é usada como tensão de controle do VCO. Uma variação da tensão de controle produz uma variação correspondente na frequência de saída do oscilador controlado por tensão. Desta forma, para que f_o se estabilize em um determinado valor, é necessário que na entrada do VCO esteja presente um nível constante. Quando isto ocorrer, diz-se que a frequência de saída está sincronizada ou travada com a frequência de referência (f_r) e f_o é um harmônico de f_r , isto é, $f_o = Nf_r$.

Pelo exposto, verifica-se que a frequência de referência deve ser a mais estável e precisa possível, pois qualquer variação em f_r aparecerá multiplicada por N na saída do sistema.

4.2. Descrição Técnica do PLL CD - 4046

A fig. 4.2. mostra o diagrama de blocos do PLL CD - 4046 ([16], pág.2-119), o qual é constituído por um único circuito integrado monolítico. A sua estrutura interna consiste de um oscilador controlado por tensão (VCO), dois comparadores de fase, um amplificador para o sinal de entrada, uma fon

te de referência (zener) e um seguidor de fonte.

O comparador de fase I é um circuito lógico "ou - Exclusivo" que exige sinais com ciclo de trabalho de 50% (onda quadrada) em ambas as entradas. Contudo, permite que o PLL mantenha o sincronismo mesmo em presença de elevados níveis de ruído ([17], pág. 2). Uma outra característica deste comparador é permitir o sincronismo com harmônicos da frequência central do VCO que estejam presentes na entrada. A faixa de captura utilizando este comparador depende das características do filtro passa-baixas usado, e pode ser feita tão grande quanto a faixa de sincronismo.

O comparador de fase II é um circuito com memória digital controlada na transição positiva (subida) dos sinais de entrada do comparador. Menos imune a ruído que o comparador anterior, é recomendado para aplicações de faixa larga, uma vez que não permite o travamento do PLL com harmônicos da frequência central do VCO. Se a frequência do sinal de entrada é maior que a frequência do sinal de realimentação, a saída do comparador estará em nível lógico "1" (V_{dd}); se a frequência de entrada é menor, a saída estará em nível lógico "0" (V_{ss}). Se as duas frequências são iguais, a saída é um pulso cuja largura é proporcional à diferença de fase existente entre esses dois sinais ([19], pág. 135). Este comparador fornece dois sinais de saída: um sinal de erro digital (terminal 13) e um sinal "teste de fase" (terminal 1), que pode ser usado para indicar quando o PLL está em sincronismo.

Com o circuito sincronizado, o comparador de fase I permite uma diferença de fase de zero a 180 graus entre a saída de VCO e o sinal de referência, enquanto para o compa-

rador II esta diferença é nula.

O oscilador controlado por tensão (VCO) possui resistência de entrada elevada, facilitando a seleção dos componentes do filtro. A frequência mínima do VCO ocorre para uma tensão de controle zero, aumentando linearmente para uma frequência máxima que depende da tensão de alimentação, característica do VCO e do nível de tensão que pode ser fornecido pelo detetor de fase. O VCO possui dois modos de operação: com "offset" e sem "offset". Na operação sem "offset", pode-se ajustar a frequência máxima através de R_1 ($R_2 = \infty$); enquanto na operação com "offset", pode-se ajustar a faixa de operação através de R_1 e R_2 .

Se um nível alto é aplicado à entrada "INHIBIT" (pino 5), o VCO e o seguidor de fonte são desativados permitindo minimizar o consumo de energia. Isto deve ser feito quando se deseja utilizar apenas o comparador de fase. O dispositivo incorpora também um diodo zener para regulação de alimentação se necessário.

4.3- Projeto do Sintetizador

Como foi visto na primeira seção deste capítulo, o sintetizador de frequência é constituído por um PLL e um contador programável. Portanto, para a implementação do sistema, devem-se determinar os valores dos componentes externos do PLL. De um modo geral, o fabricante do dispositivo fornece informações adequadas para o cálculo do valor desses componentes, quer através de fórmulas, quer através de curvas. Os valores

obtidos desses dados são apenas aproximações, de modo que ajustes se tornam necessários. Morgan e Steudel ([17], pág. 4) recomendam $R_1 \geq 10 \text{ k}\Omega$, $R_2 \geq 10 \text{ k}\Omega$, $R_S \geq 10 \text{ k}\Omega$, e $C_1 \geq 50 \text{ pF}$. O valor de C_1 depende muito da tensão de alimentação; com o aumento de V_{dd} o valor mínimo de C_1 diminui. Normalmente, $C_1 = 50 \text{ pF}$ é recomendado para uma tensão de alimentação de 10 volts.

Como será visto no Apêndice A, o oscilador controlado por tensão deve gerar sinais de frequência variando de 1000 a 2060 kHz, isto é, uma largura de faixa de 1060 kHz. Uma vez que essa faixa de frequência é razoavelmente grande foi escolhido o comparador de fase II ([18], pág. 362).

Na Tabela 4.1, apresentam-se algumas fórmulas básicas de projeto utilizando o comparador de fase II ([17], pág. 6). Os valores de resistência são dados em quiloohms, capacitância, em microfarads e frequência, em quilohertz. Os parâmetros F_M , F_m e K_1 representam, respectivamente, a frequência máxima, a frequência mínima, e o ganho de conversão do VCO.

TABELA 4.1.

Expressões para projeto com o PLL CD-4046 usando o Comparador de Fase II

	VCO sem "Offset"	VCO com "Offset"
Aproximações para os Resistores R_1 e R_2	$R_1 = \frac{2 K_1}{F_M \cdot C_1}$	$R_1 = \frac{2 K_1}{(F_M - F_m) \cdot C_1}$ $R_2 = \frac{2 K_1}{F_m \cdot C_1}$
Faixa de Sincronismo f_1	$2f_1 = F_M - F_m$	
Faixa de Captura, f_c	$f_c = f_1$	

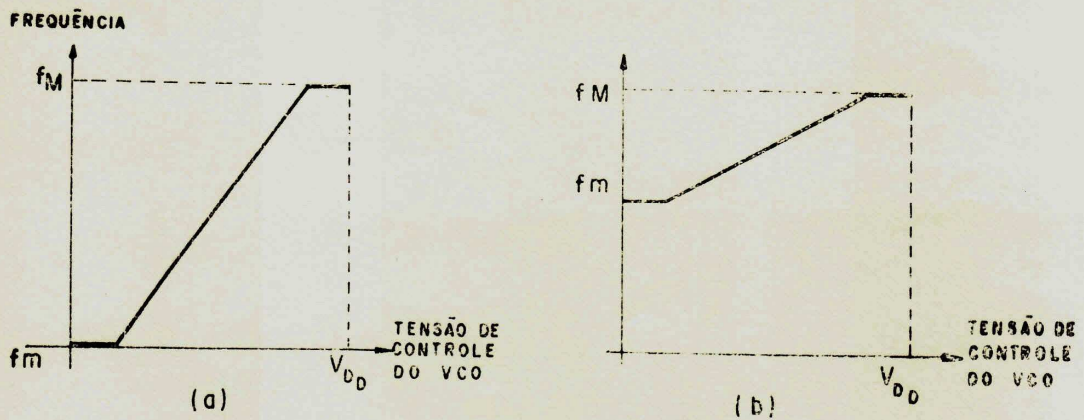


FIG. 4.3 - CARACTERÍSTICAS DO VCO DO PLL CD-4046
 (a) SEM "OFFSET" DE FREQUÊNCIA
 (b) COM "OFFSET" DE FREQUÊNCIA

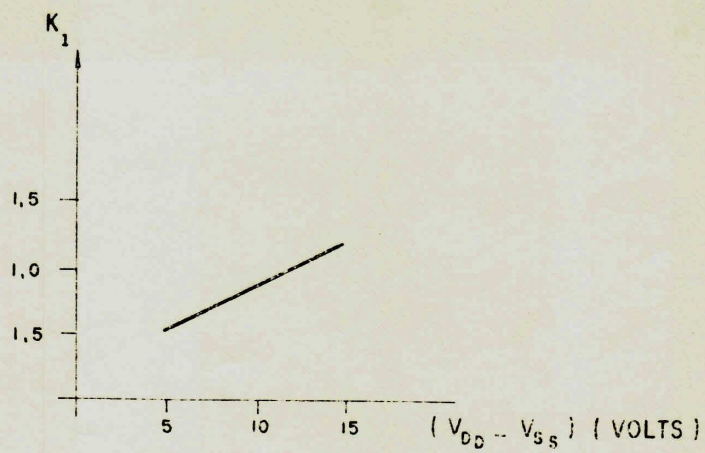


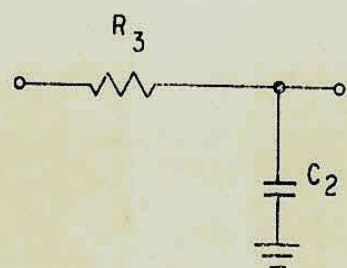
FIG. 4.4 - GANHO DE CONVERSÃO DO VCO (K_1) "VERSUS" TENSÃO DE ALIMENTAÇÃO, PARA O PLL CD-4046.

Da fig. 4.4, com tensão de alimentação igual a 15 v, obtem-se para K_1 um valor aproximado de 1,2. Para que as recomendações do fabricante ([16], pág. 2/125) sejam respeitadas, foi escolhido C_1 com valor nominal de 68 pF. Substituindo esses valores de K_1 e C_1 (juntamente com os valores de F_m e F_M citados no parágrafo anterior), nas expressões da tabela 4.1. para operação com "offset", obtem-se para R_1 e R_2 os valores de 37 k Ω e 40 k Ω , respectivamente. Com resistores variáveis próximos aos valores calculados, ajusta-se a faixa de operação de VCO. A frequência mínima é estabelecida por R_2 e C_1 e a máxima, por R_1 e C_1 .

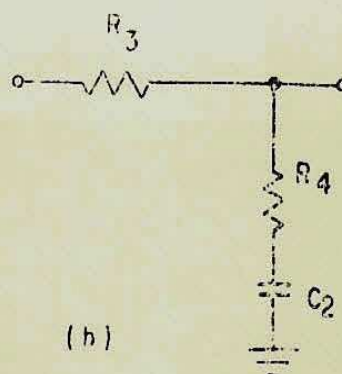
Tipicamente, o VCO do PLL CD 4046, com alimentação de 15 v, alcança 1,6 MHz e o valor mínimo garantido pelo fabricante para essa alimentação é de 1,0 MHz. Entretanto, a frequência máxima desejada é superior a 2MHz. Dessa forma, para se alcançar as frequências dos canais superiores é necessário reduzir o valor do capacitor C_1 para um valor nominal de 18 pF. Testes efetuados em laboratório com este PLL, mostraram que o VCO deste dispositivo pode operar em frequências de até 3 MHz ($V_{dd} = 15$ v, $C_1 = 18$ pF). Contudo, essas frequências somente podem ser alcançadas na operação sem "offset", uma vez que a razão R_2/R_1 limita a largura de faixa.

4.3.1 Filtro Passa-Baixas

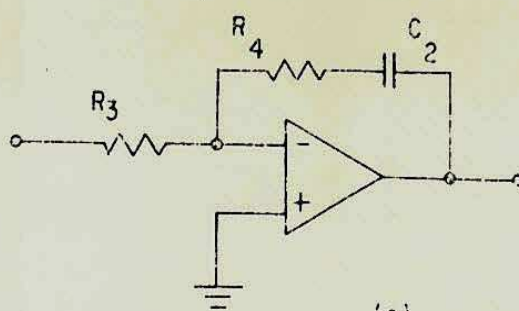
Quando a malha está sincronizada, o sinal na saída do filtro passa-baixas é de frequência nula; desse modo, a resposta em frequência do filtro assume importância secundária.



(a)



(b)



(c)

FIG. 4.5 — FILTROS PASSA-BAIXAS MAIS USADOS COM SISTEMAS
 PLL. (a) FILTRO "LAG" (b) FILTRO "LAG-LEAD" PASSIVO
 (c) FILTRO "LAG-LEAD" ATIVO.

ria. Contudo ela é muito importante no processo de captura. Se a frequência - diferença é muito atenuada, nenhuma tensão de controle é aplicada à entrada do VCO e o sincronismo não será conseguido.

Entretanto, uma análise da tabela 4.1 mostra que na utilização do comparador de fase II, ao contrário do comparador de fase I, o filtro passa-baixas não controla a faixa de captura. Por outro lado, como a entrada do VCO deste PLL é constituída por transistores N-MOS, com resistência de entrada extremamente alta, existe uma certa liberdade na seleção dos componentes do filtro ([17], pág. 4). Na fig. 4.5 estão apresentadas as três configurações mais usuais de filtros passa baixas utilizados com sistemas PLL.

Dos circuitos apresentados, foi escolhida a rede passiva "lag-lead", uma vez que ela é mais econômica que o filtro ativo e apresenta melhor desempenho que o simples filtro RC. A colocação do resistor R_4 em série com o capacitor C_2 melhora a estabilidade do filtro. Valores baixos ou nulos, de R_4 tendem a levar a malha à oscilação.

O tempo de acomodação ("settling time") do filtro passa-baixas determina a rapidez com que o sistema passa de um canal para outro.

4.3.2. Contador Programável

A seleção de cada canal desejado é feita através de chaveamento externo, o qual comanda um contador síncrono programável constituído de três circuitos integrados CD-

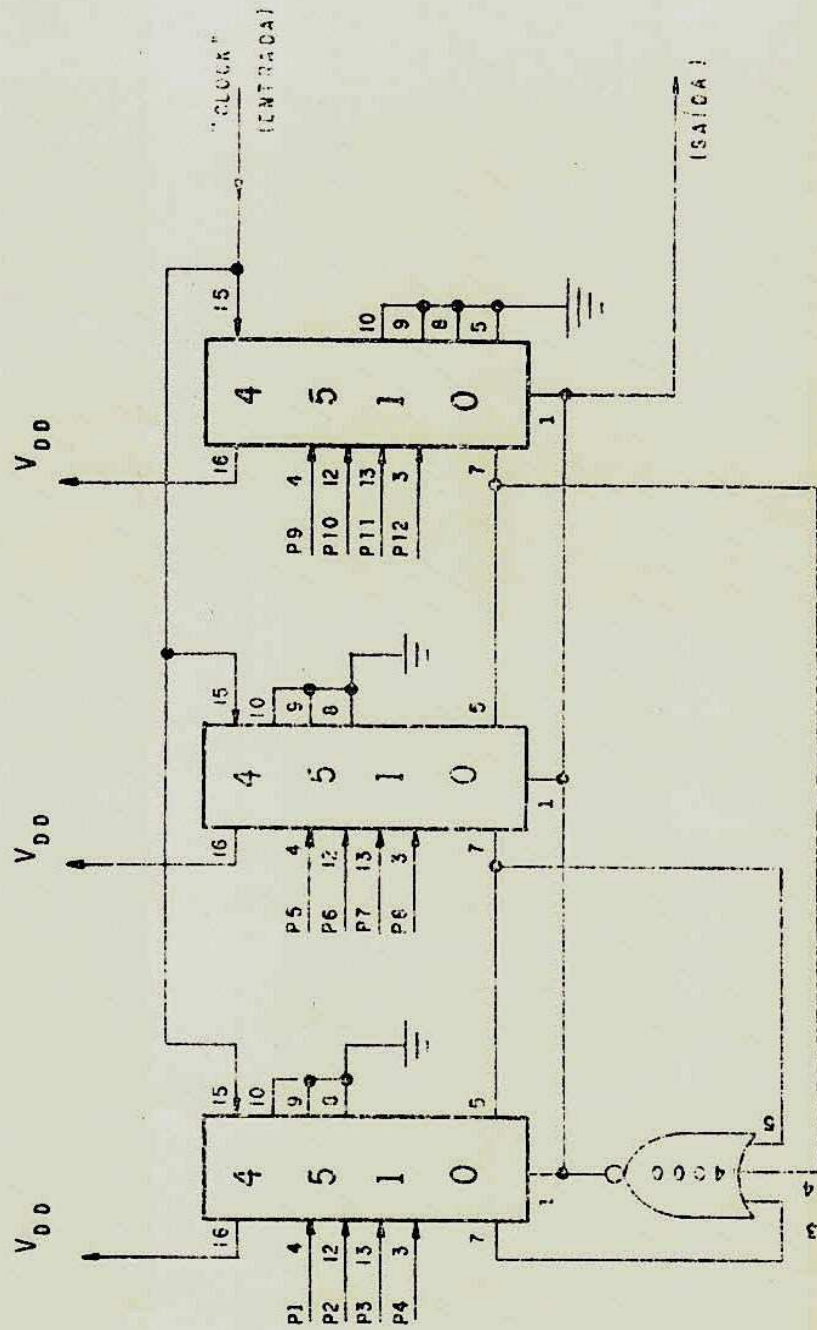


FIG. 4.6 - CONTADOR SÍNCRONO

Para a formação desse contador, as entradas "clock" dos três circuitos integrados devem ser conectados em paralelo e a saída "carry-out" de um estágio menos significativo à entrada "carry-in" do estágio seguinte, ([16], pág. 2/214).

A fig. 4.6. mostra um contador síncrono implementado com esse dispositivo. Testes efetuados com este contador mostraram que ele apresenta problemas de velocidade em frequências iguais ou superiores a 2 MHz ($N \geq 200$). Em toda contagem PAR ALÉM DE $N = 199$, o contador operava como se o número programado fosse $N + 1$, isto é, adicionava um canal.

Das medições feitas com o osciloscópio, observou-se que sempre que é acionado um número par, o pulso que excita a entrada "preset enable" se expande, atingindo cerca de 200 ns. Este pulso é gerado pela função NOU ("NOR) dos Carry-out". Um método que possibilita reduzir a largura desse pulso, é a diferenciação do mesmo e, através de um grampeador (fig.4.7a), extrair o "Spike" positivo e com ele excitar a entrada "preset enable". Com esta técnica não se conseguiu êxito. Para que a atenuação do pulso seja pequena é necessário que a capacitância do capacitor, do circuito diferenciador, seja muito maior que a capacitância total de entrada do contador, a qual pode atingir 22,5 pF. Dessa forma, para a largura do pulso desejada (100 ns), o resistor assume valores muito baixos, reduzindo a amplitude do sinal, o qual se torna insuficiente para excitar o contador. Mesmo a utilização de um estágio isolador ("buffer") entre o circuito diferenciador/grampeador e o contador (fig. 4.7 b), com o intuito de reduzir a capacitância de entrada permitindo um aumento de R, não apresentou resultados satisfatórios, uma vez que a amplitude dos

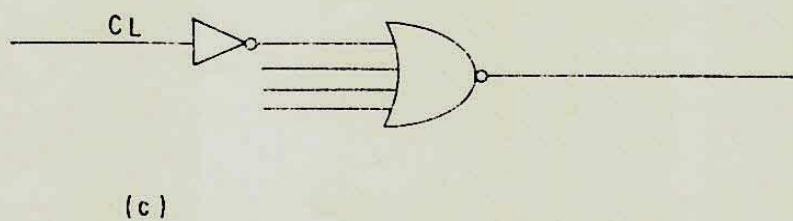
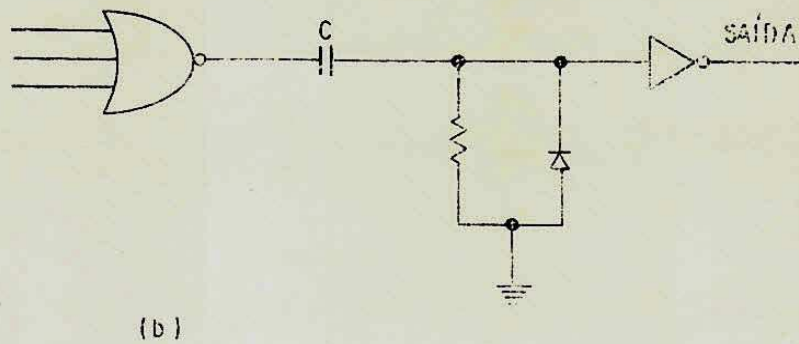
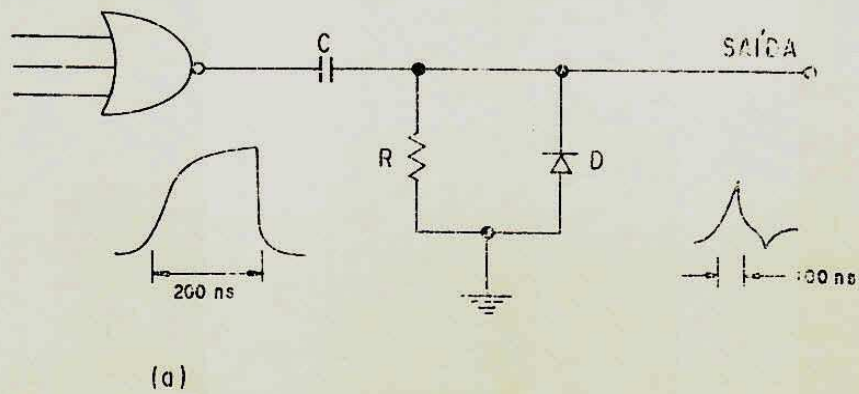


FIG. 4.7 — CIRCUITOS PARA REDUÇÃO DA LARGURA DO PULSO QUE EXCITA A ENTRADA "PRESET ENABLE"

sinais diferenciados fica no limiar de excitação do estágio i solador.

Um outro método de redução do pulso consiste em controlar a sua largura através do "clock", como mostra a fig. 4.7c. Com este circuito, a largura do pulso é realmente reduzida a valores compatíveis com o funcionamento do contador; contudo, o problema persistiu.

Novas observações foram efetuadas. Desta vez, cada "carry-out" foi comparado isoladamente com o "clock". Nessas observações verificou-se que o "carry-out" das unidades é muito lento nas contagens pares. Em face disso, optou-se pela geração de um "carry-out" externo, em substituição ao "carry-out" das unidades. Na fig. 4.8, apresenta-se o circuito utilizado, onde o "carry-out" gerado externamente excita a entrada "carry-in" das dezenas e, juntamente com os outros "carry-out", é utilizado para gerar o pulso que excita a entrada "preset enable", sob o controle do "clock". Com este circuito foi possível solucionar os problemas anteriormente descritos.

As entradas de um dispositivo CMOS não podem ser deixadas flutuantes. Uma entrada flutuante, além de aumentar drasticamente a corrente de alimentação, implica em funcionamento indeterminado do dispositivo ([19], pág. 101). Dessa forma, o contador deve ser programado carregando um nível lógico "1" ou um nível lógico "0" nas entradas desejadas. No presente trabalho a programação é feita por meio de um conjunto de chaves "thumbwheel" BCD. Uma chave "thumbwheel" BCD é uma chave de dez posições codificadas em binário, que "mostra" o dígito decimal, ao mesmo tempo em que fornece o equivalente BCD daquele dígito entre o terminal "comum" (no caso V_{dd}) e os

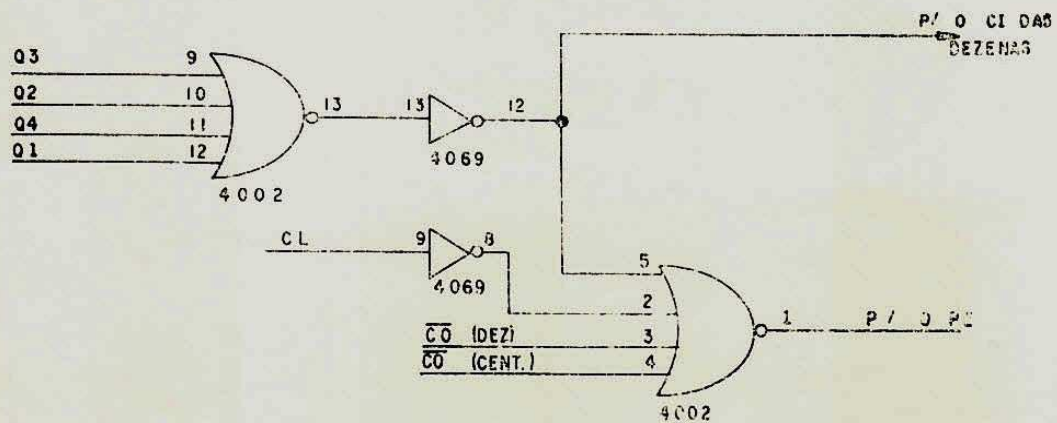


FIG. 4.8 — ENTRADA DO "PRESET ENABLE" CONTROLADA PELO CLOCK.

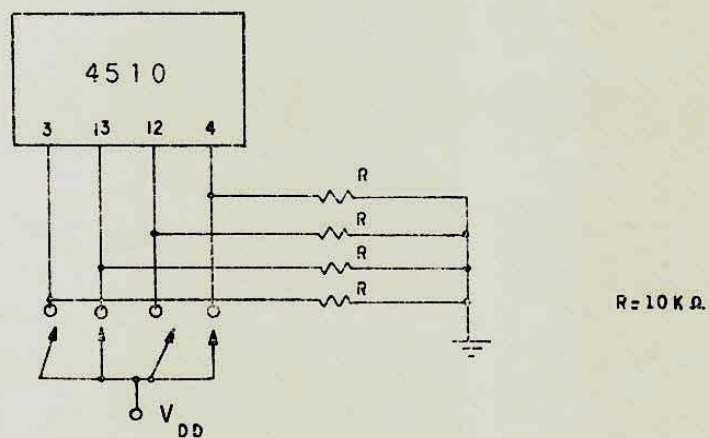


FIG. 4.9 — PROGRAMAÇÃO DO NÚMERO 5

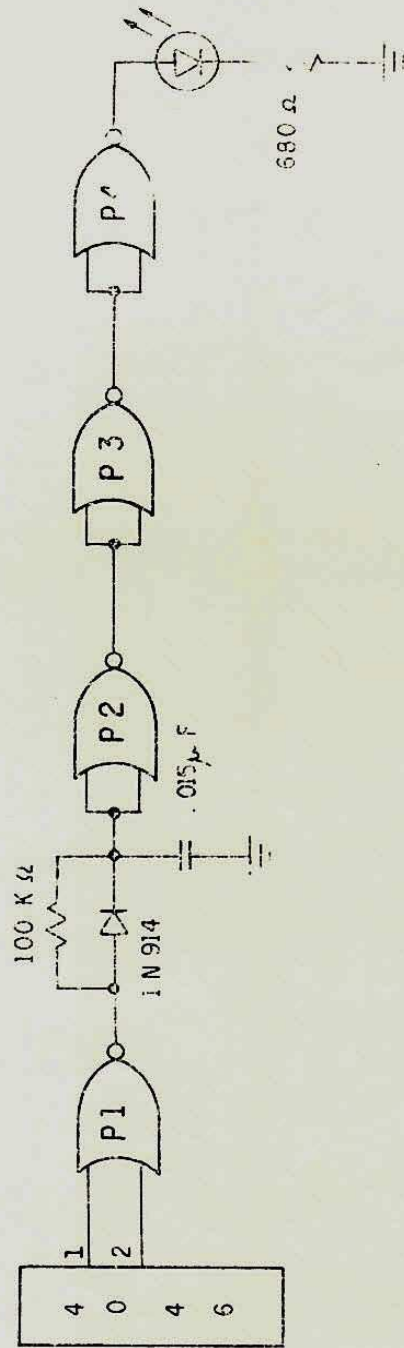


FIG. 4 10 INDICADOR DE SINCRONISMO

quatro terminais de ligação da chave.

A fig. 4.9 mostra esquematicamente como são carregados os níveis lógicos "0" e "1" nas entradas de programação do contador. As resistências R evitam que a fonte seja curto-circuitada ao carregar o nível lógico "1".

Como foi visto na seção 4.2, o comparador de fase II possui uma saída "teste de fase" (terminal 1) que pode ser utilizada para indicar sincronismo. Quando o sistema está sincronizado, essa saída é normalmente alta, exceto durante curtos espaços de tempo. Pulsos muito estreitos ocorrem devido à diferença de fase dos sinais aplicados à entrada do comparador. Ao contrário, a saída do comparador de fase I (terminal 2) é normalmente baixa, exceto durante alguns pulsos muito estreitos provenientes da mesma diferença de fase. A condição de nível baixo do comparador de fase I pode ser detetada pelo circuito apresentado na fig. 4.10. Quando o sistema está em sincronismo, a saída do indicador está em nível lógico "1" e o "LED" permanecerá aceso. Se os sinais na entrada do indicador estão simultaneamente em nível baixo, a saída da porta P_1 estará em nível alto. O capacitor se carrega rapidamente através do diodo, fazendo com que a saída do indicador vá para nível baixo e o "LED" não acenderá.

O diagrama completo do sintetizador é apresentado na fig. 4.11, enquanto que as suas características principais estão resumidas na tabela 4.2.

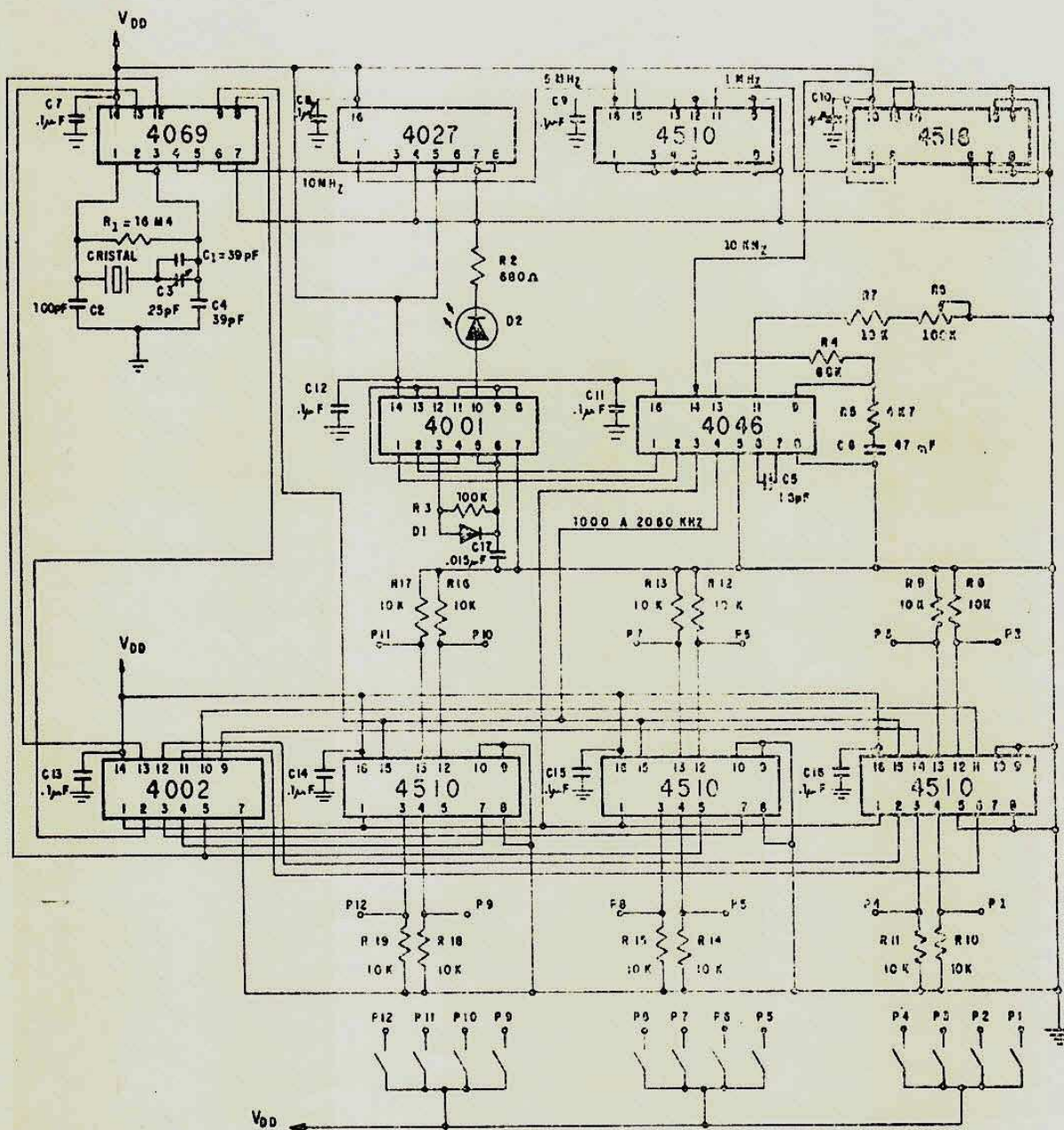


FIG. 4.11 — DIAGRAMA COMPLETO DO SINTETIZADOR

T A B E L A - 4.2

CARACTERÍSTICAS DO SINTETIZADOR

Alimentação : 1 15 V

Frequência de Referência : 10 kHz

Resolução : 10 kHz

Capacidade : 127 canais

Faixa de Operação : 800 kHz a 2060 kHz

Programação : $80 \leq N \leq 186$ para FI = 260 kHz

$100 \leq N \leq 206$ para FI = 460 kHz

Desvio de Frequência : máximo de 2 Hz em 2.060 kHz

Saída : Onda quadrada (14 V_{pp})

Dissipação em circuito aberto : 825 mw em 2060 kHz

CAPÍTULO V

RESULTADOS E CONCLUSÕES

Existem, atualmente vários equipamentos profissionais de alto custo, que utilizam a técnica PLL para a recepção de sinais de radiodifusão. Contudo, não é do conhecimento do autor deste trabalho, a existência de equipamento comercial que utilize esta técnica exclusivamente para a recepção na faixa de ondas médias.

O sistema desenvolvido apresenta uma série de vantagens sobre um oscilador local convencional. Como as frequências de saída mantêm as mesmas características do sinal de referência, elas são mais precisas e estáveis, uma vez que a frequência dos sinais gerados pela fonte de referência, é controlada por um cristal. Uma outra vantagem é a rapidez de sintonia na mudança de estação. Esta velocidade de sintonia é estabelecida pelo tempo de acomodação da resposta transitória do filtro passa-baixas colocado na saída do detetor de fase. No circuito apresentado, o tempo de chaveamento de um canal para outro é quase imperceptível à vista humana. Isso pode ser confirmado observando o "LED" do detetor de sincronismo e chaveando um canal aleatoriamente. Um outro teste

consiste em medir a frequência dos sinais de saída do VCO em um contador e observar a frequência medida após o chaveamento de um canal. Este teste, realizado usando um contador Universal HP - 5245 L com base de tempo estabelecida em 1 ns, mostrou que o intervalo de tempo entre o chaveamento de um canal e o aparecimento da nova frequência no visor do contador não é perceptível. Entretanto, se uma medida rigorosa do tempo de chaveamento é necessária, este tempo pode ser obtido através da gravação e medição da resposta transitória do sistema, com auxílio de um osciloscópio com memória. Problemas de manutenção existentes no laboratório em que se desenvolveu o protótipo impossibilitaram a realização deste teste.

Os resultados obtidos com o protótipo, desenvolvido, estão documentados na tabela 5.1. Uma análise desta tabela mostra que o desvio máximo de frequência observado na sintonia de um canal foi de 2 Hz em 2060 KHz que corresponde a um erro menor que 1 parte por milhão. Este desvio é devido a um erro existente na fonte de referência. Como foi visto na seção 4.1, qualquer erro na frequência do sinal de referência é multiplicado por N na frequência do sinal de saída.

Como no Brasil ainda não existem normas para recepção, foi tomada como base de desempenho do sistema as normas existentes para transmissão. Estas normas permitem um desvio de 10 Hz em qualquer frequência transmitida na faixa de ondas médias. Em face disto, o erro existente no sistema é aceitável.

O oscilador de referência foi projetado para fornecer um trem de pulsos de 10 kHz. Esta frequência corresponde ao espaçamento, atualmente existente, entre os canais na

faixa de ondas médias. Em países altamente desenvolvidos, onde o número de estações de radiodifusão operando na faixa de ondas médias é elevado, já existem estudos para a mudança de espaçamento entre canais de 10 kHz para 9 kHz (Estados Unidos da América do Norte), de modo a permitir que um número ainda maior de estações possam operar na mesma faixa. O modo mais fácil de tornar o sistema desenvolvido, compatível com essa nova frequência de referência é substituir o cristal de 10 MHz por um de 9 MHz.

Atualmente, existem, para a recepção de ondas médias, duas frequências Intermediárias (F.I) padrão recomendadas pelo E.I.A. A mais utilizada é de 455 KHz e uma outra é de 260 KHz ([16], pág. 5/30). Esta última é perfeitamente compatível com o circuito apresentado, pois como será visto no Apêndice A, basta programar o contador para N variando de 80 a 186. Entretanto, para que este sistema seja compatível com a F.I. mais utilizada é necessário fazer algumas modificações no circuito. Um problema a ser resolvido consiste na programação do contador da malha de realimentação do PLL. Para esse valor de F.I., o VCO tem que operar na faixa de 995 KHz a 2055 KHz (Apêndice A); dessa forma, o fator de divisão (N) do contador programável não será inteiro para manter a frequência de referência igual ao espaçamento do canal. Em face disso, o circuito apresentado foi desenvolvido pressupondo uma F.I. de 460 KHz. A justificativa para essa divisão se baseia no fato de que, quando o padrão de F.I. mais utilizado foi constituído, não se cogitava na digitalização dos sistemas de radiodifusão, de modo que não foi previsto o problema ora surgido. De qualquer forma, a mudança proposta neste trabalho não afeta a transmissão; por

tanto, a única mudança que é exigida é no transformador de F.I. do receptor. Embora esses transformadores sejam altamente seletivos existe a possibilidade de deslocar a sua F.I. de 455 kHz para 460 kHz, uma vez que eles são normalmente ajustáveis numa faixa de 10 kHz acima e abaixo da frequência nominal.

TABELA - 5

N	f ₀ (KHZ)	N	f ₀ (KHZ)	N	f ₀ (KHZ)	N	f ₀ (KHZ)
100	1000,000	127	1270,001	154	1540,001	181	1810,002
101	1010,001	128	1280,001	155	1550,001	182	1820,002
102	1020,001	129	1290,001	156	1560,001	183	1830,002
103	1030,001	130	1300,001	157	1570,001	184	1840,002
104	1040,001	131	1310,001	158	1580,001	185	1850,002
105	1050,001	132	1320,001	159	1590,001	186	1860,002
106	1060,001	133	1330,001	160	1600,001	187	1870,002
107	1070,001	134	1340,001	161	1610,001	188	1880,002
108	1080,001	135	1350,001	162	1620,001	189	1890,002
109	1090,001	136	1360,001	163	1630,001	190	1900,002
110	1100,001	137	1370,001	164	1640,001	191	1910,002
111	1110,001	138	1380,001	165	1650,001	192	1920,002
112	1120,001	139	1390,001	166	1660,001	193	1930,002
113	1130,001	140	1400,001	167	1670,001	194	1940,002
114	1140,001	141	1410,001	168	1680,001	195	1950,002
115	1150,001	142	1420,001	169	1690,001	196	1960,002
116	1160,001	143	1430,001	170	1700,001	197	1970,002
117	1170,001	144	1440,001	171	1710,001	198	1980,002
118	1180,001	145	1450,001	172	1720,001	199	1990,002
119	1190,001	146	1460,001	173	1730,001	200	2000,002
120	1200,001	147	1470,001	174	1740,001	201	2010,002
121	1210,001	148	1480,001	175	1750,001	202	2020,002
122	1220,001	149	1490,001	176	1760,001	203	2030,002
123	1230,001	150	1500,001	177	1770,001	204	2040,002
124	1240,001	151	1510,001	178	1780,001	205	2050,002
125	1250,001	152	1520,001	179	1790,001	206	2060,002
126	1260,001	153	1530,001	180	1800,001	-	-

Procurou-se neste trabalho desenvolver um sistema com componentes facilmente obtidos no mercado nacional. Em face disso foram utilizados dez circuitos integrados. Entretanto, lançamentos recentes de circuitos "LSI" de alta velocidade, não encontrados no mercado nacional, permitem reduzir o custo e o espaço ocupado pelo sistema desenvolvido, pois em um único circuito integrado se inclui o oscilador a cristal, divisor de referência programável e o comparador de fase. Os problemas ocorridos no divisor programável da malha de realimentação também seriam eliminados uma vez que esses circuitos CMOS podem funcionar em até 30 MHz.

APÊNDICE - A

SELEÇÃO DOS COMPONENTES DO PLL

Como foi visto na seção 4.3 para se alcançar a frequência dos canais superiores é necessário utilizar um capacitor C_1 com valor nominal de 18 pF. O valor do ganho de conversão do VCO obtido da fig. 4.4 é $K_1 = 1,2$.

A.1. Programação do contador:

Para a sintonia de uma estação de radiodifusão na faixa de ondas médias (540 kHz a 1600 kHz) é necessário que o oscilador local do receptor gere um sinal cuja frequência é a soma da frequência irradiada pelo transmissor mais a frequência intermediária (F.I) do receptor. Portanto, as frequências máxima (F_M) e mínima (F_m) que devem ser geradas pelo sintetizador são obtidas adicionando a F.I. do receptor às frequências extremas da faixa de ondas médias.

Para a frequência intermediária padrão de 260 KHz tem-se:

$$F_M = 1600 \text{ KHz} + 260 \text{ KHz} = 1860 \text{ KHz}$$

$$F_m = 540 \text{ KHz} + 260 \text{ KHz} = 800 \text{ KHz}$$

$$\Delta F = F_M - F_m = 1060 \text{ KHz}$$

Uma vez que o incremento de frequência é igual à frequência de referência (F_r), têm-se:

$$N_{\text{máx}} = \frac{F_M}{F_r} = \frac{1860 \text{ KHz}}{10 \text{ KHz}} = 136$$

$$N_{\text{mín}} = \frac{F_m}{F_r} = \frac{800 \text{ KHz}}{10 \text{ KHz}} = 80$$

Para a frequência intermediária padrão mais utilizada (455 KHz), têm-se:

$$F_M = 1600 \text{ KHz} + 455 \text{ KHz} = 2055 \text{ KHz}$$

$$F_m = 540 \text{ KHz} + 455 \text{ KHz} = 995 \text{ KHz}$$

Portanto,

$$N_{\text{máx}} = \frac{2055 \text{ KHz}}{10 \text{ KHz}} = 205,5$$

$$N_{\text{mín}} = \frac{995 \text{ KHz}}{10 \text{ KHz}} = 99,5$$

dessa forma os fatores de divisão do contador programável não são números inteiros. Como o contador exige que o fator de divisão seja um número inteiro, a F.I, foi modificada para 460 KHz (capítulo 5, último parágrafo). Portanto

$$F_M = 1600 \text{ KHz} + 460 \text{ KHz} = 2060 \text{ KHz}$$

$$F_m = 540 \text{ KHz} + 460 \text{ KHz} = 1000 \text{ KHz}$$

$$\Delta F = F_M - F_m = 1060 \text{ KHz}$$

dessa forma

$$N_{\text{máx}} = \frac{2060 \text{ KHz}}{10 \text{ KHz}} = 206$$

$$N_{\text{min}} = \frac{1000 \text{ KHz}}{10 \text{ KHz}} = 100$$

A.2. Cálculo de R_1 e R_2 ; Operação com "offset"

As expressões da Tabela 4.1. para o cálculo do valor aproximado desses componentes são:

$$R_1 \approx \frac{2 K_1}{(F_M - F_m) \cdot C_1} \qquad R_2 \approx \frac{2 K_1}{F_m \cdot C_1}$$

Dessa forma, para F.I = 260 KHz, têm-se:

$$R_1 = 126 \text{ K}\Omega \qquad \text{e} \qquad R_2 = 166 \text{ K}\Omega$$

Para uma F.I = 460 KHz, têm-se :

$$R_1 = 126 \text{ K}\Omega \qquad \text{e} \qquad R_2 = 134 \text{ k}\Omega$$

A.3. Cálculo de R_1 para Operação sem "offset" ($R_2 = \infty$)

Da tabela 4.1. verifica-se que a expressão para obter o valor de R_1 é:

$$R_1 \approx \frac{2k_1}{F_M \cdot C_1}$$

Supondo uma F.I = 260 KHz, têm-se :

$$R_1 \approx 72 \text{ K}\Omega$$

e para uma F.I de 460 KHz, $R_1 \approx 65 \text{ K}\Omega$

O circuito apresentado neste trabalho foi projetado para uma F.I de 460 KHz (capítulo 5). Contudo, como pode ser visto nos cálculos anteriores, ele está apto a funcio -

nar com uma F.I de 260 KHz. Sendo padronizada esta última frequência intermediária, o valor do capacitor C_1 pode ser aumentado, uma vez que a frequência máxima necessária é agora menor.

A.4. Cálculo do Filtro

A configuração do filtro utilizado é apresentado na fig. 4.5.(b). O tempo de acomodação ("settling time") é estabelecido por R_3 e C_2 (|18| , pág. 363). Tipicamente, este tempo é estabelecido em 20 a 30 períodos do sinal de referência (|1| , pág. 71).

Portanto,

$$F_R = 10 \text{ kHz} \quad ; \quad T_R = \frac{1}{10 \text{ kHz}} = 0,1 \text{ ms}$$

e

$$2 \text{ ms} \leq t_s \leq 3 \text{ ms}$$

Quando o fator de divisão do contador programável é grande, o tempo de acomodação deve ser longo para estabelecer uniformidade na saída do VCO para cada ciclo de operação do detetor de fase (|17| , pág. 4). Para o cálculo de R_3 adotou-se um valor para C_2 de 47 nF e um tempo de acomodação de 3 ms.

Portanto,

$$R_3 = \frac{T_s}{C_2} \cong 63,8 \text{ k}\Omega$$

(Foi adotado o valor comercial de 68 k Ω)

O fator de amortecimento ("damping") é estabelecido pela razão de R_3 para R_4 . Tipicamente, o valor de

R_3 varia entre 10 a 30 vezes o valor de R_4 ([18], pág. 362).
Portanto,

$$R_4 \text{ máx} = 6,8 \text{ K}\Omega$$

$$R_4 \text{ min} = 2,2 \text{ K}\Omega$$

Um valor disponível que satisfaz às condições anteriores é $R_4 = 4,7 \text{ K}\Omega$.

Dessa forma.

$$T_1 = 3,2 \text{ ms}$$

$$\text{e } T_2 = 0,22 \text{ ms;}$$

$$f_{\text{corte}} = \frac{1}{2 \pi \cdot C_2 (R_3 + R_4)} = 47 \text{ Hz}$$

BIBLIOGRAFIA

01. GORSKI, J; POPIEL, Frequency Synthesis: Techniques and Applications, IEEE, PRESS, 1975, (pág. 1a 45 e 71)
02. PETERSON, M.E., The Design and Performance of an Ultra-pure, VHF Frequency Synthesizer for Use in H. F. Receivers, Proc. 25 th Ann. Symp. Frequency Control, U.S. Army Electronics Command, Fort Monmouth, N.J., April 1971, (pág. 231).
03. EVERS, A. F., A Versatile Digital Frequency Synthesizer for Use in Mobile Radio Communication Sets, Electronic Engineering, vol. 28, May 1966, (pág. 296)
04. EVANZIA; W. J., Finally the Armed Forces Get Solid-State Communications, Electronics, May 1965 (pág 63).
05. MIDDLEKAMP, L.C., Reduction of Co-channel Television Interference by Very Precise Offset Carrier Frequency, IRE Trans. Broadcast Trans. Systems, vol PGTS - 12, 1958 (pág. 5).
06. SCHAFER, G. E., U.S. Automated Test Instrumentation Progress, Microwave J., April 1973, (pág 27-29).
07. LEBOW, I. L.; JORDAN, K. L. Jr., and DROVILHET, R.P. Jr, Satellite Communications to Mobile Platforms, Proc. IEEE, vol. 59, 1966, (pág 139).

08. VAN DUZER, V.E., A 0-50 MHz Frequency Synthesizer With Excellent Stability, Fast Switching and Fine Resolution, Hewlett-Packard J., vol. 15, May 1964, (pág. 1-8).
09. TYKULSKY, A., Digital Frequency Synthesizer Covering 0,1 MHz to 500 MHz in 0,1 Hz Steps., Hewlett Packard J., vol. 19, 1967.
10. CLARCKE, K.K. and HESS, D.T., Communication Circuits: analysis and Design, Addison Wesley Publishing Company, 1971, (pág. 219).
11. Sentry Quartz Technology Manual, (pág. 6).
12. WATTS, M., CMOS Oscillators, National Semiconductor, CMOS Data Book, AN-118, 1978, (pág. 6/20).
13. EATON, S.S., Timekeeping Advances Through Cosmos Technology, RCA Solid State Division, ICAN-6086, 1972, (pág.2).
14. EGAN, W.F., Frequency Synthesis by Phase-Lock, John Willy and son., 1981.
15. Signetics Analog Application Manual, Signetics Applications, USA, 1979, (pág. 265).
16. CMOS Data Book, National Semiconductor Corporation, 1978, (pág. 2/119 - 125, 2/210 - 216)
17. MORGAN, D. K. and STEUDEL, G., The RCA COSMOS Phase Locked Loop, A Versatile Building Block for Micro-Power Digital and Analog Applications, RCA Solid State Division, ICAN 6101. 1972 (pág. 1 - 4)
18. LANCASTER, D., Cookbook, Howard W. Sams and Co. Inc., 1977, (pág. 362 - 364).
19. BERLIN, H. M., Design of Phase Locked Loop Circuits With Experiments, (pág 101 e 133 - 136).
20. Reference Data For Radio Engineers, Howard W. Sams and Co. Inc. ITT, 1975, (pág. 5/30).

21. FUNK, R.F., Low-Power Digital Frequency Synthesizers Utilizing COSMOS IC's., RCA Solid State Division, ICAN-6716. (pág.3/13-14).
22. MILLS, T.B., The Phase Locked Loop IC as a Communication System Building Block, National Semiconductor, AN- 46, 1971.
23. COSMOS Digital Integrated Circuits, RCA Solid State Data Book Séries, RCA Corporation, Somerville USA, 1972, (pág 224 - 227).