



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Tese de Doutorado

Aplicação de Inversores de Três e Quatro Níveis em Sistemas Fotovoltaicos

Abinadabe Silva Andrade

Campina Grande, Paraíba, Brasil

©Abinadabe Silva Andrade, Abril de 2016



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Aplicação de Inversores de Três e Quatro Níveis em Sistemas Fotovoltaicos

Abinadabe Silva Andrade

Tese de Doutorado apresentada à Coordenação do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande.

Área de Conhecimento: Processamento de Energia

Orientador:
Edison Roberto Cabral da Silva, Dr. Ing.

Campina Grande, Paraíba, Brasil

©Abinadabe Silva Andrade, Abril de 2016

FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA CENTRAL DA UFCG

A553a Andrade, Abinadabe Silva.
Aplicação de Inversores de três e quatro níveis em sistemas fotovoltaicos / Abinadabe Silva Andrade. – Campina Grande, 2016.
129 f. : il. color.

Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2016.

"Orientação: Prof. Dr. Edison Roberto Cabral da Silva".
Referências.

1. Painel Fotovoltaico. 2. Inversor. 3. Multinível. 4. NPC. I. Fonte Reduzida de Tensão. I. Silva, Edison Roberto Cabral da.

CDU 621.316.34(043)


"APLICAÇÃO DE INVERSORES DE TRÊS E QUATRO NÍVEIS EM SISTEMAS FOTOVOLTAICOS"

ABINADABE SILVA ANDRADE

TESE APROVADA EM 29/04/2016



EDISON ROBERTO CABRAL DA SILVA, Dr.Ing., UFCG
Orientador(a)

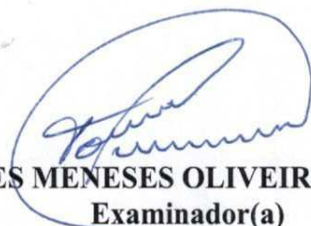


ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador(a)

JOSÉ ANTENOR POMÍLIO, Dr, UNICAMP
Examinador(a)



DARLAN ALEXANDRIA FERNANDES, D.Sc., UFPB
Examinador(a)



TALVANES MENESES OLIVEIRA, D.Sc., UFCG
Examinador(a)

CAMPINA GRANDE - PB

*À minha esposa, filha e filho que são
a razão do meu viver:*

*Érica Larissa Andrade, Hadassa
Eloísa Andrade e Abner Davi
Andrade.*

Assim como disse John Nash:

*"É somente nas misteriosas
equações do amor
que alguma lógica real pode ser
encontrada."*

À minha família:

*Minha mãe Arlete S. Andrade, meu
irmão Abdênego Felipe S. Andrade.*

Agradecimentos

Acima de todas as coisas, a Deus, por ser o autor da minha vida.

Ao professor orientador Edison Roberto Cabral da Silva por tornar possível esse trabalho e pela sua compreensão, paciência, amizade e experiência. Ao professor Talvanes Meneses Oliveira por ter sido o meu incentivador e primeiro orientador na pesquisa. Ao professor Cursino Brandão Jacobina por ter me dado a oportunidade de ingressar no LEIAM. Aos professores Euzeli Cipriano dos Santos Júnior, Alexandre Cunha e Maurício Beltrão Brandão, Montie Vitorino pela suas sugestões e conhecimentos. Aos funcionários e técnicos da COPELE, em especial à Ângela, pela disposição e colaboração.

Aos meus pastores, Ramilson Brito e Luclécia Silva, que são os meus mentores espirituais e verdadeiros amigos.

Aos meus amigos e parceiros de pesquisa, Álvaro Maciel, Antonio de Paula Dias Queiroz e Luciano Barros.

Finalmente à CAPES, que proporcionou o suporte financeiro para a realização deste trabalho.

Resumo

Este trabalho propõe o estudo de topologias de inversores multiníveis, composto por braços de três e quatro níveis, com barramento *CC* grampeado aplicados a sistemas fotovoltaicos. Um dos problemas inerente aos inversores multiníveis com barramento *CC* grampeado é o desequilíbrio das tensões nos capacitores. Tendo em vista essa problemática é proposto modificações na modulação e na operação dos inversores em estudo.

Com base nas topologias de inversores de três níveis *NPC*, *ANPC* e *FC* são apresentados estudos para duas topologias modificadas de inversores e um sistema com a aplicação do painel fotovoltaico. Novas modulações e operações são proposto para as topologias modificadas. Além das topologias modificadas, é apresentado o estudo do equilíbrio das tensões do barramento *CC* do inversor trifásico de três níveis do tipo *NPC* quando alimentado por painéis fotovoltaicos em condição de sombreamento. Para os inversores com o braço de quatro níveis é proposto uma topologia com o número reduzido de componentes. A modulação do inversor é realizada por meio de uma técnica de modulação vetorial proposta neste trabalho. Também é proposto uma nova topologia de inversor, que utiliza o braço e o barramento *CC* de um inversor de quatro níveis, que pode gerar cinco e sete níveis na tensão de saída.

Para cada sistema é apresentado o modelo dinâmico, modulação PWM, diagrama de controle, análise de desempenho com base no THD de corrente, WTHD de tensão e perdas nas chaves e estresse térmico. Além dos resultados de simulações e experimentais para todas as topologias. Para validar o sistema, foi montada a estrutura com uma fonte que emula um painel fotovoltaico, um conversor Boost (responsável pelo MPPT) e o inversor multinível. Utilizou-se também um processador digital de sinais para geração dos sinais de comando dos dispositivos e fibra-ótica, para evitar interferências.

Palavras-chave: Painel Fotovoltaico, Inversor, Multinível, NPC, Fonte Reduzida de Tensão.

Abstract

This thesis deals with topologies of three and four levels with *DC – Link* stapled applied to photovoltaic systems. One of the problems inherent in multi-level inverters with stapled bus is to have an imbalance of tensions in capacitors. In view of this problem is proposed solutions to balance the tensions.

studies are presented for all three topologies proposed inverters and two systems composed of: photovoltaic panel, converter *DC/DC* and multilevel inverter. An inverter systems with three levels of type *NPC*, however, with new modulações and operations. And another drive system with four levels where a new topology is proposed with a reduced number of components. In addition, a vector modulation is proposed for the four-level inverter. For each system presents the dynamic model, PWM, control diagram, performance analysis based on the current THD, voltage and WTHD losses in key addition to thermal stress.

They are presented in this paper, simulation results and experimental for all topologies. To validate the test system, the structure was assembled with a source which emulates a photovoltaic panel, a boost converter (responsible for the MPPT) and multnível inverter. We also used a digital signal processor for generating the control devices and fiber optic signals to avoid interference.

Keywords: Loss Reduction, Inverter, Multilevel, NPC.

Índice

Agradecimentos	iv
Resumo	v
Abstract	vi
Índice	vii
Índice de Tabelas	xi
Índice de Figuras	xiii
Glossário	xvii
1 Introdução Geral	1
1.1 Apresentação do Tema	1
1.2 Revisão Bibliográfica	3
1.2.1 Conversores Multiníveis	4
1.2.2 Desequilíbrio da Tensão do Barramento <i>CC</i> nos Inversores do Tipo <i>NPC</i>	6
1.2.3 Aplicação de Inversores Multiníveis em Sistemas Fotovoltaicos	8
1.3 Contribuição e Proposta do Trabalho	10
1.4 Organização do Trabalho	11
2 Topologias de Inversores Multiníveis, Parâmetros de Desempenhos e Aplicação dos Paineis Fotovoltaicos	13
2.1 Introdução	13
2.2 Síntese da Concepção das Topologias com Barramento <i>CC</i> Grampeado	14

2.3	Relação entre as Topologias Estudadas	17
2.4	Análise de Desempenho das Configurações de Inversores Propostos	20
2.4.1	Qualidade de Energia (Cálculo do THD de corrente e WTHD de tensão)	20
2.4.2	Eficiência do Inversor (Cálculo das Perdas de Chaveamento e Condução nas Chaves)	22
2.4.3	Confiabilidade do Inversor (Cálculo do Estresse das Chaves)	22
2.5	Aplicação dos Paineis Fotovoltaicos	26
2.6	Conclusões	30
3	Análise dos Inversores de Três Níveis	31
3.1	Introdução	31
3.2	Inversor Monofásico Híbrido	31
3.2.1	Inversor Híbrido	33
3.2.2	Princípio de Operação	33
3.2.3	Modelo e Modulação PWM	34
3.2.4	Análise da Qualidade dos Sinais de Saída	38
3.2.5	Análise do Barramento CC	41
3.2.6	Análise do Estresse das Chaves	45
3.2.7	Resultados Experimentais	49
3.3	Inversor Monofásico Fonte Flutuante (FF)	49
3.3.1	Princípio de Operação	51
3.3.2	Modelo e Modulação PWM	53
3.3.3	Controle	58
3.3.4	Análise da Qualidade dos Sinais de Saída	58
3.3.5	Análise do Barramento CC	60
3.3.6	Análise do Estresse das Chaves	62
3.4	Aplicação do Painel Fotovoltaico ao Inversor Fonte Flutuante	64
3.5	Conclusões	67
4	Análise dos Inversores de Quatro Níveis	69
4.1	Introdução	69
4.1.1	Operação das Topologias de 4 Níveis	69
4.2	Estratégia de Modulação Vetorial - SVPWM	71

4.2.1	Análise do Setor III - Cálculo dos Tempos de Aplicação de cada Chave	72
4.3	Análise Comparativa das Topologias <i>NPC</i> , <i>Nested</i> e <i>DPC</i>	74
4.3.1	Análise de THD de Corrente e WTHD de Tensão	74
4.3.2	Análise do Esforço das Chaves	76
4.3.3	Análise das Perdas por Condução e Chaveamento	77
4.3.4	Resultados Experimentais da Topologia DPC	77
4.4	Inversor 2L4L - Proposto	80
4.4.1	Operação do Inversor 2L4L	81
4.4.2	Modulação PWM	82
4.4.3	Análise Comparativa das Topologias de Cinco-Níveis	89
4.5	Aplicação do Painel Fotovoltaico no Inversor 2L4L Proposto	93
4.5.1	Sistema de Controle	93
4.5.2	Resultados de Simulação	94
4.6	Conclusão	96
5	Aplicação dos Painéis Fotovoltaicos ao Inversor Trifásico de 3 Níveis	
	NPC	97
5.1	Introdução	97
5.1.1	Operação e Modelo do Sistema	97
5.1.2	Modulação PWM e Controle	99
5.1.3	Análise de Desempenho	101
5.1.4	Análise do Desempenho do Sistema	103
5.1.5	Resultados Experimental	109
5.1.6	Proposta do Sistema para Conexão com a Rede Elétrica	110
5.2	Conclusões	111
6	Conclusões Gerais e Trabalhos Futuros	113
6.1	Conclusões Gerais	113
6.2	Trabalhos Futuros	114
	Referências Bibliográficas	116
A	Estimativa do THD e WTHD	124

B Plataformas de Simulação e Experimental	127
B.0.1 Plataforma de Simulação	127
B.0.2 Plataforma Experimental	128

Índice de Tabelas

2.1	Principais características das topologias convencionais de três níveis	17
3.1	Estados de chaveamento, associação dos capacitores e tensão de saída	34
3.2	Composição dos estados de chaveamento para o PWM-1	34
3.3	Composição dos estados de chaveamento para o PWM-2	35
3.4	Relação das variáveis de estados	35
3.5	Parâmetros de Simulação e Experimental	38
3.6	Correntes normalizadas no barramento e no capacitor flutuante para o PWM-1 $(I_{c(rms)}^{HO} / I_{c(rms)(Hyb01)}^{HO})$	44
3.7	Correntes normalizadas do barramento e capacitor flutuante para o PWM-2 $I_{c(rms)}^{HO} / I_{c(rms)(Hyb01)}^{HO}$	45
3.8	Temperatura de junção para variação da tensão do barramento na modulação PWM-1	47
3.9	Temperatura de junção para variação da tensão do barramento na modulação PWM-2	47
3.10	Comparação de desempenho da topologia Hyb02 em termos de estresse	48
3.11	Parâmetros do procedimento experimental	49
3.12	Estados das Chaves e Tensão de Polo	52
3.13	Parâmetros de Simulação e Experimental para o inversor FF	58
3.14	Correntes normalizadas do barramento CC $I_{c(rms)}^{HO} / I_{c(rms)(3N)}^{HO}$	62
3.15	Dados de simulação.	65
4.1	Possíveis estados de condução e valores da tensão de pólo	70
4.2	Possíveis estados de condução e valores da tensão de pólo para topologia <i>Nested</i>	71
4.3	Possíveis estados de condução e valores da tensão de pólo para topologia <i>DPC</i>	71
4.4	Dados Gerais de Simulação do Inversor.	75

4.5	THD de corrente e WTHD de tensão para $m_a = 0,9$ e $f_s = 10kHz$	76
4.6	Dados Gerais de Simulação e Experimentais do Inversor.	80
4.7	Estados de chaveamento para o inversor 2L4L operando em 5 e 7 níveis.	82
4.8	Dados Gerais de Simulação do Inversor.	89
4.9	Dados de simulação.	94
5.1	Dados de simulação.	101
5.2	THD de corrente e WTHD de tensão (%).	104
5.3	Correntes $I_{C(RMS)}^{HO}$ do barramento.	107
5.4	Dados de simulação.	111

Índice de Figuras

1.1	Inversores de 3 níveis convencionais	4
1.2	Inversores com número reduzido de componentes	5
2.1	Barramento CC para os inversores com grampeamento: (a) dois níveis (b) três níveis (c) N níveis	14
2.2	Celulas Básicas: (a) dois níveis CA (2NCA)(b) chave bidirecional (CB)(c) dois níveis CC positiva (2NCCp)(d) dois níveis CC negativa(2NCCn)	15
2.3	Inversores multiníveis: de três níveis, (a)Nested (b) NPC (c) ANPC, de quatro níveis, (d) Nested (e) NPC (f) DPC	16
2.4	Relação das topologias estudadas	17
2.5	Topologias estudadas	19
2.6	Estresses críticos que contribuem para falhas nos semicondutores. Fonte: (Ke Ma, 2015)	23
2.7	Ilustração dos ciclos de falhas vs variação da temperatura de junção do modulo IGBT da SEMIKRON. Fonte: (Ke Ma, 2015)	24
2.8	Aspecto construtivo do módulo do IGBT. Fonte: (Ke Ma, 2015)	25
2.9	Modelo térmico. Fonte: (Ke Ma, 2015)	26
2.10	Sistemas com um e dois estágios de potências e com modelo de carga	26
2.11	Curva $I \times V$ do painel solar	27
2.12	Regiões de rastreamento para o sistema proposto	28
3.1	Topologia de inversores de três níveis	32
3.2	Concepção da topologia híbrida	32
3.3	Alternativas da topologia Hyb01 para aplicações com fonte de tensão reduzida	33
3.4	Configurações de operações do inversor híbrido	34
3.5	Estratégia de Modulação PWM para 3 níveis	36

3.6	Modelo do inversor híbrido	37
3.7	Resultados de simulação para a tensão e corrente de saída para o inversor Hyb01	38
3.8	Resultados de simulação para a tensão e corrente de saída para o inversor Hyb02	39
3.9	Resultados de simulação para a tensão e corrente de saída para o inversor Hyb03	39
3.10	Comparativo do THD de Corrente e WTHD de tensão em relação ao PWM .	40
3.11	Comparativo das topologias para cada PWM referente às THD de corrente e WTHD de tensão	41
3.12	Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb01	42
3.13	Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb02	42
3.14	Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb03	43
3.15	Ondulação de tensão nos capacitores do barramento e no capacitor flutuante	43
3.16	Temperatura de junção	46
3.17	Perdas nas chaves para operação com o PWM-2	48
3.18	Resultados experimental para a tensão e corrente de saída para os inversores Hyb01, Hyb02 e Hyb03 operando-os nas técnicas de modulação PWM-1 e PWM-2	50
3.19	Resultados experimental para a tensão e corrente nos capacitores do barramento para os inversores Hyb01, Hyb02 e Hyb03 operando-os nas técnicas de modulação PWM-1 e PWM-2	51
3.20	Sistema proposto para aplicação com fonte de tensão reduzida utilizando como base o inversor FC	52
3.21	Esquema das configurações com a condução de corrente para a topologia FF	52
3.22	Modelo do inversor FF	53
3.23	Estratégia de Modulação PWM para 3 níveis	55
3.24	Estratégia de Modulação PWM para 3 níveis	56
3.25	Diagrama de controle do Barramento CC	58
3.26	Resultados de simulação e experimental para tensão e corrente de saída para o inversor FF	59

3.27	Comparativo do THD de Corrente e WTHD de tensão para operação em três e quatro níveis	60
3.28	Resultados de simulação para a tensão e corrente nos capacitores do barramento CC	60
3.29	Ondulação de tensão nos capacitores do barramento CC	61
3.30	Resultados de simulação para a temperatura de junção das chaves e diodos	63
3.31	Perdas de condução, chaveamento e totais nas chaves	64
3.32	Sistema proposto para aplicação com o inversor FF	64
3.33	Esquema de controle do capacitor flutuante	66
3.34	Esquema de controle do barramento CC	66
3.35	Resultados de Simulação	67
3.36	Resultados Experimentais	67
4.1	Estado de condução das topologias <i>DPC</i> , <i>Nested</i> , e <i>PROP</i>	70
4.2	Espaço vetorial para o inversor de 4 níveis em meia ponte	71
4.3	Padrão de Chaveamento do setor III	73
4.4	Tensão e corrente de saída (V_o e i_o)	75
4.5	Tensão nas chaves	78
4.6	Perdas por Condução e Chaveamento	79
4.7	Perdas totais	79
4.8	Perdas por Condução e Chaveamento	80
4.9	Estruturas de inversores de cinco-níveis	81
4.10	Configuração dos estados de chaveamento	83
4.11	Estratégia de Modulação PWM para 5 níveis	83
4.12	Sequência de estados de comutação para 5 níveis	84
4.13	Estratégia de Modulação PWM para 7 níveis	86
4.14	Sequência de estados de comutação para 7 níveis	87
4.15	Formas de onda de saída (V_{ao} , V_{bo} , V_0 e i_o) operando em 5 níveis	90
4.16	Formas de onda de saída (V_{ao} , V_{bo} , V_0 e i_o) operando em 7 níveis	90
4.17	Análise da qualidade de energia	91
4.18	Análise da qualidade de energia	92
4.19	Sistema proposto para aplicação com o inversor 2L4L	93

4.20	Diagrama de Controle na Aplicação com o Inversor Proposto 2L4L	93
4.21	Potência máxima e potência instantanea do Painel fotovoltaico.	95
4.22	Tensões e Correntes de Saída do Inversor Proposto 2L4L	95
4.23	Tensão do Barramento cc	95
5.1	Painel solar aplicado ao inversor de 3 níveis	98
5.2	Modelo do inversor de 3 níveis	98
5.3	Modelo do conversor boost	99
5.4	Diagrama de controle e modulação PWM	100
5.5	Corrente, tensão e potência do painel fotovoltaico	102
5.6	Correntes e tensões de saída do boost	102
5.7	Variáveis de Controle: Índice de Modulação (m) e razão de distribuição (μ)	103
5.8	Tensões do Barramento equilibradas. V_{C1} e V_{C2}	103
5.9	Correntes e tensões do inversor.	104
5.10	Perdas no enrolamento do indutor, perdas de condução e chaveamento nas chaves e perdas totais.	105
5.11	Perdas totais para o inversor NPC, Boost 01 e Boost 02	106
5.12	Modelo do estresse térmico	107
5.13	Temperatura de junção	108
5.14	Limite de sombreamento dos painéis para o equilíbrio das tensões do barramento	108
5.15	Variáveis de controle para uma condição de sombreamento de 50%	109
5.16	Resultados experimentais	110
5.17	Sistema proposto conectado a rede elétrica	110
5.18	Resultados de simulação para conexão com a rede elétrica. De cima para baixo: tensão do grid, corrente de linha, tensão de linha e tensão nos capacitores.	112
A.1	Rotina principal	125
A.2	Rotina do THD de corrente	125
A.3	Rotina do WTHD de tensão	126
B.1	Diagrama da plataforma de simulação	127
B.2	Diagrama elétrico da plataforma experimental	129
B.3	Dispositivos utilizados na bancada experimental	129

Glossário

- 2NCA – Célula Básica de 2 Níveis de Corrente Alternada
- 2NCCn – Célula Básica de 2 Níveis de Corrente Contínua Negativa
- 2NCCp – Célula Básica de 2 Níveis de Corrente Contínua Positiva
- 4L – Quatro Braços (*Four Leg*)
- 3HB – Três pontes H monofásicas (*Three H-Bridge*)
- 3P3W – Sistema trifásico a três fios (*Three-Phase Three-Wire*)
- 3P4W – Sistema trifásico a quatro fios (*Three-Phase Four-Wire*)
- ANPC – *Active-Neutral-Point-Clamped*
- CA – *Corrente Alternada*
- CB – Chave Bidirecional
- CBPWM – *Carried-Based-PWM*
- CC – *Corrente Contínua*
- DSP – *Processador Digital de Sinais (Digital Signal Processor)*
- DVR – Restaurador Dinâmico de Tensão (*Dynamic Voltage Restorer*)
- FAP – Filtro Ativo de Potência
- FC – Capacitor Flutuante *Flying Capacitor*
- HB – Ponte-H *H-Bridge*
- IGBT – *Transistor Bipolar de Porta Isolada (Insulated Gate Bipolar Transistor)*
- h – Ordem do harmônico para a Transformada de Fourier

N	–	Número de Níveis
NESTED	–	Inversor com as conexões aninhada
NPC	–	<i>Neutral-Point-Clamped</i>
NRC	–	Número Reduzido de Componentes
m_a	–	Índice de modulação em amplitude
OEW	–	<i>Enrolamentos com terminais abertos (Open-End Winding)</i>
PI	–	Proporcional Integral
PLL	–	Malha de Captura de Fase (<i>Phase-Locked Loop</i>)
PWM	–	Modulação por Largura de Pulso (<i>Pulse Width Modulation</i>)
SEP	–	Sistema Elétrico de Potência
SVPWM	–	<i>Space-Vector-PWM</i>
THD	–	Distorção Harmônica Total (<i>Total Harmonic Distortion</i>)
UPS	–	Fonte de Alimentação Ininterrupta (<i>Uninterruptable Power Supply</i>)
UPQC	–	Condicionador Unificado de Qualidade de Energia (<i>Unified Power Quality Conditioner</i>)
WTHD	–	Distorção Harmônica Total Ponderada (<i>Weighted Total Harmonic Distortion</i>)

1

Introdução Geral

1.1 Apresentação do Tema

Em todo mundo as agências reguladoras de energia tem a cada dia buscado soluções para se ter uma qualidade de energia cada vez melhor. Em consonância com a busca de uma melhor qualidade de energia, a grande dependência, no mercado energético, de combustíveis fósseis, têm feito com que enormes quantidades de recursos, econômicos e humanos, sejam voltadas para novas fontes de energia mais baratas e mais limpas do que os combustíveis fósseis. Na verdade, a vários anos, as fontes renováveis de energia têm sido um foco de investigação para os pesquisadores do mundo inteiro. Os sistemas fotovoltaicos (*PV – Photovoltaic*) são um dos sistemas de energia renovável que mais cresce no mundo. O mercado de energia solar viveu um bom momento em 2014 e a expectativa é maior para os próximos anos.

O Brasil é privilegiado quando o assunto é energia solar. A irradiação é extremamente alta. Para se ter uma idéia a pior irradiação em nosso país é em Santa Catarina, mesmo assim é 30% maior que a média da Alemanha. Assim, temos grande potencial para o uso da energia solar, possibilitando um grande crescimento do setor fotovoltaico (dados do Departamento Nacional de Aquecimento Solar - DASOL).

Uma das principais razões para esse desenvolvimento notável é a redução do custo de módulos fotovoltaicos e a introdução de incentivos econômicos ou subsídios devido às crescentes preocupações ambientais. Grandes parques dos sistemas fotovoltaicos podem alcançar

uma faixa de megawatts, e vai continuar crescendo em tamanho e quantidade nas próximas décadas. Esta tendência irá exigir maior demanda e as normas para a conexão com a rede estão cada vez mais exigentes, isso faz com que os conversores de dois níveis não produzam sinais com qualidade de energia exigida, tornando-se cada vez mais limitados (Kouro et al., 2010).

Com base nesse cenário, famílias de conversores multiníveis foram projetados para fazer a integração deste tipo de sistema com o Sistema Elétrico de Potência (SEP), nos sistemas distribuídos e sistemas de micro-rede. Os conversores multiníveis têm uma grande participação realizando essas funções com alta eficiência (Franquelo et al., 2008). Estes dispositivos são atualmente operados com valores menores de frequência de comutação do que os conversores convencionais de dois níveis, ainda mantendo um baixo conteúdo harmônico nos sinais de saída. Além disso, os conversores multiníveis estão em concorrência com as topologias clássicas, pois eles apresentam uma boa solução para essas aplicações devido ao fato de que eles podem alcançar elevada potência utilizando os semicondutores de média, no entanto, eles precisam de mais semicondutores do que os conversores clássicos (Franquelo et al., 2008; Rodriguez et al., 2002; Lai e Peng, 1995).

Vale a pena lembrar que os conversores realizam conversão de energia e que hoje a preocupação com a eficiência energética e a qualidade de energia é uma obrigação. Um dos aspectos dessa eficiência energética é a redução de perdas. Alguns procedimentos usados para a redução das perdas em conversores são:

- uso de uma técnica adequada de controle.
- diminuição da frequência de chaveamento.
- redução do número de componentes nos conversores.
- integração tanto das funções de conversores diferentes como das partes componentes do sistema (motor, conversor, comando, por exemplo).

A redução do número de componentes diminui as perdas e custo em sistemas de acionamento (Lin e Wei, 2004). Essas estruturas além de serem mais econômicas que as estruturas convencionais, podem ser consideradas como estruturas resultantes de um conversor convencional que sofreu uma falha.

A primeira estrutura dos conversores de três níveis desenvolvida foi a de grampeamento do ponto neutro (topologia com diodos grampeadores - *NPC*) apresentado na figura 1.1(a) (Nabae et al., 1981). Nessa estrutura, o esforço de tensão sobre as chaves é reduzido, uma vez que a tensão máxima suportada por eles é igual à fração de $\frac{1}{2}$ da tensão do barramento CC. Alguns anos depois essa estrutura foi generalizada para N níveis por (Bhagwat e Stefanovic, 1983; Choi et al., 1991); neste caso a tensão máxima suportada pelos interruptores é igual a fração de $\frac{1}{N-1}$, onde N é o número de níveis do inversor. Existem outras topologias que permitem a obtenção de tensões multiníveis, tais como; capacitores flutuantes (*FC*); pontes monofásicas conectadas em série (Rodriguez et al., 2002; BenAbdelghani et al., 2002); e híbridas.

O conversor *NPC* é o de maior aceitação industrial, apesar da desvantagem de sua limitação no índice de modulação máximo que é permitido com potência ativa para assegurar o equilíbrio da tensão nos capacitores do barramento CC. Por outro lado, foi mostrado em (Meynard and Foch, 1992; 1993) que, no conversor multinível a capacitor flutuante, a tensão no capacitor é equilibrada em cada período de modulação pela combinação da relação cíclica, das características dos interruptores e das correntes de carga.

Portanto, o estudo dos conversores multiníveis aplicado aos sistemas de energias renováveis se tornam cada vez mais atrativos na literatura, permitindo assim, um nicho de pesquisa abrangente que será explorado neste trabalho.

1.2 Revisão Bibliográfica

Como o tema principal desse trabalho são os conversores multiníveis baseado na topologias *NPC*, foi realizada uma pesquisa bibliográfica na literatura para verificar o estado da arte no que se diz respeito aos vários aspectos de estudo dos conversores, tais como: topologias com número reduzido de componentes; estratégia de modulação; técnicas utilizadas para o equilíbrio das tensões dos capacitores do barramento CC; e a utilização desses conversores nos sistemas fotovoltaicos.

A revisão bibliográfica será dividida nos seguintes pontos:

1. **Conversores Multiníveis:** Revisão sobre as topologias convencionais, com número

reduzido de componentes e estratégias de modulação;

2. **Desequilíbrio das Tensões do Barramento CC :** Análise das causas do desequilíbrio de tensão nos inversores monofásicos e trifásicos de 3 e 4 níveis e as soluções já apresentadas;
3. **Aplicação dos Inversores em Sistemas Fotovoltaicos.**

1.2.1 Conversores Multiníveis

Os inversores multiníveis têm atraído a atenção do setor energético por proporcionar sinais de saída que possuem baixos índices de THD e por atuarem em média e em alta tensão. A função dos conversores multiníveis é sintetizar uma tensão senoidal com vários níveis de tensão. A denominação '*multinivel*' começou a ser usada a partir de um conversor de três níveis, conhecido como neutro grampeado (ver figura 1.1(a)). Na intenção de cada vez mais aumentar o número de níveis ((Ozdemir et al., 2009; Nami et al., 2011)) a estrutura com diodos grampeados (NPC) foi estendido para n níveis como pode ser visto nos trabalhos (Guedouani et al., 2007; Yue et al., 2014; Vafakhah et al., 2010; Gheraia et al., 1999). Outras topologias com características diferentes da NPC são bastantes estudadas e citadas na literatura como é o caso da estrutura ANPC (Active Neutral Point Clamped), FC (Flying Capacitor, ver figura 1.1(b)) and HB (H-Bridge, ver figura 1.1(c)).

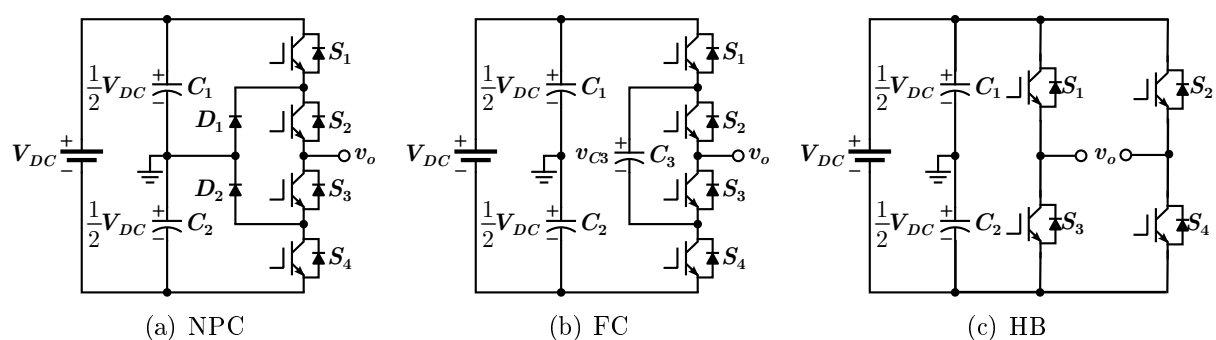


Figura 1.1: Inversores de 3 níveis convencionais

A quantidade de dispositivos utilizados no inversor aumenta proporcionalmente com o aumento da quantidade de níveis. Quanto mais dispositivos semicondutores um conversor possuir maior será as perdas no sistema, diminuindo assim a eficiência do inversor. Diante dessa questão, várias topologias com número reduzido de dispositivos tem sido propostas. É

o caso da estrutura *NRC* apresentado na figura 1.2(a) (Andrade., 2012). Nesta estrutura o grampeamento é feito por uma chave bidirecional, no entanto, o braço principal possui apenas duas chaves e não quatro como na *NPC*. Essa estrutura consegue reduzir as perdas, por possuir menos dispositivos. Mas, as chaves do braço tem que suportar a tensão total do barramento. Essa é uma desvantagem pois, limitará a potência do inversor.

Em quatro níveis, seguindo a mesma lógica da estrutura *NRC*, outra topologia foi proposta como a *Nested* (no português aninhado) (Narimani et al., 2014) ilustrado pela figura 1.2(b). Tal topologia é chamada inversor *Nested* porque todos os pontos de conexão do barramento *CC* são interligados num único ponto central do braço do inversor por meio de uma única chave, seja ela unidirecional ou bidirecional. A topologia *Nested* continua com a deficiência de necessitar de chaves que suportem a tensão total do barramento.

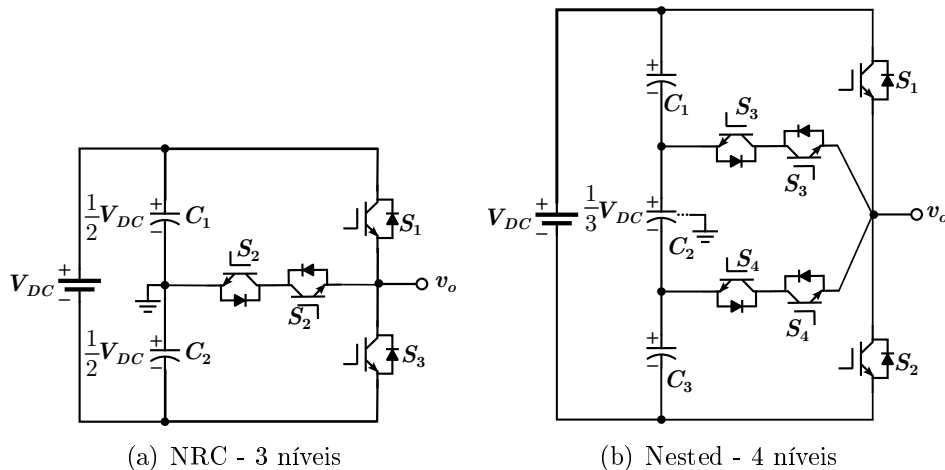


Figura 1.2: Inversores com número reduzido de componentes

À medida que o número de níveis aumenta, os sinais de saída assemelham-se a um sinal em escada que se aproxima da onda senoidal com um mínimo de distorção harmônica. Em última análise, uma distorção harmônica nula do sinal de saída pode ser obtida por um número infinito de níveis. Mais níveis também possibilita uma operação em tensões mais elevadas, pois o esforço da tensão é devido sobre as chaves que são conectadas em série. Um dos problemas dos inversores multiníveis com barramento grampeado é o desequilíbrio das tensões nos capacitores (Jiao et al., 2014). O desequilíbrio ocorre com mais frequência quando o inversor está operando em baixa frequência e com o índice de modulação elevado (Andrade., 2012), limitando o aumento no número de níveis.

1.2.2 Desequilíbrio da Tensão do Barramento CC nos Inversores do Tipo NPC

No caso particular do inversor NPC , o desequilíbrio nas tensões dos capacitores é inerente a essa topologia (Nabae et al., 1981; Celanovic e Boroyevich, 2001). O desequilíbrio da tensão nos capacitores do barramento CC pode ser melhor entendido quando se aplica a estratégia de modulação vetorial. Com a modulação vetorial as tensões são alteradas dependendo dos vetores utilizados no período da modulação. Isto acarreta num aumento da distorção harmônica, aumento nas perdas e diminuição da eficiência do inversor. De um modo geral, é possível equalizar as tensões nos capacitores quando o índice de modulação se situa abaixo de um determinado valor (Celanovic e Boroyevich, 2001), por meio da utilização de vetores redundantes. Em outros casos, essa equalização pode não ser adequada.

Nos inversores de três níveis utilizam-se alternativas a nível da estratégia de modulação, sempre aproveitando os vetores redundantes. No caso da estratégia CBPWM essa compensação é feita pela modificação e injeção de uma tensão de sequência zero nas tensões de referência. Essas técnicas tradicionais PWM (Holtz, 1994) têm sido estendidas para conversores multiníveis com sucesso, usando múltiplas portadoras para o chaveamento dos conversores.

As técnicas que se baseiam na estratégia CBPWM utilizam a injeção de um sinal homopolar nas tensões de referências. (Ogasawara e Akagi, 1993) se baseia no fator de potência para determinar a tensão homopolar, (Ratnayake et al., 1999) utiliza um terceiro harmônico. Já (Pou et al., 2005a) e (Pou et al., 2005b) propuseram uma técnica de modulação visando a redução nas perdas de comutação e eliminação da oscilação de baixa frequência da tensão que aparece no ponto neutro sobre algumas condições de operação. Seu algoritmo é bastante simples e pode ser implementado rapidamente. O inconveniente desta estratégia é que as frequências de comutação dos dispositivos são um terço maiores do que as da modulação CBPWM padrão.

Os trabalhos de (Mendes., 2000; Celanovic e Boroyevich, 2000; Seo et al., 2001) apresentam uma solução baseada na estratégia SVPWM. O equilíbrio de tensão é obtido alterando o tempo de aplicação de cada configuração dos vetores redundantes. Em (Busquets-Monge et al., 2004) modificou a estratégia $SVPWM$ com base nos vetores virtuais que equilibram

a tensão nos capacitores. Estes vetores virtuais fazem com que a corrente média injetada no ponto neutro seja sempre zero, garantindo o equilíbrio nas tensões dos capacitores. A técnica virtual aumenta as perdas devido ao aumento do número de comutações. Por outro lado, foi constatado que quando comparada com a técnica de espaço vetorial tradicional (SVPWM), a técnica virtual (VSVPWM) pode trabalhar com uma frequência de chaveamento menor, para se ter a mesma frequência média de chaveamento nas chaves.

Com base na estratégia híbrida (*HPWM*) (de Oliveira., 2005) apresenta uma estratégia que utiliza o princípio da estratégia *CBPWM* (que é a injeção de uma tensão de sequência zero com a compensação das configurações dos vetores redundantes por meio de uma variável chamada de razão de distribuição). A estratégia tem como uma das grande vantagens a generalização para n -níveis. No trabalho de dissertação (Andrade., 2012) combinou as estratégias propostas por (Pou et al., 2005b) e por (de Oliveira., 2005). Essa combinação resultou num excelente desempenho tanto em relação as perdas quanto em relação a qualidade de energia.

O desequilíbrio das tensões do barramento *CC* em quatro níveis se torna um problema mais crítico. No inversor de três níveis, o desequilíbrio das tensões ocorre por causa da corrente que é injetada no ponto central do barramento (Andrade., 2012) e o controle é feito fazendo com que essa corrente apresente valor médio igual a zero em um período da modulante. No caso de quatro níveis existem dois pontos de interconexão com o barramento, isso indica que agora não há apenas uma corrente para controlar, mas duas correntes. Esse aumento de variáveis faz com que a solução via estratégia de modulação, como é feita no de três níveis, seja inviável.

Uma solução bastante aceitável para contornar esse desafio nos inversores de quatro níveis está apresentada nos trabalhos de (Corzine et al., 2002; Perantzakis et al., 2004; Rubilar et al., 2007), onde se adiciona um conversor *CC/CC* divisor de tensão para realizar o equilíbrio das tensões dos capacitores do barramento *CC*.

A topologia proposta por (Corzine et al., 2002) é baseada no conversor *CC/CC* abaixador e as topologias propostas por (Corzine e Majeetha, 1999; Rosas-Caro et al., 2008) são baseadas no conversor *CC/CC* elevador. As duas últimas possuem a vantagem da tensão de entrada do conversor ser basicamente um terço da tensão do barramento *CC*, enquanto

que na primeira estrutura a tensão de entrada deve ser igual a tensão do barramento CC .

1.2.3 Aplicação de Inversores Multiníveis em Sistemas Fotovoltaicos

Conversores de energia de média tensão tornaram-se bons candidatos para estas aplicações comerciais oferecendo maior eficiência operacional. O conversor multiníveis têm várias vantagens, tais como a redução do estresse de tensão nos semicondutores, a forma de onda da tensão na saída possuir menos harmônicos, e baixa interferência eletromagnética. Assim, a utilização dos conversores multiníveis foi aumentada em aplicações industriais que requerem elevada tensão e elevada qualidade no sinal de saída. Recentemente, dentro da aplicação com os sistemas fotovoltaicos, há estudos com topologias multiníveis para melhorar a eficiência do sistema. Entre eles, o conversor em cascata usando ponte-H de N níveis, os NPC, capacitor flutuante e os híbridos, que unem características de dois ou mais tipos de topologias.

Há algumas décadas, alguns trabalhos têm sido desenvolvidos, como é o caso de (Tolbert e Peng, 2000), que realiza um controle único automático para aplicar os painéis em cada fase do sistema. Em 2007, (Chen et al., 2007), propôs um inversor com entrada múltipla para várias entradas de energias renováveis. O circuito é formado por uma etapa CC/CC e logo em seguida é conectado o conversor CC/CA . No ano seguinte, (Grandi et al., 2008), apresentou um sistema isolado formado por painéis alimentando inversor de dois níveis aplicado a um transformador trifásico para realizar a conexão com a rede.

Nos últimos anos, outros trabalhos têm sido apresentado relacionando a aplicação do sistema fotovoltaico com os inversores multiníveis, entre eles (Rajasekar e Gupta, 2011; Ibrahim et al., 2011; Abdalla et al., 2011; Kashihara e Itoh, 2012; Shafiyi et al., 2012; Oliveira e Correa, 2012).

Isso se torna bastante atrativo em um cenário onde a população se torna cada vez mais dependente da energia elétrica, ao mesmo tempo que o cuidado com o ambiente se torna cada vez mais necessário. Atualmente, existem vários mecanismos para se obter a energia a partir de fontes renováveis. Os sistemas solares fotovoltaicos oferecem melhor desempenho em comparação com outras fontes renováveis, devido à grande disponibilidade de sua fonte primária (irradiação solar), especialmente nas regiões tropicais (Grandi et al., 2009).

Algumas soluções bastante interessantes são encontradas na literatura com a conexão dos painéis fotovoltaicos em inversores multiníveis. (Grandi et al., 2009) propõe um esquema que se baseia em duas sequências de painéis em série, onde cada uma alimenta dois inversores de dois níveis (VSI - fonte de tensão). Assim como no caso anterior (Grandi et al., 2009) propõe a mesma configuração. A diferença está no acréscimo do conversor CC/CC entre os painéis fotovoltaicos e o barramento CC . O conversor CC/CC adicionado tem como principal função estabelecer a tensão e realizar o rastreamento do MPPT. Para isso, um método de controle tem que ser implementado para regular a tensão do barramento CC , fazendo com que a técnica de modulação aplicada ao inversor seja desenvolvida apenas com o objetivo de injetar potência do barramento CC na rede.

Em (Kouro et al., 2010) o sistema proposto permite a ligação com muitos capacitores, formando os níveis da tensão total do NPC. O NPC permite a operação com uma frequência de comutação inferior, o que melhora a eficiência do sistema, fornecendo uma melhor qualidade de energia que está em conformidade com as normas estabelecidas no setor elétrico.

Em outros sistemas é possível ter o sistema fotovoltaico atuando como um gerador ou como um filtro de potência ativa. (Shafiyi et al., 2012) apresenta uma estrutura que tem essa finalidade, e tem como base um conversor multicelular a capacitor flutuante (FCM). Esse tipo de estrutura possui como vantagem usar mais níveis e as tensões submetidas aos semicondutores serem menores do que em outras topologias tradicionais.

Outros trabalhos apresentam outras soluções como é o caso de (Ozdemir et al., 2009) e (Rajasekar e Gupta, 2011), onde o primeiro apresenta uma conexão do sistema fotovoltaico para a conexão com um inversor de seis níveis do tipo NPC, enquanto que o segundo propõe um sistema baseado no inversor em cascata funcionando como um filtro ativo. Sendo assim, existe bastante espaço de aplicação dentro do campo de estudo em aplicações com sistemas fotovoltaico, onde o painel fotovoltaico pode ser aplicado diretamente ao inversor multinível ou passar por um estágio a mais que seria o conversor CC/CC .

O desafio de rastrear o MPPT nesses casos se torna um alvo de pesquisa bastante pertinente. Portanto, é necessário realizar um estudo sobre os diversos tipos de sombreamento parciais sobre a matriz para tomar a melhor decisão no rastreamento do MPPT (Vemuru et al., 2012). A técnica padrão para proteger os módulos PV contra os efeitos do sombrea-

mento parcial é adicionando diodos em derivação na saída do módulo PV. Outra técnica é conectando cada módulo PV a um conversor CC-CC para realizar o MPPT individualmente.

Em (Hohm e Ropp, 2013) é feita uma comparação no desempenho de três algoritmos otimizados, usando uma operação de MPPT controlado por microprocessador de um painel fotovoltaico e um simulador. Verificando que os métodos *P&O* (Perturba e Observa) e *IncCond* (Incremental Conductance) são os que representam melhores resultados.

As perdas devido ao sombreamento parcial não são proporcionais à área sombreada, mas dependem do padrão de sombreamento, ou seja, de como os painéis estão configurados na matriz dos painéis. É possível encontrar na literatura várias formas de realizar a configuração dessa matriz, entre elas estão, Série-Paralela (SP), Total-Cross-Tied (TCT), Bridge Linked (BL) e uma configuração é a baseada na lógica de SU DO KU apresentado no trabalho (Rani et al., 2013). Todas essas formas de conexão tem como o objetivo aproveitar o melhor rendimento da matriz dos painéis fazendo com que o sistema sempre procure o ponto de transferência máxima de potência global e não o individual de cada módulo.

1.3 Contribuição e Proposta do Trabalho

O objetivo deste trabalho está na investigação dos conversores estáticos *CC/CA* baseados nas topologias com barramento grampeado. O estudo é feito em torno dos seguintes problemas:

- desequilíbrio da tensão dos capacitores que compõem o barramento *CC* do inversor:
A solução do desequilíbrio será proposta com base na estratégia de modulação, por um conversores *CC/CC* conectado ao barramento e/ou reconfiguração da fonte de alimentação;
- redução no número de componentes;
- alimentação com fonte de baixa tensão;
- e aplicação do sistemas fotovoltaicos.

Os inversores propostos neste trabalho são:

1. **Inversor Híbrido:** Proposta de inversor de três níveis para uma alimentação de tensão reduzida com minimização na capacitância do barramento;
2. **Inversor Fonte Flutuante (FF):** Proposta de inversor de três níveis para uma alimentação de tensão reduzida com a possibilidade de operar em quatro níveis;
3. **Inversor 2L4L:** Proposta de inversor de 5 níveis com número reduzido de componentes que pode operar em 7 níveis.

Já os sistemas propostos para aplicações com o painel fotovoltaico são:

1. **PV-Boost-NPC:** Sistema composto por painéis fotovoltaicos (PV), conversor CC/CC do tipo Boost aplicados ao NPC de três níveis trifásico;
2. **PV-Boost-FlyBack-FF:** Sistema composto por painéis fotovoltaicos (PV), conversor CC/CC do tipo Boost e FlyBack aplicados ao inversor Fonte Flutuante;
3. **PV-Boost-2L4L:** Sistema composto por painéis fotovoltaicos (PV), conversor CC/CC do tipo Boost aplicados ao inversor proposto 2L4L.

Para cada um dos sistemas é apresentado o modelo do sistema, a modulação PWM e a estratégia de controle. São avaliadas as características de qualidade de energia com base no THD e WTHD, características de rendimento com base nas perdas no barramento CC e nas perdas de condução e de chaveamento das chaves e características de confiabilidade com base no estresse térmico das chaves. A utilização desses critérios tem por fim criar comparações e avaliar ganhos e perdas no desempenho de cada topologia.

Além disso, é proposto no trabalho uma técnica de modulação PWM baseada na estratégia $SVPWM$ para o inversor de quatro níveis apresentado.

1.4 Organização do Trabalho

Esse trabalho propõe um total de 4 topologias e três sistemas composto por inversores multi-níveis aplicados a painéis fotovoltaicos. As informações sobre o desempenho e a apresentação de cada sistema estão divididas neste trabalho em seis capítulos.

No Capítulo 1 é apresentada a introdução que descreve o tema que será discutido no decorrer do trabalho, apresentado as pesquisas já realizadas, indicando as pretensões do que se quer mostrar e como as informações estão dispostas no documento.

No Capítulo 2 é apresentada uma sistemática de concepção das topologias dos inversores multiníveis com barramento grampeado. Além disso, são estabelecidos os parâmetros de desempenho utilizados para avaliar cada topologia.

No Capítulo 3 são apresentadas as topologias de inversores de três níveis. E realizada a análise comparativa destas, levando em consideração o THD de corrente, WTHD de tensão, perdas de alta frequência no barramento CC, perdas nas chaves e estresse térmico;

No Capítulo 4 são apresentadas as topologias de inversores de quatro níveis e a topologia proposta de cinco níveis. . E realizada a análise comparativa destas, levando em consideração o THD de corrente, WTHD de tensão, perdas de alta frequência no barramento CC, perdas nas chaves e estresse térmico;

No Capítulo 5 são apresentados os sistemas com aplicação do painel fotovoltaico;

No Capítulo 6 são apresentadas as conclusões sobre os estudos realizados. Também são apontados direcionamentos para aprimoramento e estudos futuros sobre o tema apresentado.

2

Topologias de Inversores Multiníveis, Parâmetros de Desempenhos e Aplicação dos Paineis Fotovoltaicos

2.1 Introdução

Dentre as topologias existentes de conversores multiníveis, este trabalho terá como base as topologias que possuem barramento único, onde os níveis de tensão são determinados por meio de grampeamento em níveis intermediários. A seguir será apresentado uma descrição e uma metodologia de concepção para cada topologia.

A topologia mais utilizada com barramento *CC* grampeado é a *NPC*, além desta, outras topologias derivadas da mesma também são utilizadas. A topologia *ANPC* surgiu no intuito de se obter uma melhor distribuição dos esforço das chaves. Com duas chaves ativas no lugar dos diodos de grampeamento, aumentam as possibilidade de conexão com o ponto neutro do barramento *CC*.

Com o passar dos anos as chaves se tornaram cada vez mais robustas e com a capacidade de processar potências mais elevadas. Dessa forma, com o objetivo de melhorar a eficiência do sistema, diminuindo as perdas nas chaves, surgiu, a topologia *NRC* ou *NPC* tipo-T. Os diodos de grampeamento da estrutura original são retirados e as quatro chaves são reorganizadas de tal forma que os três níveis são mantidos.

Neste capítulo serão apresentadas as topologias em estudo, as características de desempenho utilizadas para avaliar cada uma destas e a estrutura básica para a aplicação dos painéis fotovoltaicos.

2.2 Síntese da Concepção das Topologias com Barramento CC Grampeado

Os inversores multiníveis com barramento *CC* grampeado são constituídos por dois elementos: o primeiro é o barramento *CC* e o segundo é o braço do inversor. O barramento *CC* é composto por associação em série de capacitores, como ilustrado na Figura 2.1. Ou seja, para o inversor de dois níveis é necessário um capacitor; no caso de três níveis são dois capacitores. Generalizando: tem-se uma totalidade de $N-1$ capacitores em série para compor o barramento *CC* de um inversor de N níveis. O barramento simétrico é aquele em que as tensões dos capacitores são iguais a $V_{DC}/(N - 1)$. Existem, entretanto, casos em que as tensões do barramento não são iguais. No momento serão discutidas apenas as topologias com barramentos simétricos.

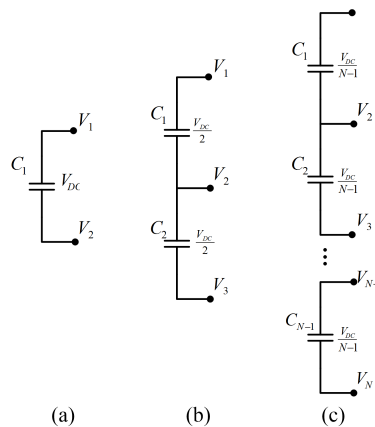


Figura 2.1: Barramento *CC* para os inversores com grampeamento: (a) dois níveis (b) três níveis (c) N níveis

O braço dos inversores multiníveis é composto por um conjunto de chaves e diodos onde o objetivo é realizar a conexão da fase com cada nível de tensão disponível no barramento. Dependendo de como seja o arranjo das chaves e dos diodos é que se tem as topologias dos inversores.

No trabalho de (dos Santos Junior e da Silva, 2013) é possível obter uma metodologia de

concepção dos inversores utilizando células básicas. A Figura 2.2 apresenta quatro células básicas. Cada uma das células tem como objetivo fornecer um caminho para a conexão do ponto V_A com os pontos V_1 e/ou V_2 . A primeira célula básica é de dois níveis CA (2NCA), mostrada na Figura 2.2.a. A segunda é uma chave bidirecional (CB), mostrada na Figura 2.2.b. A terceira e quarta são as células de dois níveis CC , que assume apenas corrente positiva (2NCCp) e corrente negativa (2NCCn) mostradas nas Figuras 2.2.c e 2.2.d, respectivamente.

As topologias apresentadas nesse trabalho são construídas utilizando essas quatro células básicas. A construção segue algumas regras:

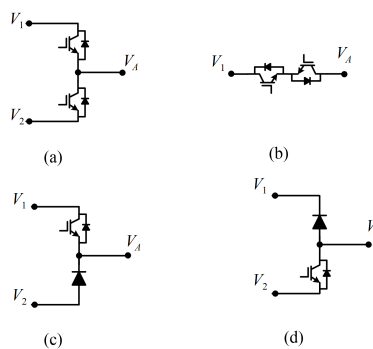


Figura 2.2: Células Básicas: (a) dois níveis CA (2NCA)(b) chave bidirecional (CB)(c) dois níveis CC positiva (2NCCp)(d) dois níveis CC negativa(2NCCn)

- Célula básica 2NCA: Todas as topologias partem dessa célula. Ela é utilizada para realizar a conexão com a fase do braço, podendo também ser conectada nos pontos v_1 ou v_2 de qualquer outra célula básica;
- Célula básica CB: Utilizada para interligar o ponto central da célula 2NCA a um ponto intermediário do barramento CC ;
- Célula básica 2NCCp: Utilizada para conexão dos níveis positivos do barramento, portanto pode ser conectada no ponto v_1 de qualquer outra célula básica;
- Célula básica 2NCCn: Utilizada para conexão dos níveis negativos do barramento, podendo ser conectada no ponto v_2 de qualquer outra célula básica.

A concepção das topologias são definidas pela combinação das células básicas. Combinando a célula 2NCA com CB é possível obter as topologias NRC de 3 níveis e Nsted de 4

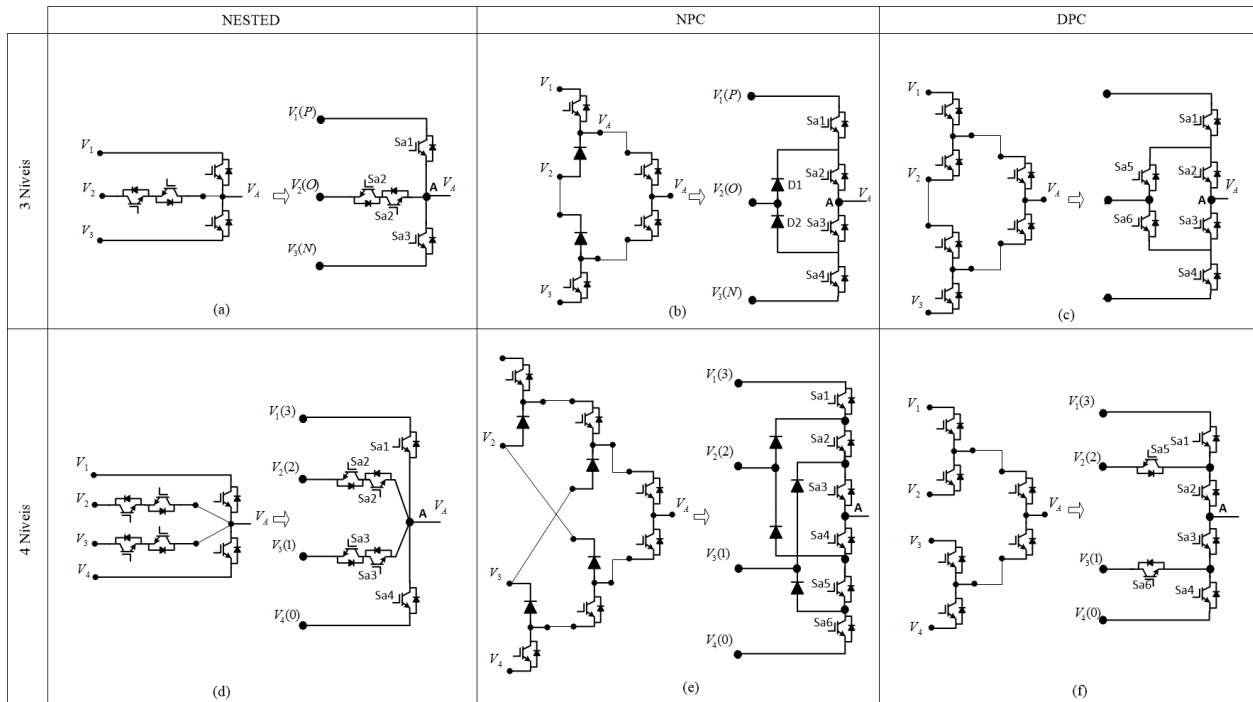


Figura 2.3: Inversores multiníveis: de três níveis, (a)Nested (b) NPC (c) ANPC, de quatro níveis, (d) Nested (e) NPC (f) DPC

níveis, que estão ilustradas nas Figuras 2.3.a e 2.3.d, respectivamente. Esse tipo de topologia possui duas características bem definidas quanto a sua construção. A primeira característica é que a topologia sempre utiliza uma célula básica $2NCA$ conectada nos pontos superior e inferior do barramento. Isso faz com que cada chave suporte uma tensão de bloqueio igual a tensão total do barramento CC , o que pode ser um limitador na sua utilização. A segunda característica é que a conexão da fase nos pontos intermediários do barramento CC é feita por meio de uma única chave bidirecional, o que torna a topologia bastante atrativa quando se quer aumentar a quantidade de níveis.

As topologias NPC podem ser derivadas da combinação da célula básica $2NCA$ com as células $2NCCp$ e $2NCCn$, ver Figuras 2.3.b e 2.3.e para três e quatro níveis respectivamente. As características básicas dessa topologia são: i) que a tensão máxima suportada pelas chaves é igual à fração de $\frac{1}{(n-1)}$ da tensão do barramento de CC e ii) que a conexão da fase nos pontos intermediários do barramento é feito pelo grampeamento dos diodos.

Já o arranjo feito com as células básicas $2NCA$ originam as topologias DPC (Direct Point Clamped). A conexão da fase nos níveis do barramento é feito por meio de chaves ativas. A Figura 2.3.c ilustra a topologia de três níveis conhecida como $ANPC$, e na Figura

2.3.f é ilustrada uma estrutura de quatro níveis proposta por (Chen et al., 2008).

2.3 Relação entre as Topologias Estudadas

Entre as principais topologias multiníveis estudadas e citadas na literatura estão: a estrutura NPC, a estrutura FC (Flying Capacitor) e a estrutura HB (H-bridge). As principais características das topologias estão relacionadas com os seguintes aspectos: (i) fonte de alimentação do inversor; (ii) barramento CC; (iii) número de componentes. Na Tabela 2.1 são especificadas as quantidades de componentes que possui cada topologia de três níveis.

Tabela 2.1: Principais características das topologias convencionais de três níveis

Topologia	Fonte	Cap. do Barramento	Cap. Flutuante	Chaves	Diodos	Totais
NPC	Única	2	-	4	2	6
FC	Única	2	1	4	-	5
HB	Independente	-	-	4	-	4

As topologias NPC e FC utilizam uma única fonte que é conectada no barramento CC, já a topologia HB utiliza fontes independente. Em termos de operacionalidade a topologia NPC possui um desequilíbrio das tensões dos capacitores do barramento CC que é intrínseca a topologia. Em três níveis o desequilíbrio é resolvido pela modulação PWM. Já a topologia FC não tem o desequilíbrio das tensões, no entanto, é necessário garantir que a tensão do capacitor flutuante seja igual a metade da tensão do barramento.

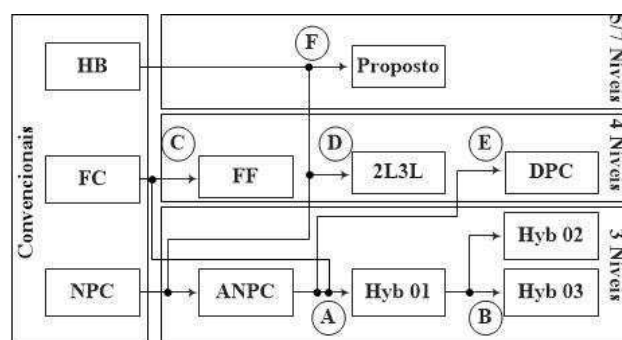


Figura 2.4: Relação das topologias estudadas

O diagrama de bloco da Figura 2.4 ilustra a relação das novas topologias que foram concebidas utilizando características das topologias convencionais. Cada uma das características para a concepção das novas topologias estão representadas por uma letra. Para as

topologias de três níveis, tem-se:

- **(A)** a topologia Híbrida (Hyb 01) é uma combinação da topologia ANPC com FC.
- **(B)** para aplicações com fonte reduzidas de tensão é possível obter duas topologias (Hyb 02 e Hyb 03) derivadas da topologia Hyb 01. A diferença entre essas topologias está na posição em que a fonte é conectada.

Basicamente, existem três formas de aumentar os níveis de uma determinada topologia, elas são: (i) tensões diferentes nos capacitores do barramento; (ii) aumento no número de fontes; (iii) e aplicação em ponte. Com base nestes aspectos é possível obter as seguintes topologias para 4 níveis:

- **(C)** com base na topologia FC é possível aumentar o número de níveis substituindo um capacitor flutuante por uma fonte de tensão com um terço da tensão do barramento. Esta topologia será chamada FF (Fonte Flutuante):
- **(D)** a topologia 2L3L é a combinação da topologia NPC com HB. No lugar de se ter dois braços de dois níveis, como é o caso da topologia HB, a topologia possui apenas um braço de dois níveis e outro sendo de três níveis do tipo NPC;
- **(E)** a topologia DPC é baseada na topologia ANPC de 3 Níveis. Para elevar o número de níveis foi adicionado um capacitor a mais no barramento. No entanto, a quantidade de chaves permanece a mesma.
- **(F)** além dessas topologias de três e quatro níveis será proposto uma topologia de 5 níveis baseada nas topologias DPC e HB. A partir da alteração do valor da tensão do capacitor central, é possível obter 7 níveis com a mesma estrutura.

As topologias que serão estudadas neste trabalho estão ilustradas na Figura 2.5. As topologias em estudo serão:

- as topologias Hyb02 e Hyb03: Essas topologias propõe processar a mesma potência da topologia Hyb01 com uma fonte de tensão reduzida;

- a topologia FF: Pensando também na aplicação fotovoltaica é proposto a substituição do capacitor flutuante por uma fonte de tensão com $1/3$ da tensão do barramento;
- a topologia DPC: Que é proposta como uma solução de redução de componentes para ter uma eficiência maior;
- a topologia proposta 2L4L: Essa topologia utiliza o barramento das topologias de 4 níveis para produzir cinco ou sete níveis.

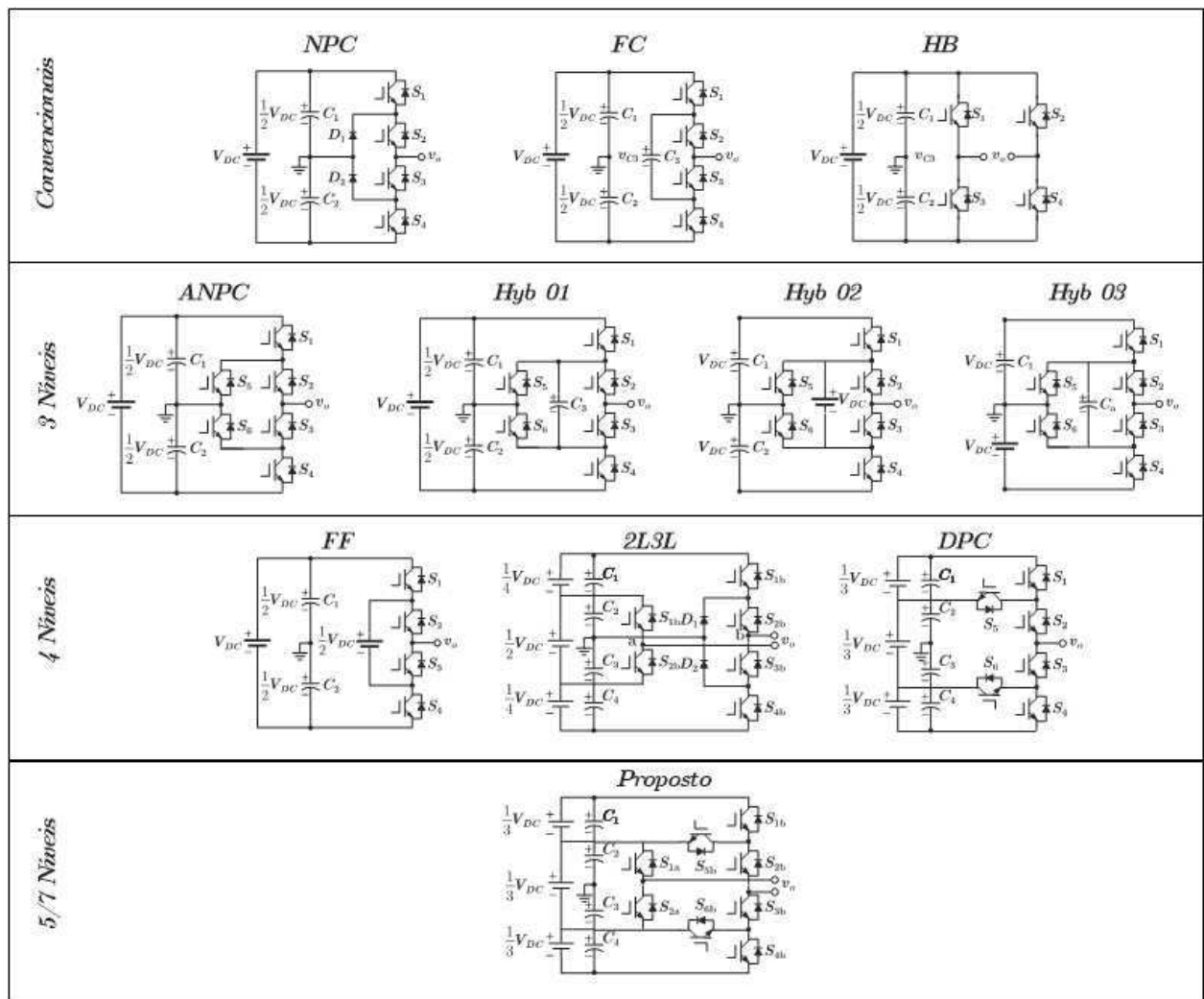


Figura 2.5: Topologias estudadas

2.4 Análise de Desempenho das Configurações de Inversores Propostos

As configurações dos inversores proposto neste trabalho serão avaliados com base em três aspectos, discriminados a seguir:

- Qualidade de energia: cálculos dos valores de THD de corrente e WTHD de tensão;
- Eficiência: cálculos das perdas de chaveamento e condução nas chaves;
- Confiabilidade: análise com base no estresse térmico.

2.4.1 Qualidade de Energia (Cálculo do THD de corrente e WTHD de tensão)

A Taxa de Distorção Harmônica (do inglês, Total Harmonic Distortion - THD) é um critério muito utilizada para definir o conteúdo harmônico de um sinal alternado. A *THD* é definida como:

$$THD\% = \frac{100}{V_1} \sqrt{\sum_{n=2}^{\infty} V_n^2} \quad (2.1)$$

A THD define o quanto que o sinal difere de uma onda senoidal pura. A presença de um THD alto tem influência em vários pontos no estudo de conversores. Primeiramente que a qualidade da energia diminui consideravelmente. Outro ponto em que o THD tem influência é no fator de potência. O fator de potência, além do deslocamento da corrente em relação a tensão, depende da distorção harmônica da corrente, ver equação 2.2. O baixo fator de potência das instalações, devido às distorções de correntes, tem gerado uma série de problemas, desde a geração, transmissão, até nos sistemas de distribuição (Pomilio e Deckmann, 2003; Pomilio, 2006).

Estas correntes distorcidas resultam em:

- Interferências eletromagnéticas;
- Perdas nas linhas de transmissões (dissipação por calor) sendo necessário, em alguns casos, o sobredimensionamento;

- Distorção harmônica nas tensões da rede de alimentação, devido a circulação das componentes harmônicas de corrente, comprometendo assim, o funcionamento de outros equipamentos que estejam conectados a rede;
- Leituras erradas nos equipamentos de medição e proteção;
- Problemas nos geradores comprometendo o seu rendimento e diminuindo a sua vida útil.

Sendo assim, níveis elevados de THD são sinônimos de prejuízo. Pensando neste problema foram criadas normas internacionais para a regulamentação e fiscalização dos níveis aceitáveis de THD na rede elétrica. Algumas normas são estabelecidas pelos órgãos regulamentadores para garantir a qualidade de energia. Atualmente, os principais padrões são o europeu IEC (International Electrotechnical Commission) (std. 61000-3-4, 1998) (limites para emissão de harmônicos para correntes menores que 16A por fase), (std. 61000-3-4, 1998) (correntes maiores que 16A por fase) e o americano (std. 519-1992, 1993) (recomendação do IEEE para práticas e requisitos para controle de harmônicas no sistema elétrico de potência). No Brasil o órgão responsável pela elaboração de normas em geral é a ABNT (Associação Brasileira de Normas Técnicas) (ABNT, 2011), que a fim de estar em concordância com muitas das normas internacionais, é associada ao IEC.

$$FP = \frac{\cos\theta}{\sqrt{1 + THD^2}} \quad (2.2)$$

Outro parâmetro que ajudará no entendimento do THD é a Distorção Harmônica Total Ponderada (do inglês, Weighted Total Harmonic Distortion - *WTHD*). A *WTHD* é usada para comparar o desempenho harmônico de diferentes técnicas e estruturas. A diferença entre a *WTHD* e THD é que a taxa de distorção harmônica ponderada não sofre influência dos filtro indutivos, sendo definida por:

$$WTHD\% = \frac{100}{V_1} \sqrt{\sum_{h=2}^{\infty} \left(\frac{V_h}{h}\right)^2} \quad (2.3)$$

O *WTHD* pode nos dar uma noção de como é o comportamento do espectro de frequência, uma vez que a contribuição da tensão do harmônico é ponderado por sua posição. Por

exemplo, se duas técnicas possuem os mesmos valores para o THD, mas valores diferentes para o WTHD, isto significa que a técnica que tem o WTHD menor possui harmônicos mais distantes da fundamental do que a outra técnica, facilitando assim, a filtragem do sinal.

A rotina de cálculo do THD e WTHD é apresentada no Apêndice A

2.4.2 Eficiência do Inversor (Cálculo das Perdas de Chaveamento e Condução nas Chaves)

Para diferentes topologias de conversores ou diferentes tipos de técnicas de modulação proposta, torna-se muito importante determinar as perdas de potência nos interruptores. Uma boa estimativa dessas perdas permite avaliar o rendimento das topologias e das técnicas estudadas. Nesse contexto, alguns trabalhos têm apresentado estudos sobre redução as perdas de chaveamento e condução nas chaves de potência juntamente com o método utilizado para efetuar os cálculos (da Silva et al., 2003; Dias et al., 2009; Cavalcanti et al., 2001; Cavalcanti et al., 2002; Cavalcanti et al., 2003).

Neste trabalho, a estimativa das perdas é obtida usando a uma função do *PSIM* chamada *ThermalModule*. Este bloco permite calcular as perdas tanto de chaveamento quando as perdas de condução para as chaves e para os diodos.

2.4.3 Confiabilidade do Inversor (Cálculo do Estresse das Chaves)

O estresse térmico em semicondutores de potência é de grande importância por estar diretamente associada às performances de confiabilidade e custo do conversor. Portanto, neste trabalho será apresentada uma análise do estresse térmico, levando em consideração características do sistema como: tensão do barramento; índice de modulação; e frequência de operação.

Importância do Análise do Estresse Térmico

Os semicondutores eram utilizados apenas em aplicações de baixa potência. Com a evolução dos mesmos e o crescimento dos estudos dos inversores multiníveis a eletrônica de potência passou a atuar em sistemas de alta potência para várias aplicações. Com a evolução os inversores multiníveis se tornaram peça fundamental na utilização em fontes de energias

renováveis.

Considerando que os conversores estão cada vez mais sendo utilizados em uma grande diversidade de aplicações, a garantia da confiabilidade desse dispositivo se torna algo imprescindível. Como indicador de confiabilidade, a tensão térmica é a variável mais adequada para avaliar os conversores de potência.

De acordo com as estatísticas realizadas por (Ma e Blaabjerg, 2011), a proporção de vários estresses causando falhas nos componentes eletrônicos é ilustrado na Figura 2.6. Pode-se ver que 55% das falhas nos componentes são causadas pela temperatura ou estresse térmico. A distribuição dos estresses ilustrado na Figura 2.6 pode variar, dependendo da aplicação. No entanto, conforme relatado em (Yang et al., 2011), é geralmente aceito que a carga térmica é um "criador de problemas" para a maioria dos mecanismos de falha nos dispositivos eletrônicos, como condensador, circuito impresso, semicondutores de potência, etc.

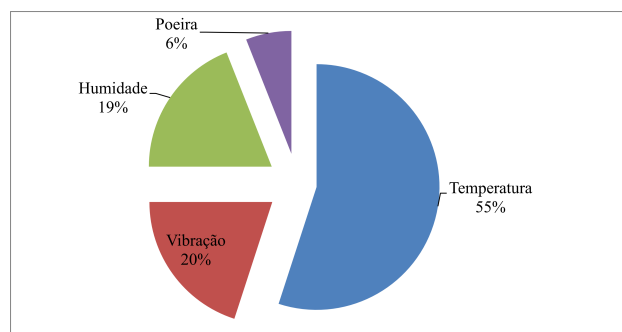


Figura 2.6: Estresses críticos que contribuem para falhas nos semicondutores.
Fonte: (Ke Ma, 2015)

O estresse térmico e tempo de vida dos módulos IGBT podem ser correlacionados matematicamente, tal como resumido em (Wang et al., 2012), em que uma série de modelos de vida útil é introduzida ao longo dos estudos. Normalmente, os parâmetros destes modelos de vida útil precisam ser adquirida experimentalmente por testes de aceleração, em que são impostas aos dispositivos de potência várias cargas térmicas e que as falhas são observadas e registradas. A Figura 2.7 apresenta um exemplo de testes de vida útil fornecido por SEMIKRON, em que vários ajuste de curvas são desenhados para representar a relação entre os ciclos de falha de uma série de módulos IGBT e as tensões térmicas aplicadas - neste caso, a variação de temperatura de junção ΔT_j e a temperatura média de junção T_{jm} .

O estresse térmico é determinado por vários fatores de projeto: tecnologia de encapsu-

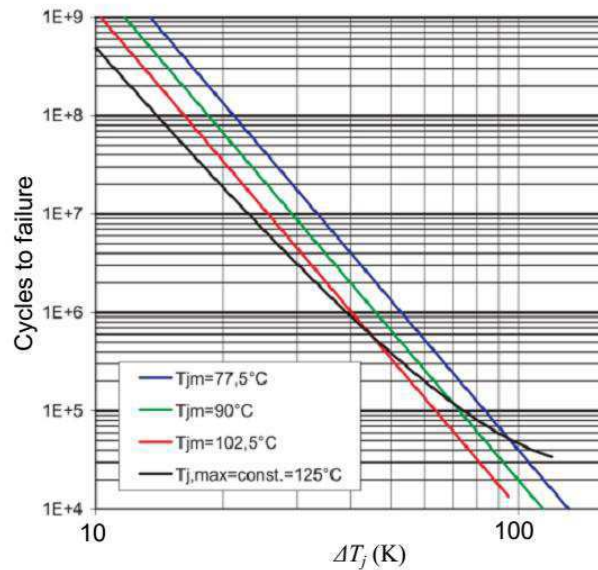


Figura 2.7: Ilustração dos ciclos de falhas vs variação da temperatura de junção do módulo IGBT da SEMIKRON. Fonte: (Ke Ma, 2015)

sulamento; design do dissipador de calor; topologias dos conversores, etc. Os quais estão relacionados com o custo do conversor. Ou seja, se um conversor é usado para processar a mesma quantidade de energia usando mais componentes e um dissipador maior, a temperatura da junção poderá ser maior ou menor do que o conversor que utilizará uma quantidade menor de componentes. Assim, deveria ser possível correlacionar o estresse térmico com o custo do conversor. Como ilustrado na Figura 2.8, onde o símbolo da chave, a construção real e imagem descoberta de um módulo *IGBT* são ilustrados, é de notar que, na verdade, o módulo IGBT é composto por diversos chips de silício compondo a chave *IGBT* e o diodo em paralelo. A classificação da corrente é definida pela quantidade de chips utilizados em paralelo. Assim, o tamanho do módulo *IGBT* depende do número de chip, podendo ser utilizado para quantificar o custo do conversor.

Modelo do Estresse Térmico

O estresse térmico dos semicondutores de potência é influenciado por muitos fatores e a análise pode envolver abordagens multidisciplinares. Esses fatores podem ser agrupados em três grupos: (i) Fatores relacionados com aplicação do inversor, como por exemplo, no caso da aplicação com energias renováveis em que se pode incluir a variação da velocidade do vento para energia eólica, variação da temperatura ambiente para energia fotovoltaica, bem

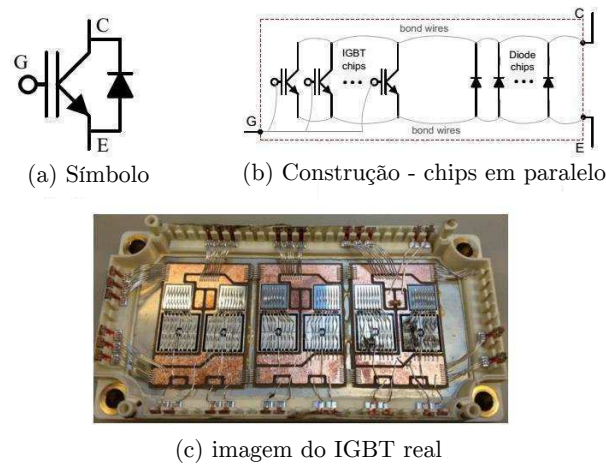


Figura 2.8: Aspecto construtivo do módulo do IGBT. Fonte: (Ke Ma, 2015)

como as condições de rede quando o objetivo é injetar potência no sistema elétrico; (ii) Fatores relacionados ao projeto do inversor associados com o tipo de dispositivos utilizados, ou seja, semicondutores de potência, componentes passivos, etc; (iii) Fatores relacionado ao controle que envolve a modulação, controle de fluxo de potência, entre outros. No caso deste trabalho, a discussão será em torno do estresse térmico gerado pelos semicondutores (Ma e Blaabjerg, 2011).

O modelo térmico para os semicondutores de potência é baseada na transferência de energia e por meio da temperatura em diferentes locais dos dispositivos, como por exemplo, na junção, no envólucro ou no dissipador de calor. Normalmente, o comportamento térmico de um determinado material é representado por sua resistência térmica R_{th} e capacitância C_{th} (Blaabjerg et al., 1995). A impedância térmica total do semicondutor até a temperatura ambiente pode ser modelada como redes RC térmicas em cascata que representam diferentes camadas de material. A Figura 2.9 ilustra um modelo simplificado proposto por (Ma e Blaabjerg, 2011).

De acordo com (Ma e Blaabjerg, 2011), não só a temperatura da junção, mas também as temperaturas do dissipador de calor são importantes para a estimativa do estresse térmico. O modelo térmico proposto é baseado no método de simulação fornecido pelo PSIM, sendo possível estimar não apenas a temperatura da junção, mas também a temperatura do dissipador de calor.

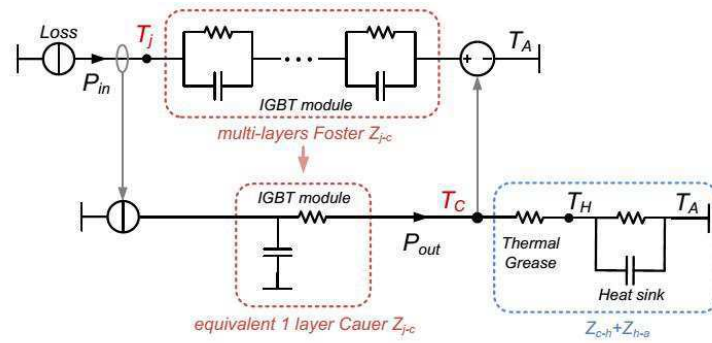


Figura 2.9: Modelo térmico. Fonte: (Ke Ma, 2015)

2.5 Aplicação dos Painéis Fotovoltaicos

Nesta secção será discutida a configuração que será adotada para a aplicação dos painéis fotovoltaicos nos inversores multiníveis. A Figura 2.10 ilustra o modelo com um e dois estágios de potência.

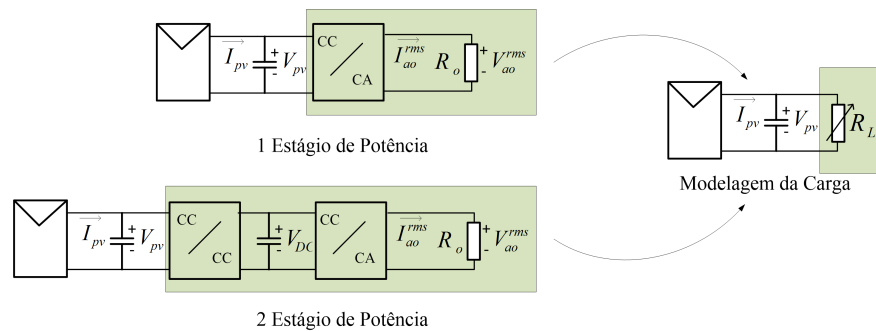


Figura 2.10: Sistemas com um e dois estágios de potências e com modelo de carga

Independente de quantos estágios possui o sistema, a carga pode ser emulada vista do painel fotovoltaico. Para forçar o painel fotovoltaico a trabalhar no MPP é necessário controlar o fluxo proveniente do painel. Esse fluxo de energia é controlado variando-se a carga vista do painel.

O ponto de operação com maior transferência de potência (MPP) ocorrerá na interseção das curvas $V \times I$ do painel e da carga, como pode ser visto na Figura 2.11. Quando a irradiação variar, o ponto de operação de máxima potência deve ser relocado. Portanto, é necessário alterar a característica da curva da carga.

A curva da carga é modificada pela modulação dos conversores que estão entre a carga e

o painel fotovoltaico. O ângulo que define a inclinação da curva V_{xI} da carga é definido pelo valor da carga e pelo ganho do inversor ($\theta_e(G, R_o)$), que é definido pelas seguintes equações:

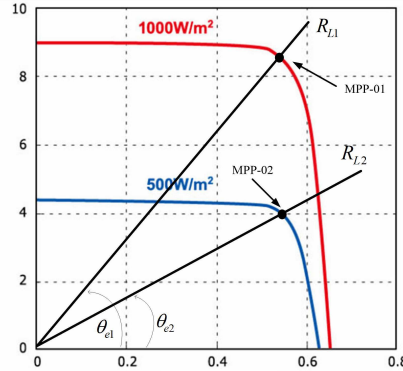


Figura 2.11: Curva I x V do painel solar

$$V_{ao}^{rms} = G \cdot V_{pv} \quad (2.4)$$

$$I_{ao}^{rms} = \frac{I_{pv}}{G} \quad (2.5)$$

$$V_{ao}^{rms} = R_o \cdot I_{ao}^{rms} \quad (2.6)$$

onde, G é o ganho do conversor. Substituindo as equações (2.4) e (2.5) em (2.6), tem-se:

$$\frac{V_{pv}}{I_{pv}} = \frac{R_o}{G^2} = R_L \quad (2.7)$$

A equação 2.7 implica considerar que a resistência efetiva vista pelo painel fotovoltaico possui um valor que depende da resistência R_o e do ganho G . Na prática, a curva da carga $R_L(G, R_o)$ é uma reta cuja inclinação $\theta_e(G, R_o)$ é calculada por:

$$\theta_e(G, R_o) = \arctg\left(\frac{G^2}{R_o}\right) \quad (2.8)$$

Para o sistema onde se tem um único estágio de potência a tensão de saída é dada por:

$$V_{ao}^{rms} = \frac{m_a \cdot V_{pv}}{\sqrt{2}} \quad (2.9)$$

onde m_a é o índice de modulação em amplitude. O ganho G é obtido comparando as equações (2.4) com (2.9):

$$G = \frac{m_a}{\sqrt{2}} \quad (2.10)$$

Substituindo a equação (2.10) em (2.8), obtém-se o ângulo da curva da carga:

$$\theta_e(ma, R_o) = \arctg\left(\frac{m_a^2}{2.R_o}\right) \quad (2.11)$$

O índice de modulação em amplitude (m_a) é definido por um limite mínimo e máximo ($0 < m_a < 1$), assim, o ângulo $\theta_e(ma, R_o)$ irá limitar o ponto de operação de máxima potência entre.

$$\theta_e^{min}(ma, R_o) = \arctg\left(\frac{0}{2.R_o}\right) = 0^\circ \quad (2.12)$$

e

$$\theta_e^{max}(ma, R_o) = \arctg\left(\frac{1}{2.R_o}\right) \quad (2.13)$$

Analisando graficamente (ver Figura 2.12(a)), é possível observar que existem duas regiões bem definidas. A primeira retrata uma faixa de valores possíveis de $\theta_e(ma, R_o)$ onde é possível realizar o rastreamento. Já a segunda região representa uma faixa de valores impossíveis $\theta_e(ma, R_o)$ onde não é possível realizar o rastreamento.

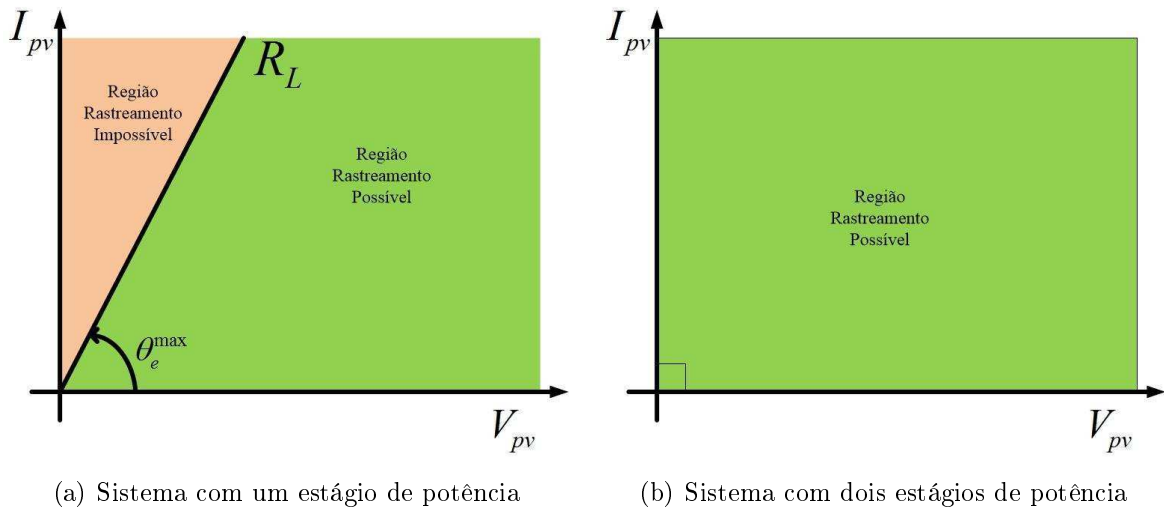


Figura 2.12: Regiões de rastreamento para o sistema proposto

Para o caso do sistema que utiliza dois estágios de potência a tensão de saída é dada por:

$$V_{ao}^{rms} = \frac{m_a \cdot V_{DC}}{\sqrt{2}} \quad (2.14)$$

$$V_{DC} = \frac{V_{pv}}{(1 - D)} \quad (2.15)$$

onde, D é a razão cíclica do 'boost'. Substituindo a equação (2.15) na (2.14), tem-se:

$$V_{ao}^{rms} = \frac{m_a \cdot V_{pv}}{\sqrt{2}(1 - D)} \quad (2.16)$$

O ganho G é obtido comparando as equações (2.4) com (2.16):

$$G = \frac{m_a}{\sqrt{2}(1 - D)} \quad (2.17)$$

Substituindo a equação (2.17) em (2.8), obtém-se o ângulo da curva da carga:

$$\theta_e(ma, R_o) = \arctg\left(\frac{m_a^2}{2 \cdot (1 - D) R_o}\right) \quad (2.18)$$

Assim como o m_a , a razão cíclica do 'boost' é definida por um limite mínimo e máximo ($0 < D < 1$), assim, o ângulo $\theta_e(ma, R_o)$ irá limitar o ponto de operação de máxima potência entre,

$$\theta_e^{min}(ma, R_o) = \arctg\left(\frac{0}{2 \cdot R_o}\right) = 0^\circ \quad (2.19)$$

quando $D = 0$ e $m_a = 0$ e:

$$\theta_e^{max}(ma, R_o) = \arctg\left(\frac{1}{0}\right) = 90^\circ \quad (2.20)$$

quando $D = 1$ e $m_a = 1$.

Analisando graficamente (ver Figura 2.12(b)), observa-se que é possível rastrear o ponto máximo de potência em qualquer ponto de operação. Esse é um dos motivos para utilizar o conversor *'boost'* como um estágio de potência.

Portanto, o conjunto *PV – Boost* pode ser aplicado aos inversores de três, quatro e cinco níveis apresentado nesse trabalho.

2.6 Conclusões

Nesse capítulo foi apresentado uma síntese da concepção das topologias com barramento CC grampeados facilitando a compreensão das topologias estudadas nesse trabalho. Além disso, foi apresentado uma relação, entre as topologias estudadas, baseada nos principais aspectos dos inversores multiníveis, que são:

- Tipo da fonte de alimentação do inversor (única ou independente);
- Relação das tensões dos capacitores do barramento CC;
- Número de componentes.

Foram apresentadas as variáveis que serão utilizadas para avaliar os desempenhos dos inversores quanto a qualidade de energia, eficiência e confiabilidade do inversor.

3

Análise dos Inversores de Três Níveis

3.1 Introdução

A grande variedade de aplicação com o sistema fotovoltaico permite obter inversores que possuam características voltadas para essa aplicação. Os sistemas fotovoltaicos se mostram atrativos para aplicações que são necessário utilizar várias fontes de baixa tensão. Neste capítulo será apresentado duas modificações para estruturas convencionais com bases nesses aspectos. As topologias são:

- Variações da topologia Hyb01 para a utilização com fontes reduzidas de tensão;
- A topologia FF que utiliza duas fontes de tensão com valores diferentes.

3.2 Inversor Monofásico Híbrido

Os inversores multiníveis foram concebidos para atuarem em sistemas de alta potência utilizando semicondutores de média tensão, além de proporcionar uma redução da distorção harmônica na tensão de saída (Franquelo et al., 2008). A topologia híbrida ANPC/FC (Peng, 2000), ilustrada na Figura 3.1(c), inicialmente foi estudada para operar com características dos inversores ANPC/FC. Neste trabalho a operação do inversor híbrido será alterada modificando a modulação com o intuito de conectar o capacitor flutuante em paralelo com os capacitores do barramento. Com isso, o inversor apresenta uma melhora no equilíbrio das

tensões dos capacitores e reduz significativamente o valor da capacitância total do inversor, mantendo as características dos inversores ANPC e FC (da Silva et al., 2013).

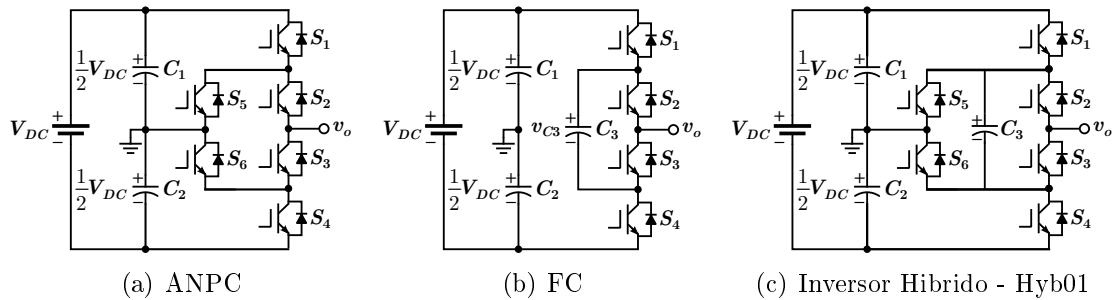


Figura 3.1: Topologia de inversores de três níveis

Os inversores multiníveis monofásicos também têm sido explorados devido à sua importância em aplicações de baixa tensão (Barbosa et al., 2006; Rahmani e Al-Haddad, 2006; Tang et al., 2007). A topologia híbrida permite uma operação utilizando uma fonte que possua a metade da tensão do barramento CC. A Figura 3.2 apresenta as duas variações da topologia híbrida para aplicações com fontes de tensão reduzida. A primeira alternativa é alimentar o capacitor flutuante com a fonte de tensão (ver Figura 3.2(a)) e a segunda é alimentar o capacitor inferior do barramento CC (ver Figura 3.2(b)).

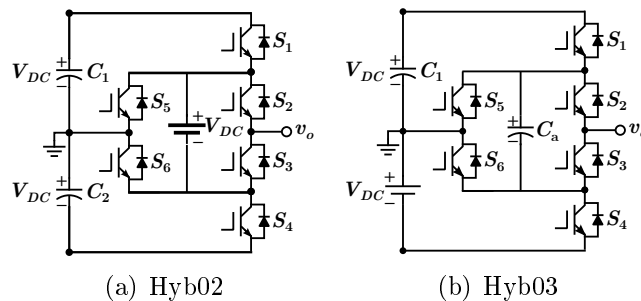


Figura 3.2: Concepção da topologia híbrida

Este capítulo propõe uma análise das três possíveis configurações do inversor híbrido já conhecido na literatura e duas propostas. A topologia Hyb01 que é a topologia convencional (ver Figura 3.1(c)) e as topologias que possuem fonte com tensão reduzida, Hyb02 e Hyb03 (ver Figura 3.2). Pra isso serão estudadas a operação, o modelo e a modulação PWM do inversor, independente do tipo de conexão da fonte. Serão calculadas, para efeito de comparação, as perdas de condução e de chaveamento e do estresse térmico nas chaves, as perdas do barramento CC e a distorção harmônica por meio de simulação. Em seguida são apresentados os resultados experimentais que confirmam a validade do sistema.

3.2.1 Inversor Híbrido

O braço do inversor híbrido é composto por três células básicas como ilustrado na Figura 3.3. A célula básica possui duas chaves IGBT com atuação complementar. Os capacitores C_1 e C_2 compõem o barramento CC e o capacitor C_a é o capacitor flutuante. A tensão de todos os capacitores é igual à metade da tensão do barramento CC . Os pontos P , O e N referem-se a conexão da fase nos pontos superior, intermediário e inferior do barramento CC respectivamente.

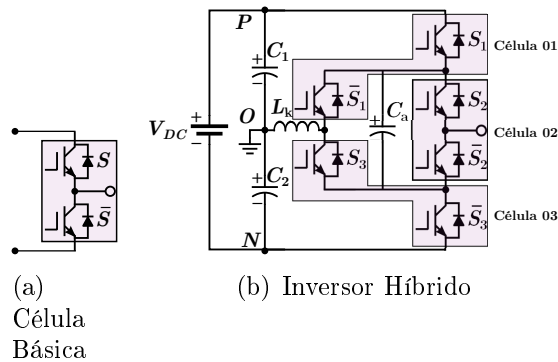


Figura 3.3: Alternativas da topologia Hyb01 para aplicações com fonte de tensão reduzida

Um indutor de $0,5\mu H$ é conectado no ponto central do barramento para mitigar o pico de corrente quando os capacitores forem conectados em paralelos.

3.2.2 Princípio de Operação

Na Tabela 3.1 são apresentados os possíveis estados de comutação, a relação da associação do capacitor flutuante (C_a) com os capacitores do barramento (C_1 e C_2) e a tensão de saída (V_o), respectivamente. Onde o estado '1' representa a chave em condução e o estado '0' representa a chave em bloqueio.

Para que a tensão de saída seja igual a $V_{DC}/2$ utiliza-se a configuração P , neste caso, o capacitor C_a é conectado em paralelo com o capacitor C_1 (ver Figura 3.4(a)). Para, $V_o = -V_{DC}/2$ utiliza-se a configuração N conectando o capacitor C_a em paralelo com o capacitor C_2 (ver Figura 3.4(b)). Existem duas maneiras de se obter a tensão de saída nula. A primeira é por meio da configuração O^+ , onde a condução de corrente ocorre pelas chaves que estão acima do capacitor C_a , sendo o mesmo, conectado com o capacitor C_2 (ver Figura

Tabela 3.1: Estados de chaveamento, associação dos capacitores e tensão de saída

Config.	S_1	S_2	S_3	$C_a // C_x$	V_o
P	1	1	1	$C_a // C_1$	$V_{DC}/2$
O^+	0	1	0	$C_a // C_2$	0
O^-	1	0	1	$C_a // C_1$	
N	0	0	0	$C_a // C_2$	$-V_{DC}/2$

3.4(c)). A segunda é por meio da configuração O^- , onde a condução de corrente é pelas chaves que estão abaixo do capacitor C_a , sendo o mesmo, conectado ao capacitor C_1 (ver Figura 3.4(d)).

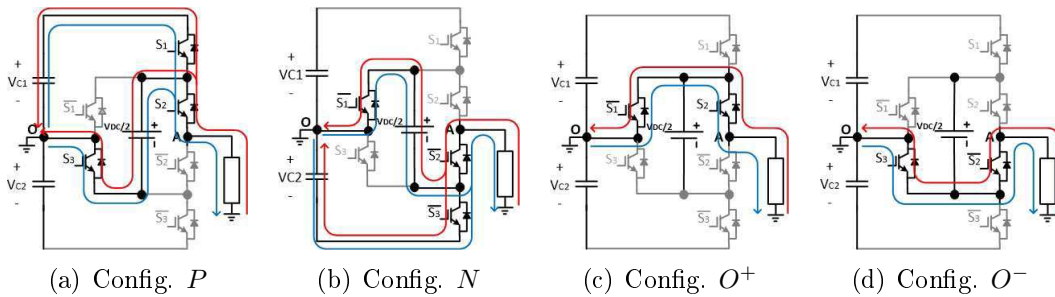


Figura 3.4: Configurações de operações do inversor híbrido

3.2.3 Modelo e Modulação PWM

A modulação PWM do inversor pode ser determinada com base na escolha da configuração redundante (O^+ e O^-) considerando a associação do capacitor C_a com os capacitores do barramento C_1 e C_2 . As Tabelas 3.2 e 3.3 apresentam o padrão de chaveamento e associação dos capacitores para o $PWM - 1$ e $PWM - 2$.

Tabela 3.2: Composição dos estados de chaveamento para o PWM-1

	Config.	$C_a // C_x$	S_1 e S_3	S_2
$V_o^* > 0$	P	$C_a // C_1$	1	1
	O^-		1	0
$V_o^* < 0$	O^+	$C_a // C_2$	0	1
	N		0	0
Onde $x = 1, 2$				

Tabela 3.3: Composição dos estados de chaveamento para 0 PWM-2

	Config.	$C_a//C_x$	S_1 e S_3	S_2
$V_o^* > 0$	P	$C_a//C_1$	1	1
	O^+	$C_a//C_2$	0	1
$V_o^* < 0$	O^-	$C_a//C_1$	1	0
	N	$C_a//C_2$	0	0

Onde $x = 1, 2$

PWM-1 x PWM-2

Cada PWM apresenta características distintas em relação a associação dos capacitores e frequência de chaveamento das chaves. Para o PWM-1 o capacitor C_a é conectado com o capacitor C_1 durante todo o semiciclo positivo e conectado com o capacitor C_2 durante o semiciclo negativo. No caso do PWM-2 o capacitor C_a fica comutando entre os capacitores C_1 e C_2 a cada mudança de estado.

Em relação a frequência de chaveamento das chaves, o PWM-1 possui duas chaves com frequência de chaveamento da referência (S_1 e S_3) e uma chave na frequência da portadora (S_2). Já para o PWM-2 essa condição se inverte, ou seja, são duas chaves na frequência da portadora (S_1 e S_3) e uma chave na frequência da referência (S_2). Com duas chaves na frequência da referência faz com que o PWM-1 possua uma redução nas perdas de chaveamento em relação ao PWM-2.

Técnica de Modulação PWM

A modulação consiste em determinar o estado de chaveamento dos sinais q_r e q_p . O sinal q_r é modulado na frequência da tensão de referência e o sinal q_p é modulado na frequência da portadora. A relação dos sinais q_r e q_p com os PWM-1 e PWM-2 está indicado na tabela 3.4.

Tabela 3.4: Relação das variáveis de estados

	PWM-1	PWM-2
q_r	q_1 e q_3	q_2
q_p	q_2	q_1 e q_3

A técnica de modulação está representada na Figura 3.5 e é dividida em quatro passos, eles são:

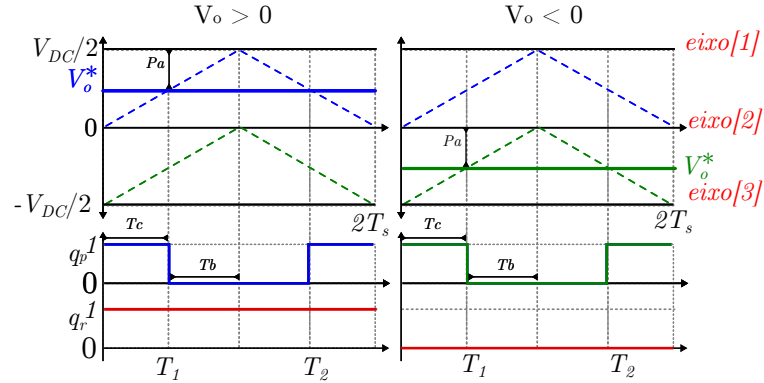


Figura 3.5: Estratégia de Modulação PWM para 3 níveis

Passo um: Definem-se os níveis do inversor, onde cada nível é representado por um eixo horizontal, no caso do inversor híbrido tem-se: o eixo[1], eixo[2] e eixo[3], com os valores $V_{DC}/2$, 0 e $-V_{DC}/2$, respectivamente.

Passo dois: Calcula-se o valor da variável P_a que é a diferença entre o eixo superior e a tensão de referência:

$$\text{Se } (V_o^* > 0) \Rightarrow P_a = \text{eixo}[1] - V_o^*;$$

$$\text{Se } (V_o^* < 0) \Rightarrow P_a = \text{eixo}[2] - V_o^*;$$

Passo três: Calcula-se os intervalos de tempo em que as chaves permanecem em condução (T_c) e bloqueio (T_b), em um determinado período de modulação (T_s), em seguida determinasse os tempos de transição (T_1 e T_2), pelas equações:

$$T_b = 2\left(\frac{P_a}{V_{DC}}\right)T_s; \quad (3.1)$$

$$T_c = T_s - T_b; \quad (3.2)$$

$$T_1 = t + T_c; \quad (3.3)$$

$$T_2 = T_1 + 2T_b. \quad (3.4)$$

Passo quatro: Definem-se os estados de condução das variáveis de estados q_r e q_p seguindo a lógica apresentada a seguir:

- Para a variável q_r

Se $(V_o^* > 0)$ $q_r = 1$;

Se $(V_o^* < 0)$ $q_r = 0$;

- Para a variável q_p

Se $(t \leq T_1$ ou $t > T_2)$ $q_p = 1$;

Se $(t > T_1$ e $t \leq T_2)$ $q_p = 0$;

Onde os estados lógicos '1' e '0' representam as chaves em condução e em bloqueio respectivamente.

Modelo do Inversor Híbrido

A Figura 3.6 ilustra o circuito equivalente para o inversor híbrido. As chaves do S_1 , S_2 e S_3 são representadas pelas variáveis de estado q_1 , q_2 e q_3 , respectivamente as quais estão associadas as variáveis de estados q_r e q_p como apresenta a Tabela 3.4. Aplicando a Lei de Kirchhoff no circuito equivalente tem a seguinte equação:

$$v_o - R_o i_o - L_o (di_o/dt) = 0 \quad (3.5)$$

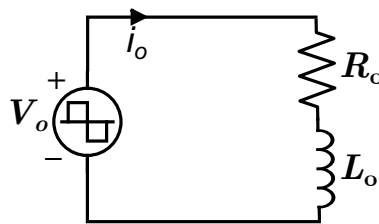


Figura 3.6: Modelo do inversor híbrido

A tensão de saída (V_o) é definida em função dos estados de chaveamento com isso pode ser determinada pela equação:

$$V_o = (q_r + q_p - 1)(V_{DC}/2) \quad (3.6)$$

3.2.4 Análise da Qualidade dos Sinais de Saída

Neste trabalho foi possível obter resultados de simulação e experimentais para as três variações do inversor híbrido (Hyb01, Hyb02 e Hyb03). As plataformas de simulação e experimental onde os resultados foram obtidos são mostradas no Apêndice B. A Tabela 3.5 apresenta os parâmetros utilizados para a simulação do sistema proposto.

Tabela 3.5: Parametros de Simulação e Experimental

Parâmetro	Símbolo	Valor
Tensão do Barramento	V_{DC}	200 V
Tensão do Cap. Flutuante	V_{ca}	100 V
Carga RL	R_o/L_o	50 Ω / 7 mH
freq. chaveamento	f_s	10 kHz
Capacitores do Barramento	C_1 e C_2	220 μ F
Capacitor flutuante	C_a	220 μ F

As curvas dos sinais de tensão e corrente de saída para o resultado de simulação, das três variações do inversor híbrido, aplicados as modulações PWM-1 e PWM-2 são ilustradas nas Figuras 3.7, 3.8 e 3.9.

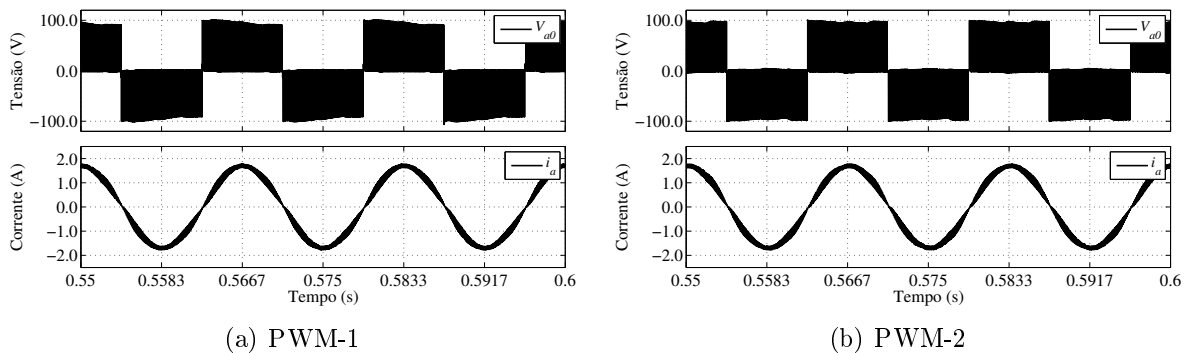


Figura 3.7: Resultados de simulação para a tensão e corrente de saída para o inversor Hyb01

Análise da THD de Corrente e da WTHD de Tensão

As THD e WTHD são utilizadas neste trabalho para a determinação da distorção da corrente e da tensão aplicadas pelo inversor à carga. Inicialmente foi realizada uma análise

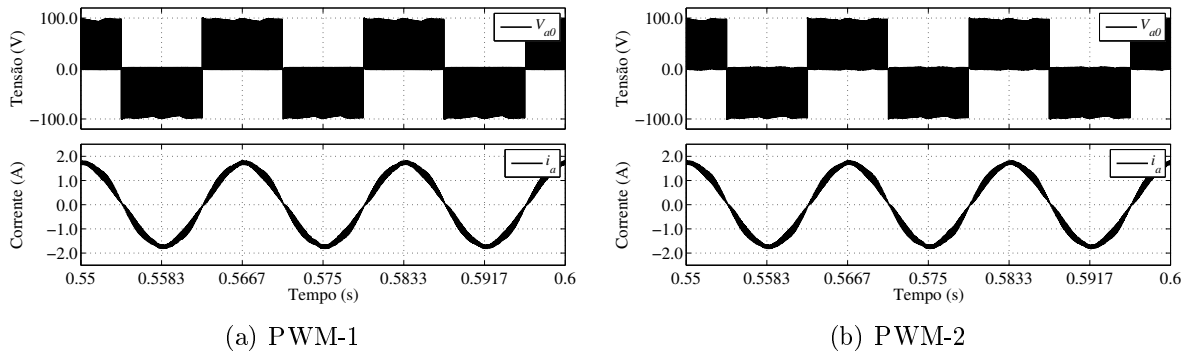


Figura 3.8: Resultados de simulação para a tensão e corrente de saída para o inversor Hyb02

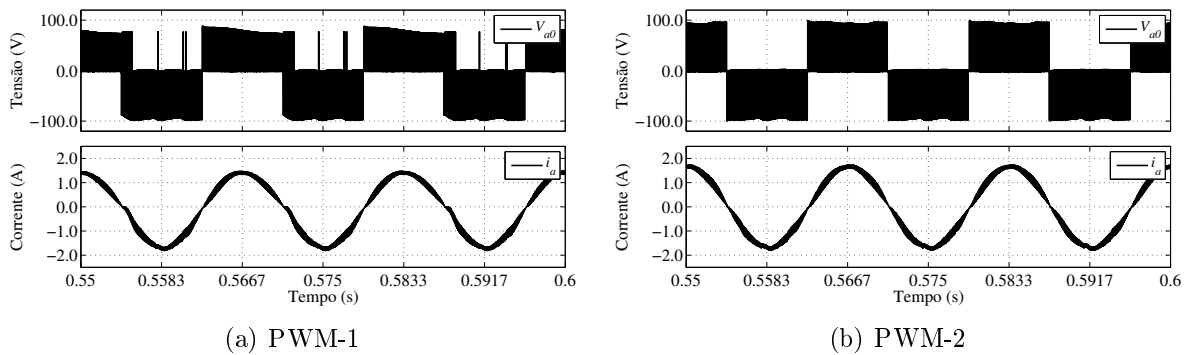
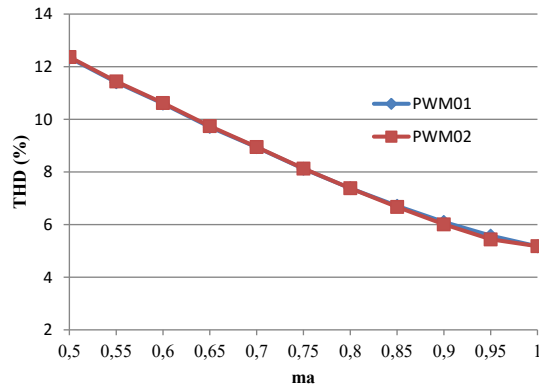


Figura 3.9: Resultados de simulação para a tensão e corrente de saída para o inversor Hyb03

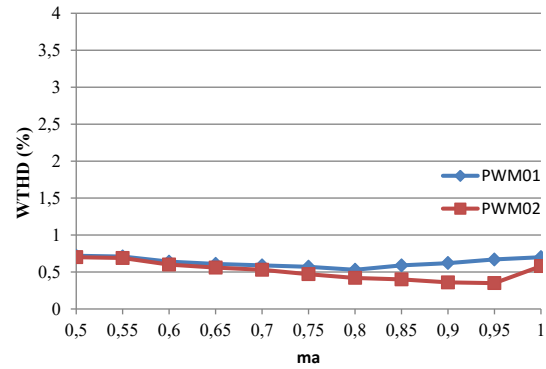
de desempenho dos PWM-1 e do PWM-2 para as três topologias. A Figura 3.10 ilustra os dados do THD e WTHD em função do índice de amplitude (m_a).

Observando as Figuras 3.10(a) e 3.10(c), é possível perceber que nas topologias Hyb01 e Hyb02 os desempenhos dos dois tipos de PWM são bastante semelhantes. No entanto, a topologia Hyb03 operando no PWM-1 apresenta um desempenho inferior. O caso mais crítico do desempenho da topologia Hyb03 é em $m_a = 1$. Neste ponto de operação o THD é de 7,82% e 5,41% para o PWM-1 e PWM-2, respectivamente, o que representa uma diferença de 30,82% entre o PWM-2 e o PWM-1. Em termos de WTHD os valores são: 3,42% e 0,84% para o PWM-1 e PWM-2, respectivamente, representando uma diferença de 75,44% do PWM-2 em relação ao PWM-1.

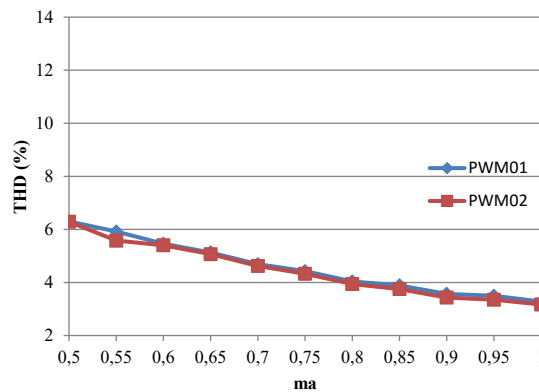
Outro ponto observado neste trabalho é a comparação do desempenho das topologias frente a cada técnica de modulação de PWM. As Figuras 3.11(a) e 3.11(b) ilustram as THD de corrente e as curvas das Figuras 3.11(a) e 3.11(b) apresentam os WTHD de tensão das



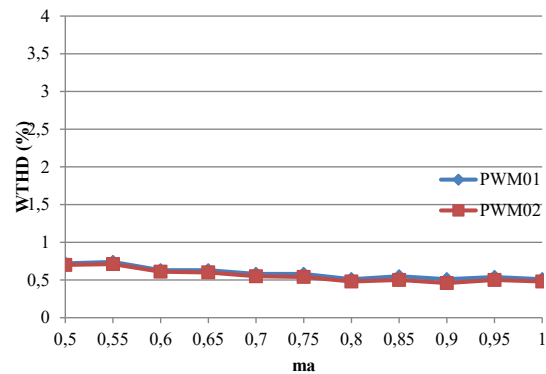
(a) THD (Hyb01)



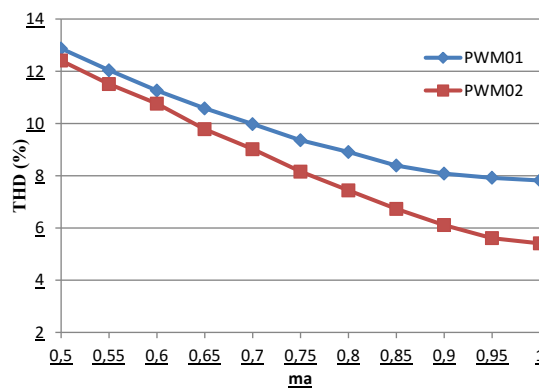
(b) WTHD (Hyb01)



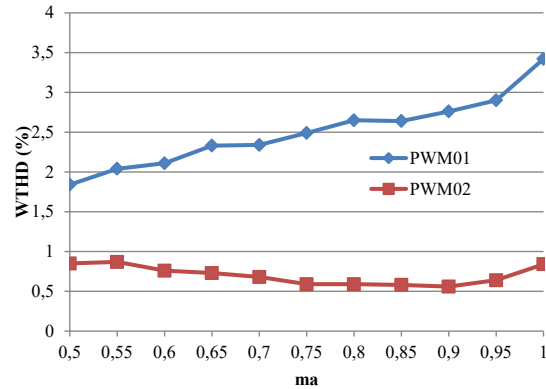
(c) THD (Hyb02)



(d) WTHD (Hyb02)



(e) THD (Hyb03)



(f) WTHD (Hyb03)

Figura 3.10: Comparativo do THD de Corrente e WTHD de tensão em relação ao PWM

três topologias para o PWM-1 e PWM-2, respectivamente.

A topologia Hyb02 apresenta um melhor desempenho em relação às outras topologias. Já a topologia Hyb03 não apresenta um bom resultado para a modulação PWM-1. Por exemplo, no PWM-1 com $m_a = 1$ se obtém um THD de 7,82% para a topologia Hyb03 e

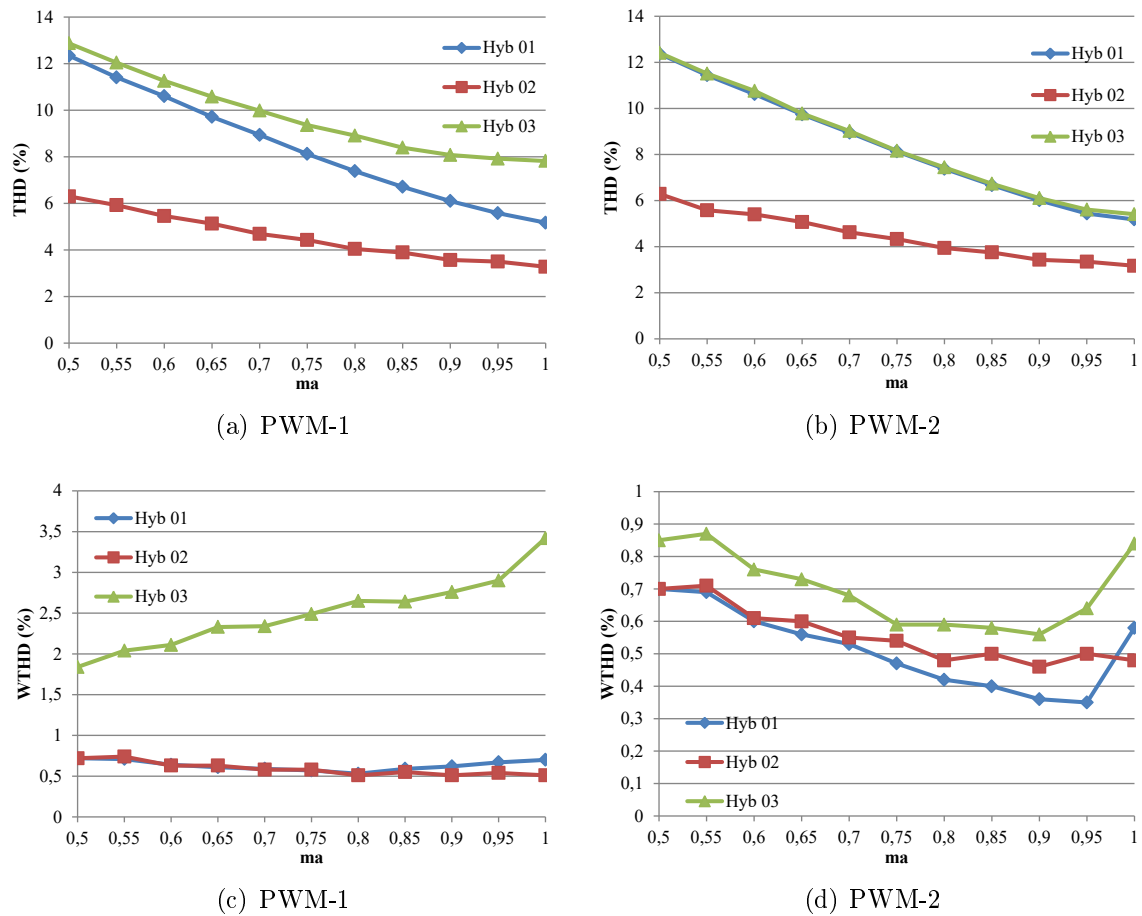


Figura 3.11: Comparativo das topologias para cada PWM referente às THD de corrente e WTHD de tensão

3,28% para Hyb02. Esses valores representam um aumento de 138,41% do THD de Hyb03 em relação a Hyb02.

Essa diferença de desempenho aumenta quando se analisa o WTHD, que nessa mesma condição apresenta um WTHD de 3,48% para Hyb03 e de 0,51% para Hyb02, implicando uma diferença de 570,59%.

3.2.5 Análise do Barramento CC

Um dos elementos principais dos inversores multiníveis é o barramento CC. Por isso, a seguir serão analisados dois aspectos do barramento CC:

- a ondulação da tensão nos capacitores;
- e as perdas de alta frequência do barramento CC.

Nas Figuras 3.12, 3.13 e 3.14 são ilustradas os resultados de simulação e experimental para as tensões e correntes dos capacitores para as estruturas Hyb01, Hyb02 e Hyb03 nas duas condições de modulação.

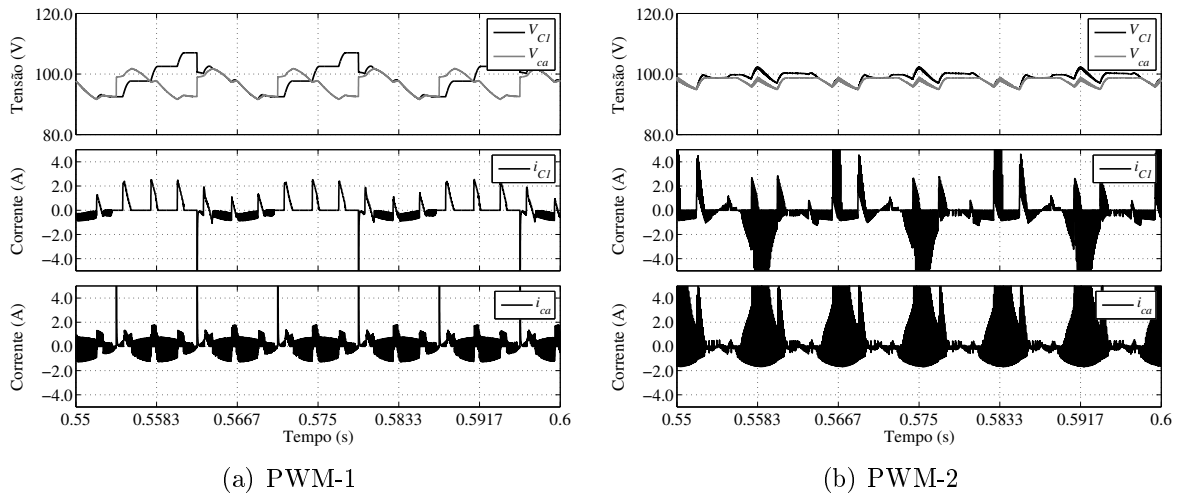


Figura 3.12: Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb01

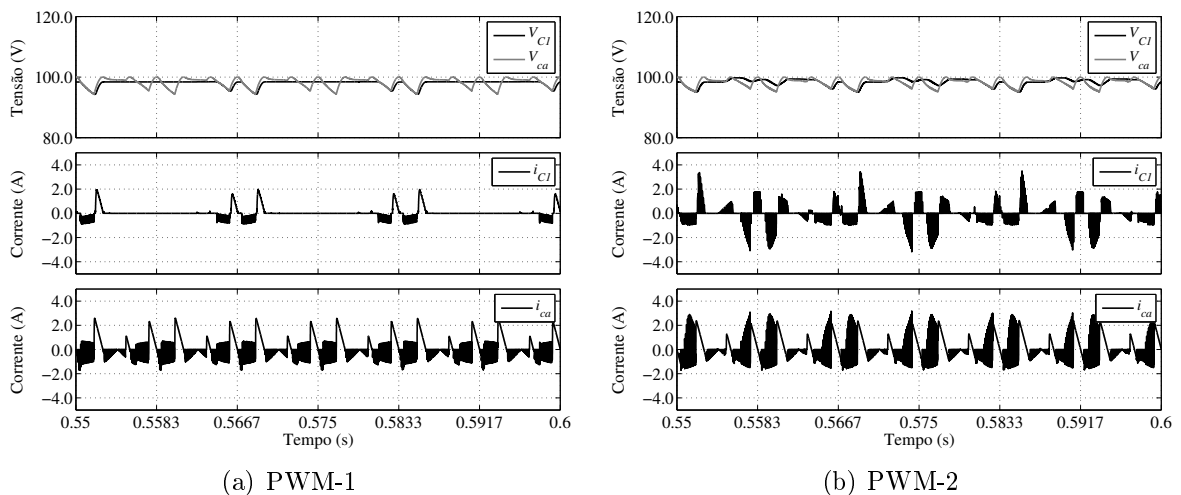


Figura 3.13: Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb02

Ondulação da Tensão nos Capacitores

A ondulação de tensão nos capacitores está associada diretamente à vida útil do mesmo. Sendo assim, quanto menor a ondulação, melhor será para o capacitor e assim como para o inversor. A Figura 3.15 apresenta a ondulação de tensão nos capacitores para o PWM-1 e PWM-2.

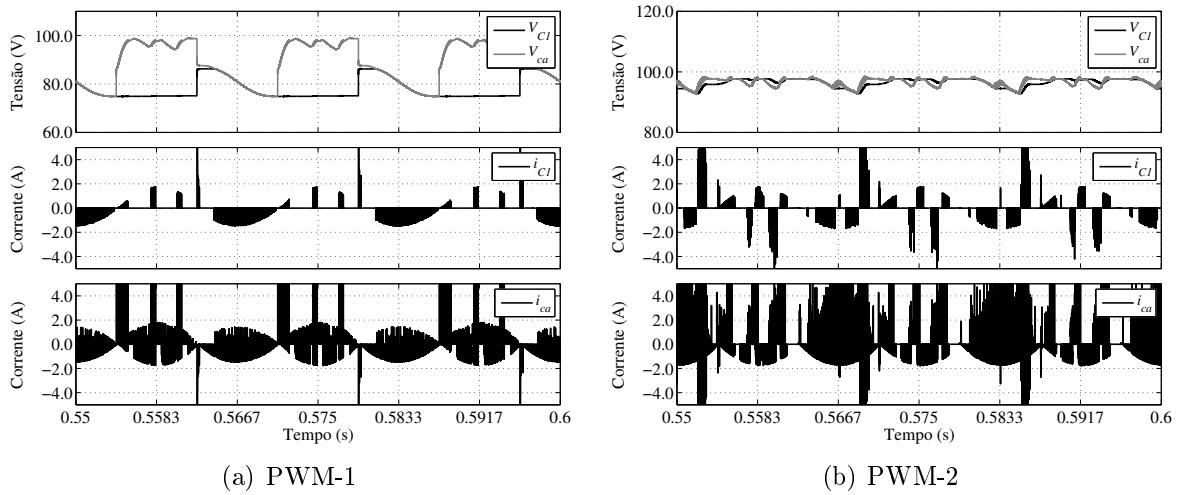


Figura 3.14: Resultados de simulação para a tensão e corrente nos capacitores para o inversor Hyb03

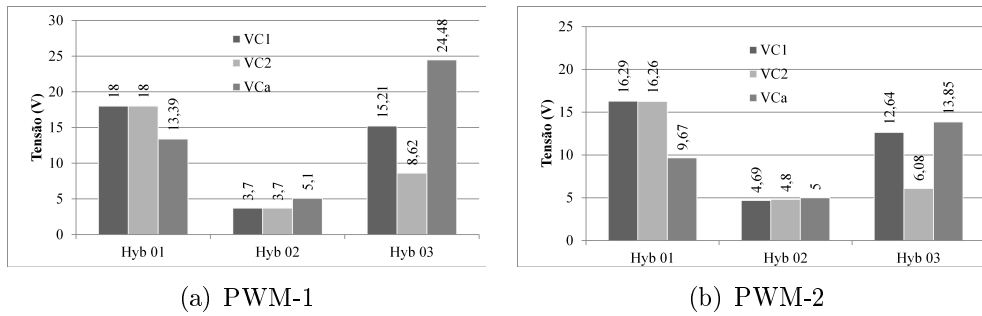


Figura 3.15: Ondulação de tensão nos capacitores do barramento e no capacitor flutuante

Pode-se perceber que a topologia Hyb02 apresenta melhor desempenho. Na topologia Hyb02 as tensões dos capacitores do barramento (C_1 e C_2) são definidas pela tensão do capacitor da fonte (C_a). Para as topologias Hyb01 e Hyb03, o capacitor flutuante não tem sua tensão definida por uma fonte, mas apenas pela associação em paralelo com os capacitores do barramento CC.

Perdas de alta Frequência do Barramento CC

Neste tópico será apresenta uma estimativa para as perdas do barramento CC. Neste caso, a operação das configurações convencionais e propostas foram fixadas nas mesmas condições, ou seja, $V_{DC} = 200V$ e índice do modulação em amplitude (ma) em três valores, 1, 0, 75 e 0, 50.

As perdas de alta frequência são calculadas por:

$$P_{loss}^{HO} = N_c(0,45)[ESR]_{(100Hz)}(I_{c(rms)}^{HO})^2 \quad (3.7)$$

onde N_c é o número de capacitores, $I_{c(rms)}^{HO}$ é a componente de alta ordem *rms* da corrente do capacitor (com $h > 50$), $[ESR]_{(100Hz)}$ corresponde à resistência equivalente em série para a frequência em 100 Hz. A ESR pode ser considerada constante para frequência maiores do que 3kHz. Como os capacitores são iguais as P_{loss}^{HO} dependem apenas da $I_{c(rms)}^{HO}$.

Tabela 3.6: Correntes normalizadas no barramento e no capacitor flutuante para o PWM-1 ($I_{c(rms)}^{HO} / I_{c(rms)(Hyb01)}^{HO}$)

m_a	Barramento CC			Capacitor Flutuante		
	Hyb01	Hyb02	Hyb03	Hyb01	Hyb02	Hyb03
0,50	1,0	0,16	2,41	1,0	0,91	2,4
0,75	1,0	0,23	1,87	1,0	0,46	2,03
1,00	1,0	0,21	1,56	1,0	0,29	1,70

A Tabela 3.6 indica os valores das correntes das topologias normalizadas pela topologia Hyb01 (i.e. $I_{c(rms)}^{HO} / I_{c(rms)(Hyb01)}^{HO}$) para a operação com o PWM-1. Note que a topologia Hyb02 apresenta uma redução de perdas no capacitores do barramento CC e no capacitor flutuante em todos os pontos de operação em relação à topologia Hyb01. Já Hyb03 apresenta um aumento nas perdas nessas mesmas condições.

Na operação com $m_a = 1$ a topologia Hyb02 apresenta uma redução de 79% e 71% para o barramento CC e capacitor flutuante, respectivamente. Já Hyb03 apresenta um aumento de 56% e 70% para o barramento CC e capacitor flutuante, respectivamente.

A Tabela 3.7 indica as correntes normalizadas para a operação com o PWM-2. Seguindo o mesmo padrão do PWM-1 a topologia Hyb02 apresenta uma redução de perdas no barramento CC e no capacitor flutuante em todos os pontos de operação e Hyb03 apresenta um aumento de perdas nessas mesmas condições.

Na operação com $m_a = 1$ a topologia Hyb02 apresenta uma redução de 75% e 64% para o barramento CC e capacitor flutuante, respectivamente. Diferentemente da modulação PWM-1 nessas condições a topologia Hyb03 apresenta uma redução de 6% para o barramento CC e para o capacitor flutuante apresenta os mesmos valores de perdas.

Tabela 3.7: Correntes normalizadas do barramento e capacitor flutuante para o PWM-2 $I_{c(rms)}^{HO} / I_{c(rms)(Hyb01)}^{HO}$

ma	Barramento CC			Capacitor Flutuante		
	Hyb01	Hyb02	Hyb03	Hyb01	Hyb02	Hyb03
0,50	1,0	0,44	1,16	1,0	1,51	1,35
0,75	1,0	0,46	1,12	1,0	0,92	1,21
1,00	1,0	0,25	0,94	1,0	0,36	1,00

3.2.6 Análise do Estresse das Chaves

O estudo do estresse das chaves será realizado considerando-se dois aspectos. Primeiro considerando a influência do estresse térmico. E o segundo observando as perdas de condução e chaveamento produzidos em cada configuração da topologia híbrida.

Estresse Térmico das Chaves

O estresse térmico está relacionado diretamente com a confiabilidade, custo e densidade de potência do inversor. O cálculo do estresse foi feito utilizando a ferramenta *PSIM*, onde a célula e o dissipador foram configurados com bases nos dispositivos da Semikron o *SKM50GB12T4* e *KL - 285 - P3 - 300*, respectivamente.

O modelo térmico para as chaves de potência pode transferir as perdas de energia gerada, em termos térmicos, em diferentes locais dos dispositivos de potência (por exemplo, na junção, no case, ou dissipador de calor). Normalmente, o comportamento térmico de um determinado material é representado pela resistência térmica R_{th} . A impedância térmica total da chave de potência a partir da junção ns temperatura ambiente pode ser modelada como redes térmicas resistivas em cascata que representam diferentes camadas de material.

As perdas de entrada do sistema são obtidas pela ferramenta Thermal Module do *PSIM* e as resistências térmicas foram extraídas dos "datasheets" de cada componente. A temperatura de junção é calculada para as chaves e diodos de cada célula. Na Figura 3.16 são ilustradas as curvas das temperaturas de junção para cada topologia. Onde, T_{jSi} e T_{jDi} são as temperaturas de junção das chaves e dos diodos de cada célula, respectivamente com $i=1,2,3$.

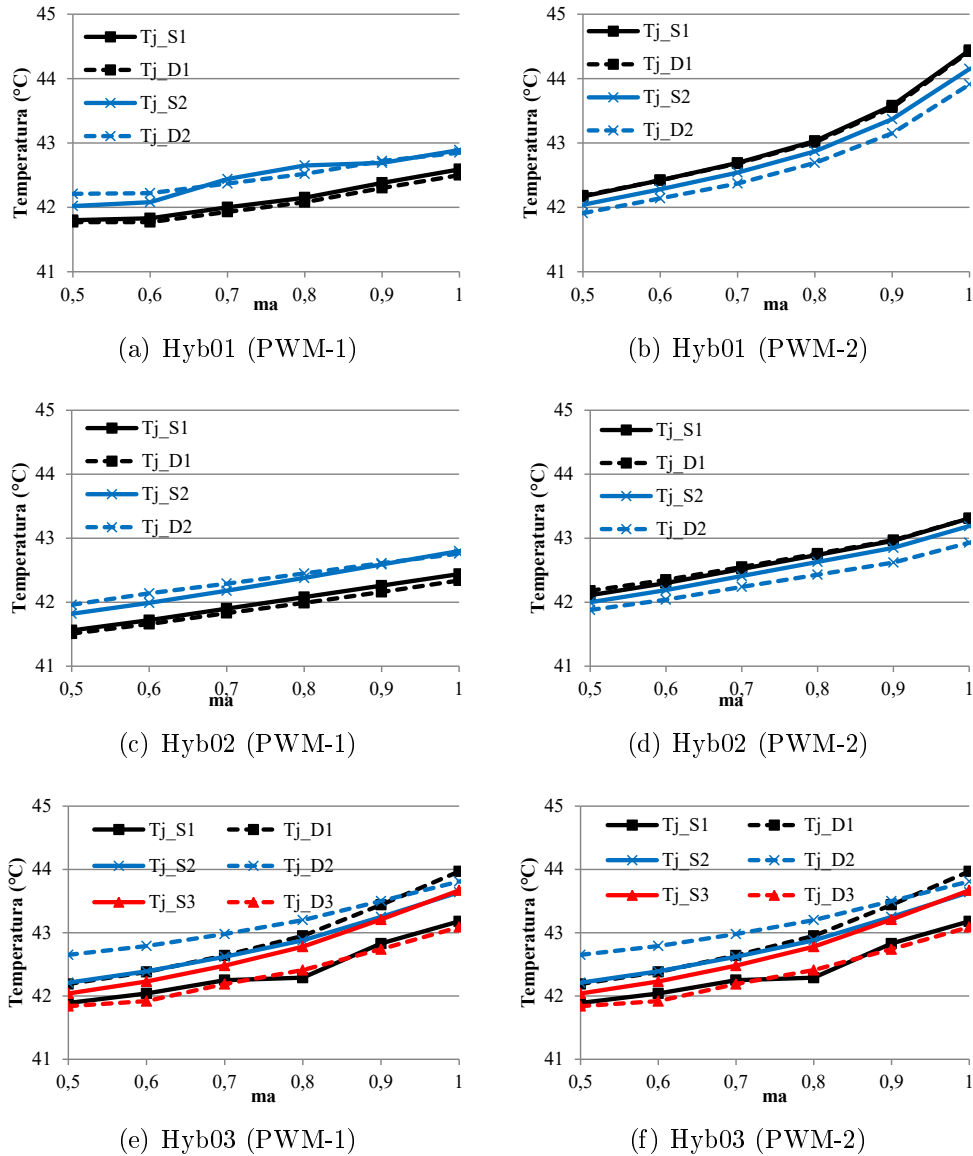


Figura 3.16: Temperatura de junção

Para as topologias Hyb01 e Hyb02 a temperatura de junção da célula 03 é igual a célula 01, por isso, para essas topologias são apresentados apenas os resultados das célula 01 e da célula 02.

A variação de temperatura de junção das chaves e dos diodos para as três topologias operando nos PWM-1 e PWM-2 é aproximadamente zero. Destaca-se o caso da topologia Hyb03, operando com o PWM-2, que se tem uma temperatura média de $42,46\text{ }^{\circ}\text{C}$ com $ma = 0,5$ e de $44,67^{\circ}\text{C}$ com $ma = 1,0$, isto representa apenas uma diferença de $2,2^{\circ}\text{C}$.

Também foi analisada a evolução da temperatura de junção em função do aumento da tensão do barramento CC. As Tabelas 3.8 e 3.9 apresentam dados de temperatura de junção

média como a temperatura média normalizada para o PWM-1 e PWM-2. A temperatura de junção cresce a medida em que a tensão do barramento também aumenta. No entanto, a taxa de crescimento varia de acordo com a topologia.

No caso da operação com o PWM-1 (ver Tabela 3.8) observa-se que para $V_{DC} = 200V$ as topologias Hyb01 e Hyb03 apresentam um aumento de temperatura em relação a topologia Hyb02 de 4% e 1%, respectivamente. No entanto, quando $V_{DC} = 1800V$ a diferença sobe para 15% e 44% para as topologias Hyb01 e Hyb03, respectivamente.

Tabela 3.8: Temperatura de junção para variação da tensão do barramento na modulação PWM-1

V_{DC}	Temperatura Média de Junção ($^{\circ}C$)			Temperatura Normalizada Tj_{Hyb0x}/Tj_{Hyb02}		
	Hyb01	Hyb02	Hyb03	Hyb01	Hyb02	Hyb03
200	42,40	42,34	43,16	1,04	1,00	1,01
600	50,37	49,34	55,05	1,04	1,00	1,15
1800	97,37	85,27	122,79	1,15	1,00	1,44

No PWM-2 o comportamento se repete. Se em $V_{DC} = 200V$ a topologia Hyb01 apresentava um aumento de apenas 1%, para $V_{DC} = 1800V$ este valor chega a 10%.

Tabela 3.9: Temperatura de junção para variação da tensão do barramento na modulação PWM-2

V_{DC}	Temperatura Média de Junção ($^{\circ}C$)			Temperatura Normalizada Tj_{Hyb0x}/Tj_{Hyb02}		
	Hyb01	Hyb02	Hyb03	Hyb01	Hyb02	Hyb03
200	43,46	42,89	43,92	1,01	1,00	1,02
600	55,61	53,19	57,64	1,05	1,00	1,08
1800	120,51	110,02	137,17	1,10	1,00	1,24

A Tabela 3.10 ilustra uma comparação entre o desempenho dos PWM. Foi tomada como base a topologia Hyb02 por ela apresentar temperatura de junção menor do que as outras topologias. Neste caso é utilizada a temperatura média do PWM-1 para normalizar. O PWM-1 apresenta temperaturas mais baixas do que o PWM-2, valores que podem chegar a 29% de diferença no caso em que $V_{DC} = 1800V$.

Tabela 3.10: Comparação de desempenho da topologia Hyb02 em termos de estresse

V_{DC}	Temperatura Média de Junção ($^{\circ}C$)		Temperatura Normalizada $T_{j_{Hyb0x}}/T_{j_{Hyb02}}$	
	PWM-1	PWM-2	PWM-1	PWM-2
200	42,34	42,89	1,00	1,01
600	49,34	53,19	1,00	1,07
1800	85,27	110,02	1,00	1,29

Perdas de Condução e de Chaveamento nas Chaves

Os inversores realizam conversão de energia o que torna essencial se ter uma análise da eficiência do inversor. A eficiência é estimada principalmente pelo o cálculo das perdas nas chaves.

Para o cálculo de perdas é necessário garantir que todas as topologias forneçam para a carga uma tensão que possua o mesmo valor rms para a mesma WTHD. Para garantir a mesma tensão rms todas as topologias foram simuladas com o índice de modulação de 0,9. Já a WTHD foi fixado, em 0,62. Para isso as topologias Hyb01, Hyb02 e Hyb03 foram simuladas nas frequências de 5,50 kHz, 6,50 kHz e 7,25 kHz.

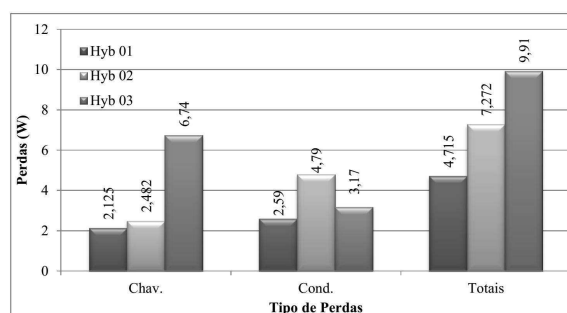


Figura 3.17: Perdas nas chaves para operação com o PWM-2

A Figura 3.17 ilustra as perdas de chaveamento, de condução e perdas totais para a operação usando a técnica de modulação PWM-2. A topologia convencional (Hyb01) possui menores perdas, pois é a topologia com a menor frequência de chaveamento. Para a topologia Hyb02 é indicada perdas totais de 7,27 W enquanto que Hyb01 apenas 4,71 W, ou seja, um

aumento de 35,11%.

3.2.7 Resultados Experimentais

A Tabela 3.11 apresenta os parâmetros utilizados para o procedimento experimental do sistema proposto.

Tabela 3.11: Parametros do procedimento experimental

Parâmetro	Símbolo	Valor
Tensão do Barramento	V_{DC}	200 V
Tensão do Cap. Flutuante	V_{ca}	100 V
Carga RL	R_o/L_o	50 Ω / 7 mH
freq. chaveamento	f_s	10 kHz
Capacitores do Barramento	C_1 e C_2	2200 uF
Capacitor flutuante	C_a	2200 uF

A Figura 3.18 ilustra as curvas da corrente e da tensão de saída para cada topologia operando nas condições das técnicas de modulação PWM-1 e PWM-2.

A Figura 3.19 ilustra as curvas das correntes e das tensões no capacitor C_1 o barramento e no capacitor central C_a para as topologias Hyb01, Hyb02 e Hyb03.

3.3 Inversor Monofásico Fonte Flutuante (FF)

A topologia básica do inversor monofásico FF (Fonte Flutuante) é ilustrada na figura 3.20(a). O inversor FF tem por base a topologia FC substituindo o capacitor flutuante por uma fonte de tensão (V_{ca}). A proposta do inversor FF é variar o valor da tensão desta fonte para operar em quatro níveis. Se $V_{ca} = \frac{V_{DC}}{2}$ a topologia FF produz uma tensão de saída de três níveis e se $V_{ca} = \frac{V_{DC}}{3}$ a topologia produz uma tensão de saída de quatro níveis.

Nesta topologia é necessário utilizar duas fontes de tensão. Uma conectada no barramento e outra conectada no ponto flutuante. No intuito de utilizar apenas uma fonte de tensão reduzida foi conectado um conversor flyback entre a fonte flutuante e o barramento CC (ver Figura 3.20(b)). Desta forma, é possível controlar a tensão de saída (V_{DC}) do

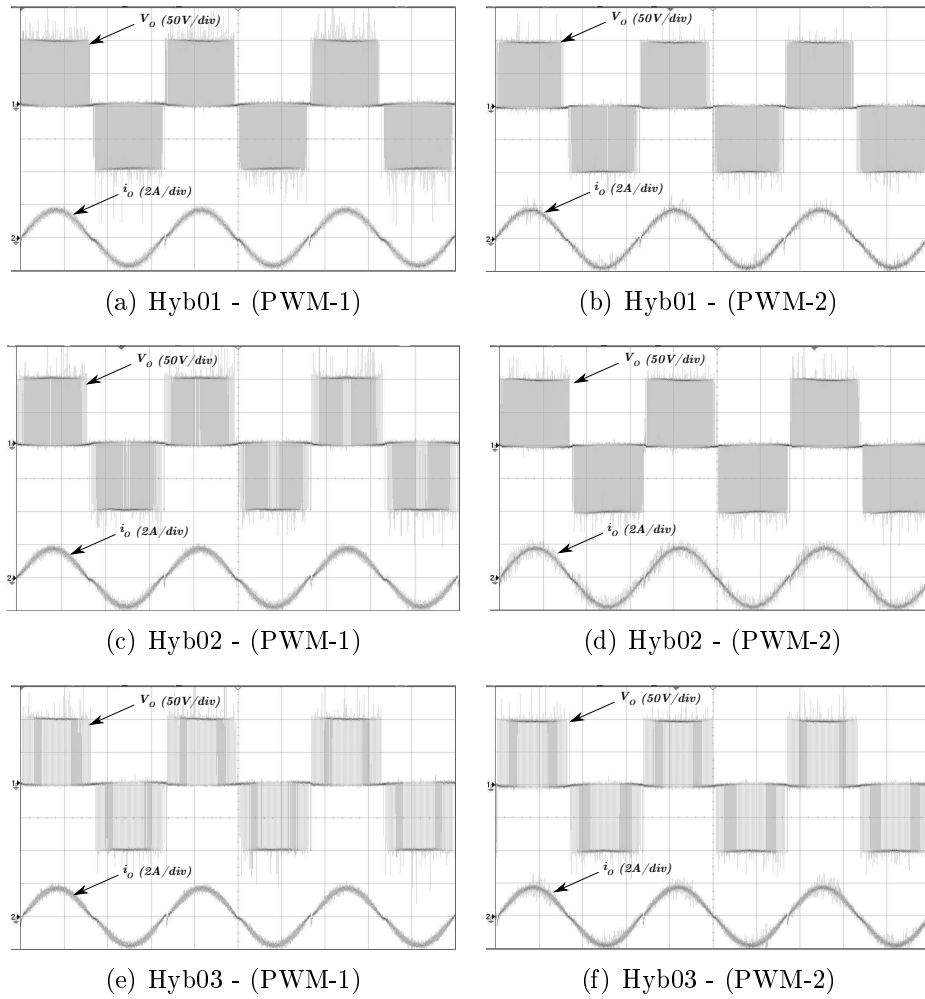


Figura 3.18: Resultados experimental para a tensão e corrente de saída para os inversores Hyb01, Hyb02 e Hyb03 operando-os nas técnicas de modulação PWM-1 e PWM-2

flyBack em função da tensão de entrada (V_{ca}).

Devido às altas oscilações de correntes, o flyback é menos eficiente do que outros modelos e, portanto, não é geralmente usado para aplicações de alta potência. Além disso, o flyback pode ter picos de tensão no primário que poderá comprometer outros componentes e diminuir a confiabilidade do sistema (MAGNETICS, 2013; Halder, 2013; Holguin et al., 2015; Papanikolaou e Tatakis, 2002). Apesar dessa desvantagem a topologia flyback é muito utilizado. Nas condições desta aplicação a potência máxima processada pelo flyback é de 100W, que é considerada um valor aceitável (Causo et al., 2013; Larouci et al., 2002).

Nesta seção será apresentado o princípio de operação, modelo e modulação PWM do inversor FF. Em seguida será apresentada uma análise comparativa das operações em três e

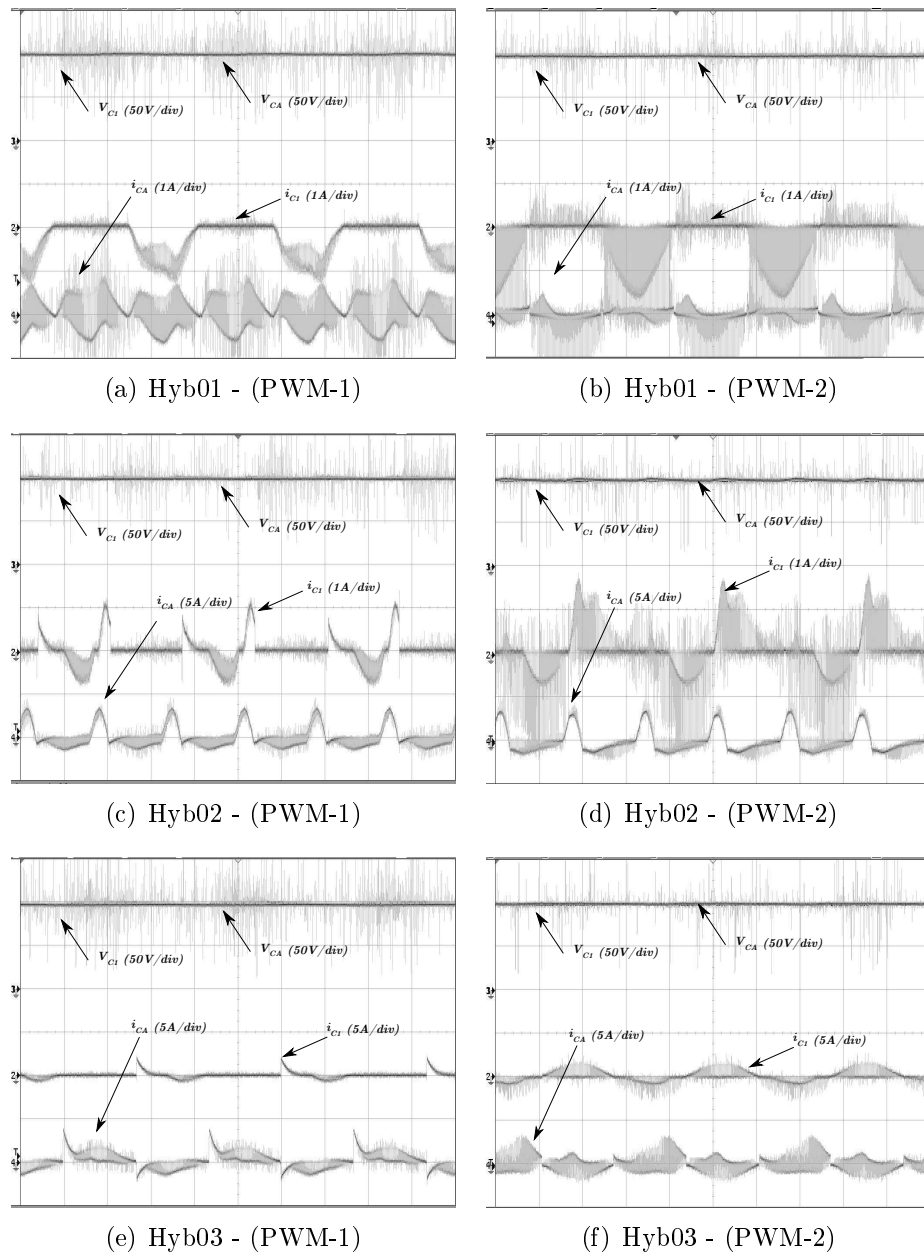


Figura 3.19: Resultados experimental para a tensão e corrente nos capacitores do barramento para os inversores Hyb01, Hyb02 e Hyb03 operando-os nas técnicas de modulação PWM-1 e PWM-2

quatro níveis.

3.3.1 Princípio de Operação

A Tabela 3.12 apresenta os possíveis estados de chaveamento do inversor FF. O padrão de chaveamento é o mesmo utilizado no inversor FC. Observe que quando $V_{ca} = \frac{V_{DC}}{2}$ existem dois estados em que a tensão de saída é igual a 0. Todavia, se a tensão da fonte flutuante

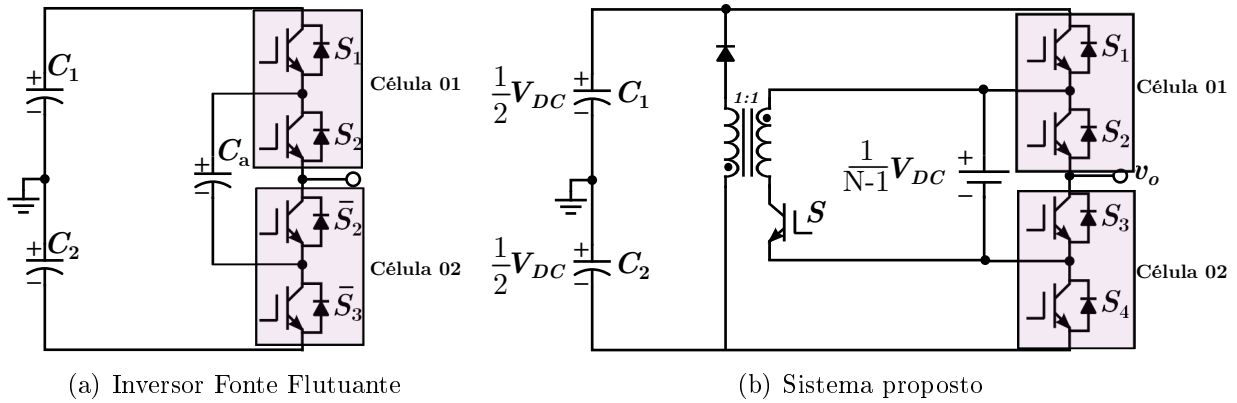


Figura 3.20: Sistema proposto para aplicação com fonte de tensão reduzida utilizando como base o inversor FC

for $V_{ca} = \frac{V_{DC}}{3}$ para cada estado de chaveamento existe um nível definido.

Tabela 3.12: Estados das Chaves e Tensão de Polo

Estado.	S_1	S_2	S_3	S_4	V_o (3L)	V_o (4L)
1	1	1	0	0	$V_{DC}/2$	$V_{DC}/2$
2	1	0	1	0	0	$V_{DC}/6$
3	0	1	0	1	0	$-V_{DC}/6$
4	0	0	1	1	$-V_{DC}/2$	$-V_{DC}/2$

Na Figura 3.21 são mostrados os modos de operação para cada estado de chaveamento. No caso do inversor operando em 3 níveis os estados 2 e 3 estão associados a tensão nula. A diferença dos dois estados de chaveamento é que no estado 2 o capacitor C_a é carregado e no estado 3 o capacitor é descarregado.

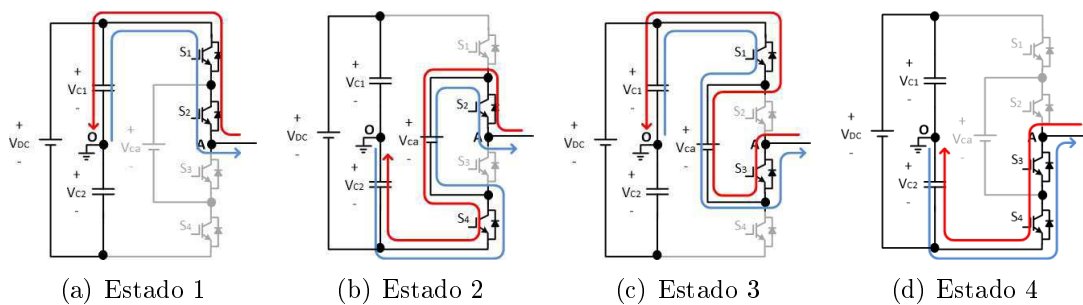


Figura 3.21: Esquema das configurações com a condução de corrente para a topologia FF

Em 4 níveis cada estado está associado a um nível de tensão, portanto não há como realizar o controle da tensão flutuante. Com isso, a utilização do conversor flyBack é necessário

não só para isolar a tensão mas para tornar possível que o nível de tensão seja definido em um terço do barramento, garantindo assim, os 4 níveis.

3.3.2 Modelo e Modulação PWM

Modelo

A Figura 3.22 ilustra o circuito equivalente para o inversor FF. As chaves S_1 e S_2 são representadas pelas variáveis de estado q_{S1} e q_{S3} , respectivamente. Aplicando a Lei de Kirchhoff no circuito equivalente tem a seguinte equação:

$$v_o - R_o i_o - L_o (di_o/dt) = 0 \quad (3.8)$$

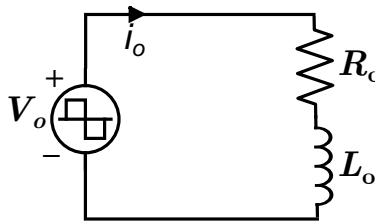


Figura 3.22: Modelo do inversor FF

A tensão de saída (v_o) é definida em função dos estados de chaveamento. Para a operação em três níveis a equação é definida por:

$$V_o = (q_{S1} + q_{S2} - 1)(V_{DC}/2) \quad (3.9)$$

Para a operação em quatro níveis a equação é definida por:

Se $(V_o \leq \frac{V_{DC}}{6}$ ou $V_o \leq \frac{-V_{DC}}{6}$)

$$V_o = (q_{S1} + q_{S2} - 1)(V_{DC}/2) \quad (3.10)$$

Se $(V_o \leq \frac{V_{DC}}{6}$ e $V_o > \frac{-V_{DC}}{6}$)

$$V_o = (q_{S1} - q_{S2})(V_{DC}/6) \quad (3.11)$$

A tensão do barramento é dado por:

$$V_{DC} = \frac{N_1}{N_2} \frac{d_S}{(1 - d_S)} V_{ca} \quad (3.12)$$

onde, $N_1 = N_2$ e que representam os números de espira do transformador e d_S a relação cíclica da chave do flyback.

Modulação PWM

A técnica de modulação é dividida em quatro passos, eles são:

Passo um: definem-se os níveis do inversor, onde cada nível é representado por um eixo horizontal.

Passo dois: calcula-se o valor da variável P_a que é a diferença entre o eixo superior e a tensão de referência.

Passo três: calcula-se os intervalos de tempo em que as chaves permanecem em condução e bloqueio, em um determinado período de modulação (TS), em seguida determinasse os tempos de transição.

Passo quatro: definem-se os estados de condução das variáveis de estados q_{S1} e q_{S2} das chaves $S1$ e $S2$, respectivamente.

Para operação em Três Níveis

A técnica de modulação está ilustrada na Figura 3.23. Os passos referente a modulação em três níveis são:

Passo um: os eixos são: eixo[1] = $V_{DC}/2$, eixo[2] = 0 e eixo[3] = $-V_{DC}/2$

Passo dois: cálculo do valor da variável P_a :

Se ($V_o^* > 0$) $\Rightarrow P_a = eixo[1] - V_o^*$;

Se ($V_o^* < 0$) $\Rightarrow P_a = eixo[2] - V_o^*$;

Passo três: cálculo dos intervalos de tempo em que as chaves permanecem em condução (Tc) e bloqueio (Tb):

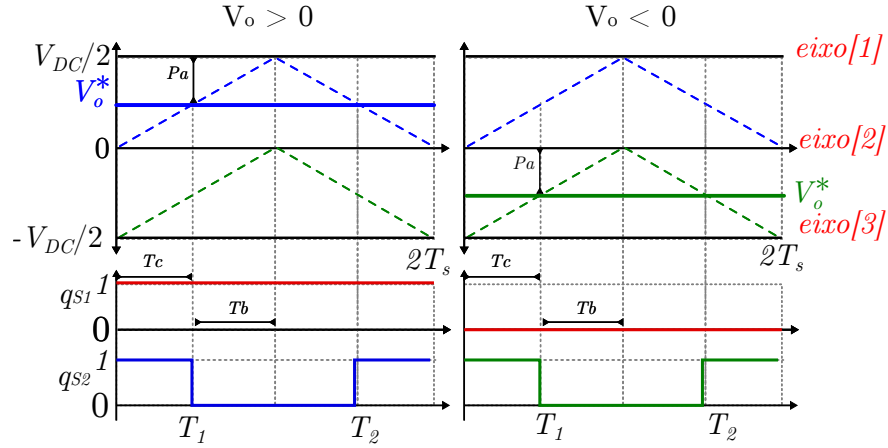


Figura 3.23: Estratégia de Modulação PWM para 3 níveis

$$T_b = 2\left(\frac{P_a}{V_{DC}}\right)T_s; \quad (3.13)$$

$$T_c = T_s - T_b. \quad (3.14)$$

Cálculo dos tempos de transição:

$$T_1 = t + T_c; \quad (3.15)$$

$$T_2 = T_1 + 2T_b. \quad (3.16)$$

Passo quatro: lógica das variáveis de estados q_{S1} e q_{S2} :

Se ($V_o^* > 0$) {

$$q_{S1} = 1;$$

$$\text{Se } (t \leq T_1 \text{ ou } t > T_2) \text{ } q_{S2} = 1;$$

$$\text{Se } (t > T_1 \text{ e } t \leq T_2) \text{ } q_{S2} = 0;$$

}

Se ($V_o^* \leq 0$) {

$$q_{S1} = 0;$$

$$\text{Se } (t \leq T_1 \text{ ou } t > T_2) \text{ } q_{S2} = 1;$$

$$\text{Se } (t \leq T_1 \text{ e } t \leq T_2) \text{ } q_{S2} = 0;$$

}

Para operação em Quatro Níveis

A técnica de modulação está ilustrada na Figura 3.24, os passos referente a modulação em quatro níveis são descritos a seguir.

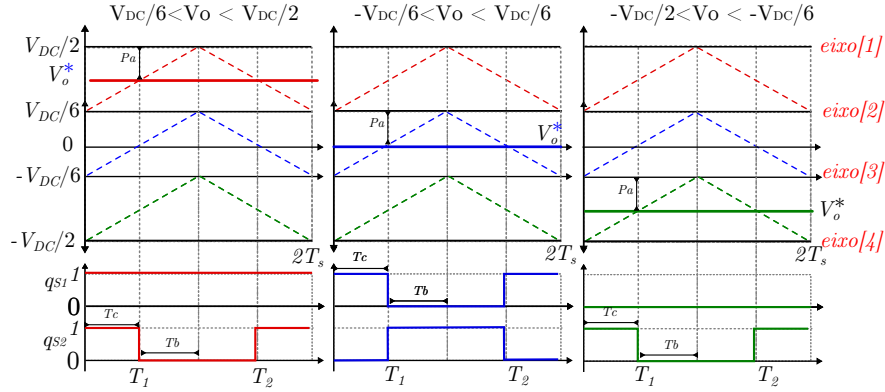


Figura 3.24: Estratégia de Modulação PWM para 3 níveis

Passo um: Os eixos são: eixo[1] = $V_{DC}/2$, eixo[2] = $V_{DC}/6$, eixo[3] = $-V_{DC}/6$ e eixo[4] = $-V_{DC}/2$.

Passo dois: Cálculo do valor da variável P_a :

$$\text{Se } (V_o^* > V_{DC}/6) \Rightarrow P_a = \text{eixo}[1] - V_o^*;$$

$$\text{Se } (V_o^* > -V_{DC}/6) \Rightarrow P_a = \text{eixo}[2] - V_o^*;$$

$$\text{Se } (V_o^* > -V_{DC}/2) \Rightarrow P_a = \text{eixo}[3] - V_o^*.$$

Passo três: Cálculo dos intervalos de tempo em que as chaves permanecem em condução (T_c) e bloqueio (T_b):

$$T_b = 2\left(\frac{P_a}{V_{DC}}\right)T_S; \quad (3.17)$$

$$T_c = T_S - T_b. \quad (3.18)$$

Cálculo dos tempos de transição:

$$T_1 = t + T_c; \quad (3.19)$$

$$T_2 = T_1 + 2T_b. \quad (3.20)$$

Passo quatro: lógica das variáveis de estados q_{S1} e q_{S2} :

Se $(\frac{V_{DC}}{6} \leq V_{ao} \leq \frac{V_{DC}}{2})\{$

$q_{S1} = 1;$

Se $(t \leq T_1$ ou $t > T_2)$ $q_{S2} = 1;$

Se $(t > T_1$ e $t \leq T_2)$ $q_{S2} = 0;$

$\}$

Se $(\frac{-V_{DC}}{6} \leq V_{ao} \leq \frac{V_{DC}}{6})\{$

Se $(t \leq T_1$ ou $t > T_2)\{$

$q_{S1} = 1;$

$q_{S2} = 0;$

$\}$

Se $(t > T_1$ e $t \leq T_2)\{$

$q_{S1} = 0;$

$q_{S2} = 1;$

$\} \}$

Se $(\frac{-V_{DC}}{2} \leq V_{ao} \leq \frac{-V_{DC}}{6})\{$

$q_{S1} = 0;$

Se $(t \leq T_1$ ou $t > T_2)$ $q_{S2} = 1;$

Se $(t > T_1$ e $t \leq T_2)$ $q_{S2} = 0;$

$\}$

3.3.3 Controle

O diagrama de controle está ilustrado na Figura 3.25. A tensão de referência do barramento CC, V_{DC}^* , é comparada com a tensão lida V_{DC} . O erro desta comparação é a entrada do controlador proporcional mais integral implementado no bloco Ra . A saída deste controlador é o sinal de referência é a razão cíclica da chave do flyback.

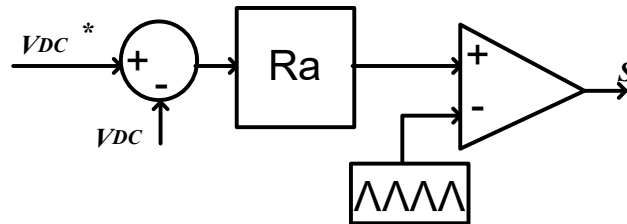


Figura 3.25: Diagrama de controle do Barramento CC

O ajuste da tensão de referência é definido com base na quantidade de níveis gerados pelo inversor FF. A tensão de referência assume os valores de $V_{DC}^* = 2V_{ca}$ e $V_{DC}^* = 3V_{ca}$ para as operações em três e quatro níveis, respectivamente.

3.3.4 Análise da Qualidade dos Sinais de Saída

Neste trabalho foi possível obter resultados de simulação e experimentais para as operações em três e quatro níveis. As plataformas de simulação e experimental onde os resultados foram obtidos estão mostradas no indicados B. Na Tabela 3.13 são apresentadas os parâmetros utilizados tanto na parte de simulação como na parte experimental.

Tabela 3.13: Parametros de Simulação e Experimental para o inversor FF

Parâmetro	Símbolo	Valor
Tensão do Barramento	V_{DC}	200 V
Tensão da Fonte Flutuante	V_{ca}	100V - 3N / 66,67V - 4N
Carga RL	R_o/L_o	50 Ω / 7 mH
freq. chaveamento	f_s	10 kHz
Capacitores do Barramento	C_1 e C_2	2200 uF
Capacitor flutuante	C_a	2200 uF
Relação $N1/N2$ do flyback	a	1

As curvas da tensão e da corrente de saída para os resultados de simulação e experimental, das operação em três e quatro níveis são ilustradas na Figura 3.26.

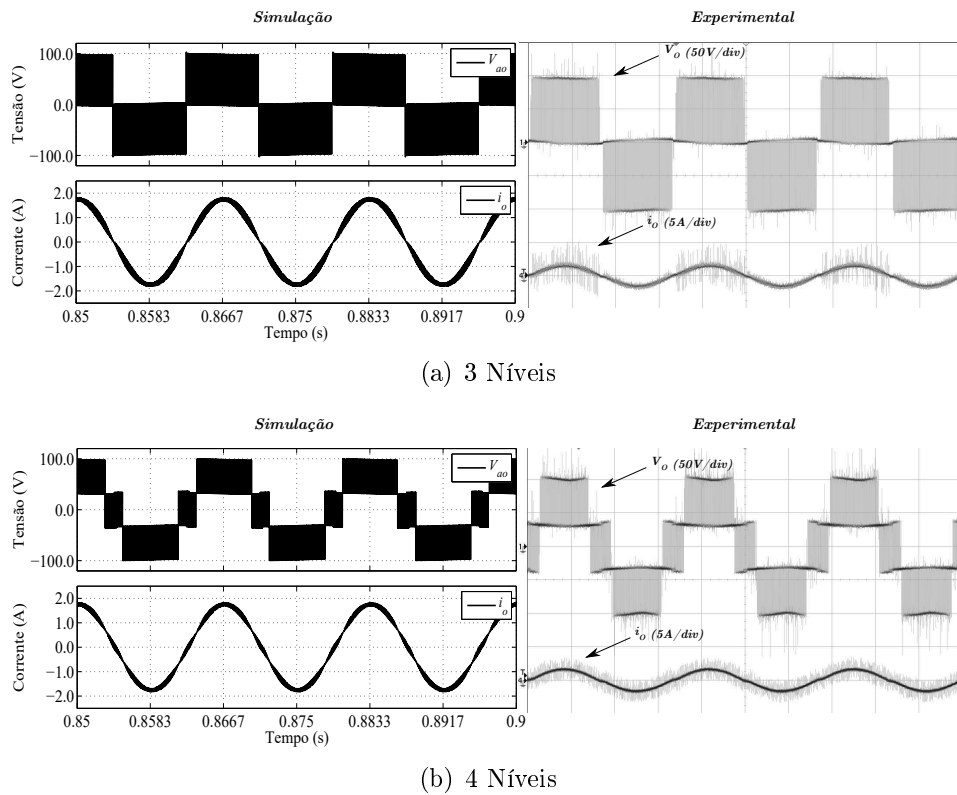


Figura 3.26: Resultados de simulação e experimental para tensão e corrente de saída para o inversor FF

Análise do THD de Corrente e WTHD de Tensão

A THD e WTHD são utilizadas neste trabalho para a determinação da distorção da corrente e da tensão aplicadas pelo inversor à carga. Na Figura 3.27 são apresentadas as curvas da THD de corrente e da WTHD de tensão em relação ao índice de modulação em amplitude.

Com a possibilidade de operar em quatro níveis o inversor FF, que inicialmente foi projetado para operar em três níveis, permite melhorar a qualidade do sinal de saída, como pode ser verificado nas Figuras 3.27(a) e 3.27(b).

Em relação ao THD de corrente, verifica-se uma redução de 49,13% quando $m_a = 0,5$ e de 31,70% para $m_a = 1,0$. Já em relação ao WTHD de tensão, verifica-se uma redução de 41,97% para $m_a = 0,5$ e de 27,02% para $m_a = 1,0$.

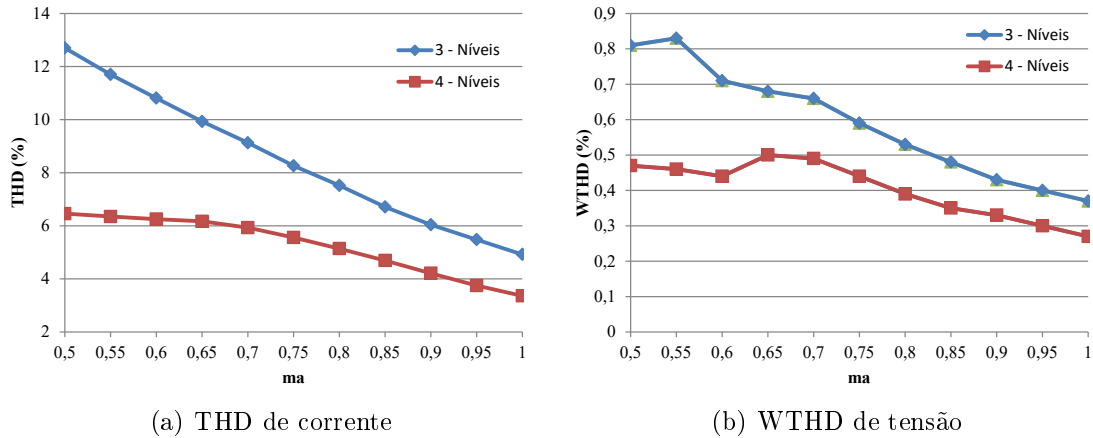


Figura 3.27: Comparativo do THD de Corrente e WTHD de tensão para operação em três e quatro níveis

3.3.5 Análise do Barramento CC

Seguindo o mesmo padrão de análise da seção anterior serão analisados dois aspectos do barramento CC:

- a ondulação da tensão nos capacitores;
- e as perdas de alta frequência do barramento CC.

A Figura 3.28 as curvas de simulação para a tensão e corrente do capacitor C_1 do barramento e para a tensão da fonte flutuante obtidas por simulação.

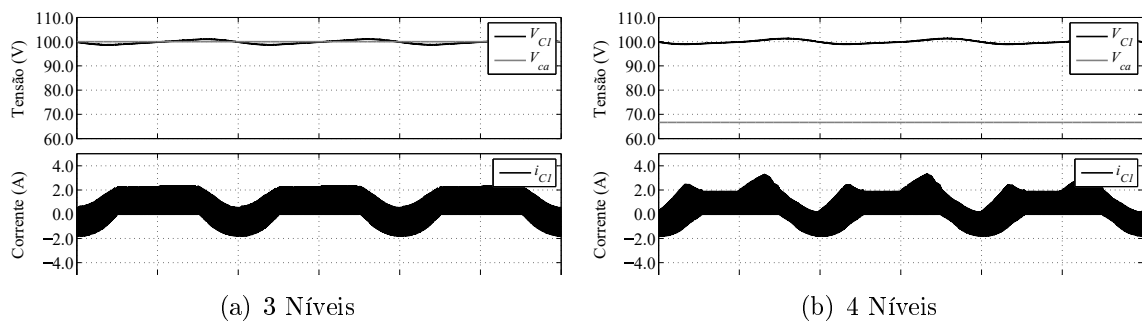


Figura 3.28: Resultados de simulação para a tensão e corrente nos capacitores do barramento CC

Ondulação da Tensão nos Capacitores

A Figura 3.29 ilustra os gráficos de colunas para a ondulação de tensão nos capacitores considerando a operação em três e quatro níveis.

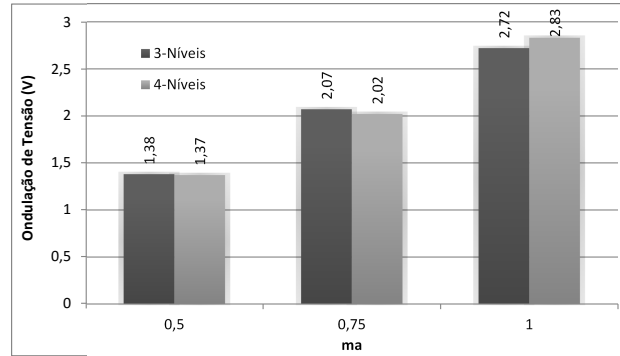


Figura 3.29: Ondulação de tensão nos capacitores do barramento CC

Pode-se perceber que a ondulação da tensão nos capacitores não sofrem tanta mudança quando se opera em 4 níveis. Para os índices de modulação de 0,5 e 0,75 há uma redução na ondulação de tensão na operação em 4 níveis de 0,72% e 2,41%, respectivamente. Para o índice de modulação unitário há um aumento de 4,04% quando comparado com a operação em três níveis.

Perdas de alta Frequência do Barramento CC

Neste tópico será apresentado uma estimativa para as perdas do barramento CC. Neste caso, a operação das configurações convencionais e propostas foram fixadas nas mesmas condições, ou seja, $V_{DC} = 200V$ e índice do modulação em amplitude (m_a) em três valores (1,0; 0,75 e 0,50).

As perdas de alta frequência são calculadas por:

$$P_{loss}^{HO} = N(0,45)[ESR]_{(100Hz)}(I_{c(rms)}^{HO})^2 \quad (3.21)$$

na Tabela 3.14 estão contidos os valores das correntes das topologias, normalizadas pela operação em 3 níveis (i.e. $I_{c(rms)}^{HO} / I_{c(rms)}^{HO(3N)}$). Percebe-se que para $m_a = 0,5$ a operação em 4 níveis possui uma redução de 4%, enquanto que para $m_a = 1,0$ uma aumento de 8%. Seguindo o mesmo padrão da ondulação de tensão, o inversor FF operando em 4 níveis possui melhor desempenho quando o índice de modulação é próximo de 0,5.

Tabela 3.14: Correntes normalizadas do barramento CC $I_{c(rms)}^{HO} / I_{c(rms)(3N)}^{HO}$

m_a	Barramento CC	
	3 Níveis	4 Níveis
0,50	1,0	0,96
0,75	1,0	1
1,00	1,0	1,08

3.3.6 Análise do Estresse das Chaves

Assim como foi discutido na seção anterior, o estudo do estresse das chaves será composto pelo estresse térmico e pelas perdas de condução e chaveamento.

Estresse Térmico das Chaves

O estresse térmico é cálculo utilizando a ferramenta *PSIM*, onde a célula e o dissipador foram configurados com bases nos dispositivos da Semikron o *SKM50GB12T4* e *P3*, respectivamente. Com base no procedimento apresentado na seção anterior foi calculado a temperatura de junção das chaves controladas e dos diodos do inversor FF (T_{jS} e T_{jD} , respectivamente) e da chave do flyback (T_{jC}).

A Figura 3.30 ilustra as curvas da temperatura de junção, em relação ao índice de modulação, para as chaves e diodos. A temperaturas média de junção da chave do inversor FF (T_{jS}) é de 44,93°C para operação em 3 e 4 níveis (ver Figura 3.30(a)). Já para os diodos em anti-paralelo o inversor FF (T_{jD}) são de 55,08°C e 55,13°C para operação em 3 e 4 níveis, respectivamente (ver Figura 3.30(b), esta diferença é de apenas 0,08%).

A temperatura de junção na chave do conversor flyback é maior do que nas chaves do inverso FF (ver Figura 3.30(c)). Em $m_a = 1,0$, a temperatura de junção (T_{jC}) é de 57,8°C e 59,57°C para a operação em 3 e 4 níveis, respectivamente. Percebe-se que o padrão do estresse térmico não é alterado quando o inversor opera em quatro níveis.

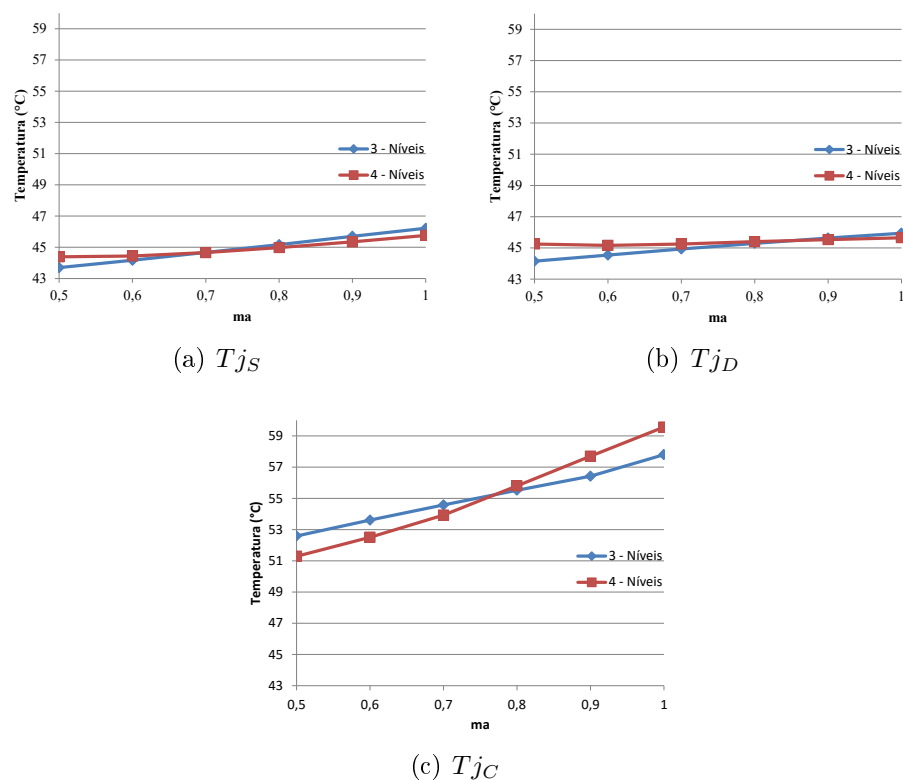


Figura 3.30: Resultados de simulação para a temperatura de junção das chaves e diodos

Perdas de Condução e de Chaveamento nas Chaves

Para comparar as perdas nas chaves, entre as condições de operação, foram ajustadas algumas variáveis, elas são:

- O índice de modulação: Com intuito de produzir a mesma tensão rms tanto na operação em 3 níveis quanto em 4 níveis o índice de modulação foi fixado em 0,9 para ambos os casos;
- A frequência de chaveamento: Com intuito de produzir os sinais com mesma WTHD de tensão, a frequência de chaveamento foi ajustada para 10 kHz e 8 kHz para 3 e 4 níveis, respectivamente.

A Figura 3.31 ilustra as perdas de chaveamento, de condução e totais nas chaves. O inversor operando em 4 níveis possui perdas menores. A redução se dá principalmente pelo fato de se estar operando em uma frequência menor. A operação em 4 níveis apresenta uma

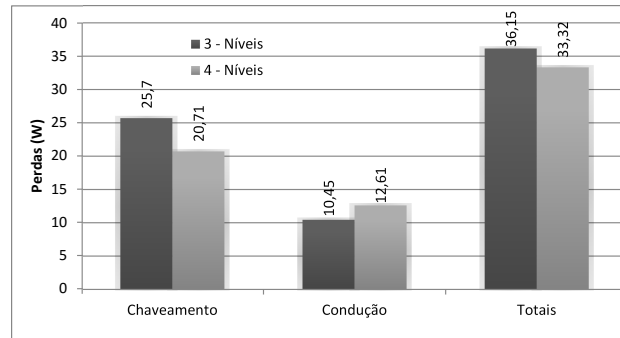


Figura 3.31: Perdas de condução, chaveamento e totais nas chaves

redução de 4,99W e aumento de 2,16W em relação as perdas de chaveamento e condução, respectivamente, totalizando numa diferença de 2,83W que representa uma redução de 7,8%.

3.4 Aplicação do Painel Fotovoltaico ao Inversor Fonte Flutuante

O sistema proposto está representado na Figura 3.32. Um painel fotovoltaico alimenta o inversor multinível por meio de um boost conectado em série com o flyBack. O inversor é baseado na estrutura do inversor a capacitor flutuante, no entanto, a tensão do capacitor flutuante é definida pela saída do conversor flyback. Como a tensão do capacitor não será mais flutuante o inversor será chamado de fonte flutuante, uma vez que o capacitor pode ser representado por uma fonte de tensão.

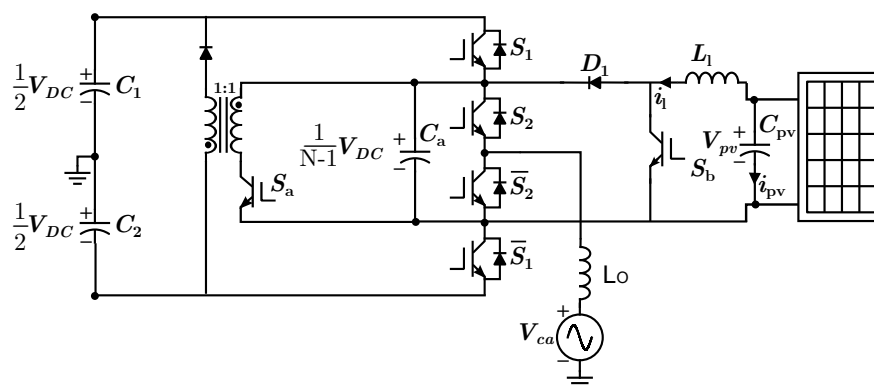


Figura 3.32: Sistema proposto para aplicação com o inversor FF

O sistema foi simulado com base nos dados apresentados na tabela 3.15.

Tabela 3.15: Dados de simulação.

Variável	Valor	Variável	Valor
Dados do Painel Fotovoltaico			
Quant. de Células	36 células em série	Irradiação	$900W/m^2$
C_{pv}	$50\mu F$		
Dados do Conversor Boost			
Ll	$3mH$	Ca	$2200\mu H$
freq. chaveamento	$1kHz$		
Dados do Conversor flyBack			
$N1/N2$	1	$C1$ e $C2$	$2200\mu H$
freq. chaveamento	$1kHz$		
Dados do Inversor FF			
Indutor da Linha L_o	$7mH$	Tensão do grid	$50V$
V_{DC}	$120V$	V_{Ca} para 3 níveis	$60V$
V_{Ca} para 4 níveis	$40V$	freq. do PWM	$10kHz$

Operação

O conversor *Boost* é utilizado para rastrear o ponto máximo de potência que o painel pode operar. A tensão de saída do Boost (V_{Ca}) alimenta o conversor flyBack que é a tensão do capacitor flutuante. A tensão de saída do flyBack estabelece a tensão do barramento ($V_{DC} = V_{C1} + V_{C2}$). O flyBack é utilizado justamente para isolar o capacitor flutuante do barramento *CC*.

Controle

O controle do MPPT é realizado pela regulação da tensão V_{pv} por meio do conversor Boost. Já a tensão de saída do Boost (V_{Ca}) é a tensão do capacitor flutuante, que deve ser regulada em $\frac{V_{DC}}{2}$ para a operação em 3 níveis e em $\frac{V_{DC}}{3}$ para operação em 4 níveis. A tensão de entrada do flyback é definida pela seguinte equação: $\frac{V_{DC}}{V_{Ca}} = \frac{N_2}{N_1} \cdot \frac{d}{1-d}$ onde $N_2 = N_1$. O diagrama de blocos do controle da tensão do flyback é apresentado na Figura 3.33. A tensão V_{Ca} é comparada com a tensão de referência e o erro de tensão é processado por um controlador do tipo *PI*, o controlador responde com o valor da relação cíclica que será utilizada para acionar a chave do flyback.

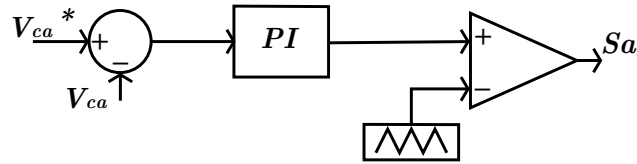


Figura 3.33: Esquema de controle do capacitor flutuante

A Figura 3.34 apresenta o diagrama de controle para a tensão do barramento. A tensão V_{DC} é comparada com o sinal de referência V_{DC}^* , o erro de tensão é processado pelo controlador R_d , que gera a amplitude da corrente que será injetada no grid I_{L0}^* . A corrente é sincronizada com a tensão da rede (por meio do bloco PLL) para se impor o fator de potência unitário. A corrente de referência é comparada com a corrente atual e processada por um controlador de dupla sequência. Na saída do controlador tem-se a tensão de referência que será utilizada na modulação PWM .

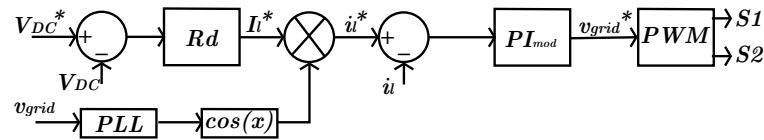


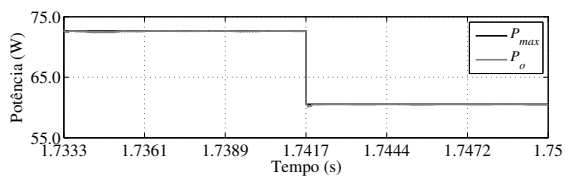
Figura 3.34: Esquema de controle do barramento CC

Resultados

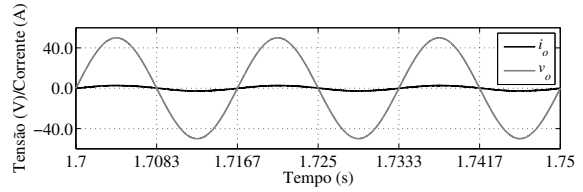
As análises do desempenho da estrutura foram realizadas por meio de simulação. O barramento CC é ajustado para uma tensão de $120V$. Para a estrutura funcionando a três níveis a tensão V_{C1} é ajustada para $60V$, enquanto que para o caso de operar em 4 níveis é ajustado para $40V$ que é um terço da tensão do barramento total. O módulo PV possui 36 células e uma radiação variando de 900 a 1100 W/m^2 (ver Figura 3.35(a)) com temperatura de $25^\circ C$. Essa irradiação produz uma potência média de 67 W . O fator de potência é unitário como mostrado na Figura 3.35(b), a tensão do grid foi de $50V$.

A Figura 3.35(c) apresenta a tensão de polo e as tensões V_{C1} e V_{DC} na operação a três níveis, já a Figura 3.35(d) apresenta a tensão de polo e as tensões V_{C1} e V_{DC} na operação a quatro níveis.

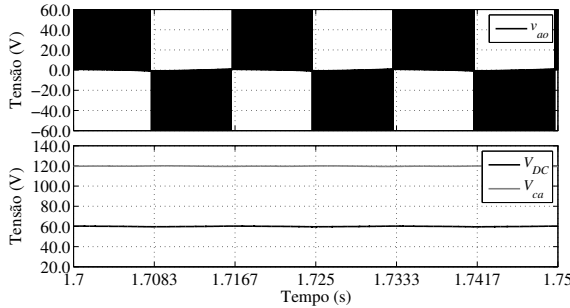
O THD de corrente em três níveis foi de $3,24\%$, já para o caso da aplicação em quatro níveis foi de $2,88\%$. Houve uma redução no THD quando se opera em quatro níveis, o que era de se esperar já que houve um aumento de níveis.



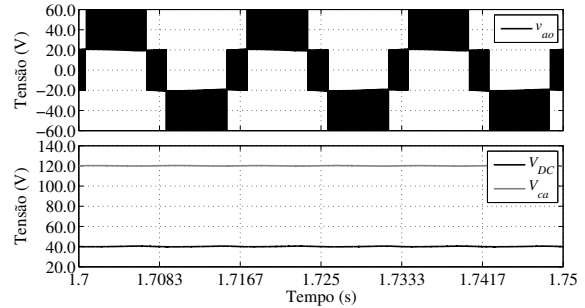
(a) P_{max} e P_o do Pannel Solar



(b) Tensão e Corrente do Grid

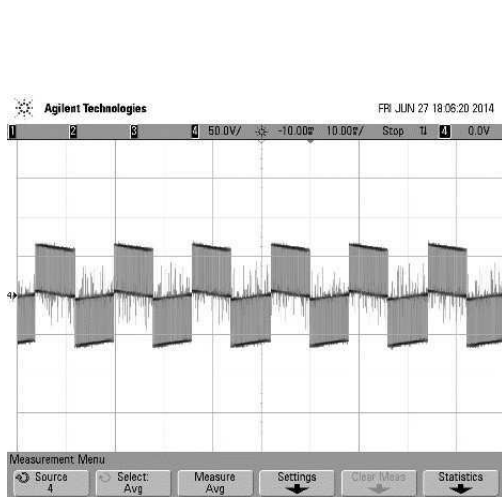


(c) Tensão de polo e dos Capacitores em 3 Níveis

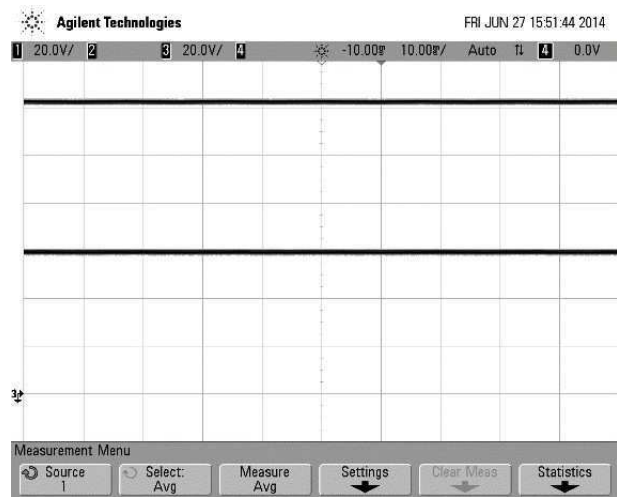


(d) Tensão de polo e dos Capacitores em 4 Níveis

Figura 3.35: Resultados de Simulação



(a) Tensão de polo 3 Níveis



(b) V_{dc} e V_{C1} 3 Níveis

Figura 3.36: Resultados Experimentais

3.5 Conclusões

Nesse capítulo foram apresentadas duas topologias de inversores de três níveis e um sistema com alimentação do painel fotovoltaico, baseadas nas topologias convencionais *NPC*, *ANPC* e *FC*, para aplicação com fonte de tensão reduzida.

A modificação das topologias, ditas convencionais, para operar com fonte de tensão reduzida proporcionou novas operação para a aplicação dos painel fotovoltaicos sem resultar

em perdas de desempenho. Na primeira topologia estudada, o inversor híbrido (IH), denominado neste trabalho como sendo Hyb01 e suas duas variações, sendo a topologia Hyb02 onde a fonte é conectada no lugar do capacitor flutuante e a topologia Hyb03 onde a fonte é conectada no capacitor inferior do barramento CC . Além de alterar a operação das topologia foi necessário uma nova técnica de modulação PWM para mitigar o pico de corrente. A segunda topologia estudada foi o inversor fonte flutuante (FF). Foi proposto utilizar um conversor CC/CC do tipo flyback para alimentar o inversor FF. Modificando a relação da tensão do capacitor flutuante com a tensão do barramento foi possível operar o inversor de três níveis na condição de quatro níveis.

Para cada uma das topologias foi desenvolvido o modelo do sistema, estratégia PWM e estratégia de controle. O desempenho de cada topologia foi avaliada com base nos seguintes parâmetros:

- THD de corrente e WTHD de tensão;
- Ondulação da tensão e perdas de alta frequência no barramento CC ;
- Estresse térmico e perdas de condução e chaveamento nas chaves.

4

Análise dos Inversores de Quatro Níveis

4.1 Introdução

Neste capítulo, são apresentados estruturas de inversores que possuem braços e barramento de quatro níveis. Para cada um deles são apresentados o modelo do sistema; estratégia PWM e diagrama de controle. Resultados de simulação demonstram o funcionamento dos conversores em regime permanente.

Inicialmente será analisada a topologia *DPC* que possui uma redução de componentes quando comparadas com a topologia convencional *NPC*. Em seguida será apresentado a topologia proposta *2L4L*.

4.1.1 Operação das Topologias de 4 Níveis

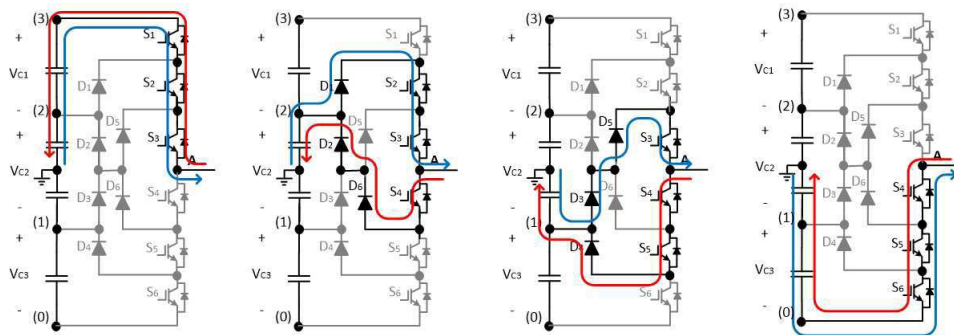
O barramento *CC* do inversor de 4 níveis *NPC* é constituído por três capacitores, onde a fase pode ser conectada nos 4 pontos disponíveis do barramento *CC* (3, 2, 1 e 0) (ver Figura 4.1(a)). Cada braço do inversor *NPC* possui seis chaves (S_1, S_2, S_3, S_4, S_5 e S_6) com diodos em antiparalelo, e quatro diodos de grampeamento (D_1, D_2, D_3 e D_4) conectados nos pontos intermediários (2 e 1) do barramento *CC*.

Na Tabela 4.1 são apresentados os possíveis estados de comutação e a Figura 4.1(a) a sua respectiva representação gráfica. O estado de condução 3 é obtido acionando-se os três interruptores superiores, o que resulta em uma tensão de polo igual a $V_{DC}/2$. Para o estado

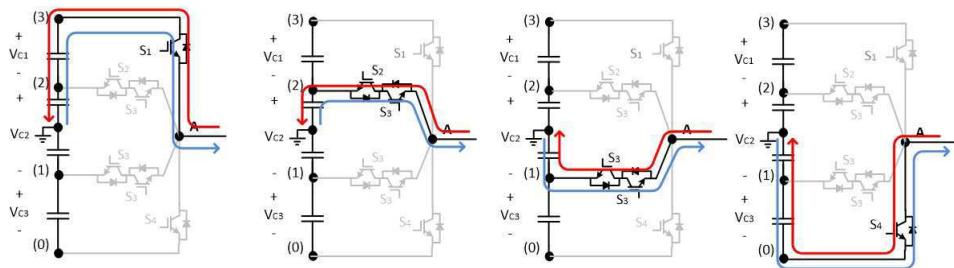
de condução 2, são acionadas as chaves S_2 , S_3 e S_4 , obtendo-se uma tensão de polo $V_{DC}/6$, no caso de conexão no ponto 1 acionam-se as chaves S_3 , S_4 e S_5 para se obter uma tensão de polo de $-V_{DC}/6$ e para a conexão com o ponto 0 são acionadas as três chaves inferiores no que resulta em uma tensão de polo de $-V_{DC}/2$.

Tabela 4.1: Possíveis estados de condução e valores da tensão de pólo

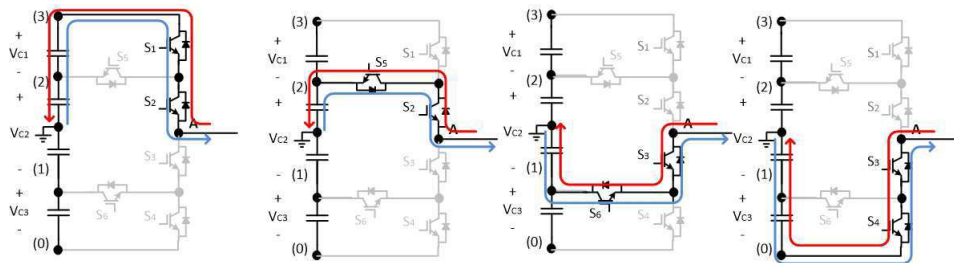
Estado	S_1	S_2	S_3	S_4	S_5	S_6	Tensão de Saída (V_o)
3	1	1	1	0	0	0	$V_{dc}/2$
2	0	1	1	1	0	0	$V_{dc}/6$
1	0	0	1	1	1	0	$-V_{dc}/6$
0	0	0	0	1	1	1	$-V_{dc}/2$



(a) Topologia NPC



(b) Topologia Nested



(c) Topologia DPC - Proposta

Figura 4.1: Estado de condução das topologias *DPC*, *Nested*, e *PROP*

Para a topologia *Nested*, cada braço possui duas chaves principais (S_1 e S_2) para a conexão nas extremidades do barramento, e o grampeamento dos pontos intermediários é

realizado por duas chaves bidirecionais (S_3 , e S_4). A Tabela 4.2 indica os possíveis estados de comutação e a Figura 4.1(b) a sua respectiva representação gráfica. O mesmo ocorre para a topologia *DPC* onde os estados de condução estão indicado na Tabela 4.3 e a sua representação gráfica na Figura 4.1(c)

Tabela 4.2: Possíveis estados de condução e valores da tensão de pólo para topologia *Nested*

Estado	S_1	S_2	S_3	S_4	Tensão de polo (V_o)
3	1	0	0	0	$V_{dc}/2$
2	0	1	0	0	$V_{dc}/6$
1	0	0	1	0	$-V_{dc}/6$
0	0	0	0	1	$-V_{dc}/2$

Tabela 4.3: Possíveis estados de condução e valores da tensão de pólo para topologia *DPC*

Estado	S_1	S_2	S_x3	S_4	S_5	S_6	Tensão de polo (V_o)
3	1	1	1	0	0	1	$V_{dc}/2$
2	0	1	0	0	1	0	$V_{dc}/6$
1	0	0	1	0	0	1	$-V_{dc}/6$
0	0	0	1	1	0	0	$-V_{dc}/2$

4.2 Estratégia de Modulação Vetorial - SVPWM

A modulação vetorial se dá pela aplicação dos vetores constituídos pela combinação dos estados de chaveamento de cada braço do inversor. O inversor monofásico em meia ponte possui apenas um braço, e quatro possibilidades de configuração das chaves, onde cada um desses estados de chaveamento está associado a um vetor, que está representado pelo espaço vetorial apresentado na Figura 4.2.

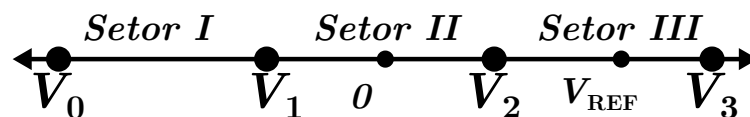


Figura 4.2: Espaço vetorial para o inversor de 4 níveis em meia ponte

Assim como apresentado na seção 4.1.1, para cada topologia, os vetores são obtidos de acordo com a distribuição das chaves em cada uma das topologias. Basicamente a metodolo-

gia de operação da modulação vetorial se dá em identificar o valor da amplitude da referência no espaço vetorial e aplicar os dois vetores mais próximos.

Para facilitar o entendimento o espaço vetorial é dividido em três setores. O setor I definido entre os vetores V_0 e V_1 , o setor II definido entre os vetores V_1 e V_2 e o setor III definido entre os vetores V_2 e V_3 . A descrição do princípio se dará no setor III e o cálculo para os setores seguintes obedece a mesma metodologia.

4.2.1 Análise do Setor III - Cálculo dos Tempos de Aplicação de cada Chave

Na estratégia de modulação vetorial a tensão de referência deve ser representada pelos dois vetores mais próximos. O tempo de aplicação de cada vetor deve ser calculado de tal forma que a tensão média no período de chaveamento gerado pelos vetores seja igual a tensão de referência média no mesmo período, dos dois vetores mais próximo. Para isso, a equação 4.1 deve ser satisfeita:

$$V_{REF} \cdot \frac{T}{2} = (d_2 \cdot V_2 + d_3 \cdot V_3) \cdot \frac{T}{2}; \quad (4.1)$$

$$d_2 + d_3 = 1. \quad (4.2)$$

onde,

$V_{REF} = m_a \cdot \cos(\theta)$, m_a sendo o índice de modulação;

d_2 é a relação cíclica do vetor V_2 ;

d_3 é a relação cíclica do vetor V_3 ;

Resolvendo o sistema formado pelas equações 4.1 e 4.2, as relações cíclicas são:

$$\begin{aligned} d_2 &= 3 - \frac{3}{V_{dc}} V_{REF} \\ e \\ d_3 &= -2 + \frac{3}{V_{dc}} V_{REF} \end{aligned} \quad (4.3)$$

O padrão de chaveamento é determinado pela utilização desses vetores. A Figura 4.3 apresenta o chaveamento para o setor III referente a cada topologia estudada. Buscando uma simetria, o cálculo dos tempos de aplicação de cada vetor é obtido na metade de um

período ($\frac{T}{2}$) e rebatido para a outra metade. Portanto, os tempos dos vetores são calculados da seguinte forma:

$$\begin{aligned} \tau_2 &= d_2 \cdot \frac{T}{2} \\ \tau_3 &= d_3 \cdot \frac{T}{2} \end{aligned} \tag{4.4}$$

Sendo assim, substituindo a equação 4.3 em 4.4, e aplicando na Figura 4.3, os tempos de aplicação de cada chave são dados por:

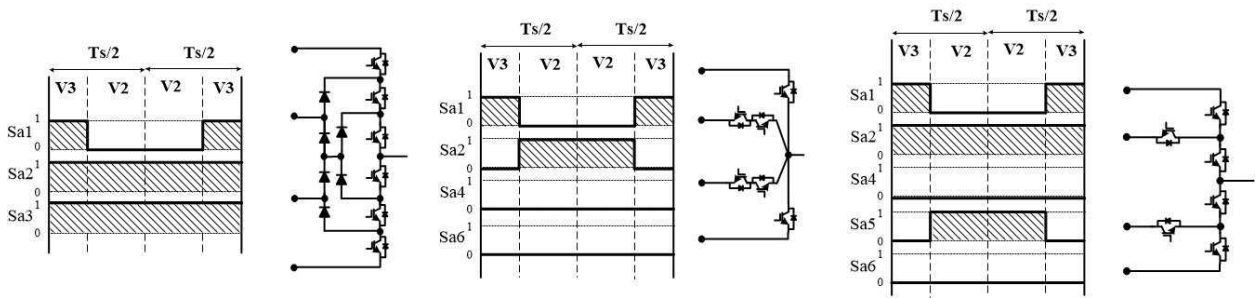


Figura 4.3: Padrão de Chaveamento do setor III

$$\begin{aligned} \tau_{S1} &= -T + \frac{3T}{2V_{dc}} V_{REF} \\ \tau_{S2} &= \tau_{S3} = \frac{T}{2} \end{aligned} \tag{4.5}$$

para a topologia *NPC*. Onde as chaves S_4 , S_5 e S_6 são complementares das chaves S_1 , S_2 e S_3 respectivamente.

$$\begin{aligned} \tau_{S1} &= -T + \frac{3T}{2V_{dc}} V_{REF} \\ \tau_{S2} &= \frac{3T}{2} - \frac{3T}{2V_{dc}} V_{REF} \\ \tau_{S4} &= \tau_{S6} = 0 \end{aligned} \tag{4.6}$$

para a topologia *Nested*, onde as chaves S_1 e S_3 comutam de forma complementar, as chaves S_2 e S_4 ficam grampeadas em '0'.

No caso da topologia *DPC*, a chave S_{a3} é complementar da chave S_{a2} e, por isso, serão apresentados apenas os tempos para as chaves S_{a1} , S_{a2} , S_{a4} , S_{a5} e S_{a6} que são dados por:

$$\begin{aligned}
\tau_{S1} &= -T + \frac{3T}{2V_{dc}} V_{REF} \\
\tau_{S2} &= \frac{T}{2} \\
\tau_{S4} &= \tau_{S6} = 0 \\
\tau_{S5} &= \frac{3T}{2} - \frac{3T}{2V_{dc}} V_{REF}
\end{aligned} \tag{4.7}$$

O cálculo para os setores I e II são feitos seguindo o mesmo procedimento feito para o setor III.

4.3 Análise Comparativa das Topologias *NPC*, *Nested* e *DPC*

A topologia convencional (*NPC*) possui um total de 12 dispositivos semicondutores entre chaves e diodos. O esforço nos dispositivos é igual, ou seja, todos os dispositivos estão sujeitos a uma tensão reversa de 1/3 da tensão total do barramento *CC*. A topologia *Nested* surgiu para diminuir a quantidade de dispositivos. No entanto, duas chaves de cada braço dessa topologia ficam sujeitas a tensão total do barramento *CC*. Essa característica vai de encontro com uma das fundamentações dos inversores multiníveis que é utilizar dispositivos de média potência para atuar em alta potência, já que a tensão nas chaves seria reduzida.

Com base nesse cenário, a topologia proposta mantém a mesma quantidade de dispositivos do conversor *Nested*, mas possui quatro chaves na parte principal do braço, fazendo com que a tensão sobre essas chaves seja a metade da tensão do barramento e não mais a tensão total do barramento *CC*.

Como metodologia de comparação, será utilizada, a mesma técnica de modulação PWM para acionar as três topologias no intuito de se obter a mesma qualidade no sinal de saída.

A Tabela 4.4 apresenta os dados utilizados na simulação das topologias de 4 níveis.

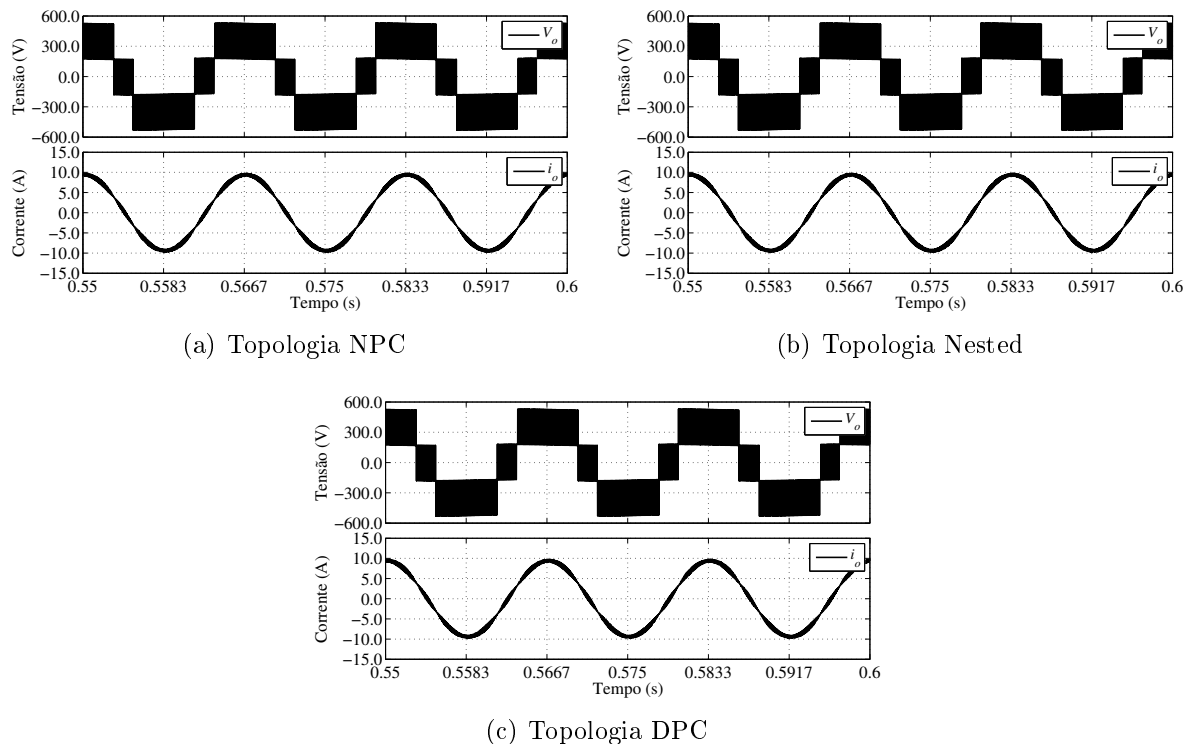
4.3.1 Análise de THD de Corrente e WTHD de Tensão

O THD de corrente e WTHD de tensão sempre são utilizados para medir a qualidade do sinal de saída do inversor. A diferença das topologias está na forma como o braço é conectado

Tabela 4.4: Dados Gerais de Simulação do Inversor.

Dados de Simulação
Carga RL: $R = 50\Omega$, $L = 7mH$
Tensão Total do Barramento (V_{dc}): 1050 V
Frequência de Chaveamento (f_s): 10kHz
Frequência da Rede (f_m): 60 Hz
Índice de Modulação (m_a): 0,9
Capacitores do Barramento (V_{C1} , V_{C2} e V_{C3}): 2200uF
Estratégia de Modulação: <i>SVPWM</i> - Proposta

nos pontos intermediários do barramento CC . Ou seja, todas as topologias produzem os mesmos níveis e conseqüentemente terão os mesmos sinais de saída, como pode ser observado na Figura 4.4 e que apresenta, respectivamente, a tensão (V_o) e a corrente (i_o) de saída para cada topologia.

Figura 4.4: Tensão e corrente de saída (V_o e i_o)

A Tabela 4.5 apresenta os mesmos valores de THD e WTHD para uma frequência de modulação de 10kHz e um índice de modulação de 0.9.

Tabela 4.5: THD de corrente e WTHD de tensão para $m_a = 0,9$ e $f_s = 10kHz$

Config.	THD(%)	WTHD(%)
<i>NPC</i>	4,1242	0,2477
<i>Nested</i>	4,1274	0,2473
<i>DPC – proposto</i>	4,1258	0,2473

Em relação a qualidade de energia, os resultados obtidos garantem que as topologias produzem os mesmos sinais de saída com a mesma caracterização do ponto de vista dos índices de qualidade de energia supracitados. Então é importante salientar a possível vantagem de se utilizar uma topologia em detrimento de outra. Cita-se a seguir algumas diferenças entre as topologias, tais como:

- densidade de potência: já que a topologia *NPC* utiliza bem mais componentes terá um volume maior;
- esforço nas chaves: que está relacionado com o desempenho da chave e o possível risco de falha;
- eficiência: relacionado com as perdas, principalmente, as de chaveamento e as de condução das chaves;
- limites de potência: uma vez que a tensão sobre as chaves não são igual nas topologia apresentadas;

4.3.2 Análise do Esforço das Chaves

A Figura 4.5 ilustra as tensões sobre as chaves das três topologias. Para a topologia *NPC* todas as chaves possuem uma tensão que é um terço da tensão do barramento e um chaveamento idêntico (ver Figura 4.5(a) 4.5(b)). Com isso, se tem uma melhor distribuição do esforço das chaves, no que acarreta que todas as chaves irão sofrer um desgaste na mesma proporção.

Para a topologia *Nested* (ver Figura 4.5(c)) percebe-se que as chaves das extremidades possuem uma tensão máxima igual a tensão do barramento *CC*. Apesar da estrutura ser

multinível, esse fato impede que esse conversor atue em alta potência com semicondutores de média potência, uma vez que possui chaves que conduzem toda a corrente do circuito.

Em relação à topologia *DPC* pode-se se dizer que está no meio termo em relação as duas anteriores (ver Figura 4.5(d)). A tensão máxima que ocorre nas chaves é a metade do barramento. Isso faz com que ainda se possa utilizar a topologia em sistema de alta potência utilizando chaves de média potência.

4.3.3 Análise das Perdas por Condução e Chaveamento

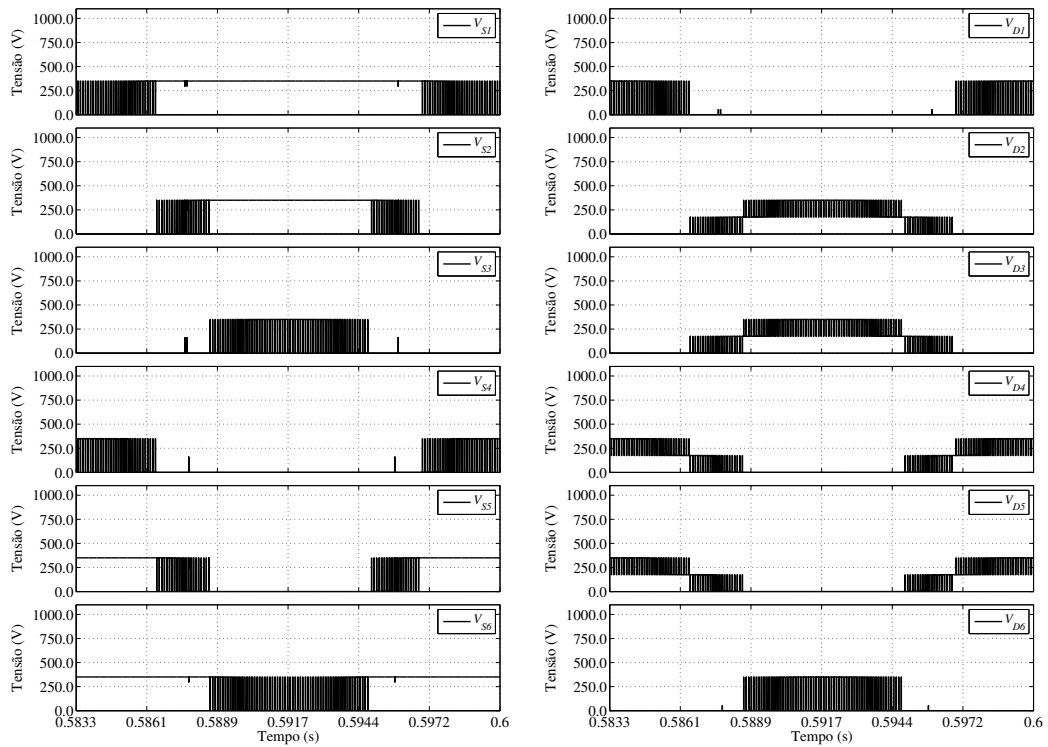
Outro aspecto analisado são as perdas por condução e chaveamento. Para as perdas por chaveamento dois aspectos são bastantes importantes. O primeiro é a quantidade de chaveamentos realizados em cada chave e o segundo é a tensão suportada pela chave no momento da comutação. Observando esse conjunto, a topologia *NPC* possui menos perdas do que as outras topologias, ver Figura 4.6(a). Isto se dá porque além de ter a menor tensão sobre a chave no momento do disparo, a cada mudança de nível apenas uma chave é acionada.

Já as perdas de condução estão mais associadas com a capacidade de condução. No caso da estrutura convencional (*NPC*), em qualquer nível que a fase esteja conectada, a condução da corrente passa por três dispositivos. Para a topologia *Nested* se tem dois dispositivos para os estados de comutação 1 e 2 e uma única chave conduzindo para os estados 0 e 3. Na topologia *DPC* proposta serão sempre duas chaves. Portanto, no caso das perdas de condução a topologia *NPC* possui as maiores perdas seguida pelas topologias *DPC* e *Nested*.

Na totalidade observa-se pela Figura 4.7 que para $m_a > 0,5$ a topologia *NPC* possui maiores perdas seguida pelas topologias *DPC* e *Nested*. No entanto, para $m_a < 0,5$ os papéis das topologias *NPC* e *Nested* se invertem, mas a topologia *DPC* continua no meio termo. Portanto, para uma relação de compromisso a topologia proposta se apresenta como uma boa solução.

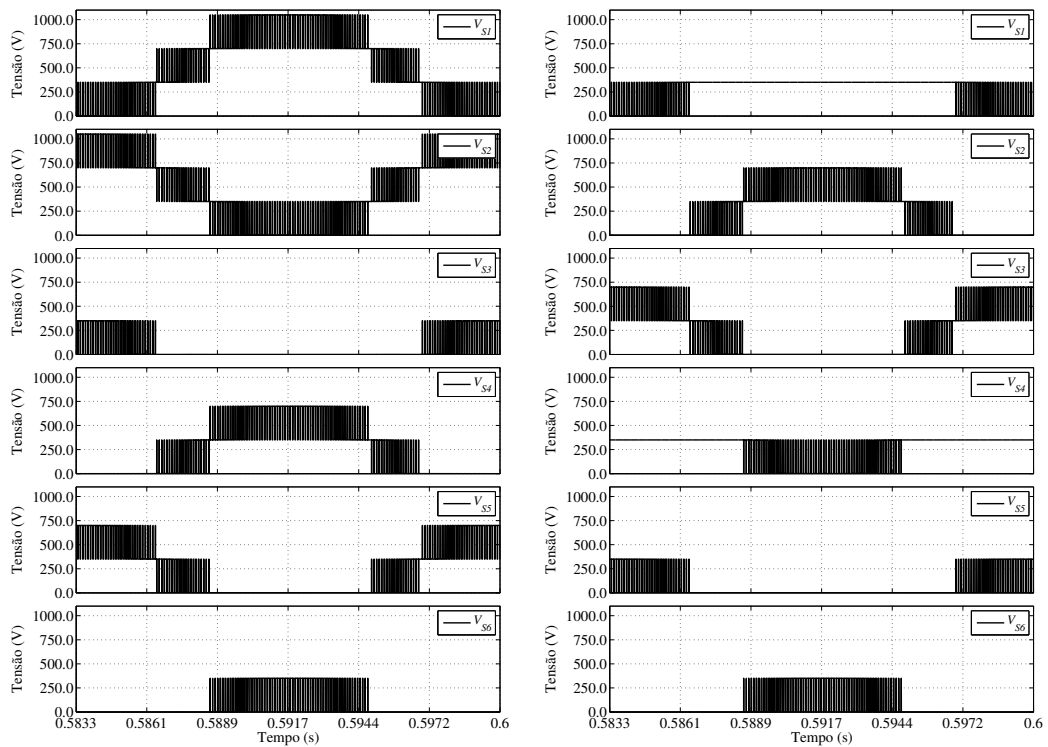
4.3.4 Resultados Experimentais da Topologia DPC

A topologia *DPC* foi implementada na bancada experimental. A Tabela 4.6 apresenta os dados utilizados nos resultados experimentais para a topologia *DPC*. A Figura 4.6 ilustra



(a) Chave NPC

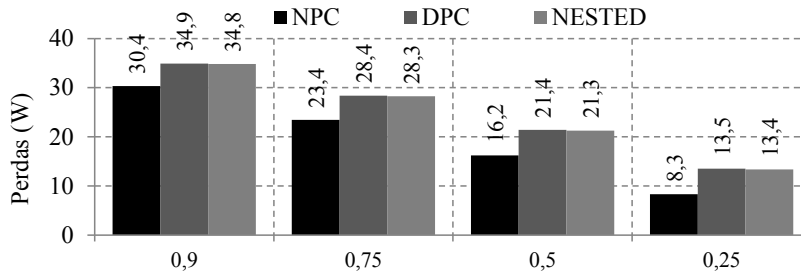
(b) Diodo NPC



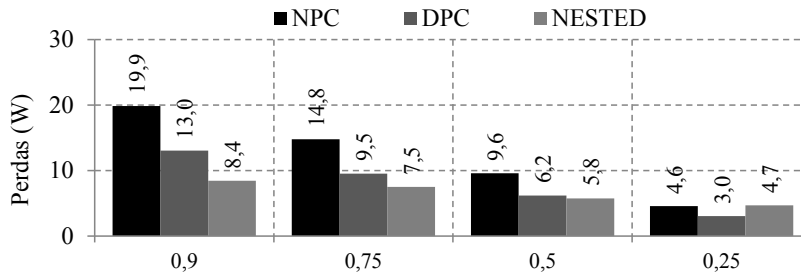
(c) Chave Nested

(d) Chave DPC

Figura 4.5: Tensão nas chaves



(a) Chaveamento



(b) Condução

Figura 4.6: Perdas por Condução e Chaveamento

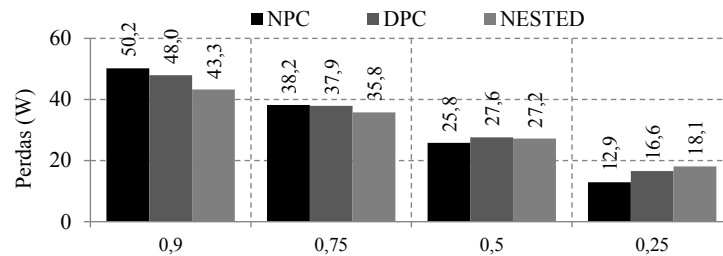


Figura 4.7: Perdas totais

os resultados para a tensão e corrente de saída, tensão nas chaves e tensão e corrente nos capacitores do barramento.

Pode-se perceber que o inversor gera uma tensão de saída de quatro níveis (ver Figura 4.8(a)). Já as curvas da Figura 4.8(b) representam as tensões nas chaves. Observe que a chave S_2 suporta a maior tensão no valor de $\frac{2V_{DC}}{3}$.

A Figura 4.8(c) ilustra a tensão e a corrente nos capacitores C_1 e C_2 . Como o inversor é simétrico o capacitor C_3 possui o mesmo comportamento do capacitor C_1 .

Tabela 4.6: Dados Gerais de Simulação e Experimentais do Inversor.

Dados de Simulação
Carga RL: $R = 50\Omega$, $L = 7mH$
Tensão Total do Barramento (V_{dc}): 200 V
Frequência de Chaveamento (f_s): 10kHz
Frequência da Rede (f_m): 60 Hz
Índice de Modulação (m_a): 0,95
Capacitores do Barramento (V_{C1} , V_{C2} e V_{C3}): 2200uF
Estratégia de Modulação: <i>SVPWM</i> - Proposta

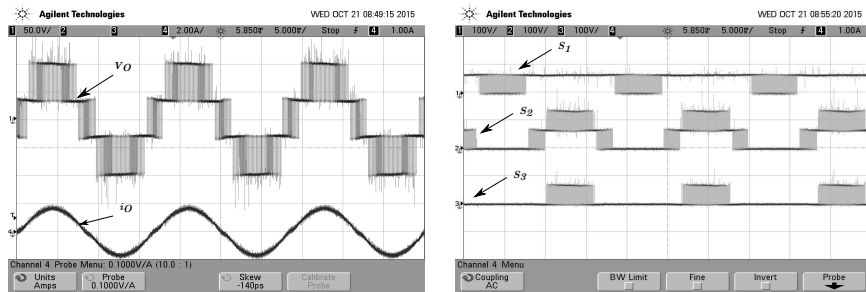
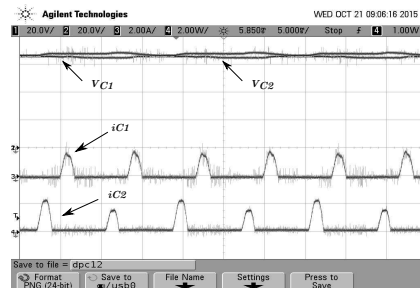
(a) Tensão e corrente de saída (V_o e i_o) (b) Tensão nas Chaves (S_1 , S_2 e S_3)(c) Tensão e corrente nos capacitores (V_{C1} , V_{C2} , i_{C1} e i_{C2})

Figura 4.8: Perdas por Condução e Chaveamento

4.4 Inversor 2L4L - Proposto

Os inversores multiníveis monofásicos também tem sido explorados devido à sua importância em aplicações de baixa potência (Ozdemir et al., 2009; Rahmani e Al-Haddad, 2006; Tang et al., 2007). Na tentativa de reduzir a quantidade de componentes algumas topologias têm sido propostas para três, como é o caso da topologia NPC Tipo-T, e quatro níveis, como é o caso das topologias Nested e DPC.

Algumas topologias de cinco níveis têm sido discutidas. Este trabalho propõe um inversor monofásico de cinco níveis (ver Figura 4.9(d)) com número reduzido de componentes. A topologia é composta por três fontes CC, que podem ser obtidas por meio de um conjunto de painéis fotovoltaicos. A topologia proposta pode ser considerada como uma estrutura em ponte composta por um braço de quatro níveis e outro de dois níveis, portanto será chamada, topologia 2L4L. Com base nas topologias NPC convencionais de 5 níveis (ver Figuras 4.9(a) e 4.9(b)) e a topologia em ponte=H (ver Figura 4.9(c)). A topologia 2L4L possui a mesma quantidade de chaves (8 no total), no entanto, não utiliza nenhum diodo de grampeamento. Além de reduzir a quantidade de componentes é possível operar o inversor em sete níveis.

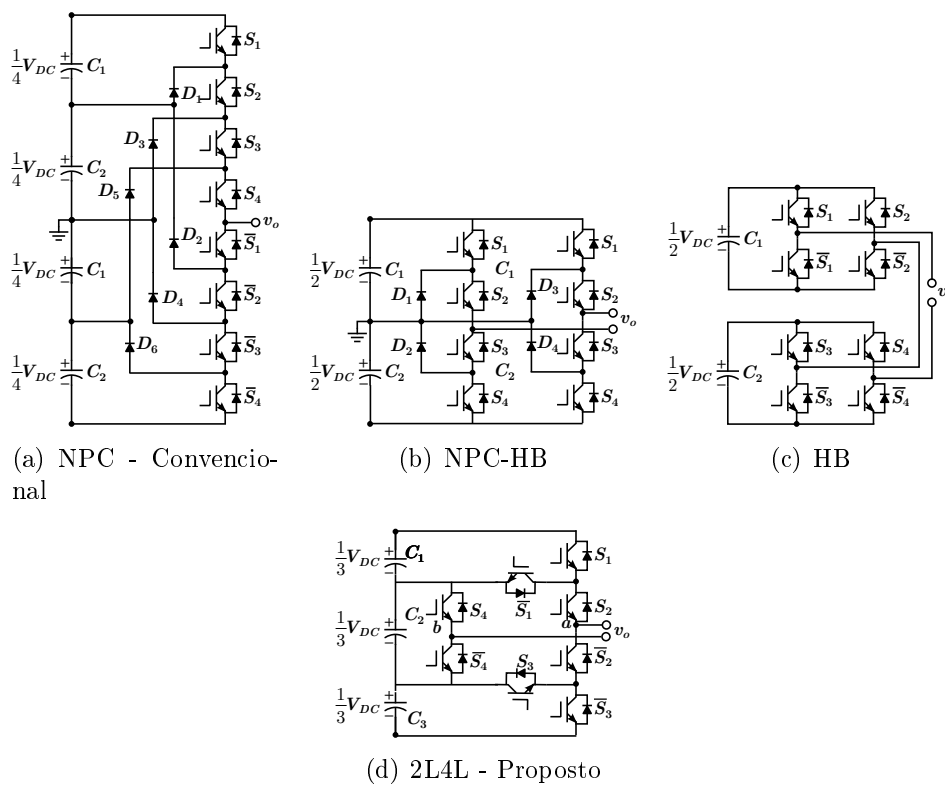


Figura 4.9: Estruturas de inversores de cinco-níveis

4.4.1 Operação do Inversor 2L4L

O inversor 2L4L proposto é constituído por dois braços, o braço *a* com seis chaves controladas ($S_1, \bar{S}_1, S_2, \bar{S}_2, S_3, \bar{S}_3$), braço *b* com duas chaves controladas (S_4, \bar{S}_4) e por um barramento CC com três capacitores (C_1, C_2 e C_3).

O braço *a* possui quatro níveis (4L) e o braço *b* dois níveis (2L). O inversor pode operar

em cinco níveis ($2L4L - 5N$) e em sete níveis ($2L4L - 7N$). A distribuição da tensão no barramento para gerar os sinais simétricos é de $V_{C1} = V_{C2} = V_{C3} = \frac{V_{DC}}{3}$ operando a cinco níveis, e $V_{C1} = V_{C3} = \frac{V_{DC}}{4}$ e $V_{C2} = \frac{V_{DC}}{2}$ operando em sete níveis, onde V_{DC} é a tensão do barramento CC.

Na Tabela 4.7 são expressas os possíveis estados de chaveamento e os respectivos níveis de tensão para a tensão de saída (v_o). Com a redistribuição das tensões do barramento é possível perceber um aumento na quantidade de níveis que o inversor pode gerar.

Tabela 4.7: Estados de chaveamento para o inversor 2L4L operando em 5 e 7 níveis.

Estado	S_1	S_2	S_3	S_4	v_o 2L4L-5N	v_o 2L4L-7N
1	0	0	0	1	$-\frac{2V_{DC}}{3}$	$-\frac{3V_{DC}}{4}$
2	0	0	1	1	$-\frac{V_{DC}}{3}$	$-\frac{2V_{DC}}{4}$
3	0	0	0	0		$-\frac{1V_{DC}}{4}$
4	0	0	1	0		$-\frac{V_{DC}}{4}$
5	0	1	1	1	0	0
6	1	1	1	1	$\frac{V_{DC}}{3}$	$\frac{V_{DC}}{4}$
7	0	1	1	0		$\frac{2V_{DC}}{4}$
8	1	1	1	0	$\frac{2V_{DC}}{3}$	$\frac{3V_{DC}}{4}$

A Figura 4.10 ilustra a configuração para cada estado de chaveamento. A condução da corrente de carga é feita sempre por três chaves, independente do estado de chaveamento. Outro aspecto importante a ser considerado é que a distribuição da tensão máxima suportada pelas chaves não é iguais.

4.4.2 Modulação PWM

A técnica de modulação é dividida em quatro passos:

Passo um: definem-se os níveis do inversor, onde cada nível é representado por um eixo horizontal;

Passo dois: calcula-se o valor da variável P_a que é a diferença entre o eixo superior e a tensão de referência;

Passo três: calcula-se os intervalos de tempo em que as chaves permanecem em condução e bloqueio, em um determinado período de modulação (T_S), em seguida determinasse

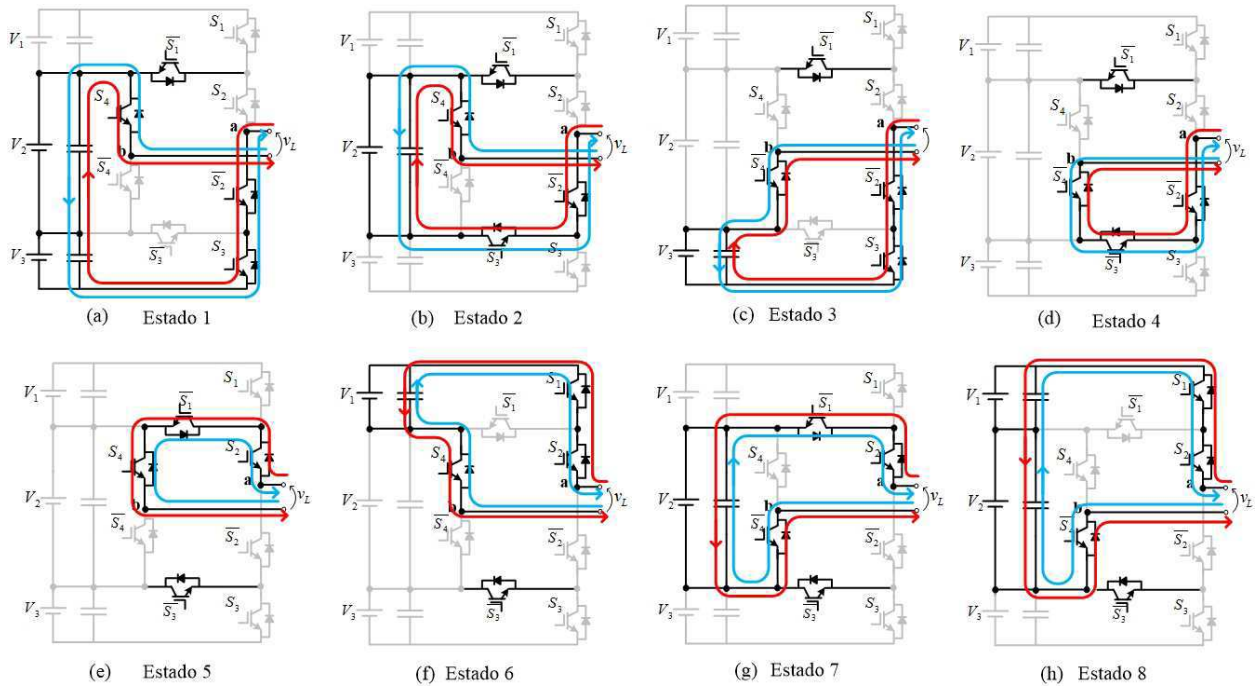


Figura 4.10: Configuração dos estados de chaveamento

os tempos de transição;

Passo quatro: define-se os estados de condução das variáveis de estados q_{S1} , q_{S2} , q_{S3} e q_{S4} das chaves $S1$, $S2$, $S3$ e $S4$ respectivamente.

Para operação em Cinco Níveis

A técnica de modulação está ilustrada na Figura 4.11, e os passos referentes a modulação em cinco níveis são:

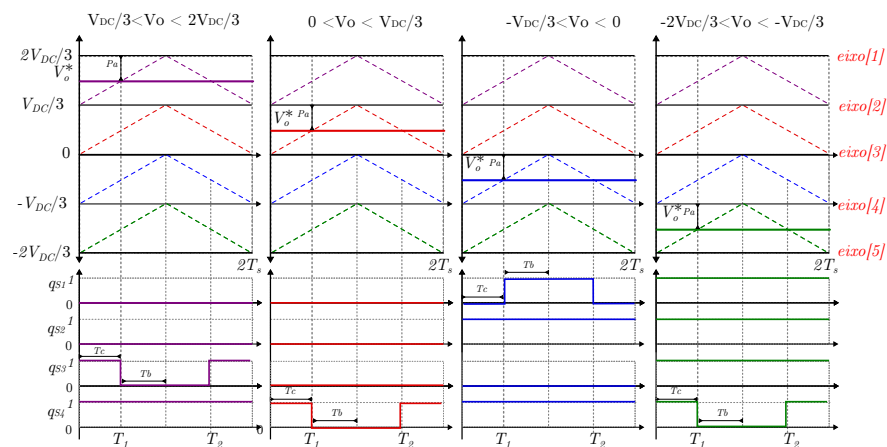


Figura 4.11: Estratégia de Modulação PWM para 5 níveis

Passo um: os eixos são: $eixo[1] = 2V_{DC}/3$, $eixo[2] = V_{DC}/3$, $eixo[3] = 0$, $eixo[4] = -V_{DC}/3$ e $eixo[5] = -2V_{DC}/3$.

Passo dois e três: cálculo do valor da variável P_a e dos intervalos de tempo em que as chaves permanecem em condução (T_c) e bloqueio (T_b):

$$\text{Se } (V_{DC}/3 \leq V_o^* \leq 2V_{DC}/3) \Rightarrow P_a = eixo[1] - V_o^*;$$

$$\text{Se } (0 \leq V_o^* \leq V_{DC}/3) \Rightarrow P_a = eixo[2] - V_o^*;$$

$$\text{Se } (-V_{DC}/3 \leq V_o^* \leq 0) \Rightarrow P_a = eixo[3] - V_o^*;$$

$$\text{Se } (-2V_{DC}/3 \leq V_o^* \leq -V_{DC}/3) \Rightarrow P_a = eixo[4] - V_o^*;$$

$$T_b = 2\left(\frac{P_a}{V_{DC}}\right)T_S; \quad (4.8)$$

$$T_c = T_S - T_b. \quad (4.9)$$

Cálculo dos tempos de transição:

$$T_1 = t + T_c \quad (4.10)$$

$$T_2 = T_1 + 2T_b \quad (4.11)$$

Passo quatro: Lógica das variáveis de estados q_{S1} , q_{S2} , q_{S3} e q_{S4} .

O quarto e último passo é a escolha de qual estado de comutação vai ser utilizado. A Figura 4.12 ilustra as possíveis mudanças dos estados de comutação para a operação em 5 níveis. As setas em azuis indicam quais estados serão utilizados. A escolha dos estados foi com base no menor número possível de chaveamento para proporcionar uma redução nas perdas por chaveamento.

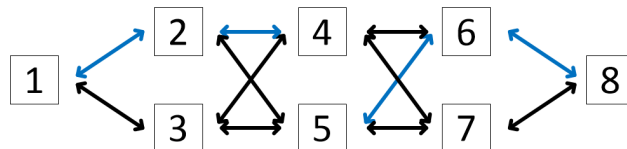


Figura 4.12: Sequência de estados de comutação para 5 níveis

Se $(V_o^* > 0)$ {

$$\begin{aligned}
& q_{S1} = q_{S2} = 0; \\
& \text{Se } (V_{DC}/3 \leq V_o^* \leq 2V_{DC}/3)\{ \\
& \quad q_{S4} = 1; \\
& \quad \text{Se } (t \leq T_1 \text{ ou } t > T_2) \quad q_{S3} = 1; \\
& \quad \text{Se } (t > T_1 \text{ e } t \leq T_2) \quad q_{S3} = 0; \\
& \quad \} \\
& \text{Se } (V_{DC}/3 \leq V_o^* \leq 2V_{DC}/3)\{ \\
& \quad q_{S3} = 0; \\
& \quad \text{Se } (t \leq T_1 \text{ ou } t > T_2) \quad q_{S4} = 1; \\
& \quad \text{Se } (t > T_1 \text{ e } t \leq T_2) \quad q_{S4} = 0; \\
& \quad \} \\
& \} \\
& \text{Se } (V_o^* \leq 0)\{ \\
& \quad q_{S2} = 1; \\
& \quad q_{S3} = 0; \\
& \quad \text{Se } (V_{DC}/3 \leq V_o^* \leq 2V_{DC}/3)\{ \\
& \quad \quad q_{S4} = 1; \\
& \quad \quad \text{Se } (t \leq T_1 \text{ ou } t > T_2) \quad q_{S1} = 0; \\
& \quad \quad \text{Se } (t > T_1 \text{ e } t \leq T_2) \quad q_{S1} = 1; \\
& \quad \quad \} \\
& \quad \text{Se } (V_{DC}/3 \leq V_o^* \leq 2V_{DC}/3)\{ \\
& \quad \quad q_{S1} = 1; \\
& \quad \quad \text{Se } (t \leq T_1 \text{ ou } t > T_2) \quad q_{S4} = 1; \\
& \quad \quad \text{Se } (t > T_1 \text{ e } t \leq T_2) \quad q_{S4} = 0; \\
& \quad \quad \} \\
& \} \\
& \}
\end{aligned}$$

}
}

Para operação em Sete Níveis

A técnica de modulação está apresentada na Figura 4.13, os passos referente a modulação em sete níveis são:

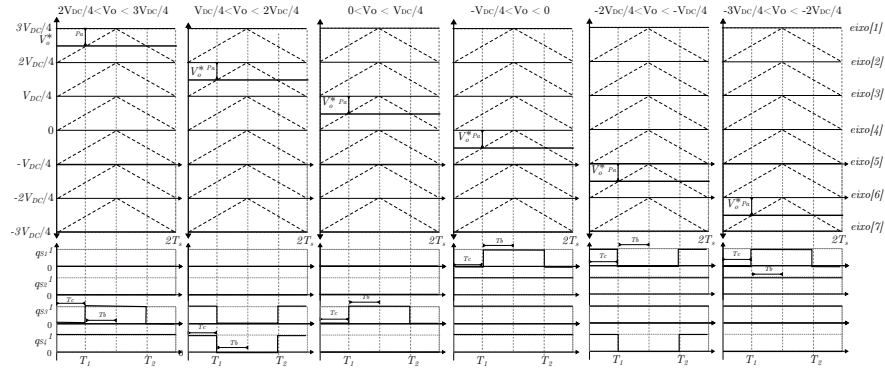


Figura 4.13: Estratégia de Modulação PWM para 7 níveis

Passo um: Os eixos são: eixo[1] = $3V_{DC}/4$, eixo[2] = $2V_{DC}/4$, eixo[3] = $V_{DC}/4$, eixo[4] = 0, eixo[5] = $-V_{DC}/4$, eixo[6] = $-2V_{DC}/4$ e eixo[7] = $-3V_{DC}/4$.

Passo dois e três: Cálculo do valor da variável P_a e dos intervalos de tempo em que as chaves permanecem em condução (T_c) e bloqueio (T_b):

$$\text{Se } (2V_{DC}/4 \leq V_o^* \leq 3V_{DC}/4) \Rightarrow P_a = \text{eixo}[1] - V_o^*;$$

$$\text{Se } (V_{DC}/4 \leq V_o^* \leq 2V_{DC}/4) \Rightarrow P_a = \text{eixo}[2] - V_o^*;$$

$$\text{Se } (0 \leq V_o^* \leq V_{DC}/4) \Rightarrow P_a = \text{eixo}[3] - V_o^*;$$

$$\text{Se } (-V_{DC}/4 \leq V_o^* \leq 0) \Rightarrow P_a = \text{eixo}[4] - V_o^*;$$

$$\text{Se } (-2V_{DC}/4 \leq V_o^* \leq -V_{DC}/4) \Rightarrow P_a = \text{eixo}[5] - V_o^*;$$

$$\text{Se } (-3V_{DC}/4 \leq V_o^* \leq -2V_{DC}/4) \Rightarrow P_a = \text{eixo}[6] - V_o^*;$$

$$T_b = 2\left(\frac{P_a}{V_{DC}}\right)T_S; \quad (4.12)$$

$$T_c = T_S - T_b. \quad (4.13)$$

Cálculo dos tempos de transição:

$$T_1 = t + T_c; \quad (4.14)$$

$$T_2 = T_1 + 2T_b. \quad (4.15)$$

Passo quatro: Lógica das variáveis de estados q_{S1} , q_{S2} , q_{S3} e q_{S4} :

A Figura 4.14 ilustra as possíveis mudanças dos estados de comutação para a operação em 7 níveis. As setas em azuis indicam quais estados serão utilizados.

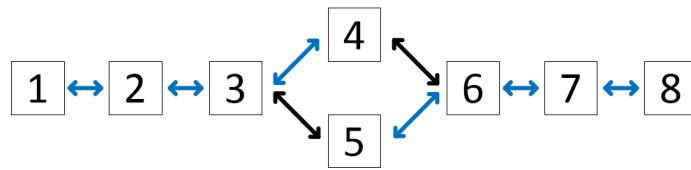


Figura 4.14: Sequência de estados de comutação para 7 níveis

Se ($V_o^* > 0$) {

$$q_{S1} = q_{S2} = 0;$$

Se ($2V_{DC}/4 < V_o^* < 3V_{DC}/4$) {

$$q_{S4} = 1;$$

Se ($t < T_1$ ou $t > T_2$) $q_{S3} = 1$;

Se ($t > T_1$ e $t < T_2$) $q_{S3} = 0$;

}

Se ($V_{DC}/4 < V_o^* < 2V_{DC}/4$) {

Se ($t < T_1$ ou $t > T_2$) {

$$q_{S3} = 0;$$

$$q_{S4} = 1;$$

}

Se ($t > T_1$ e $t < T_2$) {

$$q_{S3} = 1;$$

$$q_{S4} = 0;$$

$$\}$$

$$\}$$

Se $(0 < V_o^* < V_{DC}/4)$ {

$$q_{S4} = 0;$$

Se $(t < T_1$ ou $t > T_2)$ $q_{S3} = 1;$

Se $(t > T_1$ e $t < T_2)$ $q_{S3} = 0;$

$$\}$$

$$\}$$

Se $(V_o^* < 0)$ {

$$q_{S2} = 1;$$

$$q_{S3} = 0;$$

Se $(-V_{DC}/4 < V_o^* < 0)$ {

$$q_{S4} = 1;$$

Se $(t < T_1$ ou $t > T_2)$ $q_{S1} = 0;$

Se $(t > T_1$ e $t < T_2)$ $q_{S1} = 1;$

$$\}$$

Se $(-2V_{DC}/4 < V_o^* < -V_{DC}/4)$ {

Se $(t < T_1$ ou $t > T_2)$ $q_{S1} = q_{S4} = 1;$

Se $(t > T_1$ e $t < T_2)$ $q_{S1} = q_{S4} = 0$

$$\}$$

Se $(-3V_{DC}/4 < V_o^* < -2V_{DC}/4)$ {

$$q_{S4} = 0;$$

Se $(t < T_1$ ou $t > T_2)$ $q_{S1} = 0;$

$$\left. \begin{array}{l} \text{Se } (t > T_1 \text{ e } t < T_2) \text{ } q_{S1} = 1; \\ \} \\ \} \end{array} \right\}$$

4.4.3 Análise Comparativa das Topologias de Cinco-Níveis

Foram obtidos resultados de simulação e experimental. Na Tabela 4.8 são definidos os parâmetros utilizados.

Tabela 4.8: Dados Gerais de Simulação do Inversor.

Parametro	Símbolo	Valor
Tensão do Barramento 2L4L-5N	V_{DC}	225 V
Tensão do Barramento 2L4L-7N	V_{DC}	200 V
Tensão do Barramento NPC	V_{DC}	300 V
Tensão do Barramento HB	V_1 e V_2	150 V
Capacitores do Barramento	C_1 , C_2 e C_3	2200 uF
Tensão nos Capacitores C_1 , C_2 e C_3 (2L4L-5N)	V_{C1} , V_{C2} e V_{C3}	75 V
Tensão nos Capacitores C_1 e C_3 (2L4L-7N)	V_{C1} e V_{C3}	50 V
Tensão no Capacitor C_2 (2L4L-7N)	V_{C2}	100 V
Frequência de chaveamento	f_s	10 kHz
Carga	R_o/L_o	$50\Omega / 7mH$

Alguns aspectos foram considerados para a realizar a comparação. O primeiro aspecto é o número de chaves utilizadas. As três topologias utilizam oito chaves ativas para produzir 5 níveis, com distribuição iguais das tensões nos capacitores do barramento. O segundo aspecto esta em relação aos níveis na tensão na saída. As topologias NPC convencional e HB produzem níveis na tensão de saída (v_o) de V_{DC} à $-V_{DC}$, enquanto que a topologia 2L4L produz níveis de $2V_{DC}/3$ à $-2V_{DC}/3$ em 5 níveis e de $3V_{DC}/4$ à $-3V_{DC}/4$ em 7 níveis.

Para que a tensão de saída tenha o mesmo valor nas três topologias os valores da tensão do barramento são diferentes como indicadas na Tabela 4.8.

As Figuras 4.15 e 4.16 ilustram os sinais de saída para a topologia proposta. São apresentados a tensão do braço 'a' (V_{ao}) e 'b' (V_{bo}), a tensão de saída (V_o) e a corrente de saída

(i_o), respectivamente. As Figuras 4.15(a) e 4.15(b) ilustram os resultados de simulação e experimental da topologia operando em 5 níveis, já as Figuras 4.16(a) e 4.16(b) operando em 7 níveis.

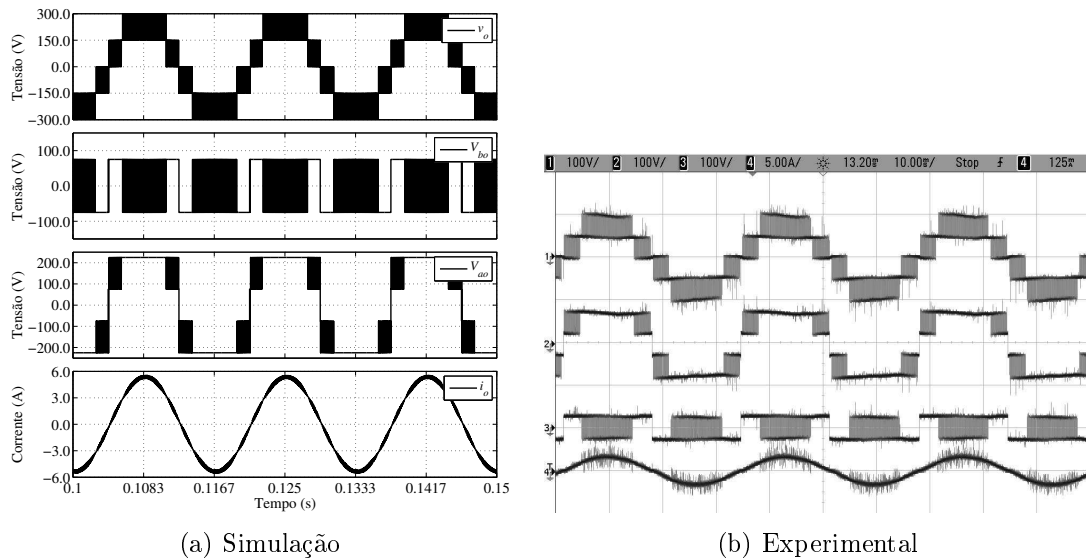


Figura 4.15: Formas de onda de saída (V_{ao} , V_{bo} , V_0 e i_o) operando em 5 níveis

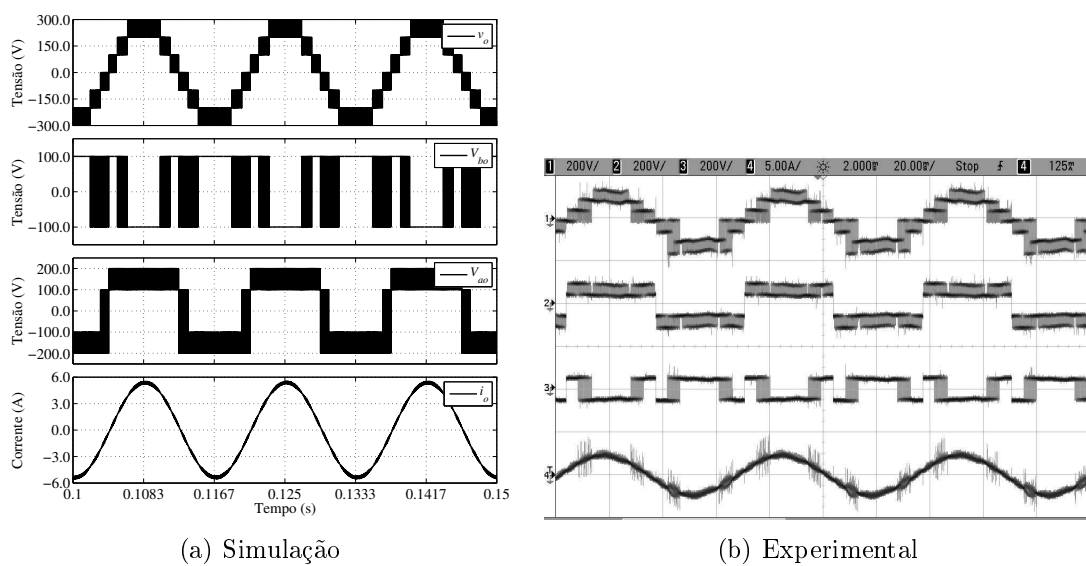
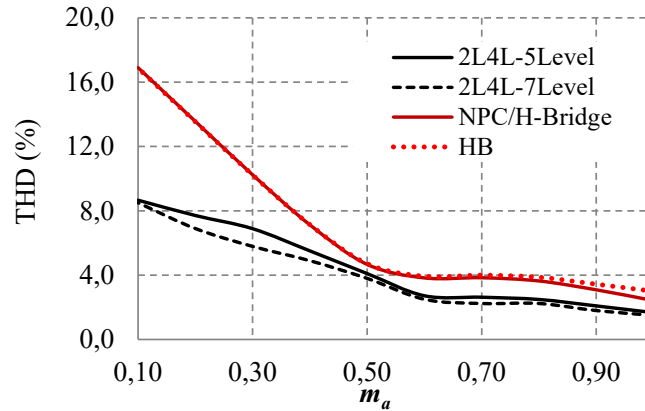


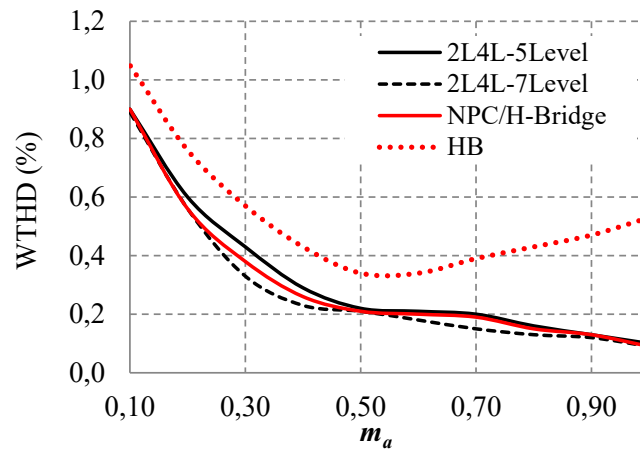
Figura 4.16: Formas de onda de saída (V_{ao} , V_{bo} , V_0 e i_o) operando em 7 níveis

Análise de THD de Corrente e WTHD de Tensão

A Figura 4.17 ilustra as curvas da THD de corrente e da WTHD de tensão em função do índice de modulação em amplitude.



(a) THD de Corrente



(b) WTHD de Tensão

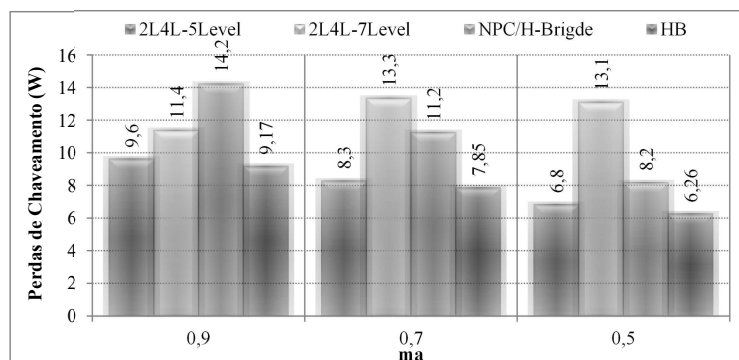
Figura 4.17: Análise da qualidade de energia

Em relação a THD da corrente, a topologia proposta apresenta melhor desempenho em relação as outras topologias. Para $m_a = 0,9$ a THD da topologia proposta é 2,09% e 1,08%, para a operação em 5 e 7 níveis, respectivamente. Para a topologia NPC se tem 3,09% e 3,44% para a topologia HB. A topologia proposta operando em 7 níveis também possui melhores resultados de WTHD de tensão. A WTHD de tensão para $m_a = 0,9$ é 0,12% para 2L4L-7N, e 0,13% para 2L4L-5N e NPC e de 0,44% para a topologia HB.

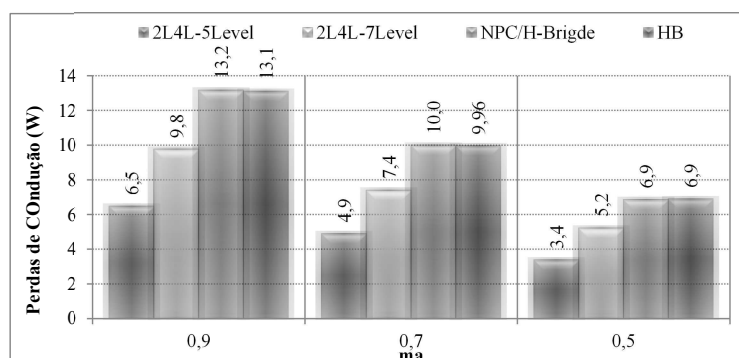
Análise das Perdas nas Chaves

A Figura 4.18 ilustra os gráficos contendo as perdas por chaveamento, condução e totais para o índice de modulação em amplitude iguais a 0,5; 0,7 e 0,9.

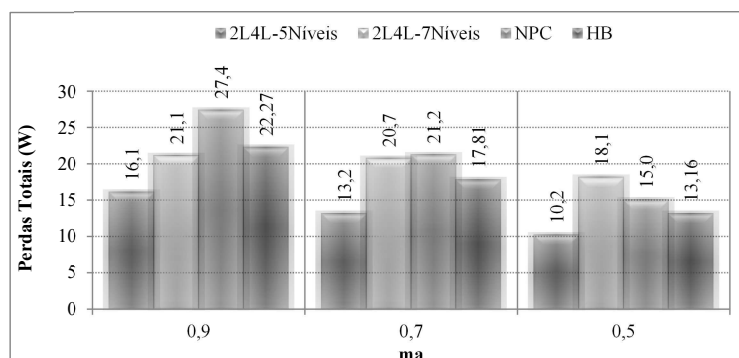
As perdas por condução são função dos valores de correntes que atravessam as chaves do inversor, mas não são função das tensões aplicadas sobre as chaves. As perdas por chave-



(a) Perdas de Chaveamento



(b) Perdas de Condução



(c) Perdas Totais

Figura 4.18: Análise da qualidade de energia

amento são função tanto da corrente quanto da tensão aplicadas sobre as chaves. Para cada topologia são mostradas as perdas de condução e chaveamento para as mesmas condições de carga e para três valores distintos de m_a . Pode-se verificar que a topologia proposta operando em 5 níveis apresenta as menores perdas (ver Figura 4.18(c)).

4.5 Aplicação do Pannel Fotovoltaico no Inversor 2L4L Proposto

A Figura 4.19 apresenta o sistema proposto para aplicação do pannel fotovoltaico no inversor proposto 2L4L. Basicamente o sistema possui três etapas. A primeira etapa é do conversor boost junto ao pannel solar que é responsável por realizar a operação do MPPT. A segunda etapa é o circuito divisor de tensão utilizado para definir a distribuição da tensão no barramento. E por fim, a terceira etapa é a do inversor proposto 2L4L alimentando uma carga RL.

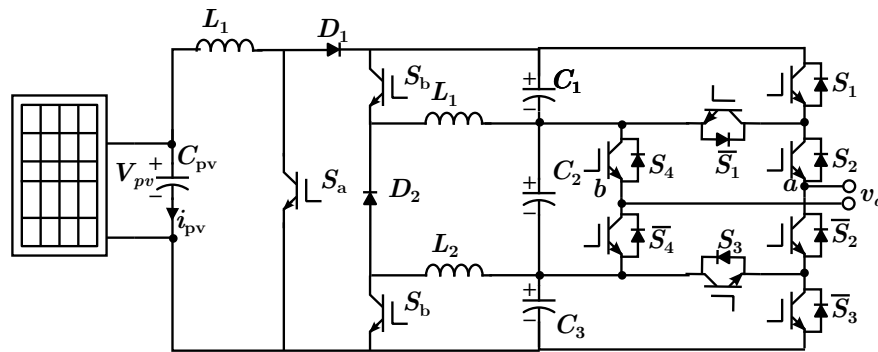


Figura 4.19: Sistema proposto para aplicação com o inversor 2L4L

4.5.1 Sistema de Controle

Nesta subseção é apresentado os diagrama de controle para o sistema proposto. O controle do MPPT já foi apresnetado no capítulo 4. O diagrama de controle está apresentado pela Figura 4.20(a). A estratégia de controle para esse sistema garante o equilíbrio das tensões dos capacitores do barramento de acordo a quantidade de níveis que o inversor proposto irá gerar.

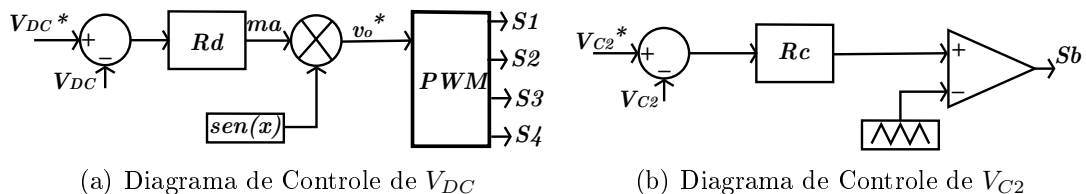


Figura 4.20: Diagrama de Controle na Aplicação com o Inversor Proposto 2L4L

O controle da tensão total do barramento é feito controlando o nível de corrente que é extraído do barramento. A tensão de polo é diretamente proporcional à corrente de saída.

A partir do diagrama a tensão V_{DC} é definida por um controlador do tipo PI , representado pelo bloco Rd . Esse controlador determina o índice de modulação em amplitude (ma). O índice de modulação será multiplicado por um seno, que na aplicação com a interligação com grid será obtido por meio de processo chamado PLL (Phase Lock Loop). Em seguida a tensão de referência será utilizada na estratégia de modulação para definir o estado de cada chave do inversor.

O controle da tensão central do barramento é feito de acordo com o diagrama apresentado na Figura 4.20(b). A tensão central do barramento é controlada para ser $1/3$ da tensão total do barramento para operar em cinco níveis e controlada para $1/2$ na operação em sete níveis. A relação cíclica para o conversor cc/cc é obtido por meio de um controlador de tipo PI (representado pelo bloco Rc).

4.5.2 Resultados de Simulação

Os resultados analisados foram obtidos por meio de simulação. A tabela 4.9 apresenta os valores dos elementos utilizados e os valores de referência para o controle.

Tabela 4.9: Dados de simulação.

Variável	Valor	Variável	Valor
10 Painéis em serie	36 células cada	Irradiação média	$800W/m_2$
Indutor Boost	$3mH$	Indutor conversor CC	$7mH$
Capacitores	$2200\mu F$	Carga RL	$R = 50\Omega$ e $L = 7mH$
Freq. Boost	$1kHz$	Freq. PWM	$10kHz$
V_{DC}	$300V$	$V_{C1} = V_{C2} = V_{C3}$ p/ 5N	$100V$
$V_{C1} = V_{C3}$ p/ 7N	$75V$	V_{C2} p/ 7N	$150V$

A Figura 4.21 apresenta a potência máxima e a potência instantânea do painel fotovoltaico. Como pode ser visto o rastreamento da potência máxima é feito de forma eficaz, permitindo que haja um aproveitamento máximo da energia que o painel possa fornecer.

As tensões e correntes de saída para a operação em 5 e 7 níveis são apresentados pela Figura 4.22.

As tensões do barramento para a operação em 5 e 7 níveis são apresentados pela Figura

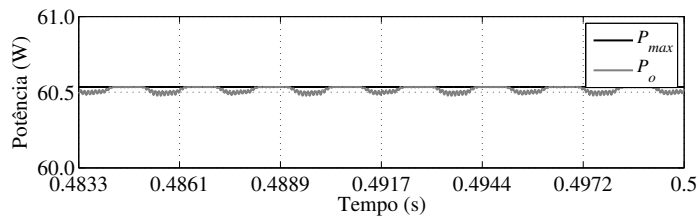


Figura 4.21: Potência máxima e potência instantanea do Painel fotovoltaico.

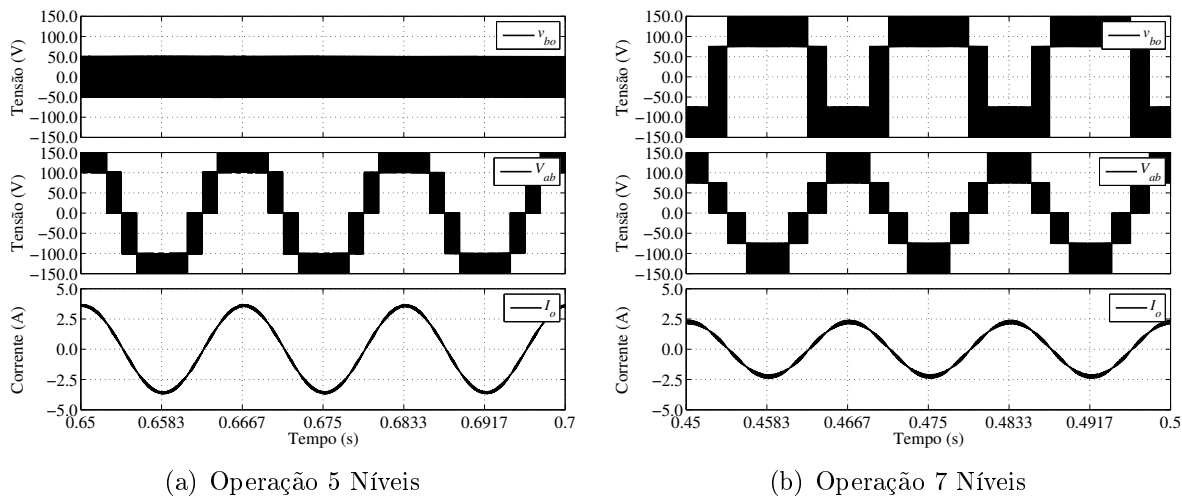
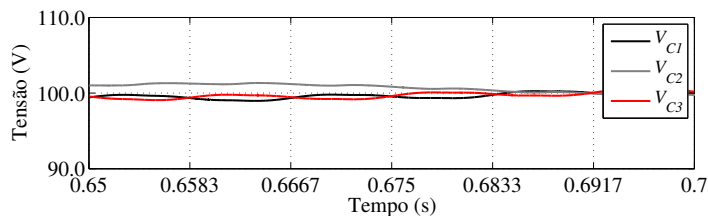
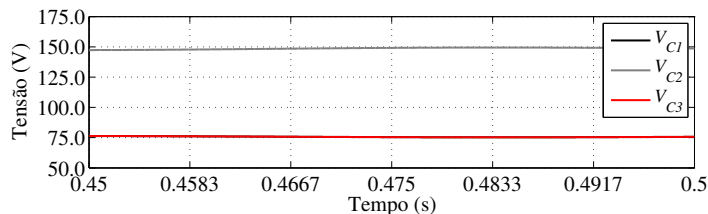


Figura 4.22: Tensões e Correntes de Saída do Inversor Proposto 2L4L

4.23.



(a) Operação 5 Níveis



(b) Operação 7 Níveis

Figura 4.23: Tensão do Barramento cc

4.6 Conclusão

Neste capítulo foram apresentadas as análises comparativas entre topologias de inversores multiníveis com número reduzido de componentes de quatro e cinco níveis. Para cada topologia foi apresentada a sua operação, principalmente para as topologias que apresentam um número de componentes reduzidos como é o caso de *DPC* e da topologia *2L4L* proposta.

No caso dos inversores de quatro níveis a solução da topologia *Nested*, para a obtenção dos quatro níveis com número de componentes reduzidos, não é bem aceita devido ao fato de possuir chaves que suportam a tensão total do barramento. Para mitigar essa condição, foi apresentada a topologia *DPC* que possui a mesma quantidade de componentes que a estrutura *Nested*, mas não apresenta a chave que opera com a tensão total do barramento.

Por meio de dados de simulação foi feita uma análise comparativa, com base no *THD* de corrente, *WTHD* de tensão e perdas nas chaves. Verificou-se que a topologia *DPC* apresenta bons resultados em relação a estrutura convencional e o *Nested*.

Também foi apresentado uma nova topologia de 5 níveis (*2L4L*). A topologia *2L4L* é composta por um braço que produz dois níveis e por um braço que produz quatro níveis. Apesar da topologia originalmente produzir 5 níveis, é possível variar a tensão dos capacitores do barramento para que o inversor proposto produza uma tensão de saída com sete níveis.

Por meio de dados de simulação foi feita uma análise comparativa, com base no *THD* de corrente, *WTHD* de tensão e perdas nas chaves. Verificou-se que a topologia proposta *2L4L* apresentou bons resultados em relação a estrutura NPC convencional e a HB.

5

Aplicação dos Painéis Fotovoltaicos ao Inversor Trifásico de 3 Níveis NPC

5.1 Introdução

Neste capítulo será apresentado a aplicação do painel fotovoltaico ao inversor trifásico de três níveis do tipo NPC. Será analisado o o funcionamento do sistema em condições de sombreamento parcial

5.1.1 Operação e Modelo do Sistema

O sistema é composto por um painel solar conectado ao conversor boost, que será responsável pelo MPPT, usados em conjunto com um inversor de três níveis para acionar uma carga trifásica. Como o inversor de três níveis do tipo NPC possui dois capacitores, serão usados dois painéis para alimentar cada um dos capacitores do circuito. O sistema está ilustrado na Figura 5.1.

Serão analisados duas situações, a primeira, quando os dois painéis estarão submetidos a mesma irradiação e a segunda quando a irradiação dos painéis forem diferentes.

A Figura 5.2 apresenta o circuito equivalente para o sistema proposto. As chaves do inversor *NPC* S_{j1} , S_{j2} , S_{j3} e S_{j4} são representadas pelas variáveis de estado q_{j1} , q_{j2} , q_{j3} e q_{j4} , respectivamente, enquanto que as chaves dos boost superior e inferior (S_1 e S_2) são

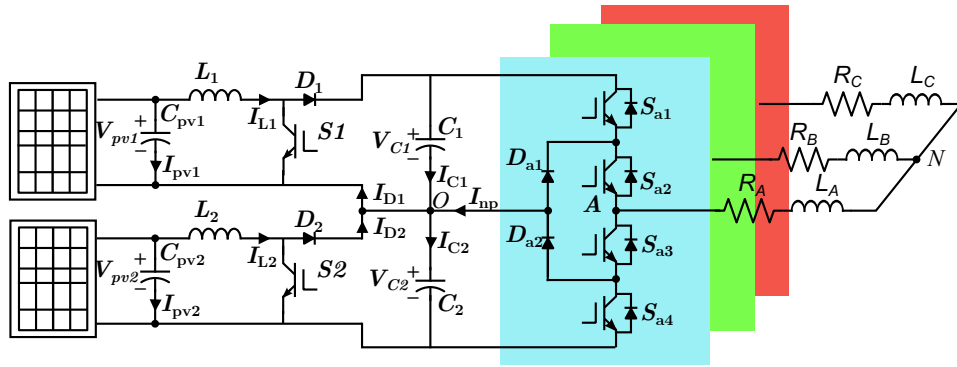


Figura 5.1: Painel solar aplicado ao inversor de 3 níveis

representadas pelas variáveis de estado q_1 e q_2 , respectivamente.

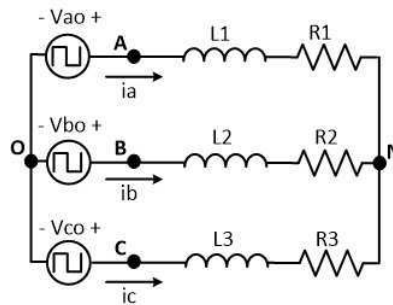


Figura 5.2: Modelo do inversor de 3 níveis

Como a carga está ligada em estrela o modelo do inversor é dado pelas seguintes equações

$$v_{jo} - R_j i_j - L_j (di_j/dt) - v_{on} \tag{5.1}$$

onde, $j = a, b, c$. Considerando a carga equilibrada a tensão v_{on} é dada por:

$$v_{on} = (v_{ao} + v_{bo} + v_{co})/3 \tag{5.2}$$

As tensões de polo são definidas em função dos estados de chaveamento e determinadas pelas equações a seguir:

$$v_{jo} = (q_{j1} + q_{j2} - 1)(V_{C1} + V_{C2})/2 \tag{5.3}$$

Já as tensões dos capacitores do barramento CC são dadas em função da tensão dos

painéis que alimenta o sistema. Com base no modelo do conversor 'boost' ilustrado na Figura 5.3 as tensões do barramento são dadas pelas seguintes equações:

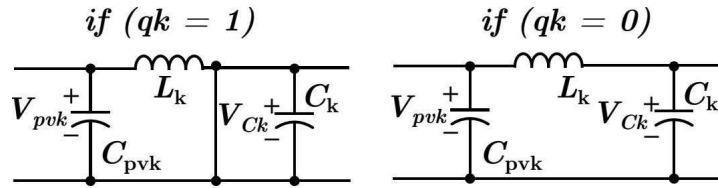


Figura 5.3: Modelo do conversor boost

$$V_{Ck} = (1 - q_k)(V_{pvk} - L_k(di_{LK}/dt)) \tag{5.4}$$

onde $k = 1, 2$ e V_{pvk} são as tensões nos painéis solares e I_{Lk} são as correntes nos indutores dos conversores 'boost'.

5.1.2 Modulação PWM e Controle

A Figura 5.4 ilustra o diagrama de controle para a modulação PWM e para o controle do barramento CC . Na modulação da estrutura proposta é realizado o controle do nível de tensão do barramento CC e o controle do equilíbrio da tensão dos capacitores que compõe o mesmo, ou seja, $V_{C1} = V_{C2}$. O controle do nível de tensão do barramento CC (V_{DC}) é realizado regulando o índice de modulação em amplitude (m_a) por meio do controlador PI . O m_a determina o nível de corrente que deverá ser injetado no barramento para manter o nível de tensão desejado. Multiplicando o m_a por três senoides unitárias tem-se as tensões de referência v_{jo} . Com o intuito de equilibrar as tensões dos capacitores do barramento CC é somado nas três tensões de referência uma tensão homopolar (Vh), dada pela seguinte equação:

$$Vh = (1 - 2\mu)\frac{V_{DC}}{2} + \mu.vmax + (1 + \mu).vmin \tag{5.5}$$

Onde, $vmax = \frac{V_{DC}}{2}max(V_{ao}^*, V_{bo}^*, V_{co}^*)$, $vmin = -\frac{V_{DC}}{2}min(V_{ao}^*, V_{bo}^*, V_{co}^*)$ e μ é a razão de distribuição.

A variável μ é utilizada para o controle do equilíbrio das tensões do barramento(Andrade., 2012; de Oliveira., 2005). As novas tensões de referência ($v_{jo_{new}} = v_{jo} + Vh$) são utilizadas

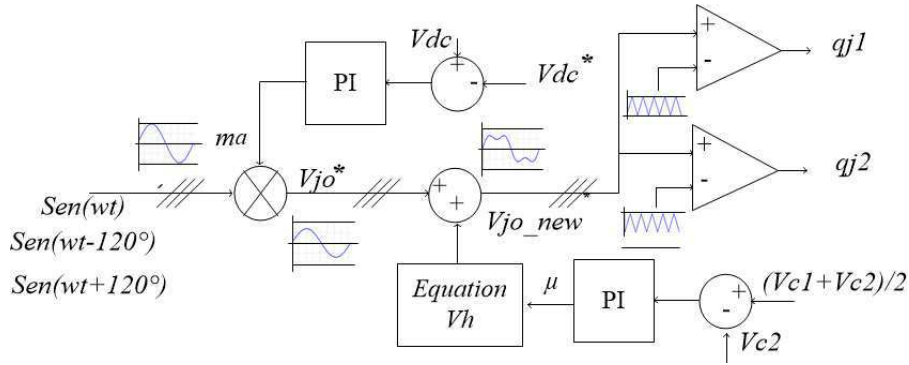


Figura 5.4: Diagrama de controle e modulação PWM

na modulação CBPWM Level-Shift (Franquelo et al., 2008), onde são comparadas com duas tensões triangulares para definir os sinais de comando das chaves do inversor *NPC*.

Na estrutura convencional do inversor NPC, o controle da variável μ possibilita que a média da corrente injetada no ponto central do barramento (i_{np}) seja zero, essa é a condição para que as tensões dos capacitores do barramento sejam iguais. No caso da estrutura proposta, além da corrente i_{np} as correntes de saída dos dois conversores boost (i_{D1} e i_{D2}) também são injetadas no ponto central. Sendo assim, aplicando a lei de Kirchhoff para as correntes médias no ponto central, tem-se a seguinte equação:

$$i_{C1} = i_{C2} + (i_{D2} - i_{D1}) + i_{np} \quad (5.6)$$

Observando a equação (5.6) para que $i_{C1} = i_{C2}$ basta que $(i_{D2} - i_{D1}) + i_{np} = 0$. A corrente injetada no ponto central do barramento pelo inversor (i_{np}) pode ser controlada pela variável μ , como apresentado em (Andrade., 2012). Portanto, a corrente i_{np} é ajustada para

$$i_{np} = i_{D1} - i_{D2} \quad (5.7)$$

Substituindo a equação (5.7) em (5.6), tem-se:

$$i_{C1} = i_{C2} \quad (5.8)$$

5.1.3 Análise de Desempenho

Os resultados de simulação foram obtidos por meio das ferramentas do MATLAB e PSIM. A Tabela 5.1 apresenta os dados dos elementos utilizados na simulação.

Tabela 5.1: Dados de simulação.

Variável	Valor	Variável	Valor
Indutor do Boost	$3mH$	freq. chav. PWM	10 kHz
Capacitor do Painei	$1100\mu F$	V_{C1} e V_{C2}	65 V
freq. chav Boost	1 kHz	Carga RL	$R = 50\Omega$ e $L = 7mH$

Cada módulo do painel solar possui 36 células fotovoltaicas, com temperatura fixa em $25^{\circ}C$. Os módulos são submetidos a uma irradiação de $1000W/m^2$, no instante $t = 0,95$ a irradiação do segundo painel é alterada para $900W/m^2$ (ver Figura 5.5).

Análise em Malha Aberta

Na Figura 5.5 são apresentadas as curvas de corrente, de tensão e de potência no painel solar. Para $t < 0,92$ os dois painéis, que são idênticos estão submetidos a uma irradiação de $1000W/m^2$. Durante este intervalo de tempo é possível perceber que tanto a corrente como a tensão e potência possuem os mesmos valores. Ou seja, cada PV fornece a mesma quantidade de potência.

Já para $t > 0,92$, é aplicada uma irradiação de $900 W/m^2$ no painel dois (PV2). Esta imposição tem como objetivo emular o sombreamento parcial. Observa-se na Figura 5.5 que a tensão referente ao MPPT não sofre uma variação tão expressiva como a corrente. Como a simulação esta operando em malha aberta esta variação de corrente vai alterar o ponto de operação do conversor, modificando as correntes nos diodos dos conversores 'boosts' como pode ser visto na Figura 5.6.

A medida que as correntes i_{D1} e i_{D2} não são mais iguais, a igualdade entre i_{C1} e i_{C2} não é satisfeita. Portanto, ocorre o desequilíbrio da tensão dos capacitores do barramento. Para solucionar esse problema foi realizado o controle em malha fechada.

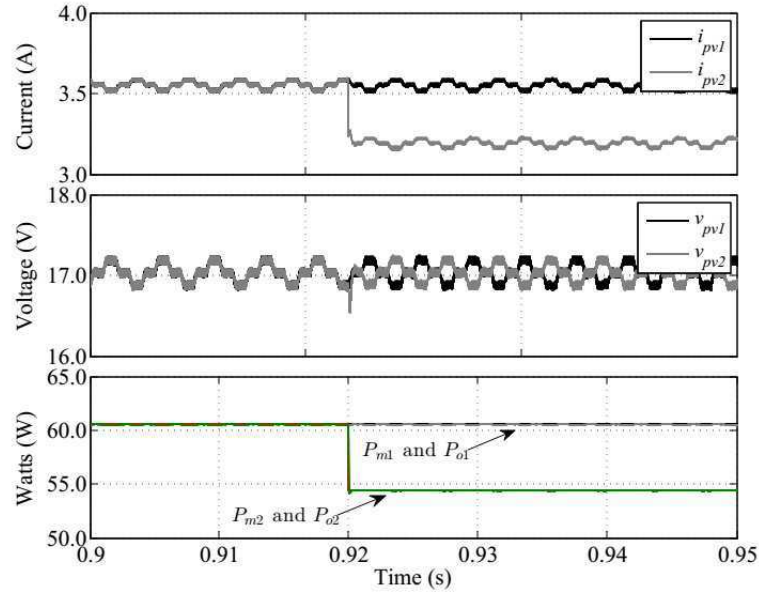
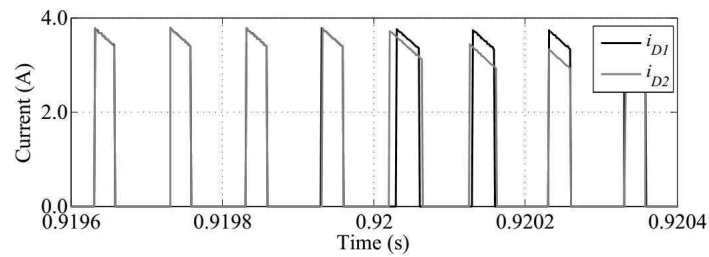
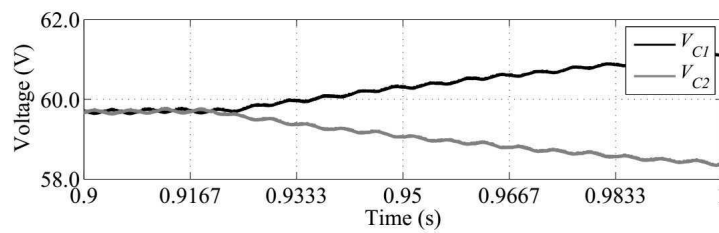


Figura 5.5: Corrente, tensão e potência do painel fotovoltaico



(a) Corrente i_{D1} e i_{D2}



(b) Tensão V_{C1} e V_{C2}

Figura 5.6: Correntes e tensões de saída do boost

Análise em Malha Fechada

A Figura 5.7 ilustra as duas variáveis de controle do sistema. Como se pode perceber, quando o sombreamento ocorre (em $t=0,92$) o índice de modulação diminui no intuito de se ajustar para a perda de corrente ocasionada pelo sombreamento. Por outro lado, a variável μ não é mais ajustada em torno de 0,5, como era no caso do sistema convencional, e sim em torno

de 0,75. Isto porque o valor do μ é ajustado considerando o erro de corrente dos conversores 'boost'.

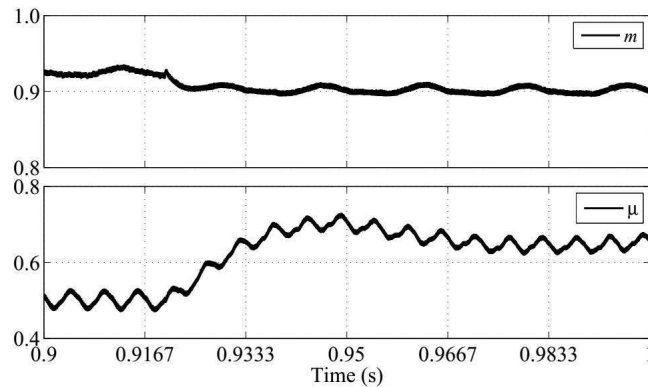


Figura 5.7: Variáveis de Controle: Índice de Modulação (m) e razão de distribuição (μ)

A partir do controle das variáveis anteriores é possível perceber que o equilíbrio da tensão dos capacitores do barramento é satisfeita. Na Figura 5.8 percebe-se que a um erro de tensão no instante do degrau de irradiação, mas o controle provoca o ajuste as das tensões e essas retornam equilibradas.

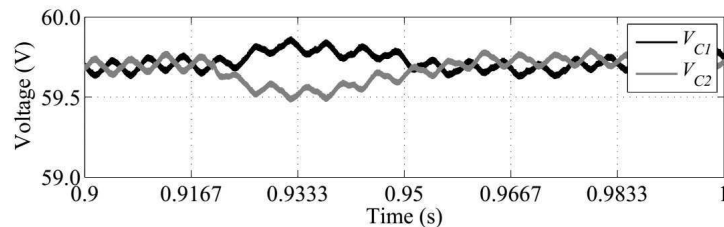


Figura 5.8: Tensões do Barramento equilibradas. V_{C1} e V_{C2}

5.1.4 Análise do Desempenho do Sistema

Análise de THD de Corrente e WTHD de Tensão

Na Figura 5.16 são apresentadas as curvas de correntes trifásicas da carga (i_a , i_b e i_c), a tensão de polo (v_{ao}) e a tensão de linha (v_{ab}). Visualmente não é possível identificar a influência do sombreamento no sistema. Como as variáveis de controle estão diretamente associadas com o processamento da potência é necessário analisar o impacto desse controle na THD de corrente e WTHD de tensão.

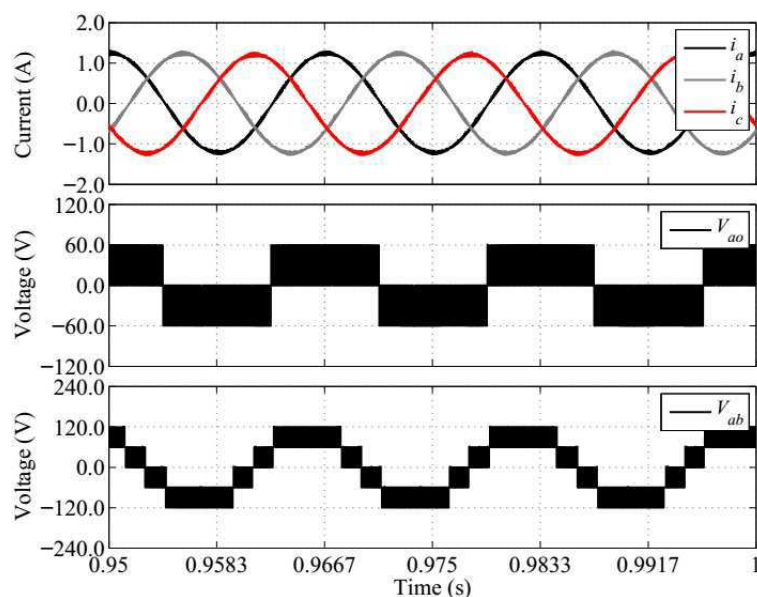


Figura 5.9: Correntes e tensões do inversor.

A variação do μ implica numa mudança do padrão de chaveamento, uma vez que o valor de μ esta associado diretamente ao tempo de aplicação dos vetores das extremidades num período de modulação. A Tabela 5.2 indica os valores obtidos para o THD de corrente e WTHD de tensão antes do sombreamento e depois do sombreamento.

Tabela 5.2: THD de corrente e WTHD de tensão (%).

THD sem sombreamento	1,89
THD com sombreamento	2,89
WTHD sem sombreamento	0,10
WTHD com sombreamento	0,13

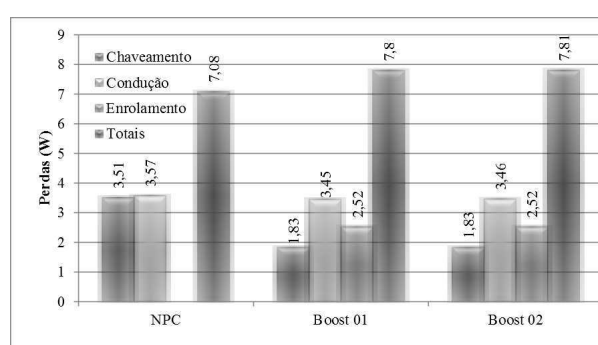
Na condição de sombreamento houve o aumamento da THD e da WTHD. No entanto, os valores com o sombreamento por mais que sejam maiores ainda permanecem com valores aceitáveis.

Análise das Perdas

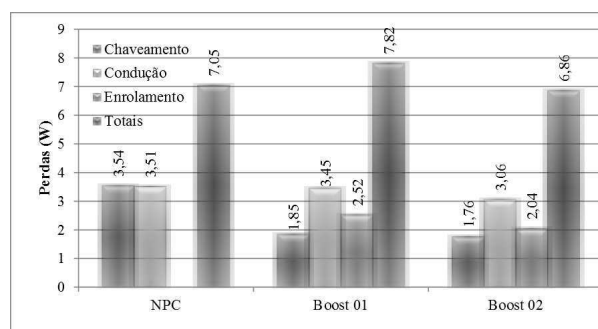
A estimativa das perdas do sistema proposto se dá pela análise das perdas de condução e chaveamento das chaves tanto do inversor NPC como do Boost, e da análise das perdas do enrolamento do conversor Boost.

As perdas de condução e chaveamento nas chaves são obtidas pelo método de regressão apresentado por (Cavalcanti et al., 2003). As chaves utilizadas na bancada experimental foram modeladas. Utilizando a ferramenta *ThermalModule*, do PSIM9.0, foi possível realizar o cálculo das perdas.

A Figura 5.10 ilustra os gráficos das perdas no inversor *NPC* e nos conversores *1boosts'*. Na Figura 5.10(a) se tem as perdas quando não há o sombreamento. Observe que o desempenho dos conversores *'boosts'* é semelhante. Isto se dá pelo fato de que os dois conversores estão fornecendo a mesma potência para o inversor NPC.



(a) Perdas sem sombreamento



(b) Perdas com sombreamento

Figura 5.10: Perdas no enrolamento do indutor, perdas de condução e chaveamento nas chaves e perdas totais.

Quando ocorre o sombreamento no painel que alimenta o Boost 02 a potência fornecida pelo painel solar diminui. Ou seja, a corrente processada pelo Boost 01 é maior do que a corrente do Boost 02. O conversor Boost 02 processando uma corrente menor faz com que as perdas no mesmo sejam menores. A Figura 5.10(b) apresenta as perdas nas condições de sombreamento. Observe que as perdas no Boost 02 são menores na condição de sombreamento. Já as perdas do Boost 01 permanecem com os mesmos valores, pois a condição de

irradiação para o painel conectado no mesmo não foi alterada.

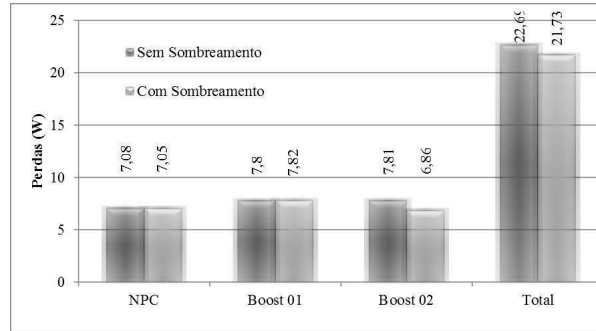


Figura 5.11: Perdas totais para o inversor NPC, Boost 01 e Boost 02

A Figura 5.11 ilustra as perdas totais nas condições sem/com sombreamento. Observe que as perdas não se alteram com valores significativos para o NPC e boost 01. No entanto, para o boost 02 a diferença nas perdas para as duas condições é de 0,95 W. Já as perdas totais nas condições sem e com sombreamento são de 22,69 W e 21,73 W, respectivamente. Isto resulta em uma diferença de 0,96 W. Basicamente a redução de perdas se dá pelo boost que está com o sombreamento parcial.

Análise das Perdas de Alta-Frequência no Barramento

Nesta seção será apresentado uma comparação em relação as perdas de alta-frequência do barramento. As perdas podem ser calculadas por:

$$P_{perdas}^{HO} = Nc(0,45)ESR_{100Hz}(I_{C(RMS)}^{HO})^2 \quad (5.9)$$

onde, Nc é o número de capacitores do barramento CC , $I_{C(RMS)}^{HO}$ é a corrente *rms* de alta-frequência (com $h > 50$) e ESR_{100Hz} corresponde a resistência série equivalente a 100 Hz. Pode-se considerar que a ESR_{100Hz} é constante para frequências acima de 3 kHz, e igual a 0.45 vezes a resistência série em 100 Hz. Isto significa que as perdas (P_{perdas}^{HO}) depende apenas de $I_{C(RMS)}^{HO}$.

A tabela 5.3 apresenta os valores da corrente $I_{C(RMS)}^{HO}$ normalizadas pela condição em que os painéis não estão sombreados. Note que após o sombreamento a uma redução de 6% comparado com a condição sem sombreamento.

Tabela 5.3: Correntes $I_{C(RMS)}^{HO}$ do barramento.

Corrente Normalizada	sem sombreamento	com sombreamento
$I_{C(RMS)}^{HO}/I_{C(RMS)}^{HO}$ (sem sombreamento)	1,0	0,94

Análise do Estresse Térmico

O modelo térmico para as chaves de potência transfere as perdas de energia gerada, em termos térmicos, em diferentes locais dos dispositivos de potência (por exemplo, na junção, no case, ou dissipador de calor). Normalmente, o comportamento térmico de um determinado material é representado pela impedância térmica (Rth e Cth).

A impedância térmica total da chave de potência a partir da junção até à temperatura ambiente podem ser modeladas como redes térmicas resistivas em cascata que representam diferentes camadas de material (ver Figura 5.12).

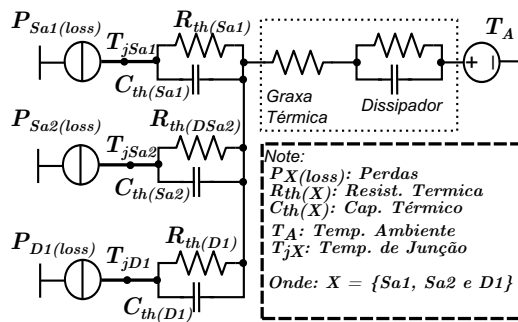


Figura 5.12: Modelo do estresse térmico

A Figura 5.13 apresenta as temperaturas de junção para as chaves $Sa1$ e $Sa2$ e para o diodo de grampeamento $Da1$. Observe que o sombreamento parcial não afeta no padrão da temperatura do inversor.

Análise do Limite de Sombreamento

Como foi visto anteriormente o controle das tensões do barramento é obtido controlando a variável μ . De tal forma que: (i) se a irradiação do painel $PV1$ ($Irrad_{PV1}$) for igual a irradiação do painel $PV2$ ($Irrad_{PV1}$) a variável μ ajusta-se para 0,5; (ii) se $Irrad_{PV1} > Irrad_{PV2}$ então $0,5 < \mu < 1,0$; (iii) se $Irrad_{PV1} < Irrad_{PV2}$ então $0 < \mu < 0,5$.

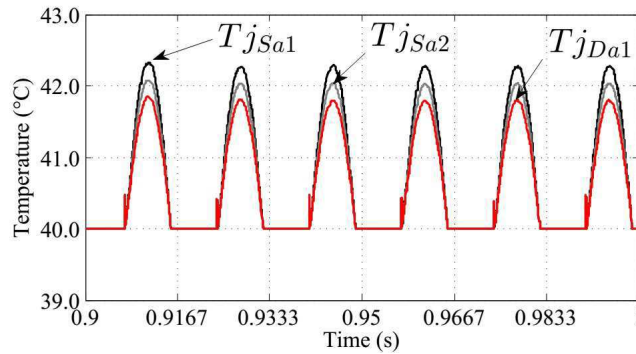


Figura 5.13: Temperatura de junção

Ou seja, a variável de controle μ varia de 0 até 1,0. Para estimar o limite de operação do controle, em função do sombreamento parcial, primeiramente foi fixado o índice de modulação (m_a). Em seguida o painel $PV1$ foi sombreado e o painel $PV2$ fixado com irradiação de 1000W/m^2 até a variável de controle μ atingir o seu limite inferior. Posteriormente, foi invertida as condições dos painéis $PV1$ e $PV2$ até a variável de controle μ atingir o seu limite superior.

A Figura 5.14 apresenta a região de atuação do controle para cada índice de modulação. O índice de modulação é diretamente proporcional com a potência solicitada pela carga, ou seja, quando maior o índice de modulação menor a variação de sombreamento dos painéis. Por exemplo, para $m=1$ o controle atuará até uma variação de radiação de 14,3%, já para $m=0.5$ a variação é de até 92%.

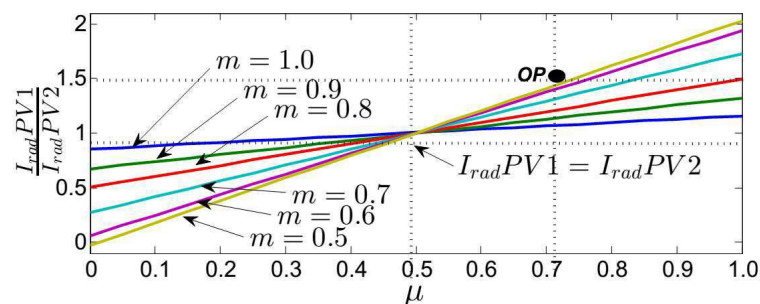


Figura 5.14: Limite de sombreamento dos painéis para o equilíbrio das tensões do barramento

A Figura 5.15 apresenta os resultado das variáveis de controle (μ e m_a) para a operação onde ocorre 50% de sombreamento do painel $PV2$. O sombreamento é aplicado no instante de tempo $t = 0,92\text{s}$. Observe que nessas condições a variável μ converge para 0,72 e o índice

de modulação para 0,51. Este ponto de operação está indicado na Figura 5.14 pelo ponto 'OP'.

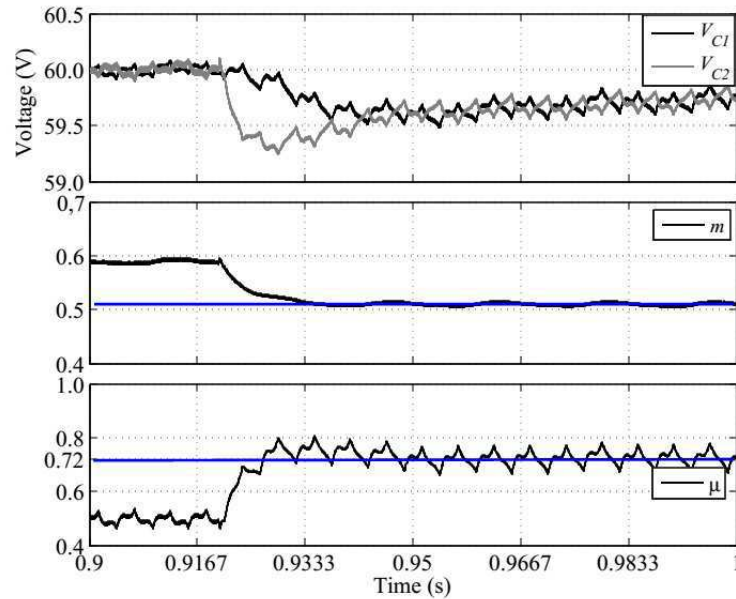


Figura 5.15: Variáveis de controle para uma condição de sombreamento de 50%

5.1.5 Resultados Experimental

O inversor utilizado nos resultados experimentais é composto por chaves IGBT da SEMIKRON controladas por drives dedicados (SKH123). Para a geração dos sinais de controle foi utilizado o DSP TMS320F28335 (Texas Instruments). Para a emulação dos painéis solares foi utilizado a fonte de dois canais E4360A da Agilent Technologies. A fonte foi ajustada para que um canal fornecesse 1000 W/m² e o outro 900 W/m², sob as mesmas condições de temperatura. Cada canal da fonte está ligada a um conversor 'boost' que possui uma indutância de 7mH e capacitores de 2200uF. O inversor alimenta uma carga RL cujos valores são: $R = 50\omega$ e $L=7,2\text{mH}$.

A Figura 5.16(a) ilustra as tensões obtidas com a bancada experimental. Como pode ser visto é possível obter o equilíbrio das tensões dos capacitores, mesmo com um sombreamento parcial. Tanto as tensões de polo como as tensões de linha possuem os seus níveis bem definidos, permitindo assim um funcionamento nas condições ideais.

Já a Figura 5.16(b) ilustra as correntes nos diodos de saída de cada boost. Como os painéis não possuem a mesma irradiação então a corrente fornecida pelos painéis são

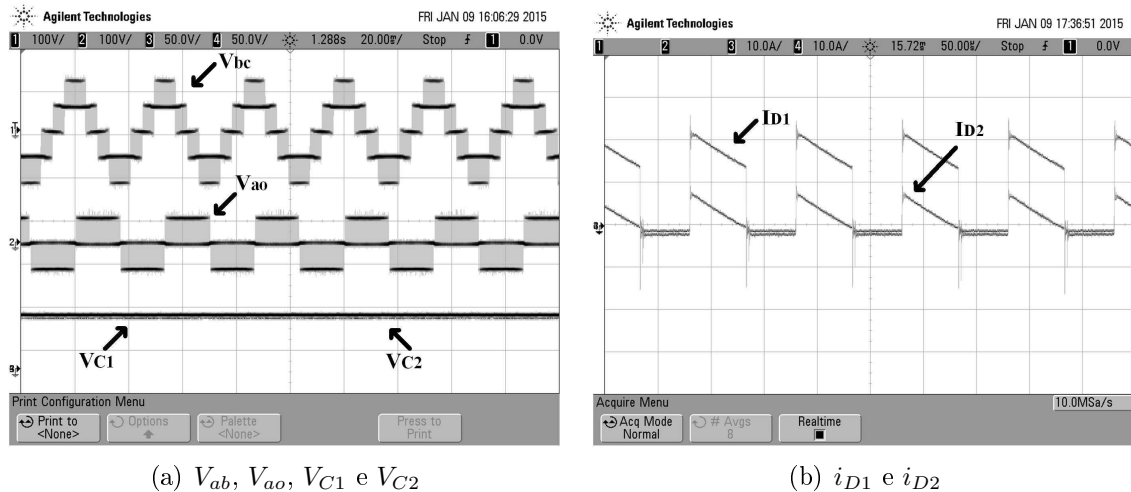


Figura 5.16: Resultados experimentais

diferentes. Neste caso o controle atuou para compensar essa diferença de corrente injetada no ponto central para obter o controle do barramento CC.

5.1.6 Proposta do Sistema para Conexão com a Rede Elétrica

A conexão com a rede elétrica não é o objetivo principal deste trabalho, no entanto, o sistema foi aplicado a a esta finalidade para avaliar o controle do barramento CC. A Figura 5.17 ilustra o sistema proposto conectado a rede elétrica e o diagrama de controle. Observe que a malha de controle das tensões nos capacitores do barramento CC é a mesma apresentado na Figura 5.4. A diferença está apenas na malha de controle da tensão total do barramento CC.

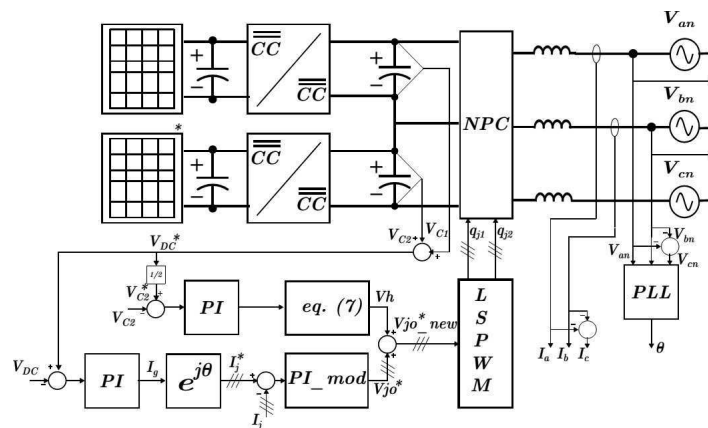


Figura 5.17: Sistema proposto conectado a rede elétrica

A tensão do barramento V_{DC} é comparada com a tensão de referência V_{DC}^* e o erro de tensão gerado é aplicado à um controlador PI que responde com a amplitude da corrente de linha de referência. A amplitude de corrente é multiplicado por três senóides que são sincronizadas com a rede pelo PLL (phase-locked-loop). As correntes de referência são comparadas com as correntes de linhas atuais. o erro da corrente é aplicado ao controlador PI_{mod} , que por sua vez geram as tensões de referências que serão aplicadas na modulação PWM.

Resultados de Simulação

Os dados do painel fotovoltaico e do boost são os mesmos adotados anteriormente. A tabela 5.4 apresenta os dados referente ao grid

Tabela 5.4: Dados de simulação.

Parâmetro	Símbolo	Valor
Tensão da rede	V_{jn}	110V
Indutor do filtro de linha	L	7mH
Tensão do Barramento	V_{DC}	220V

A Figura 5.18 apresenta os resultados de simulação para uma condição de sombreamento de 10% do painel inferior. Observe que o equilíbrio da tensão nos capacitores é satisfeito para aplicação com o grid

5.2 Conclusões

Neste capítulo foi analisado a utilização do sistema fotovoltaico no inversor NPC por meio do conversor boost para a realização do MPPT. Diante de um possível sombreamento nos painéis fotovoltaicos foi necessário ajusta o controle para que as tensões do barramento permanecessem equilibradas. Os valores de THD de corrente e WTHD de tensão possuem índices baixos mesmo após o sombreamento. Além disso, O sistema não sofre perdas em relação ao estresse térmico, perdas de alta-frequência no barramento e perdas nas chaves. Portanto, mesmo em condições de sombreamento foi possível operar o inversor nas condições ideais.

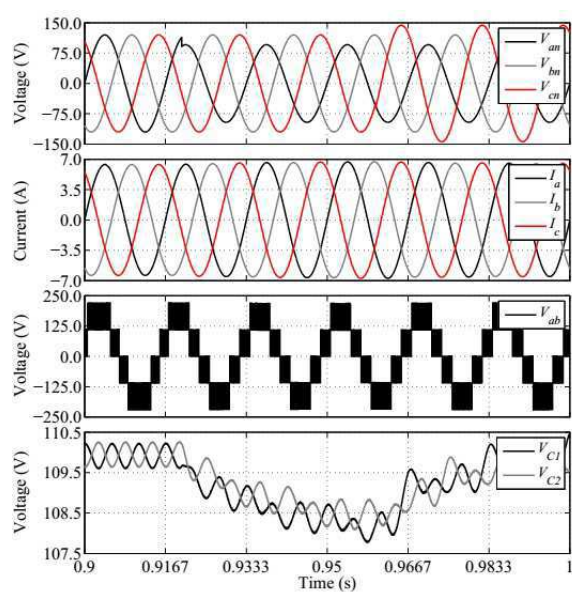


Figura 5.18: Resultados de simulação para conexão com a rede elétrica. De cima para baixo: tensão do grid, corrente de linha, tensão de linha e tensão nos capacitores.

6

Conclusões Gerais e Trabalhos Futuros

6.1 Conclusões Gerais

Neste trabalho foram apresentadas análises de quatro topologias e três sistemas com aplicação fotovoltaica. A relação das topologias estudadas foi concebida utilizando características das topologias convencionais *NPC*, *ANPC* e *FC*.

Verificou-se que a aplicação dos sistemas fotovoltaicos nos inversores multiníveis é bastante ampla. No entanto, uma das características do sistema fotovoltaico é a baixa eficiência. Normalmente, nas aplicações com os inversores multiníveis a tensão do barramento *CC* é obtida conectando os painéis em série. Essa conexão possui uma desvantagem quando os painéis operam sobre condição de sombreamento. As topologias multiníveis com fonte reduzida de tensão apresentaram uma ótima solução para este problema. Dentre as topologias estudadas destacou-se a topologia Hyb02 que é uma derivação da topologia Hyb01. A topologia apresentou desempenhos satisfatórios mesmo com a utilização de uma fonte de tensão reduzida.

Para aumentar os níveis foram considerados aspectos referentes ao tipo de alimentação do barramento *cc*, aumento no número de fontes e aplicações em ponte. Com base nesses aspectos também foi proposto uma modificação na topologia convencional *FC* para produzir mais níveis. Esta topologia foi chamada de Fonte Flutuante.

A topologia *DPC* foi baseada na topologia *ANPC* de 3 níveis. Para elevar o número de

níveis foi adicionado um capacitor no barramento, garantindo o mesmo número de chaves.

Além das topologias já publicadas na literatura foi estudada uma topologia proposta de cinco níveis (*2L4L*). A topologia se torna atrativa porque utiliza o barramento de um inversor de quatro níveis e opera em cinco níveis. Além disso, foi possível modificar a distribuição das tensões do barramento para operar o inversor em sete níveis.

A avaliação dos inversores foi realizada analisando parâmetros de desempenho associados a qualidade de energia nos sinais de saída, eficiência do inversor e a confiabilidade. Para a qualidade de energia a característica abordada foi o THD de corrente e WTHD de tensão. Nas condições de operação apresentadas nesse trabalho os valores calculados ficaram dentro dos limites estabelecidos pelas normas.

Para abordar a eficiência do inversor foram calculadas as perdas de condução e chaveamento das chaves. Com base nesses dados, foi possível obter bons resultados principalmente referente a topologia híbrida de três níveis na configuração *Hyb02*. Além disso, foi analisado a utilização do sistema fotovoltaico no inversor NPC por meio do conversor *boost* para a realização do MPPT. Diante de um possível sombreamento nos painéis solares foi necessário ajustar o controle para que as tensões do barramento permanecessem equilibradas. Os valores de THD de corrente e WTHD de tensão possuem índices baixos mesmo após o sombreamento.

6.2 Trabalhos Futuros

Como proposta de continuidade deste trabalho algumas tarefas podem ser desenvolvidas. Entre elas:

- Técnica de modulação PWM vetorial.
 1. Desenvolver uma técnica de modulação vetorial para inversores de quatro-níveis trifásicos com controle da tensão do barramento *CC*.
- Inversor de três níveis.
 1. Construir o protótipo dos inversores *Hyb01*, *Hyb02*, *Hyb03* e *FF*.
 2. Estender o estudo das topologias para a aplicação trifásica.

3. Utilizar os inversores para aplicação do sistema fotovoltaica conectada na rede elétrica.
- Inversor multinível.
 1. Propor a generalização da concepção das topologias de inversores multiníveis com o barramento CC grampeado.
 2. Propor topologias de inversores com número reduzido de componentes seguindo o raciocínio apresentado na topologia 2L4L

Referências Bibliográficas

- Abdalla, I.; Zhang, L. e Corda, J. (2011) Generalized integration duty cycle conversion pulse-width modulation (ipwm) algorithm for multilevel-pv dc-link inverter, In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pp. 1–10.
- Andrade., A. S. (2012) Técnicas de Modulação de Três Níveis: Balanceamento do Ponto Neutro, Cálculo de Perdas e Redução no Número de Componentes, Dissertação de mestrado, Universidade Federal de Campina Grande, Departamento de Engenharia Elétrica, Campina Grande - PB.
- Barbosa, P. G.; Braga, H. A. C.; Rodrigues, M. C. B. e Teixeira, E. C. (2006) Boost current multilevel inverter and its application on single-phase grid-connected photovoltaic systems, *IEEE Transactions on Power Electronics*, **21**(4):1116–1124.
- BenAbdelghani, A.; Martins, C.; Roboam, X. e Meynard, T. (2002) Use of extra degrees of freedom in multilevel drives, *Industrial Electronics, IEEE Transactions on*, **49**(5):965 – 977.
- Bhagwat, P. M. e Stefanovic, V. R. (1983) Generalized structure of a multilevel pwm inverter, *Industry Applications, IEEE Transactions on*, **IA-19**(6):1057 –1069.
- Blaabjerg, F.; Jaeger, U. e Munk-Nielsen, S. (1995) Power losses in pwm-vsi inverter using npt or pt igbt devices, *IEEE Transactions on Power Electronics*, **10**(3):358–367.
- Busquets-Monge, S.; Bordonau, J.; Boroyevich, D. e Somavilla, S. (2004) The nearest three virtual space vector pwm - a modulation for the comprehensive neutral-point balancing in the three-level npc inverter, *Power Electronics Letters, IEEE*, **2**(1):11 – 15.
- Causo, A.; Salati, A.; Lorenzani, E.; Immovilli, F. e Bianchini, C. (2013) Power losses analysis in interleaved flyback based pv grid connected micro-inverters, In: *Industrial*

- Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE*, pp. 1833–1838.
- Cavalcanti, M.; da Silva, E. e Jacobina, C. (2001) Techniques for minimizing losses and the output current ripple in quasi-resonant inverters, In: *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol. 1, pp. 164 –169 vol. 1.
- Cavalcanti, M.; da Silva, E.; Lima, A.; Jacobina, C. e Alves, R. (2002) Reducing losses in three-phase pwm pulsed dc-link voltage-type inverter systems, *Industry Applications*, IEEE Transactions on, **38**(4):1114 – 1122.
- Cavalcanti, M.; da Silva, E.; Boroyevich, D.; Dong, W. e Jacobina, C. (2003) A feasible loss model for igtb in soft-switching inverters, In: *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, vol. 4, pp. 1845 – 1850 vol.4.
- Celanovic, N. e Boroyevich, D. (2000) A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters, *Power Electronics*, IEEE Transactions on, **15**(2):242 –249.
- Celanovic, N. e Boroyevich, D. (2001) A fast space-vector modulation algorithm for multilevel three-phase converters, *Industry Applications*, IEEE Transactions on, **37**(2):637 –641.
- Chen, A.; Zhang, C.; Ma, H. e Deng, Y. (2008) A novel multilevel inverter topology with no clamping diodes and flying capacitors, In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, pp. 3184–3187.
- Chen, Y.-M.; Liu, Y.-C.; Hung, S.-C. e Cheng, C.-S. (2007) Multi-input inverter for grid-connected hybrid pv/wind power system, *Power Electronics*, IEEE Transactions on, **22**(3):1070–1077.
- Choi, N.; Cho, J. e Cho, G. (1991) A general circuit topology of multilevel inverter, In: *Power Electronics Specialists Conference, 1991. PESC '91 Record., 22nd Annual IEEE*, pp. 96 –103.
- Corzine, K. e Majeetha, S. (1999) Analysis of a novel four-level dc/dc boost converter, In: *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, vol. 3, pp. 1964–1971 vol.3.
- Corzine, K.; Yuen, J. e Baker, J. (2002) Analysis of a four-level dc/dc buck converter, *Industrial Electronics*, IEEE Transactions on, **49**(4):746–751.

- Dias, J.; dos Santos, E.; Jacobina, C. e da Silva, E. (2009) Application of single-phase to three-phase converter motor drive systems with igbt dual module losses reduction, In: *Power Electronics Conference, 2009. COBEP '09. Brazilian*, pp. 1155–1162.
- Franquelo, L.; Rodriguez, J.; Leon, J.; Kouro, S.; Portillo, R. e Prats, M. (2008) The age of multilevel converters arrives, *Industrial Electronics Magazine, IEEE*, **2**(2):28–39.
- Gheraia, H.; Berkouk, E. e Manesse, G. (1999) Feedback control of the input dc voltage sources of the seven levels npc voltage source inverter, In: *Africon, 1999 IEEE*, vol. 2, pp. 691–696 vol.2.
- Grandi, G.; Ostojic, D.; Rossi, C. e Casadei, D. (2008) Multilevel power conditioner for grid-connected photovoltaic applications, In: *Electrotechnical Conference, 2008. MELECON 2008. The 14th IEEE Mediterranean*, pp. 573–578.
- Grandi, G.; Rossi, C.; Ostojic, D. e Casadei, D. (2009) A new multilevel conversion structure for grid-connected pv applications, *Industrial Electronics, IEEE Transactions on*, **56**(11):4416–4426.
- Guedouani, R.; Fiala, B.; Berkouk, E. e Boucherit, M. (2007) Control of capacitor voltage of three phase five-level npc voltage source inverter. application to inductor motor drive., In: *Electrical Machines and Power Electronics, 2007. ACEMP '07. International Aegean Conference on*, pp. 794–799.
- Halder, T. (2013) Comprehensive power loss model of the main switch of the flyback converter, In: *Power, Energy and Control (ICPEC), 2013 International Conference on*, pp. 792–797.
- Hohm, D. P. e Ropp, M. E. (2013) Comparative study of maximum power point tracking algorithms, In: *Prog. Photovolt: Res. Appl.*
- Holguin, F. A.; Prieto, R.; Asensi, R. e Cobos, J. A. (2015) Power losses calculations in windings of gapped magnetic components: The i2d method applied to flyback transformers, In: *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5675–5681.
- Ibrahim, I. R.; Damanhuri, N. S.; Othman, N.; Radzali, R.; Mohd, M. N. e Omar, A. (2011) Dual-power pv-grid energy system utilizing multilevel inverter; an overview and alternative to pv energy system in malaysia, In: *Power Engineering and Optimization Conference (PEOCO), 2011 5th International*, pp. 164–169.

- Jiao, Y.; Lee, F. e Lu, S. (2014) Space vector modulation for 3-level npc converter with neutral voltage balancing and switching loss/noise reduction, In: *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, pp. 1780–1787.
- Kashihara, Y. e Itoh, J. (2012) The performance of the multilevel converter topologies for pv inverter, In: *Integrated Power Electronics Systems (CIPS), 2012 7th International Conference on*, pp. 1–6.
- Kouro, S.; Asfaw, K.; Goldman, R.; Snow, R.; Wu, B. e Rodríguez, J. (2010) Npc multilevel multistring topology for large scale grid connected photovoltaic systems, In: *Power Electronics for Distributed Generation Systems (PEDG), 2010 2nd IEEE International Symposium on*, pp. 400–405.
- Lai, J.-S. e Peng, F. Z. (1995) Multilevel converters-a new breed of power converters, In: *Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE*, vol. 3, pp. 2348 –2356 vol.3.
- Larouci, C.; Ferrieux, J. P.; Gerbaud, L.; Roudet, J. e Keradec, J. P. (2002) Volume optimization of a pfc flyback structure under electromagnetic compatibility, loss and temperature constraints, In: *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 3, pp. 1120–1125 vol.3.
- Lin, B.-R. e Wei, T.-C. (2004) Analysis and implementation of a three-phase two-leg neutral point clamped converter based on space vector pwm for power factor correction, *Electric Power Applications*, IEE Proceedings -, **151**(1):38 – 46.
- Ma, K. e Blaabjerg, F. (2011) Multilevel converters for 10 mw wind turbines, In: *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, pp. 1–10.
- MAGNETICS, W. C. (2013) Flyback converter design - revision 1.
- Mendes., M. A. S. (2000) Técnicas de Modulação em Largura de Pulso Vetoriais para Inversores Multiníveis., Tese de doutorado, Universidade Federal de Minas Gerais, Departamento de Engenharia Elétrica, Belo Horizonte - MG.
- Nabae, A.; Takahashi, I. e Akagi, H. (1981) A new neutral-point-clamped pwm inverter, *Industry Applications*, IEEE Transactions on, **IA-17**(5):518 –523.

- Nami, A.; Zare, F.; Ghosh, A. e Blaabjerg, F. (2011) A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped h-bridge cells, *Power Electronics, IEEE Transactions on*, **26**(1):51–65.
- Narimani, M.; Wu, B.; Cheng, Z. e Zargari, N. (2014) A novel and simple single-phase modulator for the nested neutral point clamped (nnpc) converter, *Power Electronics, IEEE Transactions on*, **PP**(99):1–1.
- Ogasawara, S. e Akagi, H. (1993) Analysis of variation of neutral point potential in neutral-point-clamped voltage source pwm inverters, In: *Industry Applications Society Annual Meeting, 1993., Conference Record of the 1993 IEEE*, pp. 965 –970 vol.2.
- de Oliveira., A. S. (2005) Estratégia Generalizada de Modulação Por Largura de Pulso Para Inversores Multiníveis., Tese de doutorado, Universidade Federal de Campina Grande, Departamento de Engenharia Elétrica, Campina Grande - Pb.
- Oliveira, M. e Correa, M. (2012) Analysis of grid-tied single phase multilevel inverters powered by photovoltaic panels under partial shading conditions, In: *Power Electronics for Distributed Generation Systems (PEDG), 2012 3rd IEEE International Symposium on*, pp. 483–486.
- Ozdemir, E.; Ozdemir, S. e Tolbert, L. (2009) Fundamental-frequency-modulated six-level diode-clamped multilevel inverter for three-phase stand-alone photovoltaic system, *Industrial Electronics, IEEE Transactions on*, **56**(11):4407–4415.
- Papanikolaou, N. P. e Tatakis, E. C. (2002) Minimisation of power losses in pfc flyback converters operating in the continuous conduction mode, *IEE Proceedings - Electric Power Applications*, **149**(4):283–291.
- Peng, F. Z. (2000) A generalized multilevel inverter topology with self voltage balancing, In: *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, vol. 3, pp. 2024–2031 vol.3.
- Perantzakis, G.; Xepapas, F. e Manias, S. (2004) A new four-level pwm inverter topology for high power applications - effect of switching strategies on power losses distribution, In: *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 6, pp. 4398–4404 Vol.6.
- Pomilio, J. A. (2006) Normas relativas a fator de potência e distorção harmônica, pp. 18–23.

- Pomilio, J. A. e Deckmann, S. M. (2003) Flicker produced by harmonics modulation, *IEEE Transactions on Power Delivery*, **18**(2):387–392.
- Pou, J.; Rodriguez, P.; Boroyevich, D.; Pindado, R. e Candela, I. (2005a) Efficient space-vector modulation algorithm for multilevel converters with low switching frequencies in the devices, In: *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pp. 2521–2526.
- Pou, J.; Rodriguez, P.; Sala, V.; Zaragoza, J.; Burgos, R. e Boroyevich, D. (2005b) Fast-processing modulation strategy for the neutral-point-clamped converter with total elimination of the low-frequency voltage oscillations in the neutral point, In: *Industrial Electronics Society, 2005. IECON 2005. 31st Annual Conference of IEEE*, p. 6 pp.
- Rahmani, S. e Al-Haddad, K. (2006) A single phase multilevel hybrid power filter for electrified railway applications, In: *Industrial Electronics, 2006 IEEE International Symposium on*, vol. 2, pp. 925–930.
- Rajasekar, S. e Gupta, R. (2011) Photovoltaic array based multilevel inverter for power conditioning, In: *Power and Energy Systems (ICPS), 2011 International Conference on*, pp. 1–6.
- Rani, B. I.; Ilango, G. S. e Nagamani, C. (2013) Enhanced power generation from pv array under partial shading conditions by shade dispersion using su do ku configuration, *Sustainable Energy, IEEE Transactions on*, **PP**(99):1–8.
- Ratnayake, K.; Murai, Y. e Watanabe, T. (1999) Novel pwm scheme to control neutral point voltage variation in three-level voltage source inverter, In: *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, vol. 3, pp. 1950–1955 vol.3.
- Rodriguez, J.; Lai, J.-S. e Peng, F. Z. (2002) Multilevel inverters: a survey of topologies, controls, and applications, *Industrial Electronics, IEEE Transactions on*, **49**(4):724–738.
- Rosas-Caro, J.; Ramirez, J. e Garcia-Vite, P. (2008) Novel dc-dc multilevel boost converter, In: *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 2146–2151.
- Rubilar, I.; Espinoza, J.; Munoz, J. e Moran, L. (2007) Dc link voltage unbalance control in three-phase upqcs based on npc topologies, In: *Industry Applications Conference, 2007. 42nd IAS Annual Meeting. Conference Record of the 2007 IEEE*, pp. 597–602.

- dos Santos Junior, E. e da Silva, E. (2013) Power block geometry applied to the building of power electronics converters, Education, IEEE Transactions on, **56**(2):191–198.
- Seo, J. H.; Choi, C. H. e Hyun, D. S. (2001) A new simplified space-vector pwm method for three-level inverters, Power Electronics, IEEE Transactions on, **16**(4):545 –550.
- Shafiyi, M.; Khederzadeh, M.; Sadeghi, M. e Khani, S. (2012) A grid-connected pv power supply based on flying capacitor multicell converter with modified mppt based control for active power filtering, In: *Renewable Energy and Distributed Generation (ICREDG), 2012 Second Iranian Conference on*, pp. 141–146.
- da Silva, E.; Cavalcanti, M. e Jacobina, C. (2003) Comparative study of pulsed dc-link voltage converters, Power Electronics, IEEE Transactions on, **18**(4):1028 – 1033.
- da Silva, E. R. C.; Muniz, J. H. G.; dos Santos, E. C.; Silva, R. N. A. e Barreto, L. H. (2013) Capacitor balance in a five-level based halfbridge converter by use of a mixed active-cell, In: *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, pp. 414–419.
- Tang, T.; Han, J.; Zhou, L.; Yao, P. e Tan, X. (2007) Novel hybrid cascade asymmetrical converter based on asymmetrical converter, In: *Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on*, pp. 1004–1008.
- Tolbert, L. e Peng, F. (2000) Multilevel converters as a utility interface for renewable energy systems, In: *Power Engineering Society Summer Meeting, 2000. IEEE*, vol. 2, pp. 1271–1274 vol. 2.
- Vafakhah, B.; Ewanchuk, J. e Salmon, J. (2010) Multi-carrier interleaved pwm strategies for a new five-level npc inverter using a 3-phase coupled inductor, In: *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*, pp. 2312–2319.
- Vemuru, S.; Singh, P. e Niamat, M. (2012) Analysis of photovoltaic array with reconfigurable modules under partial shading, In: *Photovoltaic Specialists Conference (PVSC), 2012 38th IEEE*, pp. 001437–001441.
- Wang, H.; Ma, K. e Blaabjerg, F. (2012) Design for reliability of power electronic systems, In: *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, pp. 33–44.
- Yang, S.; Bryant, A.; Mawby, P.; Xiang, D.; Ran, L. e Tavner, P. (2011) An industry-based survey of reliability in power electronic converters, IEEE Transactions on Industry

Applications, **47**(3):1441–1451.

Yue, W.; Ning, L.; Su, L.; Wulong, C.; Wanjun, L. e Zhao'An, W. (2014) Research on dc capacitor voltage self-balancing space vector modulation strategy of five-level npc converter, In: *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, pp. 2694–2699.

A

Estimativa do THD e WTHD

As Figuras A.1, A.2 e A.3 ilustram as rotinas utilizadas para a estimativa da THD de corrente e da WTHD de tensão.

Inicialmente as variáveis são arquivadas e em seguida, na rotina principal, o arquivo é lido e testado para saber se o mesmo existe. As informações necessárias das variáveis, como o tamanho e número de pontos, são extraídas.

Uma vez que as variáveis são definidas utiliza-se as funções do `thd.m` e `wthd.m` (ver Figuras A.2 e A.3 respectivamente) para calcular a THD e WTHD.

São consideradas até a 500^o harmônica para a THD e até a 2000^o para a WTHD.

```

5     % nome do arquivo contendo os dados do PSIM
6     arq = sprintf('arquivo_PSIM.txt');
7
8     % Testa se o arquivo existe
9     fp = exist(arq);
10    if(fp~=2)
11        erro = sprintf('\nERRO na abertura do arquivo %s', arq);
12        disp(erro);pause;
13        break;
14    end
15
16    str = importdata(arq);
17    datas = getfield(str,'data');
18    name_vars = getfield(str,'textdata');
19    [npt n_vars] = size(datas);
20    msn = sprintf('\nLeitura dos dados contidos no arquivo %s...', arq);
21    disp(msn)
22    msn = sprintf('Dados contendo %i variaveis e %i pontos cada.', n_vars, npt);
23    disp(msn)
24
25    msn = sprintf('Nome das variaveis contidas no arquivo %s:', arq);
26    disp(msn);
27    for i = 1:n_vars,
28        msn = sprintf('%i - %s', i, name_vars(i));
29        disp(msn);
30    end
31
32    %Define as variáveis de acordo com o arquivo salvo
33    t = datas(:,1);
34    Ia = datas(:,5);
35    Vao = datas(:,8);
36
37    % Plot das Variáveis Escolhidas
38    figure(1),plot(t,Ia),grid on,zoom on
39    figure(2),plot(t,Vao),grid on,zoom on
40
41    % Cálculo do THD de corrente
42    [THD_ia] = thd(Ia)
43
44    %Cálculo do WTHD de Tensão
45    [WTHD_vao] = wthd(Vao)
46

```

Figura A.1: Rotina principal

```

1     function [THDg2] = thd(Pv1)
2     % Leitura do tamanho da variável
3     L1=length(Pv1);
4
5     %svg vetor de pontos (correspondente a um periodo) que que deseja-se analisar
6     Yg1 = fft(Pv1)/L1;
7
8     % Número de Harmônico Considerado
9     Nh=500;
10
11    % Cálculo do THD de Corrente
12    for k = 2:Nh,
13
14        ythd = (Yabsg2(k+1)/(Yabsg2(2)))^2;
15        somathd = somathd + ythd;
16    end
17
18    raizthd = sqrt(somathd);
19    THDg2 = 100*raizthd;

```

Figura A.2: Rotina do THD de corrente

```
1 function [WTHDg1] = thd(Pv1)
2 % Leitura do tamanho da variável
3 L1=length(Pv1);
4
5 %svg vetor de pontos (correspondente a um período) que se deseja-se analisar
6 Yg1 = fft(Pv1)/L1;
7
8 % Número de Harmônico Considerado
9 Nh=2000;
10
11 % Cálculo do WTHD de Tensão
12 for k = 2:Nh,
13
14     Ykg1 = (Yabsg1(k+1)/(k))^2;
15     soma1g = soma1g + Ykg1;
16
17 end
18
19 raizg1 = sqrt(soma1g);
20 Y1g = Yabsg1(2);
21
22 WTHDg1 = 100*(raizg1/Y1g); %resultado do THD ponderado
```

Figura A.3: Rotina do WTHD de tensão

B

Plataformas de Simulação e Experimental

Neste apêndice serão apresentados os procedimentos para aquisição dos resultados de simulação e experimental.

B.0.1 Plataforma de Simulação

Os programas utilizados para a obtenção dos resultados de simulação foram: O *PSIM9.0*, *DEV_{C++}*, *Matlab* e o *Excel*.

A Figura B.1 ilustra o diagrama da plataforma de simulação. O procedimento utilizado está descrito nos itens a seguir:

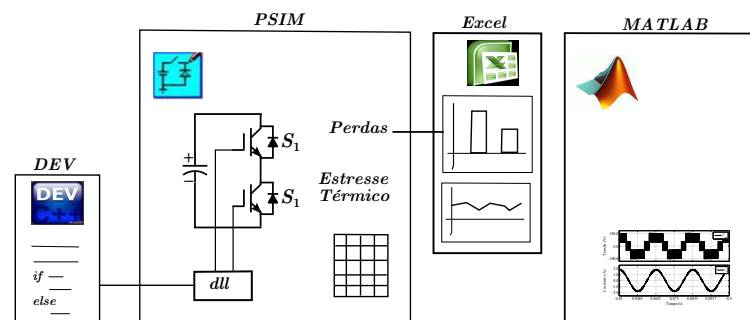


Figura B.1: Diagrama da plataforma de simulação

1. a modulação PWM e o controle são programados em C++ utilizando a ferramenta do *DEV_{C++}*, gerando uma *dll* de controle;

2. o inversor é implementado utilizando a ferramenta do *PSIM*9.0. Os sinais de comandos são fornecidos pela *dll*. As estimativas de perdas e estresse térmico são calculados pelo elemento *ThermalModule* e armazenados em uma tabela no *Excel*. Além disso, os dados das variáveis de cada topologia são exportados para um arquivo do tipo **.csv*;
3. as figuras de mérito referente as perdas e ao estresse térmico são obtidos utilizando a ferramenta do *Excel*;
4. as figuras de mérito referente aos sinais do inversor (tensão e corrente) e da THD de corrente e da WTHD de tensão são obtidos utilizando a ferramenta do *Matlab*.

B.0.2 Plataforma Experimental

A plataforma de desenvolvimento experimental, utilizada para a obtenção dos resultados apresentados neste trabalho, foi desenvolvida no Laboratório de Eletrônica de Potência do (LEIAM-DEE-UFCG).

A montagem é constituída pelos seguintes itens:

- um DSP (TMS320F28335) da Texas Instruments equipado com placas dedicadas, afim de se gerar os sinais de controle;
- três sensores de correntes e de tensão;
- gissipador com doze chaves IGBT e seis diodos da Semikrom;
- placas de interface entre o microcomputador e os drives de comando das chaves;
- um varivolt de tensão de 4,5kVa;
- dois osciloscópios para gravar as curvas dos sinais de saída;

O esquema elétrico visto na figura B.2 apresenta as ligações entre as partes que formam a plataforma desenvolvida para o trabalho proposto. O procedimento para aquisição dos dados experimentais estão descritos em quatro etapas:

1. o controle e a modulação são implementados no microcomputador e carregado no DPS - TMS320F28335 via conexão USB;

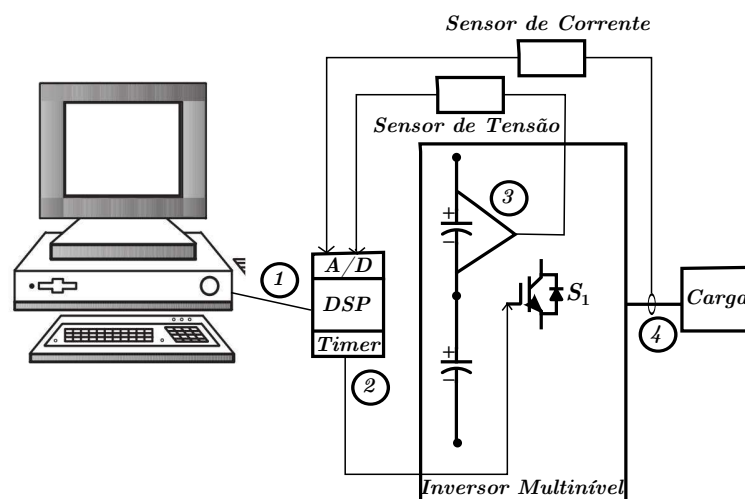


Figura B.2: Diagrama elétrico da plataforma experimental

2. os pulsos do PWM gerados pelo DSP são enviados, via fibra ótica, aos drives das chaves para realizar o chaveamento das mesmas;
3. a leitura das tensões do barramento são realizadas utilizando o sensor de tensão. Estes sinais são enviados para o DPS, por meio do conversor A/D;
4. a leitura da corrente de carga é realizada utilizando o sensor de corrente. O sinal é enviado para o DPS por meio do conversor A/D.

A foto ilustrada na Figura B.3 representa uma visão geral dos componentes utilizados na bancada experimental.

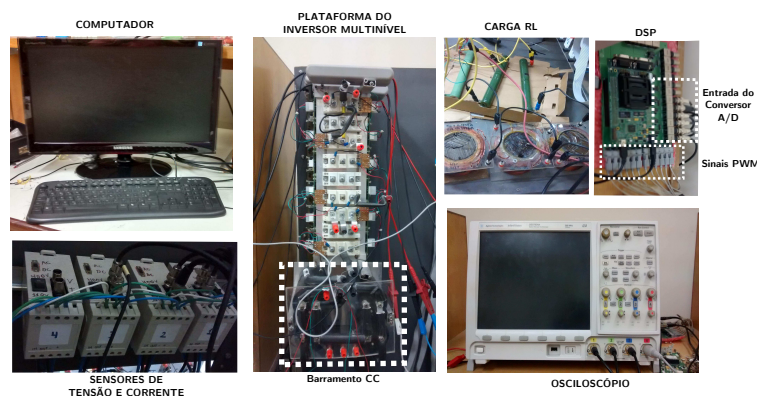


Figura B.3: Dispositivos utilizados na bancada experimental